

論文 / 著書情報
Article / Book Information

題目(和文)	チップ上光配線に向けた薄膜分布反射型レーザに関する研究
Title(English)	Study of Membrane Distributed-Reflector Lasers for On-Chip Optical Interconnection
著者(和文)	平谷拓生
Author(English)	Takuo Hiratani
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10472号, 授与年月日:2017年3月26日, 学位の種別:課程博士, 審査員:荒井 滋久,水本 哲弥,宮本 恭幸,西山 伸彦,庄司 雄哉,松尾 慎治
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10472号, Conferred date:2017/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	要約
Type(English)	Outline

Study of Membrane Distributed-Reflector Lasers for On-Chip Optical Interconnection

(チップ上光配線に向けた薄膜分布反射型レーザに関する研究)

(論文要約)

指導教員: 荒井 滋久 教授
西山 伸彦 准教授

東京工業大学大学院 理工学研究科 電気電子工学専攻
博士後期課程

平谷 拓生

Chapter 1. Introduction

光通信技術は大陸間や都市間など長距離通信の高速・低消費電力伝送技術として発展し普及してきた。一方、近年では、インターネットの普及に伴い音声や動画コンテンツなどを提供する通信事業者以外の企業による OTT(Over-The-Top)サービスが急増している。このような背景から、データセンタ内サーバなどにおける大容量通信が求められており、短距離の光配線が実際に導入され始めている。このように従来の長距離通信技術としての光通信は、その応用範囲を拡大している。

現在、さらに短距離の通信として、LSI チップ内への光配線の導入が研究されている。LSI はスケールン則に基づき微細化を進めることで、その性能を向上させてきたが[1]、近年では LSI 内の上部配線層において RC 遅延や発熱といった問題が顕在化している[2], [3]。今後素子さらなる微細化により、これらの問題は LSI 自体の性能を制限すると考えられる。このような問題を解決するために様々なアプローチが提案されているが、なかでも近年有望視されているのが光配線の導入である[4]-[6]。光伝送においては伝送路における発熱や配線遅延を無視でき、高速で低消費電力な信号伝送の実現が期待される。オンチップ光配線を実現するためには極低消費電力で伝送可能な光リンクの実現が必要である。

低消費電力伝送可能な光リンクでは、低消費電力動作を実現するオンチップ光配線用光源が必要となるが、VCSEL[7]-[10]やフォトニック結晶レーザ[11]-[14]など強い光閉じ込め効果を用いた半導体レーザが候補として挙げられる。VCSEL については、平面集積の際にマイクロミラーなどとの集積が必要であり、結合損失の低減が求められる。フォトニック結晶レーザでは、強い光閉じ込め効果により極低しきい値動作が実現可能であるが、光の取り出しが困難であり、光出力強度の不足が課題として挙げられる。

本研究では、Fig. 1 に示すように III-V 族半導体薄膜による LSI 上薄膜光集積回路を提案しおり、これまでに薄膜レーザに関する報告を行ってきた[15]。薄膜レーザは低いしきい値電流と高い光出力特性との両立が期待される。一般的な光通信用半導体レーザでは、活性層の上下に屈折率の近い半導体クラッド層を有するため、量子井戸 1 層あたりの光閉じ込め係数は 1%程度である。一方、薄膜構造では、250 nm 程度の非常に薄い半導体薄膜の上下を空気や SiO₂などの低屈折率材料としており、高い屈折率差を得ることができるため、活性層への光閉じ込

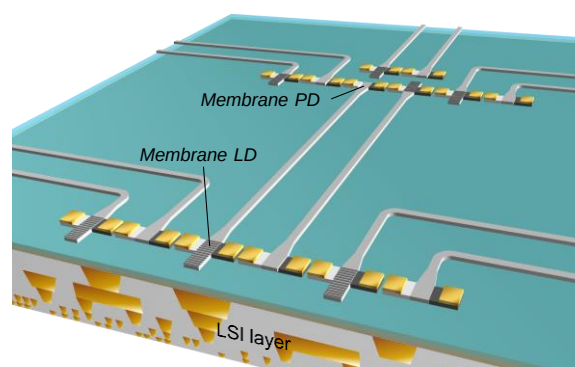


Fig. 1 Schematic image of membrane photonic integrated circuits on LSI.

め係数を従来の約 3 倍に増大できる。この結果、モード利得が増加し、しきい値電流の低減が期待できる。さらに、表面回折格子を形成することで、通常よりも高い屈折率結合係数を実現可能であり、活性層体積の低減が可能である。本研究では、共振器の片側に表面回折格子による分布ブラッグ反射器(DBR)を導入し、片側からの光出力の向上も図っている。

2001 年に初めての半導体薄膜レーザの光励起による動作が報告された[16]。その後、半導体薄膜レーザの電流注入動作を実現するために、活性層の両脇に p 型および n 型の InP を選択再成長することで、横方向の p-i-n 接合構造を形成する横方向電流構造(LCI)が導入された[17]。半絶縁性(SI) InP 上横方向電流注入型 Fabry-Perot (FP) レーザにおいて、分布量子井戸構造[18]や InP キャップ層の厚膜化[19]などにより内部量子効率 75%、導波路損失 cm^{-1} と良好な値が報告されている。これに加え、ベンゾシクロブテン(BCB)を用いた貼り付け法を導入することで、電流注入形薄膜 FP レーザの室温連続動作が実現された[20]。

本研究開始時点での薄膜レーザの課題としては、薄膜レーザの動作エネルギーの解析およびしきい値電流の低減が挙げられる。これまでに、低しきい値電流動作に向けた設計指針を示してきたが、実際の動作エネルギーの見積もりがおこなわれておらず、消費電力という観点での素子構造の設計が必要である。一方、実験としては、これまでに FP レーザにおいてしきい値電流 3.5 mA を実現したが、オンチップ光源の要求を満たすために表面回折格子の導入によるしきい値電流の低減が必須である。

以上のような課題を解決し、低消費電力動作可能な薄膜レーザの実現に向けて、本論文では

- ・ 低消費電力かつ高効率動作が可能な薄膜レーザの設計指針を提案すること

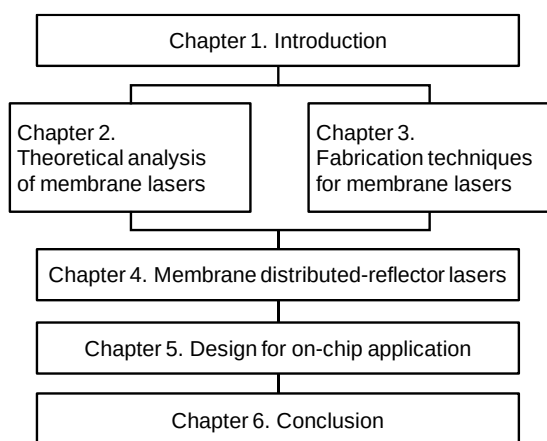


Fig. 2 Outline of this thesis.

- 高性能な薄膜レーザを実現することを目的として研究を行った。

Fig. 2 に本論文の構成を示す。Chapter 2 においてオンチップ光源への動作要求を明確化し、半導体薄膜分布反射型(DR)レーザの動作エネルギーに関して解析を行い、低消費電力動作可能なレーザ構造を提案する。Chapter 3 では、薄膜 DR レーザに必要な作製技術を示す。また、薄膜 DFB レーザの作製評価および低電圧動作に向けた検討を行った。Chapter 4 では、DBR の設計を行った後、薄膜 DR レーザを試作し、静特性および動特性の評価を行った。Chapter 5 ではさらなる効率向上を目的として、導波路損失の低減およびリーク電流の低減に関する検討を行った。さらに、しきい値電流低減に向け 2 反射器構造などの構造について検討を行った。加えて、オンチップで動作するために重要な温度特性について理論・実験の両面から検討を行った。最後に Chapter 6 を本論文のまとめとした。

Chapter 2 Theoretical analysis of membrane lasers

本章では、オンチップ光源への性能要求を明確にし、その条件での動作エネルギーについて解析を行った。オンチップ光配線用の半導体レーザ光源においては 1 チャネルあたり 100 fJ/bit を下回る消費エネルギーが試算されている[21]。また、薄膜レーザ、光導波路、光検出器のリンクを考えた場合、10 Gb/s 動作時に 10^{-9} 以下のビット誤り率(BER)を得るために必要な光検出器の平均受信パワーを -13 dBm、素子と光導波路間の結合損失および光導波路の伝搬損失を含めて 5 dB と仮定すると、レーザに要求される光出力は -8 dBm (0.16mW)となる。薄膜レーザの

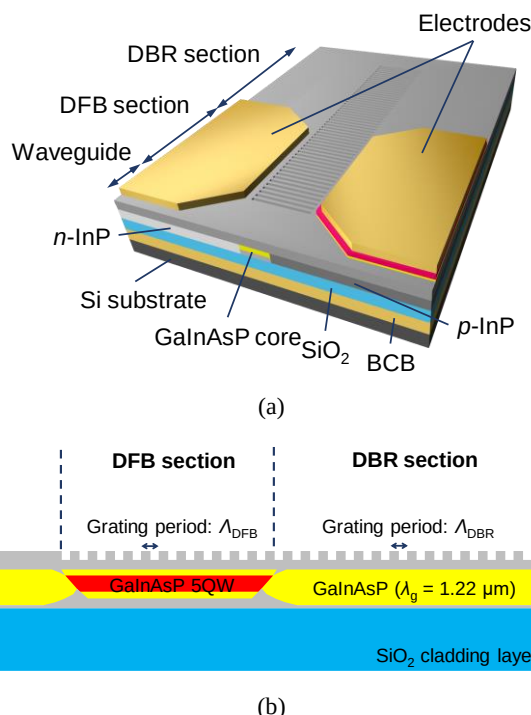


Fig. 3 (a) Schematic view and (b) cross sectional view of membrane DR lasers.

動作エネルギーを解析する際には以上の条件を考慮した。

Fig. 3 に薄膜 DR レーザの構造図および断面図を示す。薄膜 DR レーザは活性領域を有する DFB 領域および光導波路上に回折格子を形成した DBR 領域から構成される。後方の DBR により前方に光出力を集中させることができ、低消費電力かつ高効率な動作が期待される。薄膜構造ではコア厚を薄くすることで Fig. 4 に示すように高い屈折率結合係数と高い光閉じ込め係数を得ることが可能である。解析の際はコア厚(屈折率結合係数)の異なるそれぞれの構造に対して最も消費電力が低くなる共振器長を用いた。

Fig. 5 に消費電力の DFB 領域長依存性を示す。光出力 0.16 mW が得られる条件および変調速度 10Gb/s が得られる条件のそれぞれに対してプロットしており、この両者を満たすように消費電力を選べ必要がある。また、光出力 0.16 mW に必要な消費電力は短共振器領域で増大しており、抵抗値増大による消費電力の増大が懸念される。そこで、本研究では、抵抗値のうち支配的と考えられる p-InP サイドクラッド層の構造について検討を行った。結果としては、不純物濃度を $4 \times 10^{18} \text{ cm}^{-3}$ 、電極、活性層間距離を 1.2 μm とすることで短共振器構造において消費

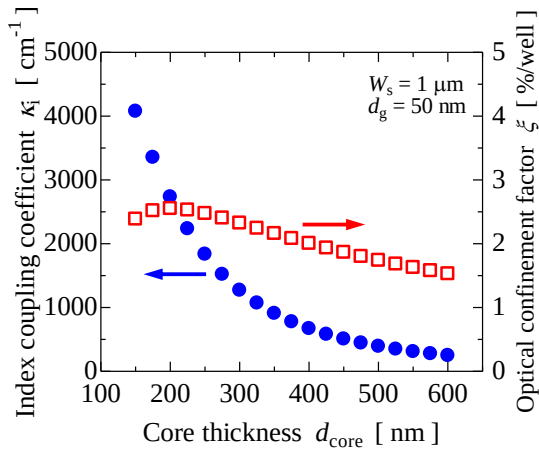


Fig. 4 Index coupling coefficient and optical confinement factor of membrane lasers as a function of core thickness.

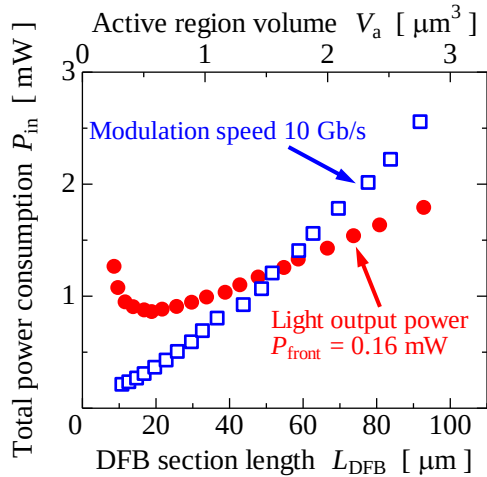


Fig. 5 Total power consumption for light output power of 0.16 mW and modulation speed of 10 Gb/s.

電力が最小となることが明らかとなった。この構造を用いた際の動作エネルギーは Fig. 6 のようになる。この結果から、屈折率結合係数を高め短共振器構造を用いることで動作エネルギーが低減可能であることがわかり、DFB 領域長が 40 μm 以下の場合 100 fJ/bit 以下の動作エネルギーが見積もられた。また、DFB 領域長 12 μm において最小エネルギーコスト 63 fJ/bit が得られた。さらに動作エネルギーを下げるためには、導波路損失や素子間の結合損失を含むリンクロス低減が必要がある。導波路損失については直線部分に対して側壁ラフネスの影響を受けにくい幅広導波路を用いることで低減可能である。また、結合損失に関してはテーパ構造を導入することで大幅に改善可能である。以上のような構造を導

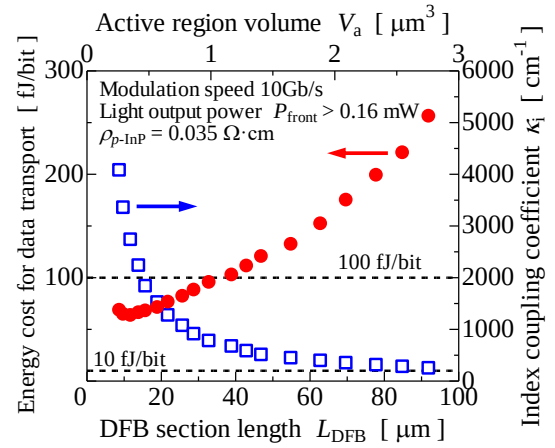


Fig. 6 Energy cost for data transport as a function of DFB section length.

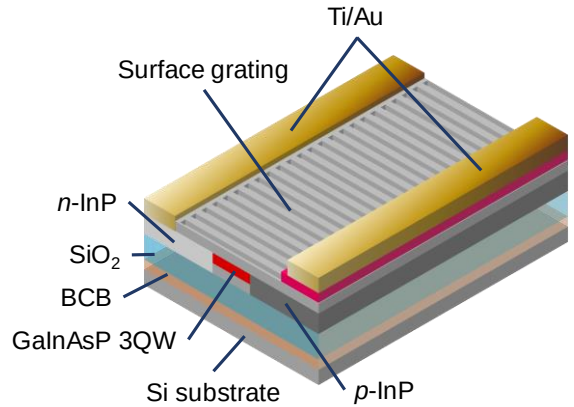


Fig. 7 Schematic structure of membrane DFB laser.

入しリンクロスが 1 dB 程度であると仮定した場合、最小エネルギーは 33 fJ/bit まで低減可能であると試算された。以上の結果は、オンチップ光源としての要求を満たすものであり、十分な性能を備えていることが明らかとなった。

Chapter 3 Fabrication techniques for membrane lasers

本章では、薄膜レーザの作製に必要な作製技術であるバットジョイント再成長プロセスや BCB による貼り付けプロセス、回折格子の作製プロセスなどについて述べた。また、実際に試作した薄膜 DFB レーザの特性を示し、課題である抵抗値の低減に向けた改善プロセスを提案した。

薄膜レーザではこれまでに FP レーザにおいて 3.5 mA のしきい値電流を実現してきたが、さらにしきい値電流を低減するためには回折格子構造を導入し共振器への光閉じ込めを増大させる必要がある。

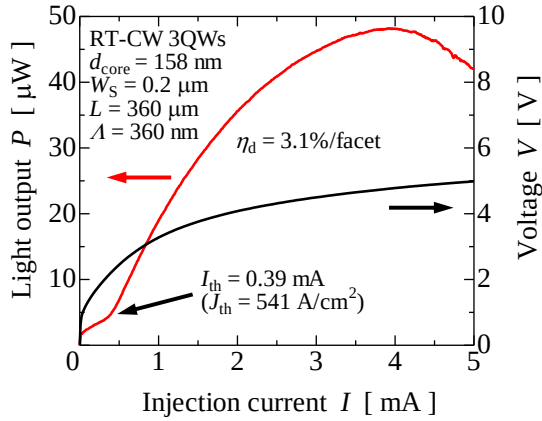


Fig. 8 Current-light output and current-voltage characteristics of fabricated membrane DFB laser.

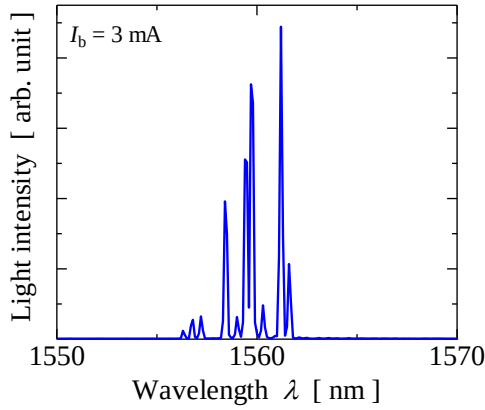


Fig. 9 Lasing spectrum of fabricated membrane DFB laser.

そこで Fig. 7 に示すコア厚 158 nm で 3 層の GaInAsP 量子井戸を有する薄膜 DFB レーザを試作した。まず、pn 接合を形成するために、2 段階の有機金属気相成長(OMVPE)による選択再成長を用いて、活性層の両脇に n-InP および p-InP を成長した。その後厚さ 1 μm の SiO₂ クラッド層を成膜し、BCB を塗布した Si 基板上に上下が逆の状態で貼り付けた。続いて InP 基板およびエッチストップ層を除去し、電極蒸着、回折格子形成を行った。試作した素子を劈開することで端面を形成した。Fig. 8 に作製したストライプ幅 0.2 μm、共振器長 360 μm の素子の電流-光出力特性および電流-電圧特性を示す。しきい値電流として 0.39 mA が得られ、狭ストライプ構造および回折格子の効果が表れていると考えられる。一方で外部微分量子効率が 3.1%/facet と低く、微分抵抗についても 390 Ω と高い結果となった。Fig. 9 にスペクトル特性を示しており、マルチモードで動作している

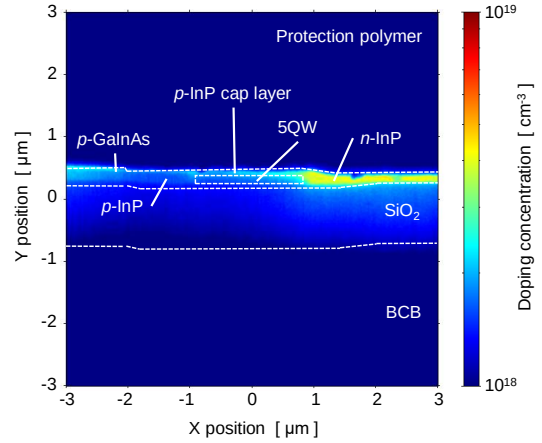


Fig. 10 Cross sectional doping concentration of membrane laser.

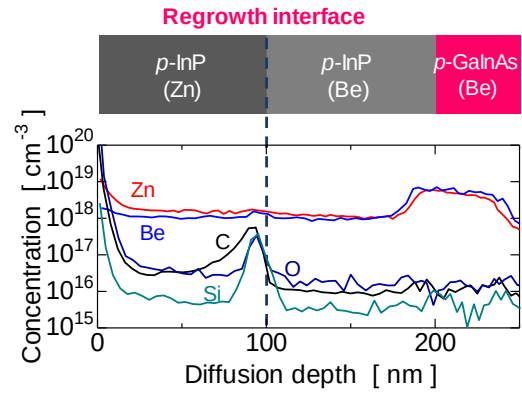


Fig. 11 Doping concentration under p-electrode.

ことが確認できる。この原因としては、今回試作した構造では屈折率結合 κL が非常に高いことと回折格子周期が適切ではないことなどが考えられる。以上の結果から、薄膜レーザのサブ mA しきい値電流を実現したが、効率が低いことや単一モード動作が得られていないこと、抵抗値が高いことなどの課題が挙げられる。第 3 章では特に低電圧動作のための作製プロセスについて検討を行った。

Fig. 10 に断面の不純物濃度を示す。結果としては p-InP および n-InP において概ね設計通りの濃度分布が得られた。しかしながら、Fig. 11 に示す p 電極直下の不純物分布から、p-InP 領域中に n 型となる炭素やシリコン、酸素といった元素が含まれることがわかった。これは再成長前に、表面を大気に暴露した際、付着したものと考えられる。この影響により電流電圧特性が劣化していたことが考えられる。この n 型となる領域を補償するために再成長プロセスの改善と Au/Zn/Au 電極の導入について検討した。再成長プロセスについて、p-GaInAs 上に再成長す

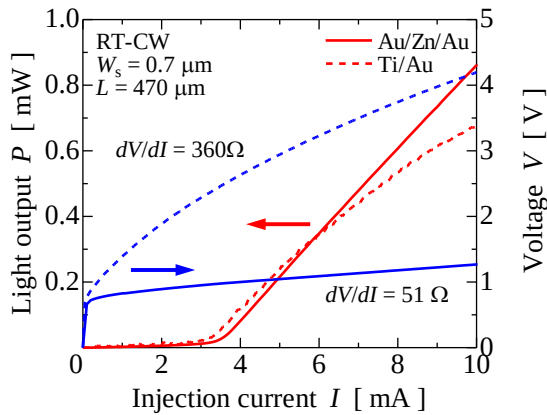


Fig. 12 Current-light output and current-voltage characteristics of membrane FP lasers.

ることで、高濃度 p-GaInAs による補償が期待される。また、Au/Zn/Au 電極では、アニールを行うことで半導体層と混ざり合金化し、Zn の拡散効果も期待できる。TLM 法を用いた測定から、両方のプロセスを用いることで、シート抵抗 $2700 \Omega/\square$ 、固有接触抵抗 $\rho_c = 6.0 \times 10^{-6} \Omega \cdot \text{cm}^2$ と良好な値を得た。レーザの低電圧動作を確認するために、以上のプロセスを用いた FP レーザの試作を行った。Fig. 12 に従来プロセスの素子と改善プロセスの素子の電流－光出力、電流－電圧特性を示す。ストライプ幅は $0.7 \mu\text{m}$ 、共振器長は $470 \mu\text{m}$ である。光出力特性はほぼ同様であるが、電圧特性は大きく改善されており、素子抵抗は約 1/5 程度に低減された。このプロセスを導入することで、DR レーザの低電圧動作が期待される。

Chapter 4 Membrane distributed-reflector lasers

第 2 章では理論解析を行い、第 3 章では作製技術に触れたが、第 4 章ではこれらの設計・作製技術を用いて、薄膜 DR レーザを実際に試作し、特性評価を行った。

薄膜 DR レーザでは受動領域を集積する必要があり、GaInAsP のバットジョイント再成長を用いた。そのほかの作製プロセスは第 3 章で述べたものと同様である。まず、活性領域長が $80 \mu\text{m}$ の DBR レーザを作製した。前端面は劈開端面であり、後方に長さ $50 \mu\text{m}$ の DBR が集積された構造となっている。その電流－光出力特性からしきい値電流 1.7 mA 、前方微分量子効率 35% の高効率動作が得られた。この結果を用いて DBR 反射率 75% を見積もった。理論値とは差が見られたが、回折格子からの散乱の影響などが考えられる。続いて、薄膜 DR レーザを作製した。

DFB 領域長 $61 \mu\text{m}$ 、DBR 領域長 $50 \mu\text{m}$ の素子において、しきい値電流 0.48 mA および前面外部微分量子効率 26% の低しきい値電流かつ高効率動作が得られた。また、発振スペクトルからは SMSR 40 dB の単一モード動作が得られた。次に、DFB 領域長 $30 \mu\text{m}$ および $61 \mu\text{m}$ の素子について小信号応答特性の評価を行い、最大 3 dB 帯域 12.8 GHz および 9.7 GHz を得た。これらの結果は 10 Gb/s 動作には十分な値である。また、変調効率はそれぞれ $7.9 \text{ GHz/mA}^{1/2}$ および $7 \text{ GHz/mA}^{1/2}$ となり、一般的な GaInAsP 系レーザに比べ高い値が得られた。これは活性層体積が非常に小さいことに起因していると考えられる。最後に、DFB 領域長 $61 \mu\text{m}$ の素子について 10 Gb/s の信号伝送測定を行った。バイアス電流 3 mA 、電圧振幅 0.8 V の条件でビット誤り率を測定したところ、最小ビット誤り率として 5.4×10^{-6} が得られた。このとき、エネルギーコストは 980 fJ/bit となった。エラーフリーとならなかった原因としては、後端面からの反射戻り光の影響が考えられる。AR コーティングなどで反射を抑制することで、さらに低いエネルギーでの動作が期待される。

以上の結果から、薄膜 DR レーザの低消費電力動作を実現した。

Chapter 5 Design for on-chip application

本章では、オンチップ応用に向けさらにしきい値電流を低減可能な構造について検討し、また、オンチップ応用に要求される高温動作についても検討を行った。

第 4 章で示した素子では、しきい値電流および外部微分量子効率が理論値と一致していなかった。この原因の一つとして、受動領域への漏れ電流の影響が懸念される。そこで、この漏れ電流を抑制するために電流狭窄構造として受動領域部分の脇を除去した溝構造を導入した。その結果、短共振器素子ではしきい値電流が低減され、理論値に近い値が得られた。一方、外部微分量子効率に関しては、改善が見られなかったため、回折格子からの散乱や導波路損失などの影響が考えられる。

しきい値電流を低減するための異なるアプローチとして、Fig. 13 に示すような 2 つの反射鏡を有する薄膜 DR レーザについても検討を行った。この構造では共振器方向の光閉じ込めを高めることができるため、比較的低い屈折率結合係数の構造においても低しきい値電流動作が実現可能であることが理論的に示された。

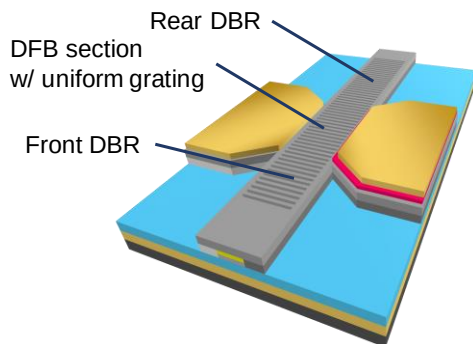


Fig. 13 Membrane DR laser with two mirror structure.

最後に、薄膜レーザの温度依存性について検討を行った。まずは理論解析を行い、薄膜レーザは非常に高い熱抵抗を有するが動作電流が低いため、自己発熱の影響は小さいことを示した。また、温度依存性についても解析を行い、100 °C までの動作が可能であることを示した。

次に、試作した DFB 領域長 30 μm 、DBR 領域長 50 μm の素子について温度特性の評価を行った。室温において、しきい値電流 0.29 mA、外部微分量子効率 23% が得られた。発振波長の熱に変化する電力の依存性から見積もった熱抵抗は 5250 K/W となった。さらに電流－光出力特性の温度依存性から、しきい値電流 1 mA 以下で、90 °C までの連続発振が得られた。また、しきい値電流の特性温度は 84 K となり、GaInAsP 系のレーザとしては良好な値が得られた。この要因としては、低電圧駆動により p-InP での発熱が抑制されたことや発振波長が 1566 nm と長波長であり、ブラッグ波長デチューニングの効果が表れていることなどが挙げられる。今後デチューニング量を増やすことで、高温での安定動作が期待される。さらに、スペクトル特性からは 80 °C まで、SMSR 40 dB 以上の単一モード動作が得られた。

Chapter 6 Conclusions

薄膜分布反射型レーザの低消費電力動作の実現を目的として研究を行い以下の結果を得た。

- (1) 薄膜分布反射型レーザの動作エネルギー解析
 - ・ 薄膜分布反射型レーザの低消費電力動作可能性($L_{\text{DFB}} = 12 \mu\text{m}$ において 63 fJ/bit)
 - ・ 散乱損失抑制に向けた 2 つの反射器を有する構造の検討
- (2) 薄膜分布反射型レーザの高性能化

- ・ 表面回折格子を導入した薄膜 DFB レーザの低いしきい値動作($I_{\text{th}} = 0.39 \text{ mA}$)
- ・ 再成長プロセス改善および Au/Zn/Au 電極導入による低電圧動作化
- ・ 薄膜分布反射型レーザにおける低いしきい値電流・高効率動作($I_{\text{th}} = 0.48 \text{ mA}$ 、 $\eta_{\text{df}} = 26\%$)
- ・ 薄膜分布反射型レーザの高速変調動作(DFB 領域長 30 μm の素子において $f_{3\text{dB}} = 12.8 \text{ GHz}$)
- ・ 温度特性に関する検討(DFB 領域長 30 μm の素子において 90 °C 連続発振を実現)

Reference

- [1] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE J. Solid-State Circuits*, vol. 9, no. 5, pp. 256-268, Oct. 1974.
- [2] P. Kapur, J. P. McVittie, and K. C. Saraswat, "Technology and reliability constrained future copper interconnects—Part I: Resistance modeling," *Trans. on Electr. Dev.*, Vol. 49, No. 4, pp. 590-597 Apr. 2002.
- [3] P. Kapur, G. Chandra, J. P. McVittie, and K. C. Saraswat, "Technology and reliability constrained future copper interconnects.II. Performance implications," *Trans. on Electr. Dev.*, Vol. 49, No. 4, pp. 598-604, Apr. 2002.
- [4] D. A. B. Miller, "Rationale and challenges for optical interconnects to electronic chips," *Proc. IEEE*, vol. 88, no. 6, pp. 728-749, June 2000.
- [5] G. Chen *et al.*, "Prediction of CMOS compatible on-chip optical interconnect," *Integration, the VLSI journal*, vol. 40, no. 4, pp. 434-446, Oct. 2006.
- [6] K. Ohashi *et al.*, "On-chip optical interconnect," *Proc. IEEE*, vol. 97, no. 7, pp. 1186-1198, July 2009.
- [7] P. Moser *et al.*, "81 fJ/bit energy-to-data ratio of 850 nm vertical-cavity surface emitting lasers for optical interconnects," *Appl. Phys. Lett.*, vol. 98, no. 23, pp. 231106-1-3, June 2011.
- [8] S. Imai *et al.*, "Recorded low power dissipation in highly reliable 1060-nm VCSELs for 'Green' optical interconnection," *IEEE J. Sel. Topics Quantum Electron.*, vol. 17, no. 6, pp. 1614-1620, Nov. 2011.
- [9] A. Kasukawa, "VCSEL technology for green optical interconnects," *IEEE Photonic Journal*, vol. 4 no. 2, pp. 642-646. Apr. 2012.
- [10] P. Moser, J. A. Lott, and D. Bimberg, "Energy Efficiency of Directly Modulated Oxide-Confined High Bit Rate 850-nm VCSELs for Optical Interconnects," *IEEE J. Sel. Topics Quantum Electron.*, vol. 19, no. 4, art. no. 1702212, July/Aug. 2013.
- [11] S. Matsuo *et al.*, "High-speed ultracompact buried heterostructure photonic-crystal laser with 13 fJ of energy consumed per bit transmitted," *Nature Photonics*, vol. 4, no. 9, pp. 648-654, Sept. 2010.
- [12] B. Ellis *et al.*, "Ultralow-threshold electrically pumped quantum-dot photonic-crystal nanocavity laser," *Nature Photonics*, vol. 5, no. 5, pp. 297-300, May 2011.

- [13] S. Matsuo *et al.*, "Room-temperature continuous-wave operation of lateral current injection wavelength-scale embedded active-region photonic-crystal laser," *Optics Express*, vol. 20, no. 4, pp. 3773-9780, Feb. 2012.
- [14] K. Takeda *et al.*, "Few-fJ/bit data transmissions using directly modulated lambda-scale embedded active region photonic-crystal lasers," *Nature Photonics*, vol. 7, no. 7, pp. 569-575, July 2013.
- [15] S. Arai, N. Nishiyama, T. Maruyama, and T. Okumura, "GaInAsP/InP membrane lasers for optical interconnects," *IEEE J. Sel. Topics Quantum Electron.*, vol. 17, no. 5, pp. 1381-1389, Sep./Oct. 2011.
- [16] T. Okamoto, N. Nunoya, Y. Onodera, S. Tamura, and S. Arai, "Continuous wave operation of optically pumped membrane DFB laser," *Electron. Lett.*, vol. 37, no. 24, pp. 1455-1457, Nov. 2001.
- [17] T. Okumura, H. Ito, D. Kondo, N. Nishiyama, and S. Arai, "Continuous wave operation of thin film lateral current injection lasers grown on semi-insulating InP substrates," *Jpn. J. Appl. Phys.*, vol. 49, no. 4, pp. 040205-1- 040205-3, Apr. 2010.
- [18] M. Futami *et al.*, "GaInAsP/InP Lateral Current Injection Laser with Uniformly Distributed Quantum Well Structure," *IEEE Photon. Technol. Lett.*, vol. 24, no. 11, pp. 888-890, June 2012.
- [19] M. Futami, K. Shinno, T. Shindo, T. Amemiya, N. Nishiyama, and S. Arai, "Improved quantum efficiency of GaInAsP/InP top air-clad lateral current injection lasers," in *2012 IEEE Optical Interconnects Conference*, 2012, pp. 34-35.
- [20] K. Doi, T. Shindo, M. Futami, J. Lee, T. Hiratani, D. Inoue, S. Yang, T. Amemiya, N. Nishiyama, and S. Arai, "Room-temperature continuous-wave operation of lateral current injection membrane laser," *The 25th International Conference on Indium Phosphide and Related Materials (IPRM 2013)*, Kobe, Japan, Wed2-3, pp. 1-2, May 2013.
- [21] D. A. B. Miller, "Device requirements of optical interconnects to silicon chips," *Proc IEEE*, vol. 97, no. 7, pp. 1166-1185, July 2009.