

論文 / 著書情報
Article / Book Information

題目(和文)	機能素子内蔵基板の配線設計技術に関する研究
Title(English)	
著者(和文)	大島大輔
Author(English)	Daisuke Ohshima
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10341号, 授与年月日:2016年9月20日, 学位の種別:課程博士, 審査員:益 一哉,松澤 昭,筒井 一生,若林 整,石原 昇,伊藤 浩之
Citation(English)	Degree:, Conferring organization: Tokyo Institute of Technology, Report number:甲第10341号, Conferred date:2016/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第		号	学位申請者氏名		大 島 大 輔	
論文審査 審査員		氏 名	職 名		氏 名	職 名	
	主 査	益 一哉	教授	審査員	石原 昇	特任教授	
	審査員	松澤 昭	教授		伊藤浩之	准教授	
		筒井一生	教授				
		若林 整	教授				

論文審査の要旨（2000 字程度）

本論文は、スマートフォン等に代表される高密度化の要求が著しい電子機器において、ロジック、メモリ混載実装構造の一つである System in Package (SiP)の薄型化技術について纏めたものであり、「機能素子内蔵基板の配線設計技術に関する研究」と題し、全 5 章からなる。

第 1 章「序論」では、実装技術のこれまでの歴史と薄型化が求められていることについて説明し、研究の目的を SiP の薄型化としたことを述べている。研究実施時期である 2008 年時点における従来技術である Flip Chip Ball Grid Array (FCBGA)や Fine-pitch Ball Grid Array (FBGA)について論じ、より薄型化するための課題を述べている。

第 2 章「受動素子内蔵基板による最適インダクタンス設計技術」では、共通基盤技術である受動素子内蔵基板の設計技術について述べている。新規開発技術により、キャパシタ、抵抗、インダクタを配線基板に埋め込み、従来のチップ素子と比較して同等以上の高周波特性を有しながら薄型化と小型化を実現できることを実証している。また、寄生インダクタンスが高周波特性に与える影響について述べ、寄生インダクタンスを低減する手法について明らかにしている。

第 3 章「2D-SiP 用能動素子内蔵基板薄型化のための最適インダクタンス設計技術」では、CPU が搭載された FCBGA パッケージの薄型化について述べている。コアレス基板に CPU チップを内蔵した薄型構造の提案と、その設計技術について述べている。新構造では、コアレス基板を作製する過程で必要であった銅板支持体を除去せずに、むしろ積極的に活用するという特徴を有している。従来のビルドアップ基板利用のパッケージと比較して 37%の厚みを実現した。銅板は機械的強度を維持する支持体であることに加え、電気的にはグランド面であり、熱的には放熱体としても効果的に機能する。そのため、近傍磁界の抑制効果や、従来構造では必須であったヒートシンクが不要となり、さらなる機器の薄型化が図れることを明らかにしている。新構造では多ピンのチップを内蔵できることが特長であり、約 1500 ピンのチップを 27mm 角、625 パッドのパッケージに内蔵した。

第 4 章「3D-SiP 用能動素子内蔵基板薄型化のための最適インダクタンス設計技術」では、2 種類のパッケージが積層された Package on Package (PoP)構造の下段パッケージ(FBGA)の薄型化について述べている。第 3 章との構造の最大の違いは、銅板支持体を備えず、基板両面に端子を有する点である。内蔵チップが基板両面を貫通する配線経路の障害となるため、チップの外周部に形成される Silicon Side Via (SSV)が小型化のボトルネックとなる。配線の寄生インダクタンスが最小となるような SSV と内蔵チップの端子レイアウトを得ることができるチップ・パッケージ協調設計手法を示している。既存のロジックチップを利用した試作において、厚みを 370 μm にすることができ、従来の非内蔵構造の 630 μm に対して約 60%の薄型化を実現し、その有効性を示している。本章で開発した設計手法は汎用的であるため、類似の構造であれば適用可能である。

第 5 章「結論」では、これらの研究成果を総括し、今後の展望を述べている。

以上要するに、本論文は、機能素子内蔵基板による SiP の薄型化設計技術とその有効性を実証し、今後より薄型化が望まれる IoT デバイス実装技術への適用可能性があることから、学術上、工業上貢献するところが大きい。よって、本論文を博士(工学)の学位論文として十分価値あるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。