

論文 / 著書情報
Article / Book Information

題目(和文)	大容量多値フラッシュメモリのための高速化および高信頼化技術の研究
Title(English)	
著者(和文)	倉田英明
Author(English)	Hideaki Kurata
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10666号, 授与年月日:2017年9月20日, 学位の種別:課程博士, 審査員:杉野 暢彦,小林 隆夫,中村 健太郎,黒澤 実,伊藤 浩之
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10666号, Conferred date:2017/9/20, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

論文要旨

THESIS SUMMARY

専攻： Department of	物理情報システム	専攻	申請学位（専攻分野）： Academic Degree Requested	博士 Doctor of	（工学）
学生氏名： Student's Name	倉田 英明		指導教員（主）： Academic Supervisor(main)	杉野 暢彦 准教授	
			指導教員（副）： Academic Supervisor (sub)		

要旨（和文 2000 字程度）

Thesis Summary (approx.2000 Japanese Characters)

フラッシュメモリは、データの書き込み消去を自由に行うことができ、電源を切っても内容が消えない不揮発性半導体メモリである。デジタルスチルカメラ、PC、スマートフォンなどのデータ保存用ストレージとして広く利用され、市場規模は約 3 兆円に達している。今後は、AI やビッグデータ分析により新たなサービスを創生する情報処理基盤のストレージとして、フラッシュメモリには更なる大容量化と高速化が期待されている。フラッシュメモリの大容量化には 1 つのメモリセルに複数ビットを記憶させる多値技術が最も効果的であるが、書き込み性能と信頼性の低下が課題である。そこで、本論文では、大容量多値フラッシュメモリの高速化ならびに高信頼化技術について、以下の各章で論じている。

まず、第 2 章では、多値フラッシュメモリの書き込み高速化を実現する定電荷注入方式について述べる。多値フラッシュメモリの書き込み高速化には、フローティングゲート (FG) への電子注入の高速化、書き込み効率の向上、特性ばらつきの低減が重要であるが、従来のソースサイド注入 (SSI) 方式では特性ばらつきの大きいことが課題であった。SSI 方式は、選択トランジスタをサブスレショルド領域で動作させ、電子注入の高速化と書き込み効率の向上を実現している反面、製造プロセスのばらつきにより、チャネル電流が 2 桁以上変動することが特性ばらつきの原因となっていた。これに対して定電荷注入方式は、メモリセル毎に容量を設置し、この容量に予め蓄積した一定量の電荷をメモリセルに流して書き込むことで特性ばらつきを抑制する。32M ビットのメモリアレイを用いて評価したところ、書き込み後のしきい値電圧 (V_{th}) 分布幅が、従来の SSI 方式では 5.5V であるのに対して、定電荷注入方式では 1.5V となり、特性ばらつきの大幅な低減を実現した。

次に、第 3 章では、定電荷注入方式を拡散層 AG-AND 型フラッシュメモリへ適用した際の課題と対策について述べる。拡散層 AG-AND 型フラッシュメモリは、コントロールゲート (CG)、FG に加えて、第 3 のゲートであるアシストゲート (AG) を有し、AG により隣接メモリセル間の素子分離を行うことで $6F^2$ のセル面積を実現している。130nm CMOS プロセスで試作した 16Gb フラッシュメモリにおいて定電荷注入方式を適用し、ソース電位で書き込み選択/非選択を行う方式を採用することで、書き込みに要する時間を従来の $1250\mu s$ から $550\mu s$ まで短縮した。更に SRAM バッファを用いた 4 バンク動作方式を適用することで、チップ面積を増加させることなく、書き込みスループットを従来の 2MB/s から 10MB/s へと高速化している。

第 4 章では、定電荷注入方式を反転層 AG-AND 型フラッシュメモリへ適用した際の課題と対策について述べる。反転層 AG-AND 型フラッシュメモリは、AG に正電圧を印加した際に形成される反転層をソース/ドレインとして用いることで微細化を推し進め、 $4F^2$ のセル面積を実現している。高抵抗かつ温度依存性のある反転層抵抗を高精度に制御するため、ワード線電圧アドレス補償方式と AG 電圧による温度補償方式を適用した。90nm CMOS プロセスで試作した 4Gb フラッシュメモリにおいて定電荷注入方式を実装するのに際し、チャージシェア方式、セルフブースト方式、ソース負バイアス方式を適用することで、10MB/s の書き込みスループットを達成している。

第 5 章では、フラッシュメモリの信頼性において問題となるランダム・テレグラフ・シグナル (RTS) について議論した上で、多値フラッシュメモリの高信頼化を支える統計的しきい値電圧設計手法について述べる。RTS は MOS トランジスタのゲート酸化膜中に電荷捕獲準位が存在すると、その準位への電荷の捕獲、放出により、振幅が不規則な電流雑音や V_{th} 変動を生む現象である。今回、大規模メモリアレイを用いて V_{th} 変動を評価し、90 nm プロセスで作成したフラッシュメモリにおいて、0.2V 以上の V_{th} 変動を有するメモリセルの存在を初めて見出した。また、 10^4 回書換えを行うことで 0.3V 以上の V_{th} 変動を示すメモリセルが確認することができた。 V_{th} を変動させる要因が複数存在する中、多値フラッシュメモリを正しく動作させるためには、 V_{th} の設計が重要となる。従来は全ての要因のワースト値を考慮して設計を行っていたのに対し、ECC を前提として各要因を確率分布として取り扱う設計手法を提案した。本手法により、要求されるチップ不良率と、メモリチップに付与されたエラー訂正能力から、信頼性を維持しつつ、最適な V_{th} 分布の設計を行うことが可能となった。

最後に、第 6 章では、本論文で明らかにされた結論について纏め、フラッシュメモリの更なる微細化や多値化、3D 化に向けた今後の展開について述べる。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチポジトリ (T2R2) にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

専攻：	物理情報システム	専攻
Department of		
学生氏名：	倉田 英明	
Student's Name		

申請学位 (専攻分野)：	博士	(工学)
Academic Degree Requested	Doctor of	
指導教員 (主)：	杉野 暢彦	准教授
Academic Supervisor(main)		
指導教員 (副)：		
Academic Supervisor(sub)		

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

The market for high capacity flash memories has been growing with increasing application of data storage in digital equipments. In order to create services by artificial intelligence, higher capacity and higher programming throughput are required for flash memory. Though multilevel program cell (MLC) technique is one of the most effective approaches for increasing capacity, it is difficult to achieve high programming throughput and high reliability. In this thesis, high programming throughput and high reliability in MLC flash memories are described.

In section 2, constant charge injection programming (CCIP) is proposed for high-throughput MLC programming. Though conventional source-side-injection (SSI) programming has advantages on high-speed cell programming and high programming efficiency, large characteristic variation degrades programming throughput of MLC flash memory. CCIP reduces the characteristic variation by using constant charge stored in capacitor. Threshold voltage (V_{th}) variation is drastically narrowed from 5.5V to less than 1.5 V by CCIP.

In section 3, implementation of CCIP to diffusion AG-AND flash memory is described. The cell size of diffusion AG-AND is reduced to $6F^2$ by removing shallow trench isolation. By applying CCIP to 1Gb diffusion AG-AND flash memory, programming time is reduced from $1250\mu s$ to $550\mu s$. Programming throughput of 10MB/s is achieved by both CCIP and four-bank operation.

In section 4, implementation of CCIP to inversion AG-AND flash memory is described. The cell size of inversion AG-AND is reduced to $4F^2$ by applying inversion layer under AGs for source and drain. Address compensation and temperature compensation methods are applied to control resistance of inversion layer. Programming throughput of 10MB/s is achieved by charge-share, self-boost and negative source techniques.

In section 5, reliability in MLC flash memories is described. V_{th} fluctuation due to random telegraph signal (RTS) in flash memory is observed for the first time. Proposed statistical design methods with error correction codes (ECC) enables optimized V_{th} levels of MLC flash memory.

In section 6, conclusion and future concerning problems are described.

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).