

論文 / 著書情報
Article / Book Information

題目(和文)	MEMS-LSI集積化による小型高精度かつ高信頼性を指向した容量式センサ技術の研究
Title(English)	
著者(和文)	藤森司
Author(English)	Tsukasa Fujimori
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10667号, 授与年月日:2017年9月20日, 学位の種別:課程博士, 審査員:杉野 暢彦,小林 隆夫,中村 健太郎,黒澤 実,伊藤 浩之
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10667号, Conferred date:2017/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

東京工業大学

学位論文

MEMS-LSI 集積化による小型高精度かつ
高信頼性を指向した容量式センサ技術の研究

大学院総合理工学研究科

物理情報システム専攻

藤森 司

平成 29 年 9 月

目次

第 1 章 序論	5
1.1 はじめに.....	5
1.2 MEMS センサのトレンド.....	5
1.3 MEMS センサの検出原理.....	8
1.4 MEMS と LSI 集積化方法と課題	10
1.5 本論文の目的と概要.....	15
1.6 第 1 章の参考文献.....	16
第 2 章 LSI 配線工程で MEMS を形成する配線 MEMS プロセス	19
2.1 はじめに.....	19
2.2 MEMS・LSI 集積化方式の比較と課題.....	20
2.3 配線 MEMS 材料	21
2.4 配線 MEMS プロセス	23
2.4.1 MEMS 容量素子プロセスフロー	23
2.4.2 膜応力の制御.....	25
2.4.3 ダイアフラム構造の形成と封止プロセス	31
2.5 配線 MEMS プロセスによる MEMS 容量素子の試作結果.....	36
2.6 まとめ	42
2.7 第 2 章の参考文献.....	42
第 3 章 LSI 配線材料により形成された MEMS の信頼性.....	45
3.1 はじめに.....	45
3.2 MEMS・LSI 集積化センサに要求される信頼性	46
3.3 金属疲労耐性の評価.....	48
3.4 耐温度・耐湿度性に関する信頼性	53
3.4.1 MEMS における耐温度・耐湿度性.....	53
3.4.2 タングステンおよびタングステンシリサイドの応力変化	53
3.4.3 層間絶縁膜とパッシベーション膜の応力変化.....	56

3.5 耐湿性および熱衝撃試験.....	61
3.6 まとめ	63
3.7 第3章の参考文献.....	63
第4章 LSI配線プロセスによるMEMS-LSI集積化圧力センサ	69
4.1 はじめに.....	69
4.2 圧力センサにおけるMEMS-LSI集積化の必要性	70
4.3 試作した集積化圧力センサの検出方式	70
4.4 配線MEMS-LSI集積化プロセスフロー	73
4.5 集積化圧力センサの回路構成	75
4.6 MEMS-LSI集積化レイアウト	79
4.7 プラットフォーム化.....	80
4.8 集積化圧力センサの試作と評価結果.....	82
4.8.1 試作仕様	82
4.8.1 評価方法	84
4.8.2 評価結果	86
4.9 まとめ	89
4.10 第4章の参考文献	90
第5章 結論と今後の展望.....	93
5.1 結論.....	93
5.2 今後の展望	96
5.3 第5章の参考文献	97
研究業績.....	99
謝辞	101

第1章 序論

1.1 はじめに

本論文は、MEMS (Micro Electro Mechanical Systems) センサの小型高精度化を目的に、MEMSとLSIを集積化した高信頼な容量式センサを実現する技術について研究したものである。本章では、この研究の位置付けを明確にするために、まず、1.2節でMEMSセンサの小型高精度化への要求についてセンシングアプリケーションからの要求、および、半導体電子デバイスの進化としての側面から述べる。次に1.3節ではMEMSセンサの検出原理と課題について述べ、続く1.4節では、この課題を解決するアプローチとしてのMEMSとLSIの集積化方式について既存の方式と技術課題について述べる。最後に1.5節ではこれらの背景を踏まえ、本研究の概要を纏める。

1.2 MEMS センサのトレンド

MEMS は半導体加工技術を応用し、電氣的機械的に動作する 3 次元構造体を形成する技術である。ピエゾ抵抗効果を応用した MEMS 圧力センサが開発されて以来[1]、様々な用途へ適用されている。特に MEMS 技術により形成される MEMS センサは、圧力や慣性力などの物理量センサを小型・低コスト化なものとした。その結果、かつては航空機等の大型機器でしか用いることが難しかったセンサを用いた制御系を安価に構築可能となり、MEMS センサは様々なシステムの高度化を実現するキーデバイスとなった。MEMS センサの用途の一例について図 1.1 に示す。MEMS センサの最も初期のアプリケーションの一つであった自動車は、流量センサによるエンジン制御や加速度センサによる姿勢制御など、高機能化と電装化が進むにつれてセンサを多数活用している[2]。今後も自動運転などに向けて、センサの活用はより進むと見込まれている。また、デジタルカメラやゲーム機器などの民生機器分野でも、加速度センサやジャイロスコープなどにより利用者の姿勢や動作を検知し、その結果を動作にフィードバックすることで高機能化を実現してきた。各種のスマートデバイスなどにおいて、今後も差別化を実現するキーデバイスとして MEMS センサのさらなる活用が見込まれる。このように MEMS センサは、様々なシステムにおいて適用範囲と用途を拡大している。

今後はアプリケーションの多様化により、センサの適用シーンは益々増加すると考えられる。例えば、1990 年代に Smart Dust の概念が提唱されて以来、身の回りの様々なところにセンサを設置して無線でデータを収集するセンサネットワークが期待されている[3]。近年、この概念は、無線やネットワークなどの IT 技術が進展し、あらゆるモノがインターネットに接続されるという Internet of Things(IoT) として実現されつつある。また、収集したデータを人工知能などによりビッグデータ解析することで、従来は観測できなかった社会事象を捉え、解析結果を現実世界にフィードバックするサイバーフィジカルシステムの実現が期待されている。このように物理現象を捉え、IT 空間に現実世界を同期する手段としてセンサの活用は今後も進むと考えられる。また、産業分野や、自動車分野における制御系の高度化も行われている。産業用計測器や自動車においても、物理状態を把握し、その結果に基づくフィードバック制御を行うコアダバイスとしてセンサは活用されている。産業分野における IT 化の進展や、自動運転などアプリケーションを実現するための高度な制御処理においても、センサは重要な役割を果たしていくと考えられる。これらの IoT や自動運転、人工知能によるビッグデータ解析などをビークルとして、センサの利用シーンは多様化・高度化が進んでおり、そのキーデバイスとなる MEMS センサに対し、更なる小型化や機能集積化への期待は強まっている。

一方、電子デバイスの一種として MEMS センサの進化を見ると、MEMS センサは半導体技術の「More than Moore」の側面の 1 つと位置付けられている。国際半導体技術ロードマップ(ITRS)では、2005 年より More than Moore の軸の一つにセンサが位置づけられていた[4]。近年では、微細化による高性能化が終焉を迎える中、International Roadmap for Devices and Systems (IRDS) においては、IoT や自動運転、人工知能によるビッグデータ解析などのアプリケーションをビークルとして、従来の LSI と、センサなどの異種機能を融合した Heterogeneous Component を More than Moore を実現するものとして定義し議論されている[5]。

以上のようにアプリケーションからの要求において、また、微細化に依らない More than Moore としての電子デバイスの進化としても、MEMS センサには更なる機能集積化が期待されている。この実現のための有力な手段の一つとして、MEMS と LSI の集積化による小型化と高機能化は活発に議論されている。次節以降では、この MEMS と LSI を集積化する方法と、その課題について述べる。



図 1.1 MEMS センサの用途

1.3 MEMS センサの検出原理

MEMSセンサで広く使用されているセンサ検出原理について概観する。シリコンのピエゾ抵抗効果が1954年に発見され[6]、その応用として歪ゲージや圧力センサの開発が始まり、1980年頃には自動車用として実用化された。実用化された当初は信号処理用の回路はMEMSセンサとは別チップとして形成されていたが、小型化や高性能化を目的として1980年代後半にはMEMSと回路を集積化した圧力センサが実用化されている[7]。同様に、加速度センサも自動車のエアバッグ用として1990年代に実用化され、さらにMEMSと回路を集積化したものが発表されている。

ピエゾ抵抗式センサの検出原理について圧力センサを例に示す。ピエゾ抵抗式のMEMS圧力センサの断面構造と検出回路を図 1.2に示す。単結晶シリコン基板を加工してダイアフラム形状を作製しガラスと張り合わせることで圧力により変形する構造となっている(図 1.2(a))。このダイアフラム上にピエゾ抵抗を形成し、その変形をピエゾ抵抗の変化としてブリッジ回路により検出する(図 1.2(b))。単結晶シリコンの物性を用いていることから高い信頼性を有している一方、一般的に実装時のパッケージから受ける歪などによっても出力が変動する。また、半導体の抵抗の温度変化は非線形性を有しているので高精度・高確度なセンサを実現するには、複雑な温度補償回路や多数点での温度補正が必要となる。また、高感度化のためにはダイアフラムを薄膜化し、かつ、大面積化する必要があるため、高性能化には高いコストを要する。

このようなピエゾ抵抗式のセンサの課題を解決するため、静電容量式や振動子式のセンサが提案・開発されてきた。静電容量式のセンサは、機械的に動作する機構部に対向する2枚の電極を形成し、動作に伴う静電容量の変化を検出する方式である。電極間距離を小さくすることで高感度化することが可能であることから小型・高感度を両立し易い。また、パッケージからの歪の影響および温度特性の非線形性は、一般にピエゾ抵抗式と比較して小さく抑えることができることから、MEMS加速度センサやMEMSジャイロスコープにおいて広く適用されている。ただし、静電容量の微小な変化を検出しなければならないため、MEMS素子と信号処理回路の接続部における寄生成分の影響を受け易い。このため、MEMSとLSIの集積化や、パッケージングの工夫により寄生成分を低減する対策が行われている。

振動子式は、機械的に動作する機構部にシリコンなどを加工した振動子を接続し、動作

に伴う共振周波数の変化を検出する方式である。一般に周波数を測定することは、抵抗や静電容量を測定するのと比較して高分解能に測定できることから、高感度なセンサの実現が期待できる。ただし、共振周波数は微小な加工ばらつきによっても大きく変化する恐れがあり、特性について個別調整や回路で補償することなどが必要な場合がある。また、使用中は振動子が常時振動しているため金属疲労による破損が懸念される。特にシリコンにおいては、自然酸化膜の形成に起因して疲労破壊が生じると言われており[8]、その対策が必須となる。実用化されている振動子式の圧力センサでは、エピタキシャル成長によりシリコン振動子を高気密・高真空で封止することで高い信頼性を実現している[9]。また、センサでは無いが、同様にシリコンで振動子を機密封止したMEMSタイミングデバイスも実用化されており[10]、回路との集積化も行われている。

この他にも様々な検出原理が提案されているが、以上の検出原理は、主に実用化され広く使用されている MEMS センサで適用されている方式である。いずれの方式についても一長一短の特徴を有しており、用途によって使い分けられている。また、それぞれの短所を補うため方法として MEMS と LSI の集積化が提案され、実用化されている。次節では、この MEMS と LSI の集積化方式について述べる。

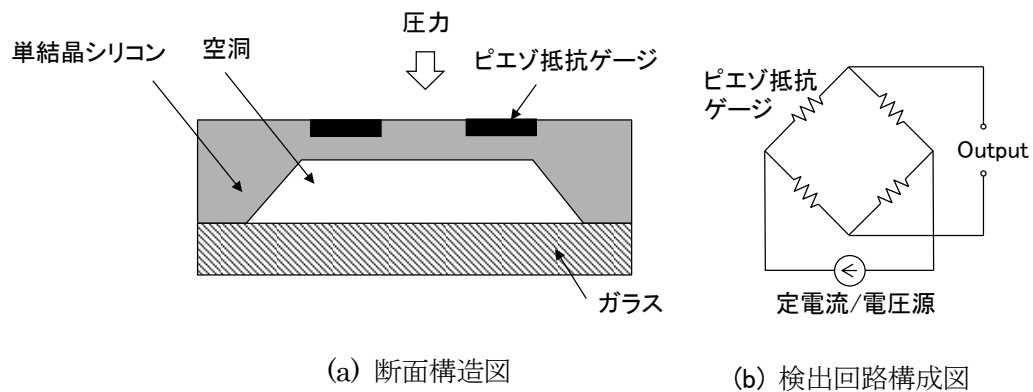


図 1.2 ピエゾ抵抗式 MEMS 圧力センサの構造

1.4 MEMS と LSI 集積化方法と課題

前節で述べた検出原理に起因する課題を解決し、MEMS センサを高性能化・高機能化するために MEMS と LSI の集積化が検討されてきた。これまでに提案されている MEMS と LSI の集積化方法は多岐に渡る。これらの集積化方式を分類し、それぞれの長所および課題について考察する。

MEMS と LSI の集積化方式について、最も大きく分類すると、MEMS と LSI を別々に製造し、パッケージ内で集積化した System in Package (SiP) 型と、MEMS と LSI を同一基板上にモノリシック集積化した System on Chip (SoC) 型に分類できる。SiP 型は MEMS と信号処理回路は別々のチップとして製造するため、SoC 型と比較して大型になることや配線等の寄生成分が大きくなるなど、集積化によるメリットは相対的に小さい。しかしながら、一般的な半導体プロセスにより LSI で信号処理回路を形成できるため汎用性は高く、また、MEMS と LSI をそれぞれ個別最適化可能であるため、開発期間とコス

トは SoC 型と比較して抑えることができる。そのため、現在、実用化されている MEMS センサにおいて SiP 型は最も広く適用されている。一方、SoC 型は、MEMS と信号処理回路を形成した LSI をモノリシック集積化するものであり、SiP 型と比較して、より小型化や高機能化の実現を期待できる[11][12]。しかしながら、前述の通り開発コストは SiP 型と比較して高くなることが多いため、大量生産するデバイスに対して適用される。

SoC 型の MEMS と LSI を集積化する方式について、さらに 3 種類に分類したものを表 1.1 に示す。LSI を形成した後に MEMS を集積化する MEMS-last 型、MEMS と LSI を SOI 基板の同一平面上に形成する Interleave 型、そして、MEMS を形成・封止したシリコン基板上に LSI を集積化する MEMS-first 型である。MEMS-last 型は LSI と親和性を有するプロセスで MEMS を形成することで LSI 上に MEMS を集積化する方式である。Interleave 型と MEMS-first 型は、いずれもシリコン基板側を工夫して、MEMS 構造と LSI を両立させるものである[10][13]。現在のところ用途が制限されているが、特に MEMS-first 型は、MEMS を形成した基板に通常の工程で LSI を形成可能であり、また、MEMS 部の封止も行われているためパッケージングなどの後工程に対するコストも抑えられることから将来の応用が期待される。本検討では、現時点で最も適用先が広いと考えられる MEMS-last 型の集積化について検討した。

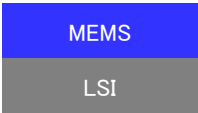
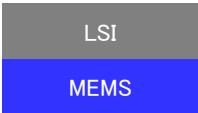
CMOS LSI を形成した後に MEMS を集積化する MEMS-last 型の集積化方式についてさまざまな手法が提案されている。提案されている代表的な手法を 4 つに分類し図 1.3 に示す。図 1.3 (a)は最も古くから実用化されている集積化方式の一つで、MEMS 構造材料として、多結晶シリコン(poly-Si)を用いたものである。CMOS LSI を形成した後に MEMS の可動部を poly-Si で作製する。poly-Si による可動部は単結晶シリコンと同様に、機械的な信頼性が高く、加工も容易である。しかしながら、poly-Si 薄膜の残留応力を開放し可動部の歪みを抑制するためには、成膜後に約 1000 °Cの熱処理を加える必要がある[14]。この高温熱処理による CMOS-LSI 特性への影響を避けられず、サブミクロン世代以降の CMOS LSI への適用は難しい。図 1.3 (b)は MEMS 構造材料として多結晶シリコンゲルマニウム(poly-SiGe)を用いたものである。CMOS LSI を形成した後に、MEMS の可動部を poly-SiGe で作製する。poly-SiGe の残留応力は 400 °C以下で開放することが可能であるとされており、サブミクロン世代以降の CMOS LSI でも適用可能である[15][16][17]。現時点では未だ MEMS に適用可能な厚膜 poly-SiGe の成膜技術が一般化しているとはい

難しい状況であるが、MEMS と先端的な LSI を集積化したことが複数の機関より報告されており有望な方式である[18]。図 1.3 (c)は CMOS LSI の多層配線層を加工して MEMS とするものである[19][20]。アルミニウムの機械信頼性と化学的な腐食等からの保護に課題がありパッケージング方法を含めた検討が報告されている。(d)は CMOS LSI を形成した後に、メッキ等により新たな層を形成して MEMS 加工を行うものである[21][22]。CMOS LSI プロセスとは全く独立して MEMS 部の追加工を行うものであるが、この方式についてもメッキで形成した膜の残留応力の開放や信頼性が課題となる。以上の通り、図 1.3 で示したいずれの手法についても、MEMS 構造材料の応力開放などの MEMS 特有のプロセスが集積化の課題となっている。これは、MEMS プロセスは半導体プロセスを応用した微小な機械加工として生まれ発展してきたものではあるが、長い歴史を経た結果、両プロセスの差異は大きくなっていることに起因している。特に必要とされる熱負荷、使用されている材料、加工サイズの点において MEMS プロセスと半導体プロセスの差異は大きい。そのため、両プロセスの互換性は低いことが MEMS と LSI を集積化するうえで大きなハードルとなっている。この対策として、図 1.3 (a)は MEMS プロセスに合わせて半導体プロセスを選択することで集積化を実現していると言える。図 1.3 (b)は、半導体プロセスに MEMS プロセスを適合させるために、MEMS 材料として poly-SiGe を検討していると言える。図 1.3 (c)は半導体プロセスで MEMS を形成する試みであり、MEMS 特有のプロセスを極力用いない方針と言える。図 1.3 (d)は MEMS プロセスと半導体プロセスを完全に分離する方針と言え SiP 型に近い思想であると言える。

また、MEMS と LSI を集積化した場合、その信頼性について、MEMS で要求される機械的信頼性と LSI で要求される電気化学的信頼性の両面を検討する必要がある。MEMS 分野においては、単結晶シリコンおよび多結晶シリコンは可動部として長い実績と種々の試験が行われており機械的な信頼性を有していることが知られている[23][24][25][26]。一方、半導体分野においては、配線の腐食などの電気化学的な様々な故障・劣化モードに対して理解が進んでおり、信頼性の評価方法が JEDEC 半導体技術協会により標準化されている。しかしながら、図 1.3 (b)(c)(d)のようにシリコン以外の材料を使った場合の機械信頼性については知見が少ない。また、MEMS と CMOS LSI を集積化した場合、その故障・劣化モードは従来の半導体とは異なるものが想定されるため、必ずしも明らかではない。実用的な MEMS と LSI を集積化したセンサを実現するためには、その信頼性について機械的信頼

性および電気化学的な信頼性の両面から検討する必要がある。

表 1.1 SoC 型の MEMS と LSI の集積化方式

集積化方法	Above LSI (MEMS-last)	Interleave	MEMS first
			
集積化MEMSの例	DMD シリコンマイク 圧力センサ 慣性センサ	慣性センサ	圧力センサ 共振器
MEMS部 形成プロセス	poly-Si poly-SiGe ポリマー、など	SOI	Epi-poly Si (1000°C)

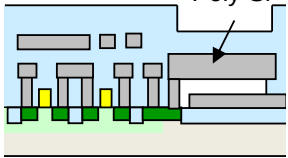
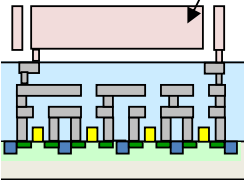
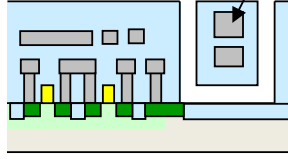
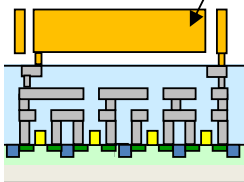
(a) poly-SiでMEMSを形成	(b) poly-SiGeでMEMSを形成
Interface IC MEMS  Poly-Si	MEMS poly-SiGe  Interface IC
(c) Al配線層でMEMSを形成	(d) LSI形成後にメッキや張り合わせでMEMSを形成
Interface IC MEMS  Al	MEMS Metal  Interface IC

図 1.3 SoC 型の MEMS と CMOS LSI 集積化する 4 方式 (MEMS-last)の模式図

1.5 本論文の目的と概要

以上の先行研究における課題を踏まえ、本研究では MEMS と CMOS LSI の集積化を実現する新たな方法として配線 MEMS プロセス技術を提案する。配線 MEMS プロセスは、LSI 配線プロセスと互換性を有する材料とプロセスで MEMS を形成するプロセスであり、LSI へ影響を与えずに MEMS と CMOS LSI を集積化できる。本プロセスにより、広く用いられている容量式 MEMS センサと LSI を集積化することで小型高精度かつ実用に十分な信頼性を有するセンサを実現できる。以下、本論文の構成について述べる。

まず第 2 章では、タングステンもしくはタングステンシリサイドを MEMS の主たる構造体として用い、LSI 配線プロセスと互換性を有する低温プロセスのみを用いる配線 MEMS プロセス技術により、MEMS 構造を形成可能であることを示す。LSI 配線プロセスに適用可能であり、かつ MEMS 構造体に必要とされる機械特性を有する材料としてタングステンおよびタングステンシリサイドを選択する。そして、LSI 配線プロセスで使用可能な低温プロセスのみで MEMS 容量素子を形成し、加圧により MEMS 構造が変形し、容量値が変化することを示す。

次に第 3 章では、配線 MEMS プロセスにより試作した MEMS の信頼性を検討し、実用上十分な信頼性を有していることを示す。MEMS と LSI を集積化したセンサでは、半導体分野で用いられている信頼性試験に加え、MEMS 構造の劣化原因となる金属疲労耐性および、特性ドリフトの要因となる応力変化に対応する信頼性の検討が必要である。そこで、タングステンおよびタングステンシリサイド膜を用いた MEMS 容量素子を用いて、これらの信頼性を検討する。金属疲労耐性は静電力による繰り返し動作試験により評価し、5000 万回の繰り返し動作後も特性変化はせず、実用上十分な耐性を有していることを示す。さらに、半導体分野において湿度やガスに対する保護膜として用いられているシリコン窒化膜を MEMS 表面に 150 nm 以上の厚さで成膜することで、十分な信頼性を得られることを示す。この保護膜を適用した MEMS 容量素子は、10 年相当の加速試験とされる高温高湿試験および熱衝撃試験後も特性変化せず、実用上十分な信頼性を有することを示すものである。

続く第 4 章では、配線 MEMS プロセスによる MEMS と LSI の集積化可能であることを、MEMS と CMOS LSI をモノリシック集積化した MEMS 圧力センサを試作により実証し、小型高精度化を実現可能なことを示す。配線 MEMS プロセスにより、3 層アルミ

配線の CMOS LSI と静電容量式 MEMS 圧力センサを集積化するプロセスフローを構築し、 $0.35\ \mu\text{m}$ ルールの半導体ファウンドリで試作した結果について述べる。試作した MEMS 圧力センサは、アナログ・デジタル回路を $0.72\ \text{mm}^2$ に集積した単機能版と、単機能版の機能に加え、温度センサおよび調整用回路をチップ面積 $3.23\ \text{mm}^2$ に集積した高機能版の 2 種であり、配線 MEMS プロセスによりセンサを小型化、機能集積化可能である。試作した MEMS 圧力センサを評価した結果、フルスケールの約 0.01% 程度の分解能で測定できることを示す。この分解能は、静電容量に換算すると約 $30 \times 10^{-18}\ \text{F}$ 、上部電極の変形量に換算すると約 $0.005\ \text{nm}$ に相当するものであり、MEMS と CMOS LSI を集積化することにより静電容量式センサで、振動式センサに匹敵する 0.01 %フルスケールの精度を実現可能であることを示した。

最後に第 5 章では、本研究で得られた結論を纏め、今後の展望について述べる。

1.6 第 1 章の参考文献

- [1] Tufte, O. N., P. W. Chapman, and Donald Long. "Silicon diffused-element piezoresistive diaphragms." *Journal of Applied Physics* 33.11 (1962): 3322-3327.
- [2] Gogoi, Bishnu P., and Dragan Mladenovic. "Integration technology for MEMS automotive sensors." *IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]*. Vol. 4. IEEE, 2002.
- [3] Kahn, Joseph M., Randy H. Katz, and Kristofer SJ Pister. "Next century challenges: mobile networking for "Smart Dust".*" Proceedings of the 5th annual ACM/IEEE international conference on Mobile computing and networking. ACM, 1999.*
- [4] Allan, Alan. "International technology roadmap for semiconductors." *Semiconduct. Ind. Assoc.* 2008.
- [5] "International Roadmap for Devices and Systems 2016 Edition.", IEEE International Roadmap for Devices and Systems, 2016
- [6] Smith, Charles S. "Piezoresistance effect in germanium and silicon." *Physical review* 94.1 (1954): 42.

- [7] Kudoh, Takeshi, Shuichi Shoji, and Masayoshi Esashi. "An integrated miniature capacitive pressure sensor." *Sensors and Actuators A: Physical* 29.3 (1991): 185-193.
- [8] 土屋智由. "MEMS の機械的信頼性." *The journal of Reliability Engineering Association of Japan* 27.2 (2005): 105-112.
- [9] Ikeda, Kyoichi, et al. "Silicon pressure sensor integrates resonant strain gauge on diaphragm." *Sensors and Actuators A: Physical* 21.1-3 (1990): 146-150.
- [10] Lutz, M., et al. "MEMS oscillators for high volume commercial applications." *Solid-State Sensors, Actuators and Microsystems Conference, 2007. TRANSDUCERS 2007. International. IEEE, 2007.*
- [11] Lewis, S., et al. "Integrated sensor and electronics processing for 10⁸ iMEMS inertial measurement unit components." *Electron Devices Meeting, 2003. IEDM'03 Technical Digest. IEEE International. Ieee, 2003.*
- [12] Geen, John A., et al. "Single-chip surface micromachined integrated gyroscope with 50 ° / h Allan deviation." *IEEE Journal of Solid-State Circuits* 37.12 (2002): 1860-1866.
- [13] Lammel, G., et al. "Next generation pressure sensors in surface micromachining technology." *Solid-State Sensors, Actuators and Microsystems, 2005. Digest of Technical Papers. TRANSDUCERS'05. The 13th International Conference on. Vol. 1. IEEE, 2005.*
- [14] Howe, R. T., and R. S. Muller. "Stress in polycrystalline and amorphous silicon thin films." *Journal of Applied Physics* 54.8 (1983): 4674-4675.
- [15] Mehta, A., et al. "Optimisation of PECVD poly-SiGe layers for MEMS post-processing on top of CMOS." *Solid-State Sensors, Actuators and Microsystems, 2005. Digest of Technical Papers. TRANSDUCERS'05. The 13th International Conference on. Vol. 2. IEEE, 2005.*
- [16] Scheurle, A., et al. "A 10 µm thick poly-SiGe gyroscope processed above 0.35 µm CMOS." *Micro Electro Mechanical Systems, 2007. MEMS. IEEE 20th International Conference on. IEEE, 2007.*

- [17] Witvrouw, A., et al. "Processing of MEMS gyroscopes on top of CMOS ICs." Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International. IEEE, 2005.
- [18] Chaudhuri, A. Ray, et al. "CMOS integrated poly-sigemems accelerometer above 0.18 μm technology." Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS), 2015 Transducers-2015 18th International Conference on. IEEE, 2015.
- [19] Ko, Cheng-Ting, et al. "A highly sensitive CMOS-MEMS capacitive tactile sensor." Micro Electro Mechanical Systems, 2006. MEMS 2006 Istanbul. 19th IEEE International Conference on. IEEE, 2006.
- [20] Luo, Hao, et al. "A post-CMOS micromachined lateral accelerometer." Journal of Microelectromechanical systems 11.3 (2002): 188-195.
- [21] Yamane, Daisuke, et al. "A 0.1 G-to-20 G integrated MEMS inertial sensor." Japanese Journal of Applied Physics 54.8 (2015): 087202.
- [22] Sato, Norio, et al. "A sealing technique for stacking MEMS on LSI using spin-coating film transfer and hot pressing." Japanese Journal of Applied Physics 42.4S (2003): 2462.
- [23] Kahn, H., et al. "Electrostatically actuated failure of microfabricated polysilicon fracture mechanics specimens." Proceedings of the royal society of london a: mathematical, physical and engineering sciences. Vol. 455. No. 1990. The Royal Society, 1999.
- [24] Ando, Taeko, Mitsuhiro Shikida, and Kazuo Sato. "Tensile-mode fatigue testing of silicon films as structural materials for MEMS." Sensors and Actuators A: Physical 93.1 (2001): 70-75.
- [25] Muhlstein, C. L., S. B. Brown, and R. O. Ritchie. "High-cycle fatigue and durability of polycrystalline silicon thin films in ambient air." Sensors and Actuators A: Physical 94.3 (2001): 177-188.
- [26] Sharpe, W. N., and J. Bagdahn. "Fatigue testing of polysilicon—a review." Mechanics of Materials 36.1 (2004): 3-11.

第2章 LSI 配線工程で MEMS を形成する配線 MEMS プロセス

2.1 はじめに

MEMS センサを高性能化するには MEMS と LSI のモノリシック集積化が有効である。しかしながら、一般的に用いられているシリコンを主たる構造材料とした MEMS プロセスは、必要な熱負荷などが LSI に影響を及ぼすため、特に $0.8\ \mu\text{m}$ 世代以降の LSI と MEMS のモノリシック集積化は困難である。本章では、MEMS と LSI のモノリシック集積化を実現するために、LSI において配線層を形成する配線プロセスにおいて使用されている材料およびプロセス技術のみを用いて MEMS を形成する配線 MEMS プロセスを検討した [1]。この配線 MEMS プロセスは一般的な LSI プロセスと互換性を有するプロセスであり、LSI の世代を選ばずに MEMS と LSI のモノリシック集積化を実現できる。

まず、2.2 節では MEMS と LSI をモノリシック集積化する際の課題を検討し、その解決方法として配線 MEMS プロセスの有効性と、その実現に必要な条件を述べる。次に 2.3 節では配線 MEMS プロセスにおいて、主たる MEMS 構造材料として適用可能な材料について検討した。本研究では、LSI 配線プロセスと互換性ある材料のうち、機械特性に優れ化学的にも安定なタングステンおよびタングステンシリサイドを MEMS 構造材料として有効であるとして選択した。2.4 節では、このタングステンもしくはタングステンシリサイドを主たる MEMS 構造材料として用い、MEMS 構造を形成するプロセスを検討した。容量式 MEMS の基本的な構造の一つであるダイアフラムを形成し、圧力により容量が変化する MEMS 容量素子を作製することを題材に、配線 MEMS プロセス技術について論じる。2.5 節では、配線 MEMS プロセスにより MEMS 容量素子を試作評価することにより配線 MEMS プロセスで MEMS を形成可能なことを示す。

本結果は、タングステンおよびタングステンシリサイドの MEMS 材料としての有効性を示すとともに、LSI 配線層で用いられている材料およびプロセスを用いることで $400\ ^\circ\text{C}$ 以下の低温で MEMS 構造を形成可能であることを示すものである。すなわち、提案する配線 MEMS プロセスが、MEMS と LSI をモノリシック集積化する方法として適用可能なことを示すものである。

2.2 MEMS-LSI 集積化方式の比較と課題

MEMSセンサの小型化と機能集積化のため、または微小な物理量の計測を実現する高精度化のため、MEMSとLSIを集積化する試みは各種の提案がなされ、一部は実用化されている。これまでに組み込まれてきた、MEMSとLSIを融合したMEMS-LSI集積化センサを実現する方法は、大別すると、MEMSとLSIのプロセスを統合し、MEMSとLSIをワンチップ集積化するSoC (System-on-Chip)型と、複数チップをパッケージ内で統合し機能集積化するSiP(System-in-Package)型に分類できる。SoC型のMEMS-LSI集積化センサで代表的なものとしては、LSIを形成した後に多結晶シリコンによりMEMSを形成することで集積化したMEMS加速度センサやMEMS角速度センサなどが実用化されている[2]。この方式による集積化の結果、例えば zF (10^{-21}) オーダーの微小な静電容量変化を検出可能であることが報告されており[3]、MEMSセンサの高性能化を実現する有望な手段となりうることを示されている。ただし、この方式では、サブミクロンオーダーのLSIと集積化することは困難であり、近年のセンサに要求される機能であるデジタルインターフェースなどのデジタル回路を搭載するとチップ面積が大きく高コストとなるとされている。これは、多結晶シリコンをMEMS構造材料として用いる際に、多結晶シリコンの残留応力を開放するために約1000℃の熱処理が必要となることに起因する[4]。そのため、実用化されているMEMSセンサではSoC型を採用しているものは少なく、多くはSiP型により機能を集積化しているのが現状である。

しかしながら、より小型で高性能なMEMSセンサを実現するためには、MEMSと微細LSIを集積化したSoC型のMEMS-LSI集積化センサの実現は有力な手段である。MEMSと先端的なLSIを集積化する方式としては、LSI配線層を形成した後に多結晶SiGeを成膜・加工してMEMSとLSIを集積化する方式が提案されている[5]。この他、LSIを形成した後に、塗布やメッキ工程などにより低温プロセスでMEMSを作製する方式などが提案されている[6] [7]。また、LSIのアルミ配線層を加工してMEMS構造体を形成することも提案されている[8]。

本論文では、集積化を実現するための課題としてMEMSプロセスとLSIプロセスの差異に注目した。一般に、MEMSはLSI加工プロセスを応用して微小な機械加工を行うものとされているが、材料および加工サイズなどの点で、特にサブミクロン世代以降のLSIプロセスとMEMSプロセスでは差異が大きい。このことが、MEMSとLSIを一貫して形成こと

を難しくしている主要因の一つと考える。この課題を解決するため、LSIの配線プロセスと互換性を有する材料とプロセス技術のみでMEMSを形成する配線MEMSプロセス技術を提案する。LSIの配線層では、400℃以下の低温で成膜および加工が行われている。これらで用いられている材料および加工プロセス技術でMEMS構造を形成することでMEMSとLSIの集積化を実現できる。

配線MEMSプロセスは、LSIプロセスによりMEMSを作製することで集積化を実現するプロセスであり、集積化するLSIの世代や種類を問わず、先端的なLSIを加工している工場においてMEMSとLSIを集積化した高性能センサを一貫して形成することが可能となる。また、アルミ配線層全体を構造体として用いる方式と比較して、チップ面積を小さくできる可能性があり、MEMSとLSIを集積化した高性能なセンサを、低コストで実現する有力な手段となり得る。

2.3 配線 MEMS 材料

LSI 配線プロセスで使用されている材料のうち、MEMS 構造の形成に適用可能な材料を検討した。LSI 配線プロセスで利用可能な材料の候補と、それらの特性値について表 2.1 に示す[9][10][11]。MEMS 構造の形成に用いるには、以下の特性が重要である。

- (1) 一般的な LSI 配線プロセスで利用可能（成膜温度 400℃以下）
- (2) LSI 配線プロセスで使用可能な熱処理（400℃以下）で応力制御が可能
- (3) 大気暴露されても安定した特性を保つことができる（耐湿性に優れている）
- (4) 犠牲層酸化膜のウェットエッチングに対し選択比がある

表 2.1 から、上記の条件を満たす金属材料としてタングステンおよびタングステンシリサイドを選択した。タングステンおよびタングステンシリサイドは LSI プロセスにおいてコンタクト材料などに使われており、一般的な LSI 配線プロセスで使用可能である。また、化学的に安定であり、耐湿性、耐薬品性に優れており、大気中での特性変化は少ない。また、フッ酸でウェットエッチされないため、犠牲層に SiO_2 を用いることが可能である。

LSI 配線プロセスで用いられる代表的な金属材料としては、他に銅とアルミニウムが有

るが、上記の特性のうち、特に化学的安定性の点でタングステンやタングステンシリサイドと比較して劣る。また、銅はメッキと研磨によるダマシンプロセスで加工されており、プロセス構築の自由度が低い。アルミニウムはクリープが生じ易い金属として知られており、MEMS の稼働部に使用するには信頼性の点で良く検討する必要がある。

絶縁膜および犠牲層としては、LSI 配線プロセスにおいて、層間絶縁膜として広く用いられている Tetra Ethyl Ortho Silicate (TEOS)膜を用いることができる。TEOS は、プラズマ CVD により低温（約 400℃）で成膜可能な絶縁膜として配線工程で広く用いられている。TEOS をソースとして成膜された絶縁膜は、ほぼ SiO_2 としての特性を示し、フッ酸で溶解可能である。よって、フッ酸に不溶なタングステンやタングステンシリサイドとのエッチング選択比は大きくなり、プロセスフローの構築が容易となる。

表 2.1 LSI 配線プロセスで使用される材料の特性

材料	成膜方法	ヤング率 (GPa)	密度 (g/cm ³)	HF エッチレート (nm/min)
Al	スパッタ	70.3	2.7	50
Cu	メッキ	129.8	8.96	Slow
TiN	スパッタ	60	5.44	0
W	スパッタ	345	19.3	0
WSi ₂	スパッタ	210	9.86	0
SiO ₂ (TEOS)	PE-CVD	66	2.65	100
SiN	PE-CVD	240	3.44	10

2.4 配線 MEMS プロセス

2.4.1 MEMS 容量素子プロセスフロー

配線 MEMS プロセスについて、封止されたダイアフラム状の構造を持つ MEMS 容量素子の試作を題材として検討した。ダイアフラム状の容量素子は MEMS の基本的な構造の一つであり、MEMS 圧力センサ[12]や、MEMS 超音波トランスデューサ[13] 等で用いられている。また、ダイアフラム状の構造を封止するプロセスは、MEMS 稼働部の封止にも適用されるプロセスである[14]。よってダイアフラム構造の形成と封止は、配線 MEMS プロセスの有効性を示すのに有益な構造であると考え題材として選択した。

配線 MEMS プロセスによる MEMS 容量素子を試作するプロセスフローを図 2.1 に示す。封止されたダイアフラム構造を、タングステンもしくはタングステンシリサイドを電極とし、TEOS を絶縁膜に用いて形成する。静電容量を構成する上下の電極があり、その間に空洞を形成することで変形可能な構造としている。空洞は完全に封止され、加圧により変形し静電容量が変化する。以下、図 2.1 のプロセスフローについて説明する。まず、下部電極の成膜と加工を行う。電極膜はタングステン 50 nm 厚とした (図 2.1 (1))。次に、犠牲層としても使用する層間絶縁膜を成膜する。TEOS 500 nm 厚とした (図 2.1 (2))。続いて上部電極を成膜する。タングステン 200 nm 厚 もしくは タングステンシリサイド 500 nm 厚を用いた (図 2.1 (3))。この上部電極は、応力を適切に制御して成膜する必要がある。それから、上部電極膜にウェットエッチホールを開口する。直径 200 nm とし、空洞を形成する箇所の上に 500 nm ピッチで開口した (図 2.1 (4))。そして、ウェットエッチホールを通し、フッ酸を用いて犠牲層をウェットエッチングする (図 2.1 (5))。最後に TEOS を成膜しウェットエッチホールを封止する (図 2.1 (6))。

これらのプロセスの大部分は、通常の LSI 配線プロセスで用いられる成膜と加工技術で行うことができる。ただし、図 2.1 (3) の応力制御と、図 2.1 (5) と図 2.1 (6) の空洞形成は、通常の LSI プロセスでは行わないプロセスである。これらのプロセスを LSI 配線プロセスで用いられている装置群で行うことが配線 MEMS プロセスの実現に必須となる。これらのプロセスについて、詳細に検討した結果を以下の節で述べる。

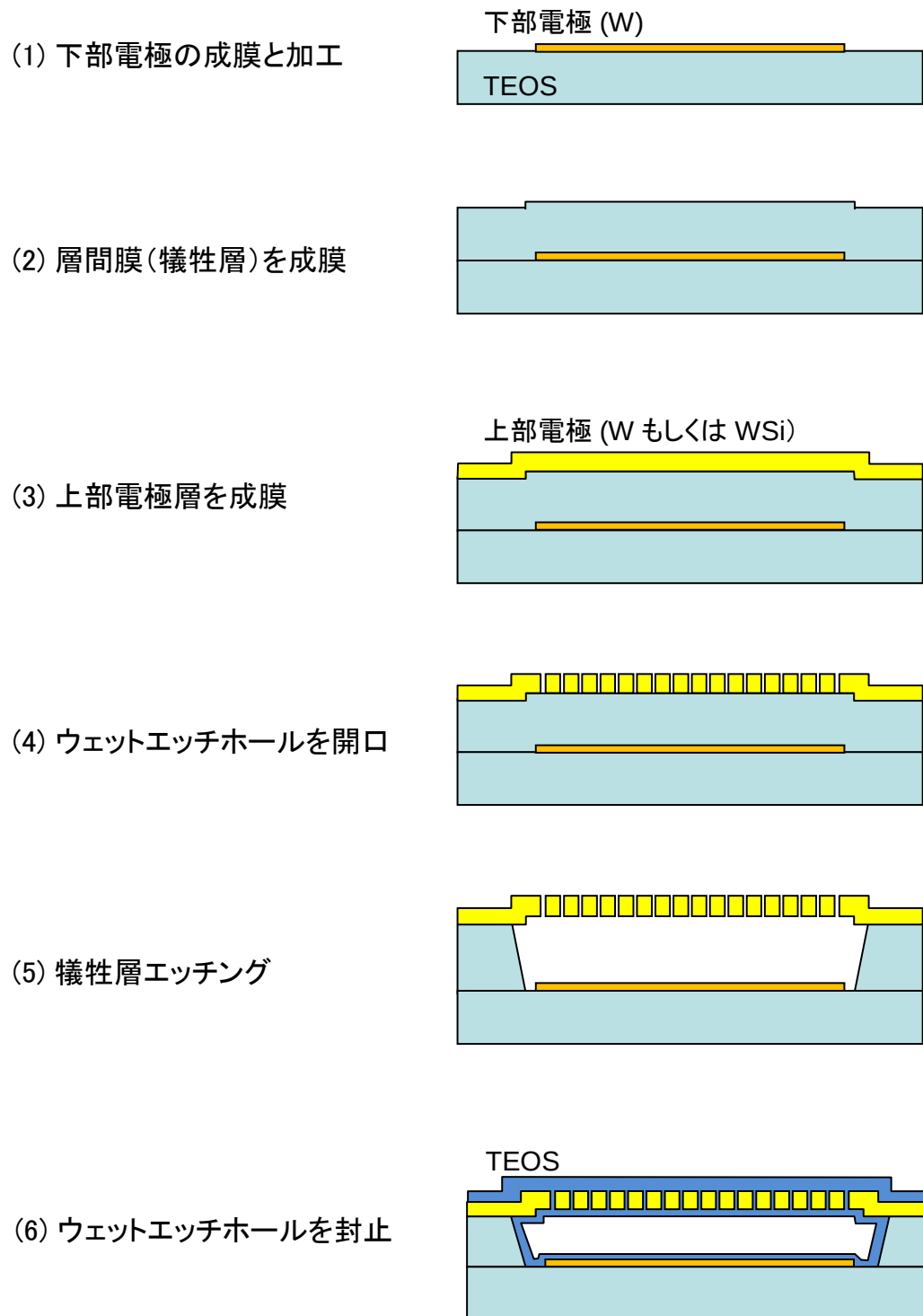


図 2.1 配線 MEMS プロセスによるダイアフラム構造形成プロセスフロー

2.4.2 膜応力の制御

MEMS 構造の形成には、薄膜の応力制御が必須である。配線 MEMS プロセスで適用するタングステンおよびタングステンシリサイド薄膜の応力制御について検討した。一般に薄膜は、その成膜条件により内部応力が変化することが知られており、タングステンおよびタングステンシリサイドについても成膜条件により応力が変化することは知られている[15][16][17]。本節では、LSI 配線プロセスと互換性を有する条件下において、MEMS 構造の形成に十分な範囲で応力を制御できることを示す。

以下の検討では、直径 8 インチ、厚さ 725 μm のシリコンウェハ上にタングステンおよびタングステンシリサイドを成膜し、その応力を測定した。応力の測定は、近赤外線レーザーにより薄膜を成膜する前後のシリコンウェハの反り量（曲率半径）を測定することで行った。下記に曲率半径から応力 σ を求める式を示す。

$$\sigma = E_b \frac{t_s^2}{6t_f} \left(\frac{1}{R_f} - \frac{1}{R_0} \right) \quad (2.1)$$

ここで R_f は成膜後ウェハの曲率半径 (m)、 R_0 は成膜前の応力ウェハの曲率半径 (m)、 t_f は成膜した膜の膜厚 (μm)、 t_s はシリコン基板の厚み (725 μm)、 E_b は 2 軸弾性定数($1.805 \times 10^{11} \text{ Pa}$) である。なお、本検討で用いた応力の値は、シリコン基板上に結晶方位を示すために形成されているノッチに対し、垂直方向と平行方向で測定し、それぞれから算出した応力の平均値を用いている。

最初に、タングステン膜の応力制御について述べる。タングステン膜の成膜はプラズマスパッタ装置で行った。プラズマおよび DC バイアス電圧の条件を固定し、成膜時のウェハ温度を 30 ～200 $^{\circ}\text{C}$ 、ガス(Ar)流量を 50～200 sccm の範囲内で 200 nm 厚のタングステン膜を成膜し、応力を測定した。ガス流量 100 sccm とし、ウェハ温度を 30～200 $^{\circ}\text{C}$ までの各条件で成膜した場合の、タングステン膜の応力とウェハ温度の関係を図 2.2 に示す。ほぼ温度に比例する形で、- 1 GPa（圧縮応力）から+1 GPa（引っ張り応力）まで急峻に応力が変化している。この応力変化は、薄膜と基板の熱膨張率の差により、下記の式で表される内部応力 σ_t （熱応力）の発生に起因すると考えられる[18]。

$$\sigma_t = E_f(\alpha_f - \alpha_s)\Delta T \quad (2.2)$$

ここで、 α_f は膜の熱膨張率、 α_s は基板物質の熱膨張率、 E_f は薄膜のヤング率、 ΔT は温度変化である。上記の式から、タングステンの熱膨張係数がシリコンと比較して大きいため、温度に対して非常に急峻な変化が生じたものと推測できる。

次に、ウェハ温度を 100 °C に固定して、ガス流量を 50～200 sccm（使用した装置において安定したプラズマを発生可能な下限から上限の流量）として成膜した場合の応力とガス流量の関係を図 2.3 に示す。ガス流量にほぼ比例して、- 2GPa から +1GPa まで変化している。これは、成膜時にガスが膜内部に取り込まれ密度が変わることに起因する[19]。

また、ガス流量を変えることで応力を - 2 GPa, 0 Pa, +1.5GPa の 3 水準で成膜したタングステン膜に対し、成膜後に 400 °C で 15 分の熱負荷を加えた後の応力について測定した結果を図 2.4 に示す。いずれにおいても、ほぼ応力の変化は無かった。タングステンは高融点金属であり、400 °C 程度の熱負荷に対しては非常に安定した状態にあることを示している。よって、成膜後の各種 LSI プロセスを経ても安定した応力制御が可能である。

このようにタングステン膜は、圧縮応力から引っ張り応力まで、成膜条件により広い範囲で応力を制御することが可能であり、MEMS 材料に必要な応力範囲を制御可能であると結論する。この応力制御は 400 °C 以下のプロセス温度により実現可能であり、通常の LSI 配線プロセスと同程度の熱負荷しか生じないことから、LSI と集積化する配線 MEMS 材料としてタングステン膜は適用可能である。

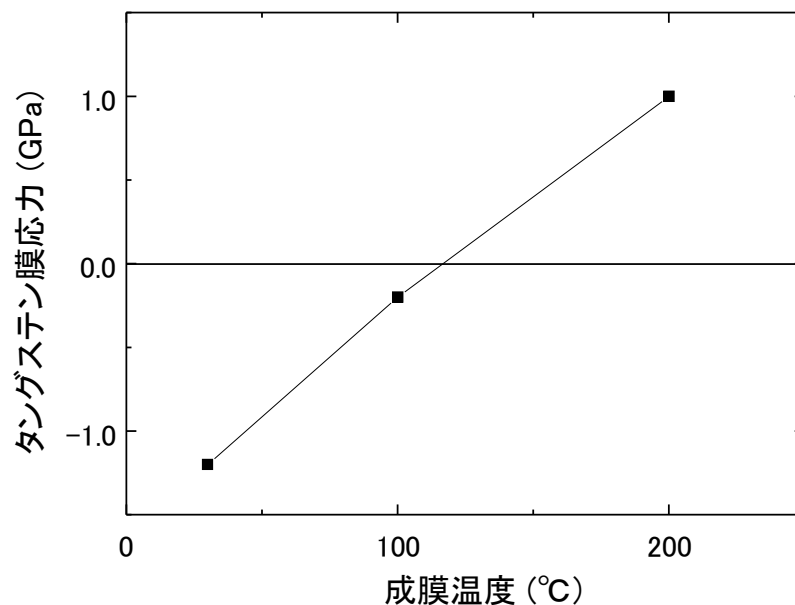


図 2.2 タングステン膜応力と成膜時ウェハ温度の関係

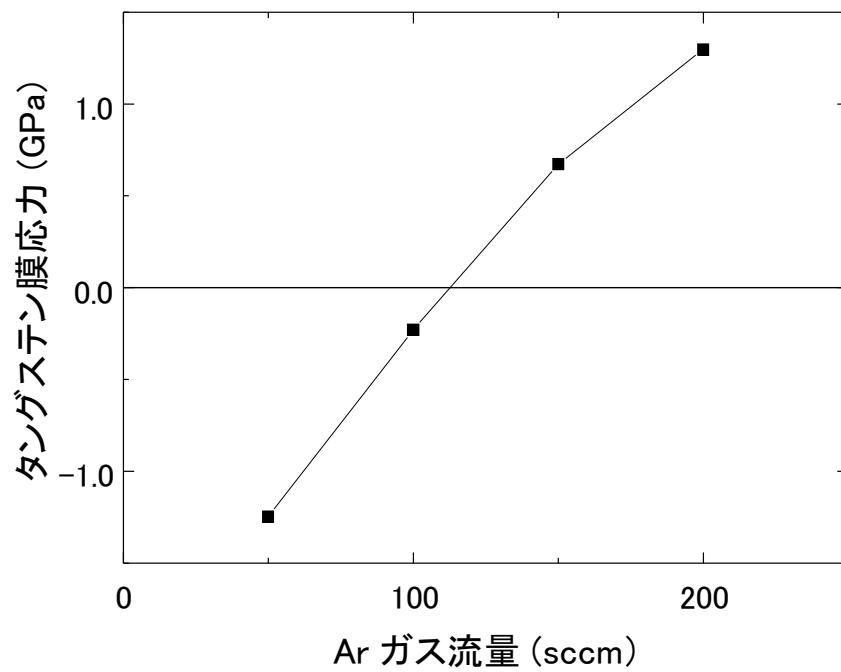


図 2.3 タングステン膜応力と成膜時ガス流量の関係

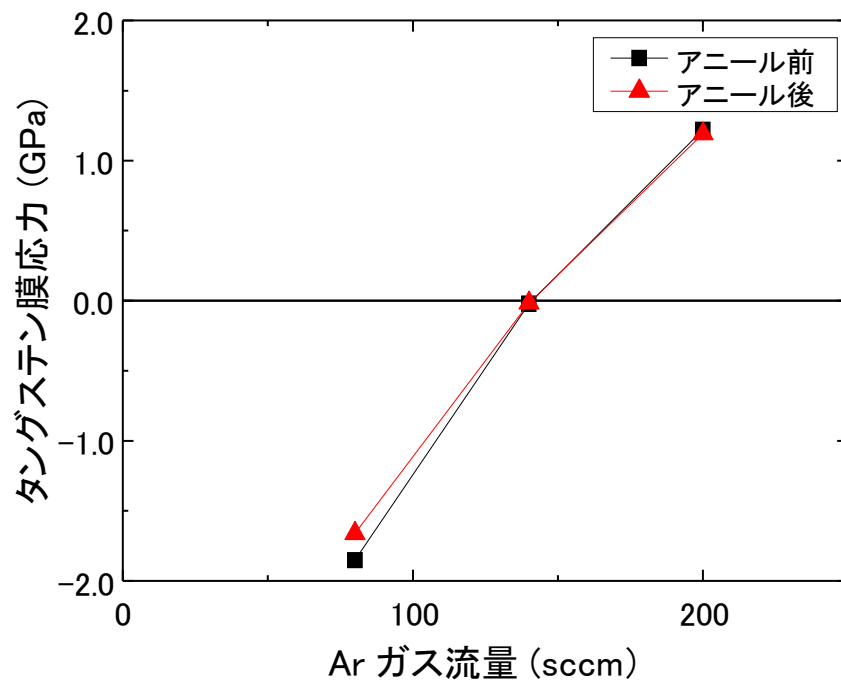


図 2.4 アニール前後のタングステン膜応力の比較

次にタングステンシリサイド膜について、応力の制御可能性を検討した結果を示す。タングステンシリサイド膜は約 500 °C未満の成膜温度ではアモルファス状態で成膜されるが加熱により多結晶状態へと遷移すること、また、成膜時の温度や圧力（ガス流量）により応力を制御可能であることなどが、半導体分野におけるシリサイド膜の研究より知られている[20]。以下では、配線 MEMS プロセスに適用するため、タングステンシリサイド膜が 400 °C以下のプロセス温度で応力制御を可能であることを示す。

タングステン膜の場合と同様にプラズマスパッタ装置を用いてタングステンシリサイド膜 200 nm を成膜し、成膜時のウェハ温度、ガス流量をパラメータとして応力の変化を測定した。ウェハ温度を 30°Cで一定とし、ガス（Ar）流量を 40～120 sccm（使用した装置において安定してプラズマを発生可能な下限から上限まで）の各流量で成膜したタングステンシリサイド膜の応力を図 2.5 に示す。応力は - 372 ～ - 299 MPa（圧縮応力）の範囲であり、使用した装置において調整可能なガス流量範囲では、ほぼ変化は無かった。

つづいて、ガス流量を 100 sccm で一定とし、成膜時のウェハ温度を 30～400°Cの範囲（LSI 配線プロセスで適用可能な温度）で設定した場合のタングステンシリサイド膜の応力について図 2.6 に示す。図 2.6 には、成膜直後の応力と、成膜後に窒素雰囲気中において 350°Cで 30 分間アニールした後の応力を合わせて示している。成膜直後の応力を見ると、応力の範囲は - 322MPa（圧縮応力）～+220 MPa（引っ張り応力）であり、成膜温度をパラメータとすることで応力を制御可能に見える。しかしながら、アニールを加えた後の応力は、成膜温度によって値に差はあるが、いずれも引っ張り応力が強くなる方向へ変化し、ほぼ 0 から+400 MPa（引っ張り応力）の範囲となっている。

実際の MEMS 形成の工程においては、タングステンシリサイド膜を成膜した後も各種工程で熱負荷が加わることを考慮する必要がある。この熱負荷によるタングステンシリサイド膜の応力変化を確認するため、ウェハ温度 200°Cで成膜したタングステンシリサイド膜の応力を、窒素雰囲気中で加熱しながら測定した結果を図 2.7 に示す。成膜直後は、室温において約 - 100MPa（圧縮応力）の応力を有している。室温から 350 °Cまで加熱すると熱膨張係数の違いにより温度と共に圧縮応力が強くなっていく。しかしながら、280 °C程度に変曲点を有しており、その後は引っ張り応力に変化していることから密度が増加していると推測される。350°Cで 2 時間保持した後は、再び温度と温度が比例する挙動となり、室温に戻すと +180 MPa（引っ張り応力）に変化している。さらに、このウェ

ハを再び加温したが、2 回目以降は通常の金属薄膜の場合と同様に、熱応力による変化のみが見られた。このように、タングステンシリサイド膜は熱に対して非可逆的な変化が生じる。これは、成膜直後のタングステンシリサイド膜はアモルファスもしくは、非常に小さな微小結晶となっているが、加熱により結晶のサイズが大きくなり多結晶に近づくことで密度が変化することに起因すると考える[21]。

以上の特性を踏まえると、タングステンシリサイド膜は成膜温度をパラメータとして成膜し、さらに十分なアニールを加えることで応力制御可能であり、MEMS 材料に必要な応力範囲を実現可能と結論する。また、この応力制御は 400 °C 以下のプロセス温度で可能であり、通常の LSI 配線プロセスと同程度の熱負荷しか生じないことから、LSI と集積化する配線 MEMS 材料としてタングステンシリサイド膜は適用可能である。

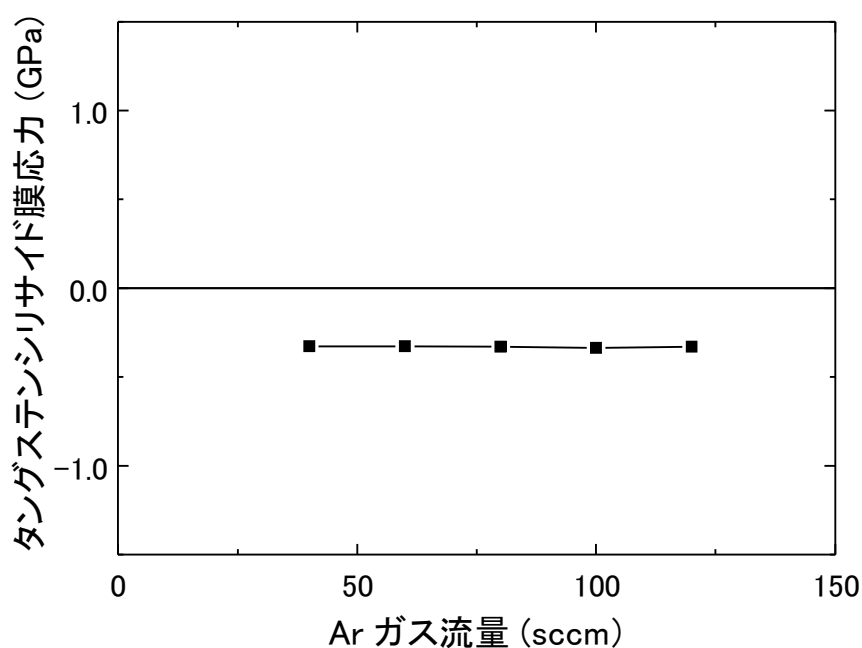


図 2.5 タングステンシリサイド膜の応力と成膜時ガス流量の関係

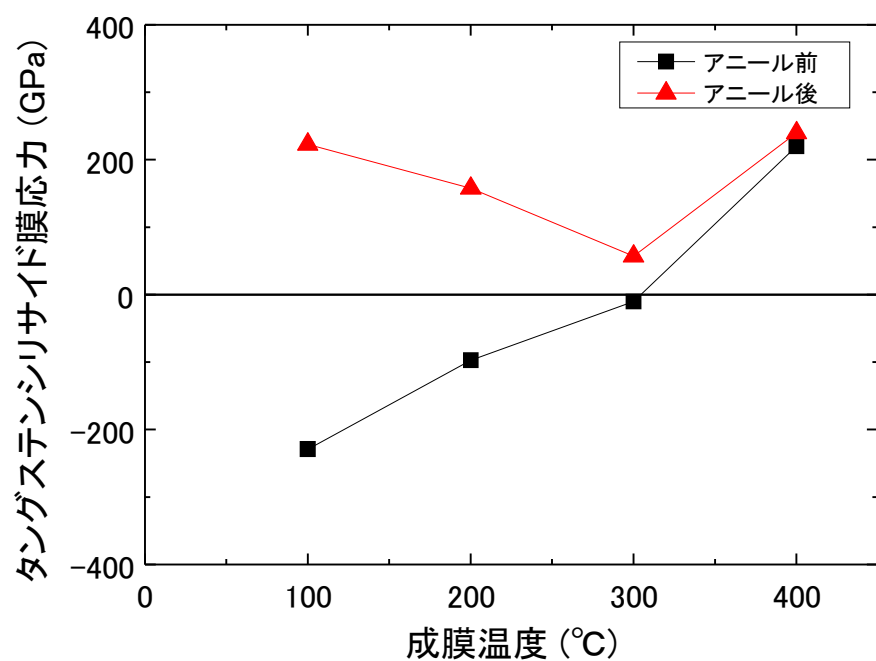


図 2.6 タングステンシリサイド膜の応力と成膜時ウェハ温度の関係

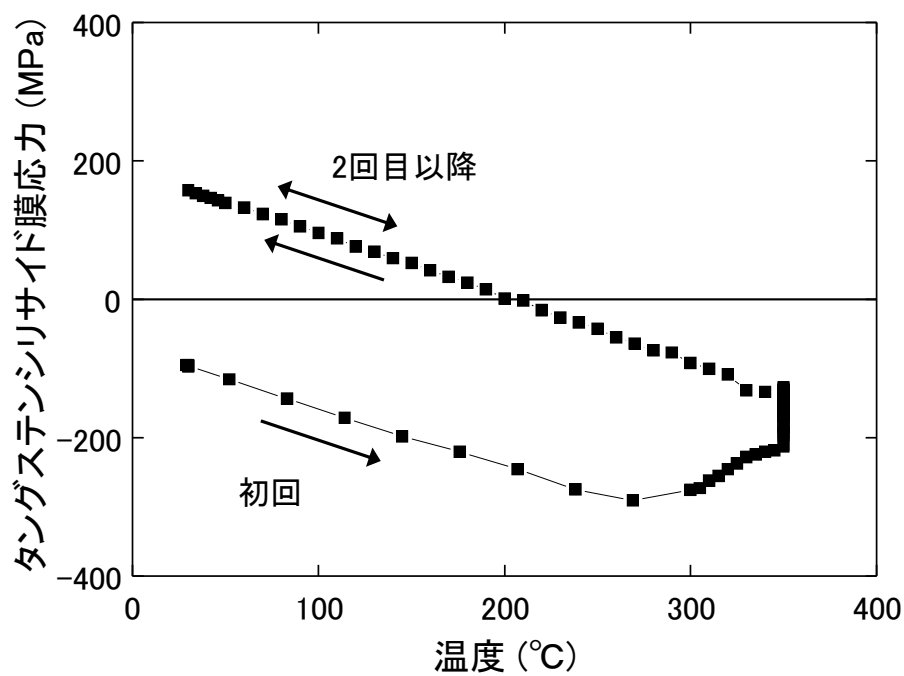


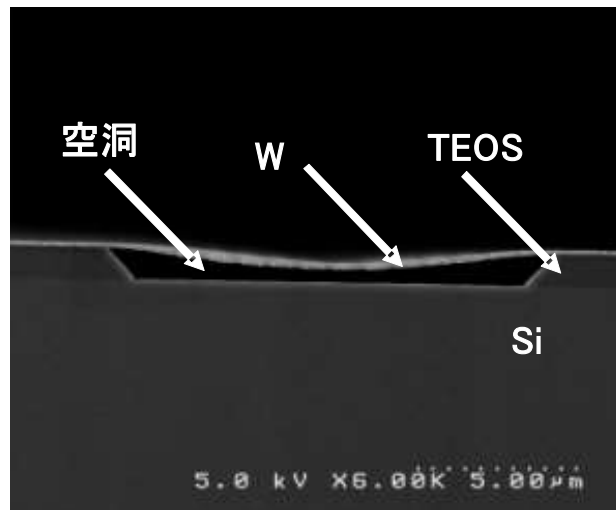
図 2.7 タングステンシリサイド膜応力の温度依存性

2.4.3 ダイアフラム構造の形成と封止プロセス

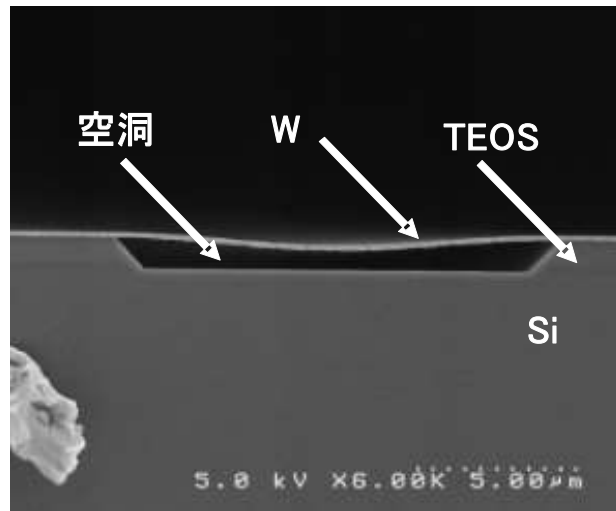
空洞の形成と封止を行うプロセス（図 2.1 のプロセスフロー (5) (6)）について検討した。図 2.1 のプロセスフロー(1)～(3)に従い下部電極，層間絶縁膜（犠牲層），上部電極の順に成膜した。上部電極は，前節で述べた手法（成膜時のガス流量により応力を制御）により圧縮応力，ほぼゼロ応力，引っ張り応力，に，それぞれ制御されたタングステン膜 200 nm を用いた。成膜したタングステン膜に直径 200 nm 程度の微小な穴（後述する封止プロセスのために微小な開口としている）をドライエッチングにより開口し（図 2.1(4)），この穴を通して下部の TEOS 膜をウェットエッチングすることで空洞状の構造を形成する（図 2.1 (5)）。このようにして，応力が 3 段階で異なるタングステン膜の下部に空洞部を設けたダイアフラム構造サンプル 3 種類を作製した。

作製した 3 種のダイアフラム構造サンプルの断面を，走査型電子顕微鏡（Scanning Electron Microscopy : SEM）で観察した結果を図 2.8 に示す。タングステン膜の応力が圧縮応力（- 1.5GPa）からほぼゼロ応力（+0.14 MPa）のダイアフラムでは，空洞部のタングステンが撓んでおり空洞が狭くなっている。一方，タングステン膜の応力が引っ張り応力（+1.2 GPa の）膜ではシリコン基板とほぼ平行な形状を維持していることが観察された。なお，過大な引っ張り応力の場合はタングステン膜が断裂することが予想されるが，本実験の範囲では応力に起因した断裂は見られなかった。このように，前節で述べた応力制御方法により成膜されたタングステン膜を用いてダイアフラム構造を形成した場合，応力によってダイアフラム形状が異なるという期待通りの結果を確認できた。前節で述べた応力制御方法が妥当であったことを示すものである。

-500 MPa
(圧縮応力)



0 MPa
(ゼロ応力)



+500 MPa
(引っ張り応力)

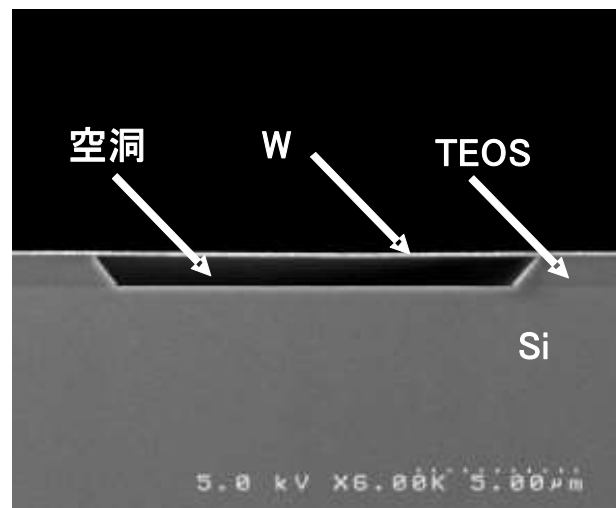


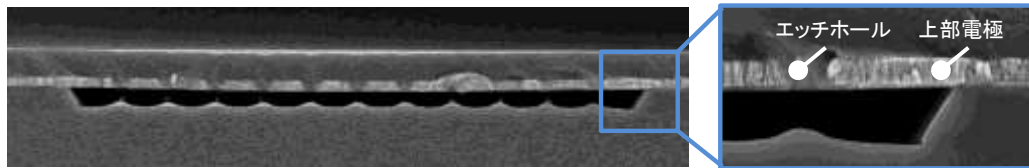
図 2.8 タングステン膜応力と封止後のダイアフラム形状の関係

次に、空洞を封止するプロセスについて述べる。本検討では、空洞を形成するためのウェットエッチ時間を短くするため、空洞部の上部にエッチホールを 500 nm ピッチで開口し（図 2.1(4)）、このエッチホールを通して犠牲層をウェットエッチした（図 2.1(5)）。配線 MEMS プロセスでは、LSI を形成後に MEMS プロセスを行うため、ウェットエッチ時間が長くなると、LSI 部も長時間薬液に曝されることとなり、ウェハ端部などからの薬液侵入による膜剥がれなどの要因となりえる。そのため、ウェットエッチ時間はできるだけ短いことが望ましいことを鑑みた。また、エッチホール径は、この後に述べる封止用の絶縁膜を成膜する工程において空洞内への成膜量を減らすために、できるだけ小さいことが望ましい。本検討では直径 200 nm のエッチホールを形成した（なお、半導体プロセスで用いられるホール径を小さくする手法により i 線リソグラフィでも形成可能である[1]）。

図 2.1 のプロセスフロー(6)の空洞を封止する絶縁膜の成膜では、カバレッジの良い成膜手法を用いることで封止用の絶縁膜厚を最小化できる。また、空洞内に一様に成膜されることでダイアフラム構造への機械的な影響を抑えられる。本検討では、カバレッジが良い成膜手段として O_3 -TEOS 成膜を適用した。 O_3 -TEOS 成膜は、常圧の O_3 と TEOS の混合ガスを用い、熱 CVD 法により TEOS 膜を形成する成膜方法である。 O_3 -TEOS 成膜は、熱 CVD としては低温の 400 °C 程度で TEOS 膜を成膜できるが、リフロー性に優れ等方的な成膜が行われる[22]。異方性のあるプラズマ CVD で TEOS 膜を成膜してダイアフラムを封止した場合と、 O_3 -TEOS 熱 CVD により封止した場合の断面 SEM 写真を図 2.9 に示す。このように、 O_3 -TEOS 熱 CVD を用いることで、フラットな空洞構造を実現できる。また、図 2.10 に、図 2.8 と同様のサンプルに対し、 O_3 -TEOS 熱 CVD で封止した場合の形状を示す。封止後も、封止前の構造をほぼそのまま反映した形状となっている。すなわち、引っ張り応力でタングステン膜を形成することで、微小な空洞の高さを維持したまま封止したダイアフラム形状を得ることができる。

以上により、 O_3 -TEOS 熱 CVD を用いることで、LSI 配線プロセスと互換性を有する 400°C 以下の低温プロセスのみで、微小な空洞を有するダイアフラム構造を形成することが可能であることを示した。

プラズマCVD（異方性成膜）



熱CVD（等方性成膜）

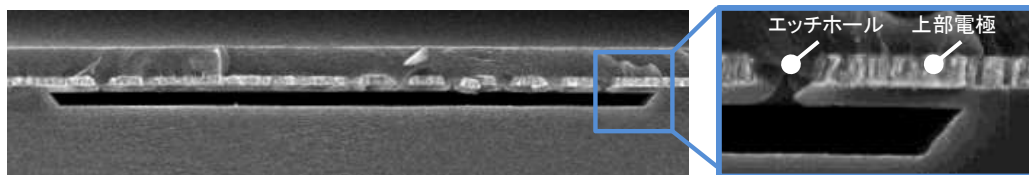
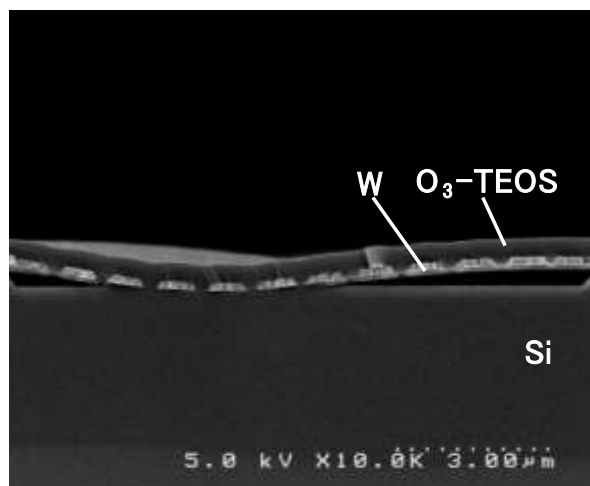
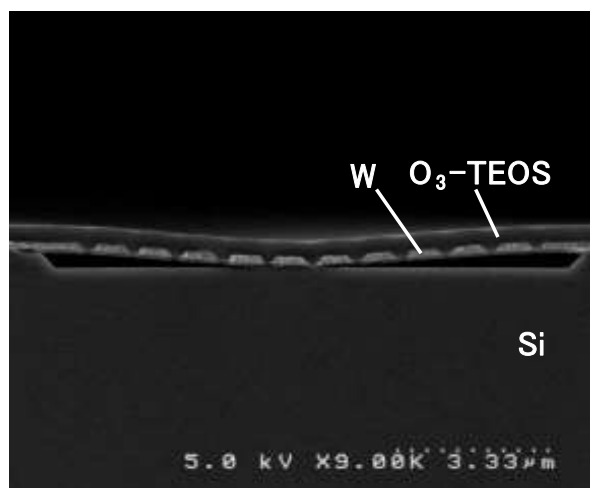


図 2.9 封止絶縁膜の成膜方法の違いによるダイアフラム形状の違い

-500 MPa
(圧縮応力)



0 MPa
(ゼロ応力)



+500 MPa
(引っ張り応力)

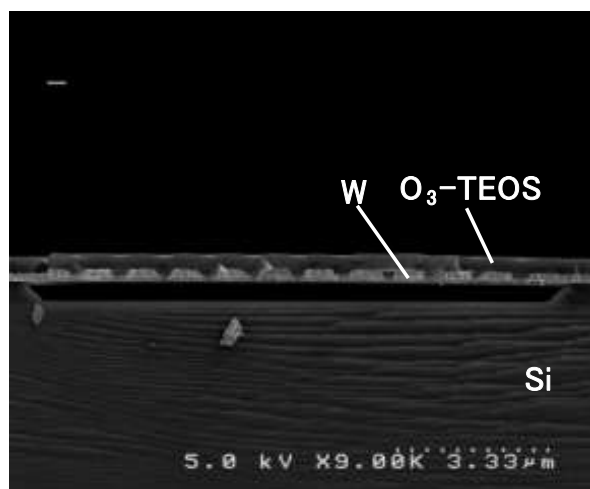


図 2.10 タングステン膜応力と封止後のダイアフラム形状の関係

2.5 配線 MEMS プロセスによる MEMS 容量素子の試作結果

これまでに述べた配線 MEMS プロセスによる MEMS 容量素子の試作結果を述べる。試作した MEMS 容量素子の動作模式図を図 2.11 に示す。封止された空洞を有するダイアフラム構造となっており，加圧により上部電極を含むダイアフラム構造が変形し，静電容量が変化する。

配線 MEMS プロセスにより試作した MEMS 容量素子の断面 SEM 写真を図 2.12 に示す。 $50\text{ }\mu\text{m} \times 50\text{ }\mu\text{m} \times 0.3\text{ }\mu\text{m}$ の空洞を挟んで上部電極と下部電極を形成した。上部電極材料であるタングステン膜は引っ張り応力を持ち，上下電極がほぼ平行な状態になっている。この MEMS 容量素子 1 個あたりの静電容量は約 0.043 pF である。MEMS 容量素子の光学顕微鏡写真を図 2.13 に示す。評価の再現性を向上するため，MEMS 容量素子 36 個を並列接続（総容量は約 1.5 pF ）したサンプルとし，測定する静電容量および，その変化値を大きくした。MEMS 容量素子の形状を触針式段差計で測定した結果を図 2.14 に示す。SEM 観察結果と同様にダイアフラム部は，ほぼ平坦な形状であることを確認した。並列接続されている容量素子全てで，ほぼ同等の形状であり，配線 MEMS プロセスによるダイアフラム形成は高い再現性を持つ。

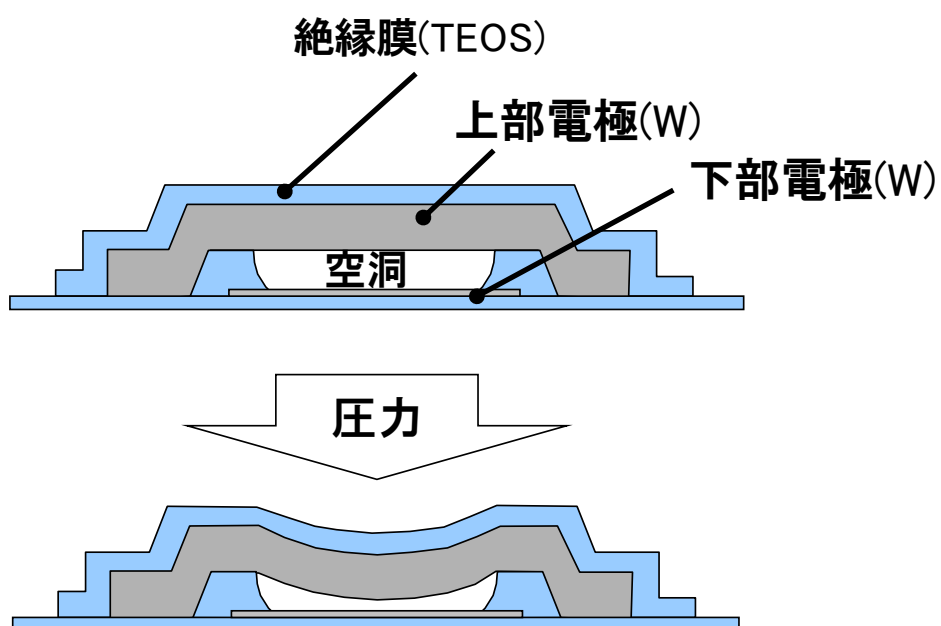


図 2.11 試作構造の MEMS 動作の模式図

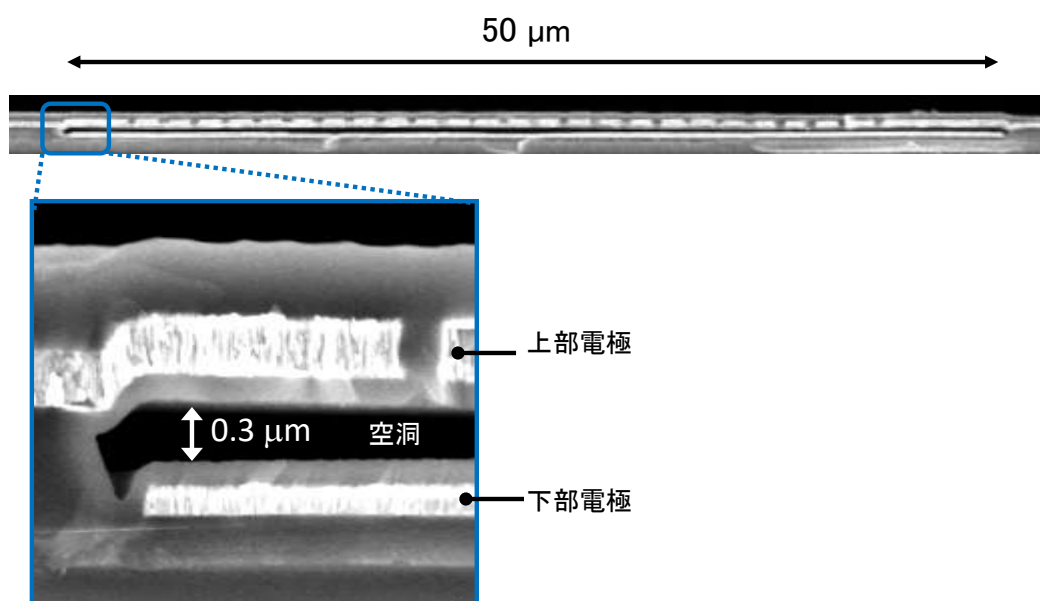


図 2.12 配線 MEMS プロセスで試作した MEMS 容量素子の断面 SEM 写真

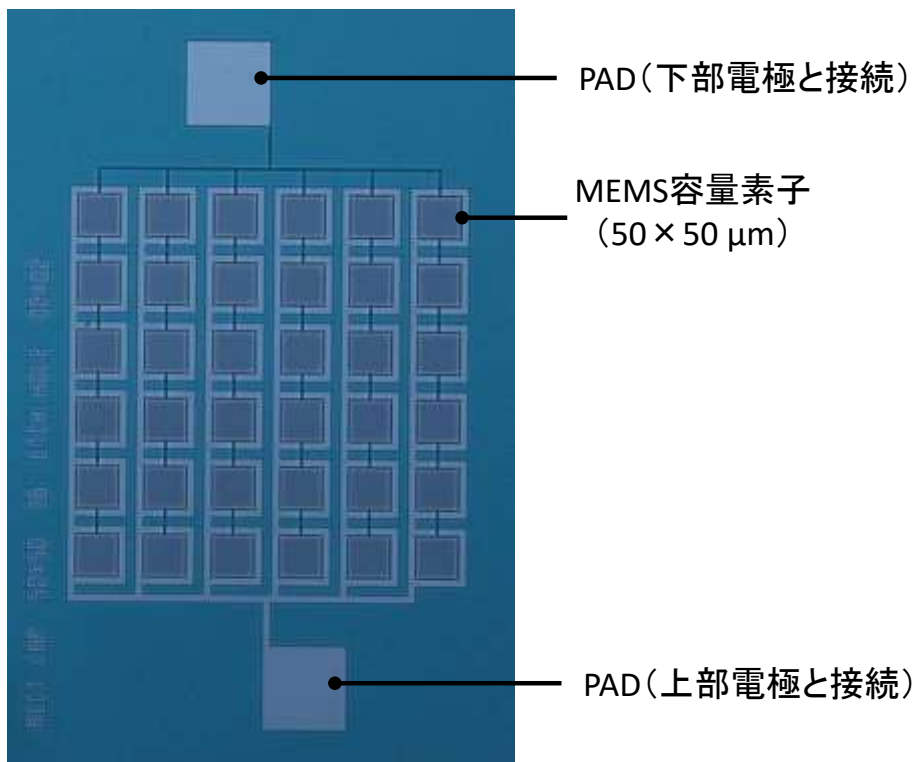


図 2.13 試作した MEMS 容量素子の光学顕微鏡写真

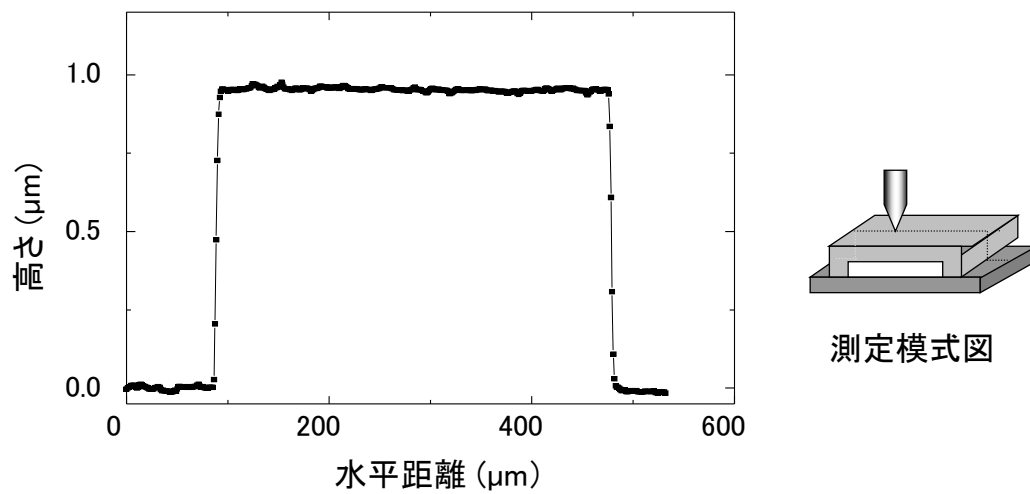


図 2.14 触針式段差系によるダイアフラム形状の測定結果

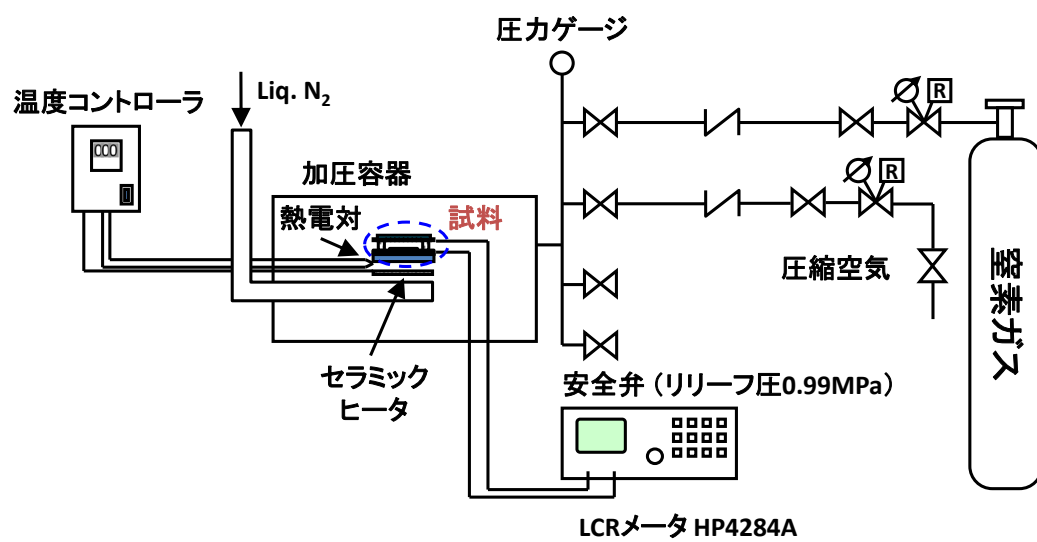
試作した MEMS 容量素子の動作を、加圧変形に伴う静電容量変化として測定した。測定に用いた実験系を図 2.15 に示す。MEMS 容量素子を加圧容器内に入れ、窒素ガスで加圧しながら測定した。圧力容器から外部へは同軸ケーブルで配線を取り出すことが可能であり、加圧しながら静電容量を 2 端子もしくは 4 端子法により測定できる。静電容量の測定には Agilent 社（現 Keysight 社）製 LCR メータ HP4284A を用いた。

加圧測定の結果、および、シミュレーションにより求めた圧力による静電容量の変化をプロットしたグラフを図 2.16 に示す。圧力により MEMS 容量素子の変形し、それに伴い静電容量が増加する様子が測定できた。また、シミュレーション結果とも概ね一致しており、平行平板の電極を持つ MEMS 容量が、ほぼ設計通りの形状を有していることを示唆している。このシミュレーション結果は、図 2.17 のモデルを用い、MEMS シミュレーションソフトウェア：CoventorWare を用いて有限要素法で解析したものである。

以上より、試作した MEMS 容量素子は、ほぼ設計通りの形状と特性を持つと結論する。この MEMS 容量素子はタングステン膜を用いた配線 MEMS プロセスで試作されており、全て 400℃以下の低温プロセスで試作している。よって、微細 CMOS プロセスで作られた LSI 上に集積しても、CMOS LSI に悪影響を与えることはない。また、CMOS LSI の配線工程で用いられる材料と製造プロセスのみを用いて実現されており、既存の CMOS LSI 製造ラインで MEMS と CMOS LSI をモノリシック集積化した容量式センサ LSI を生産可能である。



評価系写真



評価系の構成図

図 2.15 評価系の構成図

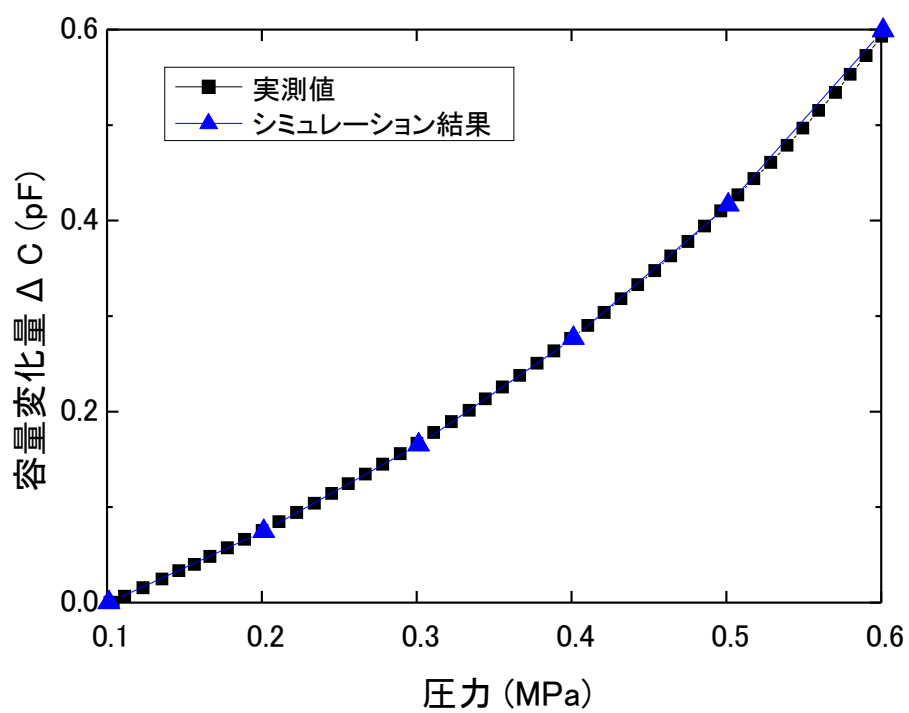


図 2.16 加圧時の静電容量変化の測定結果

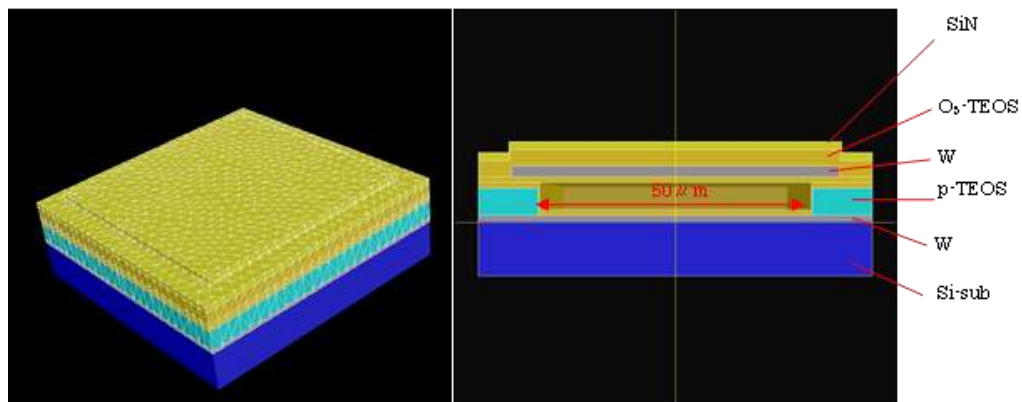


図 2.17 MEMS 容量素子シミュレーションモデル

2.6 まとめ

MEMS と微細 CMOS LSI の集積化を実現する新たな方法として配線 MEMS プロセスを提案した。配線 MEMS プロセスはタングステンもしくはタングステンシリサイドを MEMS の主たる構造体として用い、LSI 配線プロセスと互換性を有する低温プロセスのみを用いて MEMS 構造を形成する。この配線 MEMS プロセスを検討し、以下を得た。

- (1) LSI 配線プロセスで適用可能な材料の物性を比較し、タングステンおよびタングステンシリサイドが MEMS 構造材料に必要な特性を有している。
- (2) タングステン膜およびタングステンシリサイド膜の応力は LSI 配線プロセスで使用可能な低温プロセスのみで制御可能である。タングstenは成膜時の圧力（ガス流量）およびウェハ温度により応力制御できる。また、タングステンシリサイド膜は成膜時のウェハ温度と、その後のアニール温度により応力を制御できる。いずれも、必要な温度は 350 °C 以下で、ゼロ～引っ張り応力まで制御可能である。
- (3) タングステンもしくはタングステンシリサイド膜と O_3 -TEOS を用いることにより、LSI 配線プロセスと互換性のあるプロセスのみで、ダイアフラム状構造の形成と封止を行うことができる。
- (4) 上記検討に基づく配線 MEMS プロセスを用いて MEMS 容量素子を試作し、加圧により MEMS 構造が変形し、容量値が変化することを確認した。

2.7 第 2 章の参考文献

- [1] Fujimori, T., et al. "Fully CMOS compatible on-LSI capacitive pressure sensor fabricated using standard back-end-of-line processes." Solid-State Sensors, Actuators and Microsystems, 2005. Digest of Technical Papers. TRANSDUCERS'05. The 13th International Conference on. Vol. 1. IEEE, 2005.
- [2] Lewis, S., et al. "Integrated sensor and electronics processing for 10^8 iMEMS inertial measurement unit components." Electron Devices Meeting, 2003.

- IEDM'03 Technical Digest. IEEE International. Ieee, 2003.
- [3] Geen, John A., et al. "Single-chip surface micromachined integrated gyroscope with 50° /h Allan deviation." *IEEE Journal of Solid-State Circuits* 37.12 (2002): 1860-1866.
 - [4] Howe, R. T., and R. S. Muller. "Stress in polycrystalline and amorphous silicon thin films." *Journal of Applied Physics* 54.8 (1983): 4674-4675.
 - [5] Mehta, A., et al. "Optimisation of PECVD poly-SiGe layers for MEMS post-processing on top of CMOS." *Solid-State Sensors, Actuators and Microsystems*, 2005. Digest of Technical Papers. TRANSDUCERS'05. The 13th International Conference on. Vol. 2. IEEE, 2005.
 - [6] Luo, Hao, et al. "A post-CMOS micromachined lateral accelerometer." *Journal of Microelectromechanical systems* 11.3 (2002): 188-195.
 - [7] Yamane, Daisuke, et al. "A 0.1 G-to-20 G integrated MEMS inertial sensor." *Japanese Journal of Applied Physics* 54.8 (2015): 087202.
 - [8] Sato, Norio, et al. "A sealing technique for stacking MEMS on LSI using spin-coating film transfer and hot pressing." *Japanese Journal of Applied Physics* 42.4S (2003): 2462.
 - [9] Williams, Kirt R., and Richard S. Muller. "Etch rates for micromachining processing." *Journal of Microelectromechanical systems* 5.4 (1996): 256-269.
 - [10] Williams, Kirt R., Kishan Gupta, and Matthew Wasilik. "Etch rates for micromachining processing-Part II." *Journal of microelectromechanical systems* 12.6 (2003): 761-778.
 - [11] Tung, Bui Thanh, et al. "Measurement of mechanical and thermal properties of co-sputtered WSi thin film for MEMS applications." *Microsystem technologies* 16.11 (2010): 1881-1886.
 - [12] Trieu, H. K., et al. "Monolithic integrated surface micromachined pressure sensors with analog on-chip linearization and temperature compensation." *Micro Electro Mechanical Systems*, 2000. MEMS 2000. The Thirteenth Annual International Conference on. IEEE, 2000.

- [13] Machida, S., et al. "Capacitive micromachined ultrasonic transducer with driving voltage over 100 V and vibration durability over 10^{11} cycles." Solid-State Sensors, Actuators and Microsystems Conference, 2009. TRANSDUCERS 2009. International. IEEE, 2009.
- [14] Witvrouw, A., et al. "Processing of MEMS gyroscopes on top of CMOS ICs." Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International. IEEE, 2005.
- [15] Hoffman, D. W., and John A. Thornton. "The compressive stress transition in Al, V, Zr, Nb and W metal films sputtered at low working pressures." Thin Solid Films 45.2 (1977): 387-396.
- [16] Ger, Muh-Ling, and Richard B. Brown. "Sputtered WSi_x for micromechanical structures." Journal of materials research 10.7 (1995): 1710-1720.
- [17] Hara, Tohru, et al. "Sputtered Tungsten Silicides Deposited at Different Argon Pressures." Journal of The Electrochemical Society 136.4 (1989): 1174-1177.
- [18] 吉田貞史. "応用物理工学選書 3 薄膜." 倍風館 (1990): 107-111.
- [19] Lee, William W., and Daniel Oblas. "Argon Concentration in Tungsten Films Deposited by dc Sputtering." Journal of Vacuum Science and Technology 7.1 (1970): 129-133.
- [20] Jain, Vivek, and Dipankar Pramanik. "In-situ stress changes of WSi_x film during polycide process sequence." VLSI Multilevel Interconnection Conference, 1990. Proceedings., Seventh International IEEE. IEEE, 1990.
- [21] Saraswat, KRISHNA C., et al. "Properties of low-pressure CVD tungsten silicide for MOS VLSI interconnections." IEEE Transactions on Electron Devices 30.11 (1983): 1497-1505.
- [22] Fujino, K., et al. "Silicon Dioxide Deposition by Atmospheric Pressure and Low - Temperature CVD Using TEOS and Ozone." Journal of The Electrochemical Society 137.9 (1990): 2883-2887.

第3章 LSI 配線材料により形成された MEMS の信頼性

3.1 はじめに

MEMS と LSI のモノリシック集積化を行った場合に留意すべき信頼性について検討した[1]。MEMS と LSI を集積化した場合、MEMS と LSI の両方の故障モードに対応した信頼性を備えていなければ実用的なセンサとして使用することは難しい。配線 MEMS プロセスで用いるタングステンやタングステンシリサイドの薄膜は、シリコンと比較して MEMS 構造材料として実績は少なく、信頼性についての知見の蓄積には乏しいことが課題となる。本章では、配線 MEMS プロセスを用いて LSI 配線材料により形成された MEMS の信頼性について検討した。

まず、3.2 節では、MEMS と LSI を集積化したセンサに要求される信頼性の項目について述べる。少なくとも、LSI で用いられている信頼性試験についてはクリアできないが、加えて、MEMS 構造の劣化原因となる金属疲労耐性および、特性をドリフトさせる要因となる応力変化を検討すべき項目として挙げる。次に、3.3 節ではタングステンおよびタングステンシリサイド膜の金属疲労耐性について検討した結果を述べる。MEMS 容量素子に対し 5000 万回以上の繰り返し動作試験を行い、実用上問題無い金属疲労耐性を有していることを示す。3.4 節では、タングステンシリサイドおよび TEOS 膜について、MEMS 部の特性ドリフト要因となる温度・湿度に起因する応力変化について検討した結果を述べる。加えて、その対策として、半導体分野において湿度やガスに対する保護膜として用いられているシリコン窒化膜が MEMS 部の保護膜としても有用であることを示す。最後に 3.5 節では、3.4 節で示した保護膜を適用した MEMS 容量素子に対して、半導体分野で用いられている信頼性試験 2 種を実施した結果、有意の変化が無いことを示す。

以上の結果により、タングステンおよびタングステンシリサイドを用いて配線 MEMS プロセスで形成した MEMS 構造体が、実用上十分な信頼性を有していることを示す。

3.2 MEMS-LSI 集積化センサに要求される信頼性

MEMS センサは産業機器や自動車などにおいて、物理状態を捉え、その結果を制御へとフィードバックすることより高度な制御を実現するために広く使われている。今後も、あらゆるモノをインターネットに繋ぎ、その情報を収集する IoT (Internet of Things) 分野や、自動運転などを高機能化実現にむけ、より多くのセンサが多様な場面で使用されることが期待されている。このような多様な場面へセンサを適用するにはセンサの信頼性が重要となる。

本論文で取り扱う MEMS と LSI を集積化したセンサでは、MEMS と LSI の両方の信頼性を考慮することが必須となる。特に、MEMS と LSI をモノリシック集積化したセンサについては、少なくとも LSI で用いられる信頼性試験はクリアする必要がある。LSI で用いられている信頼性試験としては、高温高湿放置試験、熱衝撃試験、高温動作試験、低温動作試験など様々なものがある。これらの試験は、半導体分野で長期に渡り研究されてきた結果を基に、代表的な故障モードに対する試験として標準規格として定められている。一方、MEMS 分野における信頼性については、半導体分野とは異なる故障モードを考慮する必要がある。例えば腐食等の物理化学的な劣化に対しては半導体で用いられている信頼性試験に準じて行うことが可能であるが、機械特性の変化に起因する劣化モードについては半導体分野で用いられている信頼性試験では対応できない。機械特性の変化に起因する劣化モードとしては、金属疲労による破損、クリープ現象による変形、膜応力の変化による機械特性のドリフト、衝撃による機械構造体の破損、などが考えられる[2]。ただし、耐衝撃性については、一般に MEMS 構造体は小さく、共振周波数が高いことから LSI と大きな差は無いということが報告されており、半導体と同等の試験で問題無いという議論がある[3]。この他、MEMS の構造や種類によっては、電気的な劣化や特性のドリフトや[4]、パッケージで真空封止しているような場合は、その真空度の劣化などに対しての試験が必要となる[5]など、個別のデバイス毎に検討すべき項目は多い。

MEMS 構造体の機械的な劣化モードを理解するためには、MEMS 構造体を構成する薄膜についての知見が必須である。しかしながら、薄膜の機械特性を測定することは容易ではない。通常、薄膜は十分な厚みを持った基板上に形成されるため、基板の機械特性と薄膜の機械特性を分離して測定することは困難なことに起因する。そこで、測定対象の薄膜が基板から独立し、単独で動作する MEMS 素子を形成し、機械特性を測定する手法が多

数提案されている[6][7][8][9][10]。これらにより、MEMS で広く用いられている単結晶および多結晶シリコンのヤング率を含めた設計用パラメータを実測した例が多数報告されている[11][12][13][14]。さらに、引っ張り試験[15][16][17]や疲労試験[18]なども様々な機関で実測が試みられている。例えば、MEMS で広く適用されている単結晶および多結晶シリコンにおいても、計測方法や環境により大きく異なるが、概ね 1 GPa 程度のストレスに対しては十分な疲労耐性を有することが報告されている[20][21]。また、シリコンの他に、MEMS 分野で古くから用いられている金属薄膜に対する機械特性についても、金[19]やニッケル[22][23]、アルミニウム[24]についての検討も報告されている。

このような手法により薄膜の機械特性について実測された結果、薄膜の物性はバルク材料とは異なる場合があることが判明している。例えば、通常、疲労耐性はあまり高くないとされているアルミニウムだが、Digital Mirror Device における信頼性検討の結果、金属疲労耐性については実用上問題無いレベルであったことが報告されている[25]。ただし、クリープによる特性のドリフトについてはバルクの場合と同様に、アルミニウム薄膜では生じることも報告されている[26]。また、多結晶シリコンの疲労挙動を実測し、考察した結果、バルク材料での疲労挙動とは異なる劣化モードの存在が示唆されている[27]。これらは、金属材料の劣化特性は、結晶の状態などに依存するが、薄膜の場合、バルク材料と比較して結晶サイズの与える影響が相対的に大きくなることと推測される。これらについて、バルクの物性から推測可能であることを報告した例もあるが[28]、薄膜の厚さや、薄膜材料によって異なる挙動を取ることが予測される。

このように、薄膜の厚さ等により挙動が異なることから、実際には実デバイスで試験することが必須となっている。MEMS 用材料の信頼性について統一的な議論を行うため、例えば金属疲労耐性に関する評価方法などについては、例えば「MEMS 用薄膜材料の疲労試験方法」(IEC62047-6 および JIS C 5630-6) や、「MEMS 薄膜材料の共振振動を使用した曲げ疲労試験法」(IEC62047-12 および JIS C 5630-12) として標準化されている。これらは、MEMS 構造材料として一般に用いられている単結晶および多結晶シリコンの疲労耐性に関する研究結果に基づき、薄膜片に対しての疲労試験方法を規格化したものである。ただし、これらの規格は材料の疲労強度を評価するための規格であり、信頼性については実デバイス構造で、実際の使用方法に基づく負荷をかけて行う必要があるとされている。

以上を鑑み、配線 MEMS プロセスにより形成された MEMS の信頼性について、MEMS と LSI の両面から検討した。本検討では、配線 MEMS プロセスで試作した MEMS 容量素子を用い、タングステンおよびタングステンシリサイドの薄膜についての金属疲労耐性について実デバイス構造を用いた試験を行い、実用的に十分な疲労耐性を有していることを明らかにする。また、タングステンシリサイドおよび TEOS 膜に対し、MEMS 部の特性ドリフト要因となる温度・湿度による応力変化について検討した。そして、温度・湿度に対する信頼性を向上させる手段として、半導体分野において保護膜として用いられているシリコン窒化膜が MEMS 部の保護膜としても有用であることを明らかにする。これらにより、配線 MEMS プロセスにより実用的な信頼性を有する MEMS と LSI をモノリシック集積化したセンサを実現可能であることを示す。

3.3 金属疲労耐性の評価

配線 MEMS プロセスで試作した MEMS 容量素子を用いて金属疲労耐性を評価した。一般に MEMS を形成した場合には、稼働部の疲労耐性が素子の寿命を決定する要因の一つとなりうる。しかしながら、薄膜金属についての疲労メカニズムについては、必ずしも明らかではない。薄膜においては、結晶粒界による歪の影響などがバルク材料の場合と比較して大きくなることから、バルク材料における疲労メカニズムとは異なる可能性がある。そのため、疲労耐性について実デバイス構造で評価を行った。

まず、タングステン膜を用いた MEMS 容量素子について評価した結果を述べる。ダイアフラム部は封止絶縁膜 450 nm / 上部電極（タングステン）200 nm/封止絶縁膜 100 nm の積層構造である。空洞部の厚さは 300 nm（上下電極間距離は 500 nm）であり、一辺長は 50 μm である。下部電極には厚さ 50 nm のタングステンを用いた。図 3.1 に繰り返し動作試験の評価系について模式図を示す。MEMS 容量素子の上部電極および下部電極間に電圧を印加することで上下電極間に静電力が生じ、ダイアフラム部が変形する。電圧を印加した際の静電容量変化を図 3.2 に示す。本検討では、ピーク間電圧 60V（静電力が復元力を上回る pull-in 現象を生じない範囲で設定）で 50 Hz の交流電圧を印加し、ダイアフラム部を 50 Hz で変形動作させた。この電圧によるダイアフラム変形量は約 100 nm であり、0.55 MPa の加圧に相当する動作である。測定は以下の手順で行った。初期状態の MEMS 容量素子に対し加圧時の容量変化を測定した。その後、上記の交流電圧を一定

時間印加し繰り返し動作を行った。繰り返し動作後の MEMS 容量素子に対して、再び加圧時の容量変化を測定した。これを、累計で 5000 万回の繰り返し動作を行うまで実施した。このように行った繰り返し動作試験の測定結果を図 3.3 および図 3.4 に示す。図 3.3 は横軸を繰り返し動作回数とし、縦軸を加圧時の容量変化としてプロットしたグラフである。また、図 3.4 は初期状態と 5000 万回の繰り返し動作後の加圧時の容量変化を比較したグラフである。5000 万回の繰り返し動作では、加圧特性にほぼ変化が無いことを確認した。

次に、同様にタングステンシリサイド膜について繰り返し動作試験を行った。試料構造は図 3.1 と同様である。ダイアフラム部は封止絶縁膜 450 nm / 上部電極（タングステンシリサイド） 500 nm / 封止絶縁膜 100 nm の積層構造である。空洞部の厚さは 300 nm（上下電極間距離は 500 nm）であり、一辺長は 55 μm である。下部電極にはタングステン 50 nm を用いた。タングステンシリサイドを用いた MEMS 容量素子についても、タングステンの場合と同様に、上部電極および下部電極間に電圧を印加することで繰り返し動作試験を行った。実験条件は、ピーク間電圧 75V（静電力が復元力を上回る pull-in 現象が発生しない範囲で設定）とした。繰り返し動作を高速化し、より多くの回数での繰り返し動作試験を行うため、100 kHz の交流電圧を印加してダイアフラム部を変形動作させた。なお、100 kHz で十分に変形することは、レーザードップラー振動計により変位量を実測することで確認している。この電圧印加条件でのダイアフラム変形量は約 70 nm であり、約 0.5 MPa の加圧に相当する動作である。このようにして、タングステンシリサイドを用いた MEMS 容量素子について 10^{11} 回の繰り返し試験を行ったが、試験の前後で加圧特性について有意の変化は見られなかった。

以上より、タングステンおよびタングステンシリサイド膜を用いた MEMS 容量素子は、少なくとも実用的な範囲内で金属疲労に起因する劣化は見られないと結論する。上記の実験条件における MEMS 容量素子に加わる最大ストレス値を FEM シミュレーションにより計算すると、タングステン膜を用いた MEMS 容量素子の場合で約 400 MPa、タングステンシリサイド膜を用いた MEMS 容量素子の場合で約 75 MPa であった。タングステンのバルク材料の場合、素材の形成方法により若干異なるが、概ね 500~1 GPa 程度のストレスに対しては高い疲労強度を有するとされている。本検討対象はタングステンの薄膜でありバルク材料の値と単純比較はできないが、概ねこのことから、バルク材料よりも疲

劣耐性は強くなる場合が多いことから、本実験でダイヤフラムが疲労破壊せずに使用できているという結果は妥当であると考ええる。また、タングステンは、高融点金属であり、クリープについてもアルミニウムなどと比較して生じにくいと考えられ、高信頼性を実現できる可能性がある。

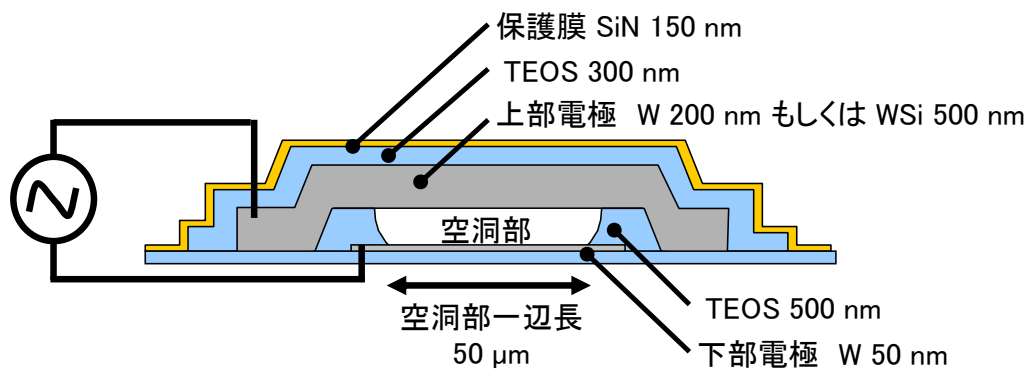


図 3.1 静電力による繰り返し動作試験方法の模式図

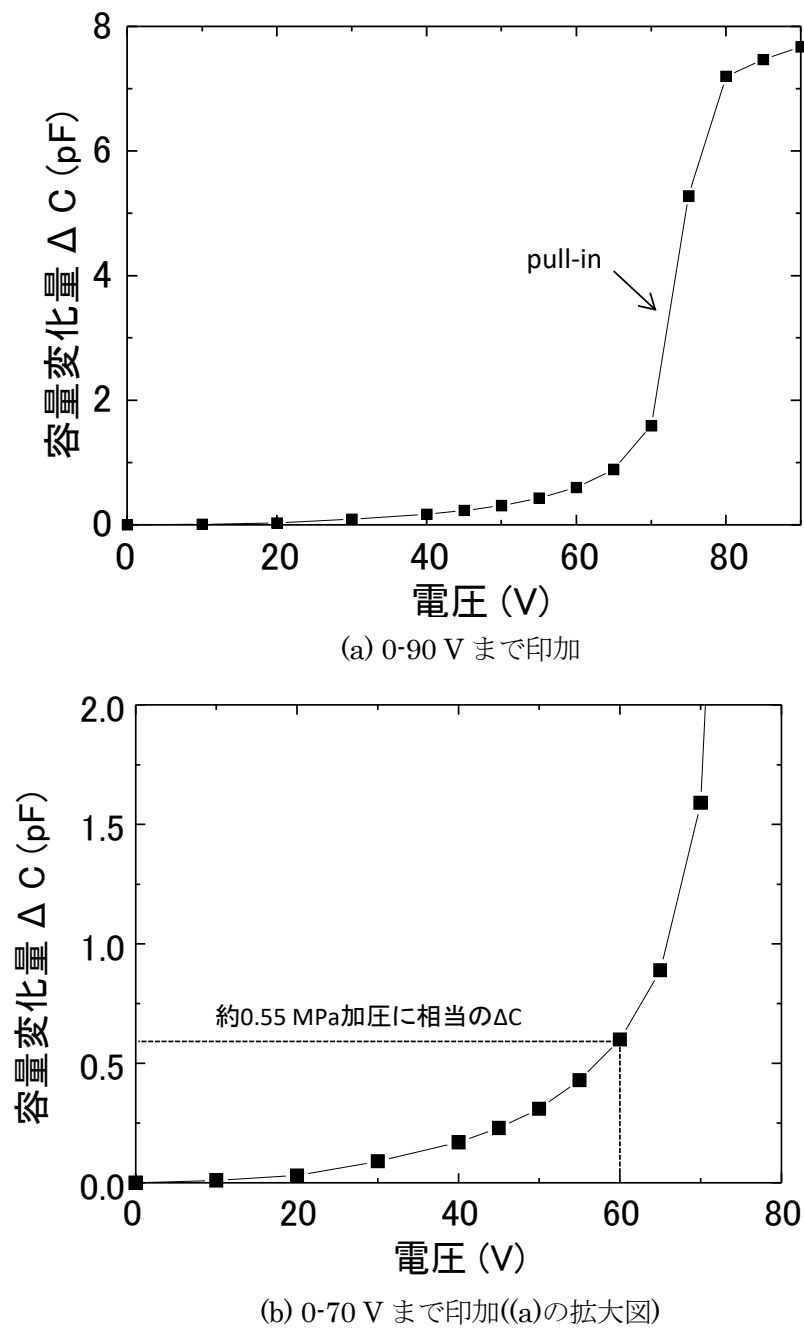


図 3.2 MEMS 静電容量の電圧による静電容量変化

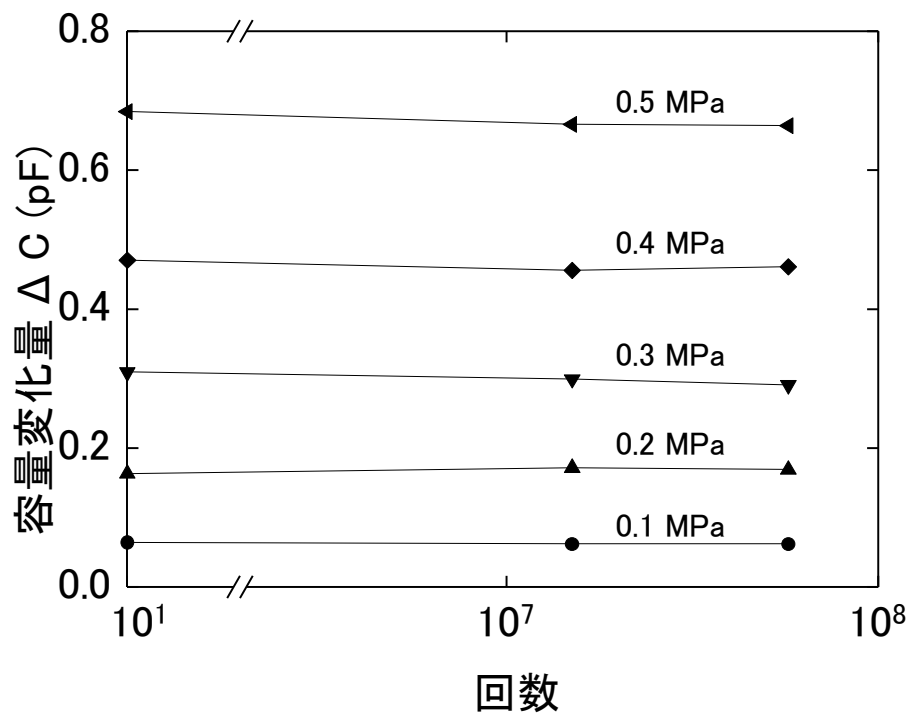


図 3.3 タングステンダイアフラムの繰り返し動作試験結果

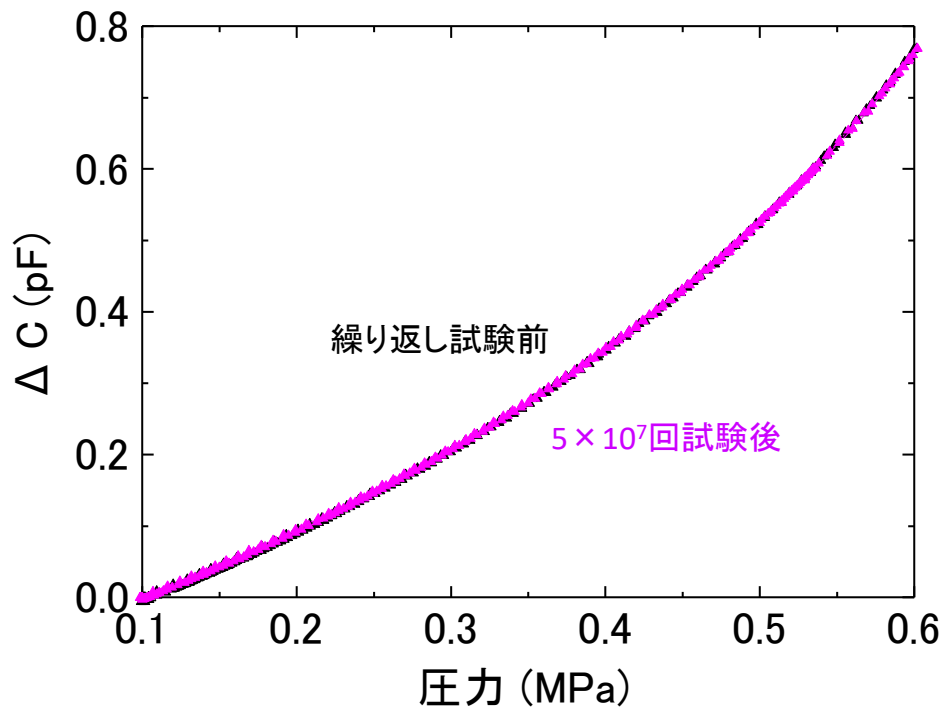


図 3.4 5000 万回の繰り返し動作試験前後のタンングステンダイアフラムの加圧特性

3.4 耐温度・耐湿度性に関する信頼性

3.4.1 MEMS における耐温度・耐湿度性

配線 MEMS プロセスで形成した MEMS の温度・湿度に対する信頼性を検討した。MEMS センサは、その種類に依っては、圧力センサやガスセンサ等のように大気暴露することが必要となる。そのため、温度湿度などの環境影響に対する信頼性検討の重要性は高い。3.2 節で述べた通り、半導体分野においては耐湿性評価に相当する試験項目が定められている。これは、配線層の金属材料（アルミニウム、銅）が腐食する故障モードなどに対しての寿命評価を目的に行われている。配線 MEMS プロセスにおいて使用するタングステンやタングステンシリサイドは、耐湿性、耐腐食性に優れた金属であることが知られており、その腐食による故障モードは考え難い。しかしながら、温度や湿度による影響で、材料の応力が変化することにより MEMS 構造部が変形し、センサ出力特性をドリフトさせるという劣化モードが考えられる。これは、タングステン、タングステンシリサイドに加え、構造体部で絶縁膜として使用する TEOS 膜も含めて検討する必要がある。

本検討では、温度および湿度による応力変化の有無について、タングステン、タングステンシリサイド、TEOS のそれぞれについて評価した。さらに、温度および湿度による特性変化から、MEMS 部および LSI を同時に保護するための方法として窒化シリコン膜が有効であることを確認した。以下、これらの検討結果について述べる。

3.4.2 タングステンおよびタングステンシリサイドの応力変化

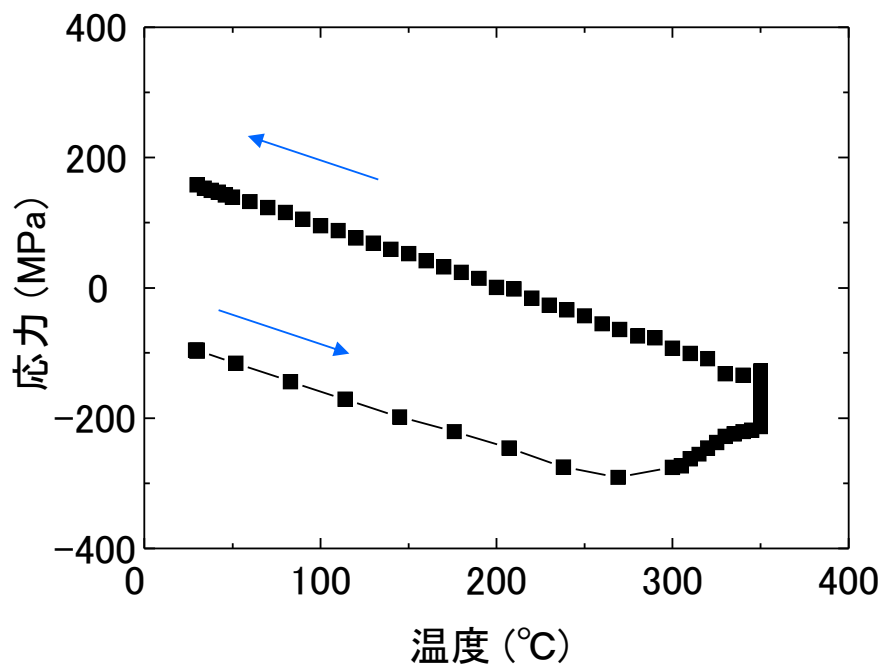
タングステンおよびタングステンシリサイドは化学的に安定であり、多くの薬品に対して反応しない。また、高融点金属であるタングstenは熱的にも安定であり、400 °C程度までの加温に対し、熱膨張（熱応力）以外の変化は、ほとんど見られない。そのため、タングステン膜を MEMS 構造材料として使用した場合、温度・湿度の両方に対して高い信頼性を持つ。

一方、タングステンシリサイド膜については、温度による応力のドリフトについて検討が必要である。2 章でも述べた通り、スパッタ成膜後にアニールすることで応力が変化する。この現象は非可逆的性であり、2 章においては適切な応力に調整するのに適用可能であることを示した。しかしながら、アニールが不十分であれば、センサとして使用中に応

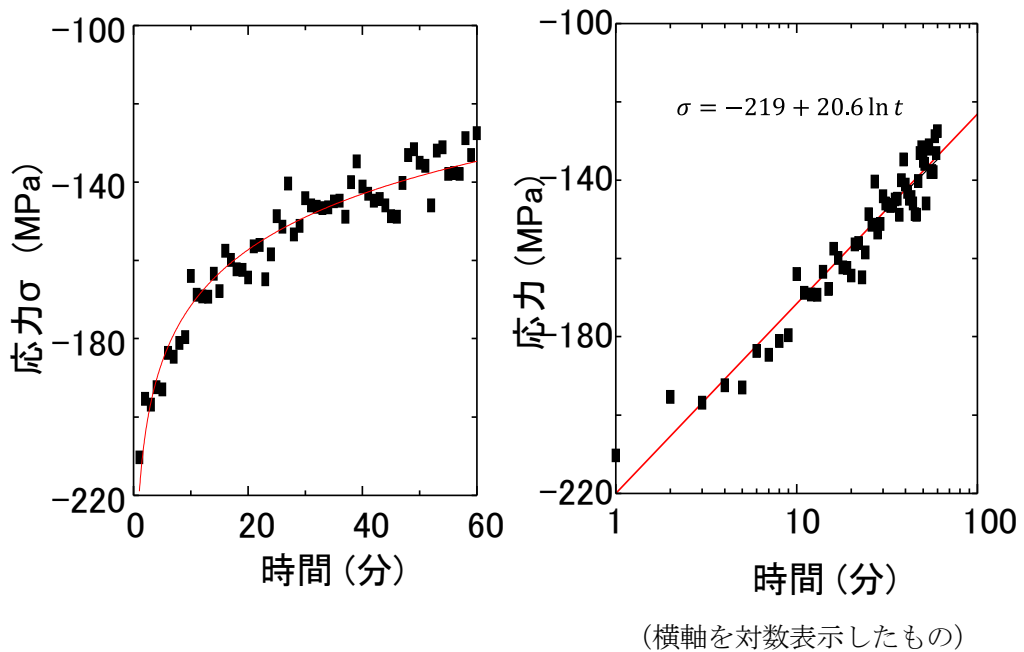
力が変化することが有りうるということである。そこで、高温保持した場合の、タングステンシリサイド膜の応力変化について測定した。ウェハ温度 200 °C でスパッタ成膜したタングステンシリサイド 500 nm について昇温・降温しながら応力を測定（ウェハの反り量を測定し、応力に換算）した。この測定では窒素雰囲気中で 350 °C まで昇温した後、350 °C で 60 分間保持し、その後、室温に戻した。測定した応力の温度変化を図 3.5 (a) に、350 °C で保持している間の応力の時間変化を図 3.5 (b) に示す。図 3.5 (a) を見ると、初期の応力は約 -100 MPa の圧縮応力である。昇温するとともに熱膨張により圧縮応力が強くなっていくが、250 °C 程度から圧縮応力が弱くなっていく。350 °C で保持している間の時間変化を見ると（図 3.5 (b)）、時間と共に対数的に引っ張り応力が強くなっていることが判る。この後、室温まで温度を下げると、ほぼ直線的に +200 MPa の引っ張り応力となる。昇温時と降温時の傾きはほぼ等しいことから、熱膨張による変化であることを示唆している。再度 350 °C まで昇温しても、以後は熱膨張による変化以外は観測されなかった。

このタングステンシリサイド膜の温度による応力変化は、微小結晶の成長に起因するものだと推測する。スパッタ成膜されたタングステンシリサイドはアモルファス構造となることが知られている[29]。このタングステンシリサイドをアニールすると、アモルファス構造もしくは、数 nm オーダーの微小結晶が生成されることが知られている。本検討で用いたタングステンシリサイド膜について、400 °C でアニールした場合の XRR 測定結果を図 3.6 に示す。目立ったピークは示しておらず、アモルファスもしくは微小結晶の状態にあることが確認できる。

結晶成長に起因しており非可逆的な変化であることと、温度による変化は時間に対して対数的に変化していることから、成膜後に十分な時間のアニールを行うことで以降の応力変化は極めて小さくなる。以上のことから、タングステンシリサイド膜は、十分なアニール（350 °C で 30 分以上）を行うことで、MEMS 構造材料として適用可能な信頼性を有する状態となると結論する。



(a) 応力の温度依存性



(b) 350 °C保持中の応力の変化

図 3.5 タングステンシリサイド膜を 350°Cに保持した際の応力変化

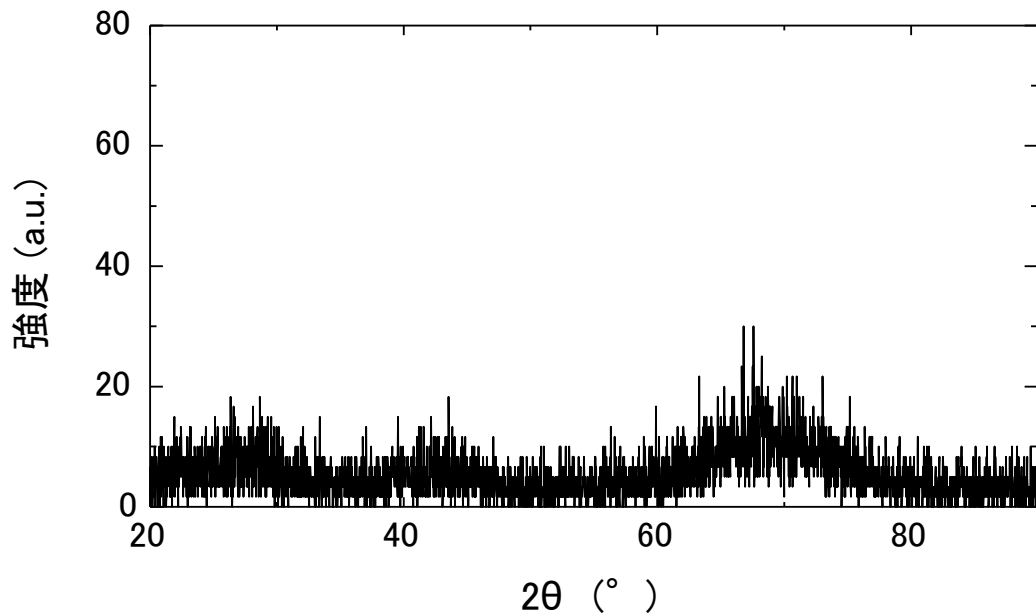


図 3.6 400℃でアニールしたタングステンシリサイド膜の XRR 測定結果

3.4.3 層間絶縁膜とパッシベーション膜の応力変化

配線 MEMS プロセスで絶縁膜として使用した TEOS 膜の応力変化による信頼性への影響と、窒化シリコン膜による対策を検討した。配線 MEMS プロセスでは、絶縁膜および犠牲層として TEOS 膜を用いる。TEOS 膜は、TEOS をソースとしてプラズマ CVD で形成した SiO_2 であり、400 °C 以下で成膜できることから層間絶縁膜として LSI 配線プロセスにおいて標準的に用いられている材料である。半導体分野においては、TEOS 膜の透湿性など、信頼性への影響について詳細に検討されている材料である。しかしながら、MEMS 分野で必要となる信頼性とは故障モードが異なるため同列に議論することはできない。そこで、本検討では、TEOS 膜の応力変化について、湿度影響を評価した。

湿度影響についての評価方法としては半導体分野における故障加速試験 (JEDEC-22A104) で用いられている Pressure Cooker Test (以下、PCT 試験) を用いた。試験条件は 2 気圧、温度 120 °C、湿度 100 %とした。これは 10 年間の加速に相当する試験条件である。シリコンウェハ上に成膜した TEOS 膜 50 nm に対し、PCT 試

験の前後での応力および密度について測定した結果を表 3.1 に示す。ここで、密度は X-ray reflectometry (XRR) によって測定した値である。PCT 試験前後の値を比較すると、密度は 2.64 g/cm^3 から 2.10 g/cm^3 に減少した。また、応力は -150 MPa から -400 MPa へと圧縮応力が強くなった。これは、吸湿により TEOS 膜が膨張する方向へ変化する、それに伴い密度が低く、また、圧縮応力が強くなったと考えられる。このことから、TEOS 膜は湿度により応力が変化し、そのため MEMS の信頼性に悪影響を及ぼすことが明らかになった。

TEOS 膜の吸湿による応力変化で信頼性が悪化することへの対策として、窒化シリコン膜による応力変化の抑制を検討した。窒化シリコン膜は SiO_2 と比較して、緻密でガスバリア性に優れるとされていることから、半導体分野においては LSI の最上層に保護膜として、広く用いられている材料である[30][31][32]。また、プラズマ CVD 法により、 400°C 以下の低温で成膜可能である。まず、シリコン窒化膜そのものの耐湿性について検討した。TEOS 膜の場合と同様に PCT 試験前後でのシリコン窒化膜の応力と密度の変化を測定し評価を行った。シリコン窒化膜について PCT 試験の前後で測定した応力と密度の変化について測定した結果を表 3.2 に示す。密度は 2.85 g/cm^3 から 2.65 g/cm^3 と減少した。ただし、この変化量は TEOS 膜の変化量に比べて小さい変化である。また、応力については、ほとんど変化が無かった。この結果より、窒化シリコン膜は湿度に対して応力変化は小さく、MEMS 構造材料に必要な信頼性を有している可能性があると考えられる。この結果を踏まえ、TEOS を含む MEMS 構造の耐湿性を高める保護膜としての使用可否について検討した。

表 3.1 PCT 試験前後での TEOS 膜の応力および密度の変化

	TEOS(SiO_2)	
Design thickness (nm)	50	
state	as depo	after PCT
Stress (MPa)	- 150	- 400
Density(g/cm^3)	2.64	2.10

表 3.2 PCT 試験前後でのシリコン窒化膜の応力および密度の変化

	SiN (PECVD)	
Design thickness (nm)	50	
state	as depo	after PCT
Stress (MPa)	- 80	- 60
Density(g/cm ³)	2.85	2.65

シリコン窒化膜を保護膜として用いる場合、MEMS 構造の設計およびプロセスへの影響を極力抑えるためにはシリコン窒化膜の膜厚はできるだけ薄い方が望ましい。例えば MEMS 圧力センサの表面を保護することを考えた場合、保護膜がダイアフラムの厚さを厚くする、すなわち、圧力に対する感度を低下させる恐れがある。そこで、耐湿性の確保に必要な膜厚について実デバイス構造で評価した。評価に用いたサンプル構造を図 3.7 に示す。2 章で述べた配線 MEMS プロセスにより MEMS 容量素子を形成した。この際、350 °C 1 時間のアニールを行ったタングステンシリサイドを上部電極として使用している。この MEMS 容量素子の表面にシリコン窒化膜を 50, 100, 150, 200 nm 厚で成膜したサンプルを、それぞれ 3 個ずつ用意した。これらサンプルに対し、PCT 試験の前後で、加圧時の容量変化特性を測定した。測定結果の例を図 3.8 に示す。シリコン窒化膜を 50 nm 厚としたサンプルでは PCT 試験前と比較して試験後に加圧時の容量変化が大きくなっていた。一方、シリコン窒化膜を 150 nm 成膜したサンプルでは、PCT 試験の前後で加圧時の容量変化に差は見られなかった。全サンプルに対して、縦軸に PCT 試験前後での加圧時の容量特性変化率 α を、横軸をシリコン窒化膜の膜厚としてプロットした結果を図 3.9 に示す。ここで、容量特性変化率 α は PCT 試験の前後の初期容量値 $C_{0,before}$ および 0.3 MPa を印加した際の容量変化量 ΔC を基に、下記の式で表される値である。

$$\alpha = \frac{\frac{\Delta C_{after}(P = 0.3 \text{ MPa})}{C_{0,after}} - \frac{\Delta C_{before}(P = 0.3 \text{ MPa})}{C_{0,before}}}{\frac{\Delta C_{before}(P = 0.3 \text{ MPa})}{C_{0,before}}} \quad (3.1)$$

シリコン窒化膜の膜厚が大きくなるに従い、容量変化率は小さく、また、その値のばらつきも小さくなっている。この結果より、MEMS に対してもシリコン窒化膜は保護膜として有効であり、厚さ 150 nm 以上のシリコン窒化膜を保護膜として適用することで、10 年

相当の耐湿性を有することができると結論する。なお、この検討結果は、配線 MEMS プロセスに限定されるものではなく、 SiO_2 を用いている MEMS 全般に適用可能な結果であるとする。

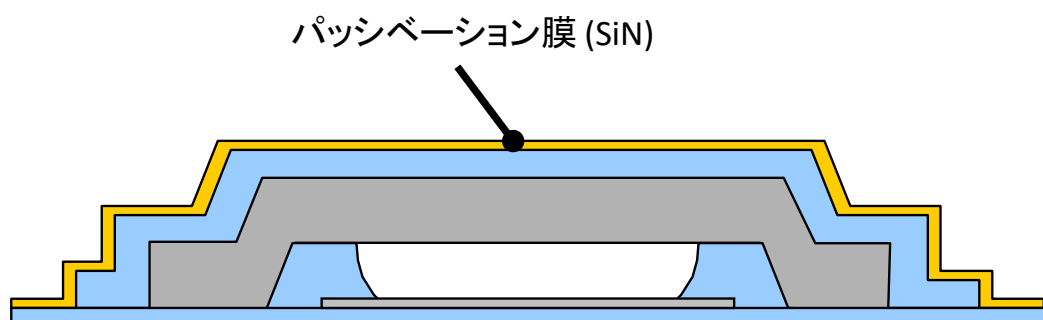


図 3.7 パッシベーション膜を成膜した MEMS 容量の構造模式図

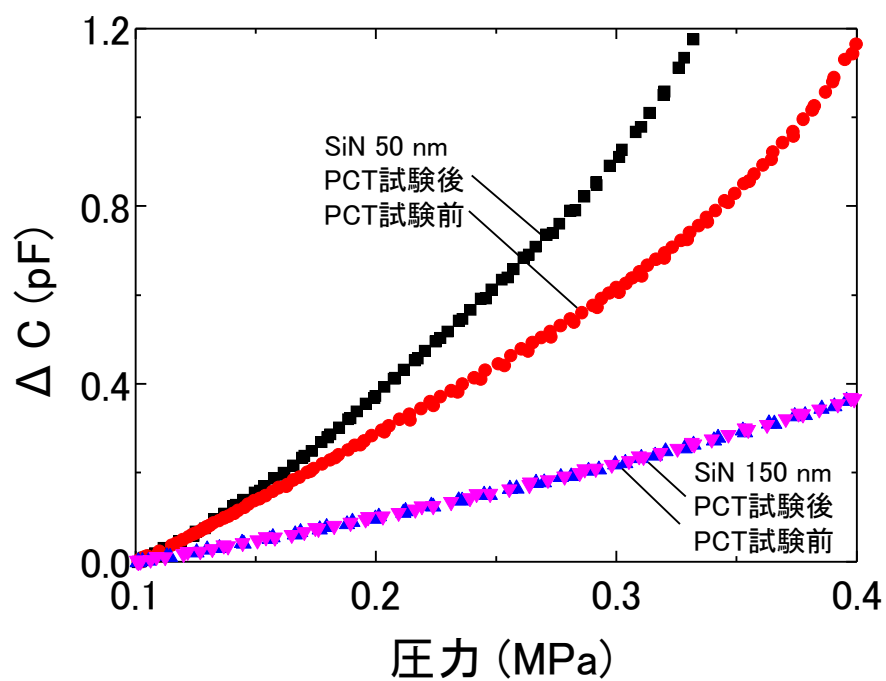


図 3.8 PCT 試験後の容量変化率とパッシベーション膜厚の依存性

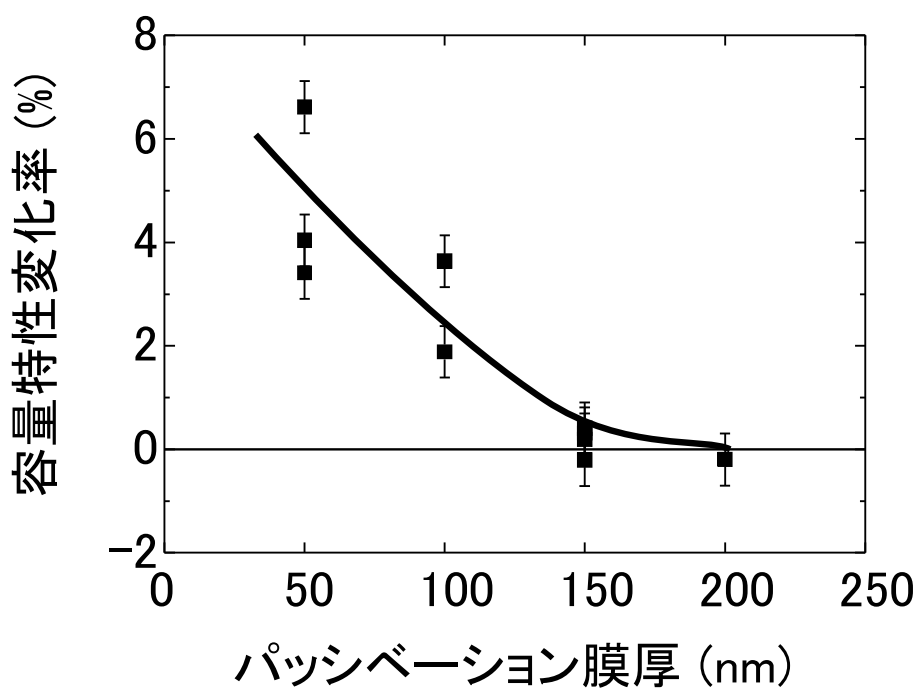


図 3.9 PCT 試験後の容量変化率とパッシベーション膜厚の依存性

3.5 耐湿性および熱衝撃試験

3.3 節および 3.4 節の検討結果を反映したサンプルを作製し、半導体分野で用いられている耐湿性試験および熱衝撃試験を行った。3.4 節で用いたものと同様の MEMS 容量素子で、保護膜としてシリコン窒化膜 150nm を用いたサンプルで測定した。加温加湿試験は、85℃、湿度 85%で 1000 時間保持とした(半導体信頼性試験規格 JEDEC-22A101 に準拠)。一般的に半導体の温度・湿度耐性の評価に用いられており、10 年相当の加速試験条件である。測定結果を図 3.10 に示す。容量変化率は誤差の範囲でしか変化しておらず、10 年相当の寿命試験をクリアできた。

次に、高温高湿試験と同様のサンプルに対し、熱衝撃試験を行った結果を示す。熱衝撃試験は、熱膨張に伴うストレスに対する耐性を評価するものであり、配線 MEMS プロセスで作成された MEMS 容量素子は、大面積の金属膜と絶縁膜が積層された構造を持つことから、一般的な半導体と比較して熱により受けるストレスの影響が大きいことが懸念される。熱衝撃試験の条件は、- 55℃と 150℃で 1000 サイクル(30 分 / サイクル)の熱衝撃 (JEDEC22-A104 に準拠) とした。熱衝撃試験前後での MEMS 容量素子の容量変化率について図 3.11 に示す。この試験についても、10 年相当の加速に相当する 1000 サイクルの熱衝撃が加わる前後で、有意の変化は見られず、熱衝撃に対する高い信頼性を有していることが判った。

以上の結果より、耐温湿度および熱衝撃試験について、半導体分野において 10 年相当の加速試験とされる信頼性試験をクリアできることを示した。MEMS と LSI を集積化した場合、少なくとも半導体の信頼性試験をクリアできる信頼性が MEMS に対しても必要となるが、耐温湿度および熱衝撃について、配線 MEMS プロセスで形成した MEMS 容量素子が実用上、十分な信頼性を有していると結論する。

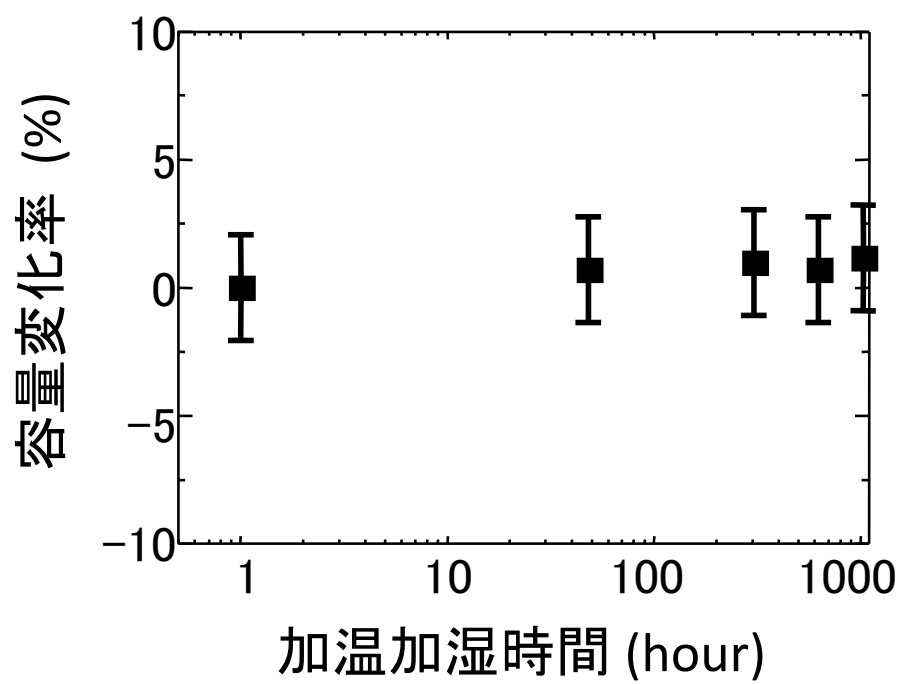


図 3.10 高温高湿試験結果

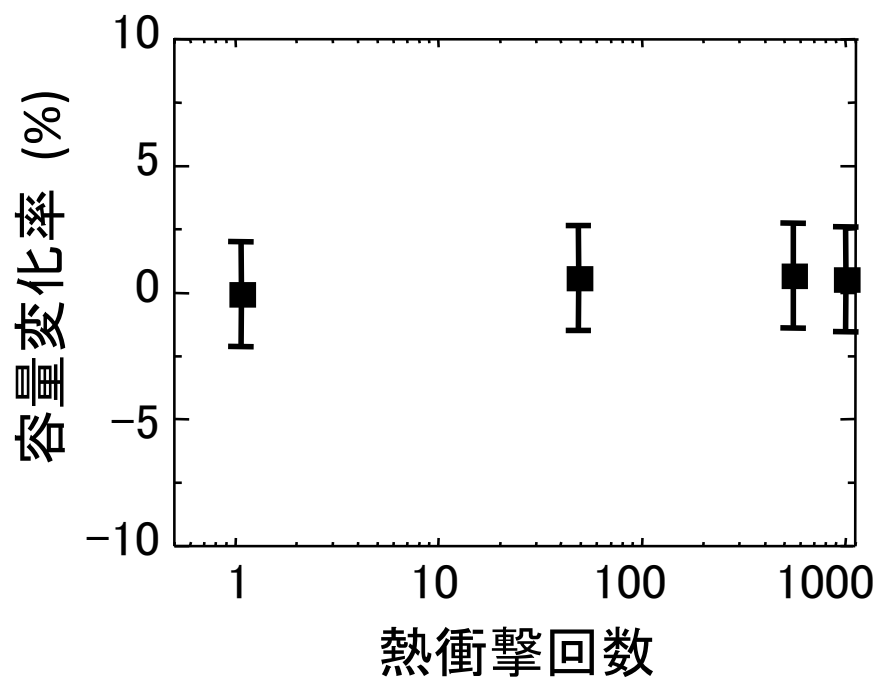


図 3.11 熱衝撃試験結果

3.6 まとめ

タングステンおよびタングステンシリサイドを用いた配線 MEMS プロセスにおける MEMS の信頼性について検討した。MEMS と LSI のモノリシック集積化を行った場合に想定される劣化モードと信頼性について考察し、以下を得た。

- (1) MEMS と LSI を集積化したセンサに要求される信頼性項目について検討した。
少なくとも、LSI で用いられている信頼性試験に加えて、MEMS 構造の劣化原因となる金属疲労耐性および、特性をドリフトさせる要因となる応力変化に対応する信頼性を検討すべき項目と結論した。
- (2) タングステンおよびタングステンシリサイド膜の金属疲労耐性について検討した。各々の膜を用いた MEMS 容量素子を用いて 5000 万回以上の繰り返し動作試験を行い、実用上問題無い金属疲労耐性を有していると結論した。
- (3) タングステンシリサイドおよび TEOS 膜について、MEMS 部の特性ドリフト要因となる温度・湿度に起因する応力変化について検討した。応力変化を抑制する対策として、半導体分野において湿度やガスに対する保護膜として用いられているシリコン窒化膜が MEMS 部の保護膜としても有用であることを見出した。シリコン窒化膜を MEMS 表面に 150 nm 以上の厚さで成膜することで、十分な信頼性を得られることを示した。
- (4) 上記検討に基づく保護膜を適用した MEMS 容量素子に対して、10 年の加速試験に相当する高温高湿試験および熱衝撃試験を行い、実用上十分な信頼性を有していることを示した。

3.7 第 3 章の参考文献

- [1] Fujimori, T., Y. Hanaoka, and H. Fukuda. "Above-IC integration of capacitive pressure sensor fabricated with CMOS interconnect processes." Micro Electro Mechanical Systems, 2007. MEMS. IEEE 20th International Conference on. IEEE, 2007.
- [2] Van Spengen, W. Merlijn. "MEMS reliability from a failure mechanisms perspective." Microelectronics Reliability 43.7 (2003): 1049-1060.

- [3] Srikar, V. T., and Stephen D. Senturia. "The reliability of microelectromechanical systems (MEMS) in shock environments." *Journal of Microelectromechanical Systems* 11.3 (2002): 206-214.
- [4] Shea, Herbert R., et al. "Effects of electrical leakage currents on MEMS reliability and performance." *IEEE Transactions on Device and Materials Reliability* 4.2 (2004): 198-207.
- [5] Stark, Brian H., and Khalil Najafi. "A mold and transfer technique for lead-free fluxless soldering and application to wafer-level low-temperature thin-film packages." *Micro Electro Mechanical Systems, 2004. 17th IEEE International Conference on.(MEMS)*. IEEE, 2004.
- [6] Guckel, H., T. Randazzo, and D. W. Burns. "A simple technique for the determination of mechanical strain in thin films with applications to polysilicon." *Journal of Applied Physics* 57.5 (1985): 1671-1675.
- [7] Najafi, Khalil, and Kenichiro Suzuki. "A novel technique and structure for the measurement of intrinsic stress and Young's modulus of thin films." *Micro Electro Mechanical Systems, 1989, Proceedings, An Investigation of Micro Structures, Sensors, Actuators, Machines and Robots*. IEEE. IEEE, 1989.
- [8] Bromley, E. I., et al. "A technique for the determination of stress in thin films." *Journal of Vacuum Science & Technology B: Microelectronics Processing and Phenomena* 1.4 (1983): 1364-1366.
- [9] Allen, Mark G., et al. "Microfabricated structures for the insitu measurement of residual stress, young's modulus, and ultimate strain of thin films." *Applied Physics Letters* 51.4 (1987): 241-243.
- [10] Tabata, O., et al. "Micro Electro Mechanical Systems: An Investigation of Micro Structures." *Sensors. Actuators. Mechanics, and Robots*. IEEE 152 (1989).
- [11] Petersen, Kurt E., and C. R. Guarnieri. "Young's modulus measurements of thin films using micromechanics." *Journal of Applied Physics* 50.11 (1979): 6761-6766.
- [12] Howe, R. T., and R. S. Muller. "Polycrystalline and amorphous silicon

- micromechanical beams: annealing and mechanical properties." *Sensors and Actuators* 4 (1983): 447-454.
- [13] Johansson, Stefan, et al. "Fracture testing of silicon microelements insitu in a scanning electron microscope." *Journal of applied physics* 63.10 (1988): 4799-4803.
- [14] Weihs, T. P., et al. "Mechanical deflection of cantilever microbeams: A new technique for testing the mechanical properties of thin films." *Journal of Materials Research* 3.5 (1988): 931-942.
- [15] Greek, Staffan, et al. "In Situ Tensile Strength Measurement Of Thick-film And Thin Film Micromacrined Structures." *Solid-State Sensors and Actuators, 1995 and Eurosensors IX.. Transducers' 95. The 8th International Conference on. Vol. 2. IEEE, 1995.*
- [16] Koskinen, J., et al. "Microtensile testing of free-standing polysilicon fibers of various grain sizes." *Journal of Micromechanics and Microengineering* 3.1 (1993): 13.
- [17] Tsuchiya, Toshiyuki, et al. "Cross comparison of thin-film tensile-testing methods examined using single-crystal silicon, polysilicon, nickel, and titanium films." *Journal of Microelectromechanical Systems* 14.5 (2005): 1178-1186.
- [18] Brown, Stuart B., William Van Arsdel, and Christopher L. Muhlstein. "Materials reliability in MEMS devices." *Solid State Sensors and Actuators, 1997. TRANSDUCERS'97 Chicago., 1997 International Conference on. Vol. 1. IEEE, 1997.*
- [19] Beams, J. W. "Mechanical properties of thin films of gold and silver." *Structure and properties of thin films* (1959): 183-192.
- [20] Tsuchiya, T., et al. "Fatigue test of single crystal silicon resonator." *Technical Digest of the Sensor Symposium. Vol. 16. THE INSTITUTE OF ELECTRICAL ENGINEERS OF JAPAN, 1998.*
- [21] Muhlstein, C. L., S. B. Brown, and R. O. Ritchie. "High-cycle fatigue and durability of polycrystalline silicon thin films in ambient air." *Sensors and*

Actuators A: Physical 94.3 (2001): 177-188.

- [22] Brown, Stuart B., Gary Povirk, and John Connally. "Measurement of slow crack growth in silicon and nickel mechanical devices." Micro Electro Mechanical Systems, 1993, MEMS'93, Proceedings An Investigation of Micro Structures, Sensors, Actuators, Machines and Systems. IEEE.. IEEE, 1993.
- [23] Povirk, G. L., J. Bernstein, and S. B. Brown. "Long-term stability of nickel in resonant micro-mechanical devices." MRS Online Proceedings Library Archive 308 (1993).
- [24] Griffin, Alfred J., Franz R. Brotzen, and Clyde F. Dunn. "Mechanical properties and microstructures of Al-1% Si thin film metallizations." Thin Solid Films 150.2-3 (1987): 237-244.
- [25] Douglass, Michael R. "Lifetime estimates and unique failure mechanisms of the digital micromirror device (DMD)." Reliability Physics Symposium Proceedings, 1998. 36th Annual. 1998 IEEE International. IEEE, 1998.
- [26] Witvrouw, Ann, H. A. C. Tilmans, and Ingrid De Wolf. "Materials issues in the processing, the operation and the reliability of MEMS." Microelectronic Engineering 76.1 (2004): 245-257.
- [27] Bagdahn, Jörg, and William N. Sharpe. "Fatigue of polycrystalline silicon under long-term cyclic loading." Sensors and Actuators A: Physical 103.1 (2003): 9-15.
- [28] Chen, Kuo-Shen, and Kuang-Shun Ou. "Equivalent strengths for reliability assessment of MEMS structures." Sensors and Actuators A: Physical 112.1 (2004): 163-174.
- [29] Saraswat, KRISHNA C., et al. "Properties of low-pressure CVD tungsten silicide for MOS VLSI interconnections." IEEE Transactions on Electron Devices 30.11 (1983): 1497-1505.
- [30] Sinha, A. K., et al. "Reactive Plasma Deposited Si - N Films for MOS - LSI Passivation." Journal of the Electrochemical Society 125.4 (1978): 601-608.
- [31] Sun, R. Co, J. T. Clemens, and J. T. Nelson. "Effects of silicon nitride

encapsulation on MOS device stability." Reliability Physics Symposium, 1980.
18th Annual. IEEE, 1980.

- [32] Kern, Werner, and Richard S. Rosler. "Advances in deposition processes for passivation films." *Journal of Vacuum Science and Technology* 14.5 (1977): 1082-1099.

第4章 LSI配線プロセスによるMEMS-LSI集積化圧力センサ

4.1 はじめに

配線 MEMS プロセスにより MEMS と LSI を集積化可能であることを、MEMS と CMOS LSI をモノリシック集積化した MEMS 圧力センサを試作により実証し、小型高精度化を実現可能なことを示す[1][2]。第2章において、LSI 配線プロセスと互換性を有する材料とプロセスを用いた配線 MEMS プロセスにより MEMS を形成可能であることを示した。また第3章においては、MEMS と CMOS LSI を集積化した場合の課題となる信頼性について評価と考察を行い、加えて、信頼性の向上にはシリコン窒化膜を保護膜として用いることが有効であることを示した。本章では、この配線 MEMS プロセスにより、MEMS と CMOS LSI を集積可能であることを圧力センサの試作により実証する。

まず、4.2 節では MEMS 圧力センサにおいて、CMOS LSI と集積化することで、どのような高機能化が期待できるかについて論じる。次に、4.3 節では試作した集積化圧力センサの計測原理について述べる。加圧により変形するセンサ容量と、センサ容量と同様の構造で空洞内に柱を形成することで変形を抑制したりファレンス容量を近傍に設け、その容量比を計測し出力信号とする集積化圧力センサを検討する。続いて、4.4 節では、配線 MEMS プロセスを用いて3層アルミ配線の CMOS LSI と静電容量式 MEMS 圧力センサを集積化するプロセスフローについて検討した結果を述べる。0.35 μm ルールの一般的な半導体ファウンダリで集積化圧力センサを試作可能であることを示す。4.5 節では、集積化した CMOS LSI の回路構成について述べる。MEMS とアナログ回路、デジタル回路を集積化する。4.6 節では、MEMS センサ部と LSI の集積化レイアウト設計について検討した結果を述べる。試作とシミュレーションにより考察し、MEMS 部の下にシールド層を設けることで、LSI 回路設計に MEMS レイアウト設計が与える影響を抑えることが可能であることを示す。4.7 節では、MEMS 容量の空洞一辺長を設計パラメータとすることで、MEMS プロセスおよび LSI 設計変更を行わずに、MEMS レイアウト設計の変更のみで圧力測定範囲の変更を可能であることを検討し、小型・高精度な圧力センサを多様な用途に展開することが可能なプラットフォーム化することができることを示す。最後に4.8 節では、集積化圧力センサの試作結果について述べる。MEMS 圧力センサとアナログ・デジ

タル回路を 0.72 mm^2 に集積した単機能版と、単機能版の機能に加え、温度センサおよび調整用回路をチップ面積 3.23 mm^2 に集積した高機能版の 2 種の集積化圧力センサを試作評価した結果について述べる。

4.2 圧力センサにおける MEMS-LSI 集積化の必要性

配線 MEMS プロセスにより、MEMS 圧力センサと CMOS LSI のモノリシック集積化したセンサを試作することにより、配線 MEMS プロセスが LSI 配線プロセスと互換性を有しており MEMS と LSI を集積化可能であることを検証した。MEMS センサの中でも、圧力センサは歴史が長く、民生・産業・車載分野のいずれにおいても広く使用されている。例えば、民生分野では、スマートデバイスや時計などに搭載され、GPS の高度を補正する気圧計として用いられている。自動車用では、TPMS (Tire Pressure Monitoring System) やサイドエアバッグ用衝突検出など多用途で用いられている[3]。産業用では古くから圧力伝送器に用いられている。今後も、基本的な物理量を測定する手段として、広くの応用が進むと予想されるセンサであり、配線 MEMS プロセスを実証するセンサとして適切であると考え、試作対象として選択した。

本検討では、静電容量式の MEMS 絶対圧センサを作製した。MEMS 圧力センサでは、ピエゾ抵抗式[4] のものが広く使用されているが、温度による特性の変化が大きく、かつ非線形であることや、パッケージからのストレスにより特性が変化し得ることなどに起因し、高精度化するには個別にトリミングする必要がある。静電容量式 MEMS 圧力センサはピエゾ抵抗式と比較して、温度依存性は線形で小さいく、パッケージに加わる歪からの影響も相対的に小さいことから高精度化が期待できる[5][6][7][8][9][10]。ただし、小型な素子で容量式センサを実現した場合、微小な容量変化を測定することになることから、配線などの寄生容量の影響を受けやすくなる。MEMS 容量素子と CMOS LSI をモノリシックに集積化することで、配線容量や外部ノイズによる容量測定への影響を最小限に抑えることができ、小型化と高精度化を同時に達成することが期待できる。

4.3 試作した集積化圧力センサの検出方式

配線 MEMS プロセスによる MEMS 集積圧力センサの断面模式図と圧力検出原理を図

4.1 に示す。CMOS LSI の配線層の中にセンサ容量とリファレンス容量の 2 種類の MEMS 容量素子を作製することで、静電容量式の圧力センサを実現した。MEMS 容量素子は、上下 2 枚の電極間に空洞を形成・密封した静電容量である。センサ容量は、外界の圧力変化により上部電極が変形し、静電容量値が変化する。また、リファレンス容量は、同様に電極間を空洞にした構造であり、センサ容量と同一の静電容量を持つが、空洞中心付近に柱を形成し、外界の圧力変化に対する変形を抑制している。センサ容量とリファレンス容量の、圧力特性の違いを図 4.2 に示す。センサ容量とリファレンス容量では、圧力による容量変化が約 10 倍異なる。このセンサ容量とリファレンス容量の圧力による容量変化の差異をセンサ測定回路で測定・増幅し、外界の圧力に比例する電圧を出力する。このような、リファレンス容量をセンサ容量の近傍に用意することで、成膜やエッチングプロセスの加工ばらつきの影響を最小限に抑えることができる。このセンサ容量は初期容量を 3 pF となるように設計した。これは後述の回路で、十分に高精度に測定可能な容量である。また、フルスケール相当の圧力印加時の容量変化量については初期容量の 15 %，すなわち 450 fF として設計した。これは pull-in 現象が生じない範囲で動作する値としたものである。

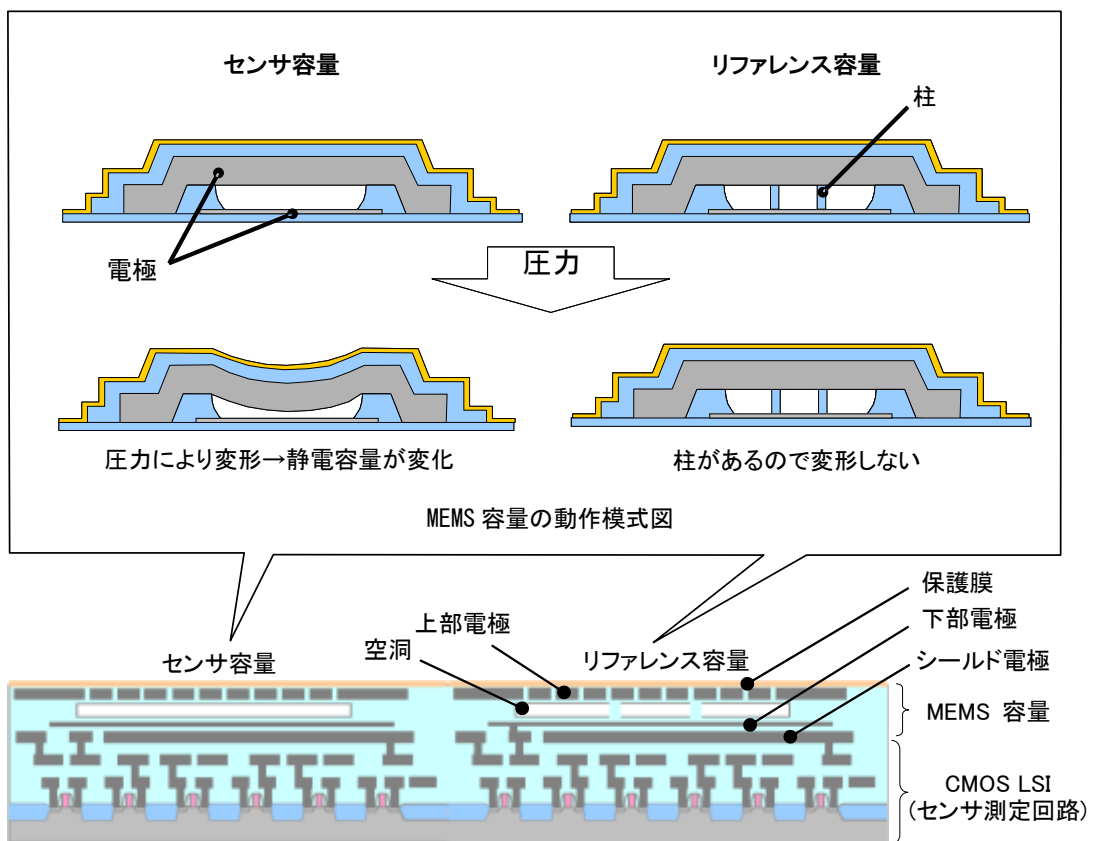


図 4.1 集積化圧力センサの断面構造模式図

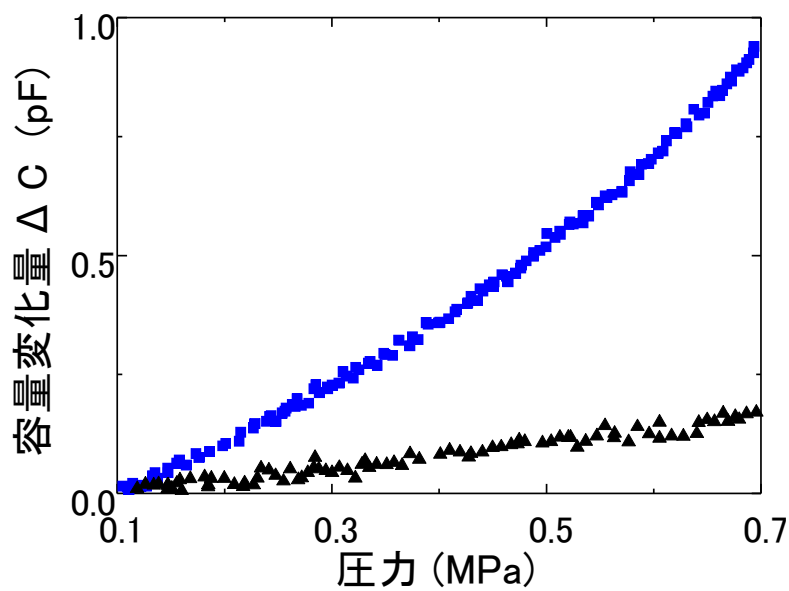


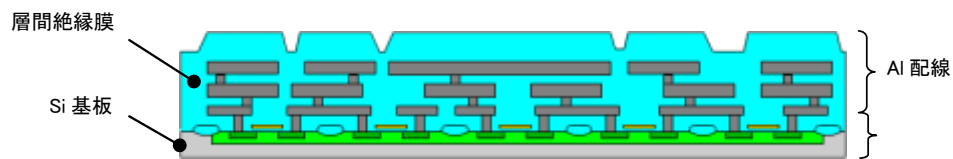
図 4.2 センサ容量とリファレンス容量の容量変化特性

4.4 配線 MEMS-LSI 集積化プロセスフロー

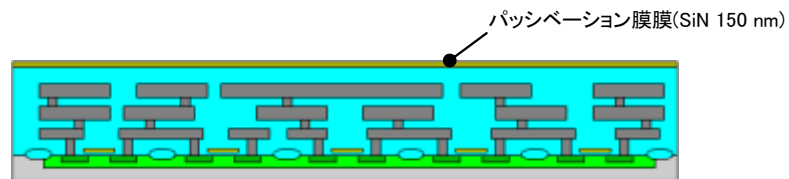
配線 MEMS プロセスを用いた集積化圧力センサのプロセスフローを図 4.3 に示す。本検討は、一般的な半導体ファウンドリ（0.35 μm ルール）で試作した。以下、プロセスフローを説明する。まず、一般的なアルミ 3 層配線の CMOS LSI プロセスにより静電容量検出回路を含む LSI 部を形成する（図 4.3 (1)）。次に、最上層を平坦化したうえで、LSI 部を保護する耐湿性の保護膜（窒化シリコン膜 150 nm 厚）を成膜する。急峻な段差が存在する領域上に MEMS を形成した場合、MEMS 可動構造部の破損や動作不良の原因となることから平坦化は必須である（図 4.3 (2)）。LSI 形成・平坦化後、配線 MEMS プロセスにより圧力センサとなる MEMS 容量層を形成する。下部電極として窒化チタン (TiN) 150 nm 厚、層間絶縁膜として Tetra Ethyl Ortho Silicate (TEOS) 膜 500 nm 厚、上部電極としてタングステンシリサイド (WSi) 膜を成膜・加工する（図 4.3 (3)）。この際、上部電極となる WSi 膜は膜応力が 200~400 MPa 程度になるように調整する必要がある。また、応力を安定化させ、信頼性を向上するために窒素雰囲気中でアニールする。MEMS 容量層の形成・アニールの後、上下電極間に空洞を形成する（図 4.3 (4)）。センサ容量とリファレンス容量の空洞を形成する領域に対して、上部電極膜に微小エッチホール（ ϕ 200 nm）を開口する。リファレンス容量では、柱形成部付近にエッチホールをレイアウトしないことで、空洞内に柱構造を残す。その後、フッ酸を用いた等方エッチングにより空洞を形成する。空洞形成後、空洞を封止し、保護膜を成膜する（図 4.3 (5)）。空洞封止は、常圧熱 CVD 成膜法による O_3 -TEOS 膜で行う。等方性の成膜を LSI にダメージを与えない低温 (400 $^{\circ}\text{C}$) で実施でき、上記工程で開口したエッチホールを最小限の膜厚により、空洞の形状を維持しつつ封止可能である。また、最上層に保護膜を成膜することで十分な信頼性を得ることができる。

以上の工程により、LSI のアルミ配線 3 層と、配線 MEMS 2 層の合計 5 層からなる MEMS 集積圧力センサを試作した。試作した MEMS 集積圧力センサの断面電子顕微鏡写真を図 4.4 に示す。アルミ 3 層配線の上層に配線 MEMS 層が形成され、下部電極と上部電極の間には空洞が形成・封止されている。

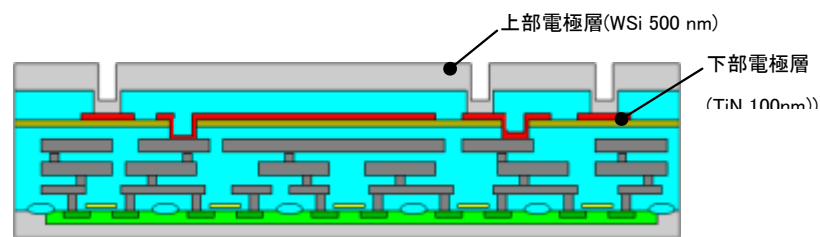
(1) LSI 部形成 (Al 3 層配線, 0.5 μm ルール, 各配線層間を平坦化)



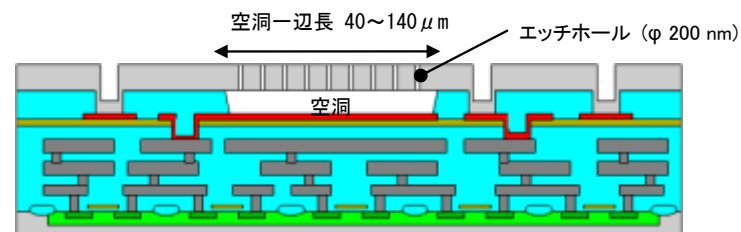
(2) 最上層平坦化後, LSI 部保護用の保護膜 (窒化シリコン 150nm) 成膜



(3) MEMS 容量層成膜・加工, 残留応力緩和とアニール (窒素雰囲気, 350°C, 2 時間)



(4) 微小エッチホール開口 (ϕ 200 nm)・等方エッチングによる空洞形成



(5) 空洞封止膜 (O_3 -TEOS 300 nm) 成膜, 上部電極層加工, 保護膜 (窒化シリコン 150nm) 成膜

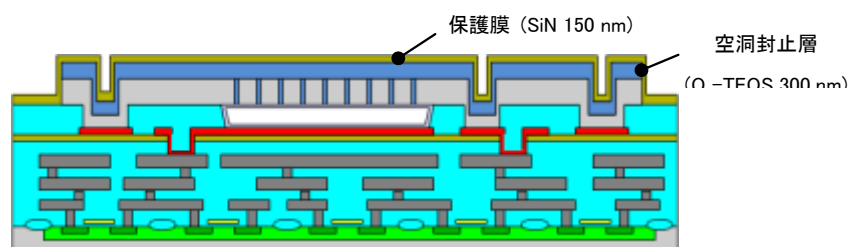


図 4.3 MEMS-LSI 集積化圧力センサプロセスフロー

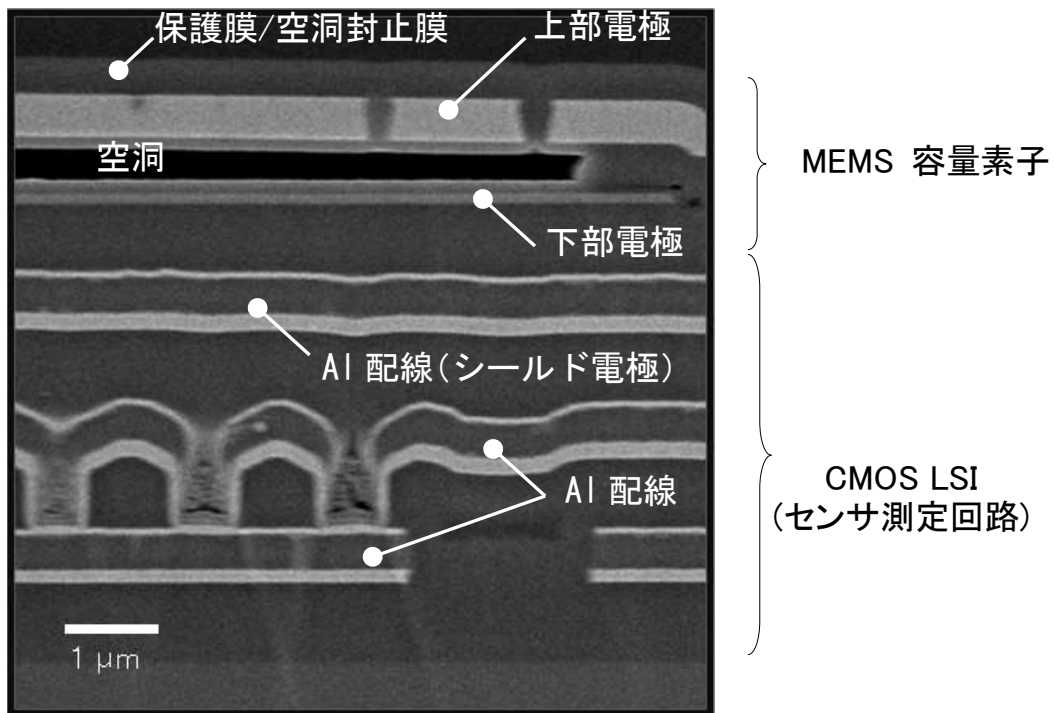


図 4.4 試作した集積圧力センサの断面電子顕微鏡写真

4.5 集積化圧力センサの回路構成

試作した集積化圧力センサの回路全体のブロックを図 4.5 に示す。この集積化 MEMS 圧力センサは、MEMS 圧力センサ容量 (C_s)、測定用のリファレンス容量 (C_r)、C-V 変換回路、クロック生成回路と出力増幅回路からなる。MEMS 容量素子は、同一容量を複数個並列接続することで、 C_s 、 C_r ともに約 3 pF の容量としており、C-V 変換回路により容量変化を電圧値に変換する。また、C-V 変換回路を動作させるクロック回路も集積化しており、その周波数は 40 kHz である。C-V 変換回路の出力は、ゼロ・スパン調整機構およびフィルタを備えた増幅回路を通して出力する。このゼロ・スパン調整値などの各種設定値はデジタルインターフェースより設定可能とした。

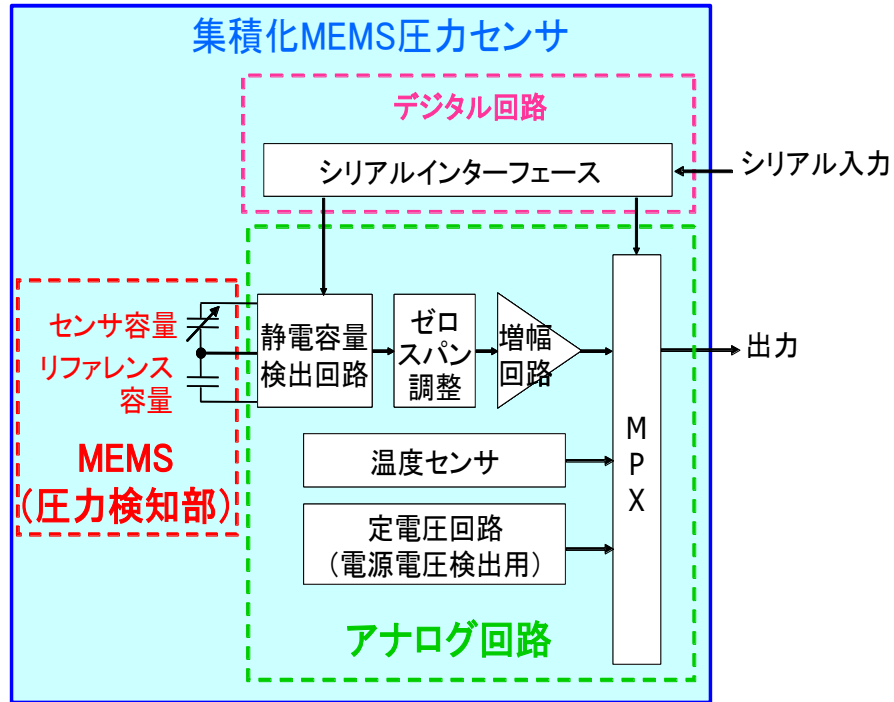


図 4.5 集積化圧力センサの全体回路ブロック図

C-V 変換回路の構成図を図 4.6 に示す。この C-V 変換回路は電荷バランス型の容量検出回路である公知の回路[11]を改良し低ノイズ化した回路である。初段が C-V 変換用のチャージアンプ回路，次段が積分器となっており，フィードバックループを構成している。ここで各スイッチ $\phi 1$ と $\phi 2$ は，クロック毎に相補的に切り替わることで動作する回路である。積分器を含む負帰還のフィードバックループであるため，センサ容量 C_s 上の電荷遷移量と，リファレンス容量 C_r 上の電荷遷移量が等しくなるように制御される。すなわち，電源電圧 V_{DD} ，出力電圧 V_{out} を用いて，以下の電荷バランス式が成立する。

$$C_s \cdot (V_{out} - V_{DD}) = -C_r \cdot \frac{V_{DD}}{2} \quad (4.1)$$

よって，出力電圧 V_{out} は

$$V_{out} = \left(1 - \frac{1}{2} \frac{C_r}{C_s}\right) \cdot V_{DD} \quad (4.2)$$

となる。この式から判る通り，本回路の出力は C_s の逆数に比例，すなわち，センサ容量の上下電極間距離に比例した出力となるため，圧力の変化による静電容量変化に対し，ほ

ば線形な出力が得られる。また、同一チップ上の近接領域に、同一プロセスで一括形成した C_s と C_r の比を検出することで、製造プロセス起因の容量誤差や、容量の温度特性による影響を低減できる。

次に、この回路の雑音について検討した結果を述べる。出力電圧 V_{out} 換算の雑音は、センサ容量 C_s 、リファレンス容量 C_r および、使用している MOS スイッチの熱雑音より、以下の式で見積ることができる。なお、積分器の雑音については、チャージアンプ回路の利得、 V_{out} 換算では実効的に低減するため無視している。

$$V_{N,rms} = \sqrt{k_B T \cdot \frac{C_s + C_r}{C_s^2} (2 + \gamma) + V_{N,1/f}^2} \quad (4.3)$$

ただし、

k_B : ボルツマン定数 (J/K)

T : 温度 (K)

$V_{N,1/f}^2$: チャージアンプ回路で使用しているオペアンプ内で生じる $1/f$ 雑音

γ : MOS の雑音係数 $\times$ 回路構成因子 $= 2/3 \times 1.3 = 0.87$

ここで $V_{N,1/f}^2$ は、容量 C_D が $1/f$ 雑音と DC オフセットをサンプリングして除去する構成としているので、ほぼゼロとなる。よって、 $k_B = 1.38 \times 10^{-23}$ (J/K), $T = 300$ (K), $C_s = C_r = 3$ (pF), $\gamma = 0.87$ を代入すると、

$$V_{N,rms} = 89 \text{ (}\mu\text{Vrms)} \quad (4.4)$$

と計算される。この値は、本回路のスイッチング周波数が 40 kHz であることから、20 kHz までの帯域における雑音値である。一方、式 4.2 から、容量変化 ΔC に伴う出力電圧の変化量 ΔV_{out} は

$$\begin{aligned} \Delta V_{out} &= \left(1 - \frac{1}{2} \frac{C_r}{C_s + \Delta C}\right) \cdot V_{DD} - \left(1 - \frac{1}{2} \frac{C_r}{C_s}\right) \cdot V_{DD} \\ &= \frac{1}{2} \frac{C_r \cdot \Delta C}{C_s^2} \cdot V_{DD} \end{aligned} \quad (4.5)$$

となることから、容量変化に換算した雑音 $\Delta C_{N,rms}$ は

$$\Delta C_{N,rms} = \frac{2C_s^2}{C_r} \cdot \frac{V_{N,rms}}{V_{DD}} \quad (4.6)$$

となる。 $V_{DD}=5$ (V)の場合、 $\Delta C_{N,rms} = 0.11$ (fF_{rms}) (帯域 20 kHz) と計算される。実際には圧力の変化は高速ではないことを踏まえ、後段のフィルタで帯域を 10 Hz に抑えていることを踏まえると容量換算雑音は $\Delta C_{N,rms} = 0.0025$ (fF_{rms}) 程度となる。フルスケールに対応する ΔC_{MAX} は、初期容量の 15 %、すなわち 450 fF として設計されていることから、フルスケールに対する本回路の容量換算熱雑音は

$$\frac{\Delta C_{N,rms}}{\Delta C_{MAX}} = \frac{0.0025 \text{ (fF)}}{450 \text{ (fF)}} = 0.00028 \% \quad (4.7)$$

と見積もられる。この値は、産業用の高精度圧力センサとして実用化されている MEMS 振動子式圧力センサ[12]の精度 0.1~0.01 %フルスケールと比較しても十分に小さな値であり、本検討の集積化圧力センサは、十分な高精度化を実現する可能性を有していると言える。

また、この集積化圧力センサは、配線 MEMS プロセスにより MEMS、アナログ回路、そしてデジタル回路をワンチップ上に集積化している。通常のプロセスで形成可能なアナログ・デジタル回路と MEMS を集積化可能であることを示したと言える。

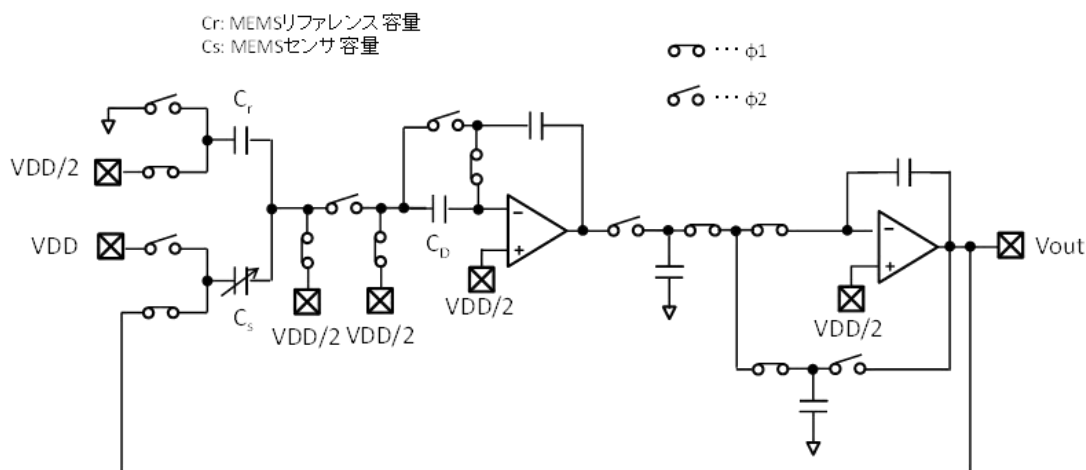


図 4.6 C-V 変換回路部の回路構成図

4.6 MEMS-LSI 集積化レイアウト

MEMS 容量素子と LSI の積層集積化する際におけるレイアウト設計の影響を評価した。特に MEMS 容量素子を LSI のアナログ回路部に積層集積化した場合、MEMS 容量素子が LSI の寄生容量として働き、センサ出力に悪影響を及ぼす懸念がある。そこで、MEMS 容量を LSI 直上にレイアウトした場合と、MEMS 容量と LSI を別領域にレイアウトした場合の 2 種類のチップを試作し、それぞれの出力電圧ばらつきを実測評価した（図 4.7）。

LSI 直上に MEMS 容量素子を配置した場合、LSI と別領域に MEMS 容量素子を配置した場合と比較して、出力ばらつきが約 2 倍となった。本結果を分析するため、MEMS 容量素子と LSI 配線層のレイアウトおよび断面構造から抽出した寄生容量成分を考慮した回路シミュレーションを実施した。その結果、MEMS 容量と LSI 配線間のクロスカップリングを介して、アナログ回路にデジタル回路信号が入力された結果、出力電圧ばらつきが大きくなっていること確認した。

このクロスカップリングへの対策として、MEMS 容量と LSI の間に、LSI 配線を用いたシールド電極を形成した（図 4.1 の断面模式図参照）。シールド電極の形成は LSI 配線層のレイアウトにより実現でき、MEMS 容量素子のレイアウト設計に制約を与えることはない。集積化する際にシールド電極を設けることは、MEMS および LSI 両方の設計自由度を確保しつつ、MEMS センサの小型・高精度化を実現する有力な手法と考える。

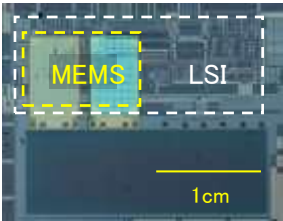
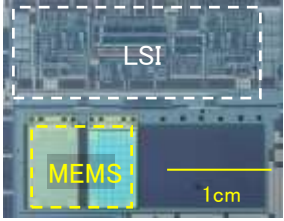
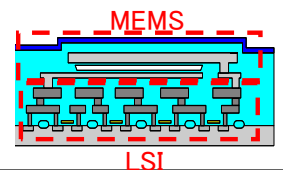
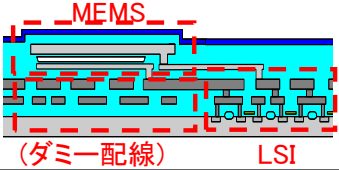
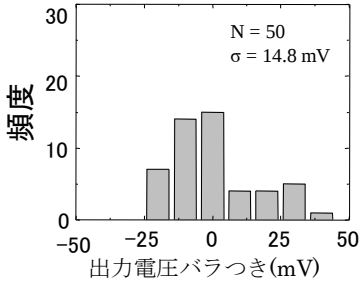
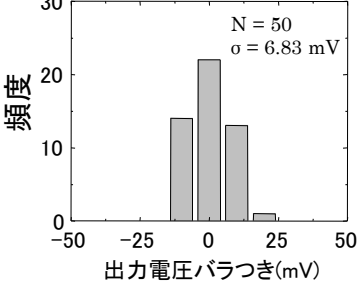
	MEMSをLSI直上にレイアウト	MEMSとLSIを別領域にレイアウト
チップ写真		
断面模式図		
出力電圧バラつき		

図 4.7 集積化レイアウトの差による出力ばらつきの違い

4.7 プラットフォーム化

民生・産業分野では、用途によって圧力測定範囲が大きく異なる。そのため、用途に応じたセンサの設計と仕様変更を行う必要があるが、用途毎に MEMS プロセスや LSI を再設計するのは、開発期間および開発コストの両面で現実的ではない。そこで、MEMS プロセスおよび LSI の変更を行わず、MEMS 容量部のレイアウト設計変更のみで圧力測定レンジを変更できる、MEMS 圧力センサ設計のプラットフォーム化を検討した。

MEMS 容量素子の空洞一辺長をデバイスパラメータとして圧力測定範囲に応じて変更することで、プラットフォーム化可能である。MEMS 容量の圧力測定範囲・感度を変更する、ということは、ある圧力が印加された際の、MEMS 静電容量の変化率を変更することに対応する。本検討で用いた正方形の MEMS 容量素子の静電容量を C とすると、圧力変化に対する容量変化率の理論式は、上下電極間の距離 d を用いて、

$$\frac{\Delta C}{C} = \frac{\Delta d}{d - \Delta d} \quad (4.8)$$

となる。また、上部電極の厚さ h , 空洞一辺長 r を用いて

$$\frac{\Delta C}{C} \propto \frac{r^4}{h^3} \quad (4.9)$$

となることから、正方形の MEMS 容量の圧力測定範囲・感度を決めるパラメータとしては、上下電極間の距離 d , 上部電極の厚さ h , 空洞一辺長 r の 3 つが考えられる。ここで、MEMS 容量素子の静電容量 C を測定する LSI の回路設計を変更することなく、高精度の測定を行うためには、静電容量 C を一定にする必要があることを踏まえると、上下電極間の距離 d を変更した場合、MEMS プロセスおよびレイアウト設計を同時に変更する必要がある。上部電極の厚さ h をパラメータとした場合も、MEMS プロセスの変更が必要となる。一方、空洞一辺長 r を変更した場合は、MEMS のレイアウト設計変更のみで良く、MEMS プロセスの変更は必要としない。以上の検討より、MEMS プロセスの変更無し、かつ、LSI の設計変更無しで圧力測定範囲・感度を変えるパラメータとして、空洞一辺長 r が適切である。

実際に、空洞一辺長 55~174 μm の MEMS 容量を同一ウェハ上に同時に形成し、加圧時の容量変化率 ΔC を測定した結果を図 4.8 に示す。空洞一辺長によって静電容量変化率が大きく変化する MEMS 容量素子を同一プロセスで同時に形成可能であることを確認できた。これにより、多様な用途向けの圧力センサを同時に作製できることを示した。ただし、実際にプラットフォームとして運用するためには、初期容量値および容量変化率はウェハ面内でばらつくことに留意が必要である。これは、例えば上部電極の応力が面内分布を持つこと等に起因するものである。本検討における試作では、デジタルインターフェースにより調整可能なゼロ・スパン調整回路を設け、面内ばらつきに相当する差異を調整可能とすることで対策とした。

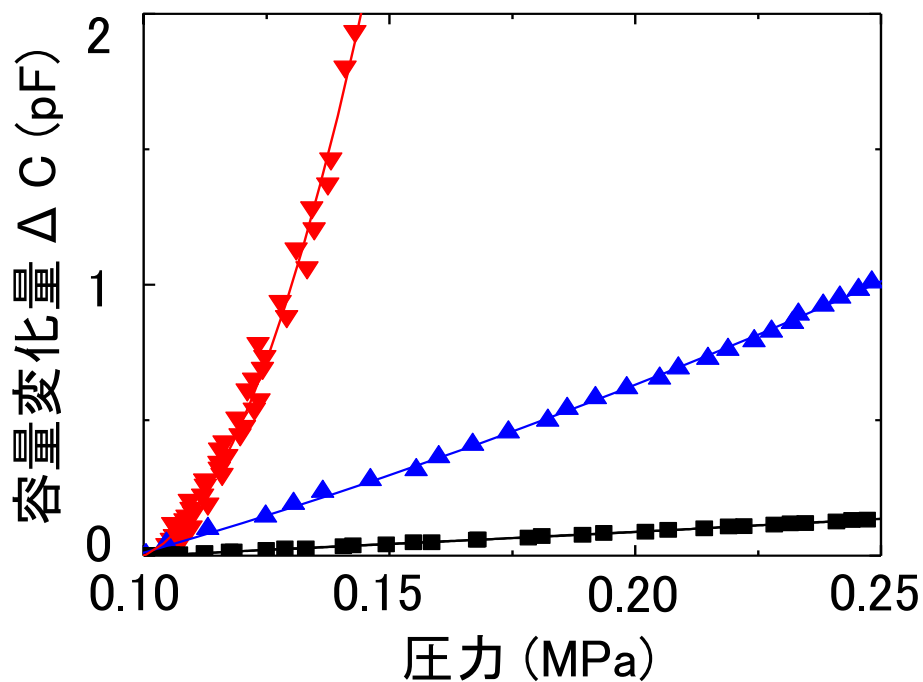


図 4.8 空洞一辺長の違いによる MEMS 容量の圧力特性の違い

4.8 集積化圧力センサの試作と評価結果

4.8.1 試作仕様

以上の検討結果を基に、機能集積化を重視した高機能版と、圧力センサのみに機能を特化し小型化した単機能版の、2 種類の集積化圧力センサを試作した。高機能版圧力センサのチップ写真を図 4.9 に示す。チップ面積 3.23 mm^2 ($1.9 \times 1.7 \text{ mm}$) に、圧力および温度センサとアナログ・デジタル回路を集積している。単機能版圧力センサのチップ写真を図 4.10 に示す。チップ面積 0.72 mm^2 ($0.9 \times 0.8 \text{ mm}$) に圧力センサとアナログ・デジタル回路を集積化した。それぞれの集積化圧力センサの仕様を表 4.1 に示す。小型版ではゼロ・スパン調整機能を含めた調整・実験用の機能を省くことで省面積化した。いずれのチップにおいても、圧力測定範囲は MEMS 容量素子の空洞一辺長を $40 \sim 120 \text{ }\mu\text{m}$ の範囲で変更することで $0 \sim 1000 \text{ kPa}$ の圧力に対応可能である。

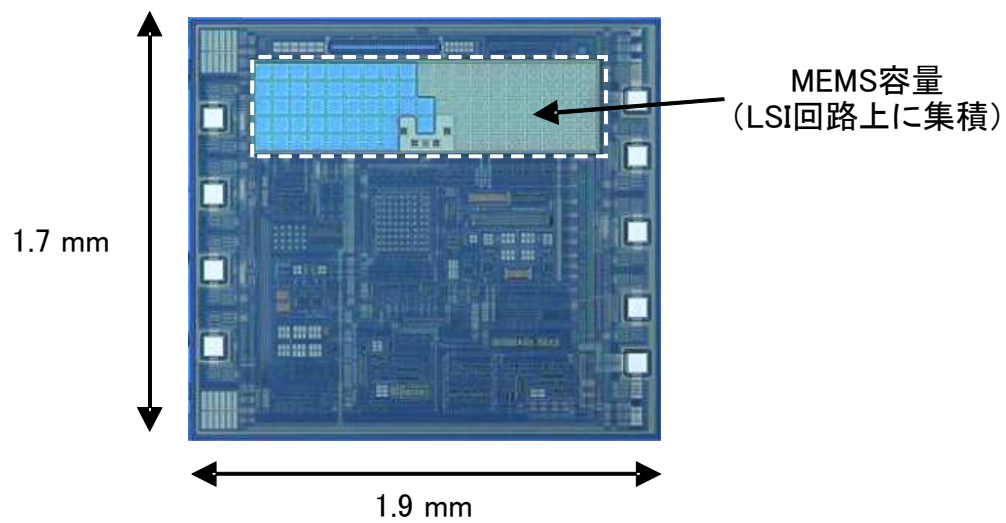


図 4.9 高機能版集積化圧力センサ

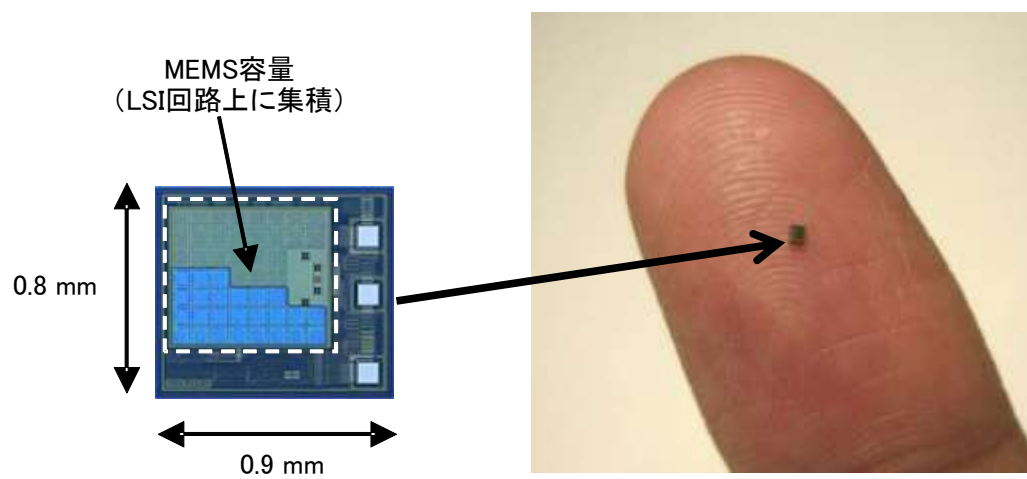


図 4.10 単機能版集積化圧力センサ

表 4.1 試作した MEMS 集積圧力センサの仕様概要

	高機能版	単機能版
チップサイズ	1.9×1.7 mm	0.9×0.8 mm
搭載センサ	圧力, 温度	圧力
圧力検出範囲	MEMS 設計により 0~1000 kPa の 各種圧力範囲に対応	
センサ出力	アナログ	
動作温度	-20~85℃	
供給電圧 (VDD)	2.6~5.5 V	
出力電圧	0.5 ~ 2.0 V	
クロック周波数	内蔵 (40 kHz)	
測定分解能	<0.01 %フルスケール	
待機電流 (typ.)	< 0.1 uA	
動作電流 (typ.)	0.9 mA	0.3 mA
圧力センサ 調整機能	ゼロ点 : 8 bit 感度 : 6 bit	—
温度センサ感度 (typ.)	12.6 mV/℃	—
温度センサ トリミング機能	ゼロ点 : 8 bit 感度 : 6 bit	—

4.8.1 評価方法

圧力特性の評価環境を図 4.11 に示す。市販の真空容器をベースした測定環境を構築した。真空容器内に MEMS 集積圧力センサを実装した測定用ボードを入れ、評価用ボード上でアナログ - デジタル変換したうえで、デジタル信号のみをフラットケーブルを介して容器外に取り出している。リファレンス用の圧力測定器は、高精度圧力センサモジュール MU101（横河電機（株）製）を用いた。



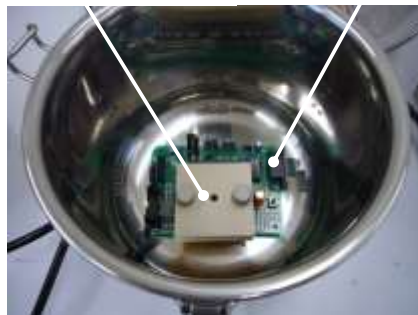
高精度圧力
センサモジュール

減圧測定容器

ダイアフラム式
真空ポンプ

MEMS集積圧力センサ
(測定用ICソケット内に実装)

評価用ボード



減圧測定容器の内部

図 4.11 圧力センサ評価環境

4.8.2 評価結果

高機能版集積化圧力センサの 20～100 kPa における圧力特性を測定した結果を図 4.12 に示す。同一ウェハ上で作製された、MEMS 容量素子の空洞一辺長 40～120 μm のチップそれぞれに対して測定した結果を重ねてプロットしている。空洞一辺長により圧力感度特性の異なる集積化圧力センサが形成できていることを示している。LSI 設計を変更することなく、空洞の一辺長に応じて、圧力に対する応答感度を変更可能であり、多様な圧力測定用途に対応するプラットフォーム化が可能であることを実証した。また、いずれのセンサにおいても、加圧・減圧サイクルで生じるセンサ出力のヒステリシスは、0.01 %フルスケール以下であり、一般的な圧力センサが持つヒステリシス（0.2～数 %フルスケール程度）と比較して小さい。原理的に、圧力センサの測定精度はヒステリシスの影響を受けることから、ヒステリシスが小さいことは、本質的に圧力測定を高精度化できることを示している。このヒステリシスが小さいことは、MEMS-LSI 集積化により微小変形量を測定可能になった結果である。機械的に動作するダイアフラムを用いた圧力センサでは、一般的に、ダイアフラムの変形に対する残留歪に起因したヒステリシスが存在する。本検討の圧力センサでも同様のヒステリシスが存在することが予想されるが、MEMS センサ容量の変形量が極めて小さい(MEMS センサ容量の静電容量変化量から計算される、フルスケール圧力印加時の上部電極変形量は、最大で約 50 nm)ため、上部電極に印加される歪みが非常に小さく、ヒステリシスをほとんど生じないと考える。

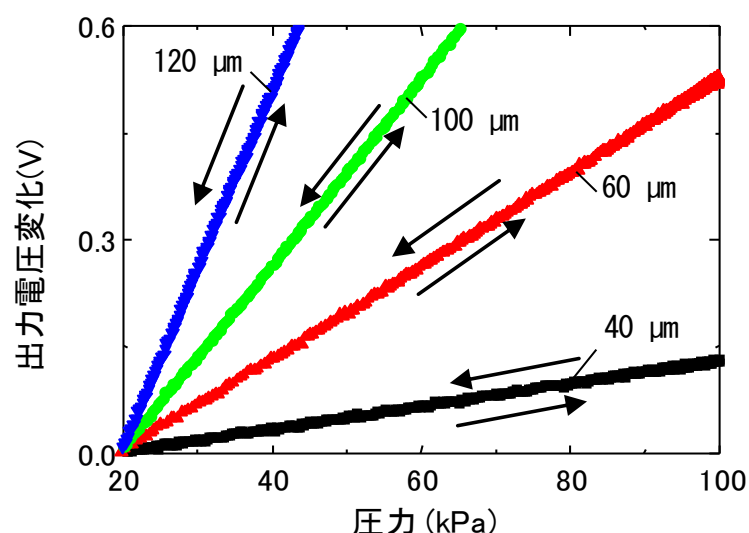


図 4.12 ダイアフラムサイズの異なるセンサそれぞれの出力と圧力の関係

次に、空洞の一辺長 100 μm の集積化圧力センサにおける出力バラつきを図 4.13 に示す（この測定結果はエラー! 参照元が見つかりません。との比較のため、出力段のローパスフィルタを外している）。シールド層を設けたことで、MEMS と LSI 間のクロスカップリングが抑制され、出力ばらつきは小さい。ローパスフィルタにより帯域を 10 Hz 程度に抑えることで、フルスケールの約 0.01% 程度の分解能で測定できることを確認した。この分解能は、静電容量に換算すると約 30 aF、上部電極の変形量に換算すると約 0.005 nm に相当する。MEMS と CMOS LSI を集積化することで、このような微小量の測定を実現できたと考える。

集積化圧力センサ（空洞の一辺長 120 μm ）の温度特性の評価結果を図 4.14 に示す。温度特性の初期評価として、一定圧力下における室温付近での温度特性測定を行った。圧力センサ出力（ P_{OUT} ）、温度センサ出力（ T_{OUT} ）ともに、ほぼ線形な出力が得られており、圧力センサ出力の温度補償を行うことで、高精度圧力測定を容易に実現可能である。圧力センサ出力の温度補償による高精度測定例として、高度測定結果を図 4.15 に示す。空洞の一辺長 120 μm の集積化圧力センサを用いてエレベータ内の高度による気圧変化（1 m で約 10 Pa）を測定した。5 階から 1 階で各階停止しながら移動するエレベータ内の、高度による気圧変化を約 1Pa 程度の高精度測定できていることが判る。前述の通り、この値はフルスケールの 0.01 % 程度の精度で測定できていることを示している。MEMS と LSI を集積化した静電容量式のセンサで、振動式の高精度圧力センサと同等程度の精度を実現できたと結論する。

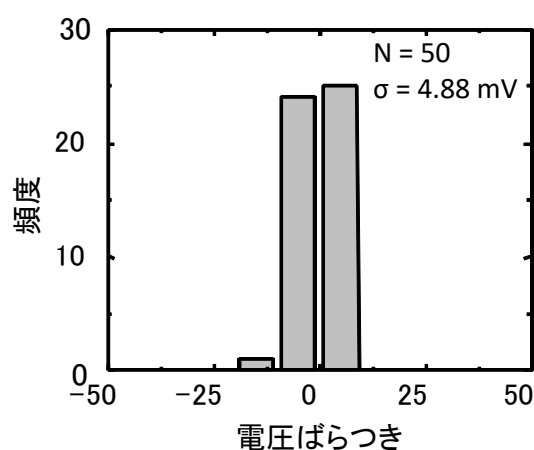


図 4.13 一定圧力下におけるセンサ出力バラツキ測定結果

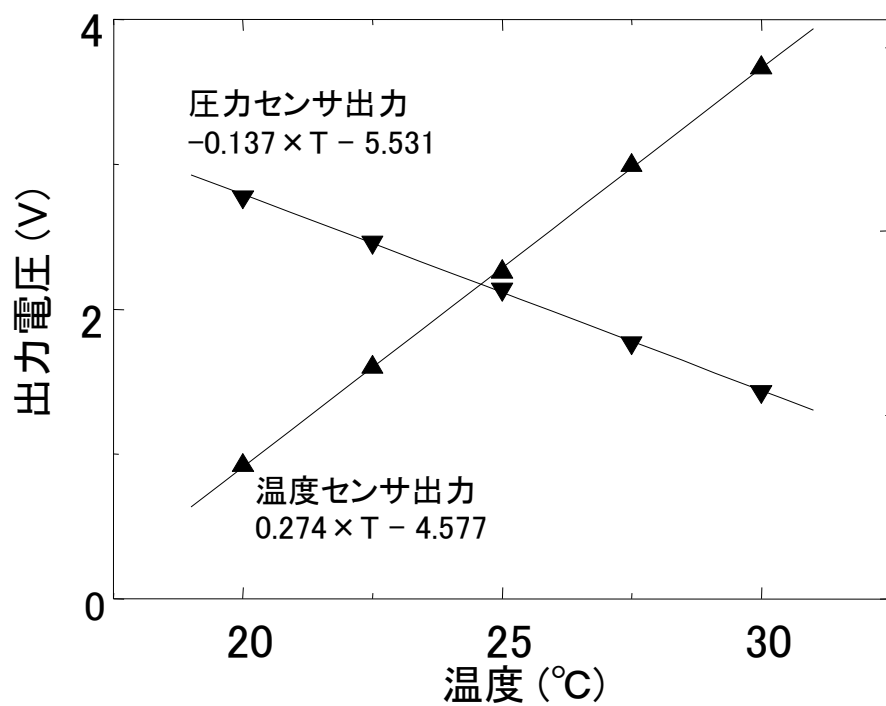


図 4.14 試作集積圧力センサの温度特性

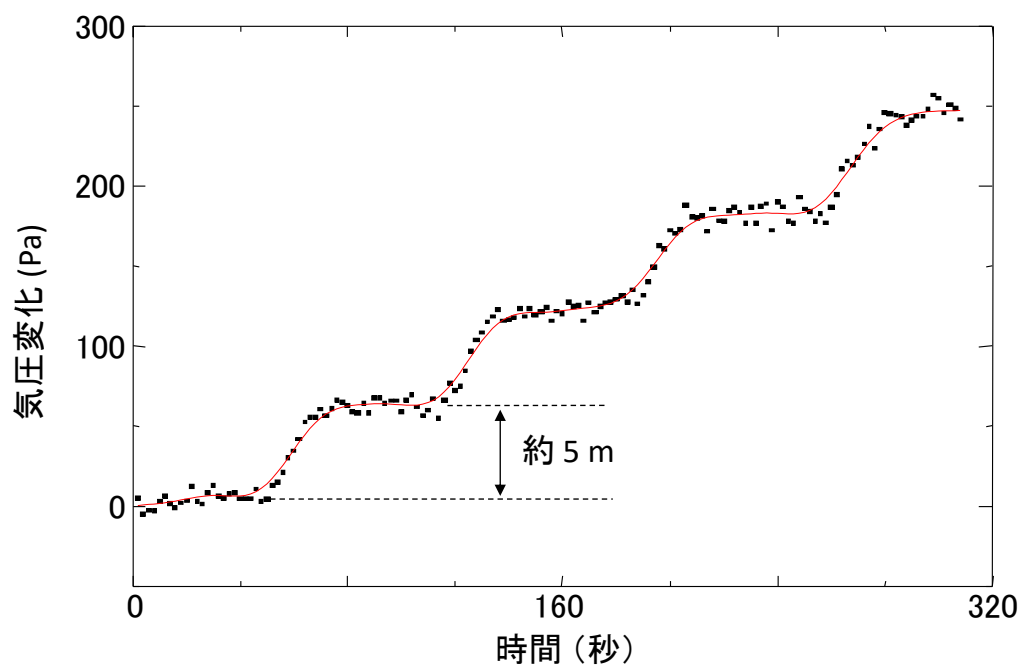


図 4.15 試作チップを用いたエレベータ内での気圧測定例

4.9 まとめ

CMOS LSI の配線工程と互換性を有する配線 MEMS プロセスで MEMS と LSI の集積化可能であることを実証することを目的に MEMS と CMOS LSI をモノリシック集積化した MEMS 圧力センサの作製を検討し、以下を得た。

- (1) 加圧により変形するセンサ容量と、センサ容量と同様の構造で空洞内に柱を形成することで変形を抑制したリファレンス容量を近傍に設け、その容量比を計測し出力信号とする集積化圧力センサを設計した。
- (2) 配線 MEMS プロセスを用いて、3 層アルミ配線の CMOS LSI と静電容量式 MEMS 圧力センサを集積化するプロセスフローを構築し、0.35 μm ルールの一般的な半導体ファウンドリで集積化圧力センサを試作可能であることを実証した。
- (3) MEMS センサ部と LSI の集積化レイアウト設計について試作とシミュレーションにより考察し、MEMS 部の下にシールド層を設けることで、LSI 回路設計に MEMS レイアウト設計が与える影響を抑えることが可能であることを示した。
- (4) MEMS 容量の空洞一辺長を設計パラメータとすることで、MEMS プロセスおよび LSI 設計変更を行わずに、MEMS レイアウト設計の変更のみで圧力測定範囲の変更を可能であることを考察と試作により示した。これにより、小型・高精度な圧力センサを、多様な用途に展開することが可能なプラットフォーム化することができることを示した。
- (5) MEMS 圧力センサとアナログ・デジタル回路を 0.72 mm² に集積した単機能版と、単機能版の機能に加え、温度センサおよび調整用回路をチップ面積 3.23 mm² に集積した高機能版の 2 種の集積化圧力センサを実現し、配線 MEMS プロセスによりセンサを小型化、高機能化する MEMS-LSI の集積化を実現可能であることを示した。
- (6) 試作した集積化圧力センサを評価し、フルスケールの約 0.01%程度の分解能で測定できることを確認した。この分解能は、静電容量に換算すると約 30 aF、上部電極の変形量に換算すると約 0.005 nm に相当するものであり、MEMS と CMOS LSI を集積化した静電容量式のセンサで振動式圧力センサに匹敵する 0.01 %フルスケール程度の精度を実現できることを示した。

4.10 第4章の参考文献

- [1] 藤森司, et al. "CMOS 互換「配線 MEMS プロセス」による MEMS-CMOS LSI モノリシック集積化圧力センサ." 電気学会論文誌 E (センサ・マイクロマシン部門誌) 130.5 (2010): 170-175.
- [2] Fujimori, T., et al. "Tiny (0.72 mm²) pressure sensor integrating MEMS and CMOS LSI with back-end-of-line MEMS platform." Solid-State Sensors, Actuators and Microsystems Conference, 2009. TRANSDUCERS 2009. International. IEEE, 2009.
- [3] Gogoi, Bishnu P., and Dragan Mladenovic. "Integration technology for MEMS automotive sensors." IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]. Vol. 4. IEEE, 2002.
- [4] Blazquez, G., P. Pons, and A. Boukabache. "Capabilities and limits of silicon pressure sensors." Sensors and Actuators 17.3-4 (1989): 387-403.
- [5] Kapels, Hergen, Robert Aigner, and Christian Kolle. "Monolithic surface-micromachined sensor system for high pressure applications." Transducers' 01 Eurosensors XV. Springer Berlin Heidelberg, 2001. 56-59.
- [6] Lee, Yong S., and Kensall D. Wise. "A batch-fabricated silicon capacitive pressure transducer with low temperature sensitivity." IEEE transactions on electron devices 29.1 (1982): 42-48.
- [7] Ko, Wen H. "Solid-state capacitive pressure transducers." Sensors and Actuators 10.3-4 (1986): 303-320.
- [8] Esashi, Masayoshi, et al. "Vacuum-sealed silicon micromachined pressure sensors." Proceedings of the IEEE 86.8 (1998): 1627-1639.
- [9] Smith, Michael JS, Lyn Bowman, and James D. Meindl. "Analysis, design, and performance of a capacitive pressure sensor IC." IEEE transactions on biomedical engineering 2 (1986): 163-174.
- [10] Jornod, A., and F. Rudolf. "High-precision capacitance absolute pressure sensor." Sensors and Actuators 17.3-4 (1989): 415-421.
- [11] 半沢恵二 他, 公開特許公報 P2000-65664A, “静電容量式力学量センサ”

- [12] Ikeda, Kyoichi, et al. "Silicon pressure sensor integrates resonant strain gauge on diaphragm." *Sensors and Actuators A: Physical* 21.1-3 (1990): 146-150.

第5章 結論と今後の展望

5.1 結論

本論文では、MEMS と LSI を集積化することでセンサを高性能・高機能化することを目的に、MEMS と LSI を集積化する配線 MEMS プロセス技術を研究した。本章では得られた結果を章毎にまとめる。

LSI 配線工程で MEMS を形成する配線 MEMS プロセス (第 2 章)

MEMS と微細 CMOS LSI の集積化を実現する新たな方法として配線 MEMS プロセスを提案した。配線 MEMS プロセスはタングステンもしくはタングステンシリサイドを MEMS の主たる構造体として用い、LSI 配線プロセスと互換性を有する低温プロセスのみを用いて MEMS 構造を形成する。この配線 MEMS プロセスを検討し、以下を得た。

- (1) LSI 配線プロセスで適用可能な材料の物性を比較し、タングステンおよびタングステンシリサイドが MEMS 構造材料に必要な特性を有している。
- (2) タングステン膜およびタングステンシリサイド膜の応力は LSI 配線プロセスで使用可能な低温プロセスのみで制御可能である。タングstenは成膜時の圧力(ガス流量)およびウェハ温度により応力制御できる。また、タングステンシリサイド膜は成膜時のウェハ温度と、その後のアニール温度により応力を制御できる。いずれも、必要な温度は 350 °C 以下で、ゼロ～引っ張り応力まで制御可能である。
- (3) タングステンもしくはタングステンシリサイド膜と O₃-TEOS を用いることにより、LSI 配線プロセスと互換性のあるプロセスのみで、ダイアフラム状構造の形成と封止を行うことができる。
- (4) 上記検討に基づく配線 MEMS プロセスを用いて MEMS 容量素子を試作し、加圧により MEMS 構造が変形し、容量値が変化することを確認した。

LSI 配線材料により形成された MEMS の信頼性 (第 3 章)

タングステンおよびタングステンシリサイドを用いた配線 MEMS プロセスにおける MEMS の信頼性について検討した。MEMS と LSI のモノリシック集積化を行った場合に想定される劣化モードと信頼性について考察し、以下を得た。

- (1) MEMS と LSI を集積化したセンサに要求される信頼性項目について検討した。
少なくとも、LSI で用いられている信頼性試験に加えて、MEMS 構造の劣化原因となる金属疲労耐性および、特性をドリフトさせる要因となる応力変化に対応する信頼性を検討すべき項目と結論した。
- (2) タングステンおよびタングステンシリサイド膜の金属疲労耐性について検討した。各々の膜を用いた MEMS 容量素子を用いて 5000 万回以上の繰り返し動作試験を行い、実用上問題無い金属疲労耐性を有していると結論した。
- (3) タングステンシリサイドおよび TEOS 膜について、MEMS 部の特性ドリフト要因となる温度・湿度に起因する応力変化について検討した。応力変化を抑制する対策として、半導体分野において湿度やガスに対する保護膜として用いられているシリコン窒化膜が MEMS 部の保護膜としても有用であることを見出した。シリコン窒化膜を MEMS 表面に 150 nm 以上の厚さで成膜することで、十分な信頼性を得られることを示した。
- (4) 上記検討に基づく保護膜を適用した MEMS 容量素子に対して、10 年の加速試験に相当する高温高湿試験および熱衝撃試験を行い、実用上十分な信頼性を有していることを示した。

配線 MEMS プロセスによる MEMS-LSI 集積化圧力センサ (第 4 章)

CMOS LSI の配線工程と互換性を有する配線 MEMS プロセスで MEMS と LSI の集積化可能であることを実証することを目的に MEMS と CMOS LSI をモノリシック集積化した MEMS 圧力センサの作製を検討し、以下を得た。

- (1) 加圧により変形するセンサ容量と、センサ容量と同様の構造で空洞内に柱を形成することで変形を抑制したリファレンス容量を近傍に設け、その容量比を計測し出力信号とする集積化圧力センサを設計した。
- (2) 配線 MEMS プロセスを用いて、3 層アルミ配線の CMOS LSI と静電容量式 MEMS 圧力センサを集積化するプロセスフローを構築し、0.35 μm ルールの一般的な半導体ファウンドリで集積化圧力センサを試作可能であることを実証した。
- (3) MEMS センサ部と LSI の集積化レイアウト設計について試作とシミュレーション

ンにより考察し、MEMS 部の下にシールド層を設けることで、LSI 回路設計に MEMS レイアウト設計が与える影響を抑えることが可能であることを示した。

- (4) MEMS 容量の空洞一辺長を設計パラメータとすることで、MEMS プロセスおよび LSI 設計変更を行わずに、MEMS レイアウト設計の変更のみで圧力測定範囲の変更を可能であることを考察と試作により示した。これにより、小型・高精度な圧力センサを、多様な用途に展開することが可能なプラットフォーム化することができることを示した。
- (5) MEMS 圧力センサとアナログ・デジタル回路を 0.72 mm² に集積した単機能版と、単機能版の機能に加え、温度センサおよび調整用回路をチップ面積 3.23 mm² に集積した高機能版の 2 種の集積化圧力センサを実現し、配線 MEMS プロセスによりセンサを小型化、高機能化する MEMS-LSI の集積化を実現可能であることを示した。
- (6) 試作した集積化圧力センサを評価し、フルスケールの約 0.01%程度の分解能で測定できることを確認した。この分解能は、静電容量に換算すると約 30 aF、上部電極の変形量に換算すると約 0.005 nm に相当するものであり、MEMS と CMOS LSI を集積化した静電容量式のセンサで振動式圧力センサに匹敵する 0.01 %フルスケール程度の精度を実現できることを示した。

以上、本論文では、LSI 配線プロセスと互換性ある材料とプロセスのみで MEMS を形成する配線 MEMS プロセスにより、MEMS と 0.35 μm ルールの CMOS LSI を集積化可能であることを示した。この配線 MEMS プロセスは、原理的にはより微細なルールを用いた微細 CMOS LSI とも集積化可能である。また、配線 MEMS プロセスで形成した MEMS に対する信頼性を検証し、実用に十分な信頼性を有することを示した。さらに、一般的な CMOS LSI を扱っている半導体ファウンダリで実現可能なことを集積化圧力センサの試作により実証した。このことは、半導体分野において、既存の半導体プロセスを用いても、微細化に依らずに高機能化による進化を実現する可能性を示したこととなる。さらに、本プロセス技術により、微小ギャップを有する静電容量式のセンサを実現可能なことを実証し、小型化と高精度化を実現するために有益な技術であることを示した。

本論文では配線 MEMS プロセスの最初の実証として圧力センサを試作したが、慣性セ

ンサや、RF-MEMS などへも応用可能な汎用的な SoC 型の MEMS-LSI 集積プロセス技術である。いわゆる Moore の法則に従う、微細化による高性能化が終焉を迎えつつある半導体分野において、Heterogeneous Component を実現し、微細化に依らない More than Moore の進化を実現する可能性を示したことに意義がある。また、MEMS 分野において、半導体プロセスを融合し活用することで、機能集積化し、小型・高精度なセンサを実現することが可能であることを示したことに意義がある。

5.2 今後の展望

Internet of Things や自動運転、人工知能によるビッグデータ解析、医療・ヘルスケア応用などをベークルとして、センサの利用シーンは多様化・高度化が進んでおり、今後もセンサに対する小型化や機能集積化の要望は強くなっていくと考えられる。また、MEMS と LSI を集積化し、異種機能を融合した Heterogeneous Component は、微細化による高性能化が終焉を迎える半導体分野において、More than Moore を実現するものとしても期待されている。このような背景より、主要な国際学会において MEMS と LSI の集積化方法および集積化により高度化したセンサについて活発に議論されており、今後も発展が続くと考える。

最後に、本研究の配線 MEMS プロセスの今後の展望について述べる。一般的な半導体ファウンドリで用いられている LSI 配線プロセスと互換性があるものである。このことは、MEMS と LSI を集積化するためのプロセスを拡張する一手段として位置付けることができ、圧力センサ以外への応用や、MEMS の封止プロセスとしての応用へも適用可能である。その一例として、配線 MEMS プロセスにより、MEMS モーションセンサを形成し、封止することが可能であることを既に報告済みである [1]。MEMS 分野におけるプロセス課題の一つである、稼働構造体の封止にも配線 MEMS プロセスを活用することが可能であることを示した。この封止対象となる MEMS 構造体は、必ずしも配線 MEMS プロセスにより形成されたものである必要はなく、MEMS 一般のインプロセスパッケージングへの応用も期待できる。また、配線 MEMS プロセスで用いたタングステンシリサイドは、シリコンと比較するとヤング率は 1.3 倍程度で大差無いが、密度は約 3 倍と大きい。加えて、応力の制御も可能で、数 μm の成膜も可能である。よって、MEMS の主要なアプリケーションの一つである加速度センサや角速度センサへ適用することで高性能化可能な

可能性を有している[2]。

このように、提案した配線MEMSプロセスは、半導体プロセスを応用することでMEMSプロセスを拡張するものである。また、他の提案されているMEMSとLSIを集積化する方法とも親和性が高いと考えられることから、MEMSとLSIを融合・集積化する方法の一つとして発展し得ると考えている。

5.3 第5章の参考文献

- [1] Y. Hanaoka, T. Fujimori, K. Yamanaka, S. Machida, H. Takano, Y. Goto and H. Fukuda, “ONE-DIMENSIONAL-MOTION AND PRESSURE HYBRID SENSOR FABRICATED AND PROCESS-LEVEL-PACKAGED WITH CMOS BACK-END-OF-LINE PROCESSES”, in Digest Tech. Papers Transducers 2009 Conference, Denver, USA, (2009) 684.
- [2] Tung Thanh Bui, Dzung Viet Dao, Toshiyuki Toriyama, Hideaki Takano, Tsukasa Fujimori, Yasushi Goto and Susumu Sugiyama, “Evaluation of Properties of Sputtered Tungsten Silicide Thinfilm for MEMS Applications”, 電気学会センサ・マイクロマシン部門主催 第26回「センサ・マイクロマシンと応用システム」シンポジウム論文集（2009年，東京）182

研究業績

1. 主筆論文

- [1] "CMOS 互換「配線 MEMS プロセス」による MEMS-CMOS LSI モノリシック集積化圧力センサ" 電気学会 E 部門誌 No.130 (2010/4)

2. 国際学会主筆発表

- [1] "TINY (0.72 mm²) PRESSURE SENSOR INTEGRATING MEMS AND CMOS LSI", Transducers 2009 (2009/6)
- [2] "Above-IC integration of capacitive pressure sensor fabricated with CMOS interconnect processes", MEMS 2007 (2007/1)
- [3] "FULLY CMOS COMPATIBLE ON-LSI CAPACITIVE PRESSURE SENSOR FABRICATED USING STANDARD BACK-END-OF-LINE PROCESSES", Transducers 2005 (2005/6)

3. 国内学会・研究会主筆発表

- [1] "グリーンセンサ用低消費電力アナログフロントエンド回路", 日本電気学会 第 29 回「センサ・マイクロマシンと応用システム」シンポジウム(2012/10)
- [2] "WSi と LSI 配線工程互換プロセスを用いたモノリシック集積化 MEMS 圧力センサ", 日本機械学会 第 27 回マイクロ・ナノ工学シンポジウム (2010/10)
- [3] "LSI と MEMS センサを積層集積化した際の回路が受ける影響の評価", 日本電気学会 第 25 回「センサ・マイクロマシンと応用システム」シンポジウム (2008/10)
- [4] "On-Chip MEMS Capacitive Pressure Sensor Fabricated Using Standard CMOS Back-End-Of-Line Processes", 日本電気学会 第 23 回「センサ・マイクロマシンと応用システム」シンポジウム (2005/10)
- [5] “MEMS センサと LSI の集積化を実現する LSI 配線互換 MEMS プロセス技術”, 第 79 回半導体・集積回路技術シンポジウム (2015/7)
- [6] “車載センサの最新技術～MEMS センサと LSI の集積化を実現する LSI 配線互換

MEMS プロセス技術～”，日本学術振興会 薄膜第 131 委員会 第 271 回研究会 (2014/6)

- [7] “低消費電力センサ端末を実現するエネルギーマネジメント回路・信号処理回路技術の開発”，次世代センサ協議会 第 69 回次世代センサセミナーシリーズ (2012/11)
- [8] “MEMS と LSI の集積化を実現する LSI 配線互換 MEMS プロセス技術”，センシング技術応用研究会 第 165 回研究例会 (2009/3)
- [9] “MEMS と LSI の集積化を実現する LSI 配線互換 MEMS プロセス技術”，次世代センサ協議会 第 29 回センサ&アクチュエータ技術シンポジウム(2008/11)

謝辞

本論文を纏めるに際し、親切なご指導とご助言を賜りました東京工業大学 工学院 杉野暢彦准教授に謹んで感謝の意を表します。また、本論文の執筆にあたり、多くのご議論、ご助言を賜りました東京工業大学 工学院 小林隆夫教授, 黒澤実准教授, 東京工業大学 科学技術創成研究院 中村健太郎教授, 伊藤浩之准教授, に深謝いたします。

本論文は、(株)日立製作所 中央研究所において研究された内容を纏めたものです。高所よりご指導を頂いた、西野壽一元所長（現副社長）を始めとする多くの方々に深く感謝いたします。また、社会人博士課程への入学を許可いただき、その後も論文執筆を支援していただきました西村信治 副所長, 情報エレクトロニクス研究部 倉田英明部長に深謝いたします。

研究の遂行に際しては、多数の方々のご指導、ご助言をいただきました。MEMS と LSI を集積化し、半導体の新たな進化を実現するという大きな研究テーマを与えて下さり、常にご指導を賜りました尾内享裕氏、横山夏樹氏、後藤康氏に心より感謝いたします。特に後藤康氏には、研究の進め方および技術的な討論のみならず、研究の企画・立案や遂行方法など研究者としての在り方について多大なご指導を賜りました。深く御礼申し上げます。

また、配線 MEMS 技術の可能性について有益な議論とご指導を賜りました立命館大学 杉山進教授、鳥山寿之教授、Dzung Viet Dao 博士に感謝いたします。

本研究は、MEMS プロセスの開発から、MEMS および集積回路の設計、プロセスインテグレーションなど多岐に渡るものであり、多数の方々にご協力いただきました。特に共同研究者である(株)日立製作所 中央研究所の鷹野秀明氏、町田俊太郎氏、福田宏氏、花岡裕子氏には長期に渡り本研究全般に関する有益な議論をいただくとともに、様々な面で支えていただきました。また、峰利之氏、藤崎耕司氏には半導体プロセスに関し有益なご議論頂き本研究の配線 MEMS プロセスを構築するための基本部分について支えていただきました。試作に際しては、森本忠雄氏、高濱高氏を始めとする多くのプロセス開発者の方々にご協力を賜りました。心より感謝いたします。また、集積回路の設計に関しては、大島俊氏に LSI 回路の基本から多大なご指導賜りました。LSI 詳細回路設計およびレイアウト設計に際しては、(株)日立超 LSI システムズの方々に大変お世話になりました。厚く御礼申し上げます。

最後に、本研究の遂行ならびに論文の執筆に際しては、家族に大変な負担をかけました。

献身的な協力を惜しまず，支えてくれた妻敦子，長女渚に心より感謝いたします。

2017 年 9 月