

論文 / 著書情報  
Article / Book Information

題目(和文)	広帯域アナログベースバンド回路技術の研究
Title(English)	A Study of Wide Bandwidth Analog Baseband Circuit Techniques
著者(和文)	金子徹
Author(English)	Tohru Kaneko
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10798号, 授与年月日:2018年3月26日, 学位の種別:課程博士, 審査員:松澤 昭,岡田 健一,益 一哉,高木 茂孝,伊藤 浩之,飯塚 哲也,宮原 正也
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10798号, Conferred date:2018/3/26, Degree Type:Course doctor, Examiner:,,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

博士論文

広帯域アナログベースバンド  
回路技術の研究

指導教員	松澤 昭	教授
副指導教員	岡田健一	准教授

東京工業大学 大学院 理工学研究科  
電子物理工学専攻

金子 徹

平成 30 年 2 月



## 広帯域アナログベースバンド回路技術の研究

指導教員 松澤 昭 教授

副指導教員 岡田健一 准教授

電子物理工学専攻 金子 徹

近年、無線端末の普及やクラウドサービスの普及に伴い、通信データ容量の増加が問題となってきており、高速な無線通信の需要が高まっている。無線通信の高速化のためには、受信機回路に用いられるアナログベースバンドの広帯域と、Signal to Noise and Distortion Ratio (SNDR) の改善が求められる。アナログベースバンド回路の大部分は増幅器によって構成されているため、フィルタや A/D 変換器などの構成のみならず、それらを構成する増幅器の検討が必要である。本研究では、アナログベースバンド回路の一形態である連続時間型  $\Delta\Sigma$  A/D 変換器と 60GHz 帯ミリ波向け広帯域フィルタを中心に、そこに用いる広帯域増幅器の検討を行った。

従来、アナログベースバンド回路の大部分はオペアンプを用いた負帰還増幅回路で構成されていた。負帰還増幅回路ではオペアンプの利得によって良好な線形性が実現される。しかしながら、オペアンプの寄生容量による極が帯域を制限し、線形性を保つことができる帯域は 200 MHz を下回ってしまう。この問題により、オペアンプを用いた負帰還増幅回路は広帯域な用途において、負帰還のメリットを十分に享受できない。

一方、グローバルな帰還を持たないオープンループアンプ (Gm セル) は広帯域化に適しているが、線形性が課題である。そこで線形性を改善するために、増幅器内部で完結する局所的な負帰還を持つ高線形オープンループアンプが重要な回路技術となっている。代表的な構成として、ソースデジェネレーションや Flipped Voltage Follower (FVF) などがある。特に FVF 構造では、トランジスタの固有利得を含む高い開ループ利得を、1 GHz 程度の帯域まで維持することが可能であり、広帯域な用途でも線形性を保つことができる。オープンループアンプよりも更に高い帯域で使用される広帯域増幅器として、電流増幅器が知られている。電流増幅器では入力インピーダンスの低減のために FVF

構造などの局所的な負帰還が用いられ、オープンループアンプと同程度の SNDR が期待できる。ただし、これらの広帯域増幅器は線形性の改善に寄与する負帰還の利得が、消費電力に依存するという欠点を持つ。アナログベースバンド回路の性能改善のためには、消費電力の増加を伴わない線形性改善手法が求められる。

連続時間型  $\Delta\Sigma$  A/D 変換器は LTE/LTE-A などの高速無線通信に用いられる A/D 変換器であり、アナログベースバンド回路の構成を簡略化できるため、関連する研究が盛んに行われている。この A/D 変換器では位相特性に優れる Gm-C フィルタの適用が望ましいが、Gm セルの歪が A/D 変換器の SNDR を劣化させるという課題があった。そこで本研究では、線形性を高める局所的な負帰還にカスコードトポロジを応用した新規回路を提案し、A/D 変換器への応用を行った。提案 Gm セルは従来回路に対し、線形性を表す指標である 3rd Order Input Intercept Point (IIP3) を 8 dB 改善し、低消費電力な Gm セルでも A/D 変換器の SNDR 劣化を防ぐことを可能にした。提案回路を採用した A/D 変換器は 20 MHz の帯域を持ち、72.4 dB の良好な SNDR をわずか 6.8 mW の低消費電力で実現した。

60GHz 帯ミリ波向けのフィルタには、1 GHz の広帯域と約 40 dB の良好な SNDR が必要である。従来用いられていた Gm-C フィルタは寄生容量の影響で広帯域化に限界があり、ソースフォロワフィルタはカットオフ周波数付近で線形性が急激に劣化し、高い SNDR の実現が困難である。そこで本研究では、電流増幅器を用いた電流型フィルタを検討した。電流型フィルタは寄生容量や出力抵抗の影響が小さいため、広帯域化に適しているが、入力インピーダンスの変動が線形性を劣化させてしまう。そこで局所的な負帰還による低入力インピーダンス技術に、相補入力化を適用し、インピーダンス変動を抑制した新規電流増幅器を提案した。提案電流増幅器は従来回路と比較して、増幅器単体の SNDR を 5.5 dB 改善した。提案回路を用いて 1 GHz 帯域を持つ 4 次のフィルタを設計したところ、256QAM に対応可能な 40.8 dB を越える SNDR を、わずか 13 mW で達成した。SNDR に対する電力効率、他の研究と比較して最も良好な値を記録した。

今後の課題として、A/D 変換器やフィルタなどの更なる広帯域化が必要となる。また、スケーリングによる低電源電圧化に対応したアーキテクチャに関する検討も必要である。

# 目次

<b>第 1 章 序論</b>	<b>1</b>
1.1 研究背景	1
1.2 アナログベースバンド回路の役割と課題	3
1.3 本論文の目的	5
1.4 本論文の構成	6
1.5 評価項目	7
1.5.1 線形性	7
1.5.2 SNR 及び SNDR	11
1.5.3 A/D 変換器の電力効率	12
1.5.4 フィルタの電力効率	13
<b>第 2 章 受信機とアナログベースバンド回路</b>	<b>19</b>
2.1 受信機のアーキテクチャ	19
2.1.1 スーパーヘテロダイン方式	19
2.1.2 ダイレクトコンバージョン方式	23
2.2 無線通信の高速化	25
2.2.1 変調方式と符号誤り率	25
2.2.2 通信帯域の広帯域化	31
2.3 アナログベースバンド回路の構成例	33
2.4 VGA とダイナミックレンジ	36
2.4.1 A/D 変換器のダイナミックレンジと SNDR	36
2.4.2 VGA によるダイナミックレンジの緩和	37
2.4.3 DC オフセット	38

---

2.5	フィルタと妨害波 . . . . .	42
2.5.1	60GHz 帯ミリ波受信機の場合 . . . . .	42
2.5.1.1	アンチエイリアスフィルタ . . . . .	42
2.5.1.2	レベルダイアグラムの検討 . . . . .	44
2.5.2	LTE 受信機の場合 . . . . .	48
2.6	A/D 変換器とドライバ回路 . . . . .	51
2.6.1	サンプリング周波数 . . . . .	51
2.6.2	サンプリングの問題 . . . . .	53
2.7	まとめ . . . . .	57
<b>第 3 章</b>	<b>オペアンプと負帰還増幅回路</b>	<b>65</b>
3.1	増幅器と線形性 . . . . .	65
3.2	負帰還増幅回路技術 . . . . .	71
3.2.1	基本構成 . . . . .	71
3.2.2	周波数特性 . . . . .	72
3.2.3	オペアンプの出力抵抗 . . . . .	75
3.2.4	二段オペアンプと位相補償 . . . . .	76
3.3	オペアンプ . . . . .	79
3.3.1	高利得化技術 . . . . .	79
3.3.1.1	カスコード抵抗 . . . . .	80
3.3.1.2	ポジティブフィードバック . . . . .	82
3.3.2	GB 積改善技術 . . . . .	84
3.3.2.1	相補入力化 . . . . .	84
3.3.2.2	カスコード型オペアンプの高効率化 . . . . .	87
3.4	一段オペアンプの帯域制限 . . . . .	92
3.4.1	オペアンプの内部極 . . . . .	92
3.4.2	入力寄生容量の影響 . . . . .	96
3.4.3	一段オペアンプの上限周波数 . . . . .	101
3.5	電流帰還型オペアンプ . . . . .	103
3.5.1	基本原理 . . . . .	103
3.5.2	NMOS 入力型電流帰還型オペアンプ . . . . .	105

3.5.3	帰還利得の改善手法	110
3.5.4	電流帰還型オペアンプのまとめ	112
3.6	まとめ	114
<b>第4章</b>	<b>局所的な負帰還技術</b>	<b>117</b>
4.1	広帯域化のアプローチ	118
4.1.1	負帰還増幅器の極	118
4.1.2	ユニティゲインバッファとしての利用	119
4.1.3	高線形オープンループアンプへの拡張	119
4.1.4	電流増幅器への拡張	122
4.2	オープンループアンプ	124
4.2.1	ソースデジェネレーション	124
4.2.1.1	小信号等価回路解析	125
4.2.1.2	歪の解析	126
4.2.1.3	ノイズ特性	128
4.2.1.4	最大 SNDR	131
4.2.2	局所的な負帰還に利得を有する増幅器	132
4.2.2.1	帯域	134
4.2.2.2	歪の解析	140
4.2.2.3	ノイズ特性	147
4.2.2.4	最大 SNDR	150
4.2.3	スーパーソースフォロワ	153
4.3	電流増幅器	156
4.3.1	電流増幅器の基本原理	156
4.3.2	オペアンプを用いた電流増幅器	158
4.3.3	局所的な負帰還技術を用いた電流増幅器	160
4.3.3.1	歪の解析	166
4.3.3.2	雑音特性	171
4.3.3.3	最大 SNDR	173
4.4	比較	176
4.4.1	最小 $G_m$ 値を揃えた比較	176

4.4.2	出力抵抗に関する考察 . . . . .	181
4.4.3	オープンループアンプと電流増幅器の比較 . . . . .	182
4.5	まとめ . . . . .	185
<b>第 5 章</b>	<b>広帯域増幅器の高線形化手法</b>	<b>189</b>
5.1	オープンループアンプの高線形化手法 . . . . .	189
5.1.1	レベルシフト回路付き FVF 構造 . . . . .	189
5.1.2	FVF 構造の相補入力化 . . . . .	193
5.1.3	歪キャンセル技術 . . . . .	195
5.2	電流増幅器の高線形化手法 . . . . .	204
5.2.1	$g_m$ ブーストによる低入力インピーダンス化 . . . . .	204
5.2.2	カレントミラー補正手法の検討 . . . . .	209
5.2.2.1	カレントミラーにおけるしきい値ミスマッチの影響 . . . . .	209
5.2.2.2	従来の補正手法 . . . . .	211
5.2.2.3	参照電流源を用いた補正手法 . . . . .	213
5.2.2.4	シミュレーション結果 . . . . .	215
5.3	まとめ . . . . .	217
<b>第 6 章</b>	<b>連続時間型 <math>\Delta\Sigma</math> A/D 変換器</b>	<b>223</b>
6.1	連続時間型 $\Delta\Sigma$ A/D 変換器 . . . . .	223
6.1.1	$\Delta\Sigma$ 変調と SQNR . . . . .	224
6.1.2	連続時間型と離散時間型 . . . . .	227
6.1.3	デジタル遅延と位相余裕 . . . . .	230
6.2	ループフィルタ . . . . .	234
6.2.1	Active-RC フィルタ . . . . .	234
6.2.2	Gm-C フィルタ . . . . .	236
6.3	Gm セルの高線形化 . . . . .	239
6.3.1	従来回路 . . . . .	239
6.3.2	カスコード FVF 構造 . . . . .	240
6.3.2.1	小信号等価回路解析 . . . . .	241
6.3.2.2	一巡伝達関数 . . . . .	244

6.3.2.3	電圧変動の抑制効果 . . . . .	247
6.3.3	線形性の比較 . . . . .	248
6.4	20 MHz 帯域 連続時間型 $\Delta\Sigma$ A/D 変換器 . . . . .	253
6.4.1	実装 . . . . .	253
6.4.2	測定結果 . . . . .	256
6.5	微細化の影響 . . . . .	261
6.5.1	各セクションに与えるスケーリングの影響 . . . . .	261
6.5.1.1	ループフィルタ . . . . .	262
6.5.1.2	論理回路と量子化器 . . . . .	267
6.5.2	ELD の軽減 . . . . .	268
6.5.3	消費電力と電力効率 . . . . .	269
6.6	まとめ . . . . .	272
<b>第 7 章</b>	<b>広帯域フィルタ</b>	<b>277</b>
7.1	本章で想定する受信機システム . . . . .	277
7.2	フィルタアーキテクチャの検討 . . . . .	280
7.2.1	Active-RC フィルタ . . . . .	280
7.2.2	Gm-C フィルタ . . . . .	281
7.2.2.1	寄生成分の影響 . . . . .	283
7.2.2.2	カットオフ周波数の限界 . . . . .	286
7.2.3	ソースフォロワフィルタ . . . . .	289
7.2.3.1	線形性 . . . . .	291
7.2.3.2	寄生成分の影響 . . . . .	294
7.2.4	電流型フィルタ . . . . .	297
7.2.4.1	寄生成分の影響 . . . . .	300
7.2.4.2	カットオフ周波数の限界 . . . . .	302
7.2.4.3	電流増幅器の利得 . . . . .	303
7.2.4.4	電流増幅器の要求仕様 . . . . .	306
7.3	高効率電流増幅器 . . . . .	308
7.3.1	従来の電流増幅器 . . . . .	308
7.3.2	相補入力化 . . . . .	310

7.3.3	SSF 構造を持つ相補入力型電流増幅器 . . . . .	312
7.3.3.1	小信号等価回路解析 . . . . .	312
7.3.3.2	一巡伝達関数 . . . . .	317
7.3.3.3	歪の解析 . . . . .	319
7.3.3.4	ノイズ特性 . . . . .	319
7.3.3.5	性能比較 . . . . .	321
7.4	ミリ波向け 4 次 1GHz 帯域のフィルタ . . . . .	324
7.4.1	フィルタの構成 . . . . .	324
7.4.1.1	バイカッドフィルタの縦続接続 . . . . .	325
7.4.1.2	ソースフォロワバッファによる広帯域化 . . . . .	326
7.4.1.3	レイアウト . . . . .	328
7.4.2	性能評価 . . . . .	329
7.4.3	レベルダイアグラムの検討 . . . . .	332
7.5	微細化の影響 . . . . .	334
7.6	まとめ . . . . .	337
<b>第 8 章</b>	<b>結論</b>	<b>343</b>
8.1	まとめ . . . . .	343
8.2	今後の展望 . . . . .	349
8.2.1	微細化の影響 . . . . .	349
8.2.2	今後の検討課題 . . . . .	352
	本研究に関連する主な論文及び学会発表	<b>355</b>
	謝辞	<b>357</b>

# 第 1 章

## 序論

### 1.1 研究背景

近年我が国では，スマートフォンやタブレット端末の普及やクラウドサービスの拡大などに伴い，通信データ量が増大し，今後もそれらの更なる普及によってトラフィック量が増大し，通信回線の逼迫が問題になると予想されている．特に IoT (Internet of Things) 時代においては，これまでインターネットに接続されてこなかったデバイスが通信を行うようになり，無線通信を行うデバイスの数は飛躍的に増加すると見られている．図 1.1 は，世界の IoT デバイス数の推移と予測を示したものである．この予測によれば，2015 年から 2020 年にかけて IoT デバイスの数は二倍に膨れ上がることになる．同時に，移動体の通信も増加が続いている．図 1.2 に，我が国における移動体の通信トラフィックの推移を示す．2015 年には月間平均トラフィックは 1 Tbps を超え，近年では 1

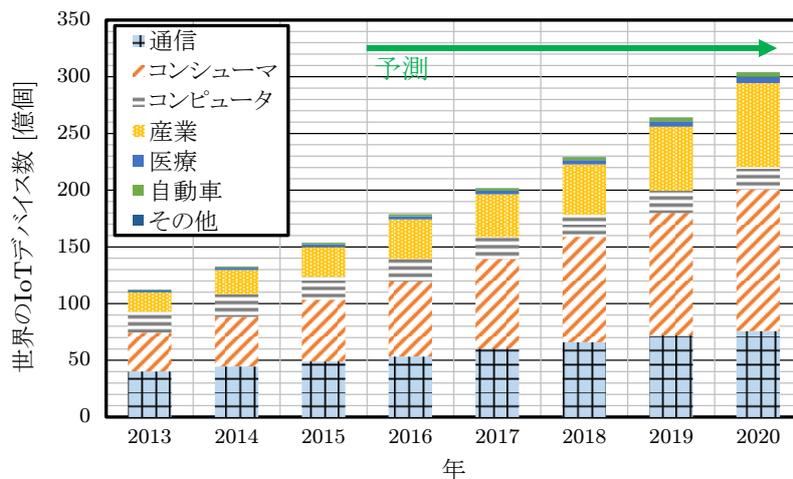


図 1.1: 世界の IoT デバイス数の推移 (予想) [1]

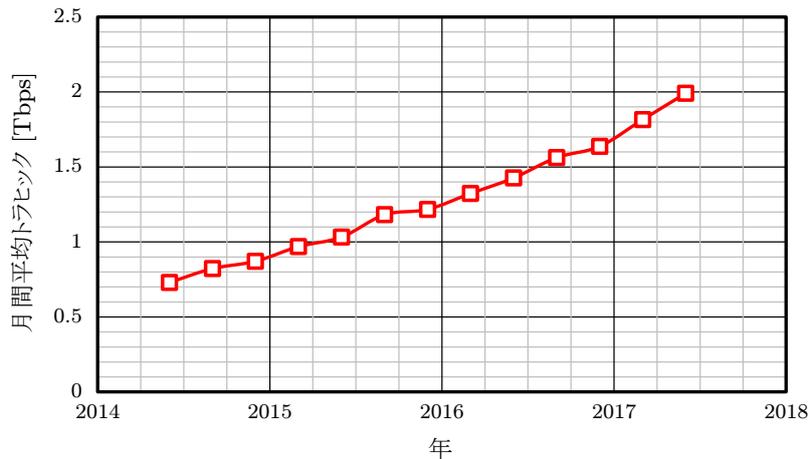


図 1.2: 我が国における移動通信トラフィックの推移 [2]

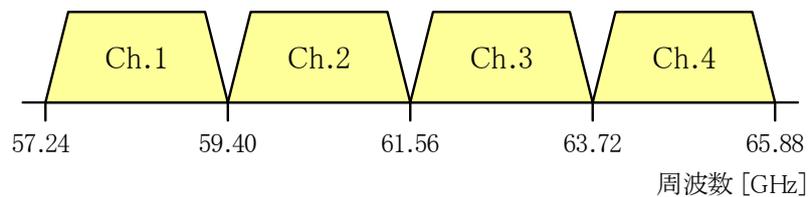


図 1.3: 60GHz 帯の周波数割当 [3]

年毎に 1.4 倍の増加率となっている。

このため、LTE や Wimax, またはそれらの後継規格である 5G などの高速無線通信システムへの要求が高まってきている。無線通信の速度は、通信に利用する帯域の広帯域化と、16QAM や 64QAM などの多値変調の採用により改善できることが知られている。今後も予想される更なる通信データ量の増大に対応するためには、多値変調への対応や、より広帯域を利用できる 40GHz 帯や 60GHz 帯の広帯域高速無線通信システムが必要となる。例えば 60GHz 帯の無線通信では、図 1.3 に示すように 1 チャンネルあたり 2.16GHz の帯域を使用することができ、理論的には QPSK で 3.5 Gbps, 16QAM で 7 Gbps, 64QAM では 10 Gbps もの高速無線通信を行うことができる。このような背景から、広帯域高速無線通信に関する研究が現在盛んに行われている。

## 1.2 アナログベースバンド回路の役割と課題

図 1.4 に 60GHz 帯のダイレクトコンバージョン方式の受信機を示す。受信機は、アンテナ、LNA (Low Noise Amplifier), LPF (Low Pass Filter), VGA (Variable Gain Amplifier), ADC (A/D 変換器, Analog to Digital Converter), LO (Local Oscillator), Mixer 及び DSP (Digital Signal Processor) などから構成される。ここで、RF 帯 (60GHz 帯) の信号を扱うアンテナから Mixer までを RF フロントエンドとし、ベースバンド帯 (1GHz~) のアナログ信号を処理する Mixer から A/D 変換器までをアナログベースバンド回路と呼ぶ。アナログベースバンド回路は A/D 変換器の前処理回路を含み、A/D 変換器に要求される性能を緩和し、信号の劣化を防ぎつつ DSP に信号を送る目的で使用される。まず LPF は帯域外の信号を除去するアンチエイリアスフィルタとして機能し、A/D 変換器に求められるサンプリング周波数をベースバンド帯域付近まで下げる役割を持つ。特に隣のバンドの信号を十分に落とす必要が有るため、多くの通信方式では 4 次から 5 次の急峻なフィルタ特性が要求される。また、受信機に入力される信号は受信環境によって時々刻々と変化するため、信号を一定の振幅に保つような VGA が挿入される。この VGA の可変利得範囲によって、A/D 変換器に要求されるダイナミックレンジ及び分解能を緩和することができる。最後に A/D 変換器が受信したアナログ信号をデジタル信号に変換し、DSP へ出力する。このようにアナログベースバンド回路は受信機において重要な役割を持ち、無線通信には欠かすことのできない存在である。

より高速な通信を行うためには、RF フロントエンドの高性能化も必要であるが、アナログベースバンドの性能も極めて重要である。例えば 60GHz 帯で通信を行う際には、

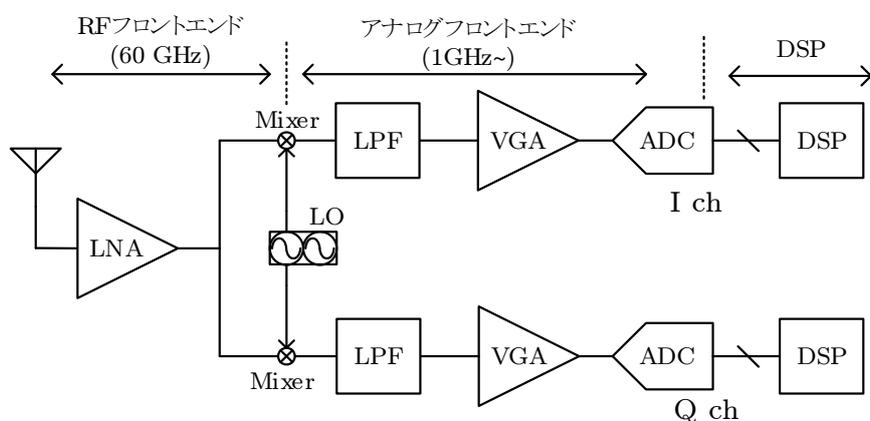


図 1.4: 60GHz 帯ダイレクトコンバージョン方式受信機 [4]

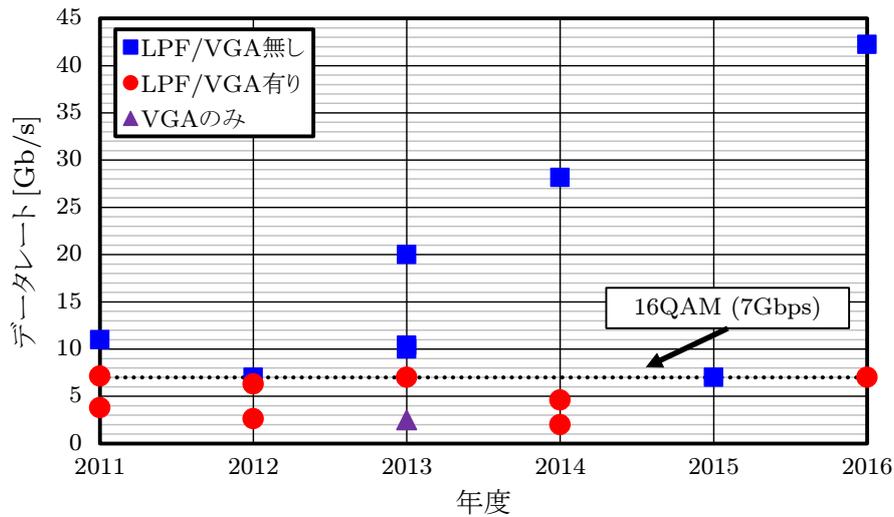


図 1.5: 近年報告された 60GHz 帯無線通信に関する研究

ベースバンド帯の帯域は 1 GHz にも及び、アナログベースバンド回路もこのような広帯域に対応している必要がある。加えて多値変調を行うためには、アナログベースバンド回路における SNR (Signal to Noise Ratio) の劣化を極力抑えなければならない。

しかしながら、今日の RF フロントエンド回路技術に対して、アナログベースバンド回路の性能は十分とは言えない。図 1.5 に、近年主要な学会で報告された 60GHz 帯無線通信のデータレートを示す。LPF や VGA などのアナログベースバンド回路を含まない報告では 10 Gbps を越える報告が多数存在するが、LPF 及び VGA などのアナログベースバンド回路を含む報告では 7 Gbps 付近にとどまっていることがわかる。これは 1 チャネル 16QAM の時のデータレートであり、更なるデータレートの向上を達成するためには、アナログベースバンド回路の高性能化が不可欠であると考えられる。

## 1.3 本論文の目的

本論文の目的は、広帯域・高速無線通信に適したアナログベースバンド回路を構成する回路技術の追究である。

広帯域な無線通信では、ベースバンド帯の広帯域化を必要とするため、アナログベースバンド回路にも広帯域化が求められる。従来用いられてきたオペアンプを用いた負帰還増幅回路技術をベースとしたアナログベースバンド回路の設計には限界が見えてきており、広帯域な用途を中心に、オープンループ型アンプをベースとした回路技術へのシフトが行われている。しかしながら、オープンループ型のアンプは線形性や消費電力の観点で課題が多く、更なる改善が必要である。

そこで本研究では、アナログベースバンド回路を構成する増幅器から検討を行い、広帯域・高速無線通信に用いられる重要な回路である広帯域フィルタと連続時間型  $\Delta\Sigma$  A/D 変換器について、性能改善を図っていく。

## 1.4 本論文の構成

本論文は全 8 章から構成される。

### 第 1 章 序論 (本章)

本論文の背景, 及び目的について述べる。また, 本論文で使用する評価項目についてまとめる。

### 第 2 章 受信機とアナログベースバンド回路

受信機アーキテクチャや通信方式などについて述べ, アナログベースバンド回路に要求される性能について議論する。

### 第 3 章 オペアンプと負帰還増幅回路

古くからアナログベースバンド回路を構成する重要な回路技術であったオペアンプを用いた負帰還回路技術について述べる。

### 第 4 章 局所的な負帰還技術

より帯域の広いアナログベースバンド回路を構成する広帯域な増幅器について議論する。線形性を改善するための局所的な負帰還技術について議論し, 消費電力とのトレードオフを明らかにする。

### 第 5 章 広帯域増幅器の高線形化技術

広帯域増幅器の線形性改善手法として, 従来技術である歪キャンセルなどを中心に議論する。

### 第 6 章 連続時間型 $\Delta\Sigma$ A/D 変換器

第 4 章及び第 5 章の議論を元に, 広帯域  $\Delta\Sigma$  A/D 変換器のループフィルタの改良を行う。また, LTE への応用を想定して開発した, 20 MHz 帯域を持つ連続時間型  $\Delta\Sigma$  A/D 変換器について述べる。

### 第 7 章 広帯域フィルタ

60GHz ミリ波向け受信機に用いる広帯域フィルタについて検討を行う。また第 4 章及び第 5 章の議論を元に, 電流増幅器の線形性改善を行い, 1 GHz 帯域 4 次 LPF を設計し, 性能を評価する。

### 第 8 章 結論

最後に本論文における成果と今後の課題を述べる。

## 1.5 評価項目

本論文で使用する性能を評価するための仕様について説明する。

### 1.5.1 線形性

#### SFDR

SFDR (Spurious Free Dynamic Range) は線形性の評価指標の一つであり、主に A/D 変換器の線形性の評価などで用いられることが多い。SFDR は搬送波を基準として、非線形性に起因する高調波成分のうち最も大きな信号成分との比率を dB で表したものである。非線形性を考慮した出力信号は、

$$V_{\text{out}} = a_1 V_{\text{in}} + a_2 V_{\text{in}}^2 + a_3 V_{\text{in}}^3 + \dots \quad (1.1)$$

と表される。ここで搬送波の周波数を  $f_c = \omega_c/2\pi$  とし、単一の入力  $V_{\text{in}}(t) = V_a \sin \omega_c t$  を仮定すると、

$$\begin{aligned} V_{\text{out}}(t) &= a_1 V_a \sin \omega_c t + a_2 V_a^2 \sin^2 \omega_c t + a_3 V_a^3 \sin^3 \omega_c t + \dots \\ &\approx \frac{a_2 V_a^2}{2} + \left( a_1 V_a + \frac{3a_3 V_a^3}{4} \right) \sin \omega_c t - \frac{a_2 V_a^2}{2} \cos 2\omega_c t - \frac{a_3 V_a^3}{4} \sin 3\omega_c t \end{aligned} \quad (1.2)$$

となる。ただし、一般的に高調波の係数は高次ほど小さくなるため、4次以降の項は無視した。このように、非線形成分は高調波成分を作り出す。この高調波成分の内最も大きなものと1次の成分との比が SFDR に相当する。例えば図 1.6 のような状況では、2番目の高調波（3次の成分）が最も大きいため、その電力レベルと搬送波との間が SFDR となる。高次の成分ほど影響は小さいが、システムが差動対称で作られている場合は偶数次の歪は殆ど現れないため、多くの場合は3次と1次の比率が SFDR となる。ここでは、

$$\text{SFDR} = 20 \log \left| \frac{a_1 V_a + \frac{3a_3 V_a^3}{4}}{\frac{a_3 V_a^3}{4}} \right| \approx 20 \log \left| \frac{4a_1}{a_3 V_a^2} \right| \text{ [dB]} \quad (1.3)$$

と定義する。ただし、 $|a_1| \gg |3a_3 V_a^2/4|$  とした。dBc（搬送波を基準にした歪み信号の比率）で表記する場合は負数で表現する。このように SFDR は搬送波の振幅に依存するため、SFDR による線形性の比較は振幅を揃えて行うべきである。もし回路の非線形性が大きいと、高調波成分の係数（ $a_3$  など）が大きくなり、SFDR は悪化する。

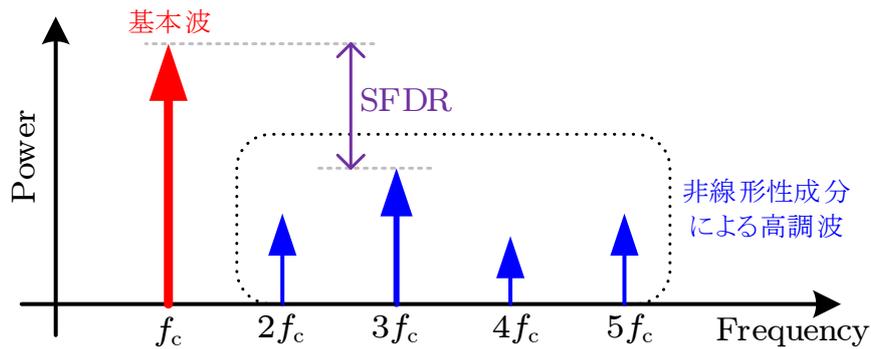


図 1.6: SFDR の評価時のスペクトラム

SFDR は単一の搬送波入力で測定できるため、非常に簡単にデータを取得できるが、増幅器などで測定を行う場合は回路の帯域に注意する必要がある。例えば、評価対象の回路の帯域が 1 GHz として、500 MHz 付近で SFDR を求めると、3 次の高調波は 1.5 GHz 付近に生じるため、回路の帯域によって歪成分が減衰してしまい、正確な評価とならない。この理由から、増幅器などの線形性を評価する場合は搬送波の周波数を帯域に対して十分に小さくしておく必要がある。

しかしながら、増幅器などの回路は周波数によって線形性が変わる場合もあり、SFDR では低周波側の線形性しか評価できないという問題点がある。

なお、二次成分と搬送波の比率を HD2、三次成分と搬送波の比率を HD3 として表すこともある。

### IM3

IM (Inter Modulation) とは相互変調歪のことであり、2 つの周波数信号を入力した際に生じる歪の総称である。この方式では、同じ振幅を持った 2 つの周波数成分として、 $f_c$  から  $\pm f_0 (= \pm \omega_0 / 2\pi)$  だけシフトした周波数成分を仮定し、

$$V_{\text{in}}(t) = \frac{V_a}{2} \sin(\omega_c - \omega_0)t + \frac{V_a}{2} \sin(\omega_c + \omega_0)t \quad (1.4)$$

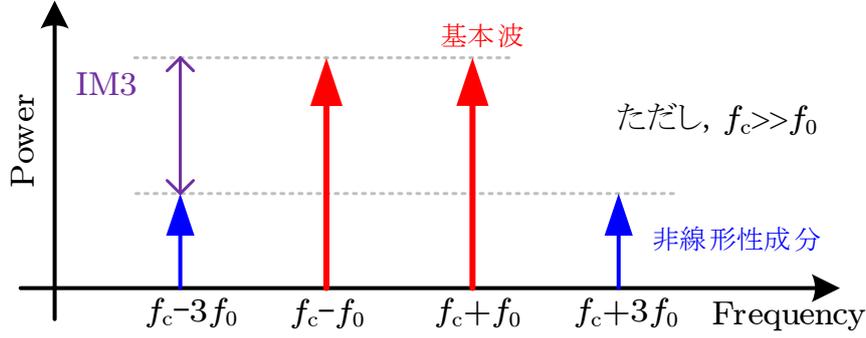


図 1.7: IM3 の評価時のスペクトラム

の入力を考える．波形のピーク値を SFDR の場合と一致させるため，振幅を  $a/2$  とした．この入力を (1.1) 式に代入すると，奇数項のみ計算すると，

$$\begin{aligned}
 V_{\text{out}}(t) \approx & \frac{a_1 V_a}{2} \{ \sin(\omega_c + \omega_0)t + \sin(\omega_c - \omega_0)t \} + \frac{9a_3 V_a^3}{32} \{ \sin(\omega_c + \omega_0)t + \sin(\omega_c - \omega_0)t \} \\
 & + \frac{3a_3 V_a^3}{32} \{ \sin(\omega_c + 3\omega_0)t + \sin(\omega_c - 3\omega_0)t \} \\
 & - \frac{3a_3 V_a^3}{32} \{ \sin(3\omega_c + \omega_0)t + \sin(3\omega_c - \omega_0)t \} \\
 & - \frac{a_3 V_a^3}{32} \{ \sin(3\omega_c + 3\omega_0)t + \sin(3\omega_c - 3\omega_0)t \}
 \end{aligned} \quad (1.5)$$

となる．この内第一項から第三項までに着目すると，

$$\begin{aligned}
 V_{\text{out}}(t) \approx & \left( \frac{a_1 V_a}{2} + \frac{9a_3 V_a^3}{32} \right) \{ \sin(\omega_c + \omega_0)t + \sin(\omega_c - \omega_0)t \} \\
 & + \frac{3a_3 V_a^3}{32} \{ \sin(\omega_c + 3\omega_0)t + \sin(\omega_c - 3\omega_0)t \}
 \end{aligned} \quad (1.6)$$

と表される．したがって図 1.7 のようなスペクトルを得ることができる．

この時 IM3 は 3 次の成分と 1 次の成分の比をとって，

$$\text{IM3} = 20 \log \left| \frac{\frac{a_1 V_a}{2} + \frac{9a_3 V_a^3}{32}}{\frac{3a_3 V_a^3}{32}} \right| \approx 20 \log \left| \frac{16a_1}{3a_3 V_a^2} \right| \text{ [dB]} \quad (1.7)$$

と定義する．ただし，基本波側を基準とする場合は，

$$\text{IM3} \approx -20 \log \left| \frac{16a_1}{3a_3 V_a^2} \right| \text{ [dBc]} \quad (1.8)$$

と記述される．さらに (1.3) 式により．

$$\text{IM3} \approx 20 \log \left| \frac{4a_1}{a_3 V_a^2} \right| + 20 \log \frac{4}{3} \approx \text{SFDR} + 2.5 \text{ [dB]} \quad (1.9)$$

という関係が導かれ、IM3 と SFDR は殆ど似た指標であることが確認できる。IM3 は  $f_c \gg f_0$  とした時、3 次の歪が搬送波のすぐそばに出現するため、評価したい回路のカットオフ周波数付近でも線形性を正しく評価することができる。

### IIP3

IM3 は線形性を表す指標であるが、入力する信号の振幅に依存してしまうため、単純な比較が難しい。そこで入力した信号成分と、三次の歪成分が等しくなる点 (Intercept Point) を求め、その時の入力振幅を IIP3 (Third Order Input Intercept Point) と定義する。図 1.8 に指標の概要を示す。Intercept Point において、 $IM3 = 0 \text{ dB}$  となるため、(1.7) 式により、

$$\left| \frac{16a_1}{3a_3V_a^2} \right| \approx 1 \quad (1.10)$$

となる。したがって、このときの  $V_a$  は、

$$V_a = \frac{4}{\sqrt{3}} \sqrt{\left| \frac{a_1}{a_3} \right|} \quad (1.11)$$

である。インピーダンス終端を行わない回路では、IIP3 は [dBV] で記述されることが多い。[dBV] は、 $1 V_{\text{RMS}}$  を基準に dB 表記を行うものであるから、

$$IIP3 = 20 \log \frac{V_a}{\sqrt{2}} = 20 \log \left( \sqrt{\frac{8}{3}} \sqrt{\left| \frac{a_1}{a_3} \right|} \right) \quad (1.12)$$

$$\approx 4.26 + 10 \log \left| \frac{a_1}{a_3} \right| \quad [\text{dBV}] \quad (1.13)$$

と表される。

ところで、(1.7) 式によれば、

$$10 \log \left| \frac{a_1}{a_3} \right| = \frac{IM3}{2} + 10 \log \frac{3V_a^2}{16} \approx -7.27 + 20 \log V_a + \frac{IM3}{2} \quad (1.14)$$

であるから、(1.13) 式は、

$$IIP3 = -3.01 + \frac{IM3}{2} + 20 \log V_a \quad [\text{dBV}] \quad (1.15)$$

または (1.9) 式より、

$$IIP3 = -1.76 + \frac{SFDR}{2} + 20 \log V_a \quad [\text{dBV}] \quad (1.16)$$

となる。

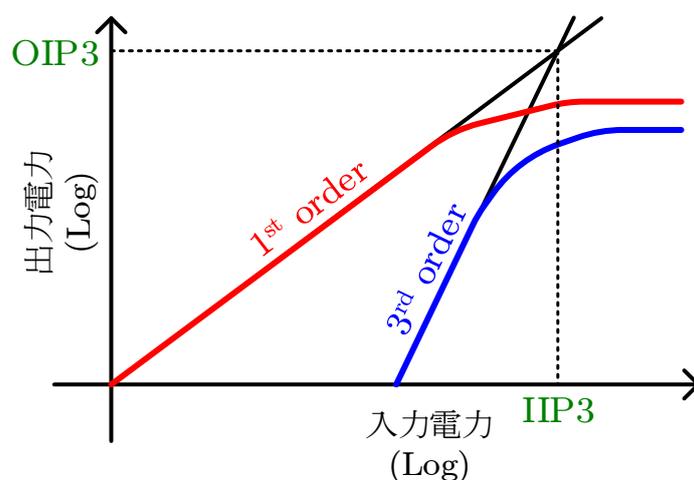


図 1.8: IIP3 の概要

## 1.5.2 SNR 及び SNDR

### SNR

SNR は雑音に対する信号成分の比率を表す指標であり、

$$\text{SNR} = 20 \log \left( \frac{V_a}{\sqrt{2} \cdot \sqrt{v_{n,\text{in}}^2 f_{\text{BW}}}} \right) [\text{dB}] \quad (1.17)$$

ここで  $f_{\text{BW}}$  は有効雑音帯域を表す。

### SNDR

SNDR (Signal to Noise and Distortion Ratio) は、雑音の他に歪み成分による信号の劣化を考慮した指標である。通常シングルトーンの入力に対して用いられるため、

$$\text{SNDR} = 10 \log \left( \frac{1}{10^{-\frac{\text{SNR}}{10}} + 10^{-\frac{\text{SFDR}}{10}}} \right) \quad (1.18)$$

と計算される。

### 最大 SNDR

続いて、最大 SNDR について考察する。(1.3) 式及び (1.17) 式によれば、SFDR は  $V_a$  に対し  $-40 \text{ dB/dec}$  で減少し、SNR は  $20 \text{ dB/dec}$  で上昇する。SNDR の最大値は、

SFDR = SNR となる箇所であるから,

$$\left| \frac{4a_1}{a_3 V_a^2} \right| = \frac{V_a}{\sqrt{2} \cdot \sqrt{v_{n,\text{in}}^2 f_{\text{BW}}}} \quad (1.19)$$

が成立する. したがって,

$$V_a = 2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left( \overline{v_{n,\text{in}}^2 f_{\text{BW}}} \right)^{\frac{1}{6}} \quad (1.20)$$

となり, この時の SNR は,

$$\begin{aligned} \text{SNR} &= 20 \log \left( \frac{2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left( \overline{v_{n,\text{in}}^2 f_{\text{BW}}} \right)^{\frac{1}{6}}}{\sqrt{2} \cdot \sqrt{\overline{v_{n,\text{in}}^2 f_{\text{BW}}}}} \right) \\ &= 2.00 + \frac{20}{3} \log \left( \frac{\left| \frac{a_1}{a_3} \right|}{\overline{v_{n,\text{in}}^2 f_{\text{BW}}}} \right) \text{ [dB]} \end{aligned} \quad (1.21)$$

である. 最大 SNDR は,

$$\text{SNDR}_{\text{peak}} = -1.01 - \frac{20}{3} \log \left( \left| \frac{a_3}{a_1} \right| \cdot \overline{v_{n,\text{in}}^2 f_{\text{BW}}} \right) \text{ [dB]} \quad (1.22)$$

と表される.

### 1.5.3 A/D 変換器の電力効率

#### Walden の FoM

Walden の FoM は, ナイキスト A/D 変換器などでよく用いられる FoM である.

$$\text{FoM}_{\text{Walden}} = \frac{\text{Power}}{2^{\text{ENOB}} \cdot \text{BW}} \text{ [J/conversion-step]} \quad (1.23)$$

ただし, ENOB は有効ビット数であり,

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02} \quad (1.24)$$

で表される. この FoM は, 実効的な 1 LSB の変換に費やされるエネルギーを表したものである.

## Schreier の FoM

一方, Schreier の FoM は, 60 dB を越える高分解能な A/D 変換器を評価する際に用いられる指標である.

$$\text{FoM}_{\text{Schreier}} = \text{SNDR} + 10 \log \frac{\text{BW}}{\text{Power}} \quad [\text{dB}] \quad (1.25)$$

この FoM は, SNDR を達成するためにかけた消費電力を経費として計上して算出する. 単位は [dB] であり, この値が大きいほど電力効率が良いといえる.

## 1.5.4 フィルタの電力効率

## SNR を元にした FoM

無線通信用のフィルタ向けの FoM はいくつか提案されているが [5], SNDR を評価に含めた指標はほとんど無く, フィルタ次数や帯域に関する評価が中心であった. 本研究においては, 帯域と共に高い SNDR を実現することが重要であるため, 新たな FoM を定義する.

もっとも簡単なフィルタとして, 図 1.9(a) の RC フィルタを考える. この回路の雑音電力  $P_n$  は,

$$P_n = \overline{v_{n,R}^2} \int_0^\infty \left| \frac{1}{1 + j2\pi fCR} \right|^2 df = \frac{\overline{v_{n,R}^2}}{4CR} \quad (1.26)$$

と表される. この回路をフィルタとして用いる際のカットオフ周波数は,

$$f_{\text{cut}} = \frac{1}{2\pi CR} \quad (1.27)$$

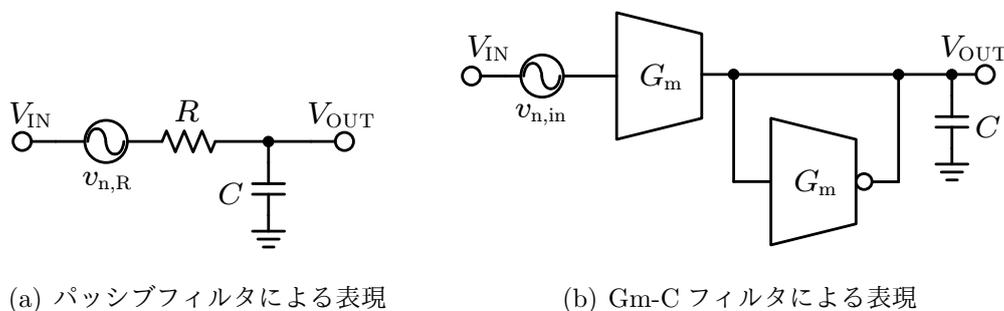


図 1.9: 一次のフィルタ

である。ここで図 1.9(b) のように、 $R$  が Gm セルのような消費電力を消費するアクティブな回路と仮定すると、雑音電力  $\overline{v_{n,R}^2}$  はトランジスタの電圧性雑音で表現されるため、

$$\overline{v_{n,R}^2} \propto \frac{4kT\gamma}{g_m} \quad (1.28)$$

となる。ここで  $k$  はボルツマン定数、 $T$  は絶対温度、 $g_m$  はトランジスタのトランスコンダクタンスである。通常  $g_m$  はトランジスタのドレイン電流に比例する。したがって、ある比例係数  $K_n$  を用いて、

$$\overline{v_{n,R}^2} = \frac{K_n}{P_c} \quad (1.29)$$

と表すことができる。ただし、 $P_c$  は消費電力を表している。(1.27) 式及び (1.29) 式を用いて、(1.26) 式を整理する。

$$P_n = \frac{\pi K_n}{2} \cdot \frac{f_{\text{cut}}}{P_c} \quad (1.30)$$

したがって雑音電力は帯域に比例し、消費電力に反比例する。

この議論を  $n$  次のフィルタに拡張する。全体の消費電力を  $P_{c,\text{total}}$  とすると、一段あたりの消費電力は  $P_c = P_{c,\text{total}}/n$  である。また、雑音源の数は  $n$  倍となるため、ノイズの合計値は  $nP_n$  である。結局デシベル表示の SNR は、信号電力  $P_s$  に対し、

$$\text{SNR} = 10 \log \frac{P_s}{nP_n} = 10 \log \left( \frac{2P_s}{\pi K_n} \right) - 10 \log \left( \frac{n^2 \cdot f_{\text{cut}}}{P_{c,\text{total}}} \right) \quad (1.31)$$

と表現される。したがって、FoM<sub>F</sub> を次のように定義する。

$$\text{FoM}_F = \text{SNDR} + 10 \log \left( \frac{n^2 \cdot f_{\text{cut}}}{P_{c,\text{total}}} \right) \text{ [dB]} \quad (1.32)$$

この FoM は、その SNDR を達成するためにかかった経費を計上し、比較する指標である。FoM が大きいほど SNDR に対する電力効率が良いと言える。ただし、アクティブ素子の歪成分は考慮されていない。

アクティブ素子の歪を考慮する場合は、SNDR<sub>peak</sub> から出発する。4章で紹介するソースデジェネレーションなどアクティブ素子は、十分大きいソースデジェネレーションファクター  $N$  に対して、

$$\left| \frac{a_3}{a_1} \right| \cdot \overline{v_{n,\text{in}}^2} \propto \frac{1}{NV_{\text{eff}} I_{\text{bias}}} \quad (1.33)$$

の関係がある。ここで、 $I_{\text{bias}}$  はトランジスタのバイアス電流を、 $V_{\text{eff}}$  は有効ゲート電圧をそれぞれ表している。 $N$  は、

$$N \approx \frac{g_m}{G_m} = \frac{2I_{\text{bias}}}{G_m V_{\text{eff}}} \quad (1.34)$$

である。図 1.9(b) の回路において、 $G_m = 1/R$  であるから、

$$f_{\text{cut}} = \frac{G_m}{2\pi C}. \quad (1.35)$$

一方、有効雑音帯域をカットオフ周波数に対して、

$$f_{\text{BW}} = K_f f_{\text{cut}} \quad (1.36)$$

と表す。これらの式を用いて、 $N$  を整理すると、

$$N = \frac{K_f I_{\text{bias}}}{\pi f_{\text{BW}} C} \quad (1.37)$$

となる。(1.33) 式の両辺に  $f_{\text{BW}}$  を乗じて整理すると、

$$\left| \frac{a_3}{a_1} \right| \cdot v_{\text{n,in}}^2 f_{\text{BW}} \propto \frac{\pi f_{\text{BW}}^2 C V_{\text{eff}}}{K_f I_{\text{bias}}^2} \quad (1.38)$$

と表される。したがって、この解析では  $C$  を消去することができず、指標の中に残さなければならない。しかしながら、各容量値を厳密に載せている論文は少なく、実際は寄生容量等を含むため、(1.38) 式を正確に評価するのは困難である。この問題から、本研究では (1.32) 式で表される FoM で電力効率を評価する。



## 参考文献

- [1] 総務省, 「平成 28 年度版 情報通信白書」, [Online]. Available:  
<http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h28/html/nc121100.html>
- [2] 総務省, 「情報通信統計データベース」, [Online]. Available:  
<http://www.soumu.go.jp/johotsusintokei/field/tsuushin06.html>
- [3] IEEE Standards Association, “IEEE802.11ad,” [Online]. Available:  
<http://standards.ieee.org/findstds/standard/802.11ad-2012.html>
- [4] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [5] T.-Y. Lo and C.-C. Hung, 1V CMOS Gm-C Filters, Springer, 2009.



## 第 2 章

# 受信機とアナログベースバンド回路

本章では、無線通信の受信機アーキテクチャや、通信速度を改善する手段などについて述べ、高速無線通信を実現するにあたり、アナログベースバンド回路に要求される性能や機能などを明らかにする。

### 2.1 受信機のアーキテクチャ

受信機のアーキテクチャには様々な方式があるが、ここではよく使われているスーパーヘテロダイン方式と、ダイレクトコンバージョン方式の代表的な二種類について述べる。

#### 2.1.1 スーパーヘテロダイン方式

スーパーヘテロダイン方式は、周波数の高い RF 帯から一度中間周波数に落とし、その後再度周波数変換を行いベースバンド帯に信号を変換する方式である。図 2.1 にスーパーヘテロダイン方式の構成を示す。

まず、アンテナで受信された信号は帯域選択フィルタを通り、フィルタ帯域内の信号のみを LNA で増幅する。このフィルタは低雑音かつ急峻な特性が必要であるため、誘電体フィルタや SAW フィルタなどの外付け部品で対応する。ここで LNA は 20dB 程度の増幅を行い、ミキサ以降の回路ブロックで生じる雑音の影響を抑える。しかし IF 帯への周波数変換の際には、イメージ妨害波が問題となる。ミキサは 2 つの信号を掛け合わせるため、RF 帯の信号を  $W_{RF}(t) = a \sin \omega_{RF}t$ 、局部発振器の出力信号を  $W_{LO}(t) = b \sin \omega_{LO}t$

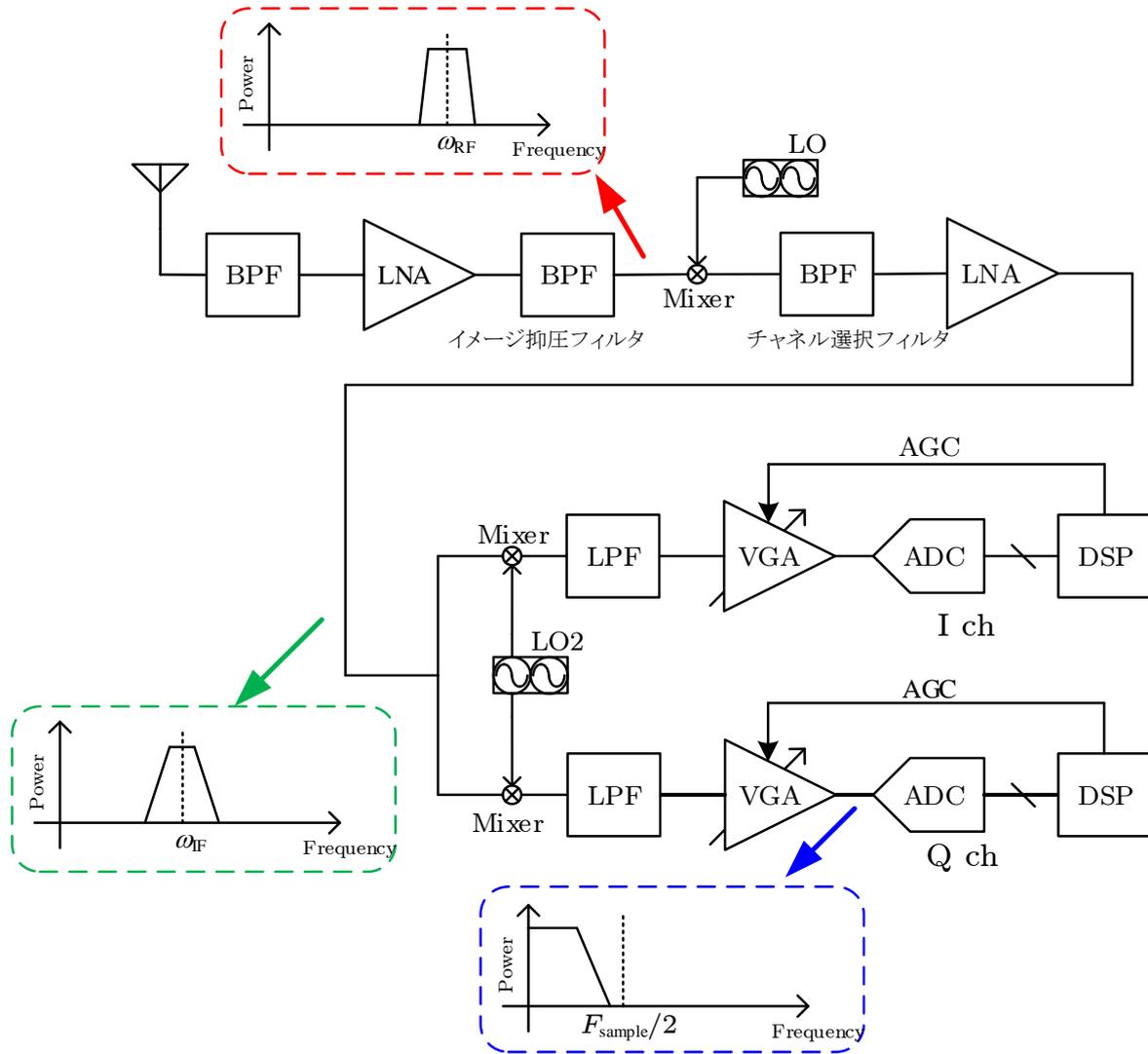


図 2.1: スーパーヘテロダイン方式の受信機 [1]

とすると、ミキサの出力は、

$$W_{\text{RF}}(t)W_{\text{LO}}(t) = \frac{ab}{2} \{ \cos(\omega_{\text{RF}} - \omega_{\text{LO}})t - \cos(\omega_{\text{RF}} + \omega_{\text{LO}})t \} \quad (2.1)$$

と表される。すなわち、 $\omega_{\text{LO}}$  を中心に、2つの周波数の信号が生じることになる。この内  $(\omega_{\text{RF}} + \omega_{\text{LO}})$  の高い周波数成分をフィルタで除去し、低周波側のみの信号を残して  $\omega_{\text{RF}}$  から  $(\omega_{\text{RF}} - \omega_{\text{LO}})$  への周波数変換とする。したがって IF 帯への周波数変換は、所望の帯域の角周波数  $\omega_{\text{RF}}$  に対して、イメージ帯の角周波数を  $\omega_{\text{IF}}$  とした時、局部発振器の角周波数  $\omega_{\text{LO}}$  との間に次の関係が成立する。

$$\omega_{\text{IF}} = \omega_{\text{RF}} - \omega_{\text{LO}} \quad (2.2)$$

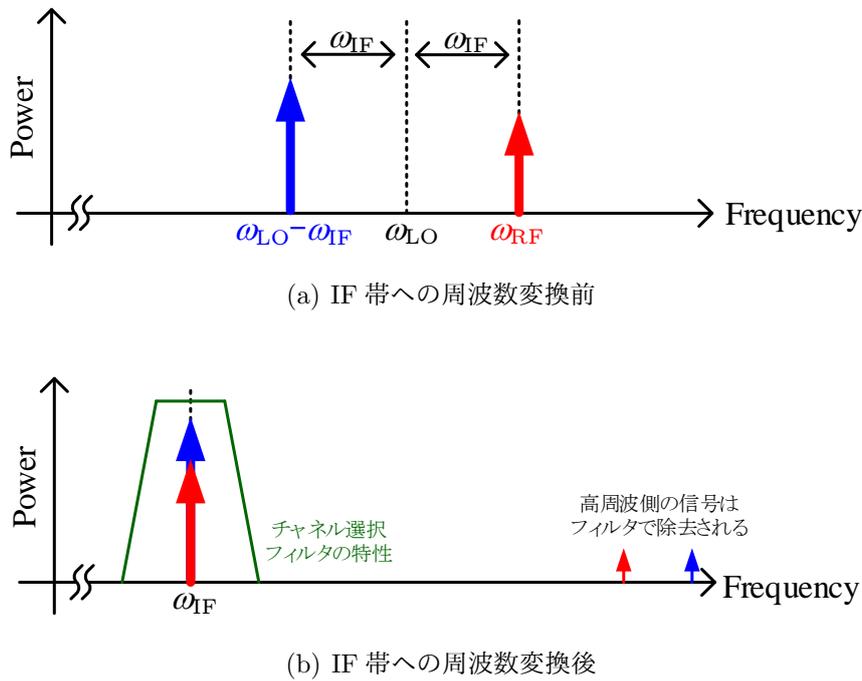


図 2.2: IF 帯への変換とイメージ妨害波

しかしながら (2.1) 式は、理想的には全ての周波数について成り立つため、図 2.2(a) に示すような所望帯域外の  $W_{OB}(t) = c \sin(\omega_{LO} - \omega_{IF})t$  の信号入力も仮定すると、

$$\begin{aligned}
 \{W_{RF}(t) + W_{OB}(t)\} W_{LO}(t) &= \frac{ab}{2} \{\cos(\omega_{RF} - \omega_{LO})t - \cos(\omega_{RF} + \omega_{LO})t\} \\
 &\quad + \frac{bc}{2} \{\cos(\omega_{LO} - \omega_{IF} - \omega_{LO})t - \cos(\omega_{LO} - \omega_{IF} + \omega_{LO})t\} \\
 &= \left(\frac{ab}{2} + \frac{bc}{2}\right) \cos\omega_{IF}t - \frac{ab}{2} \cos(\omega_{RF} + \omega_{LO})t \\
 &\quad - \frac{bc}{2} \cos(3\omega_{LO} - \omega_{RF})t
 \end{aligned} \tag{2.3}$$

となり、 $\omega_{IF}$  の角周波数に帯域外の信号が混入してしまう (図 2.2(b))。この理由により、イメージ帯への周波数変換を行う前に帯域外の信号を十分に落としておく必要があり、LNA の出力後などにも SAW フィルタなどの Q 値の高い外付けの BFP フィルタ (イメージ抑圧フィルタとも呼ばれる) を用意し、アンテナ直後のフィルタと併せて急峻な減衰特性を実現する。

IF 帯の信号はチャンネル選択フィルタを通した後 IF アンプで増幅され、更に DC へダウンコンバートされる。この時位相を  $90^\circ$  ずらしてミキシングを行い、I チャンネルと Q チャンネルに分離する。DC 側に落ちた信号は、低 Q の高次フィルタを通して所望チャネ

ル以外の信号を除去する。また、図 2.1 における  $F_{\text{sample}}$  は A/D 変換器の変換周波数であり、この LPF は後段の A/D 変換に要求されるサンプリング周波数を緩和するためのアンチエイリアスフィルタの役割を持つ。

更に A/D 変換を行う前に再度 VGA を通して振幅を調整する。特に無線通信ではその時々受信環境によって、受信電力が異なる。仮に VGA が無い場合を想定すると、受信電力が大きいケースでは A/D 変換に広いダイナミックレンジが要求され、受信電力が極端に小さいケースでは A/D 変換器に高い分解能が必要となってしまう。図 2.3 に、A/D 変換器への入力振幅が変化した場合の、A/D 変換器に要求される性能のイメージを示す。振幅が小さい場合は、小さい信号の大小を適切に判別するためには量子化電圧  $V_q$  を小さくする必要がある。その一方、大きい信号が入力された時は分解能が多少荒い場合でも信号の判別は可能であるが、 $2^N V_q$  で表される A/D 変換器のダイナミックレンジが振幅に対応していなければならない。ここで  $N$  は A/D 変換器の変換可能な bit 数を表している。したがって、細かい分解能を実現しつつ広いダイナミックレンジを実現するには、A/D 変換の bit 数を増やし高分解能化が要求される。しかしながら A/D 変換器の高分解能化は容易ではなく、特に広帯域無線通信では同時に高速な A/D 変換も要求されるため、一定の振幅に揃える機構を搭載し、これらの要求性能を緩和するのが現実的である。そこで通常は A/D 変換後の DSP 側から受信電力に応じて VGA の利得を変える AGC 機能を持たせて、常に適切な振幅で A/D 変換を行うことによって A/D 変換器に要求される性能を緩和する。なお、VGA については 2.4 節で、A/D 変換器については 2.6 節で改めて詳しく述べる。

ところでスーパーヘテロダイン方式は、IQ の分離を比較的低周波で行うため、IQ 整合が取りやすいという利点がある。IQ 整合が不完全であると、BER (Bit Error Rate) を劣化させる要因となってしまうことが知られている [1]。また、ベースバンド帯にダウンコンバートする前に IF 帯で信号の増幅が行えるため、ベースバンド側で問題となる DC オフセットや  $1/f$  ノイズなどの影響を抑えることができる。その一方で、イメージ妨害波を除去するためのオフチップフィルタを必要とし、このため集積度に限界があり、消費電力も大きいという問題が有る。ただし、低 IF 方式と呼ばれるイメージ抑圧フィルタと同等の機能をフィルタ無しで実現する方式も提案されている [2]。

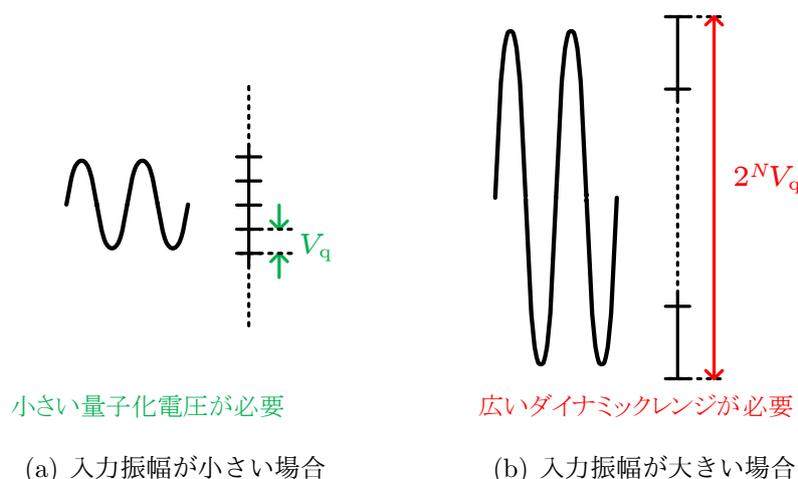


図 2.3: A/D 変換器の入力振幅と要求性能

### 2.1.2 ダイレクトコンバージョン方式

ダイレクトコンバージョン方式は、中間周波数を経ずに RF 帯の信号を直接ベースバンド帯に落とし、処理を行う方式である。図 2.4 にダイレクトコンバージョン方式の構成を示す。

アンテナで受信した信号は、スーパーヘテロダイン方式と同様にバンドパスフィルタで帯域を選択し、LNA で増幅する。この方式では局部発振器の角周波数は RF 帯の角周波数と同一にし、直接 DC にダウンコンバートする。ダウンコンバートした信号は、低 Q 値の高次ローパスフィルタを通して帯域外の信号を落とす。この LPF はスーパーヘテロダイン方式のチャンネル選択フィルタに相当し、別のチャンネルを選択する場合は局部発振器の周波数を変えることで対応する。最後にスーパーヘテロダイン方式と同様に VGA を介して振幅を調整し、A/D 変換を行う。

ダイレクトコンバージョン方式はスーパーヘテロダイン方式と異なり、IF 帯に信号を落とさないためイメージ除去のためのオフチップフィルタを省略でき、また回路を構成するブロック数も少なく、高い集積度が実現しやすいアーキテクチャである。しかしながら、スーパーヘテロダイン方式よりも高い周波数でミキサを駆動して IQ 分離を行うため、位相ミスマッチや振幅誤差が発生しやすい。加えて、IQ 分離後に振幅の小さい信号を処理するため、LPF や VGA などでも IQ インバランスが生じやすい [3]。この IQ インバランスの問題は後述する符号誤り率を劣化させ、通信の品質を悪くする要因になってしまう。また近年のプロセス微細化によるトランジスタサイズの低下によって、

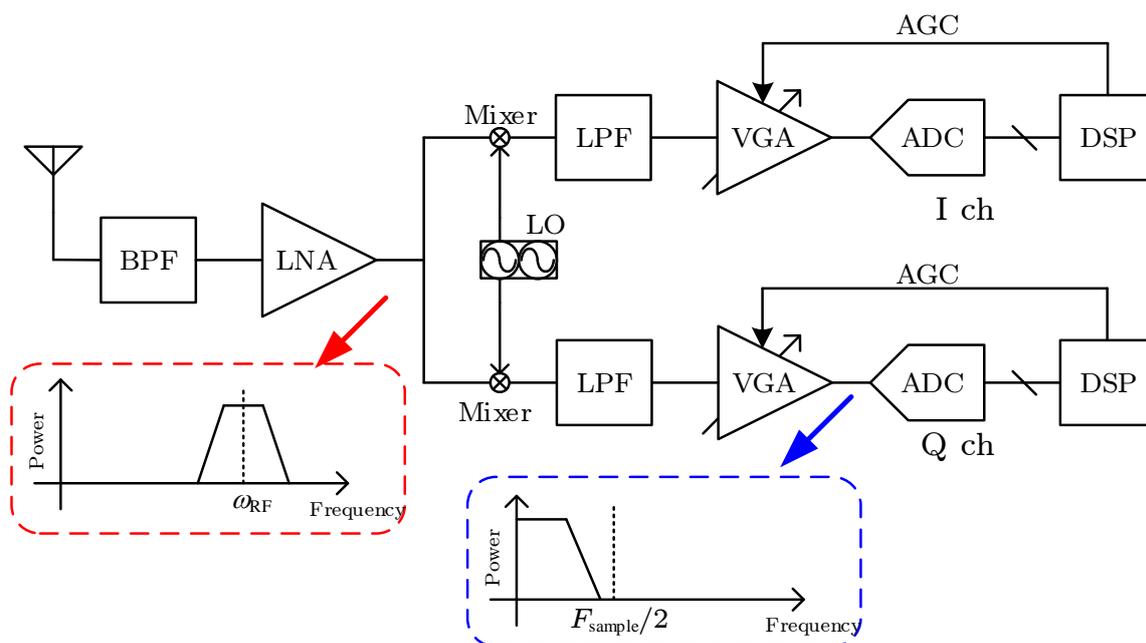


図 2.4: ダイレクトコンバージョン方式の受信機 [1]

各ブロックを構成する素子のばらつきが大きくなってきており [4], 品質の良い通信を行うためには IQ インバランスを補正する機構を必要とする [5,6].

また振幅が小さい状態で DC へダウンコンバートされるため, アナログベースバンド回路の低周波雑音が影響する場合もある. この問題に対しては容量結合やサーボループなどによって改善されるものの, 非常に大きな容量が必要となりチップの占有面積を増大させる原因となっていたが, 近年の DSP を用いたデジタル制御技術の改善によって改善され, 現在は受信機アーキテクチャの主流となっている [1].

## 2.2 無線通信の高速化

シャノンの定理によれば，通信路容量  $C$  は次の式で与えられる。

$$C = B \log_2 \left( 1 + \frac{S}{N} \right) \quad [\text{bit/s}] \quad (2.4)$$

ただし， $B$  は通信に用いる帯域幅（単位は Hz）を表し， $S$  及び  $N$  はそれぞれ信号とノイズの電力を表す。したがって， $S/N$  比（SNR）を大きくするか無線通信に用いる帯域幅を増やすことで通信路容量を改善することが出来る。

### 2.2.1 変調方式と符号誤り率

通信路の SNR が十分に確保されている場合は，多値変調方式を用いることでビットレートを増やすことができる。多値変調方式は一つのシンボルに割り当てる bit 数を増やすことで，伝送する情報量を増やす方式である。一方で多値変調を行ったシンボルを復調する際に求められる SNR は，一シンボルに割り当てる bit 数を増やすほど厳しくなる。ここでは例として，位相変調方式（PSK）である BPSK 及び QPSK と，直角振幅変調（QAM）について述べ，それぞれの符号誤り率（BER）を比較する。

#### BPSK

BPSK(Binary Phase-Shift Keying) は PSK(Phase-Shift Keying) の一種であり，搬送波の位相に 1bit のデータを割り当てる方式である。変調信号は  $[0, 1] = [0, \pi]$  のように割り当てる。この時，変調信号は，

$$s_i(t) = \sqrt{\frac{2E_b}{T_s}} \cos(2\pi f_c t + i\pi), \quad i = 0, 1 \quad (2.5)$$

と表される。ここで  $E_b$  はビットあたりのエネルギーであり， $T_s$  はシンボルの周期を表す。このときのコンスタレーションは図 2.5 に示す通りである。

続いて BPSK のビット誤り率について考える。実際の通信では，通信路における雑音やトランシーバーにおける雑音などによってコンスタレーションがずれた位置に出現し，その雑音がしきい値を超えた場合に誤りとなる。まずランダム雑音において，瞬間雑音電圧が  $x + dx$  の間にある確率分布はガウス分布に従い，

$$p(x) = \frac{1}{\sqrt{2\pi N_0}} \exp\left(-\frac{x^2}{2N_0}\right) \quad (2.6)$$

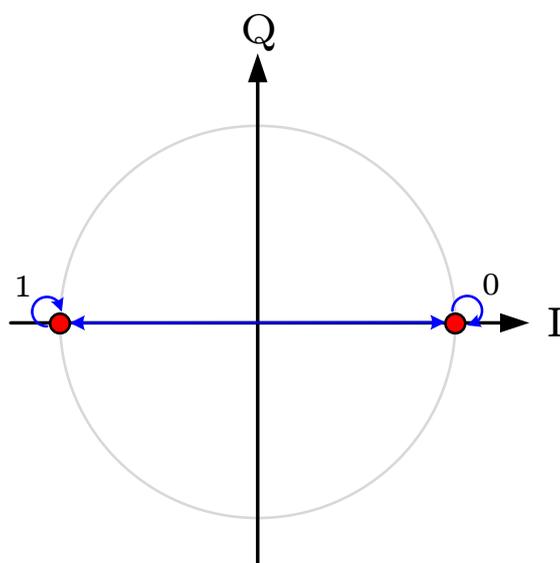


図 2.5: BPSK のコンスタレーション

と表される. ただし,  $N_0$  は雑音のスペクトラム密度である. 符号を誤る確率  $P_e$  は, 図 2.6 に示すようにしきい値から  $+\infty$  までを積分することで求めることができる. 例えば, しきい値を  $A_t$  とおくと,

$$\begin{aligned}
 P_e(A_t) &= \int_{A_t}^{+\infty} p(x)dx = \int_0^{+\infty} p(x)dx - \int_0^{A_t} p(x)dx \\
 &= \frac{1}{2} - \int_0^{A_t} \frac{1}{\sqrt{2\pi N_0}} \exp\left(-\frac{x^2}{2N_0}\right) dx \\
 &= \frac{1}{2} - \int_0^{\frac{A_t}{\sqrt{2N_0}}} \frac{1}{\sqrt{\pi}} \exp(-z^2) dz \\
 &= \frac{1}{2} \left\{ 1 - \operatorname{erf}\left(\frac{A_t}{\sqrt{2N_0}}\right) \right\} = \frac{1}{2} \operatorname{erfc}\left(\frac{A_t}{\sqrt{2N_0}}\right)
 \end{aligned} \tag{2.7}$$

となる. ここで  $\operatorname{erf}(z)$  は誤差関数,  $\operatorname{erfc}(z)$  は相補誤差関数であり,

$$\operatorname{erf}(z) = \frac{2}{\sqrt{\pi}} \int_0^z \exp(-u^2) du \tag{2.8}$$

$$\operatorname{erfc}(z) = 1 - \operatorname{erf}(z) \tag{2.9}$$

である. BPSK において, 符号の判定は図 2.5 の原点で変わり, しきい値は各符号から原点までの距離に等しい. したがって,

$$A_t = \sqrt{2E_b}. \tag{2.10}$$

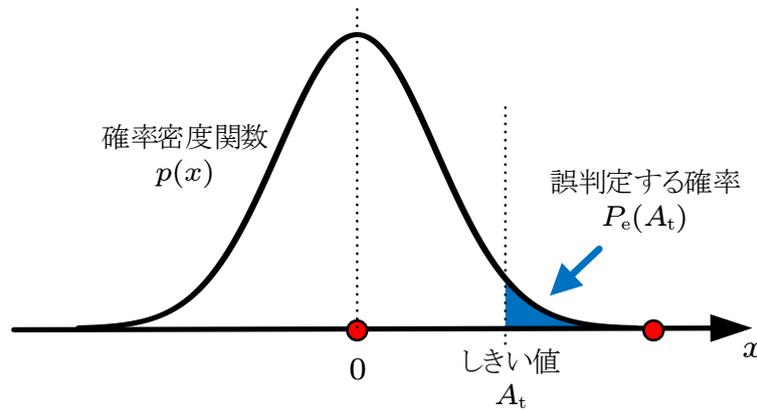


図 2.6: 確率密度関数とシンボルの誤判定

シンボル 0 とシンボル 1 がランダムに選ばれると仮定すると、BPSK の符号誤り率  $P_{b,\text{BPSK}}$  は、

$$\begin{aligned}
 P_{b,\text{BPSK}} &= \frac{1}{2}P_e(\sqrt{2E_b}) + \frac{1}{2}P_e(-\sqrt{2E_b}) \\
 &= P_e(\sqrt{2E_b}) \\
 &= \frac{1}{2}\text{erfc}\left(\sqrt{\frac{E_b}{N_0}}\right)
 \end{aligned} \tag{2.11}$$

と表され、結果として信号と雑音の電力比 (SNR) によって決定される。即ち、誤り率を下げるためには、図 2.6 におけるガウス関数の偏差 ( $N_0$  に相当) を小さくし雑音の裾野を狭くするか、信号の振幅を大きく取り 2 つのシンボル間の距離を広げてしきい値を大きくすれば良い。

## QPSK

QPSK (Quadrature Phase-Shift Keying) は 4 値変調の PSK であり、位相に 2bit のデータを割り当てる。2bit データの割り当てには Gray 符号などが利用され、数式では

$$s_i(t) = \sqrt{\frac{2E_s}{T_s}} \cos\left(2\pi f_c t + (2i-1)\frac{\pi}{4}\right), \quad i = 0, 1, 2, 3 \tag{2.12}$$

と表現する。ただし、 $E_s$  はシンボルあたりのエネルギーであり、シンボルを構成するビット数を  $k$  とおくと、

$$E_s = kE_b \tag{2.13}$$

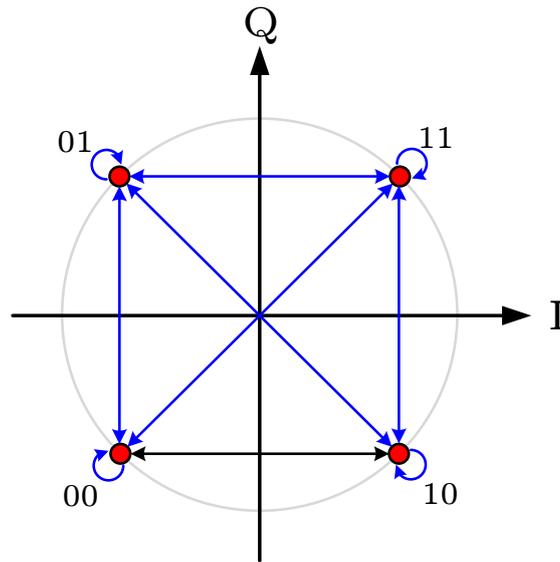


図 2.7: QPSK のコンスタレーション

の関係がある。

この変調信号は，下記の同相成分と直交成分の合成で表現することができる。

$$\phi_I(t) = \sqrt{\frac{E_s}{T_s}} \cos 2\pi f_c t \quad (2.14)$$

$$\phi_Q(t) = \sqrt{\frac{E_s}{T_s}} \sin 2\pi f_c t \quad (2.15)$$

すなわち  $a_I = \pm 1$ ,  $a_Q = \pm 1$  を用いて，

$$s_i(t) = a_I \phi_I + a_Q \phi_Q \quad (2.16)$$

と表すことができる。復調を行う際には，位相を  $90^\circ$  ずらした信号で行う。  $\cos 2\pi f_c t$  による同調成分の復調は，

$$\begin{aligned} s_i(t) \cos 2\pi f_c t &= \{a_I \phi_I + a_Q \phi_Q\} \cos 2\pi f_c t \\ &= \frac{a_I}{2} \sqrt{\frac{E_s}{T_s}} (1 + \cos 4\pi f_c t) + \frac{a_Q}{2} \sqrt{\frac{E_s}{T_s}} \sin 4\pi f_c t \end{aligned} \quad (2.17)$$

となり，この信号を LPF に通すと，

$$LPF[s_i(t) \cos 2\pi f_c t] = \frac{a_I}{2} \sqrt{\frac{E_s}{T_s}} \quad (2.18)$$

となり，同相成分の信号だけ取り出すことができる。同様に  $\sin 2\pi f_c t$  による直交成分の

復調は,

$$\begin{aligned} s_i(t) \sin 2\pi f_c t &= \{a_I \phi_I + a_Q \phi_Q\} \sin 2\pi f_c t \\ &= \frac{a_I}{2} \sqrt{\frac{E_s}{T_s}} \sin 4\pi f_c t + \frac{a_Q}{2} \sqrt{\frac{E_s}{T_s}} (1 - \cos 4\pi f_c t) \end{aligned} \quad (2.19)$$

であり, LPF 後の出力は,

$$LPF[s_i(t) \sin 2\pi f_c t] = \frac{a_Q}{2} \sqrt{\frac{E_s}{T_s}} \quad (2.20)$$

となる. QPSK のコンスタレーションは図 2.7 に示すように,  $90^\circ$  ずつ位相をずらしたようなコンスタレーションとなる.

続いて QPSK の符号誤り率を求める. 各シンボルについて, IQ それぞれでしきい値を越える確率が  $P_e(\sqrt{E_s})$  であるが, 実際にビットエラーが発生するのは I か Q のいずれか一方である. 図 2.7 のシンボル 11 を例にとると, IQ それぞれについて  $P_e(\sqrt{E_s})$  の確率で 1bit の誤りが生じる. したがって, QPSK の符号誤り率  $P_{b,QPSK}$  は,

$$\begin{aligned} P_{b,QPSK} &= 4 \times \frac{1}{4} \times P_e(\sqrt{E_s}) \\ &= P_e(\sqrt{2E_b}) \\ &= \frac{1}{2} \operatorname{erfc}\left(\sqrt{\frac{E_b}{N_0}}\right) \end{aligned} \quad (2.21)$$

となる. したがって  $P_{b,QPSK} = P_{b,BPSK}$  が成立する.

### 直交振幅変調

QAM (Quadrature Amplitude Modulation) は振幅と位相を組み合わせた多値変調方式である. 送信信号は, 次のように表される.

$$s(t) = I(t) \cos 2\pi f_c t + Q(t) \sin 2\pi f_c t \quad (2.22)$$

ここで  $I(t)$  及び  $Q(t)$  は変調信号を表す. QPSK の信号である (2.16) 式と比較すると, この 2 つの式はよく似た形をしており, QPSK は 4 値の QAM と同じような変調信号となる.

QAM の一種である 16QAM のコンスタレーションを図 2.8(a) に示す. この変調では 1 シンボルは 4bit の情報を持つ. また, QAM では振幅も変調されるため, その平均電

力を  $E_b$  とした時の符号誤り率は,

$$P_{b,16QAM} = 1 - \left\{ 1 - \frac{3}{8} \operatorname{erfc} \left( \sqrt{\frac{2E_b}{5N_0}} \right) \right\}^2 \quad (2.23)$$

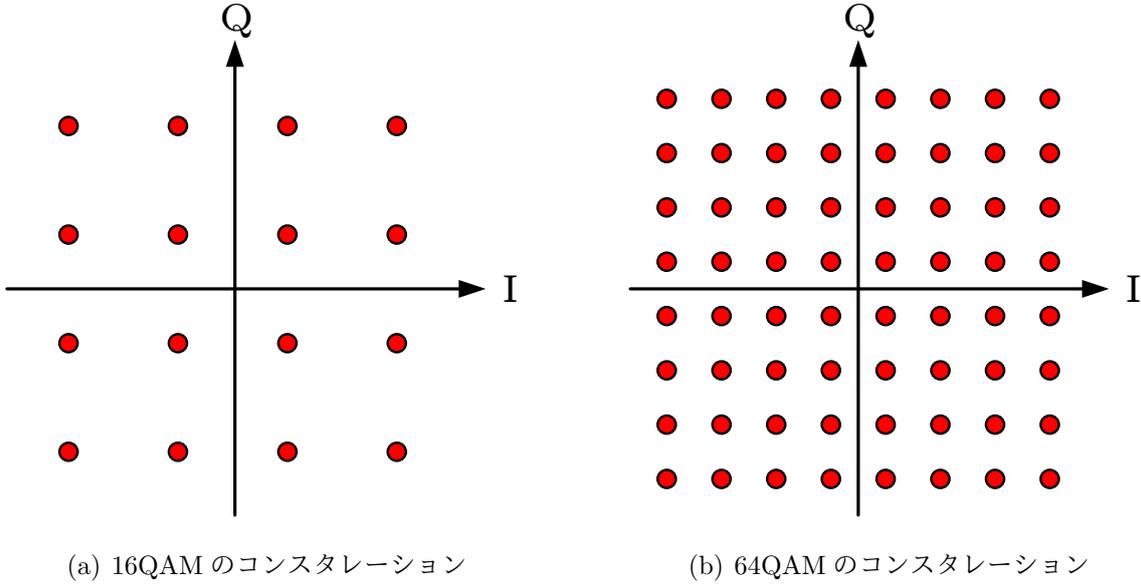


図 2.8: QAM

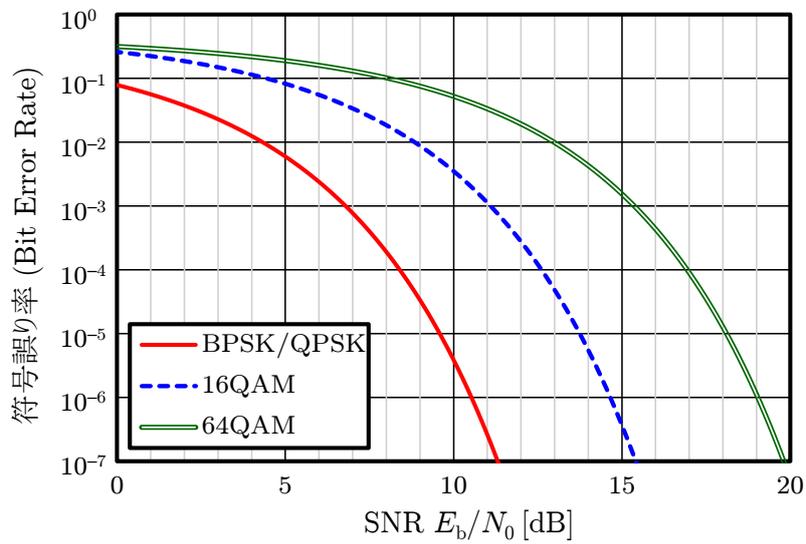


図 2.9: 符号誤り率の比較

と表される。また図 2.8(b) に示す 64QAM の符号誤り率は、

$$P_{b,64QAM} = 1 - \left\{ 1 - \frac{7}{24} \operatorname{erfc} \left( \sqrt{\frac{E_b}{7N_0}} \right) \right\}^2 \quad (2.24)$$

である [1]。この 64QAM は 6bit の多値変調である。

以上の変調方式の符号誤り率を比較すると、図 2.9 の様になる。QPSK は、BPSK に対して二倍の伝送速度を達成できるが、符号誤り率は同じである。しかしながら、16QAM、64QAM では同じ SNR 当たりの符号誤り率が劣化している。これは QAM はコンスタレーションにおいて各シンボル間の距離が近く、正確な判定を行うためには十分な SNR を確保する必要があるためである。一つの目安として、 $10^{-6}$  の符号誤り率を下回するためには BPSK/QPSK で 11dB 弱の SNR が必要であるのに対し、16QAM では 15dB 程度、64QAM では 19dB 程度の SNR を必要とする。

以上のように、多値変調は 1 シンボルあたりの bit 数を増やすことで伝送速度を上げることができるものの、品質を保証するためには十分な SNR を確保する必要があり、bit 数が増えるほどその要求は厳しくなる傾向にある。

### 2.2.2 通信帯域の広帯域化

シャノンの定理によると、通信に使用する帯域に比例して通信路容量は増えていく。したがって、通信に利用する帯域の広帯域化は、通信の高速化に直結する。

まず通信に利用する帯域を広くするためには、RF 帯の周波数を上げることが必要となる。周波数資源は限られており、比較的扱いやすい数 GHz 付近の RF 帯は使用率が高く、広帯域の通信帯域を用意することは困難である。一方で、ミリ波帯と呼ばれる 40GHz から 100GHz 付近の帯域は比較的空いており、広い帯域を利用できる可能性がある [9]。特に 60GHz 帯は各チャンネルあたり 2.16GHz もの帯域が無免許で使用できるため、研究が盛んに行われている。

しかしながら通信帯域の広帯域化を行うには、ベースバンド帯の広帯域化必須となり、ベースバンド回路の広帯域化は多くの困難を伴う。例えばデジタル回路は動作周波数に比例して消費電力が増大するため、広帯域無線通信によって高速動作が要求されると、消費電力が大きくなってしまう。またアナログベースバンド部においては、ベースバンド帯全てをカバーする広帯域なアナログ回路が必要となるため、アナログ回路部の消費電力の増加が問題となる。加えて、ムーアの法則 [7,8] に従い、プロセス微細化による

DSP の高速化や低消費電力化，小面積化が進められてきたが，一方でアナログ回路の設計は微細なトランジスタを用いることに依るばらつき [4] や固有利得低下 [10,11]，電源電圧の低下などの問題により，より困難になってきている。

別のアプローチとして，通信に利用する帯域をそのままに複数のアンテナを用いることで実効的に通信帯域を広げる MIMO (Multi-Input Multi-Output) と呼ばれる技術がある [12]。しかしながら，MIMO では送受信に複数のアンテナを用い，各アンテナで送受信を行う回路を必要とするため，回路の大規模化や消費電力の増大などの問題がある。そのため，個々の通信がより高速で，可能な限り消費電力が少なく，回路面積の小さい送受信の回路を構成することが望ましい。

## 2.3 アナログベースバンド回路の構成例

アナログベースバンド回路は主に、ミキサでダウンコンバートした信号を A/D 変換するまでの回路ブロックを指す。図 2.4 において、ベースバンド回路の構成を Mixer→LPF→VGA→ADC と記載したが、前後の回路や無線通信の仕様に応じて様々な構成方法が存在する。ここでは代表的な構成方法をいくつか述べる。

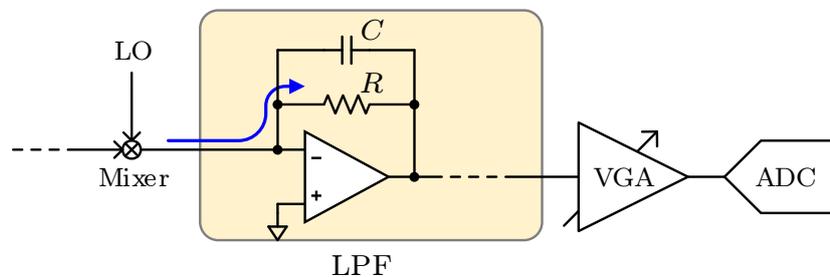
■電流受けフィルタ 図 2.10(a) は、SDR (Software Defined Radio) などで用いられる構成であり [13,14]、図 2.4 などで示した LPF 実現方法の一形態である。LPF にはオペアンプを用いた負帰還回路を利用し、Mixer からの信号を電流として受け取り、帰還抵抗  $R$  に流し込んで電圧振幅に変換する。比較的帯域の低い無線でよく用いられており、ノイズキャンセル LNA などと組み合わせて使用されることも多い [15,16]。

■VGA と LPF のマージ 図 2.10(b) は VGA と LPF をマージした構成である。VGA の負荷抵抗に並列に容量を接続し、各アンプの出力端子でカットオフ特性を作る。Gm-C フィルタなどと比較すると、使用する増幅器の個数が減るため、消費電力が低いというメリットが有る。しかしながら、より広帯域な回路では次段アンプの入力寄生容量がカットオフ特性に影響をあたえるため、設計が難しい。特に各アンプに可変利得機能を追加する場合、利得切替によるミラー容量の変化などでカットオフ周波数が変化してしまうため、容量キャンセルなどの技術を併用しなければならない [17]。加えてフィルタの  $Q$  値実現が難しく、急峻な遮断特性を実現することは極めて困難である。そのため、フィルタセクションと VGA セクションを分け、VGA の間にフィルタをマージするなどの構成も検討されている [18]。

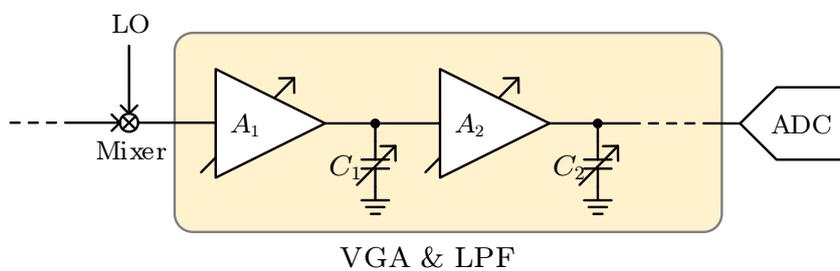
■VGA→LPF の構成 図 2.10(c) は、LPF の前に VGA を接続した構成である [19,20]。第 7 章で示す Gm-C フィルタのように、LPF はフィルタ機能の実現のために多くのアクティブ素子を使用する。その結果、特に広帯域なフィルタでは雑音特性や線形性などの要件が厳しくなり、大きなダイナミックレンジを実現することが難しくなってしまう。一例として、[21] で報告されている約 1GHz 帯域のフィルタでは、27.5mW の消費電力に対して達成できる最大の SNDR は高々 32.5 dB 程度である。FoM<sub>F</sub> の考えによれば、SNDR を 3dB 改善するためには約 2 倍の消費電力が必要となるため、規模の大きな LPF のダイナミックレンジを改善することは消費電力の観点で望ましくない。この

とき、LPFの前である程度振幅を揃えて入力する構成が有効となる。これはA/D変換器の前にVGAを挿入した場合と同様であり、十分なSNDRが得られる入力振幅付近でのみ利用することで、フィルタの要求仕様を大幅に緩和することができる。

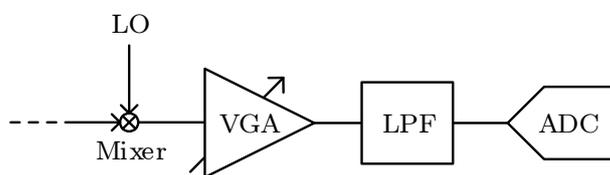
■連続時間型 $\Delta\Sigma$  A/D変換器を用いた構成 連続時間型 $\Delta\Sigma$  A/D変換器(CT $\Delta\Sigma$  ADC)を用いることで、アンチエイリアスフィルタなどを省略する方法が提案されている[22,23]。加えてA/D変換器が十分なダイナミックレンジを持つ場合はVGAを省略または簡略化し、図2.10(d)のような簡素な構成でアナログベースバンド回路を置き換えることができる。この構成では、後述するサンプリングの諸問題を解決し、フィルタ回路の要求仕様を大幅に緩和できるメリットが大きいため、20 MHz程度の帯域において従来のアナログベースバンド回路の構成よりも電力効率に優れるという検討報告がある[22]。このようにこの構成はアナログベースバンド回路の規模を小さくすることに貢献するが、反面A/D変換器の構成は煩雑になり、広帯域化が難しい。しかしながら、近年では10 MHzを超える信号帯域を実現する連続時間型 $\Delta\Sigma$  A/D変換器も多数報告もされており、LTEやLTE-Advancedなどのアプリケーションに対応できるようになった。LTE受信機については2.5.2節で、連続時間型 $\Delta\Sigma$  A/D変換器については第6章で詳しく述べる。



(a) 電流入力フィルタ



(b) VGA と LPF のマージ



(c) VGA→LPF

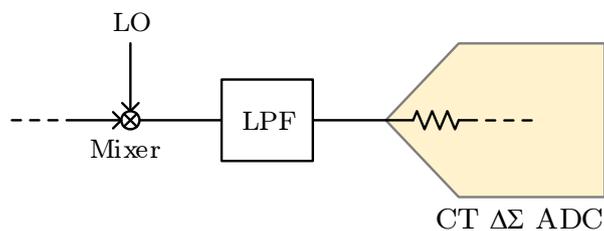
(d) 連続時間型  $\Delta\Sigma$  A/D 変換器

図 2.10: アナログベースバンド回路の構成例

## 2.4 VGA とダイナミックレンジ

無線通信において、移動体の状況によって受信機で受信される電力には大きなばらつきがある。様々な受信状況に対応するためには、広い入力範囲で目標とする SNDR を達成する必要がある。しかしながら広範囲に渡り性能を維持することは困難であり、特に本節で述べる A/D 変換器のダイナミックレンジは、この入力範囲の問題を厳しく制限する要因となる。ここではその問題点を整理し、解決策である VGA について述べる。

### 2.4.1 A/D 変換器のダイナミックレンジと SNDR

1.5 節で示したように、アナログ回路の SNDR 特性を記述する要素として線形性 (SFDR や IIP3) と雑音特性 (SNR) がある。これらの特性により、アナログ回路の多くは図 2.11(a) に示すような SNDR 特性を描く。SNR は入力電力の増加に対し一次で増加し、低入力電力側で SNDR を決める。一方、SFDR (または IM3) は入力電力の増加に対し二次で減少し、大振幅入力側で SNDR を制限する。

このアナログ回路に要求される SNDR を  $\text{SNDR}_{\min}$  とすると、SNDR が最大値を迎える点から SNR 側と SFDR 側について、2:1 で使用可能な入力範囲が規定される。ここで SNDR の最大値を  $\text{SNDR}_{\text{peak}}$  とすると、ある  $\text{SNDR}_{\min}$  に対する入力ダイナミックレンジ (DR) は dB 表示で、

$$\text{DR} = \frac{3}{2} (\text{SNDR}_{\text{peak}} + 3.01 - \text{SNDR}_{\min}) \text{ [dB]} \quad (2.25)$$

と表される。ここで係数の  $3/2$  はログスケール上の値であり、リニアスケールでは 1.5

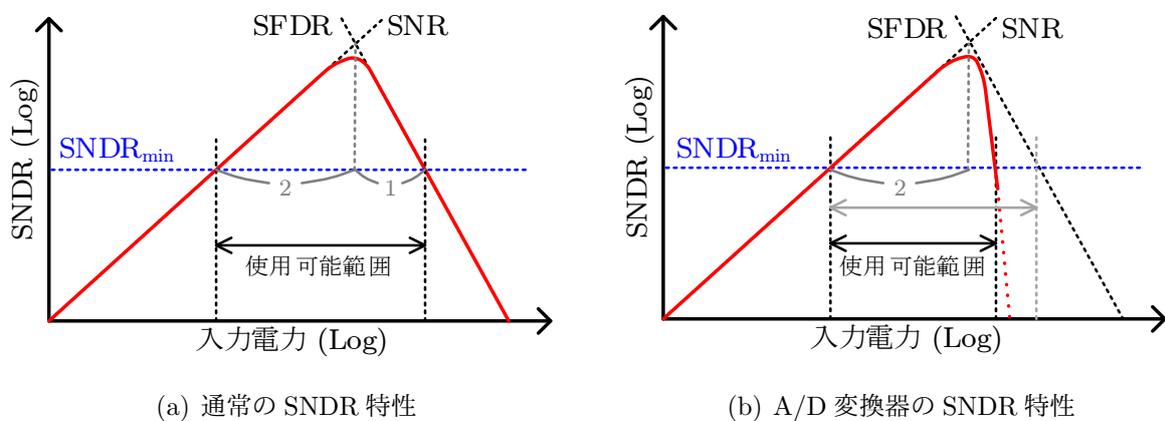


図 2.11: 入力電力に対する SNDR 特性

乗に相当する点に注意が必要である。

一方、図 2.11(b) に示すように、多くの A/D 変換器は SNDR の最大値付近より大きい入力振幅から急激に性能が劣化する。A/D 変換器では SNR を決める量子化雑音の影響が厳しく、A/D 変換器にできるだけ大きな振幅を入れて SNDR の最大値を高めることが必要となる。その結果、SNDR は A/D 変換器の最大入力レンジよりやや小さい入力近辺で最大となり、以降は入力レンジのリミットによって急激に SNDR が劣化していく。したがって、A/D 変換器では図 2.11(a) のケースとは異なり、SNDR の最大値から DR を予測することは困難である。悲観的な予測として、 $\text{SNDR}_{\text{peak}}$  以降が使用できないと仮定すると、

$$\text{DR} = \text{SNDR}_{\text{peak}} + 3.01 - \text{SNDR}_{\text{min}} \quad [\text{dB}] \quad (2.26)$$

となり、(2.25) 式に含まれていた 1.5 乗の係数が失われていることが確認できる。

これらの DR の値は  $\text{SNDR}_{\text{min}}$  のとり方で値が変わるため、平等な評価のために  $\text{SNDR}_{\text{min}} = 0 \text{ dB}$  とした DR がよく用いられる。一例として、第 6 章で開発する連続時間型  $\Delta\Sigma$  A/D 変換器は、 $\text{DR} = 75.8 \text{ dB}$  かつ  $\text{SNDR}_{\text{peak}} = 72.4 \text{ dB}$  であり、おおよそ (2.26) 式の関係が成立していることが認められる。仮にこの  $\text{SNDR}_{\text{peak}}$  が図 2.11(a) のような特性を持っていたと仮定すると、その DR は 113 dB と算出され、実際の A/D 変換器の特性と大きな差があることが認められる。

このように同じ要求 SNDR に対しても、通常のアナログ回路と A/D 変換器では、それぞれが実現できる入力範囲に大きな違いがある。そのため、A/D 変換器の要求仕様は実際の SNDR 以上に厳しくなってしまう。

### 2.4.2 VGA によるダイナミックレンジの緩和

この問題を解決するため、これまで見てきた受信機の構成のように、A/D 変換器の前に VGA が挿入される。VGA は A/D 変換器の入力レベルを揃えるように利得を変え、A/D 変換器が常に良好な SNDR が得られる領域のみを使用するように動作する。

図 2.12 に VGA 挿入による振幅一定化の概要を示す。RF フロントエンド側の入力  $P_{\text{in}}$  は利得  $G_{\text{RF}}$  によって増幅されて VGA に入力される。VGA は、RF フロントエンド側で要求  $\text{SNDR}_{\text{min}}$  を満たす範囲について、VGA の出力  $P_3$  が凡そ一定になるように動作する。このとき、A/D 変換器の入力範囲は非常に小さくなり、 $\text{SNDR}_{\text{min}}$  を十分達成でき

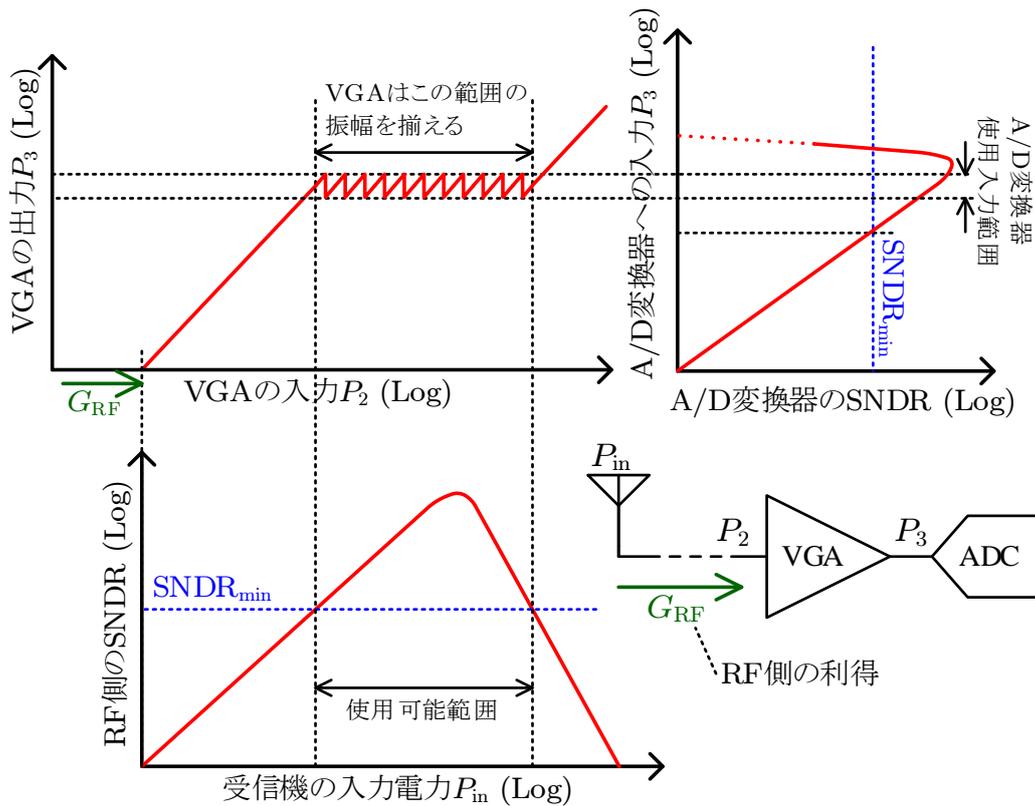


図 2.12: VGA による振幅一定化

る領域でのみ動作する。したがって、A/D 変換器は非常に限られた入力範囲内で十分な SNDR を達成すれば、必要な要件を満たすことができる。

ただし、当然ながら VGA は使用する入力範囲で要求される SNDR を達成していなければならない。加えて入力範囲を全てカバーするだけの可変利得レンジが要求される。増幅器一段で得られる利得及び可変利得範囲は限られており、近年の微細プロセスでは 10 dB 程度、大きくても 20 dB 程度の値となる。そのため、可変利得化した増幅器をカスケード接続して VGA を構成することになる。実際に [17] では 40 dB 近い可変利得範囲を要求されており、その実現のために 4 個の可変利得化した増幅器をカスケード接続して使用している。

### 2.4.3 DC オフセット

そのような高い利得を実現する VGA では、DC オフセットが問題となる。図 2.13(a) に、VGA の入力オフセット電圧  $V_{os}$  を考慮した回路を示す。このオフセット電圧は主に

デバイスミスマッチによって生じ、VGA や LPF などの回路の他、Mixer からも混入する。A/D 変換器の入力部分では  $G_V V_{os}$  となり、VGA の利得によって大きな成分となる。例えば  $V_{os} = 10 \text{ mV}$  かつ  $G_V = 40 \text{ dB}$  のケースでは、A/D 変換器の入力部分で  $1 \text{ V}$  程度の DC オフセットとなってしまう、正常な動作は期待できない。

この問題に対する一般的な解決方法は、図 2.13(b) に示すようなオフセットキャンセルループの挿入である。このオフセットキャンセルループは、VGA に出力側から伝達関数  $A(s)$  を持つ補助アンプを介して帰還をかけて構成される。補助アンプにも同様に入力オフセット  $V_{os,A}$  を想定すると、このシステムは図 2.14 のブロック線図で表現することができる。図より、

$$V_{out} = G_V \{V_{in} + V_{os} - A(s) (V_{out} + V_{os,A})\} \tag{2.27}$$

であるから、

$$\begin{aligned} V_{out} &= \frac{G_V}{1 + G_V A(s)} (V_{in} + V_{os}) - \frac{G_V A(s)}{1 + G_V A(s)} V_{os,A} \\ &= H(s) (V_{in} + V_{os}) + H_A(s) V_{os,A} \end{aligned} \tag{2.28}$$

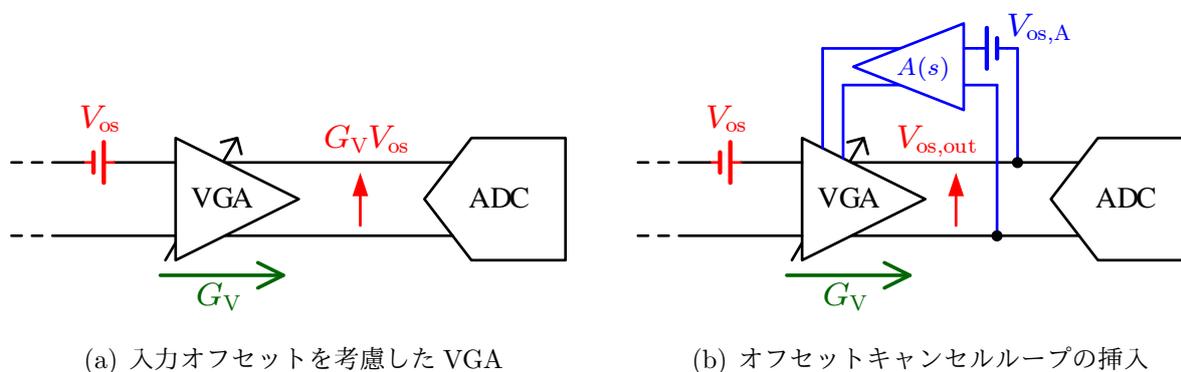


図 2.13: DC オフセットの影響とオフセットキャンセルループ

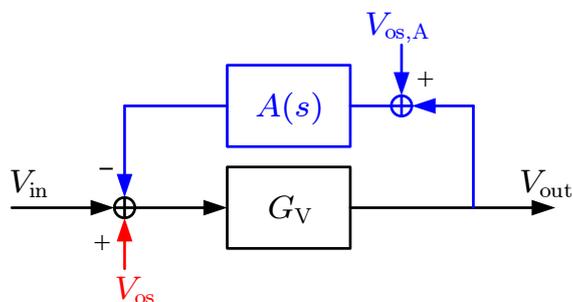


図 2.14: オフセットキャンセルループのブロック線図

と整理できる。

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_A}} \quad (2.29)$$

とすると、それぞれの伝達関数は、

$$H(s) = \frac{G_V}{1 + G_V A_0} \frac{1 + \frac{s}{\omega_A}}{1 + \frac{s}{(1 + G_V A_0)\omega_A}} \approx \frac{1}{A_0} \frac{1 + \frac{s}{\omega_A}}{1 + \frac{s}{G_V A_0 \omega_A}} \quad (2.30)$$

$$H_A(s) = -\frac{G_V A_0}{1 + G_V A_0} \frac{1}{1 + \frac{s}{(1 + G_V A_0)\omega_A}} \approx -\frac{1}{1 + \frac{s}{G_V A_0 \omega_A}} \quad (2.31)$$

と表される。ただし  $G_V A_0 \gg 1$  として近似した。

図 2.15 にそれぞれの周波数特性を示す。ここで  $f_A$  は  $\omega_A = 2\pi f_A$  の関係を持つ補助アンプのカットオフ周波数である。DC 側において  $H(s)$  の利得は補助アンプの利得の逆数となり、 $V_{os}$  によって生じる出力側のオフセット電圧は  $A_0$  で抑制される。その後補助アンプ側のカットオフ周波数から利得の上昇が始まり、低域側カットオフ周波数は  $G_V A_0 f_A$  となる。一方、 $H_A(s)$  は DC 側で  $H_A(0) = -1$  であり、高周波側で減衰する特性となる。このときのカットオフ周波数は  $G_V A_0 f_A$  であり、 $H(s)$  と同じ位置に極を持つ。

最終的な DC 成分は、

$$V_{os,out} = \frac{V_{os}}{A_0} - V_{os,A} \quad (2.32)$$

となり、図 2.13(a) と比較して、 $V_{os}$  の影響は大きく減じられる。一方で  $V_{os,A}$  は抑制されること無く、出力 DC オフセットとして残留する点に注意が必要である。負数の形を

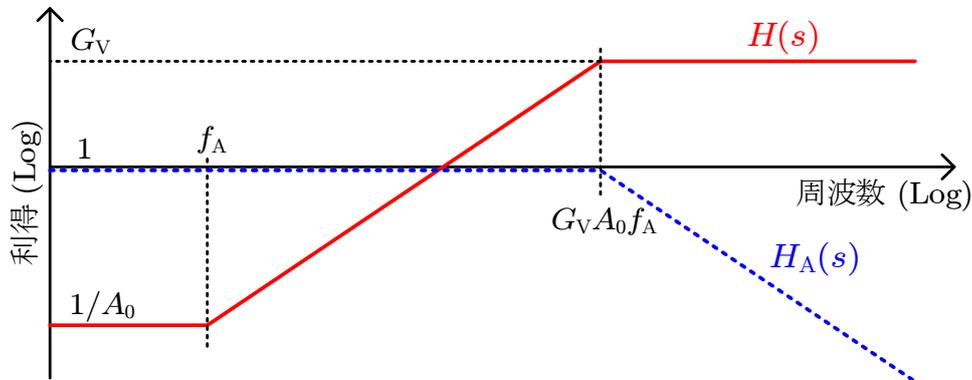


図 2.15: 各伝達関数の周波数特性

とるのは、図 2.13(b) の  $V_{os,A}$  を打ち消すためには、 $V_{os,out}$  において符号を反転させる必要があるためと解釈できる。

以上のように、オフセットキャンセルループは DC オフセットの問題を解決するが、メインパスの伝達関数を変化させてしまうという欠点が指摘できる。  $H(s)$  は  $V_{in}$  から  $V_{out}$  までの伝達関数でもあるため、オフセットキャンセルループによる低域側の抑制は、メインパスを通る主信号成分にも影響を及ぼす。通信品質の劣化を避けるためには、この低域遮断周波数をデータレートの 0.1%以下に抑える必要があるとされる [27]。

DC 側のカットオフ周波数は  $G_V A_0 f_A$  であるため、DC オフセットを軽減のため  $A_0$  を大きくするか、VGA の利得  $G_V$  が大きい場合は、この周波数が高くなってしまう。そのため、 $f_A$  を極力小さくするように補助アンプを設計しなければならない。補助アンプのカットオフ周波数を  $R, C$  などの受動素子のみで作成すると大きな素子値が必要となり、外付け部品が必要となる場合がある。一方、能動素子を使用したフィルタ構成などを使用することで、小さい容量値で低いカットオフ周波数を構成する手法も検討されている [28, 29]。

## 2.5 フィルタと妨害波

無線通信において所望の帯域以外の信号が混入すると SNR が劣化してしまい、通信品質の低下につながってしまう。フィルタで妨害波を除去することによって、A/D 変換器の要求仕様は緩和される。実際の受信機システムの例を用いて、アナログベースバンド回路に用いるフィルタと A/D 変換器の仕様を検討する。

### 2.5.1 60GHz 帯ミリ波受信機の場合

60GHz 帯では、隣接チャネルの信号が妨害波として考えられる。隣接チャネル信号の混入は、主に A/D 変換器におけるエイリアシングによって生じる。

#### 2.5.1.1 アンチエイリアスフィルタ

図 2.16 のように、アナログベースバンド回路のフィルタで打ち消しきれなかった隣接チャネルの残留信号 A,B,C を想定する。これらはエイリアシングによって低周波側に移動し、DSP に入力される。DSP の内部には、デジタルフィルタによって実現されるチャンネル選択フィルタが存在し、急峻な減衰特性で所望波の帯域  $f_{BW}$  よりも高い信号を削る。このとき、A 及び B の信号はチャンネル選択フィルタで除去できるが、C の残留信

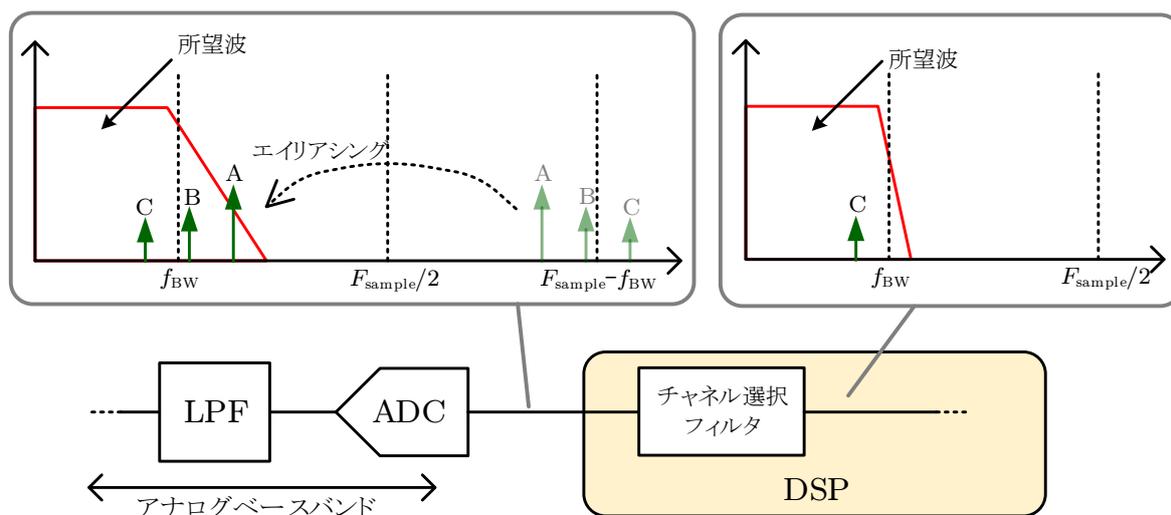


図 2.16: エイリアシングとチャンネル選択フィルタ

号はそのまま残留する。残留する隣接成分は図より、

$$f \geq F_{\text{sample}} - f_{\text{BW}} \quad (2.33)$$

の周波数成分を持っており、アナログベースバンド回路のフィルタはこの周波数以上の信号を十分減衰させることが求められる。このような隣接チャネルの抑圧仕様は Adjacent Channel Rejection (ACR) とよばれ、通常は通信方式によって定められているが、ここでは隣接チャネルが同程度の電力を持っていると仮定して、その影響について考察する。

実際のイメージを掴むために、図 2.17 に示す 60GHz 帯 (1ch 使用) を例に考える。ここでは簡単のため、フィルタのカットオフ周波数は  $f_{\text{cut}} = f_{\text{BW}}$  と設定する。 $n$  次のバターワース特性を想定すると、(2.33) 式の周波数における減衰率は、

$$|H(F_{\text{sample}} - f_{\text{BW}})|^2 = \frac{1}{1 + \left(\frac{F_{\text{sample}} - f_{\text{BW}}}{f_{\text{BW}}}\right)^{2n}} \quad (2.34)$$

と表される。隣接チャネルの電力密度が、現在使用しているチャネルと同程度の電力密度を持っている場合、エイリアシングで混入し分離できない残留成分は、

$$\begin{aligned} G_B &= \frac{1}{f_{\text{BW}}} \int_{F_{\text{sample}} - f_{\text{BW}}}^{\infty} |H(f)|^2 df \approx \frac{1}{f_{\text{BW}}} \int_{F_{\text{sample}} - f_{\text{BW}}}^{\infty} \left(\frac{f_{\text{BW}}}{f}\right)^{2n} df \\ &= \frac{1}{2n + 1} \left(\frac{f_{\text{BW}}}{F_{\text{sample}} - f_{\text{BW}}}\right)^{2n} \end{aligned} \quad (2.35)$$

の積分計算から求まる。

図 2.18 にこれらの特性を示す。フィルタ次数は  $n = 2, 4, 6$  の三種類を用いた。フィルタ次数が増えるごとに減衰特性は強化され、同じ減衰率を得るために必要なサンプリング周波数は減少する。後述のように、A/D 変換器のサンプリング周波数高速化は、消費電力の増加と SNDR の劣化によって達成される。したがって急峻な高次フィルタを用いることは、A/D 変換器の厳しい要求仕様を緩和することに繋がる。

ただし、高次の広帯域フィルタを設計することは容易ではない。フィルタ次数の増加は消費電力の増加と SNDR 劣化を招くため、今度はフィルタ側の性能劣化が問題となってしまう。図 2.19 に約 1GHz の帯域を持つフィルタについて、フィルタ次数で規格化を行った消費電力の比較を示す。一次のフィルタで換算した消費電力は要求 SNDR が上がるに連れて上昇し、 $n$  次のフィルタでは  $n$  倍の消費電力を必要とする。そのため、実際の 60GHz 帯ミリ波向け受信機に関する先行研究では、およそ 3 次から 6 次程度の次数のフィルタを実装しているケースが多い [19, 24–26]。

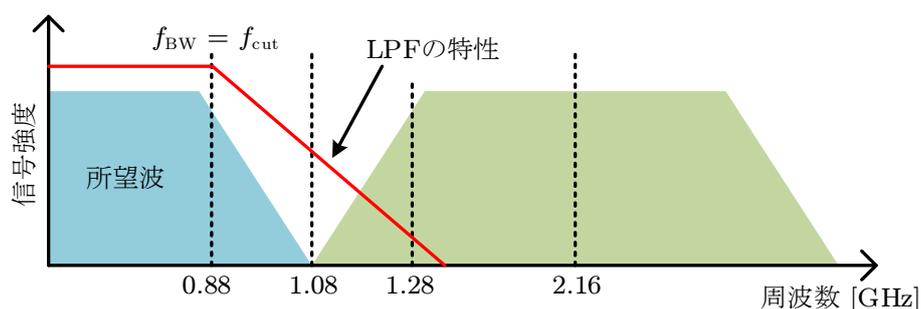
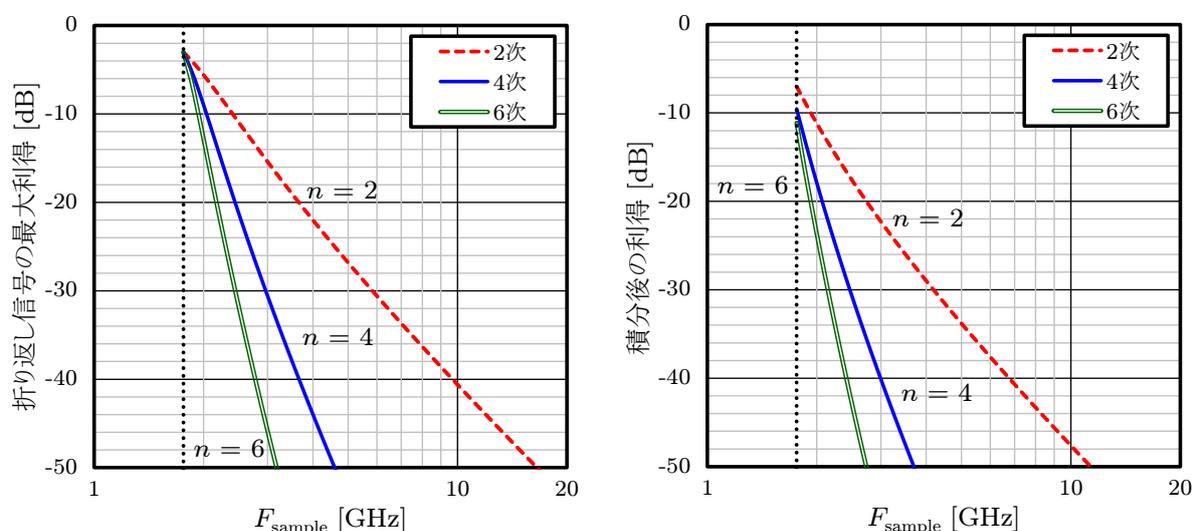


図 2.17: 60GHz 帯の隣接チャネル (ダウンコンバード後)



(a) (2.34) 式で表される最大利得

(b) (2.35) 式で表される積分後の利得

図 2.18: サンプリング周波数と折り返し成分の減衰

第7章で紹介する本研究のフィルタは、 $n = 4$ として設計を行う。このとき、隣接チャネルの信号に対する最終的な利得を  $-40$  dB 程度とするためには、 $F_{\text{sample}} \geq 3$  GSps 程度の A/D 変換器が必要となる。

### 2.5.1.2 レベルダイアグラムの検討

アナログベースバンド回路の仕様は、RF 側の回路の性能に大きく左右される。無線システムをシステムレベルで設計する際には、各セクションの性能をならべ、システム全体の性能を評価する目的でレベルダイアグラムが作成される。表 2.1 は、ある 60GHz

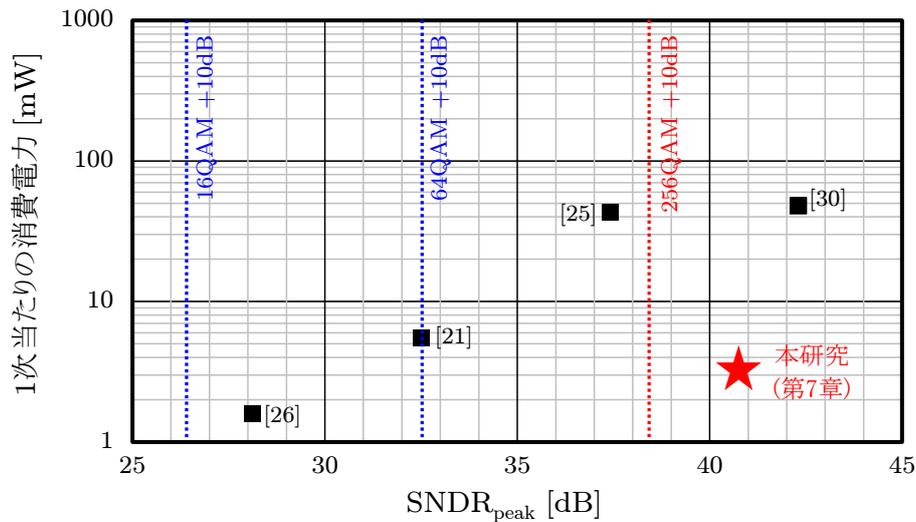


図 2.19: 約 1 GHz の帯域を持つフィルタの消費電力

帯ミリ波受信機のレベルダイアグラムである。この受信機システムは図 2.20 のような構成となっており、LPF や A/D 変換器などのアナログベースバンド素子が含まれていない。出力はアナログベースバンドに挿入された増幅器 (BB Amp.) の出力端子部分が相当し、この部分から測定装置につながることによってデータレートの品質を測定していた。1ch を使用した場合の最終的な SNDR は図 2.21 のようになり、256QAM の通信が可能な品質を持っている。

表 2.1 を見ると、Mixer までの利得は 19.2 dB 程度となり、アナログベースバンドの増幅器の雑音特性はシステムに大きな影響を与えていない。一方、線形性はベースバンドの増幅器によって大きく劣化しており、性能のボトルネックとなっていることが読み取れる。第 4 章で述べるように、増幅器の線形性を改善するためには消費電力の増加が必要であるが、ベースバンド部分の消費電力は既に 27.2 mW に達しており、受信機全体で見てもかなり大きな値となっている。ここにフィルタや A/D 変換器の消費電力が追加されることを考えると、消費電力の問題は更に厳しい。

加えて、追加するフィルタや A/D 変換器については SNDR<sub>peak</sub> の位置が問題となる。図 2.21 のグラフにおいて、SNDR<sub>peak</sub> が得られる入力振幅付近で SNDR が最大とならなければ、SNDR 特性は大きく劣化してしまう。振幅が揃っていない場合は、アナログベースバンド増幅器の利得を調整する必要がある。利得を下げる方向に関しては消費電力の増加無しに行えるため、表 2.1 のように全体の利得が 29.8 dB 以下の領域で SNDR が最大となるように後段の回路を設計する。

表 2.1: 60GHz 帯ミリ波受信機のレベルダイアグラムの例 [31]

Rx	LNA	RF Amp.	Mixer, BB Amp	合計
利得 [dB]	17.2	2.0	< 10.6	< 29.8
累計利得 [dB]	17.2	19.2	< 29.8	
Noise Figure (NF) [dB]	5.0	13.9	10.7	5.76
累計 NF [dB]	5.0	5.6	5.76	
IIP3 [dBm]	-8.9	11	0.6	-19.3
累計 IIP3 [dBm]	-8.9	-10.8	-19.3	
消費電力 (IQ 合計) [mW]		39.5	27.2	66.7

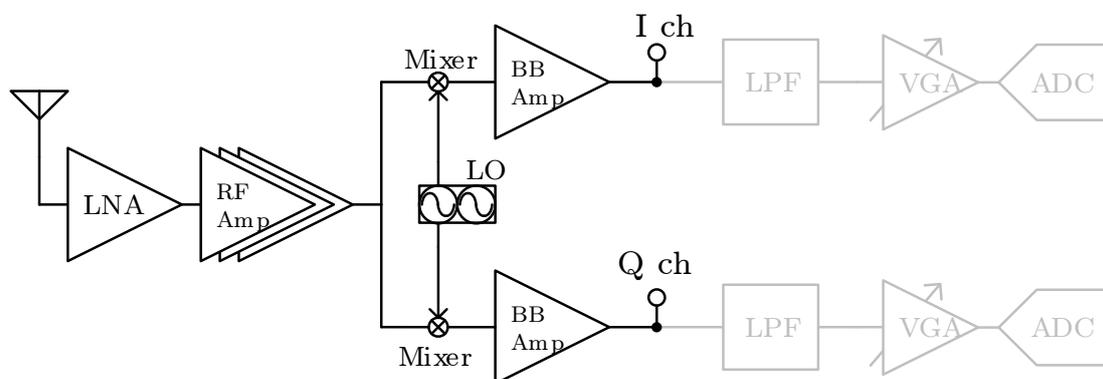


図 2.20: 表 2.1 の回路構成

第 7 章では、このシステムに使用するフィルタを検討する。詳しい設計条件等は改めて第 7 章に記載する。

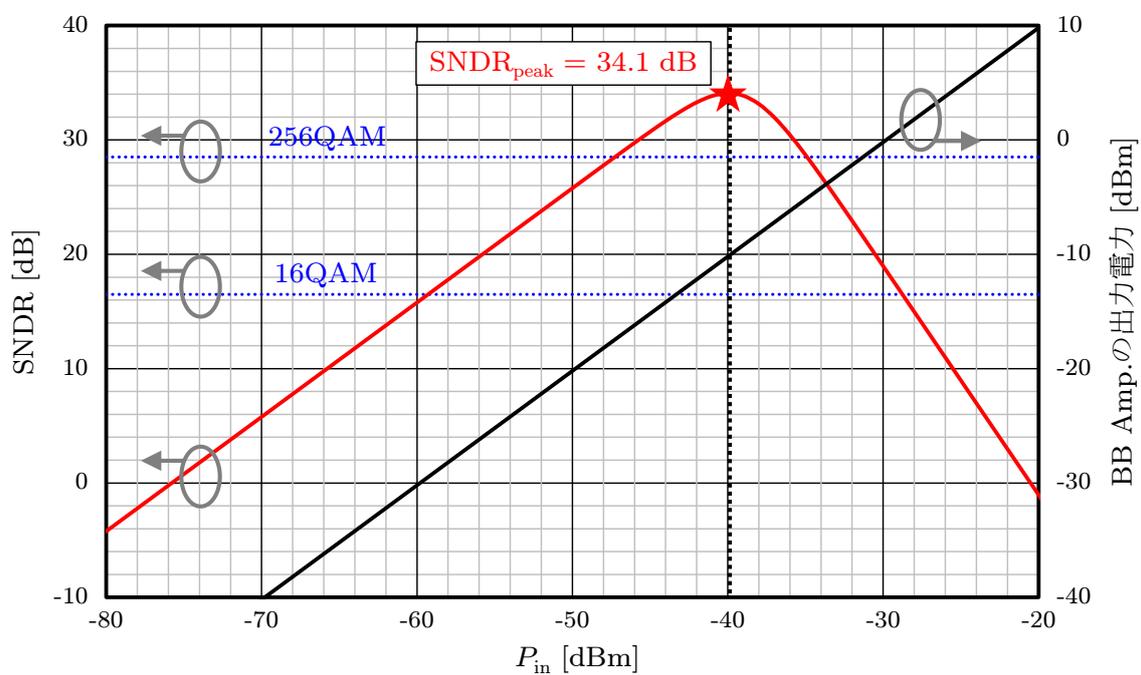


図 2.21: 受信回路の入力電力と SNDR (LPF・A/D 変換器無し)

### 2.5.2 LTE 受信機の場合

現代における高速な無線通信の一つに、LTE が挙げられる。我が国においても殆どのスマートフォンや多くのタブレット端末が LTE に対応しており、移動体通信における重要な無線通信規格となっている。この LTE が利用する 800MHz 帯及び 2GHz 帯は、アンテナ実装や回折特性などの観点で移動体通信に適しているとされており、多くの端末がこの帯域を利用して通信を行っている。

このような混雑した帯域では、使用する周波数帯に近い電力の大きい妨害波（近接妨害波）が問題となる。妨害波が比較的遠方に存在する場合は、60GHz 帯の例のようにアンチエイリアスフィルタを設計し、A/D 変換器に所望波以外の信号を入れないように設定すればよい。しかしながら、所望波の帯域付近に大きな妨害波が存在する場合、アンチエイリアスフィルタでは落とさきれず、大きな妨害波がそのまま A/D 変換器に入力されてしまうという問題が生じる。

図 2.22 は近接妨害波を考慮した受信機の例である。遠方の妨害波はアナログベースバンド回路のフィルタによって減衰するが、所望波  $P_S$  のすぐそばに存在する妨害波  $P_B$  はほとんど減衰せず、そのまま A/D 変換器に入力されてしまう。ただし、DSP 内部のチャンネル選択フィルタによってこの妨害波成分は除去されるため、A/D 変換が正常に行われれば後に分離することが可能である。

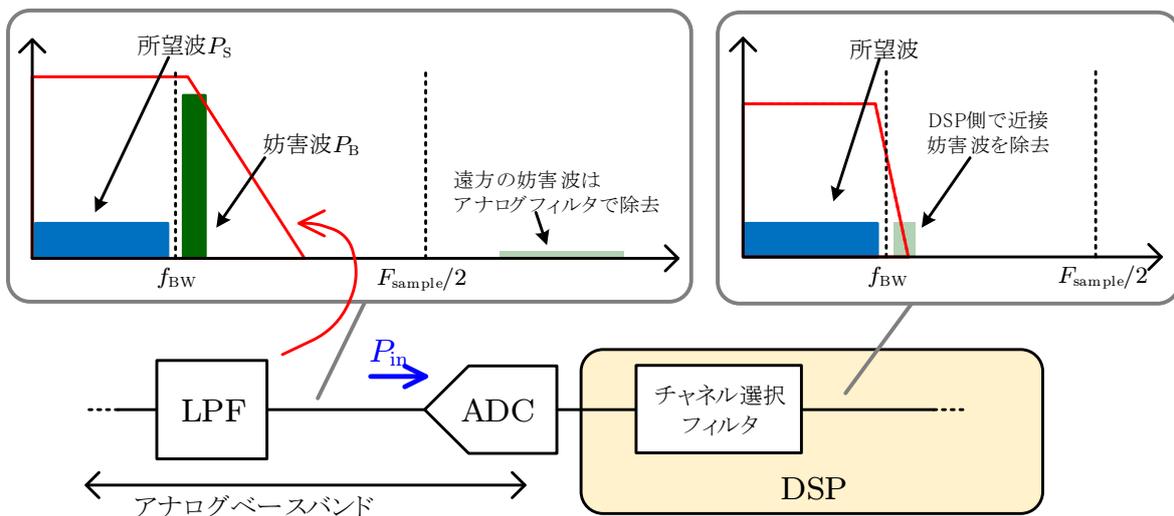


図 2.22: 近接妨害波を考慮した受信機

このときの A/D 変換器に対する要求仕様を検討する。A/D 変換器への入力電力は、

$$P_{in} \approx P_S + P_B \quad (2.36)$$

となる。ただし、A/D 変換器におけるそれぞれの電力の関係は図 2.23 のようになっており、

$$P_B = P_S + 35 \text{ [dBm]} \quad (2.37)$$

の関係がある [22]。A/D 変換器は、この妨害波電力を最大入力レベルにおさめている必要があるため、所望波は A/D 変換器の最大入力レベルに対し 35 dB より更に低い位置に存在する。A/D 変換器以外の雑音が無視できたと仮定すると、最終的な SNR は次のように表される。

$$\text{SNR} = P_B - 35 - P_N < \text{DR} - 35 \text{ [dB]} \quad (2.38)$$

ここで DR は 2.4.1 節で言及した A/D 変換器のダイナミックレンジであり、A/D 変換器が 0 dB 以上の SNDR を達成する入力範囲である。したがってこのケースでは、A/D 変換器は大きな信号入力を受けつつ、小さな雑音特性を持たなければならない。(2.26) 式を用いて DR を  $\text{SNDR}_{\text{peak}}$  に置き換えると、

$$\text{SNDR}_{\text{peak}} > \text{SNR} + 32 \text{ [dB]} \quad (2.39)$$

となり、A/D 変換器には受信機全体の要求 SNDR 以上の非常に高い SNDR が要求されることが確認できる。このような近接妨害波の影響により、LTE 向けの用途では 60 から

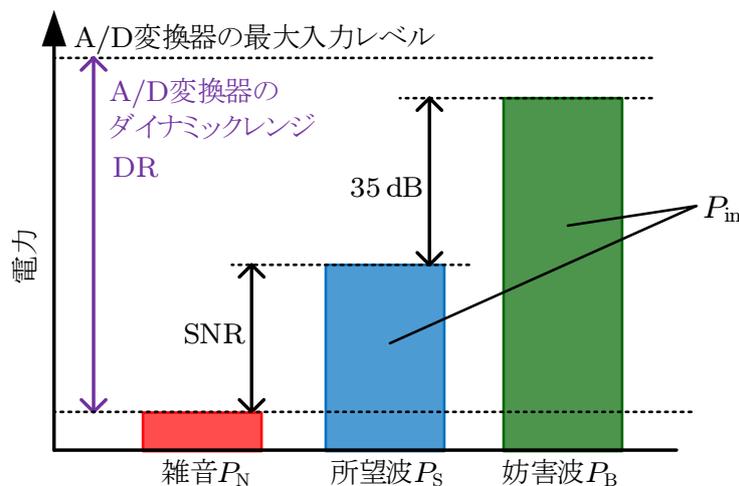


図 2.23: 電力の大小関係

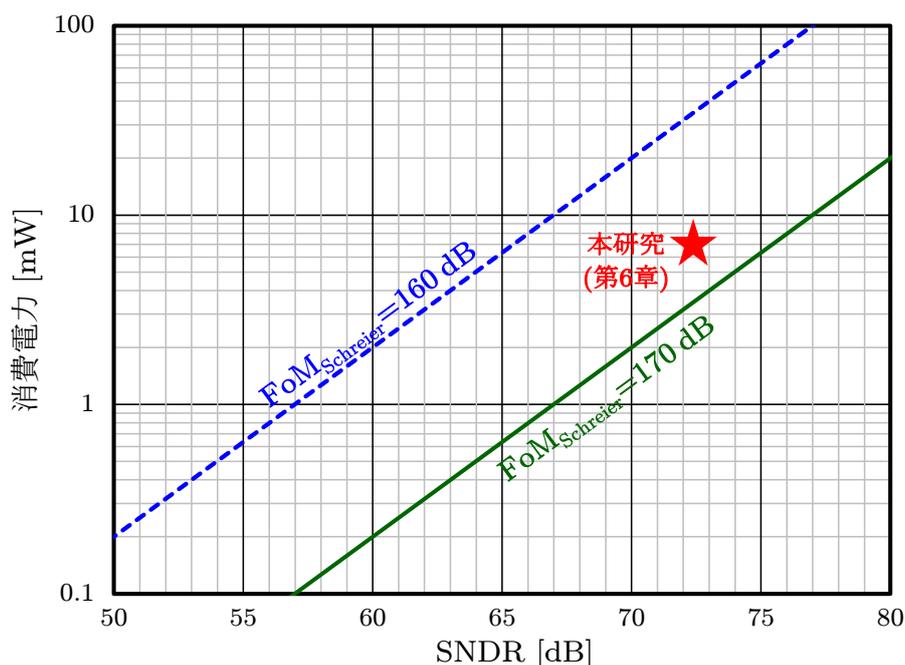


図 2.24:  $FoM_{Schreier}$  の考えに基づく消費電力と SNDR の関係 (20MHz 帯域)

70 dB 程度の SNDR を持つ A/D 変換器が必要とされる [22, 32]. A/D 変換器の SNDR がこの要求仕様よりも更に高い場合は, A/D 変換器の前に挿入される振幅調整のための VGA を省略または簡略化できるため, 受信機全体の簡素化及び低消費電力化に寄与できる.

しかしながら  $FoM_{Schreier}$  の定義に従えば, SNDR を上げるためには A/D 変換器の消費電力の増加が避けられない. 図 2.24 は,  $FoM_{Schreier}$  の定義による消費電力と SNDR の関係を示したものである. LTE 向けに開発される多くの A/D 変換器はおおよそ 160 ~ 170 dB の FoM を達成しているため, 二本の線の間が実際の使用領域と考えられる. SNDR の増加に対し消費電力は大きく増加しており, 70 dB の SNDR を越える A/D 変換器の実現には, 少なくとも数 mW の消費電力が必要である. そのため, LTE 受信機のアナログベースバンド回路では A/D 変換器の電力効率を改善することが非常に重要である. 本論文では第 6 章にて, LTE 受信機向けの A/D 変換器である連続時間型  $\Delta\Sigma$  A/D 変換器の検討を行う.

## 2.6 A/D 変換器とドライバ回路

A/D 変換器は無線通信の受信機その他、センサーなどにも用いられる回路である。無線通信の受信機においては、LPF や VGA で処理したアナログ信号をデジタル信号に変換し、DSP に送る役割を担う。

### 2.6.1 サンプリング周波数

広帯域な無線通信で使用する場合は、A/D 変換器のサンプリング周波数は高くなければならない。エイリアシングを考慮すると、信号帯域に対して少なくとも二倍以上のサンプリング周波数が必要である。

図 2.25 に、A/D 変換器の主要なアーキテクチャとその性能領域を示す。なお、ビット数  $N$  は SNDR に対し、

$$\text{SNDR} = 6.02N + 1.76 \quad [\text{dB}] \quad (2.40)$$

の関係がある。高速無線通信では、サンプリング周波数の高いナイキスト A/D 変換器が重要であるため、パイプライン型 [33,34] やフラッシュ型 [5,17,35,36] がよく用いられる。また、低消費電力かつ小面積な A/D 変換器である逐次比較型 (SAR) A/D 変換器

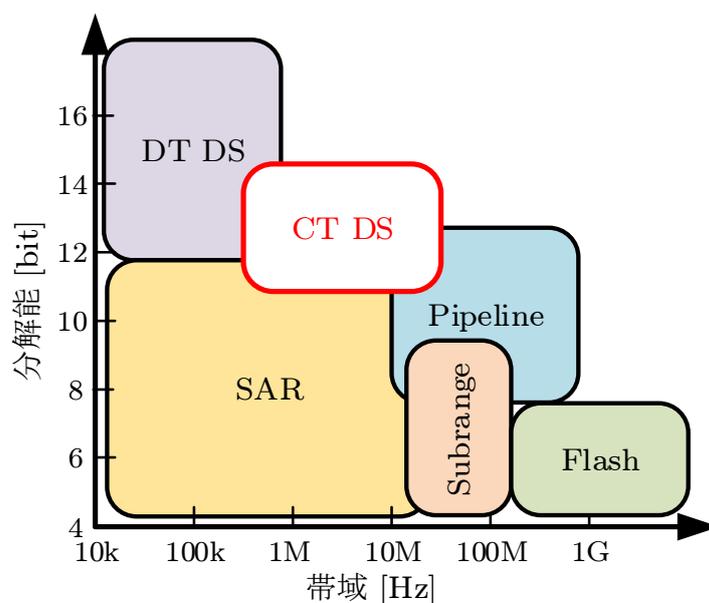
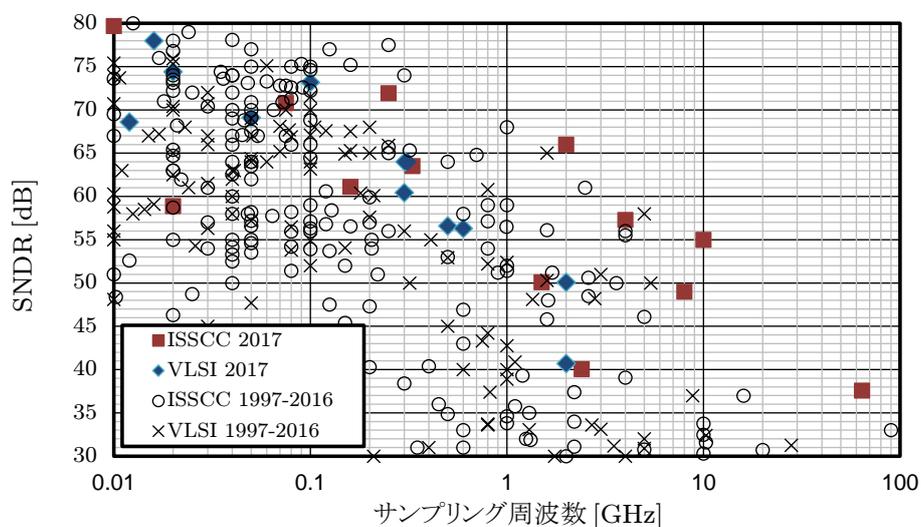


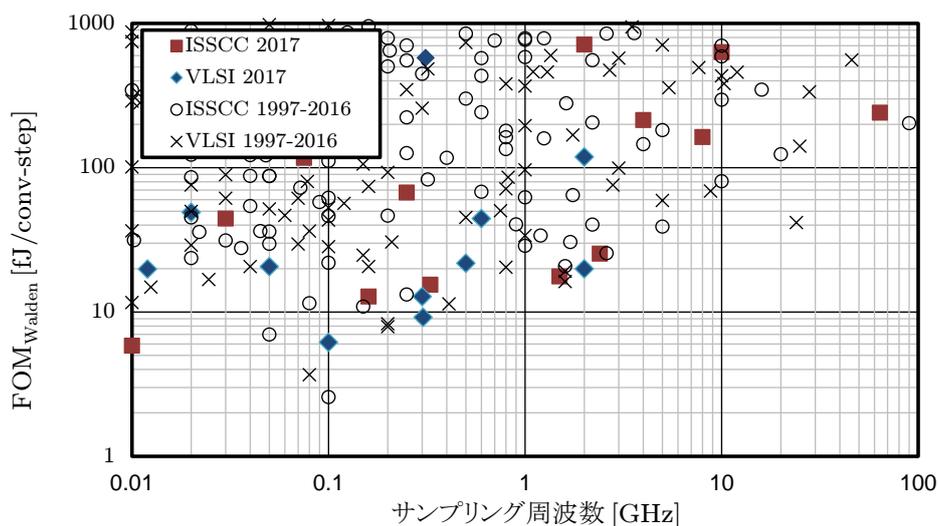
図 2.25: A/D 変換器の主要なアーキテクチャ

を並列に並べ、実効的なサンプリング周波数を高めて使用する場合もある [37,38]. LTE や LTE-Advanced などの 100 MHz を下回る信号帯域の無線通信では、連続時間型  $\Delta\Sigma$  A/D 変換器 (CT  $\Delta\Sigma$ ) も選択肢に入る.

一般的に、A/D 変換器のサンプリング周波数高速化は、消費電力や SNDR を犠牲にして達成される. 図 2.26 は主要な学会で発表された A/D 変換器の性能をプロットしたものである. ただし、サンプリング周波数はナイキスト A/D 変換器に対するものである. オーバーサンプリング A/D 変換器に対しては信号帯域の二倍をサンプリング周波数と



(a) SNDR



(b) 電力効率

図 2.26: A/D 変換器の性能とサンプリング周波数 [39]

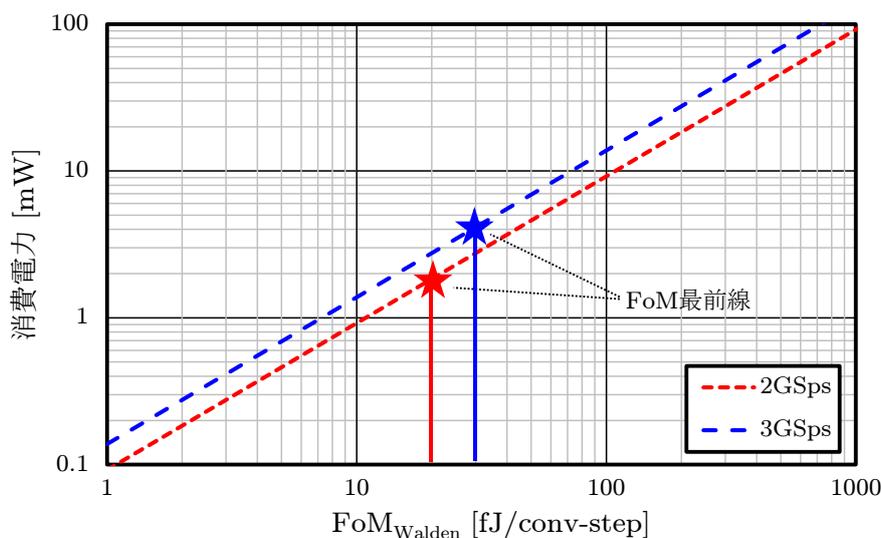


図 2.27: SNDR = 35 dB で換算した  $FoM_{Walden}$  と消費電力

読み替えてプロットしている。まずサンプリング周波数に対する SNDR を見ると、周波数が高くなるに連れて SNDR が下がっていく傾向が見られる。10 MHz 付近では 80 dB 程度の SNDR の報告が多数存在するが、1 GHz を越える部分については僅かな例外を除いて、殆どの報告は 60 dB を下回る SNDR である。2 GHz 以上では更に下がり、50 dB 付近に報告が集中している。一方、電力効率を図 2.26(b) に示す  $FoM$  でうかがい知ることができる。この  $FoM$  は帯域が異なる性能に対しても平等に評価でき、主に SNDR の低い回路での比較によく用いられる指標である。グラフから、SNDR の場合と同様に、サンプリング周波数が高いほど  $FoM$  が劣化していく様子が見られる。このように、A/D 変換器の高速化は消費電力の増加や SNDR の劣化を招いてしまう。

図 2.27 は、SNDR = 35 dB とした時の  $FoM_{Walden}$  と消費電力の関係を示したグラフである。仮に  $FoM_{Walden}$  が消費電力及び SNDR に対してスケーリング可能であるならば、 $FoM$  の最前線は 3GSps において 5 mW 程度となる。

## 2.6.2 サンプリングの問題

A/D 変換を行うためには、容量を用いてアナログ信号をサンプリングし、一定時間ホールドしなければならない。このサンプリングの際に混入する雑音をサンプリング雑音と呼ぶ。図 2.28 のようなサンプリングの回路を考える。ここで  $R$  は、A/D 変換器を

ドライブする回路の出力インピーダンスやスイッチのオン抵抗を仮定している。一方、 $C$  は A/D 変換器のサンプリング容量を表している。このときに混入する雑音成分は、

$$P_n = \overline{v_{n,R}^2} \int_0^\infty \left| \frac{1}{1 + j2\pi fCR} \right|^2 df = \frac{kT}{C} \quad (2.41)$$

となり、容量のみに依存する。したがって、この雑音を小さくするためにはより大きなサンプリング容量が必要となる。図 2.29 に、差動構成を考慮したサンプリング雑音に対する SNR を示す。入力差動振幅は 0.2, 0.5, 1 Vpp の三種類を想定している。非常に高い SNR を得るためには、大きなサンプリング容量か、大振幅の入力信号が必要である。ただし、近年の微細プロセスでは電源電圧が低く、1 Vpp のような大きな差動電圧振幅を得るのは困難である。小さな振幅で SNR を得るためには、大きなサンプリング容量をドライブする必要が有る。

しかしながら、サンプリング容量の増加はセトリング特性の劣化を引き起こす。高速な A/D 変換を行う場合、A/D 変換器のサンプリング容量にサンプリングするための時間が短くなる。サンプリング周波数  $F_{\text{sample}}$  に対し、サンプリングに費やせる時間  $T_{\text{sample}}$  は、

$$T_{\text{sample}} < \frac{1}{F_{\text{sample}}} \quad (2.42)$$

と表すことができる。図 2.28(b) の回路において、 $t = 0$  でサンプリングを開始したと仮定すると、

$$V_{\text{sample}}(t) = \left(1 - e^{-\frac{t}{\tau}}\right) \cdot V_{\text{out}} \quad (2.43)$$

である。ただし、 $V_{\text{sample}}(0) = 0$  を仮定し、 $\tau = CR$  とした。  $T_{\text{sample}}$  におけるセトリング誤差  $\epsilon_{\text{error}}$  は次のように表される。

$$\epsilon_{\text{error}}(T_{\text{sample}}) = e^{-\frac{T_{\text{sample}}}{\tau}} < e^{-\frac{1}{F_{\text{sample}}\tau}} \quad (2.44)$$

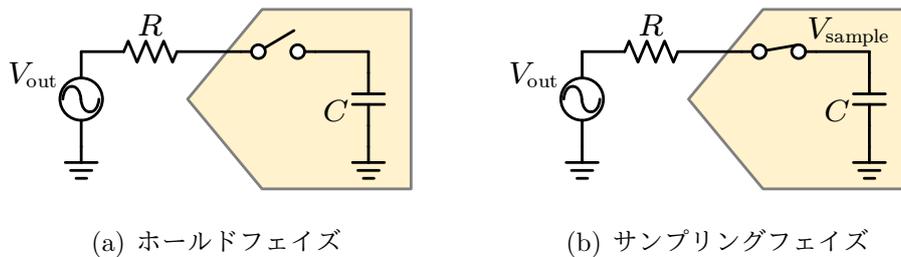


図 2.28: サンプリングのモデル

すなわち、 $\tau = CR$  が大きい場合、あるいは  $T_{\text{sample}}$  が小さい場合、セトリングの誤差は大きくなってしまふ。図 2.30 に時定数  $\tau$  とセトリング誤差の関係を示す。一方、ある  $\epsilon_{\text{error}}$  以下を達成するための  $R$  の条件は、

$$R = -\frac{T_{\text{sample}}}{C \ln \epsilon_{\text{error}}} \quad (2.45)$$

である。

これらの問題を理解するため、一例として  $0.5 \text{ V}_{\text{pp}}$  の入力振幅に対し、 $50 \text{ dB}$  程度の SNDR を達成する A/D 変換器を想定する。まず図 2.29 から、設計マージンをとってサンプリング容量を  $300 \text{ fF}$  とする。一方、サンプリング周波数を  $2 \text{ GHz}$  とし、サンプリング時間を  $400 \text{ psec}$  と設定する。サンプリングのセトリング誤差を  $0.01$  未満とすると、(2.45) 式より  $R < 100 \Omega$  が導かれる。このような低い出力抵抗を実現することは非常に困難である。4.4.2 節で後述するが、出力抵抗と増幅器に必要な消費電力は反比例の関係にあり、上記の条件でも  $10 \text{ mW}$  程度の消費電力が必要となってしまう。このように、サンプリング周波数の増加は、アナログフロントエンド回路の設計を難しくする要因となっている。

実際はサンプリング雑音の他に、A/D 変換器に用いられるコンパレータなどの熱雑音も SNR を劣化させる要因となる。したがって、このシステムで SNR を改善するためには、A/D 変換器に大きな入力振幅を送るのが適切である。ただし、大きな振幅を取り扱うためには、アナログベースバンド回路を構成する増幅器に高い線形性が求められる。

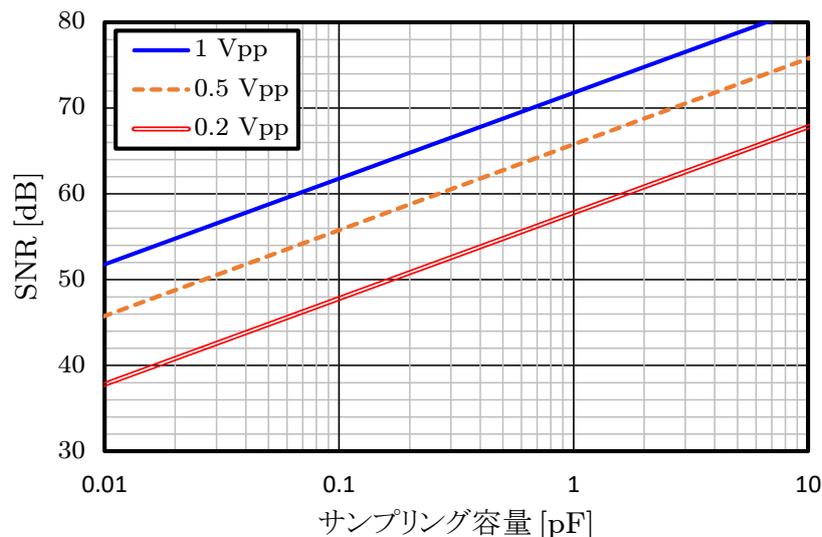


図 2.29: サンプリング雑音と SNR

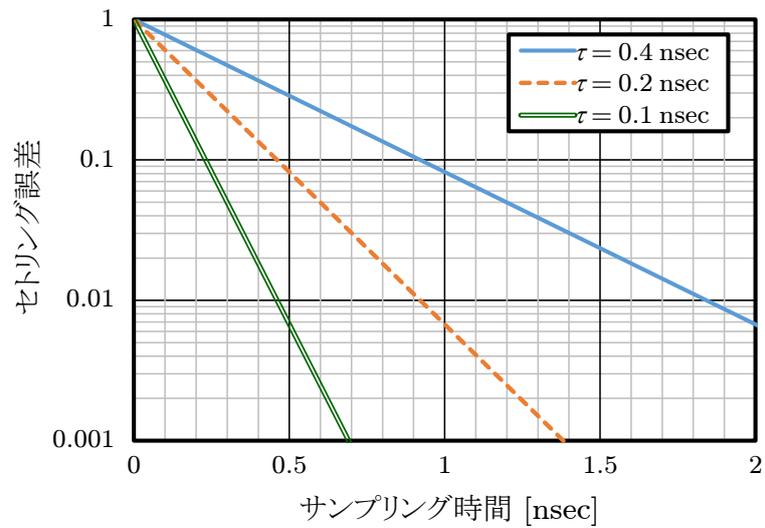


図 2.30: セトリング誤差

特に電源電圧の低いプロセスにおいてこの問題はより顕著となる。

なお、連続時間型  $\Delta\Sigma$  A/D 変換器では、このサンプリングに関する諸問題を解決することができる。詳しくは第6章で述べる。

## 2.7 まとめ

最後に、本章をまとめる。

■無線通信の高速化 高速無線通信を行うためには、多値変調による通信や通信帯域の広帯域化が有効であるが、多値変調では送受信機を通して高い SNDR が必要であり、アナログベースバンド回路にも高い SNDR が求められる。

一方、通信に使用する帯域の広帯域化は、アナログベースバンド回路の広帯域化が必要となる。また、MIMO では複数のアンテナと送受信回路を使うことで、通信帯域を広げずに通信を高速化することができるが、回路規模や消費電力も問題となるため、できるだけ簡単に低消費電力な回路によってアナログベースバンド回路を構成することが望ましい。

■60GHz 帯ミリ波受信機のフィルタ アナログベースバンド回路では、アンチエイリアスのために 4 次程度の急峻なアナログフィルタが用いられる。しかしながら、広帯域なフィルタにおいて高次のフィルタを構成するためには、消費電力の増加が問題となる。約 1 GHz 帯域のフィルタの従来研究では、256QAM 水準を満たすフィルタは、フィルタ一次あたりの消費電力が 30 mW を上回っており、受信機全体で見ても無視できないほど大きい。広帯域フィルタについては、第 7 章で議論する。

■LTE 受信機の A/D 変換器 LTE では近接妨害波の影響が大きく、アンチエイリアスフィルタで除去する方法は現実的ではない。そのため、A/D 変換後のチャンネル選択フィルタで近接妨害波を除去することになる。このとき A/D 変換器は大きな妨害波を入れた状態で適切な A/D 変換を行う必要が有るため、60 ~ 70 dB 程度の非常に大きなダイナミックレンジが要求される。この仕様を満たす A/D 変換器については、第 6 章で検討する。

■A/D 変換器 A/D 変換器の高速化には消費電力の増加や、SNDR の劣化が伴うという問題がある。加えて、サンプリング雑音とセトリング特性はトレードオフの関係があり、改善を図るためには信号の振幅を大きくして入力しなければならない。したがって、アナログフロントエンド回路には上記の要求に加え、高い線形性が必要である。

これらを踏まえると、より広帯域なアナログベースバンド回路には、高い SNDR、線形性と低消費電力、広帯域などが求められる。本論文では、アナログベースバンド回路

を構成する増幅器について第 3 章, 第 4 章及び第 5 章で議論する.

## 参考文献

- [1] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [2] J. Crols and M. S. J. Steyaert, “Low-IF topologies for high-performance analog front ends of fully integrated receivers,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, no. 3, pp. 269-282, March 1998.
- [3] Behzad Razavi, 黒田忠宏 監訳, 「RF マイクロエレクトロニクス」, 丸善, 2002.
- [4] P. R. Kinget, “Device Mismatch and Tradeoffs in the Design of Analog Circuits,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [5] T. Tsukizawa, N. Shirakata, T. Morita, K. Tanaka, J. Sato, Y. Morishita, M. Kanemaru, R. Kitamura, T. Shima, T. Nakatani, K. Miyanaga, T. Urushihara, H. Yoshikawa, T. Sakamoto, H. Motozuka, Y. Shirakawa, N. Yosoku, A. Yamamoto, R. Shiozaki, and N. Saito, “A fully integrated 60GHz CMOS transceiver chipset based on WiGig/IEEE802.11ad with built-in self calibration for mobile applications,” *IEEE International Solid-State Circuits Conference*, pp. 230-231, Feb. 2013.
- [6] J. Pang, S. Maki, S. Kawai, N. Nagashima, Y. Seo, M. Dome, H. Kato, M. Katsuragi, K. Kimura, S. Kondo, Y. Terashima, H. Liu, T. Siriburanon, A. T. Narayanan, N. Fajri, T. Kaneko, T. Yoshioka, B. Liu, Y. Wang, R. Wu, N. Li, K. K. Tokgoz, M. Miyahara, K. Okada, and A. Matsuzawa, “A 128-QAM 60GHz CMOS transceiver for IEEE802.11ay with calibration of LO feedthrough and I/Q

- imbalance,” IEEE International Solid-State Circuits Conference, pp. 424-425, Feb. 2017.
- [7] G. Moore, “No exponential is forever: But ‘Forever’ can be delayed!,” IEEE International Solid-State Circuits Conference, pp. 21-23, Feb. 2003.
- [8] Intel, “Moore’s Law,” [Online]. Available:  
<http://www.intel.com/research/silicon/mooreslaw.htm>
- [9] 総務省, 「電波資源拡大のための研究開発の実施」, [Online]. Available:  
<http://www.tele.soumu.go.jp/j/sys/fees/purpose/kenkyu/index.htm>
- [10] S. Wong and C. A. T. Salama, “Impact of Scaling on MOS Analog Performance,” IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- [11] P. R. Kinget, “Device Mismatch and Tradeoffs in the Design of Analog Circuits,” IEEE Journal of Solid-State Circuits, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [12] L. Zheng and D. N. C. Tse, “Diversity and multiplexing: a fundamental tradeoff in multiple-antenna channels,” IEEE Transactions on Information Theory, vol. 49, no. 5, pp. 1073-1096, May 2003.
- [13] V. Giannini, P. Nuzzo, C. Soens, K. Vengattaramane, J. Ryckaert, M. Goffioul, B. Debaillie, J. Borremans, J. V. Driessche, J. Craninckx, and M. Ingels, “A 2-mm<sup>2</sup> 0.15 GHz Software-Defined Radio Receiver in 45-nm Digital CMOS,” IEEE Journal of Solid-State Circuits, vol. 44, no. 12, pp. 3486-3498, Dec. 2009.
- [14] R. Chen and H. Hashemi, “A 0.5-to-3 GHz Software-Defined Radio Receiver Using Discrete-Time RF Signal Processing,” IEEE Journal of Solid-State Circuits, vol. 49, no. 5, pp. 1097-1111, May 2014.
- [15] I.-C. Lu, C.-y. Yu, Y.-h. Chen, L.-c. Chuo, C.-h. E. Sun, C.-C. Tang, and G. Chien, “A SAW-less GSM/GPRS/EDGE receiver embedded in a 65nm CMOS SoC,” IEEE International Solid-State Circuits Conference, pp. 364-366, Feb. 2011.
- [16] D. Murphy, H. Darabi, A. Abidi, A. A. Hafez, A. Mizaei, M. Mikhemar, and M.-C.

- F. Chang, "A Blocker-Tolerant, Noise-Cancelling Receiver Suitable for Wideband Wireless Applications," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 12, pp. 2943-2963, Dec. 2012.
- [17] M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm<sup>2</sup> analog baseband circuits for 60 GHz wireless transceiver in 40 nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 495-498, June 2012.
- [18] Y. Wang, C. Hull, G. Murata, and S. Ravid, "A linear-in-dB analog baseband circuit for low power 60GHz receiver in standard 65nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 225-228, June 2013.
- [19] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," *IEEE International Solid-State Circuits Conference*, pp. 348-349, Feb. 2014.
- [20] G. Mangraviti, K. Khalaf, Q. Shi, K. Vaesen, D. Guermendi, V. Giannini, S. Brebels, F. Frazzica, A. Boundoux, C. Soens, W. V. Thillo, and P. Wambacq, "A 4-antenna-path beamforming transceiver for 60GHz multi-Gb/s communication in 28nm CMOS," *IEEE International Solid-State Circuits Conference*, pp. 246-247, Feb. 2016.
- [21] P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," *European Solid-State Circuits Conference*, pp. 350-353, Sep. 2010.
- [22] S. Loeda, J. Harrison, F. Pourchet, and A. Adams, "A 10/20/30/40 MHz Feedforward FIR DAC Continuous-Time  $\Delta\Sigma$  With Robust Blocker Performance for Radio Receiver," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 4, pp. 860-870, April 2016.

- [23] M. Andersson, M. Anderson, L. Sundström, S. Mattisson, and P. Andreani, "A Filtering  $\Delta\Sigma$  ADC for LTE and Beyond," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 7, pp. 1535-1547, July 2014.
- [24] A. Pezzotta, M. De Matteis, S. D'Amico, and A. Baschirotto, "A CMOS-28nm 880-MHz 4th-order low-pass active-RC filter for 60 GHz transceivers," *Conference on Ph.D. Research in Microelectronics and Electronics*, pp. 261-264, June 2013.
- [25] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," *IEEE Transactions on VLSI Systems*, vol.19, no.2, pp.175-181, Feb. 2011.
- [26] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschirotto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 1-4, June 2011.
- [27] B. Razavi, "Design considerations for direct-conversion receivers," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, no. 6, pp. 428-435, Jun. 1997.
- [28] Y. Zheng, J. Yan, and Y. P. Xu, "A CMOS VGA With DC Offset Cancellation for Direct-Conversion Receivers," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 1, pp. 103-113, Jan. 2009.
- [29] M. Elmala, B. Carlton, R. Bishop, and K. Soumyanath, "A 1.4V, 13.5mW, 10/100MHz 6th order elliptic filter/VGA with DC-offset correction in 90nm CMOS [WLAN applications]," *IEEE Radio Frequency integrated Circuits Symposium*, pp. 189-192, June 2005.
- [30] X. Zhu, Y. Sun, and J. Moritz, "A CMOS 750MHz fifth-order continuous-time linear phase lowpass filter with gain boost," *IEEE International Symposium on Circuits and Systems*, pp. 900-903, May 2008.
- [31] 永島 典明, 「64QAM による 4 チャンネルボンディングを実現する 60GHz 帯無線受信回路の研究」, 東京工業大学大学院 理工学研究科 電子物理工学専攻 修士論文

- (未刊行), 2016.
- [32] V. Mm, R. Paily and A. Mahanta, "Power Optimization of LNA for LTE Receiver," International Conference on VLSI Design and International Conference on Embedded Systems, pp. 162-167, Jan. 2016.
- [33] A. Verma, and B. Razavi, "A 10-Bit 500-MS/s 55-mW CMOS ADC," IEEE Journal of Solid-State Circuits, vol. 44, no. 11, pp. 3039-3050, Nov. 2009.
- [34] M. Miyahara, H. Lee, D. Paik, and A. Matsuzawa, "A 10b 320 MS/s 40 mW open-loop interpolated pipeline ADC," Symposium on VLSI Circuits, pp. 126-127, June 2011.
- [35] M. Miyahara, I. Mano, M. Nakayama, K. Okada, and A. Matsuzawa, "A 2.2GS/s 7b 27.4mW time-based folding-flash ADC with resistively averaged voltage-to-time amplifiers," IEEE International Solid-State Circuits Conference, pp. 388-389, Feb. 2014.
- [36] J. I. Kim, W. Kim, B. Sung, and S. T. Ryu, "A time-domain latch interpolation technique for low power flash ADCs," IEEE Custom Integrated Circuits Conference, pp. 1-4, Sept. 2011.
- [37] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digital CMOS," IEEE International Solid-State Circuits Conference, pp. 76-77,77a, Feb. 2009.
- [38] C. H. Chan, Y. Zhu, S. W. Sin, U. S.-Pan and, R. P. Martins, "A 5.5mW 6b 5GS/S  $4 \times$  -Interleaved 3b/cycle SAR ADC in 65nm CMOS," IEEE International Solid-State Circuits Conference, pp. 1-3, Feb. 2015.
- [39] B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.



## 第 3 章

# オペアンプと負帰還増幅回路

オペアンプを用いた負帰還増幅回路は、今日においても最も基本的で重要なアナログ回路の一つである。アナログベースバンド回路でも古くから用いられ、増幅器のみならず、ミキサ回路やフィルタ回路などにも応用される。本章では増幅器の特性から負帰還増幅回路へ至るアイデアと、それを実現するためのオペアンプについて述べる。

### 3.1 増幅器と線形性

まずはじめに増幅器の導入として、増幅器と線形性の関係について述べる。

飽和領域のトランジスタは、次に示す二乗則の式によって電流が決まる。

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{eff}^2 \left( 1 + \frac{V_{DS}}{V_A} \right) \quad (3.1)$$

ここで  $\mu$  は移動度、 $C_{ox}$  はゲートの単位容量、 $W, L$  はそれぞれチャネルの幅・長さ、 $V_A$  はアーリー電圧を表す。また、 $V_{DS}$  はドレイン・ソース間電圧、 $V_{eff}$  は有効ゲート電圧を表し、この内  $V_{eff}$  はしきい値電圧  $V_{th}$  とゲート・ソース間電圧の  $V_{GS}$  を用いて次のように表される。

$$V_{eff} = V_{GS} - V_{th} \quad (3.2)$$

近年の微細プロセスでは、キャリアの速度飽和などによって (3.1) 式と厳密には一致しないが、本論文では計算を簡単にするために上記の二乗則を用いて解析を行う。

最も基本的な増幅回路の一つに、図 3.1(a) に示すソース接地回路がある。また図 3.1(b) はその小信号等価回路である。図中の  $g_{m1}$  と  $g_{d1}$  はそれぞれトランジスタ M1 のトランスコンダクタンスとドレインコンダクタンスであり、トランスコンダクタンスとドレイ

ンコンダクタンスはトランジスタを流れる電流  $I_D$  と次の関係を持つ。

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2I_D}{V_{\text{eff}}} \quad (3.3)$$

$$g_d = \frac{\partial I_D}{\partial V_{DS}} = \frac{I_D}{V_A + V_{DS}} \quad (3.4)$$

小信号等価回路より、この回路の利得は、

$$v_{\text{out}} \left( \frac{1}{R_L} + g_{d1} \right) + v_{\text{in}} g_{m1} = 0 \quad (3.5)$$

を整理して、

$$A_V = \frac{v_{\text{out}}}{v_{\text{in}}} = - \frac{g_{m1}}{\frac{1}{R_L} + g_{d1}} \quad (3.6)$$

となる。

続いて、小信号等価回路を用いずに回路の利得を算出し、 $V_{\text{in}}$  と  $V_{\text{out}}$  の正確な関係を求める。トランジスタ M1 を流れる電流を  $I_{D1}$  とし、簡単のため係数  $K$  を用いて次のように置く。

$$I_{D1} = K V_{\text{eff}1}^2 \left( 1 + \frac{V_{DS1}}{V_A} \right) = K (V_{\text{in}} - V_{\text{th}})^2 \left( 1 + \frac{V_{\text{out}}}{V_A} \right) \quad (3.7)$$

ただし、ここで

$$K = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} \quad (3.8)$$

である。電源電圧を  $V_{DD}$  とおくと、 $V_{\text{out}}$  は

$$V_{\text{out}} = V_{DD} - I_{D1} R_L \quad (3.9)$$

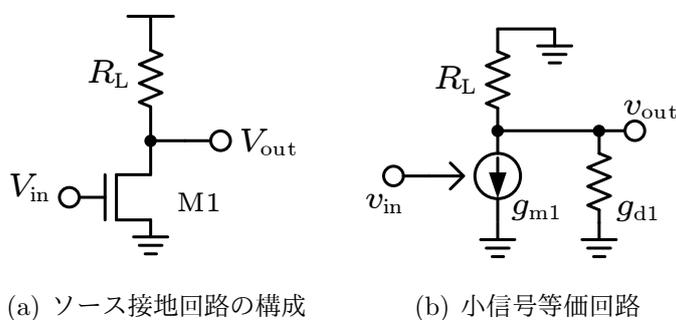


図 3.1: ソース接地回路

であり, (3.7) 式を代入し, 整理すると,

$$V_{\text{out}} = V_{\text{DD}} - KR_L (V_{\text{in}} - V_{\text{th}})^2 \left(1 + \frac{V_{\text{out}}}{V_A}\right)$$

$$V_{\text{out}} = \frac{V_{\text{DD}}}{1 + \frac{KR_L}{V_A} (V_{\text{in}} - V_{\text{th}})^2} \quad (3.10)$$

となる. 最後に (3.10) 式の右辺をテイラー展開し,  $V_{\text{out}}$  と  $V_{\text{in}}$  の関係式を得る.

$$V_{\text{out}} \approx V_{\text{DD}} \left\{ 1 - \frac{V_A}{KR_L} (V_{\text{in}} - V_{\text{th}})^2 + \frac{V_A^2}{K^2 R_L^2} (V_{\text{in}} - V_{\text{th}})^4 \right\} \quad (3.11)$$

(3.11) 式のように, 実際の  $V_{\text{out}}$  と  $V_{\text{in}}$  の関係は線形ではなく, 高次の非線形成分を含む.

ところで, 実際の回路では, 図 3.2 に示すような差動構成を採用することが多い. まず入力電圧は, 入力コモン電圧  $V_{\text{com}}$  と差動電圧  $\Delta V_{\text{in}} > 0$  を用いて,

$$V_{\text{inp}} = \Delta V_{\text{in}} + V_{\text{com}} \quad (3.12)$$

$$V_{\text{inn}} = -\Delta V_{\text{in}} + V_{\text{com}} \quad (3.13)$$

とする. また, 入力トランジスタのソース側の電位は  $V_{\text{scom}}(\Delta V_{\text{in}})$  とする. この時,  $V_{\text{scom}}(\Delta V_{\text{in}})$  は差動回路の対称点の電位であるため, 偶関数となる. また簡単のため, チャネル長変調効果を無視して M1, M2 それぞれで電流式を立てる.

$$I_0 + \frac{\Delta V_{\text{out}}}{R_L} = K \{ \Delta V_{\text{in}} + V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}}) \}^2 \quad (3.14)$$

$$I_0 - \frac{\Delta V_{\text{out}}}{R_L} = K \{ -\Delta V_{\text{in}} + V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}}) \}^2 \quad (3.15)$$

ただし,  $I_0$  は  $\Delta V_{\text{in}} = 0$  の時の電流, ここで  $\Delta V_{\text{out}}$  は出力端に生じる電位変動,  $V_{\text{th}}$  は M1, M2 のしきい値電圧を表す. まず (3.14) 式と (3.15) 式の差をとり,

$$\frac{\Delta V_{\text{out}}}{R_L} = 2K \Delta V_{\text{in}} \{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}}) \} \quad (3.16)$$

を得る. また, (3.14) 式を展開すると,

$$I_0 + \frac{\Delta V_{\text{out}}}{R_L} = K \left[ \Delta V_{\text{in}}^2 + 2\Delta V_{\text{in}} \{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}}) \} + \{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}}) \}^2 \right] \quad (3.17)$$

となる. この式を (3.16) 式を用いて整理する.

$$I_0 = K \left( \Delta V_{\text{in}}^2 + \frac{\Delta V_{\text{out}}^2}{4K^2 R_L^2 \Delta V_{\text{in}}^2} \right) \quad (3.18)$$

(3.18) 式を  $\Delta V_{\text{out}}$  について解く.

$$\Delta V_{\text{out}} = 2R_L \Delta V_{\text{in}} \sqrt{K(I_0 - K\Delta V_{\text{in}}^2)} \quad (3.19)$$

さらにテイラー展開を用いて,  $\Delta V_{\text{in}} = 0$  周りで  $\Delta V_{\text{out}}$  を五次の項まで展開すると,

$$\begin{aligned} \Delta V_{\text{out}} &\approx 2R_L \sqrt{I_0 K} \Delta V_{\text{in}} - \frac{K^{\frac{3}{2}} R_L}{\sqrt{I_0}} \Delta V_{\text{in}}^3 - \frac{K^{\frac{5}{2}} R_L}{4I_0^{\frac{3}{2}}} \Delta V_{\text{in}}^5 \\ &= g_{m1} R_L \Delta V_{\text{in}} - \frac{2K^2 R_L}{g_{m1}} \Delta V_{\text{in}}^3 - \frac{2K^4 R_L}{g_{m1}^3} \Delta V_{\text{in}}^5 \\ &= \frac{2I_0 R_L}{V_{\text{eff}}} \Delta V_{\text{in}} - \frac{I_0 R_L}{V_{\text{eff}}^3} \Delta V_{\text{in}}^3 - \frac{I_0 R_L}{4V_{\text{eff}}^5} \Delta V_{\text{in}}^5 \end{aligned} \quad (3.20)$$

となる. ただし,

$$V_{\text{eff}} = \sqrt{\frac{K}{I}} \quad (3.21)$$

$$g_{m1} = \frac{2I_0}{V_{\text{eff}}} = 2\sqrt{KI_0} \quad (3.22)$$

として整理した. (3.20) 式によると, 出力に現れる歪は奇数次だけである. これは差動回路における利点の一つであり, 対称な構成をもつ差動回路では偶数次の歪がキャンセルされるため, 主たる非線形成分は多くの場合, 三次の項による. 非線形性分の評価の方法の一つに, 一次と三次の係数の比をとるものがある. 図 3.2 の回路の場合は, (1.1) 式の定義に従って,

$$\left| \frac{a_3}{a_1} \right| = \frac{1}{8V_{\text{eff}}^2} \quad (3.23)$$

であり, この値が小さいほど歪が少なく, 線形性が良い回路と言える.

以上のように, トランジスタを用いた増幅回路は非線形性を持つが, その原因はトランジスタの電流式が二次であり, チャネル長変調効果などを含めてトランジスタのパラメータが動作点に応じて変化してしまうことによる. 例えば  $g_m$  は (3.3) 式のように, トランジスタの電流と有効ゲート電圧によって決まるが, ソース接地回路では入力電圧の変動が有効ゲート電圧の変動を起こし, 加えて M1 のトランスコンダクタンスによって生じる電流変化によってトランジスタを流れる電流量も変化するため, 入力電圧に依存して  $g_{m1}$  が大きく変動してしまう. (3.6) 式によれば, ソース接地回路の利得は  $g_{m1}$  に大きく依存しているため, 回路の利得も入力電圧によって変化してしまい, (3.11) 式のような高調波の歪成分が生じると説明される.

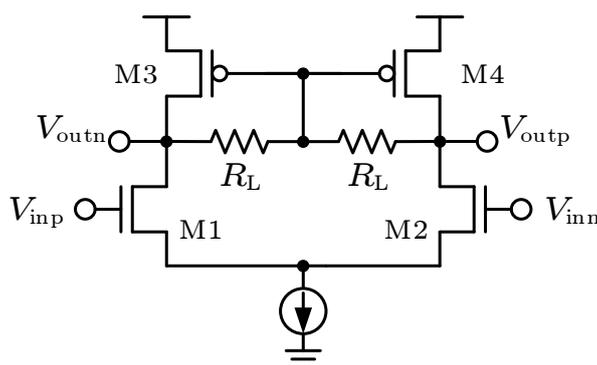


図 3.2: 差動構成の採用

また (3.23) 式は  $V_{\text{eff}}$  が大きいほど線形性が向上することを示している。利得を直接決めている  $g_{m1}$  は、 $\Delta V_{\text{in}}$  に対して次のように感度を持つ。

$$\frac{\partial g_{m1}}{\partial V_{\text{in}}} \approx \frac{\partial g_{m1}}{\partial V_{\text{eff}}} = -\frac{2I_0}{V_{\text{eff}}^2} \quad (3.24)$$

すなわち、 $V_{\text{eff}}$  が大きくなるほどゲート・ソース間の電圧変動が相対的に小さく見え、その結果  $g_{m1}$  の変動が抑えられ、線形性の向上につながると考えられる。

線形性の良い増幅器を設計するためには、出来る限りトランジスタの回路パラメータに依存しない利得が得られる構成、またはトランジスタの回路パラメータの変動が少ない回路を採用するべきである。

増幅器によって生じる歪は信号の品質を劣化させてしまうため、線形性を改善する手法について様々な技術が検討されてきた。実際に線形性を向上させるアプローチとして、3つの手法が考えられる。まず第一の手法は、何らかの方法で増幅器への入力を小さくし、間接的に回路内のトランジスタのパラメータ変動を抑える方法である。非線形成分は高次の項であるため、入力電圧が小さいほどはその影響は小さくなる。したがって、入力電圧範囲を制限し、小さい範囲で使用するほど線形性は向上すると考えられる。本章で述べる負帰還増幅器は、このアプローチによって高い線形性を実現している。

第二の手法は、トランジスタの動作点を保つことでパラメータの変動を直接的に抑える方法である。例えばソース接地回路では、入力電圧の変動によって入力トランジスタの  $V_{\text{eff}}$  が変動してしまっていたが、何らかの方法でソース側の電位を入力電圧の変動に追従させれば、 $V_{\text{eff}}$  は一定となり、 $g_m$  の変動をある程度抑制することができる。本章 3.5 節で述べる電流帰還型や、第 4 章で述べるオープンループ型アンプの多数は、このアプローチに対応している。

第三の手法は、何らかの方法で歪をキャンセルする方法である。詳しくは第 5 章の 5.1.3 節で述べる。

## 3.2 負帰還増幅回路技術

負帰還増幅回路は、高利得なオペアンプを用いた負帰還回路技術によって実現される増幅器である。アナログベースバンド回路を構成する重要な回路技術として、狭帯域な用途を中心に用いられている。

### 3.2.1 基本構成

具体的な負帰還増幅回路として、図 3.3 に示すような反転増幅回路や正転増幅回路などがある。この形式の増幅器では、フィードバック係数によって利得が決まる。反転増幅回路を例にとると、オペアンプの利得を  $A_0$  としたとき回路全体の利得は、

$$G_V = -\frac{R_2}{R_1} \frac{1}{\frac{1}{A_0} \left( \frac{R_2}{R_1} + 1 \right) + 1} \quad (3.25)$$

となり、オペアンプの利得が十分に大きい場合は

$$G_V \approx -\frac{R_2}{R_1} \quad (3.26)$$

と近似され、抵抗の比によって利得が決まる。この性質は非常に有益であり、オペアンプを構成するトランジスタのパラメータが変動し、オペアンプの利得  $A_0$  が変化した場合でも、回路全体としての利得は殆ど影響を受けないことを意味する。また、最終的な利得が抵抗の比によって決まるため、抵抗全体のプロセスばらつきに対してもロバストである。

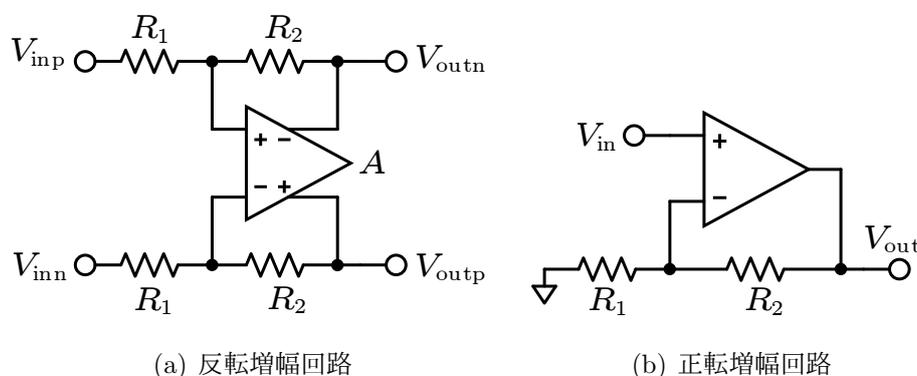


図 3.3: オペアンプを用いた負帰還増幅器

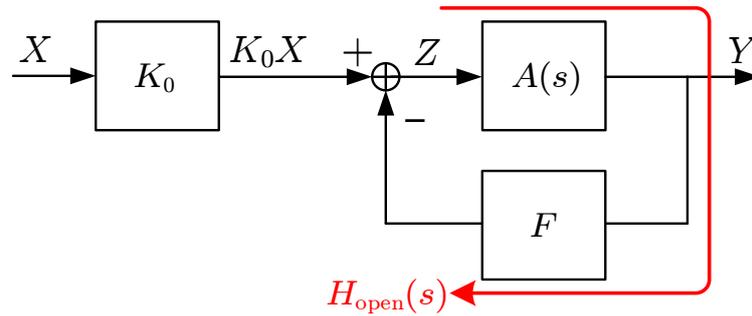


図 3.4: 負帰還システムのブロック線図

しかしながら、この回路が正常に動作するためにはある程度高い利得を持つオペアンプが必要である。図 3.3(a) において、オペアンプの入力端における差動電圧は、

$$\begin{aligned} V_{xp} - V_{xn} &= \frac{V_{\text{outp}} - V_{\text{outn}}}{A_0} \\ &= \frac{R_2}{R_1} \frac{1}{\frac{R_2}{R_1} + 1 + A_0} (V_{\text{inp}} - V_{\text{inn}}) \end{aligned} \quad (3.27)$$

と表される。 $A_0$  が十分大きいとき、 $V_{xp} \approx V_{xn}$  が成立する。この作用を仮想短絡と呼ぶ。したがって、オペアンプの利得が高いほどオペアンプの入力差動電圧が小さくなり、その結果オペアンプ内部のトランジスタのパラメータが殆ど変化せず、一定の利得が得られるのである。反対にもしこの差動入力電圧が大きくなれば、負帰還のメリットである高い線形性が実現できなくなる。そのため、オペアンプには非常に高い利得が求められる。

### 3.2.2 周波数特性

負帰還が期待通りの動作をするためには、各周波数において高い利得が維持されていなければならない。ただし、実際のオペアンプには周波数特性が有り、帯域は制限される。図 3.4 に負帰還システムのブロック線図を示す。 $A(s)$  は周波数特性を考慮したオペアンプの利得であり、

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_{p1}}} \quad (3.28)$$

とする。ただし、 $\omega_{p1}$  はオペアンプのドミナントポールの角周波数であり、第二ポール以降は簡単のため無視する。 $F$  は減衰器の利得を表し、通常は抵抗や容量などの受動素

子で構成される。図 3.3(a) または図 3.3(b) の場合は,

$$F = \frac{R_1}{R_1 + R_2} \quad (3.29)$$

である。一方,  $K_0$  は入力から帰還地点までの利得である。図 3.3(a) では,

$$K_0 = -\frac{R_2}{R_1 + R_2} \quad (3.30)$$

であり, 図 3.3(b) の場合は,

$$K_0 = 1 \quad (3.31)$$

である。X から Y までの利得は,

$$\begin{aligned} H(s) &= \frac{K_0 A(s)}{1 + A(s)F} = \frac{K_0}{F} \frac{1}{1 + \frac{1 + s/\omega_{p1}}{A_0 F}} \\ &\approx \frac{K_0}{F} \frac{1}{1 + \frac{s}{A_0 F \omega_{p1}}} \end{aligned} \quad (3.32)$$

と表される。

(3.32) 式によれば, オペアンプの持つ極  $\omega_{p1}$  により, 負帰還システム全体の伝達関数にも極が生じ, 負帰還増幅回路の帯域は制限される。また, システムとして伝達関数を維持できる帯域は  $\omega_{p1}$  ではなく, 常に  $A_0 \omega_{p1}$  または  $A_0 F \omega_{p1}$  という形で出現する。あるオペアンプを設計した際に, そのオペアンプがどの程度の帯域まで使用できるかを調べる際に便利であることから, オペアンプの周波数特性の評価には利得帯域幅積 (GBW, GB 積) と呼ばれる次の値を使用することが多い。

$$\text{GBW} = \frac{A_0 \omega_{p1}}{2\pi} = A_0 f_{p1} \quad (3.33)$$

後に示すが, この値はオペアンプの消費電流と強い相関を持つ。

ただし, (3.32) 式の帯域内で性能が常に維持されるとは限らない点に注意が必要である。  $A(s)$  の入力端の精度を見ると,

$$\begin{aligned} Z &= K_0 X - FY = K_0 \cdot \left( 1 - \frac{A(s)F}{1 + A(s)F} \right) X = \frac{K_0}{1 + A(s)F} X \\ &\approx \frac{K_0}{A_0 F} \frac{1 + \frac{s}{\omega_{p1}}}{1 + \frac{s}{A_0 F \omega_{p1}}} X \end{aligned} \quad (3.34)$$

となり、 $s = 0$  ではオペアンプの利得によって  $Z \approx 0$  となるが、 $\omega_{p1}$  以降ではゼロ点により、振幅抑制効果が劣化していく様子が確認できる。また、途中式に現れる  $A(s)F$  は、図 3.4 で定義される  $H_{\text{open}}$  でもあるから、

$$Z = \frac{K_0}{1 + H_{\text{open}}(s)} X \quad (3.35)$$

と表すことができる。ただし、

$$H_{\text{open}}(s) = A(s)F = \frac{A_0 F}{1 + \frac{s}{\omega_{p1}}} \quad (3.36)$$

である。 $H_{\text{open}}(s)$  は一巡伝達関数と呼ばれ、安定性の評価にも使用する重要な関数である。また  $H_{\text{open}}(0)$  をオープンループゲイン（開ループ利得、帰還利得）と呼び、DC 側における振る舞いを評価する際に使用することがある。(3.35) 式から、仮想短絡の精度を決めているのは一巡伝達関数であると理解することができる。したがって、 $H_{\text{open}}(s)$  の帯域が線形性が劣化する周波数を定めていることになる。ここで (3.32) 式の極と (3.34) 式のゼロ点を比較すると、後者は  $1/A_0 F$  だけ低い周波数に存在することがわかる。したがって、通常はシステム的な伝達関数の劣化よりも先に線型性の劣化が生じる。

これらの周波数をまとめたものを図 3.5 に示す。ただし、 $f_{p1} = \omega_{p1}/2\pi$  である。図中の  $f_u$  はユニティゲイン周波数であり、利得が 1 となる周波数である。 $H(s)$  が一次の伝達関数である場合、

$$f_u \approx \text{GBW} \quad (3.37)$$

となり、GB 積に依存する。

ところで、(3.35) 式では  $A(s)$  そのものではなく、 $A(s)F$  が仮想短絡に寄与している様子が確認できる。 $F$  は、最終的な負帰還回路の伝達特性を決めるパラメータであり、(3.32) 式より、 $H(0) \approx K_0/F$  である。すなわち、この形式の回路で高い利得を得るために  $F$  を小さくすると、 $H_{\text{open}}(s)$  が小さくなり、仮想短絡の精度が劣化してしまう。これは、 $A(s)$  の持つ利得の一部が  $H(s)$  として出現し、残りの余った利得（オペアンプの余剰利得）が仮想短絡の精度に使用されている、と考えると理解しやすい。このことから、負帰還増幅器でより利得の高い伝達関数を実現するためには、高い利得を持つオペアンプが必要であると言える。

このように、オペアンプには高い利得と高い GB 積が重要である。特に高い周波数信号を通す回路では、その帯域まで十分な利得を維持することが要求されるため、設計は非常に困難となる。

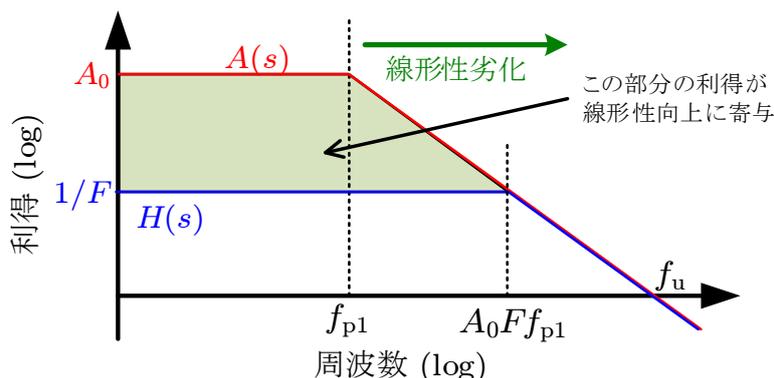


図 3.5:  $K_0 = 1$  における各周波数の関係

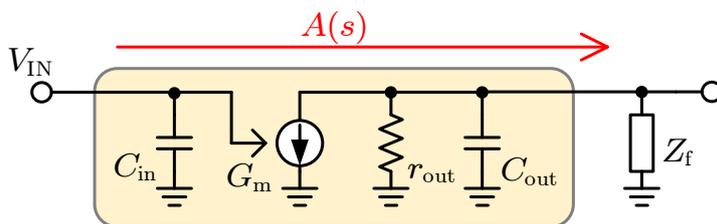


図 3.6: オペアンプのモデル化と利得

### 3.2.3 オペアンプの出力抵抗

図 3.4 では  $A(s)$  と  $F$  を分離して表現したが、厳密には  $A(s)$  と  $F$  は不可分である。そこで図 3.6 のような回路を考え、オペアンプの実際の利得  $A(s)$  を求める。ノートンの定理を用いて、オペアンプをトランスコンダクタンス  $G_m$  と出力抵抗  $r_{out}$  などに分解する。 $Z_f$  は、オペアンプを除く  $Y$  から見込んだインピーダンスをまとめたものである。図より、オペアンプの正味の利得  $A(s)$  は次のように求まる。

$$\begin{aligned}
 A(s) &= \frac{G_m}{\frac{1}{r_{out}} + Y_f + sC_{out}} = \frac{G_m r_{out}}{1 + Y_f r_{out} + sC_{out} r_{out}} \\
 &= \frac{G_m r_{out}}{1 + Y_f r_{out}} \frac{1}{1 + \frac{sC_{out} r_{out}}{1 + Y_f r_{out}}}
 \end{aligned} \tag{3.38}$$

ここで  $Y_f = 1/Z_f$  である。 $Z_f$  が  $s$  を含まないとき、

$$A_0 = \frac{G_m r_{out}}{1 + Y_f r_{out}} \tag{3.39}$$

$$\omega_{p1} = \frac{1 + Y_f r_{out}}{C_{out} r_{out}} \tag{3.40}$$

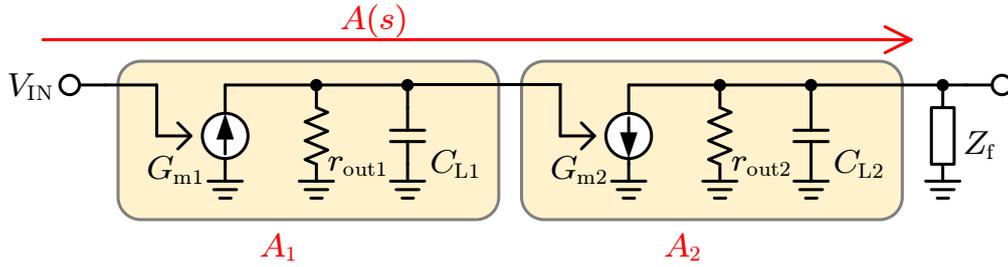


図 3.7: 二段オペアンプの採用

であり、 $Z_f$  が  $A(s)$  に影響を与えるという結果が得られる。 $Z_f \rightarrow \infty$  とすると、 $A_0$  及び  $\omega_{p1}$  はトランジスタに関するパラメータのみで決まるが、 $Z_f$  が小さくなると、その影響は徐々に大きくなり、 $r_{out} \gg Z_f$  の場合、

$$A_0 \approx G_m Z_f \quad (3.41)$$

$$\omega_{p1} \approx \frac{1}{C_{out} Z_f} \quad (3.42)$$

となる。このように、 $r_{out}$  に対して  $Z_f$  が小さい場合は利得の低下が生じてしまい、性能を維持することが難しくなる。オペアンプの高利得は通常  $r_{out}$  を大きくすることで達成されるため、特に精度の高い回路においてこの問題は深刻である。

### 3.2.4 二段オペアンプと位相補償

帰還部分のインピーダンスによる利得低下を避ける方法として、図 3.7 に示す二段オペアンプの採用が考えられる。一段目は  $Z_f$  から分離されるため、オペアンプ本来の利得が確実に得られる。二段目は高い利得を期待せず、大きな出力振幅が得られる単純なソース接地回路などがよく用いられる。この回路の  $A(s)$  は、

$$\begin{aligned} A(s) &= \frac{G_{m1} r_{out1}}{1 + s C_{L1} r_{out1}} \frac{G_{m2} r_{out2}}{1 + Y_f r_{out2}} \frac{1}{1 + \frac{s C_{L2} r_{out2}}{1 + Y_f r_{out2}}} \\ &= \frac{A_1}{1 + s C_{L1} r_{out1}} \frac{A_2}{1 + Y_f r_{out2}} \frac{1}{1 + \frac{s C_{L2} r_{out2}}{1 + Y_f r_{out2}}} \end{aligned} \quad (3.43)$$

となり、二段分の利得  $A_1 A_2$  を得ることができるため、高精度な仮想短絡が必要な回路に適している。

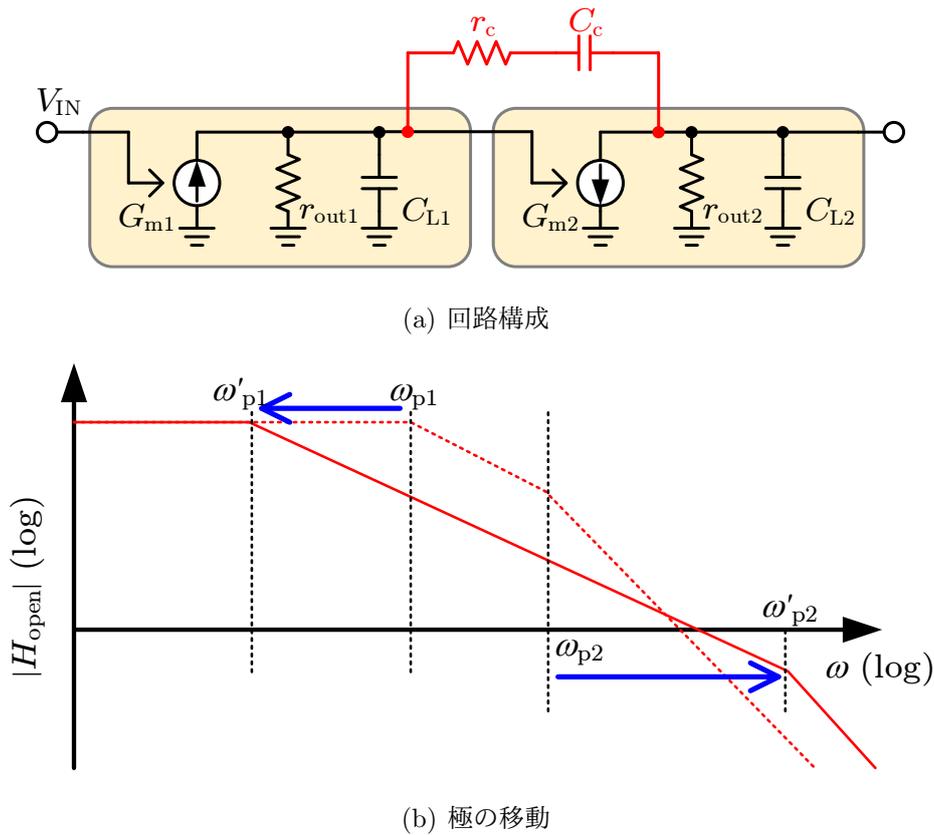


図 3.8: ポールスプリッティング

ただし、このような回路では安定性が問題となる。簡単のため、 $r_{out2} \ll |Z_f|$  とすると、 $H_{open}(s)$  は、

$$H_{open}(s) = F \cdot \frac{A_1}{1 + sC_{L1}r_{out1}} \frac{A_2}{1 + sC_{L2}r_{out2}} \quad (3.44)$$

と表され、二次の伝達関数特性となる。この系が安定となるためには二つの極の位置を調整し、適切な位相余裕を確保しなければならない。ここまでの議論により、通常は  $r_{out1} \gg r_{out2}$  として設計するため、ドミナントポール  $\omega_{p1}$  とセカンドポール  $\omega_{p2}$  はそれぞれ、

$$\omega_{p1} = \frac{1}{C_{L1}r_{out1}} \quad (3.45)$$

$$\omega_{p2} = \frac{1}{C_{L2}r_{out2}} \quad (3.46)$$

となる。

この二つの極を調整する方法として、図 3.8(a) に示したポールスプリッティングと呼ばれる手法がよく用いられる [1]。この回路において  $C_c$  はミラー容量として動作し、一

段目オペアンプ側からは負荷容量  $A_2C_c$  として見える。一方、高周波において  $C_c$  が短絡に見えるとき、二段目オペアンプ側からは  $G_{m2}$  が  $r_{out2}$  に並列に挿入された抵抗成分として見えるようになる。二つの極を整理すると、次のように表される。

$$\omega'_{p1} \approx \frac{1}{C_c G_{m2} r_{out1} r_{out2}} = \frac{C_{L1}}{A_2 C_c} \omega_{p1} \quad (3.47)$$

$$\omega'_{p2} = \frac{G_{m2}}{C_{L1} + C_{L2}} \approx \frac{G_{m2}}{C_{L2}} = A_2 \omega_{p2} \quad (3.48)$$

通常  $A_2 C_c > C_{L1}$  であるから、ドミナントポールは帯域が下がり、セカンドポールは高周波側に移動する。この作用を利用し、極の位置を図 3.8(b) のようにすることで位相余裕を確保する。一方、抵抗  $r_c$  はミラー容量挿入で生じたゼロ点の影響を排除するための補償抵抗である。

ただし、図 3.8(b) に示したように、この位相補償ではドミナントポールの劣化が避けられない。その結果、典型的な一段オペアンプよりも周波数特性が悪く、広帯域化には不向きとされている [1, 2]。これは 3.2.2 節で指摘したように、ある周波数における仮想短絡の精度を決めるのは  $A(0)$  ではなく、その周波数における  $A(s)F$  であることによる。したがって、二段オペアンプは高い利得を有するにも関わらず、ドミナントポールが低いいため高周波側ではその恩恵が殆ど受けられない。

### 3.3 オペアンプ

続いて、負帰還増幅器で用いるオペアンプについて述べる。まずオペアンプに関する基本性能を整理する。ノートの定理を適用し、電流源のモデルに負荷容量をつけた図 3.9 の回路を考える。図より、

$$V_{\text{OUT}} = -\frac{G_m r_{\text{out}}}{1 + sC_L r_{\text{out}}} V_{\text{IN}} \quad (3.49)$$

である。したがって DC 利得  $A_0$ 、ドミナントポール  $\omega_{p1}$ 、GB 積はそれぞれ、

$$A_0 = G_m r_{\text{out}} \quad (3.50)$$

$$\omega_{p1} = \frac{1}{C_L r_{\text{out}}} \quad (3.51)$$

$$\text{GBW} = A_0 \cdot \frac{\omega_{p1}}{2\pi} = \frac{G_m}{2\pi C_L} \quad (3.52)$$

である。

#### 3.3.1 高利得化技術

負帰還増幅器では適切な位相余裕を得るために、二段オペアンプでは位相補償が必要なことを 3.2.4 節で指摘した。加えて、三段以上のオペアンプでは位相補償が困難になる [3,4]。そのため三段以上のステージを持つオペアンプはあまり用いられていない。また、近年の微細プロセスではトランジスタの固有利得が低下しており [5]、オペアンプの設計はより困難になってきている。このような理由により、オペアンプ一段で得られる利得を高くすることは極めて重要である。

(3.50) 式によれば、オペアンプの利得を増やす方法は  $G_m$  の増加と  $r_{\text{out}}$  の増加に限られる。 $G_m$  は小信号電圧  $v_{\text{in}}$  の入力に対し、出力端子に到達する小信号電流  $i_{\text{out}}$  を用いて、

$$G_m = \frac{i_{\text{out}}}{v_{\text{in}}} \quad (3.53)$$

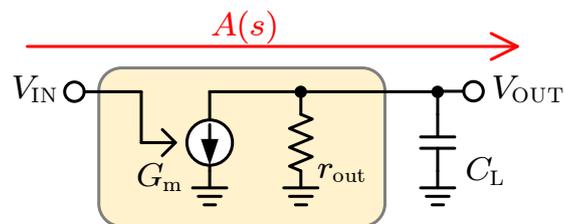


図 3.9: 一段オペアンプのモデル

と定義される。

一例として、図 3.1(a) に示したソース接地回路で考える。利得最大とするために  $R_L \rightarrow \infty$  とした時、

$$G_m = g_{m1} \quad (3.54)$$

$$r_{out} \approx \frac{1}{g_{d1}} \quad (3.55)$$

である。結果として、

$$A_0 = G_m r_{out} \approx \frac{g_{m1}}{g_{d1}} = G_{i1} \quad (3.56)$$

となる。ただし、 $G_{i1}$  は M1 の固有利得であり、

$$G_{i1} \approx \frac{2V_A}{V_{eff}} \quad (3.57)$$

と表される、電流に依存しない値である。すなわち、この利得は消費電流に対して相関を持たず、トランジスタの固有利得によって決まるようになる。この性質は、 $G_m$  が電流に比例する反面、 $r_{out}$  が電流に反比例する能動負荷  $1/g_{d1}$  となっている結果である。したがって、利得の改善を図るためには設計ではなく、回路トポロジの改良が必要となる。

### 3.3.1.1 カスコード抵抗

カスコード抵抗は、出力抵抗を大きくする方法で利得を改善する回路技術である。図 3.10(a) に示した二つのトランジスタについて、ノード 1 から見込んだインピーダンスを求める。

$$(g_{d1} + g_{d2} + g_{m2})v_s = g_{d2}v_1 \quad (3.58)$$

$$g_{d1}v_s = i_1 \quad (3.59)$$

より、カスコード抵抗  $r_{cas}$  は、

$$\begin{aligned} r_{cas} &= \frac{v_1}{i_1} = \frac{g_{d1} + g_{d2} + g_{m2}}{g_{d1}g_{d3}} \approx \frac{g_{m2}}{g_{d1}g_{d2}} \\ &= \frac{G_{i2}}{g_{d1}} \end{aligned} \quad (3.60)$$

と表され、M2 の固有利得によってインピーダンスが増加することがわかる。M2 はカスコードトランジスタと呼ばれ、高利得なオペアンプを構成する際は高い頻度で使用され

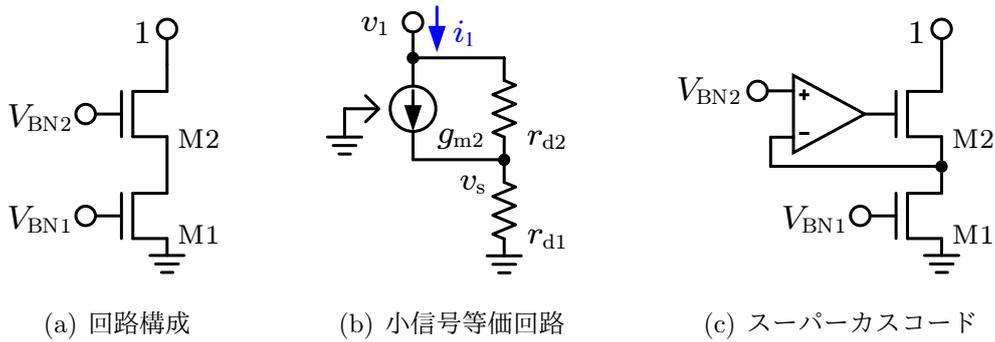


図 3.10: カスコード抵抗

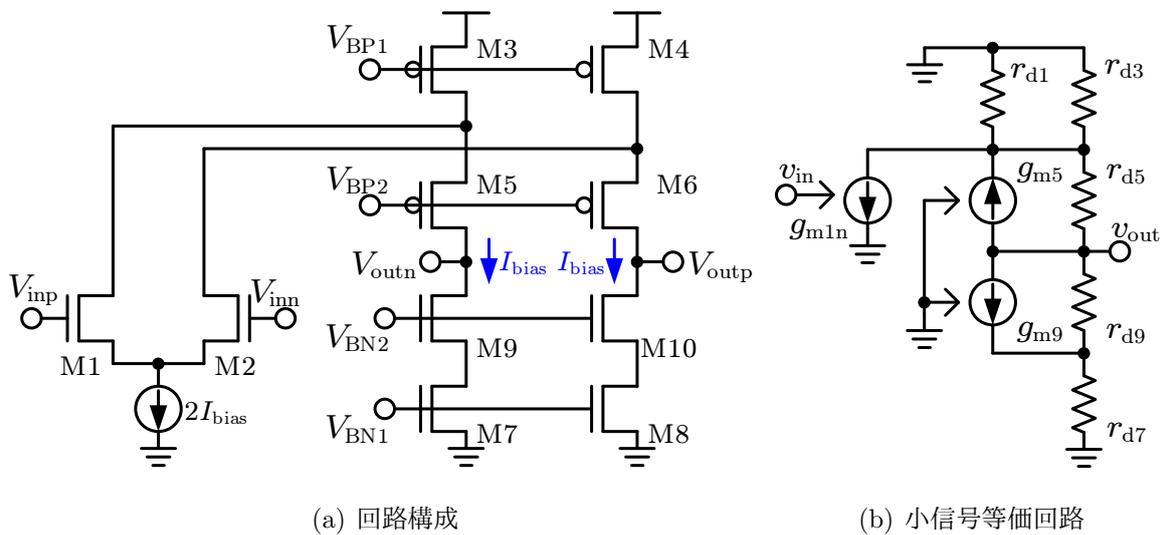


図 3.11: N 入力型フォールドカスコードオペアンプ

る. 更に高い抵抗を必要とする場合は, 図 3.10(c) のように補助アンプを追加する [6,7]. この補助アンプはカスコードトランジスタの固有利得を擬似的に強化し, 結果的に抵抗値は補助アンプの利得により増幅される. 65nm CMOS プロセスなどでも, 70 dB を越える高い利得を実現することができるため, 高精度なパイプライン A/D 変換器などでよく用いられる構成である [7].

ただし, カスコード抵抗は縦にトランジスタを重ねる必要があるので, 高い電源電圧が必要となる. 低電源電圧下でオペアンプを構成する場合は, 図 3.11(a) に示すフォールドカスコード構成が適している. それぞれのトランジスタの  $V_{eff}$  及び  $V_A$  が等し

いと仮定すると,

$$G_m \approx g_{m1} = g_m \quad (3.61)$$

$$r_{out} \approx \frac{1}{\frac{g_{d7}}{G_{i9}} + \frac{g_{d1} + g_{d3}}{G_{i5}}} = \frac{G_i}{4g_d} \quad (3.62)$$

である。(3.55)式と比較すると, 出力抵抗はカスコードトランジスタの固有利得によって上昇していることが確認できる. 結果としてこの回路の利得は,

$$A \approx g_m \cdot \frac{G_i}{4g_d} = \frac{G_i^2}{4} \quad (3.63)$$

となり, 利得はトランジスタの固有利得の二乗となる. ただし, 入力トランジスタと出力側のカスコードトランジスタそれぞれに  $I_{bias}$  を供給する必要があるため, 全体の消費電流が大きくなってしまう点に注意が必要である.

### 3.3.1.2 ポジティブフィードバック

出力抵抗を稼ぐもう一つの方法として, ポジティブフィードバック技術がある [8,9]. 負性コンダクタンスで正のコンダクタンスを打ち消してゼロに近づけることで, その逆数の抵抗値を大きくするのがポジティブフィードバックによる利得改善の基本的な考え方である. 具体的な構成例を図 3.12(a) に示す. M1 及び M2 のドレイン抵抗が正のコンダクタンスであり, M2 と  $k$  によって負性コンダクタンスを作る. 図 3.12(b) により,

$$r_1 = \frac{1}{g_{d1} + g_{d2} - kg_{m2}} \quad (3.64)$$

となり, 分母に負の項が追加される. このとき,

$$k = \frac{g_{d1} + g_{d2}}{g_{m2}} \quad (3.65)$$

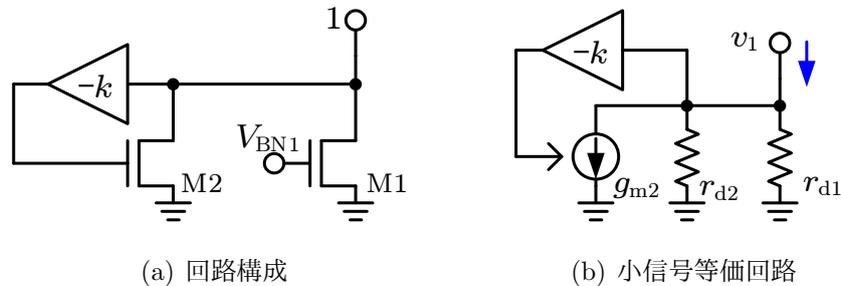
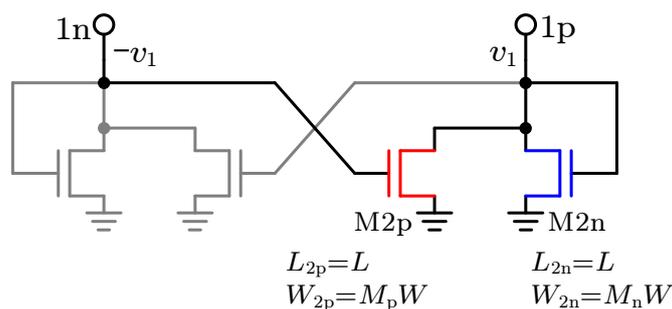


図 3.12: ポジティブフィードバック技術

図 3.13:  $-k$  の実現方法

と選べば、 $r_1$  の分母はゼロとなり、理論的には無限大の抵抗を実現することができる。

なお、 $-k$  は差動回路において図 3.13 のように構成するのが一般的である。M2p は反対側に接続し負の  $g_m$  を作り、M2n はダイオード接続として正の  $g_m$  を作る。それぞれの  $W$  に係数をかけたとき、

$$k = \frac{M_p - M_n}{M_p + M_n} \quad (3.66)$$

となり、 $W$  の比率を調整することで  $-1 \leq k \leq 1$  の範囲を再現することができる。

ポジティブフィードバックは消費電力の増加なしに利得を改善することができる点で魅力的であるが、二つの大きな欠点により、実際にオペアンプで使用されることは稀である。まず第一の欠点として、安定性と利得向上のトレードオフが挙げられる。ポジティブフィードバックが最大の効果を発揮するには、 $k$  を可能な限り (3.65) 式に近づけなければならない。しかしながら、 $k$  が (3.65) 式を越えると (3.64) 式の符号が反転し、 $r_1 < 0$  となってしまう。この時、オペアンプとしての利得も反転してしまうため、位相が  $180^\circ$  回転し発振してしまう。PVT ばらつきなどを考慮すると (3.65) 式よりも遠ざけて  $k$  を選ぶべきであるが、その場合はコンダクタンスの打ち消し効果が減ってしまい、ポジティブフィードバックの恩恵が殆ど受けられない。

第二の欠点として、オペアンプそのものの利得の変動が大きくなってしまふ点が挙げられる。負帰還増幅器では、オペアンプの利得によってオペアンプ入力部分の振幅は非常に小さくなるが、出力端子における振幅は軽減されない。したがって、特に出力端子に近い箇所ではトランジスタパラメータの変動が生じやすく、感度が高い場合はオペアンプの利得変動も大きくなってしまふ。ポジティブフィードバックの場合は打ち消し量を増やし、 $k$  を (3.65) に近づけるほど  $g_m$  や  $g_d$  に対する利得の感度が高くなっていく。その結果、利得そのものを改善してもオペアンプの利得変動が大きくなってしまふ、負

帰還増幅器としての線形性が改善されない場合がある。

以上のように、安定した運用を行うためには、

- PVT ばらつきに対する補償を行う
- ポジティブフィードバックを使用する回路の状態が変化しにくい構成を採用する

などの対策が別途必要である。

### 3.3.2 GB 積改善技術

オペアンプを負帰還増幅器で使用する際に、直接的に使用できる帯域を規定するのは GB 積である。GB 積は (3.52) 式で示したように  $C_L$  に反比例するため、負荷容量が大きい場合は  $G_m$  を大きくする必要がある。 $G_m$  はノートの定理における短絡電流から算出される値である。一段構成のオペアンプにおいて、入力信号に対する小信号電流を作成するのは入力トランジスタのトランスコンダクタンス  $g_m$  である。たとえば、図 3.1(a) に示したソース接地回路であれば  $G_m = g_{m1}$  であり、図 3.11(a) に示した N 入力フォールデッドカスコードアンプにおいても  $G_m = g_{m1}$  である。したがって、GB 積を改善するためには消費電力の増加が避けられない。ここでは、GB 積の電力効率を改善する手法について述べる。

#### 3.3.2.1 相補入力化

効率よく GB 積を稼ぐ方法として、オペアンプの相補入力構成がよく用いられる。この手法では、NMOS と PMOS の両方に信号を入力し、約二倍の信号電流を作成することで GB 積を改善する。図 3.14(a) に相補入力型のソース接地アンプを示す。NMOS 及び PMOS それぞれの  $g_m$  が信号電流を作り、出力端子で合流する。

図 3.14(b) の小信号等価回路より、

$$G_m = g_{m1n} + g_{m1p} \quad (3.67)$$

$$r_{out} = \frac{1}{g_{d1n} + g_{d1p}} \quad (3.68)$$

である。 $G_m$  は N 入力型のオペアンプと比較すると、PMOS 側の  $g_m$  だけ増加していることが確認できる。NMOS と PMOS が同程度の  $V_{eff}$  を持つ場合は、およそ二倍の  $G_m$

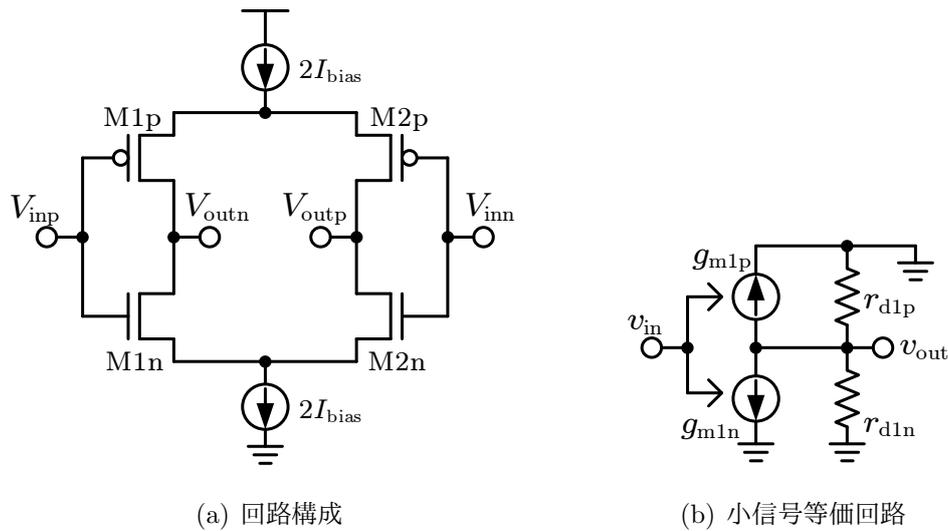


図 3.14: 相補入力型ソース接地アンプ

値となる．また，この回路では M1p 及び M2p で使用されたバイアス電流  $I_{bias}$  を M1n 及び M2n でも再利用しているため，N 入力のソース接地回路と同じバイアス電流で動作することができる．したがって， $G_m$  に関する電力効率は二倍に改善されると言える．

$g_{m1n} = g_{m1n}$  かつ  $g_{d1n} = g_{d1p}$  とすると，最終的な利得は，

$$A = \frac{g_{m1n} + g_{m1p}}{g_{d1n} + g_{d1p}} = G_{i1} \quad (3.69)$$

と表される．ここで，全バイアス電流に対して得られる  $G_m$  の比率を電力効率と定義する．相補入力型ソース接地アンプでは，

$$\frac{G_m}{I_{total}} = \frac{2g_m}{2I_{bias}} = \frac{2}{V_{eff}} \quad (3.70)$$

となる．一方，N 入力型のソース接地アンプとして，図 3.2 の回路で  $R_L \rightarrow \infty$  とすると，

$$G_m = g_{m1} \quad (3.71)$$

$$r_{out} = \frac{1}{g_{d1} + g_{d3}} \quad (3.72)$$

$$A = \frac{g_{m1}}{g_{d1} + g_{d3}} = \frac{G_{i1}}{2} \quad (3.73)$$

となるため，N 入力の場合は，

$$\frac{G_m}{I_{total}} = \frac{g_m}{2I_{bias}} = \frac{1}{V_{eff}} \quad (3.74)$$

となり，相補入力化によって二倍の電力効率が達成されていることがわかる．また，(3.69) 式と (3.73) 式の比較から，相補入力化による  $G_m$  の増加がそのまま利得の改善に

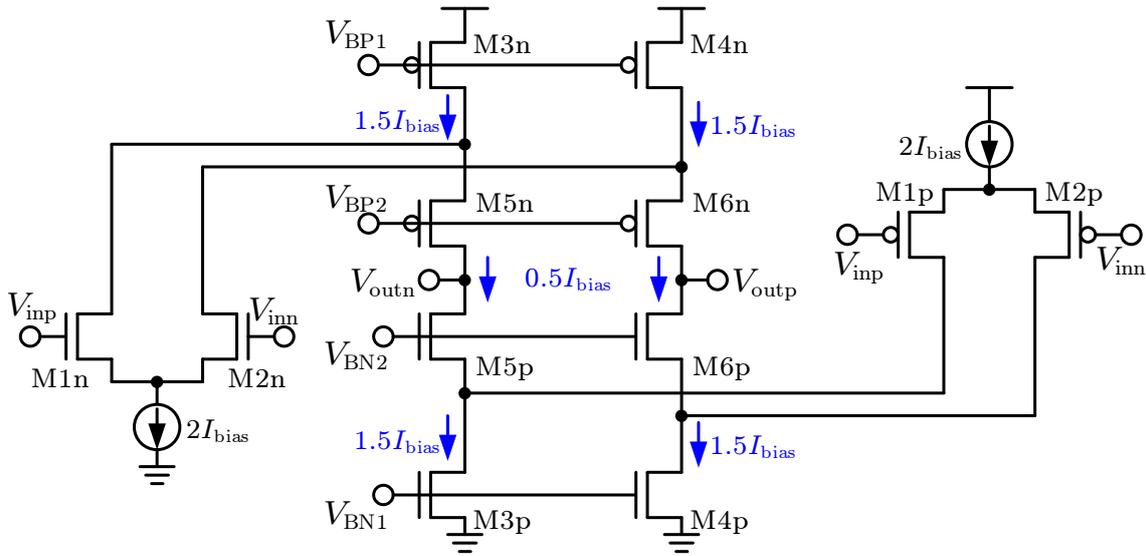


図 3.15: 相補入力型フォールデッドカスコードオペアンプ [10]

も結びついていることが確認できる．このように，相補入力化は  $g_m$  に対する電力効率の改善のみならず，利得の改善にも効果がある．詳細な解析は省くが，相補入力化は雑音特性も大幅に改善することができる [2]．

ただし，相補入力型ソース接地回路は電力効率に優れるが，利得が低いという問題がある．そのため実際には，図 3.15 に示す相補入力型フォールデッドカスコードオペアンプがよく用いられる．この回路は相補入力による高い電力効率と，カスコード抵抗による高利得を同時に達成できる回路として知られている．バイアス電流は，入力トランジスタに  $I_{bias}$  を供給し，M5 と M6 に  $0.5I_{bias}$  を供給するため，合計で  $5I_{bias}$  となる．それぞれの値は，

$$G_m = \frac{g_{m5p} + g_{d5p}}{g_{m5p} + g_{d5p} + g_{d1p} + g_{d3p}} g_{m1p} + \frac{g_{m5n} + g_{d5n}}{g_{m5n} + g_{d5n} + g_{d1n} + g_{d3n}} g_{m1n}$$

$$= \frac{g_{m5} + g_{d5}}{g_{m5} + g_{d5} + g_{d1} + g_{d3}} 2g_{m1} \approx 2g_{m1} \quad (3.75)$$

$$r_{out} \approx \frac{1}{\frac{g_{d1n} + g_{d3n}}{G_{i5n}} + \frac{g_{d1p} + g_{d3p}}{G_{i5p}}} = \frac{G_{i5}}{2} \frac{1}{g_{d1} + g_{d3}} \quad (3.76)$$

$$A = \frac{G_{i5}}{2} \frac{2g_{m1}}{g_{d1} + g_{d3}} = \frac{G_i^2}{1 + \frac{g_{d3}}{g_{d1}}} = \frac{2G_i^2}{5} \quad (3.77)$$

で与えられる．ただし，全てのトランジスタの  $V_{eff}$  及び  $V_A$  は等しいとする．この回路では  $N$  入力のカスコードオペアンプと同様の，固有利得の二乗オーダーの利得が得られ

ている。電力効率は、

$$\frac{G_m}{I_{\text{total}}} = \frac{2g_m}{5I_{\text{bias}}} = \frac{4}{5V_{\text{eff}}} \quad (3.78)$$

であり、同じオーダーの利得を持つ N 入力 of フォールデッドカスコードオペアンプの場合、

$$\frac{G_m}{I_{\text{total}}} = \frac{g_m}{4I_{\text{bias}}} = \frac{1}{2V_{\text{eff}}} \quad (3.79)$$

であるため、相補入力化によって電力効率は 1.6 倍となる。

### 3.3.2.2 カスコード型オペアンプの高効率化

相補入力型フォールデッドカスコードオペアンプは比較的良好な電力効率を持つが、NMOS と PMOS の入力トランジスタそれぞれに個別のバイアス電流を供給するため、必要なバイアス電流はどうしても増えてしまう。全バイアス電流  $I_{\text{total}}$  に占める入力トランジスタの消費するバイアス電流は 80%にも及び、殆どの電流が入力部分で消費されている。これは、オペアンプの  $G_m$  を決めるトランジスタが入力トランジスタであり、その  $g_m$  を増やすために多くのバイアス電流を流す必要が有るためである。一方、利得を改善する観点では、 $r_{\text{out}} \propto g_d^{-1} \propto I_D^{-1}$  であるから、出来る限りバイアス電流を減らすほうが都合が良い。これらをまとめると、

- 入力トランジスタには多くのバイアス電流を流し、相補入力型ソース接地回路のように再利用する
- 出力抵抗を決めるトランジスタのバイアス電流は極力減らす

とするのが、電力効率や高利得化の観点で望ましい。

そこで、図 3.16 のようなオペアンプ構成を検討する。まず入力側は相補入力型のソース接地回路となっており、ここで信号電流を作成する。バイアス電流は  $I_S$  とし、M1p で使用したバイアス電流をそのまま M1n で再利用して電力効率の改善を図る。M7 及び M8 はそれぞれゲート接地回路であり、入力側で生成した信号電流を Z から X または Y に移す役割と、入力側のインピーダンスを切り離す役割を担う。M5 及び M6 は、フォールデッドカスコードの場合と同様に、いずれもカスコードトランジスタである。出力側の各トランジスタには  $I_L$  が供給されるように M3n 及び M3p から電流を流し、Z を境にバイアス電流を分断する。

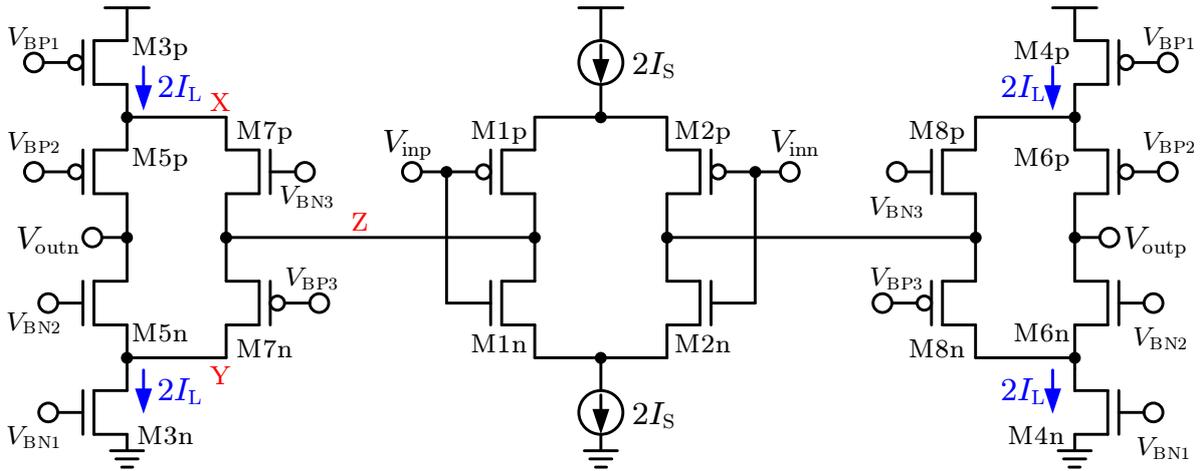


図 3.16: 高電力効率オペアンプ

X から入力側を見ると, M1n と M7p はカスコード抵抗となっていることに気付く. 同様に Y から入力側を見ると, M1p と M7n はカスコード抵抗となっている. したがって出力抵抗は,

$$r_{out} \approx \frac{G_{i5}}{2} \frac{1}{g_{d3} + \frac{g_{d1}}{G_{i7}}} \quad (3.80)$$

と表され,  $g_{d1}$  の影響を軽減することができる. これは  $G_m$  を増加させた際に生じる  $g_{d1}$  増加をによる出力抵抗の劣化を防ぐことに役立つ. 一方,

$$G_m \approx \frac{2g_{m1}g_{m7}}{g_{d1} + g_{m7}} \quad (3.81)$$

であるから, 利得は,

$$A \approx \frac{G_{i5}g_{m1}g_{m7}}{g_{d1} + g_{m7}} \frac{1}{g_{d3} + \frac{g_{d1}}{G_{i7}}} = \frac{G_i^2}{\left(\frac{1}{G_i} + \frac{1}{M_{SL}}\right) \left(\frac{M_{SL}}{G_i} + 2\right)} \quad (3.82)$$

となり,  $G_i^2$  オーダーかそれ以上の利得を実現することができる. ただし,  $M_{SL} = I_S/I_L$  である. 電力効率は,

$$\begin{aligned} \frac{G_m}{I_{total}} &= \frac{g_{m1}g_{m7}}{g_{d1} + g_{m7}} \frac{1}{I_S + 2I_L} = \frac{1}{V_{eff}} \frac{2}{\left(\frac{M_{SL}}{G_i} + 1\right) \left(\frac{2}{M_{SL}} + 1\right)} \\ &\leq \frac{1}{V_{eff}} \frac{2}{\left(\sqrt{\frac{2}{G_i}} + 1\right)^2} \end{aligned} \quad (3.83)$$

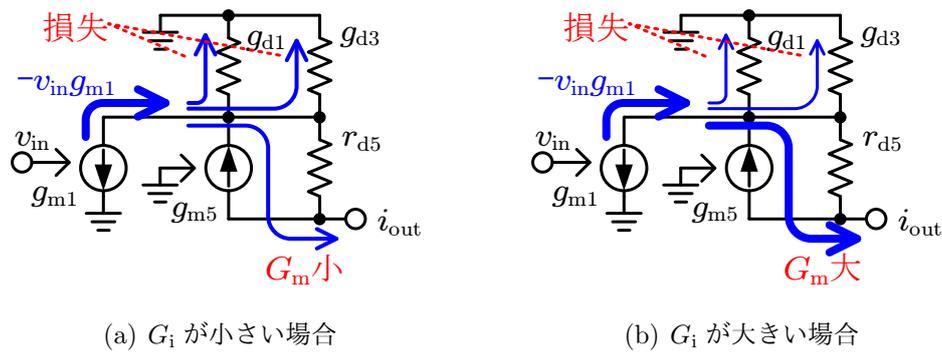


図 3.17: 固有利得と信号電流損失

となる．最大電力効率を達成するための条件は，

$$M_{SL} = \sqrt{2G_i} \quad (3.84)$$

である． $G_i$  は 10 を越える大きな値であると考えられるため， $M_{SL}$  は 5 程度の値を持つ．したがって， $I_S$  は  $I_L$  よりも大きく設計し，M1 及び M2 の入力側に多くの電流を割くことが電力効率の改善につながる．

ところで，同様に入力トランジスタにバイアス電流を多く割くことで N 入力のフォルデッドカスコードオペアンプなどでも電力効率の改善を行うことができる．したがって，同様の解析を N 入力 (N-Folded) と相補入力型 (C-Folded) に対して行うと，

$$\left. \frac{G_m}{I_{total}} \right|_{N\text{-Folded}} \leq \frac{1}{V_{eff}} \frac{G_i + 1}{(\sqrt{G_i + 3} + 1)^2} \quad (3.85)$$

$$\left. \frac{G_m}{I_{total}} \right|_{C\text{-Folded}} \leq \frac{2}{V_{eff}} \frac{G_i + 1}{(\sqrt{2(G_i + 2)} + 1)^2} \quad (3.86)$$

という数式が得られる．いずれの数式も最終的な電力効率は  $G_i$  に依存する点に特徴がある．

$V_{eff}$  を一定とした場合， $G_i \propto V_A$  が成立するため， $G_i$  が大きいほど  $g_d$  は小さくなる．図 3.17 に示すように，カスコード接続では信号経路に接続される  $g_d$  が信号電流の損失を引き起こすため， $g_d$  が大きい場合は  $G_m$  の減少につながってしまう．高い固有利得を持つ場合は  $g_d$  によるロスが減少するため，信号電流の大部分がそのまま出力端子に到達し， $G_m$  は上昇する．したがって，微細化による固有利得の低下はオペアンプの利得低下のみならず，電力効率の劣化をも招いてしまう．

ここで，各アーキテクチャの電力効率を比較する． $V_{eff} = 0.1V$  とし， $G_i$  を変数としてその時の最大の電力効率をプロットする．図 3.18(a) に計算結果を示す．ソース接地

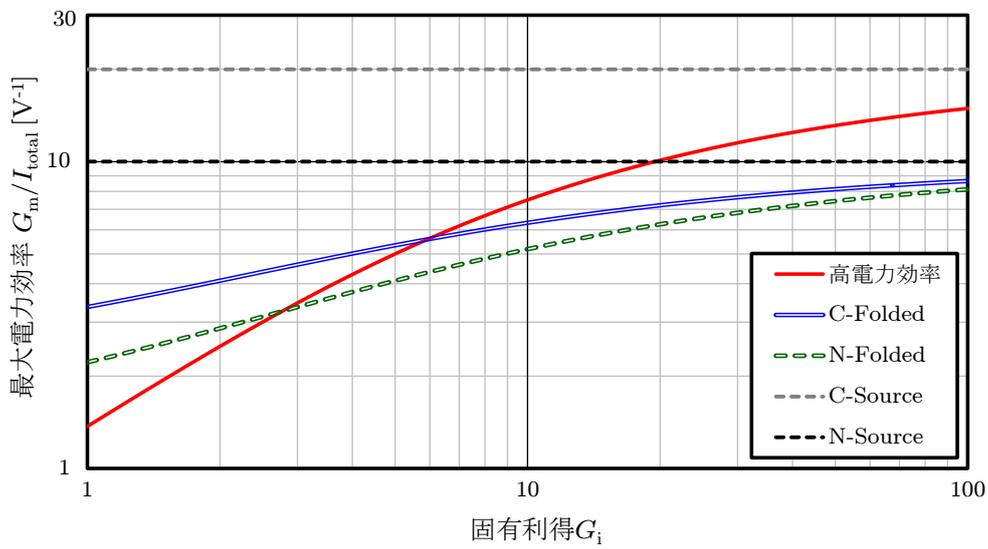
表 3.1: オペアンプの性能比較

	高電力効率	C-Folded	N-Folded	C-Source	N-Source
DC 利得	49.7 dB	37.7 dB	35.7 dB	18.1 dB	15.7 dB
$M_{SL}$	5	2	4	N/A	N/A
$G_m/I_{total}$	$5.1 V^{-1}$	$3.9 V^{-1}$	$3.2 V^{-1}$	$14.3 V^{-1}$	$6.3 V^{-1}$

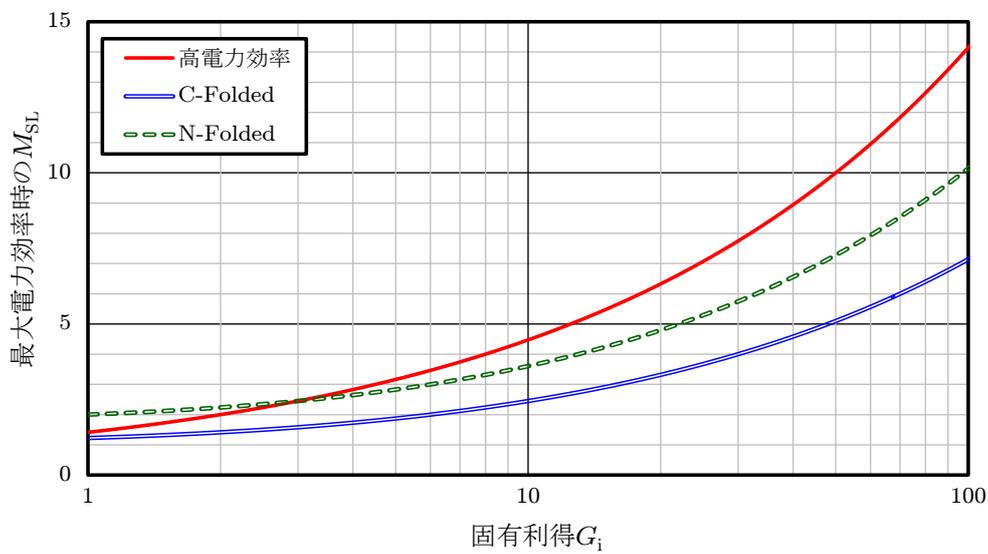
系の回路 (C-Source, N-Source) はカスコード抵抗のような信号電流の損失を引き起こすパスが存在しないため、最大の電力効率を常に達成することができる。カスコード系の三種のオペアンプは  $G_i$  の上昇に伴い、電力効率が改善される。なかでも高電力効率オペアンプは  $G_i$  に対する伸びがよく、 $G_i > 6$  では最も良い電力効率となった。ただし、 $G_i = 20$  付近でも相補入力型ソース接地回路の約半分の電力効率しか達成できない。このように、カスコード化は利得の改善というメリットをもたらすが、低電源電圧かつ微細プロセスでは電力効率の劣化が避けられない。

図 3.18(b) は、最大電力効率を達成する時の  $M_{SL}$  を示している。いずれも  $G_i$  に対して単調増加となっており、 $G_i = 10$  付近では、高電力効率オペアンプは 4.5 程度、相補入力型フォールデッドカスコードオペアンプでは 2.5 程度の値となっている。したがって高い電力効率を実現するためには、入力トランジスタ側により多くのバイアス電流を割かなければならない。この傾向は、相補入力化による入力トランジスタの増加と併せて、入力寄生容量を増加させてしまう要因となる。

表 3.1 に、シミュレーションで求めた各オペアンプの性能を示す。このシミュレーションは 65nm CMOS プロセスを用い、電源電圧は 1.2V とした。 $M_{SL}$  は図 3.18(b) より、このプロセスの典型的な固有利得の値である  $G_i = 10$  付近の値を使用した。DC 利得は高電力効率オペアンプが最も高く、フォールデッドカスコード系のオペアンプよりも 10dB 以上高い利得を実現している。一方、ソース接地系のオペアンプは 20dB 以下の利得となった。電力効率を表す  $G_m/I_{total}$  は図 3.18(a) の結果を下回るものの、相対的な関係は自体は保たれている。シミュレーション結果によると、高電力効率オペアンプは相補入力型フォールデッドカスコードオペアンプよりも 30%程度高い電力効率を実現している。



(a) 最大電力効率の比較



(b) 最大電力効率を達成する  $M_{SL}$

図 3.18: 固有利得に対する最大電力効率

### 3.4 一段オペアンプの帯域制限

3.2.4節で述べたように、広帯域な用途では一段オペアンプを用いるのが望ましい。図3.9に示した一段オペアンプの場合、ドミナントポールは $C_L$ によって制御される。したがって、出来る限りオペアンプの帯域を広くするのであれば、 $C_L$ は可能な限り小さくするべきである。しかしながら、オペアンプの内部極や入力寄生容量による極により、 $C_L$ は位相余裕の観点で制限されることになる。

#### 3.4.1 オペアンプの内部極

ここでは図3.19(a)に示したテレスコピック型カスコードオペアンプを題材に考える。ただし、小信号等価回路にはM3pやM3nなどのゲートソース間容量 $C_{GS}$ を主とする寄生容量 $C_p, C_n$ を加えた。これらの寄生容量はトランジスタのゲートサイズに比例し、トランジスタの $W$ はバイアス電流に比例するため、 $C_n, C_p \propto I_{bias}$ が成立する。

まず $G_m$ は、

$$i_{out} = g_{m1n} \frac{g_{m3n} + g_{d3n}}{g_{d1n} + sC_n + g_{m3n} + g_{d3n}} v_{in} + g_{m1p} \frac{g_{m3p} + g_{d3p}}{g_{d1p} + sC_p + g_{m3p} + g_{d3p}} v_{in} \quad (3.87)$$

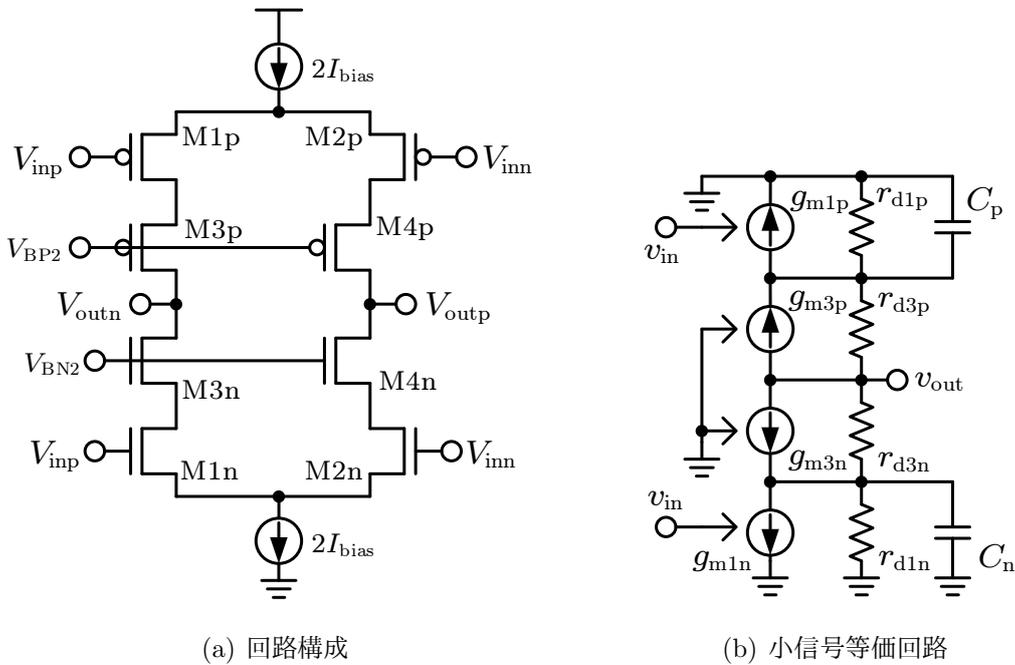


図 3.19: 寄生容量を考慮した相補入力型テレスコピックカスコードオペアンプ

より,

$$G_m(s) \approx \frac{g_{m1n}}{1 + \frac{sC_n}{g_{m3n}}} + \frac{g_{m1p}}{1 + \frac{sC_p}{g_{m3p}}} \quad (3.88)$$

である. 一方, 出力抵抗は NMOS 側と PMOS 側を分けて考える. NMOS 側は,

$$\begin{aligned} r_{out,n}(s) &= \frac{g_{d1n} + g_{d3n} + g_{m3n} + sC_n}{g_{d3n}(g_{d1n} + sC_n)} \\ &\approx \frac{G_{i3n}}{g_{d1n}} \frac{1 + \frac{sC_n}{g_{m3n}}}{1 + \frac{sC_n}{g_{d1n}}} \end{aligned} \quad (3.89)$$

と表される. サフィックスの n を p と読み替えれば, PMOS 側の出力抵抗  $r_{out,p}$  が算出される. 出力端の負荷容量  $C_L$  を考慮した時の最終的な利得は,

$$\begin{aligned} A(s) &= G_m(s) \{r_{out,n}(s) // r_{out,p}(s) // sC_L\} = \frac{G_m(s)}{\frac{1}{r_{out,n}(s)} + \frac{1}{r_{out,p}(s)} + sC_L} \\ &\approx \frac{g_{m1n} \left(1 + \frac{sC_p}{g_{m3p}}\right) + g_{m1p} \left(1 + \frac{sC_n}{g_{m3n}}\right)}{\frac{g_{d1n}}{G_{i3n}} + \frac{g_{d1p}}{G_{i3p}} + sC_L \left(1 + \frac{sC_n}{g_{m3n}}\right) \left(1 + \frac{sC_p}{g_{m3p}}\right)} \end{aligned} \quad (3.90)$$

と近似される. ここで各  $g_m$  が等しいと仮定して整理する.  $A(s)$  は,

$$\begin{aligned} A(s) &\approx \frac{2g_{m1} \left(1 + s \frac{C_n + C_p}{2g_{m3}}\right)}{\frac{g_{d1n}}{G_{i3n}} + \frac{g_{d1p}}{G_{i3p}} + sC_L \left(1 + \frac{sC_n}{g_{m3}}\right) \left(1 + \frac{sC_p}{g_{m3}}\right)} \\ &\approx \frac{A(0) \left(1 + s \frac{C_n + C_p}{2g_{m3}}\right)}{\{1 + sC_L r_{out}(0)\} \left(1 + \frac{sC_n}{g_{m3}}\right) \left(1 + \frac{sC_p}{g_{m3}}\right)} \end{aligned} \quad (3.91)$$

と表される. ただし, ドミナントポールとセカンドポールは十分離れているとして近似した. ここで,

$$A(0) = \frac{g_{m1n} + g_{m1p}}{\frac{g_{d1n}}{G_{i3n}} + \frac{g_{d1p}}{G_{i3p}}} = G_{i1} G_{i3} \quad (3.92)$$

である。

(3.91) 式を見ると、ドミナントポールの他に  $C_n, C_p$  に関する二つの極が存在することが確認できる。本論文では、これらの寄生容量による極を「オペアンプの内部極」と呼ぶ。ただし、分子を見ると二つの非主要極の中間にゼロ点が挿入されており、最終的には二次の減衰特性となることが予想される。通常、同じ電流を流すためには PMOS の方が大きなゲートサイズとなるため、 $C_p > C_n$  となる。したがって、極及びゼロ点を低い順に並べると次のようになる。

$$\omega_{p1} = \frac{1}{C_L r_{out}(0)} \quad (3.93)$$

$$\omega_{p2} = \frac{g_{m3p}}{C_p} \quad (3.94)$$

$$\omega_z = \frac{g_{m3n} + g_{m3p}}{C_n + C_p} \quad (3.95)$$

$$\omega_{p3} = \frac{g_{m3n}}{C_n} \quad (3.96)$$

これらをまとめたボード線図を図 3.20 に示す。 $\omega_{p1}$  の次は  $\omega_{p2}$  であるが、近傍に  $\omega_z$  が存在するため、位相の回転はやや緩くなる。ただし、すぐ近くに  $\omega_{p3}$  も存在するため、少し高い周波数で  $-180^\circ$  に到達する。 $C_L$  が大きい場合と小さい場合を比較すると、 $\omega_{p1}$  の位置だけが変化し、結果としてユニティゲイン周波数が変化する。 $C_L$  が十分大きく、 $\omega_{p3}$  よりも低い周波数で利得が 1 になる場合（図の実線）は発振しない。一方、 $C_L$  が小さい場合は利得が 1 に至る前に  $-180^\circ$  付近まで到達する（図の破線）。このような状況では位相余裕が確保できないため、 $C_L$  にはある程度の大きさの容量が必要となる。不足した  $C_L$  を補うために意図的に負荷容量を増やすことを、一段オペアンプの位相補償と呼ぶ。

上記の計算結果から必要な  $C_L$  を見積もる。楽観的な近似として  $\omega_{p2} \approx \omega_z$  を仮定し、(3.91) 式を二次の伝達関数と見る。 $\omega_{p1} \ll \omega_{p3}$  であるから、 $\omega_{p3}$  近傍では、

$$A(s) \approx \frac{G_m(0)}{sC_L} \frac{1}{1 + \frac{s}{\omega_{p3}}} \quad (3.97)$$

である。 $H_{open}(s)$  に関するユニティゲイン角周波数  $\omega_u$  は、

$$\omega_u = \frac{\omega_{p3}}{\sqrt{2}} \sqrt{\sqrt{1 + \left(\frac{2FG_m(0)}{\omega_{p3}C_L}\right)^2} + 1} \quad (3.98)$$

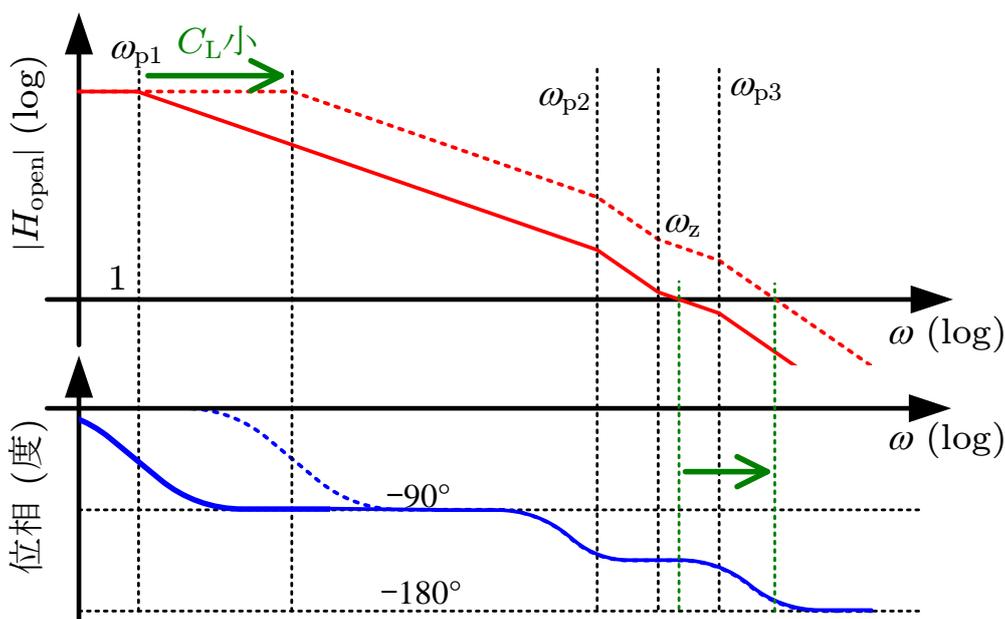


図 3.20: 相補入力型オペアンプのボード線図

となる。したがって位相余裕は、

$$PM = 180^\circ + \angle H_{open}(\omega_u) \approx 90^\circ - \tan^{-1} \sqrt{\frac{\sqrt{1 + \left(\frac{2FG_m(0)}{\omega_{p3}C_L}\right)^2} + 1}{2}} \quad (3.99)$$

と表され、 $G_m(0)/(\omega_{p3}C_L)$  によって推測することができる。ところで、この値は GB 積を用いて、

$$\frac{G_m(0)}{\omega_{p3}C_L} = \frac{GBW}{f_{p3}} \quad (3.100)$$

と変形することができる。ただし、 $\omega_{p3} = 2\pi f_{p3}$  である。すなわち、位相余裕と GB 積はトレードオフの関係にあると言える。これを解決するためには、 $f_{p3}$  をより高い周波数へ移さなければならない。ところが、 $\omega_{p3}$  を決める寄生容量  $C_n$  と  $g_{m3n}$  はいずれも  $I_{bias}$  に比例するため、常に一定値を取る。結果として、 $f_{p3}$  が指定するポール付近がユニティゲイン周波数の上限となり、そこに合わせて GB 積を削るように  $C_L$  を設定しなければならない。

上記のオペアンプの内部極に関する問題は、カスコード抵抗を持つ全てのオペアンプに共通すると考えられる。一例として、表 3.2 に、相補入力型フォールデッドカスコードオペアンプの極とゼロ点の周波数をまとめる。ただし、設計には 65nm CMOS を用

表 3.2: 相補入力型フォールデッドカスコードの極とゼロ点の周波数

$f_{p2}$	7.9 GHz
$f_z$	9.8 GHz
$f_{p3}$	13.5 GHz

い、電源電圧は 1.2V とした。いずれも 10 GHz 付近に存在し、 $\omega_{p2}$  と  $\omega_{p3}$  の間に  $\omega_z$  が存在する。

図 3.21 に、各オペアンプトポロジにおける GB 積と位相余裕の関係を示す。このシミュレーションは負荷容量  $C_L$  をスイープして GB 積を変化させ、その時の位相余裕をプロットしている。ただしいずれも  $F = 1$  とし、 $H_{\text{open}}(s) = A(s)$  の条件でシミュレーションを行った。カスコード系の  $M_{\text{SL}}$  は、表 3.1 で使用した値を用いた。位相余裕が  $60^\circ$  となる GB 積は、高電力効率オペアンプと N 入力フォールデッドカスコードオペアンプが約 5 GHz、相補入力型フォールデッドカスコードオペアンプが 7 GHz である。参考としてプロットしたソース接地系のオペアンプ二種はカスコード抵抗のポールを持たないため、常に十分な位相余裕を持つ。

ところで、図 3.21 に示した位相余裕は  $F \neq 1$  でも殆ど変化しないと考えられる。なぜなら、位相余裕を劣化させている  $\omega_{p2}, \omega_{p3}$  はオペアンプの内部の極であり、 $F$  の設定に不感であると考えられるためである。この時の横軸の GB 積は、 $H_{\text{open}}(s)$  の GB 積と読み替えて良い。すなわち、線形性の改善に費やされる余剰利得  $A_0 F_0$  を 10 とした時、高電力効率オペアンプは 500 MHz の帯域しか確保できないことになる。

### 3.4.2 入力寄生容量の影響

オペアンプの入力寄生容量  $C_{\text{in}}$  を考慮して、図 3.3(a) に示した反転増幅回路について  $F(s)$  を求める。このとき図 3.22 のように、入力寄生容量  $C_{\text{in}}$  は、 $R_1$  と並列に挿入されるように見えるため、

$$\begin{aligned}
 F(s) &= \frac{1}{R_2 + \frac{1}{G_1 + sC_{\text{in}}}} = \frac{1}{\frac{R_1 + R_2}{R_1} + sC_{\text{in}}R_2} = \frac{R_1}{R_1 + R_2} \frac{1}{1 + \frac{sC_{\text{in}}R_1R_2}{R_1 + R_2}} \\
 &= \frac{F_0}{1 + sC_{\text{in}}(R_1//R_2)} \tag{3.101}
 \end{aligned}$$

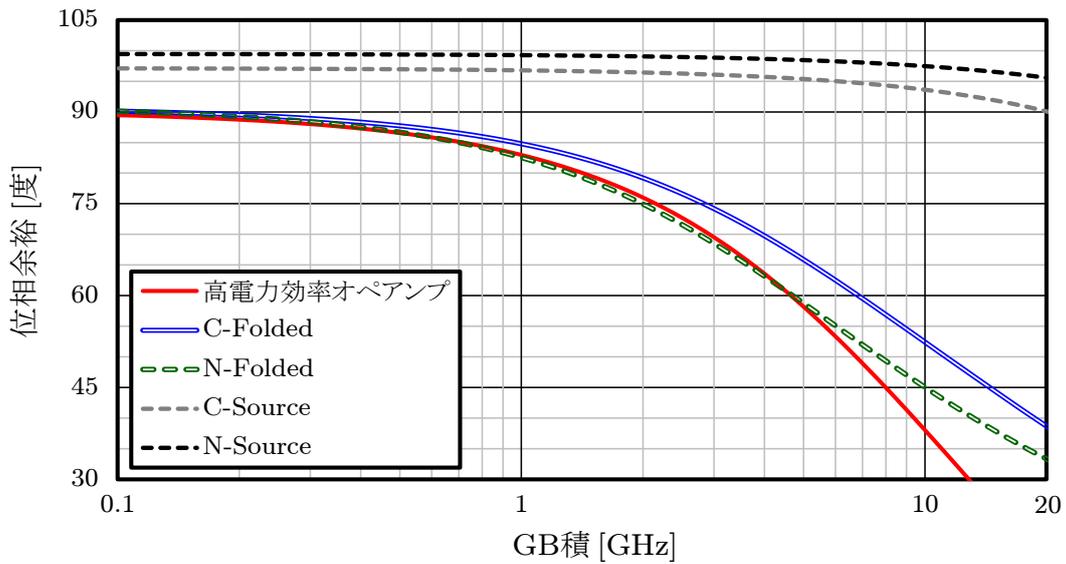


図 3.21: オペアンプの内部極を考慮した GB 積と位相余裕

と表される。ここで、 $G_1 = 1/R_1$  であり、

$$F_0 = \frac{R_1}{R_1 + R_2} \tag{3.102}$$

である。 $H_{open}(s)$  は、

$$H_{open}(s) = A(s)F(s) = \frac{F_0}{1 + sC_{in}(R_1//R_2)}A(s) \tag{3.103}$$

となり、 $C_{in}$  は  $R_1, R_2$  と共に、

$$\omega_f = \frac{1}{C_{in}(R_1//R_2)} \tag{3.104}$$

という極を作る。3.2.3 節で指摘したように、オペアンプが適切な利得を維持するためには  $Z_f$  を構成する  $R_1, R_2$  は大きく設定すべきである。しかしながらそのような設定で

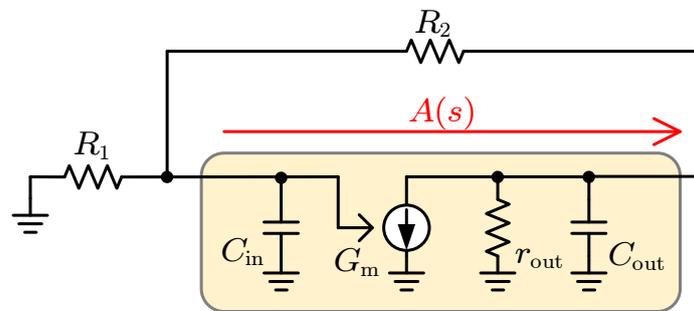


図 3.22: オペアンプの入力寄生容量を考慮した負帰還

は  $\omega_f$  は劣化し、 $A(s)$  の持つ極ともに位相余裕を劣化させる要因となってしまう。

今、一段オペアンプを用いて負帰還増幅器を設計したと仮定する。オペアンプの利得低下を防ぐために、 $Z_f = k_f r_{out}$  として設計する。反転増幅回路の最終的な利得を  $G_V$  とすると、 $F_0 = 1/(G_V + 1)$  であり、

$$R_1 = \frac{1}{G_V + 1} k_f r_{out} \quad (3.105)$$

$$R_2 = \frac{G_V}{G_V + 1} k_f r_{out} \quad (3.106)$$

と設定される。この時の  $\omega_f$  は、

$$\omega_f = \frac{1}{C_{in}} \frac{R_1 + R_2}{R_1 R_2} = \frac{1}{C_{in} F_0 R_2} = \frac{(G_V + 1)^2}{k_f G_V} \frac{1}{C_{in} r_{out}} \quad (3.107)$$

と表される。

ここで、 $C_{in}$  はオペアンプの入力寄生容量であるため、オペアンプの消費電流や  $G_m$  に対して相関があると予想される。そこで、

$$C_{in} = K_C I_{total} = K'_C G_m \quad (3.108)$$

と仮定する。(3.107) 式は、

$$\omega_f = \frac{(G_V + 1)^2}{k_f G_V} \frac{1}{K'_C G_m r_{out}} = \frac{(G_V + 1)^2}{K'_C k_f G_V A} \quad (3.109)$$

と変形される。

この式において、 $G_V$  が十分大きいとき、

$$\omega_f \approx \frac{1}{K'_C k_f} \frac{G_V + 1}{A} \quad (3.110)$$

となり、 $A/(G_V + 1)$  に反比例する。この値は、図 3.5 に示した線形性改善に費やされるオペアンプの余剰利得  $A_0 F_0$  に相当する。したがって、線形性と  $\omega_f$  はトレードオフであるといえる。

一方、 $K'_C$  を小さくすることは入力寄生容量を小さくすることを意味するため、極を高くすることに役立つ。ところが 3.3.2 節で述べたように、オペアンプの電力効率を改善するためには相補入力構成を採用し、入力トランジスタのバイアス電流を増やすことが必要である。その結果、入力トランジスタのゲートサイズは大きくなり、 $K'_C$  は大きくなってしまふ。 $K'_C$  は、

$$K'_C = \frac{C_{in}}{G_m} \quad (3.111)$$

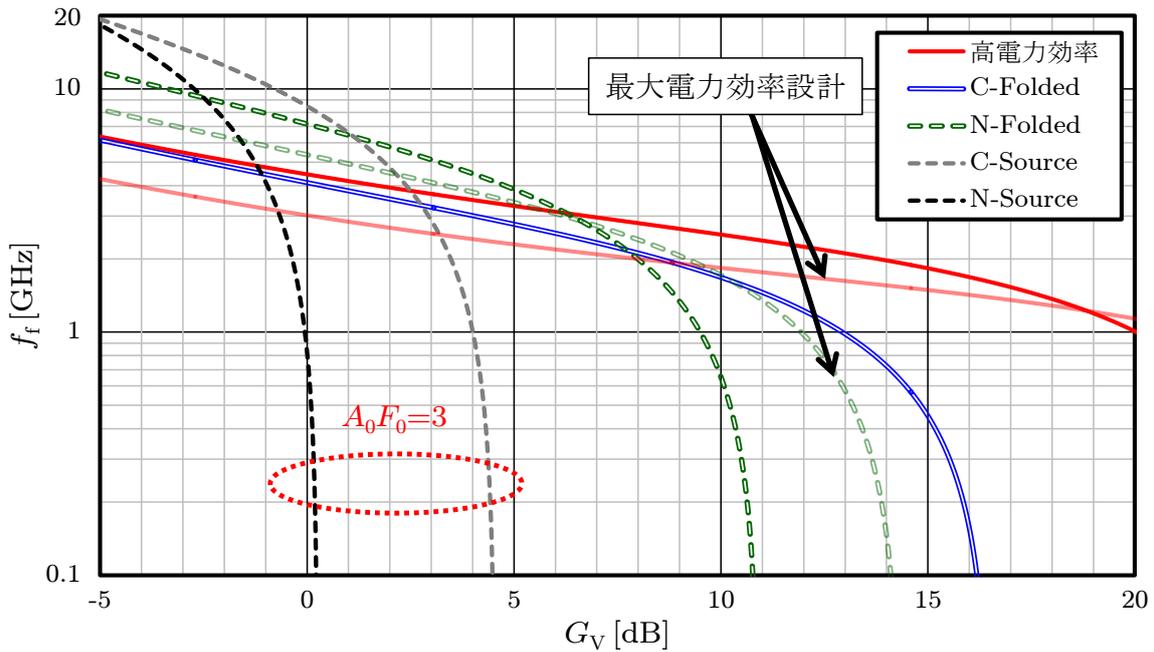


図 3.23: オペアンプの入力寄生容量  $C_{in}$  による極

であるから、広帯域化の観点では大きな  $G_m$  を小さい  $C_{in}$  で達成することが重要である。

ここでいくつかの回路トポロジについて、 $\omega_f$  の値を算出する。ただし、平等な比較を行うため、余剰利得  $A/(G_V + 1) = 10$  を固定し、 $G_V$  を変化させた時の極の位置を調べる。このとき、 $A$  の劣化は、

$$A' = 10(G_V + 1) \tag{3.112}$$

まで許容される。このときの  $k_f$  は、(3.39) 式より、

$$A' = \frac{G_m r_{out}}{1 + Y_f r_{out}} = \frac{A}{1 + \frac{1}{k_f}} \tag{3.113}$$

であるから、

$$k_f = \frac{1}{\frac{A}{A'} - 1} = \frac{10(G_V + 1)}{A - 10(G_V + 1)} \tag{3.114}$$

となる。

図 3.23 に計算結果をまとめたものを示す。横軸は  $G_V$  であり、縦軸は  $f_f = \omega_f/2\pi$  である。設計条件は表 3.1 に示した最大電力効率の条件と、表 3.3 に示した典型的な設計値の条件を二つを使用した。相補入力型フォールデッドカスコードオペアンプは表 3.1 と表

3.3 で同じ  $M_{SL}$  となっているため、プロットは一本のみである。ただし、ソース接地系のオペアンプは利得が足りないため、余剰利得  $A_0F_0$  は 10 ではなく 3 として設定した。

ソース接地系のオペアンプは余剰利得を抑えている（線形性の劣化を許容している）にも関わらず、5 dB を下回る非常に低い  $G_V$  しか達成できない。したがって、利得を持つ負帰還増幅回路を設計するのであれば、DC 利得の高いカスコード系のオペアンプを選択せざるを得ない。最大電力効率の N 入力フォールデッドカスコードオペアンプは、10 dB 付近の利得設定まで 2 GHz を越える極を実現するが、以降は急激に劣化する。相補入力型のオペアンプ二種はいずれも似たような特性を示すが、相補入力型フォールデッドカスコードオペアンプの方が劣化が早く、13 dB 付近では 1 GHz を下回ってしまう。典型的な設計値を使用した高電力効率オペアンプ（赤の実線）は 20 dB まで 1 GHz を超える極を持つが、低利得側でも極は殆ど改善されず、6 dB の利得でも 3 GHz となってしまう。

このような特性が得られる理由を考察する。まず、 $C_{in}$  の極がどのように与えられるか、順に整理する。

- 1) ある  $G_V$  を実現するためには、オペアンプに  $G_V$  以上の利得が必要である
- 2) 線形性を改善するには、更に  $A_0F_0$  の余剰利得をオペアンプで稼ぐ必要があり、オペアンプには更に高い利得が必要である
- 3) オペアンプの利得は  $Z_f (R_1, R_2)$  が小さいと劣化してしまう
- 4) したがって、1) 及び 2) の要求に併せて  $Z_f$  を大きくしなければならない
- 5)  $C_{in}$  のノードに対する抵抗成分が増加するため、 $\omega_f$  の極が劣化する

この論に従えば、 $\omega_f$  に関連するオペアンプの重要な要素は、オペアンプの利得と入力寄生容量  $C_{in}$  の二つとなる。

オペアンプが出せる利得が 1) 及び 2) の要求する利得と一致するとき、 $Z_f \rightarrow \infty$  とな

表 3.3: 典型的な設計値を使用した場合の性能

	高電力効率	C-Folded	N-Folded	C-Source	N-Source
DC 利得	44.8 dB	37.7 dB	33.1 dB	18.1 dB	15.7 dB
$M_{SL}$	2	2	1	N/A	N/A
$G_m/I_{total}$	$4.6 V^{-1}$	$3.9 V^{-1}$	$2.6 V^{-1}$	$14.3 V^{-1}$	$6.3 V^{-1}$

り、 $\omega_f$  は 0 に向かって急激に劣化する。例えば、N 入力フォールデッドカスコードオペアンプが 10 dB と 12 dB 付近からそれぞれ急激に劣化しているのは、この利得の制約によるものと考えられる。

次に  $G_m$  あたりの  $C_{in}$  の大きさによって、 $\omega_f$  が決まる。ここで  $r_{out}$  が不感となるのは、1) 及び 2) の制約で利得が決まったとき、 $G_m$  によって  $Z_f$  が決まるためである。 $r_{out}$  はオペアンプの最大の利得を決めるが、ここでは 1) 及び 2) で指定する利得だけを実現すれば良いため、実際に利得を決めているのは  $r_{out}$  よりも小さい  $Z_f$  であり、これは  $G_m$  と要求利得から求めることができる。オペアンプの利得の制約が緩い  $G_V \leq 6$  dB において、N 入力フォールデッドカスコードオペアンプが相補入力型のオペアンプよりも高い  $\omega_f$  を有するのは、入力寄生容量が小さく、 $G_m$  あたりの  $C_{in}$  が小さいためと考えられる。

### 3.4.3 一段オペアンプの上限周波数

これまでの議論により、十分な利得を持つ一段オペアンプにおいて、寄生容量による帯域制限が実際の GB 積の上限を決めることが明らかとなった。特に図 3.23 に示した  $C_{in}$  による極  $\omega_f$  は周波数が非常に低く、10 GHz 付近に存在するオペアンプの内部極よりも影響が大きいと推測される。そこでセカンドポールを  $\omega_f$  としたとき、特定の  $\omega_f$  に対して  $60^\circ$  の位相余裕を確保できる最大の GB 積を求める。ドミナントポールの周波数  $f_{p1}$  は、 $H_{open}(s)$  の GB 積と余剰利得  $A_0F_0$  を用いて、

$$f_{p1} = \frac{GBW}{A_0F_0} \quad (3.115)$$

と表される。 $H_{open}(s)$  は、

$$H_{open}(s) = \frac{A_0F_0}{\left(1 + \frac{\omega}{\omega_{p1}}\right) \left(1 + \frac{\omega}{\omega_{p2}}\right)} \quad (3.116)$$

である。 $A_0F_0 = 10$  とすると、位相余裕が十分なとき  $f_u \approx 10f_{p1}$  であると予想される。したがって、

$$\begin{aligned} \angle H_{open}(f_u) &\approx 180^\circ - \tan^{-1} \frac{10\omega_{p1}}{\omega_{p1}} - \tan^{-1} \frac{10\omega_{p1}}{\omega_f} \\ &= 95.7^\circ - \tan^{-1} \frac{GBW}{f_f} = 60^\circ \end{aligned} \quad (3.117)$$

より,

$$\text{GBW} = f_f \cdot \tan 35.7^\circ \approx 0.72f_f \quad (3.118)$$

と計算できる. この時のドミナントポール  $f_{p1}$  は,

$$f_{p1} \approx 0.072f_f \quad (3.119)$$

となり, 図 3.23 の  $f_f$  の 14 分の 1 程度の値となってしまう. したがって, 例えば 6 dB の反転増幅回路を設計した場合, 高電力効率オペアンプで線形性が保たれる周波数はわずか 200 MHz 程度となり, N 入力型フォールデッドカスコードオペアンプでも同様にたかだか 200 MHz 程度である. これらの計算にはオペアンプの内部極によるサードポールの影響は含まれていないため, 実際の位相余裕は更に厳しい.

## 3.5 電流帰還型オペアンプ

電圧帰還型オペアンプにおける周波数特性の問題を解決するために、電流帰還型の回路が提案されている [11, 12]. 電圧帰還型ではオペアンプの入力端子を高インピーダンスで受けていたが、電流帰還型では低入力インピーダンスで受けるのが特徴である. 本節では電流帰還型オペアンプの基本原理を述べ、利点と欠点について整理する.

### 3.5.1 基本原理

電流帰還型オペアンプを用いた回路のモデルを図 3.24 に示す. このモデルは一倍のバッファ, トランスインピーダンスアンプ (TIA), 帰還抵抗  $R_1, R_2$  などから構成される. まず  $V_{in}$  は一倍のバッファに接続されており,  $V_{in} = V_x$  となる. このとき,  $R_1, R_2$  を流れる電流はそれぞれ,

$$I_1 = \frac{V_{in}}{R_1} \quad (3.120)$$

$$I_2 = \frac{V_{out} - V_{in}}{R_2} \quad (3.121)$$

と表される.  $V_{in}$  側のバッファに流れる電流  $I_0$  は, キルヒホッフの電流則により,

$$I_0 = I_1 - I_2 = \left( \frac{1}{R_1} + \frac{1}{R_2} \right) V_{in} - \frac{V_{out}}{R_2} \quad (3.122)$$

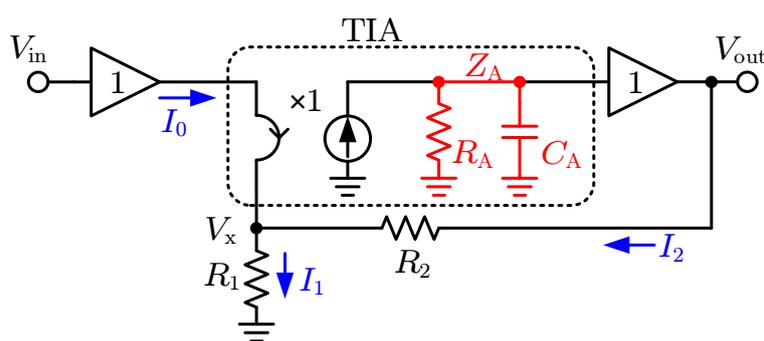


図 3.24: 電流帰還型オペアンプのモデル

となる。この電流は TIA に流れ込み、負荷インピーダンス  $Z_A$  で  $V_{\text{out}}$  に変換される。したがって、

$$\begin{aligned} V_{\text{out}} &= I_0 Z_A = \left( \frac{1}{R_1} + \frac{1}{R_2} \right) Z_A V_{\text{in}} - \frac{Z_A}{R_2} V_{\text{out}} \\ \therefore V_{\text{out}} &= \frac{1}{1 + \frac{R_2}{Z_A}} \left( 1 + \frac{R_2}{R_1} \right) V_{\text{in}} \end{aligned} \quad (3.123)$$

と整理される。 $Z_A/R_2 \gg 1$  のとき、

$$V_{\text{out}} \approx \left( 1 + \frac{R_2}{R_1} \right) V_{\text{in}} \quad (3.124)$$

が成立し、電圧帰還型の正転増幅回路と同じ伝達関数を得ることができる。

ここで  $Z_A$  を、

$$Z_A(s) = \frac{R_A}{1 + sC_A R_A} = \frac{R_A}{1 + \frac{s}{\omega_A}} \quad (3.125)$$

とする。このとき、一巡伝達関数  $H_{\text{open}}(s)$  は、

$$H_{\text{open}}(s) = \frac{Z_A(s)}{R_2} = \frac{R_A}{R_2} \frac{1}{1 + \frac{s}{\omega_A}} \quad (3.126)$$

と表され、 $R_1$  に依存しない値となる。したがって、電流帰還型では  $R_1$  を変更することで一巡伝達関数に影響をあたえることなく系の利得を調整することが可能とされる。これは、系の最終的な利得とオープンループゲインがトレードオフであった電圧型と対照的である。

ところで  $R_2$  は最終的な利得に関わる値であり、 $H(0) = G_V$  を用いて

$$R_2 = R_1 (G_V - 1) \quad (3.127)$$

と表されることから、(3.126) 式は、

$$H_{\text{open}}(s) = \frac{R_A}{R_1 (G_V - 1)} \frac{1}{1 + \frac{s}{\omega_A}} \quad (3.128)$$

と変形できる。したがって電流帰還型でオープンループゲインを上げるためには、 $R_1$  の低減と  $R_A$  の増加が有効である。ただし  $R_A$  の増加は  $\omega_A$  の劣化を招くため、GB 積そのものは改善されない。一方、 $R_1$  の低減にも次節で述べる限界が存在する。

### 3.5.2 NMOS 入力型電流帰還型オペアンプ

電流帰還型オペアンプでは、一倍のバッファを二箇所で使用する．この内  $V_{in}$  側のバッファは帰還のループに含まれていないため，この部分に非線形性が存在すると，直接線形性を劣化させてしまう要因となる．一倍のバッファを簡単に構成する方法として，ソースフォロワバッファがよく用いられる．しかしながら，ソースフォロワバッファはソース側の負荷が小さい場合，利得が変動してしまうという問題がある．

そこでソースフォロワバッファを用いた電流帰還型オペアンプとして，図 3.25 のような回路を考える．なお，図中の  $-1$  倍アンプは差動対称の回路から接続すれば実現できるため，差動構成であれば省略される．M1 はソースフォロワバッファとしての役割の他に，TIA の入力としての役割を果たす [13]．図 3.25(b) に示す小信号等価回路より，次の三式を得る．

$$g_{m1}v_{in} + \frac{1}{R_2}v_{out} = \left( g_{m1} + \frac{1}{R_1} + \frac{1}{R_2} \right) v_s \tag{3.129}$$

$$\frac{1}{Z_A}v_d + g_{m1}v_{in} = g_{m1}v_s \tag{3.130}$$

$$v_{out} \approx -v_d \tag{3.131}$$

ただし簡単のため  $g_{m2} \gg 1/R_2$  とし，チャンネル長変調効果を無視した． $v_s$  は，

$$v_s = -\frac{\frac{1}{R_1} + \frac{1}{R_2}}{\frac{1}{R_2} + \frac{1}{Z_A}}v_d \approx \frac{1 + \frac{R_2}{Z_A}}{G_V}v_{out} \tag{3.132}$$

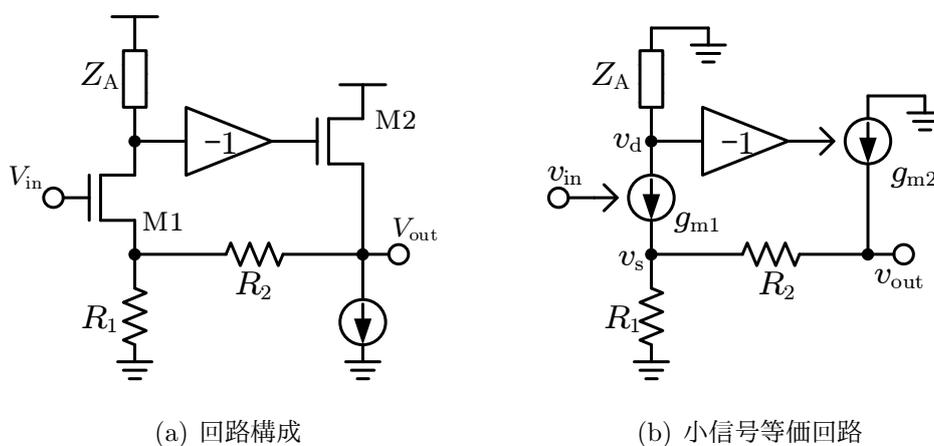


図 3.25: NMOS 入力型電流帰還型オペアンプ

となる。一方  $v_{out}$  は、

$$v_{out} \approx \frac{g_{m1}}{\frac{1}{Z_A} + \frac{g_{m1}}{G_V} \left(1 + \frac{R_2}{Z_A}\right)} v_{in} = \frac{G_V}{1 + \frac{1}{Z_A} \left(R_2 + \frac{G_V}{g_{m1}}\right)} v_{in} \quad (3.133)$$

と表される。(3.123) 式と比較すると、 $R_2$  が変化していることがわかる。この  $R_2$  の変化は、後述する  $v_s$  ノードからのロスに起因している。

ところで、

$$v_s = \frac{1 + \frac{R_2}{Z_A}}{1 + \frac{R_2}{Z_A} \left(1 + \frac{G_V}{g_{m1} R_2}\right)} v_{in} \quad (3.134)$$

より、

$$v_{in} - v_s = \frac{\frac{G_V}{g_{m1} Z_A}}{1 + \frac{R_2}{Z_A} \left(1 + \frac{G_V}{g_{m1} R_2}\right)} v_{in} \quad (3.135)$$

となるため、 $Z_A \rightarrow \infty$  の条件で  $(v_{in} - v_s) = 0$  となり、M1 の  $V_{GS}$  は不変となる。すなわち、電流帰還型オペアンプは入力振幅を減らすアプローチではなく、トランジスタパラメータの変動を抑えることで線形性を高めるアプローチを採用している。

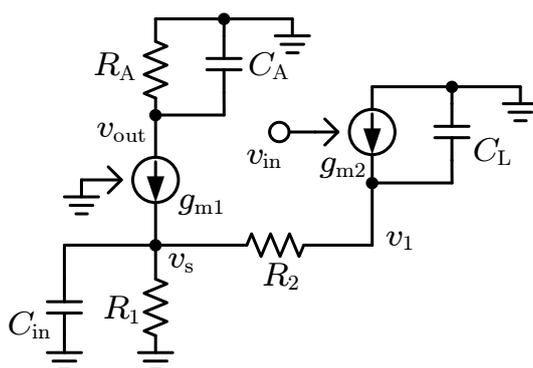


図 3.26: 寄生容量を考慮した開ループ回路

■一巡伝達特性 続いて、この回路の一巡伝達関数  $H_{\text{open}}(s)$  を求める。各ノードの寄生容量を考慮した図 3.26 の回路を考える。出力短絡時の  $G_m(s)$  を求める。

$$\left(g_{m2} + sC_L + \frac{1}{R_2}\right) v_1 = \frac{v_s}{R_2} + g_{m2}v_{\text{in}} \quad (3.136)$$

$$\left(g_{m1} + \frac{1}{R_1} + \frac{1}{R_2} + sC_{\text{in}}\right) v_s = \frac{v_1}{R_2} \quad (3.137)$$

$$i_{\text{out}} = g_{m1}v_s \quad (3.138)$$

より、

$$G_m(s) = \frac{i_{\text{out}}}{v_{\text{in}}} \approx \frac{1}{R_2} \frac{g_{m1}}{g_{m1} + \frac{1}{R_1} + \frac{1}{R_2}} \frac{g_{m2}}{g_{m2} + \frac{1}{R_2}} \frac{1}{\left(1 + \frac{sC_L}{g_{m2} + \frac{1}{R_2}}\right) \left(1 + \frac{sC_{\text{in}}}{g_{m1} + \frac{1}{R_1} + \frac{1}{R_2}}\right)} \quad (3.139)$$

を得る。 $g_{m2}$  の係数部分は  $v_1$  ノードのロスを示しており、前述の解析における  $g_{m2} \gg 1/R_2$  の条件で無視することができる。同様に  $g_{m1}$  の係数部分は  $v_s$  ノードのロスに対応しており、ロスを防ぐためには  $g_{m1} \gg 1/R_1, 1/R_2$  が必要である。一方、出力インピーダンスは、

$$r_{\text{out}}(s) \approx Z_A = \frac{R_A}{1 + sC_A R_A} \quad (3.140)$$

である。一巡伝達関数は、

$$H_{\text{open}}(s) = G_m(s)r_{\text{out}}(s) \approx \frac{H_{\text{open}}(0)}{(1 + sC_A R_A) \left(1 + \frac{sC_L}{g_{m2} + \frac{1}{R_2}}\right) \left(1 + \frac{sC_{\text{in}}}{g_{m1} + \frac{1}{R_1} + \frac{1}{R_2}}\right)} \quad (3.141)$$

となる。ただし、

$$\begin{aligned} H_{\text{open}}(0) &= \frac{R_A}{R_2} \frac{g_{m1}}{g_{m1} + \frac{1}{R_1} + \frac{1}{R_2}} \frac{g_{m2}}{g_{m2} + \frac{1}{R_2}} \\ &= \frac{R_A}{R_2} \frac{1}{1 + \frac{G_V}{g_{m1} R_2}} \frac{1}{1 + \frac{1}{g_{m2} R_2}} \end{aligned} \quad (3.142)$$

である。(3.142)式によれば  $R_2$  を減らすことによってある程度まで  $H_{\text{open}}(0)$  を大きくできるが、同時に  $g_{m1}$  及び  $g_{m2}$  を大きくしなければ  $G_m$  の損失が大きくなってしまう。特に  $v_s$  ノードからのロスが厳しく、 $G_V$  を大きく取っている場合は  $R_1$  が小さくなっているため、影響が大きい。一方、 $R_A$  は能動負荷を用いることで大きく設定できる。PMOS を使用した場合、トランジスタパラメータが同一であると仮定すると、

$$R_A \approx \frac{1}{g_{d1}} = \frac{G_{i1}}{g_{m1}} \quad (3.143)$$

となる。ここで  $g_{m2} = k_2 g_{m1}$  とし、 $N_1 = g_{m1} R_2$  とすると、 $H_{\text{open}}(0)$  は次のように整理できる。

$$H_{\text{open}}(0) \approx \frac{G_{i1}}{N_1} \frac{1}{1 + \frac{G_V}{N_1}} \frac{1}{1 + \frac{1}{k_2 N_1}} \quad (3.144)$$

この利得が最大になる条件は、 $N_1 = \sqrt{G_V/k_2}$  である。このときの最大値は、

$$\max H_{\text{open}}(0) \approx \frac{G_{i1}}{\left(\sqrt{G_V} + \frac{1}{\sqrt{k_2}}\right)^2} \leq \frac{G_{i1}}{G_V} \quad (3.145)$$

と表される。すなわち、系の最終的な利得  $G_V$  が大きい場合はオープンループゲインが殆ど得られないことが確認できる。右辺の不等式で等式が成立するための条件は  $k_2 \gg 1/G_V$  であり、 $k_2$  が小さい場合は更に線形性が劣化する。

ここで  $C_A$  の極がドミナントポールであると仮定して  $H_{\text{open}}(s)$  の GB 積を求める。 $C_A$  は M1 と M2 それぞれの寄生容量を加算した値である。そこで、

$$C_A = K_{C_{A1}} g_{m1} + K_{C_{A2}} g_{m2} \quad (3.146)$$

とおく。GB 積は、

$$\begin{aligned} \text{GBW} &= \frac{H_{\text{open}}(0) \cdot \omega_A}{2\pi} = \frac{H_{\text{open}}(0) \cdot g_{m1}}{2\pi C_A G_{i1}} \\ &= \frac{1}{2\pi G_{i1}} \frac{H_{\text{open}}(0)}{K_{C_{A1}} + k_2 K_{C_{A2}}} \end{aligned} \quad (3.147)$$

となり、 $H_{\text{open}}(0)$  以外に  $g_{m1}$  を含まない形に変形される。このとき、上記の最大値の検討が適用できるため、 $N_1$  を変数とした時の最大値は、

$$\max \text{GBW} \approx \frac{1}{2\pi} \frac{1}{K_{C_{A1}} + k_2 K_{C_{A2}}} \frac{1}{\left(\sqrt{G_V} + \frac{1}{\sqrt{k_2}}\right)^2} \quad (3.148)$$

と表される。GB 積を最大化するための  $k_2$  は、

$$k_2 = \left( \frac{K_{CA1}}{K_{CA2}\sqrt{G_V}} \right)^{\frac{2}{3}} \quad (3.149)$$

で与えられる。

図 3.27 に  $H_{\text{open}}(s)$  の GB 積を最大に設計した場合の性能を示す。  $G_V$  に対し、GB 積及び  $H_{\text{open}}(0)$  は減衰する。  $G_V = 2$  においても GB 積は 5 GHz を下回り、  $H_{\text{open}}(0)$  は 4 を下回る。

■寄生容量の影響 (3.141) 式から各極を整理すると、次のようになる。

$$\begin{cases} \omega_{p1} = \omega_A = \frac{g_{m1}}{G_{i1}C_A} \\ \omega_{p2} = \frac{k_2 g_{m1}}{C_L} \left( 1 + \frac{1}{k_2 N_1} \right) \\ \omega_{p3} = \frac{g_{m1}}{C_{in}} \left( 1 + \frac{G_V}{N_1} \right) \end{cases} \quad (3.150)$$

それぞれの極の周波数をまとめると図 3.28 のようになる。ただし、設計条件は図 3.27 と同様に  $H_{\text{open}}(s)$  の GB 積が最大となる条件を使用した。また、  $C_L$  は電流帰還型オペアンプ内部の寄生容量のみを考慮しており、外部の負荷容量を含んでいない。電圧帰還

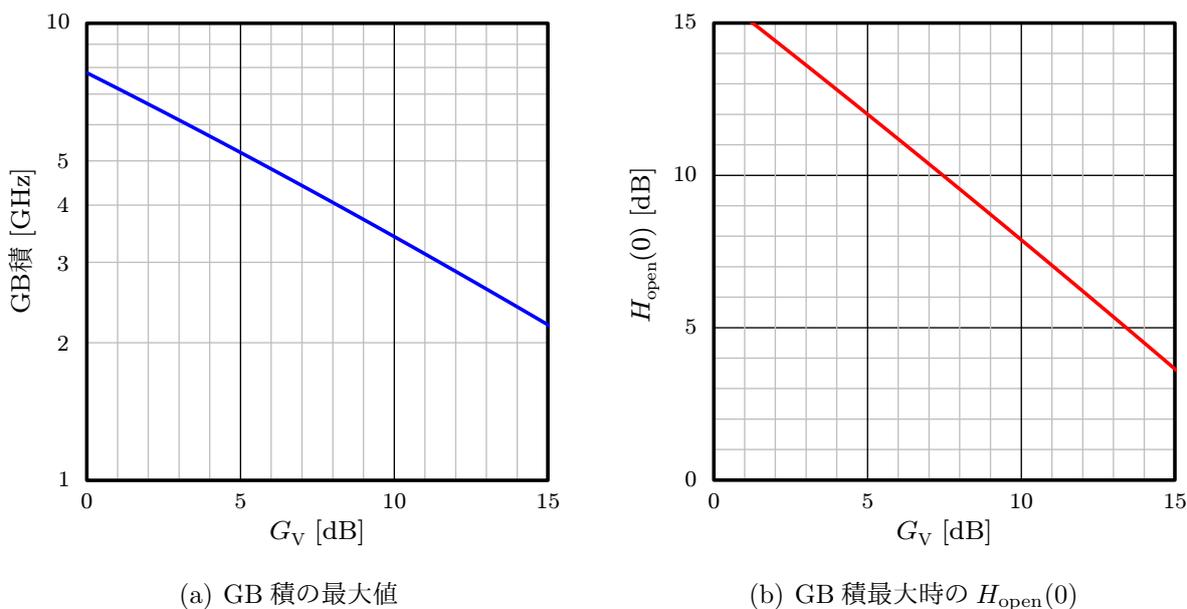


図 3.27:  $H_{\text{open}}(s)$  の GB 積最大設計時の性能

型では  $C_{in}$  による極が 10 GHz を下回っていたのに対し、電流帰還型では 100 GHz 付近にまで改善されている。この改善は、 $C_{in}$  と共に極を作る抵抗成分が  $g_{m1}$  になり、電圧帰還型よりも抵抗成分が大幅に小さくなったことによって生じたと考えられる。電流帰還型では入力部分を低入力インピーダンスで帰還信号を受け取るため、このような改善が生じる。

### 3.5.3 帰還利得の改善手法

図 3.25 で示した電流帰還型オペアンプは良好な周波数特性を持つが、帰還利得が低いという欠点が挙げられる。そこで  $H_{open}(0)$  を大きくする手段について考える。

(3.142) 式の解析結果をみると、トランスインピーダンスアンプの利得  $R_A$  を大きくすることによって  $H_{open}(0)$  は改善される。ここでは具体的な方法として図 3.29 に示す二つの手法を考える。

■カスケード接続 図 3.29(a) はカスケード接続を利用する方法である。M1 で回収された電流は M3 のドレイン抵抗で電圧に変換され、更に M4 及び M5 で構成されるソース接地回路で増幅されて M2 のソースフォロワバッファに送られる。したがってこのとき

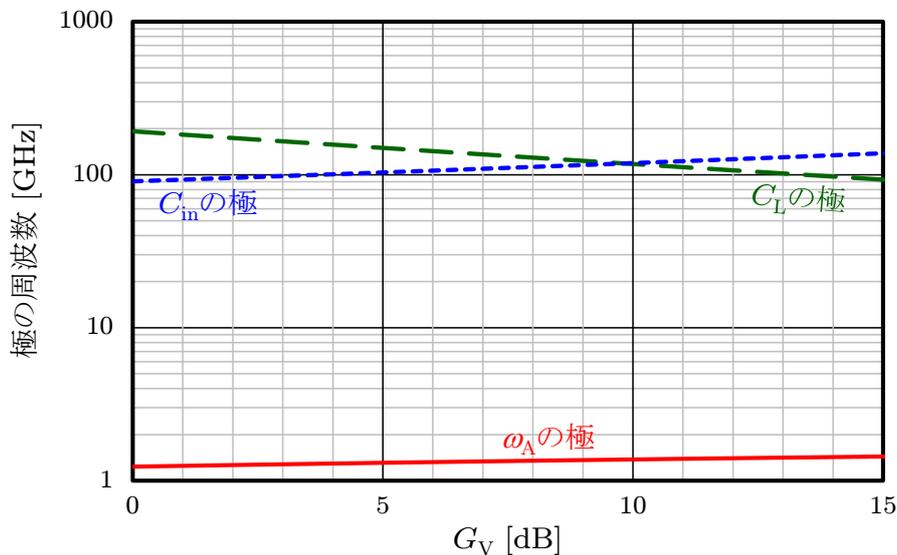


図 3.28: 電流帰還型オペアンプにおける極の周波数

の  $R_A$  は,

$$R_A \approx \frac{G_i}{2g_{d3}} \tag{3.151}$$

となり，ソース接地回路の利得によって増幅される．ただし，カスケード接続を行うと新たな極が追加されてしまう．この時の追加された極は (3.150) 式で示した  $\omega_A$  と同程度の値となるため，位相余裕を著しく劣化させてしまう要因となる．したがって多段オペアンプで構成された電圧帰還型と同様に，位相余裕を確保するための位相補償が必要となってしまう．

■カスコード抵抗 図 3.29(b) はカスコード抵抗によるアプローチである．電圧帰還型オペアンプで示したようにカスコード抵抗は出力抵抗を大きくすることができるため，トランスインピーダンスアンプの利得を大きくする用途に適している．電流帰還の経路は入力トランジスタのソース側を利用すれば良いため，N 入力フォールデッドカスコードオペアンプを応用し，M1 のソース端子に帰還をかけることで構成することができる．この場合の  $R_A$  は，

$$R_A \approx \frac{1}{\frac{g_{d3}}{G_{i4}} + \frac{g_{d5}}{G_{i6}}} \approx \frac{G_i}{3g_{d1}} \tag{3.152}$$

と表される．ただし， $G_{i4} = G_{i6} = G_i$  かつ  $g_{d5} = 2g_{d1} = 2g_{d3}$  とした．

この手法は電圧帰還型オペアンプと同様にカスコード抵抗の内部極が問題となる．そ

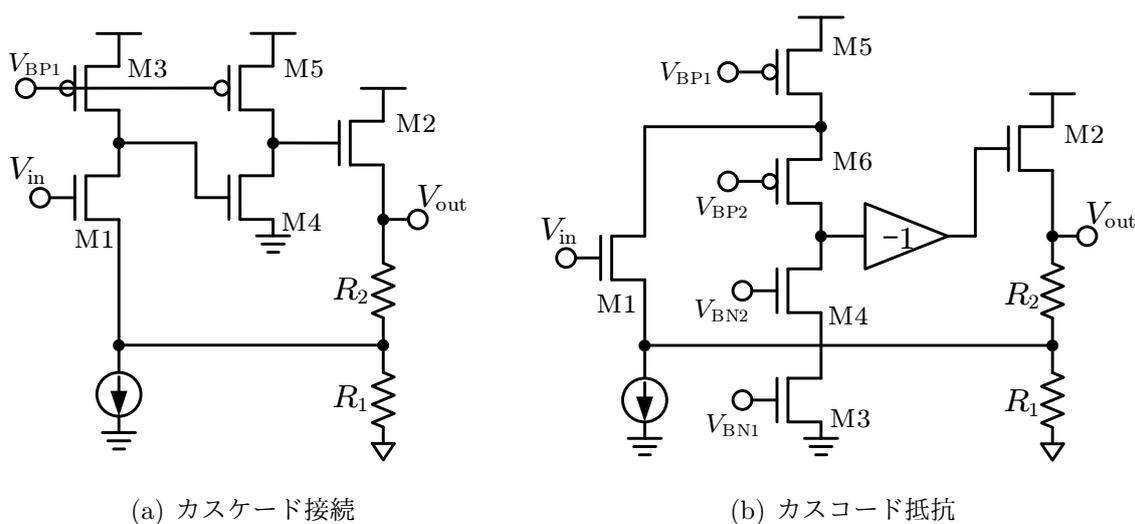


図 3.29: トランスインピーダンスアンプの  $R_A$  の改善手段

の周波数は 10 GHz 付近に存在するため、図 3.21 に示したように 10 GHz 付近の GB 積では適切な位相余裕が確保できない。

### 3.5.4 電流帰還型オペアンプのまとめ

最後に電流帰還型オペアンプの利点と問題点を整理する。

#### 入力寄生容量の影響を軽減

入力寄生容量の極は 100 GHz 付近に存在するため、電圧帰還型で問題となっていた GB 積の制限が大幅に緩和される。

#### $H_{\text{open}}(s)$ の GB 積・利得が低い

最も帯域の広い設計では 5 GHz を下回る GB 積しか実現できない上に、 $H_{\text{open}}(0)$  は 4 を下回る。

#### 内部極が GB 積を制限

カスコード抵抗を用いる方法で  $H_{\text{open}}(0)$  を 4 倍程度改善できるが、カスコード抵抗の極が GB 積を制限する。適切な位相余裕確保のためには、5 ~ 6 GHz 程度の GB 積が限界となる。

#### 系の最終的な利得 $G_V$ によって $H_{\text{open}}(s)$ が劣化

帰還電流のロスにより、系の最終的な利得  $G_V$  が大きい時  $H_{\text{open}}(s)$  の GB 積及び  $H_{\text{open}}(0)$  が劣化する。

#### 出力端の負荷容量によって安定性が劣化

電流帰還型オペアンプの出力端子に負荷容量が追加されると、セカンドポールの周波数を劣化させる場合がある。

#### 入力と出力の間に電圧シフトが存在

通常の CMOS でゲート入力とする場合、出力からの帰還パスは入力トランジスタのソース側となる。したがって図 3.30 に示すように、入出力の間に  $V_{GS}$  の電圧シフトが発生する。これを吸収するためには、入出力のいずれかに別途レベルシフト回路が必要となる。

#### 大振幅出力が困難

出力端子の手前が一倍のソースフォロワバッファとなっているため、トランスイ

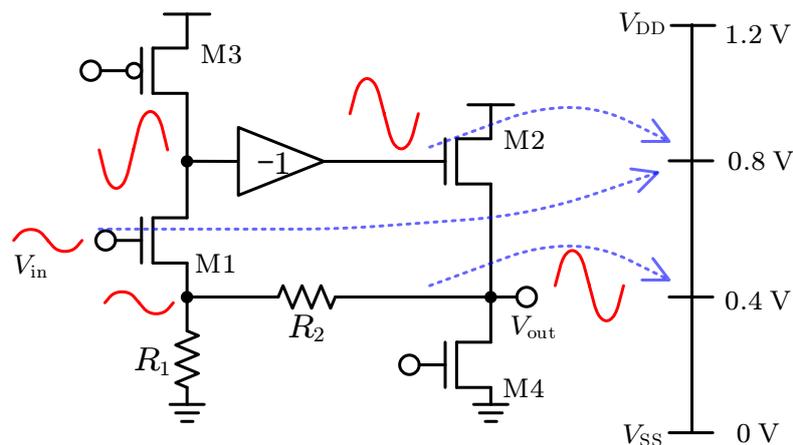


図 3.30: 電流帰還型オペアンプにおけるバイアス電圧の設定例と信号電圧の振幅

インピーダンスアンプの出力端子にも出力振幅と同等の電圧振幅が発生する（図 3.30）。更に出出力端子側のソースフォロワバッファはゲート・ソースのいずれも大振幅の電圧変動が生じるため、低電源電圧では大振幅出力が困難となる。

電流による帰還は低入力インピーダンスで受け取ることができるため、入力寄生容量の極を高周波側に移すことができるというメリットを持つ一方、帰還電流の一部が分流によって損失してしまうというデメリットを持つ。そのため上記のように、電流帰還型は電圧帰還型よりも広帯域用途に適しているが、 $G_V$  に対する帰還利得と GB 積の劣化が大きな問題となってしまう。

## 3.6 まとめ

本章では、アナログベースバンド回路を構成する重要な回路技術の一つである、オペアンプを用いた負帰還増幅回路について議論した。

■電圧帰還型オペアンプ 元来、トランジスタを用いた増幅回路は歪を持つ。負帰還増幅回路では高利得なオペアンプに帰還をかけることで、負帰還増幅回路全体の利得に対して余剰な利得が線形性を改善するように働く。そのため、オペアンプには高い利得が必要となる。

電圧帰還型のオペアンプは入力寄生容量によってオペアンプの入力部分における極が劣化し、オペアンプの内部極と併せて負帰還の安定性を劣化させる要因となってしまう。65nm CMOS プロセスにおいて余剰利得を 10 程度確保すると、一段オペアンプで安定して実現できる最大の GB 積は 2 GHz 程度であり、更なる広帯域化は困難であると結論付けられる。

■電流帰還型オペアンプ 電流帰還型オペアンプは電流で帰還をかけるため、オペアンプの入力インピーダンスが低く、入力寄生容量の極の影響を排除できる。しかしながら帰還経路で分流が生じ、系の利得が高い場合には一巡伝達関数の劣化が問題となる。65nm CMOS プロセスにおいて広帯域な設計を行った場合、GB 積は 5 GHz 以下となり、オープンループゲインは 4 以下となってしまう。オープンループゲインはカスコード抵抗の導入によって 4 倍程度改善されるが、一巡伝達関数の GB 積はカスコード抵抗の内部極によって 6 GHz 程度に制限されてしまう。

そこで次章では、更なる広帯域化・高線形化に向けて、グローバルな帰還を持たないオープンループアンプや電流増幅器について検討を行う。

## 参考文献

- [1] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [2] Behzad Razavi, 黒田 忠広 監訳, 「アナログ CMOS 集積回路の設計 応用編」, 丸善, 2003.
- [3] J. Ramos, and M. Steyaert, “Three stage amplifier with positive feedback compensation scheme,” IEEE Custom Integrated Circuits Conference, pp. 333-336, May 2002.
- [4] A. Peña Perez and F. Maloberti, “Performance enhanced op-amp for 65nm CMOS technologies and below,” IEEE International Symposium on Circuits and Systems, pp. 201-204, May 2012.
- [5] S. Wong and C. A. T. Salama, “Impact of Scaling on MOS Analog Performance,” IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- [6] K. Bult and G. Geelen, “A Fast-Settling CMOS Op Amp for SC Circuits with 90dB DC Gain,” IEEE Journal of Solid-State Circuits, vol. 25, no. 6, pp. 1379-1384, Dec. 1990.
- [7] Y. Chiu, P. R. Gray, and B. Nikolic, “A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR,” IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.
- [8] F. Yang, P. Loumeau, and P. Senn, “Novel output stage for DC gain enhancement

- of opamp and OTA,” *Electronics Letters*, vol. 29, no. 11, pp. 958-959, May 1993.
- [9] J. Yan and R. L. Geiger, “A Negative Conductance Voltage Gain Enhancement Technique for Low Voltage High Speed CMOS Op Amp Design,” *Midwest Symposium on Circuits and Systems*, pp. 502-505, Aug. 2000.
- [10] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, “A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries,” *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 1505-1513, Dec. 1994.
- [11] A. M. Soliman, “Applications of the current feedback amplifier,” *Analog Integrated Circuits and Signal Processing*, vol. 11, no. 3, pp. 265-302, Nov. 1996.
- [12] 鈴木 雅臣, 「定本 続トランジスタ回路の設計」, CQ 出版, 1992.
- [13] B. Razavi, “A 622 Mb/s 4.5 pA/ $\sqrt{\text{Hz}}$  CMOS transimpedance amplifier [for optical receiver front-end],” *IEEE International Solid-State Circuits Conference*, pp. 162-163, Feb. 2000.

## 第4章

### 局所的な負帰還技術

広帯域増幅回路を構成する連続時間系の増幅器は、3章で述べた負帰還増幅器、外部で帰還をかけずに使用するオープンループアンプ、電流ドメインで信号をやり取りする電流増幅器の三種類に分類することができる。

図4.1は、近年主要な学会や論文誌で報告されたアナログフロントエンド回路の構成を大別し、プロットしたものである。負帰還増幅回路は主に低周波向けに用いられており、オープンループ型は1GHz以下の用途、電流増幅器は更に広帯域な用途が主流である。本章では、オープンループアンプ及び電流増幅器などの広帯域増幅器の基本的な検討として、線形性、広帯域化、消費電力などの観点から考察する。

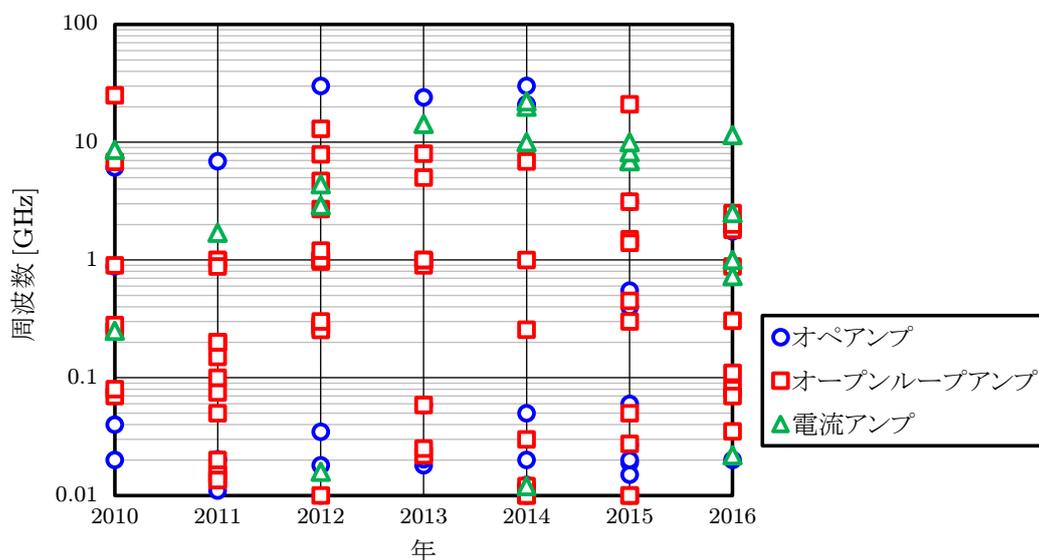


図 4.1: アナログフロントエンド回路とアーキテクチャ

## 4.1 広帯域化のアプローチ

オープンループアンプや電流増幅器の検討に移る前に、第3章の議論から負帰還増幅回路の問題点を整理し、広帯域化のアプローチを示す。また高線形オープンループアンプと電流増幅器それぞれについて、負帰還回路のトポロジから見た基本原理を導く。

### 4.1.1 負帰還増幅器の極

第3章で述べたグローバルなフィードバックを持つ負帰還増幅器では、寄生容量の極が広帯域化を厳しく制限していた。負帰還増幅器は、オペアンプの持つ利得から最終的な系の利得  $H(s)$  と、線形性改善のための余剰利得  $A_0F_0$  を同時に捻出しなければならない。そのため、寄生容量による極を許容してでもカスコード系のオペアンプを使用しなければならない。また、一巡伝達関数  $H_{open}$  の経路が長く、オペアンプのみならず減衰器  $F(s)$  を含むため、オペアンプの入力寄生容量も極を作り、一巡伝達関数に影響を及ぼす。加えて、オペアンプで高い利得を実現するためには減衰器を構成する素子のインピーダンスを高くしなければならないため、入力寄生容量の極は周波数が低くなってしまう。

図4.2(a)に正転増幅回路における三つの極を図示した。グローバルなフィードバックでは減衰器からオペアンプの入力寄生容量までが帰還経路に含まれていたため、

ドミナントポール  $\omega_{p1}$  オペアンプ出力部分の極

セカンドポール  $\omega_{p2}$  オペアンプの入力寄生容量によって生じる極

サードポール  $\omega_{p3}$  オペアンプ内部のカスコード抵抗の極

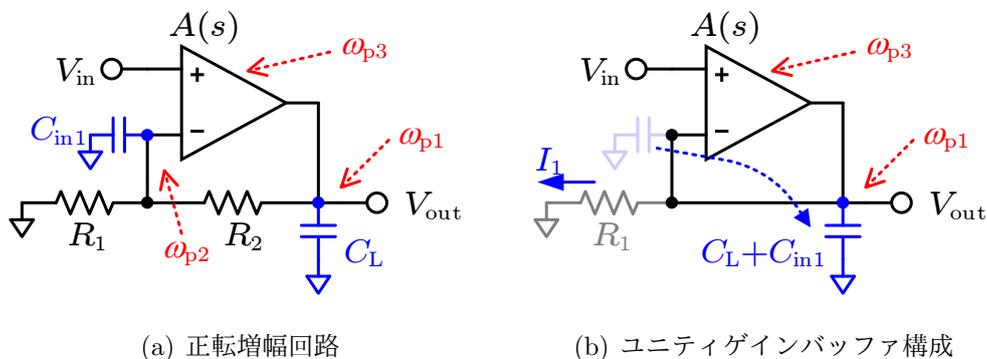


図 4.2: 負帰還増幅回路の極

の三つの極を一巡伝達関数に内包し、 $\omega_{p2}, \omega_{p3}$  が  $H_{\text{open}}$  の GB 積を制限する。

### 4.1.2 ユニティゲインバッファとしての利用

ここで、図 4.2(b) に示したような帰還抵抗  $R_2 = 0$  の場合を想定する。このとき、入力寄生容量  $C_{\text{in1}}$  と負荷容量  $C_L$  は同じノードに接続されるため、容量を統合して考えて良い。すなわち、 $\omega_{p1}$  と  $\omega_{p2}$  は結合され、一つの極となる。その結果、 $\omega_{p2}$  による  $-90^\circ$  を越える位相回転が生じなくなり、少なくともセカンドポールの問題は解消される。

ただし、 $R_2 = 0$  は負帰還増幅器としての利得を失うことを意味する。なぜなら、

$$F_0 = \frac{R_1}{R_1 + R_2} = 1 \quad (4.1)$$

となり、いかなる  $R_1$  に対しても系の DC 利得  $H(0)$  は、

$$H(0) = \frac{A(0)}{1 + A(0)F(0)} \approx \frac{1}{F_0} = 1 \quad (4.2)$$

となるため、利得は 0 dB になってしまう。

実際にオペアンプの入出力を短絡した回路はユニティゲインバッファと呼ばれ、1 倍のバッファとして用いられる。このようなユニティゲインバッファの構成では、出力端子にいかなるインピーダンスが接続された場合でも、オペアンプの利得  $A$  によってオペアンプの出力電圧が入力電圧に追従するように動作する。

また、ユニティゲインバッファでは実現する系の利得が低いため、オペアンプの利得  $A_0$  は全て負帰還の精度向上に費やされることになる。したがって、第 3 章で検討した利得を有す負帰還増幅回路と比較して、オペアンプに対する要求利得も緩和される。

### 4.1.3 高線形オープンループアンプへの拡張

ユニティゲインバッファは負帰還によって  $V_{\text{out}} = V_{\text{in}}$  を精度よく実現するが、増幅差用を持たない。そこで、図 4.2(b) における  $R_1$  を流れる電流に着目する。

$$I_1 = \frac{V_{\text{out}}}{R_1} = \frac{1}{1 + \frac{1}{A(s)}} \frac{V_{\text{in}}}{R_1} \quad (4.3)$$

したがって  $R_1$  には、負帰還によって  $V_{\text{in}}$  に比例した信号電流が流れている。オープンループアンプではこの信号電流  $I_1$  を回収し、トランスインピーダンスアンプに流し込む

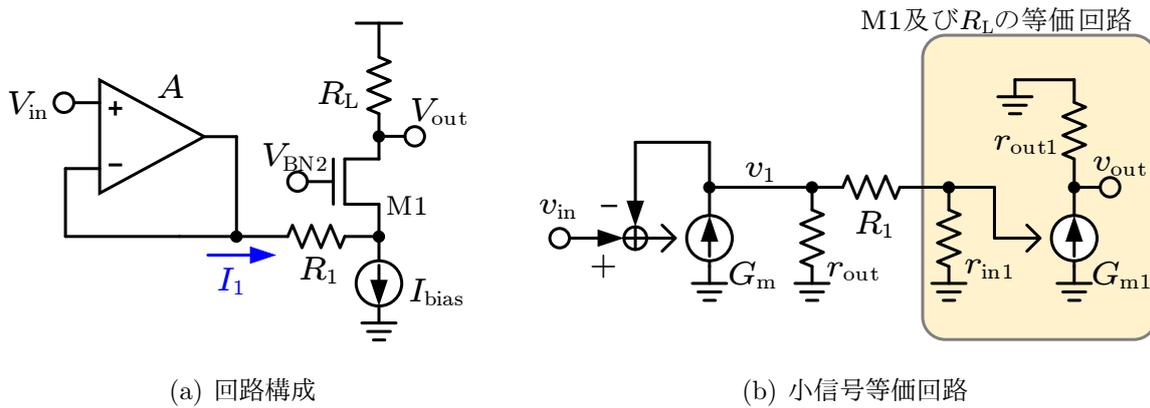


図 4.3: 負帰還回路から拡張した高線形性オープンループアンプ

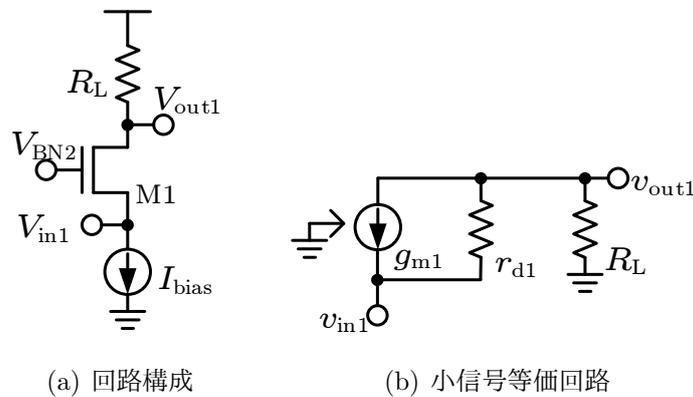


図 4.4: ゲート接地回路を用いたトランスインピーダンスアンプ [1]

ことで利得を得る。

具体的な回路構成として、図 4.3 のような回路が考えられる。  $G_m$  はオペアンプ  $A$  のトランスコンダクタンスであり、簡単のため各種容量は省略した。  $M1$  はゲート接地回路であり、  $I_{bias}$  の電流でバイアスされている。  $M1$  のソース側からの入力インピーダンスは  $1/g_{m1}$  であり、信号電流を受け取り  $R_L$  に流し込むトランスインピーダンスアンプとして動作する。すなわち、(4.3) 式の  $I_1$  から、

$$V_{out} \approx I_1 R_L = \frac{1}{1 + \frac{1}{A(s)}} \frac{R_L}{R_1} V_{in} \quad (4.4)$$

とすることで、抵抗の比のみで決まる線形性の良い利得を実現することを目指す。

図 4.3(b) を解く前に、図 4.4 に示したトランスインピーダンスアンプの解析を行う。入力インピーダンス  $r_{in1}$ 、出力インピーダンス  $r_{out1}$ 、トランスコンダクタンス  $G_{m1}$  はそ

それぞれ,

$$r_{in1} = \frac{1}{g_{m1} + g_{d1}} \approx \frac{1}{g_{m1}} \quad (4.5)$$

$$r_{out1} = \frac{1}{\frac{1}{R_L} + g_{d1}} \approx R_L \quad (4.6)$$

$$G_{m1} = g_{m1} + g_{d1} \approx g_{m1} \quad (4.7)$$

となる. ただし,  $g_{m1} \gg g_{d1}$  かつ  $r_{d1} \gg R_L$  を仮定した. これらの値を用いて, 図 4.3(b) の小信号等価回路を解析する.

$$\left( G_m + \frac{1}{r_{out}} + \frac{1}{R_1 + r_{in1}} \right) v_1 = G_m v_{in} \quad (4.8)$$

$$v_{out} = \frac{r_{in1}}{R_1 + r_{in1}} v_1 \cdot G_{m1} r_{out1} \quad (4.9)$$

であるから,  $v_{out}$  までの利得は,

$$\begin{aligned} A_V &= \frac{v_{out}}{v_{in}} = \frac{r_{out1}}{R_1} \frac{G_{m1} r_{in}}{\left( 1 + \frac{1}{G_m r_{out}} \right) \left( 1 + \frac{r_{in1}}{R_1} \right)} \approx \frac{r_{out1}}{R_1} \frac{1}{1 + \frac{r_{in1}}{R_1}} \\ &\approx \frac{R_L}{R_1} \frac{1}{1 + \frac{1}{g_{m1} R_1}} = \frac{R_L}{R_1} \frac{1}{1 + \frac{1}{N}} \end{aligned} \quad (4.10)$$

となる. ただし,  $G_m r_{out} \gg 1$  を仮定した.  $N$  はソースデジェネレーションファクターと呼ばれる値であり, 高線形オープンループアンプでは頻出するパラメータである.

$$N = g_{m1} R_1 \approx \frac{R_1}{r_{in1}} \quad (4.11)$$

であるから,  $N \gg 1$  のとき,  $R_1$  に対して  $r_{in1}$  は無視できるほど小さい状態となる. このとき  $A_V \approx R_L/R_1$  となり, トランジスタパラメータに依存しない利得を実現ができ, 負帰還増幅回路と同様の高い線形性が実現される. この状況は (4.4) 式において, トランスインピーダンスアンプが  $I_1$  を受け取っていると見なすための条件に相当する.

ユニティゲインバッファは入力寄生容量の極による帯域制限の問題を解決し, オペアンプの要求利得を緩和できるが, 負帰還増幅回路全体で利得が得られないという欠点を持っていた. 高線形オープンループアンプではこのハンデを, トランスインピーダンスアンプを用いることで解決していると考えられる. または, 回路全体の利得を得る部分を分離することで負帰還のループを簡略化し, 負帰還にまつわる利得と帯域の問題を解決した, と考えることもできる.

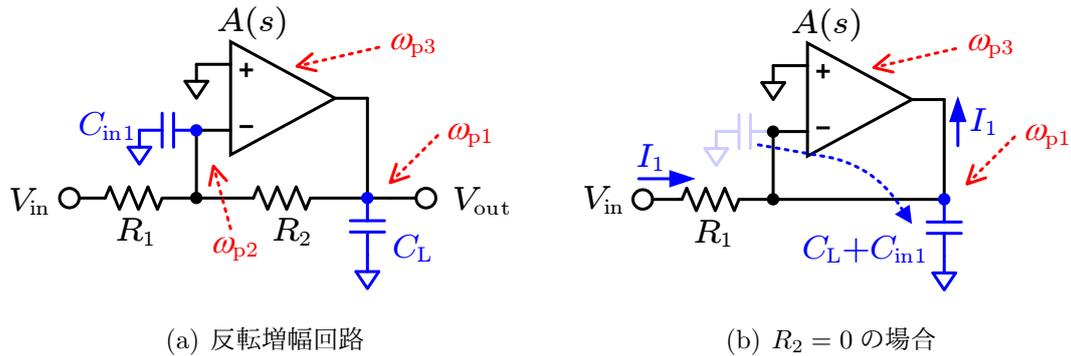


図 4.5: 負帰還増幅回路の極

なお、ソースデジェネレーションなどの高線形オープンループアンプでは個別に差動入力オペアンプ  $A$  を用意せず、トランジスタ単体で実現する。このときトランジスタの  $g_m$  がオペアンプの  $G_m$  に相当し、トランジスタのゲート側を正入力端子、ソース側を負入力端子と見なす。したがって高線形オープンループアンプでは、入力トランジスタのソース側に信号を帰還させるのが特徴となり、電流帰還型オペアンプに類似した帰還方法を取る。一方、トランスインピーダンスアンプの実現方法は様々であり、帯域を制限する要素も回路により異なる。続く 4.2 節では、代表的なオープンループアンプについて個別に検討を行う。

#### 4.1.4 電流増幅器への拡張

反転増幅回路と正転増幅回路の関係のように、オペアンプを用いた負帰還増幅回路では負入力端子側からも信号を入力することができる。図 4.2(b) では正の入力端子からの入力を想定したが、これは正転増幅回路で  $R_2 = 0$  とした状態に相当する。そこで図 4.5 のように、反転増幅回路において  $R_2 = 0$  とする回路を考える。この回路では信号を電流で受け取り、オペアンプに  $I_1$  を流し込む。ユニティゲインバッファの構成の拡張であるため、オペアンプの負帰還における入力寄生容量による極は結合され、広帯域化が可能となる。

ただし、この構成ではオペアンプの出力部分に電圧振幅が存在しない。なぜなら、オペアンプの正の入力端子側が交流接地であるため、負入力側も仮想短絡によって交流接地状態となるためである。この回路ではオペアンプで吸収した電流  $I_1$  が信号成分となっているため、カレントミラー回路で  $I_1$  をコピーし、電流源出力を行うことで広帯域な電

流増幅器を構成することができる。詳しい構成や原理，帯域制限については 4.3 節で議論する。

## 4.2 オープンループアンプ

オープンループアンプは、オペアンプを用いた負帰還増幅回路と異なり、増幅器の出力から入力へのフィードバックを行わない。そのため、負帰還にまつわる帯域制限の問題を解決することができ、広帯域化に向けたアーキテクチャであるとされる。

最も基本的なオープンループアンプは第3章の図3.2に示したソース接地回路であるが、線形性が悪いという課題があった。そこで本節では、線形性を高めるために増幅器の内部で完結する局所的な帰還（ローカルなフィードバック）を持つオープンループアンプを検討する。まず線形性の良いオープンループアンプの基本回路であるソースデジェネレーションについて述べ、更に線形性の良いフリップトボルテージフォロワ (FVF) 構造を用いた増幅器について述べる。

なお、オープンループアンプは、 $G_m$  セルの出力端子に負荷抵抗  $R_L$  を接続した構成で表すことができる。出力から見込んだインピーダンスが  $R_L$  で決まる場合、理想的にはオープンループアンプと  $G_m$  セルの線形性は同一となる。解析にあたり、簡単のため上記の条件を想定し、 $G_m$  セルとしてオープンループアンプを解析する。

### 4.2.1 ソースデジェネレーション

図4.6(a)に示すソースデジェネレーション構成は最も基本的なオープンループアンプの一種である [2, 3]。この回路は入力トランジスタのソース側に抵抗が挿入されている。 $V_{inp} > V_{inn}$  の入力差動電圧が印加されると、図4.6(a)に示すような差動電流  $\Delta I$  が生じ、 $R_S$  及び  $R_L$  に流れ込む。この時、入力トランジスタのソース側の電位は、抵抗  $R_S$  に差動電流が流れ込んだことによって、入力差動電圧に追従するような差動電圧が生じる。またこの差動電流は  $R_L$  にも流れ込んでいるため、出力端にも差動電圧が生じ、利得を得る。この回路はソース側の抵抗  $R_S$  によって、入力トランジスタのゲート・ソース間電圧を一定に保つようなフィードバックが生じ、トランジスタの動作点が殆ど変化しないため、線形性が良いとされる。

4.2.1.1 小信号等価回路解析

図 4.6(b) はソースデジェネレーションの小信号等価回路である．この等価回路から，利得を求める．

$$v_s \left( g_{m1} + g_{d1} + \frac{1}{R_S} \right) = v_{out} g_{d1} + v_{in} g_{m1} \tag{4.12}$$

$$v_{out} \left( g_{d1} + \frac{1}{R_L} \right) + v_s \frac{1}{R_S} = 0 \tag{4.13}$$

(4.13) 式より，

$$v_s = -v_{out} \left( g_{d1} + \frac{1}{R_L} \right) R_S. \tag{4.14}$$

(4.14) 式を (4.12) 式に代入する．

$$-v_{out} \left\{ g_{d1} + \left( g_{m1} + g_{d1} + \frac{1}{R_S} \right) \left( g_{d1} + \frac{1}{R_L} \right) R_S \right\} = v_{in} g_{m1} \tag{4.15}$$

最終的に利得は，次のようになる．

$$\begin{aligned} A_V = \frac{v_{out}}{v_{in}} &= - \frac{g_{m1}}{g_{d1} + \left( g_{m1} + g_{d1} + \frac{1}{R_S} \right) \left( g_{d1} + \frac{1}{R_L} \right) R_S} \\ &\approx \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_{m1} R_S}} \end{aligned} \tag{4.16}$$

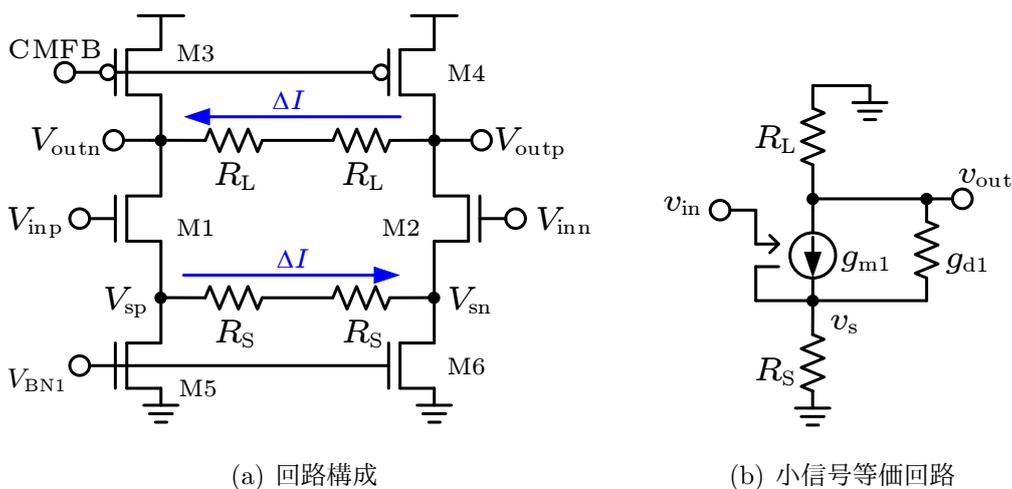


図 4.6: ソースデジェネレーション

ただし,  $g_{m1} \gg g_{d1}, 1/R_L \gg g_{d1}$  として近似した. また, (4.14) 式と (4.16) 式より,  $v_s$  は,

$$\begin{aligned} v_s &= A_V v_{in} \left( g_{d1} + \frac{1}{R_L} \right) R_S \approx v_{in} \frac{g_{d1} R_L + 1}{1 + \frac{1}{g_{m1} R_S}} \\ &\approx v_{in} \frac{1}{1 + \frac{1}{N}} \end{aligned} \quad (4.17)$$

となり,  $N = g_{m1} R_S$  が十分に大きい場合,  $v_{in}$  に精度よく追従することがわかる. 同様に,  $N$  が十分に大きい時, (4.16) 式の右辺は抵抗の比のみとなり, トランジスタのパラメータに依存しない利得を得ることができる.  $N = g_{m1} R_S$  は, 入力トランジスタのソースに対するフィードバックの強さを決めているため, このような結果が得られる. ただし  $R_S$  を大きくすると, (4.16) 式によれば利得が小さくなってしまい,  $g_{m1}$  を大きくするには消費電力を増やす必要がある. したがって, 線形性は利得及び消費電力との間にトレードオフを持つことになる.

#### 4.2.1.2 歪の解析

続いて, 実際にどの程度の線形性が確保できるかを解析する. まず入力電圧は, 入力コモン電圧  $V_{com}$  と差動電圧  $\Delta V_{in} > 0$  を用いて,

$$V_{inp} = \Delta V_{in} + V_{com} \quad (4.18)$$

$$V_{inn} = -\Delta V_{in} + V_{com} \quad (4.19)$$

とする. また, 入力トランジスタのソース側の電位は, ある基準電圧  $V_{scom}(\Delta V_{in})$  を用いて,

$$V_{sp} = \Delta I R_S + V_{scom}(\Delta V_{in}) \quad (4.20)$$

$$V_{sn} = -\Delta I R_S + V_{scom}(-\Delta V_{in}) \quad (4.21)$$

と表す. なお,  $V_{scom}(\Delta V_{in})$  は差動回路に対して対称な点の電位を表すため偶関数である.  $\Delta V_{in} = 0$  の時の M1, M2 を流れる電流  $I_0$  は, 次のように表される.

$$I_0 = K(V_{com} - V_{th} - V_{scom}(0))^2 \quad (4.22)$$

ここで  $K$  は定数であり, また簡単のためチャネル長変調効果を無視している. M1, M2 それぞれの電流式は, 次のように表される.

$$I_0 + \Delta I = K \{ \Delta V_{in} + V_{com} - V_{th} - \Delta I R_S - V_{scom}(\Delta V_{in}) \}^2 \quad (4.23)$$

$$I_0 - \Delta I = K \{ -\Delta V_{in} + V_{com} - V_{th} + \Delta I R_S - V_{scom}(-\Delta V_{in}) \}^2 \quad (4.24)$$

まず, (4.23) 式の両辺から (4.24) 式を引き,

$$\Delta I = 2K \{V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}})\} (\Delta V_{\text{in}} - \Delta I R_S) \quad (4.25)$$

を得る. また, (4.23) 式を,

$$I_0 + \Delta I = K \left[ (\Delta V_{\text{in}} - \Delta I R_S)^2 + 2(\Delta V_{\text{in}} - \Delta I R_S) \{V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}})\} + \{V_{\text{com}} - V_{\text{th}} - V_{\text{scom}}(\Delta V_{\text{in}})\}^2 \right] \quad (4.26)$$

と展開すると, 右辺第二項は (4.22) 式により  $\Delta I$  に相当し, また第三項の  $V_{\text{scom}}(\Delta V_{\text{in}}/2)$  は (4.22) 式を用いて消去できる.

$$I_0 = K \left[ (\Delta V_{\text{in}} - \Delta I R_S)^2 + \frac{\Delta I^2}{4K^2 (\Delta V_{\text{in}} - \Delta I R_S)^2} \right] \quad (4.27)$$

この  $\Delta I$  と  $\Delta V_{\text{in}}$  の関係式からテイラー展開を用いて  $\Delta I$  について解くと, 次のようになる.

$$\Delta I \approx \frac{g_m}{1 + g_m R_S} \Delta V_{\text{in}} - \frac{g_m}{2(1 + g_m R_S)^4 V_{\text{eff}}^2} \Delta V_{\text{in}}^3 \quad (4.28)$$

ただし,  $g_m = 2I_0/V_{\text{eff}}$  である. 最後に出力差動電圧  $\Delta V_{\text{out}}$  は,

$$\begin{aligned} \Delta V_{\text{out}} &= \Delta I R_L \\ &\approx \frac{g_m R_L}{1 + g_m R_S} \Delta V_{\text{in}} - \frac{g_m R_L}{2(1 + g_m R_S)^4 V_{\text{eff}}^2} \Delta V_{\text{in}}^3 \\ &\approx \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_m R_S}} \Delta V_{\text{in}} - \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_m R_S}} \frac{1}{2(1 + g_m R_S)^3 V_{\text{eff}}^2} \Delta V_{\text{in}}^3 \end{aligned} \quad (4.29)$$

となる. ところで, (1.1) 式の定義によれば, 差動回路において  $V_{\text{in}} = 2\Delta V_{\text{in}}$ ,  $V_{\text{out}} = 2\Delta V_{\text{out}}$  であるから,

$$V_{\text{out}} \approx \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_m R_S}} V_{\text{in}} - \frac{1}{8} \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_m R_S}} \frac{1}{(1 + g_m R_S)^3 V_{\text{eff}}^2} V_{\text{in}}^3 \quad (4.30)$$

となり, 一次と三次の係数の比は,

$$\begin{aligned} \left| \frac{a_3}{a_1} \right| &= \frac{1}{8(1 + g_m R_S)^3 V_{\text{eff}}^2} \\ &= \frac{1}{8(1 + N)^3 V_{\text{eff}}^2} \end{aligned} \quad (4.31)$$

となる. ここで  $N = g_m R_S$  である. (4.31) 式によると,  $N$  が大きいほど線形性の改善が図れることがわかる. この結果は (4.16) 式の考察結果とも一致する.

図 4.7 に, ソースデジェネレーション構造を持つ電流増幅器の線形性を示す. シミュレーション条件は表 4.1 のとおりである. 理論計算及びシミュレーション結果は,  $N$  の上昇に対して線形性が向上する傾向を示す.

表 4.1: 比較のためのシミュレーション条件

項目	設定値	備考
電源電圧	1.2 V	
プロセス	65nm CMOS	
$R_S$	60 $\Omega$	
$R_L$	0 $\Omega$	出力端子に到達する電流で調査
$I_{bias}$	-	変数としてスイープ
雑音帯域	1 GHz	雑音特性の調査で使用
入力周波数	90 MHz, 110 MHz	IIP3 の測定で使用

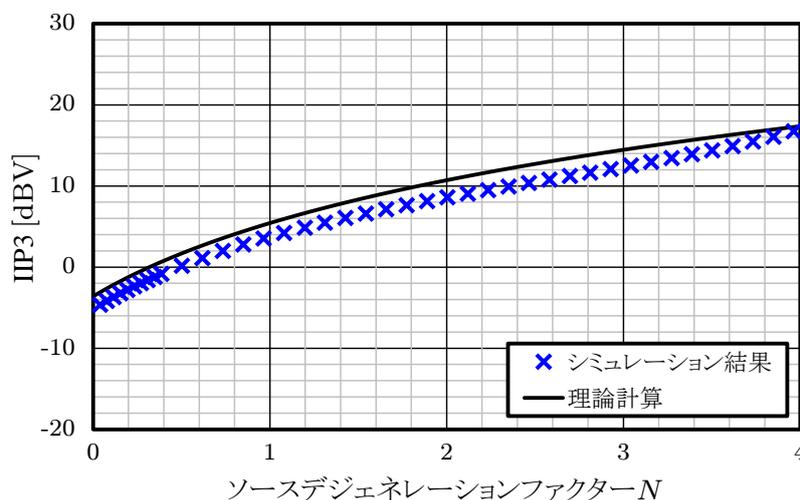


図 4.7: ソースデジェネレーション構造を持つ Gm セルの線形性

#### 4.2.1.3 ノイズ特性

ソースデジェネレーションのノイズソースは、回路を構成する全てのトランジスタと抵抗である。この内トランジスタで生じるノイズは、図 4.8 に示すゲート電圧換算で、

$$\overline{v_n^2} = \frac{4kT\gamma}{g_m} \quad (4.32)$$

であり、あるいは電流源で換算すると、

$$\overline{i_n^2} = 4kT\gamma g_m \quad (4.33)$$

と表される [4]。ここで  $k$  はボルツマン定数で  $k = 1.38 \times 10^{-23}$  J/K,  $T$  は絶対温度 (単位は K) であり,  $\gamma$  は熱雑音係数を表す。また,  $\overline{v_n^2}$  及び  $\overline{i_n^2}$  の単位はそれぞれ,  $V^2/\text{Hz}$  と

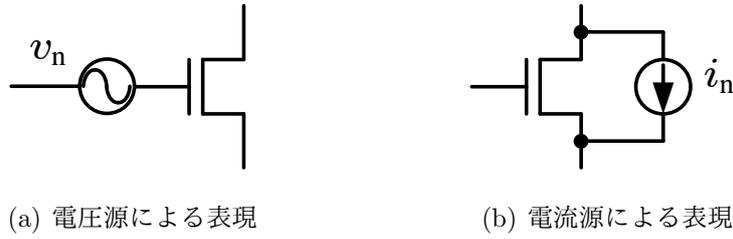


図 4.8: トランジスタのノイズ



図 4.9: 抵抗のノイズ

$A^2/\text{Hz}$ である。ただし、広帯域増幅器においてフリッカ雑音の影響はオフセットキャンセルの機構で除去されるとして、ここでは熱雑音のみを考慮している。しかしながら、以下の計算はフリッカ雑音にも適用可能である。同様に抵抗  $R$  の雑音は図 4.9 において、

$$\overline{v_n^2} = 4kTR \quad (4.34)$$

または、

$$\overline{i_n^2} = \frac{4kT}{R} \quad (4.35)$$

である。

まず  $M1, M2$  のノイズは、入力差動電圧と同様に増幅されて出力に生じるため、

$$\overline{v_{n,\text{out}}^2} \Big|_{M1,M2} = A_v^2 \left( \overline{v_{n,M1}^2} + \overline{v_{n,M2}^2} \right) = 8A_v^2 kT \gamma \frac{1}{g_{m1}}. \quad (4.36)$$

また、 $M3, M4$  の作る雑音電流は、 $R_L$  に流れ込んで出力電圧を揺らすため、

$$\overline{v_{n,\text{out}}^2} \Big|_{M3,M4} = R_L^2 \left( \overline{i_{n,M3}^2} + \overline{i_{n,M4}^2} \right) = 8kT \gamma g_{m3} R_L^2 \quad (4.37)$$

となる。一方、 $R_L$  の雑音はそのまま出力に生じるため、

$$\overline{v_{n,\text{out}}^2} \Big|_{2R_L} = 2\overline{v_{n,R_L}^2} = 8kTR_L. \quad (4.38)$$

同様に  $R_S$  及び M5, M6 のトランジスタの出すノイズの影響は,

$$\overline{v_{n,out}^2}|_{2R_S} = \left( \frac{R_L}{1 + \frac{1}{g_{m1}R_S}} \right)^2 \cdot 2\overline{i_{n,R_S}^2} = \left( \frac{R_L}{1 + \frac{1}{g_{m1}R_S}} \right)^2 \cdot 8kT \frac{1}{R_S} \quad (4.39)$$

$$\overline{v_{n,out}^2}|_{M5,M6} = \left( \frac{R_L}{1 + \frac{1}{g_{m1}R_S}} \right)^2 \left( \overline{i_{n,M5}^2} + \overline{i_{n,M6}^2} \right) = \left( \frac{R_L}{1 + \frac{1}{g_{m1}R_S}} \right)^2 \cdot 8kT \gamma g_{m5} \quad (4.40)$$

である。結果として出力に生じる全体の雑音は,

$$\overline{v_{n,out}^2} = \overline{v_{n,out}^2}|_{M1,M2} + \overline{v_{n,out}^2}|_{M3,M4} + \overline{v_{n,out}^2}|_{M5,M6} + \overline{v_{n,out}^2}|_{2R_S} + \overline{v_{n,out}^2}|_{2R_L} \quad (4.41)$$

である。

ただし、雑音は増幅器自身の利得で増幅されて出力されるため、利得が大きい回路ほど  $\overline{v_{n,out}^2}$  は大きくなってしまい、比較には不適である。そこで、出力における雑音を利得で割った入力換算雑音が、雑音特性の評価によく用いられる。この回路の入力換算雑音は,

$$\begin{aligned} \overline{v_{n,in}^2} &= \frac{\overline{v_{n,out}^2}}{A_v^2} \\ &= 8kT \left\{ \gamma \frac{1}{g_{m1}} + \left( \gamma g_{m3} + \frac{1}{R_L} \right) R_S^2 \left( 1 + \frac{1}{g_{m1}R_S} \right)^2 + \gamma g_{m5} R_S^2 + R_S \right\} \\ &= \frac{8kT\gamma}{g_m} \left[ 1 + \left\{ \frac{1}{\gamma} + \frac{R_S}{\gamma R_L} \left( 1 + \frac{1}{N} \right)^2 \right\} N + \left\{ 1 + \left( 1 + \frac{1}{N} \right)^2 \right\} N^2 \right] \quad (4.42) \end{aligned}$$

と表される。ただし、簡単のため  $g_m = g_{m1} = g_{m3} = g_{m5}$  とし、 $N = g_m R_S$  とした。実際に全てのトランジスタを流れる定常電流は同じであるため、 $V_{eff}$  によって多少値は異なるが、これらのトランスコンダクタンスの間に大きな値の違いは無い。

(4.42) 式は、 $g_m$  が大きいほど（回路の消費電力を増やすほど）入力換算雑音が小さくなることを示している。しかしながら、入力換算雑音は  $N$  に対して強い相関を持っているため、線形性を向上させるために  $N$  を大きく設計すると、雑音特性は劣化してしまう。このような特性が得られる原因は、例えば  $g_m$  を一定として  $R_S$  を大きくすると、各トランジスタからのノイズの量はほとんど変化しないが、差動電圧入力によって生じた差動電流が減少してしまい、相対的に信号に対して雑音電力が増えたように見えるためと考えられる。したがって、線形性とノイズはトレードオフの関係にあり、特に高い線形性を得たい場合は設計に気をつける必要がある。

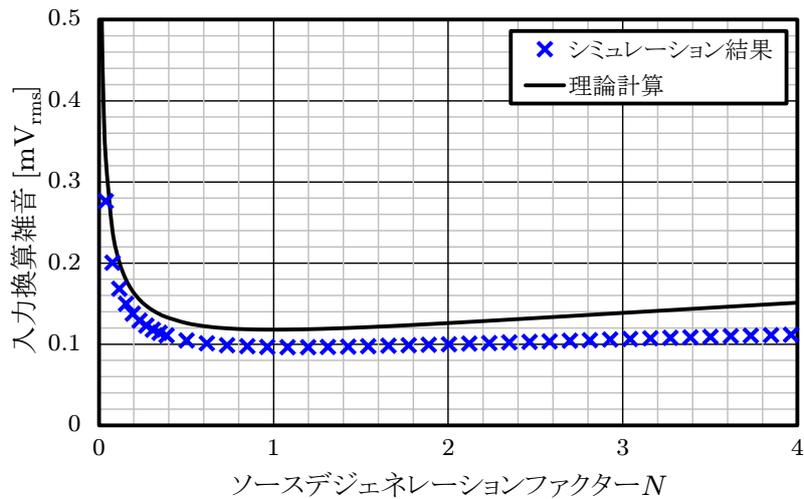


図 4.10: ソースデジェネレーション  $G_m$  セルの雑音特性

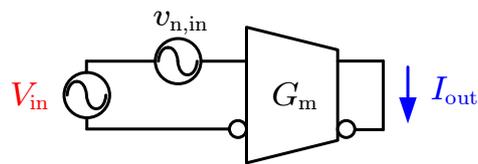


図 4.11: オープンループアンプの SNDR 計算モデル

図 4.10 に、ソースデジェネレーション構造を持つ  $G_m$  セルの雑音特性を示す。理論計算とシミュレーション結果は非常に近い傾向を示しており、 $N = 1$  付近を境に雑音が大きくなっていることが確認できる。

#### 4.2.1.4 最大 SNDR

図 4.11 のような回路モデルにおいて、ソースデジェネレーションを用いた場合の最大 SNDR を求める。(1.22) 式を再掲すると、

$$\text{SNDR}_{\text{peak}} = -1.01 - \frac{20}{3} \log \left( \left| \frac{a_3}{a_1} \right| \cdot \overline{v_{n,\text{in}}^2} f_{\text{BW}} \right) [\text{dB}] \quad (4.43)$$

であるから、 $|a_3/a_1|$  と  $\overline{v_{n,\text{in}}^2}$  の積を求めれば良い。

$$\begin{aligned} \left| \frac{a_3}{a_1} \cdot \overline{v_{n,\text{in}}^2} \right| &= \frac{1}{8(1+N)^3 V_{\text{eff}}^2} \cdot \frac{8kT\gamma}{g_m} \left[ 1 + \frac{N}{\gamma} + \left\{ 1 + \left( 1 + \frac{1}{N} \right)^2 \right\} N^2 \right] \\ &= \frac{kT\gamma}{(1+N)^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + \left( 1 + \frac{1}{2\gamma} \right) N + N^2 \right\} \end{aligned} \quad (4.44)$$

したがって、SNDR の最大値は次のように求まる。

$$\begin{aligned} \text{SNDR}_{\text{peak}} &= -1.01 - \frac{20}{3} \log \left[ \frac{kT\gamma f_{\text{BW}}}{(1+N)^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + \left( 1 + \frac{1}{2\gamma} \right) N + N^2 \right\} \right] \\ &\approx -1.01 - \frac{20}{3} \log \left( \frac{kT\gamma f_{\text{BW}}}{NV_{\text{eff}} I_{\text{bias}}} \right) [\text{dB}] \end{aligned} \quad (4.45)$$

ただし、 $N \gg 1$  として近似を行った。  $N$  に含まれる  $I_{\text{bias}}$  を考慮すると、消費電力に対して SNDR はおよそ 13.3 dB/dec (2/3 乗) で改善されるという結果が得られる。また、 $N$  だけ大きくした場合でも 1/3 乗の改善効果が見込める。ただし、この近似が成立するためには  $N \gg 1$  が必要であり、非常に大きな  $I_{\text{bias}}$  を必要とする。

なお、この  $\text{SNDR}_{\text{peak}}$  が得られるときの入力振幅は、(1.20) 式より、

$$\begin{aligned} V_a &= 2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left( \overline{v_{n,\text{in}}^2} f_{\text{BW}} \right)^{\frac{1}{6}} \\ &\approx \left\{ 16(1+N)^3 V_{\text{eff}}^2 \right\}^{\frac{1}{3}} \cdot \left( \frac{16kT\gamma f_{\text{BW}} N^2}{g_m} \right)^{\frac{1}{6}} \\ &\approx 4 \left( kT\gamma R_S f_{\text{BW}} V_{\text{eff}}^4 \cdot N^7 \right)^{\frac{1}{6}} \end{aligned} \quad (4.46)$$

となる。すなわち、SNDR 改善のために  $N$  や  $I_{\text{bias}}$  を大きくすると、SNDR のピークを得るために大きな振幅を入力しなければならない。これは  $N$  が上昇すると、雑音特性の劣化と線形性の改善が同時に生じるためと考えられる。

図 4.12 に、ソースデジェネレーション構造を持つ電流増幅器の SNDR の特性を示す。理論計算とシミュレーション結果の誤差は非常に小さく、やはり  $N$  が上昇するほど  $\text{SNDR}_{\text{peak}}$  は高くなる傾向にある。

## 4.2.2 局所的な負帰還に利得を有する増幅器

更に高い線形性を必要とする場合は、図 4.13 に示す FVF 構造を持つ高線形 Gm セル [5,6] を用いた増幅器がよく用いられる。この回路もソースデジェネレーションと同

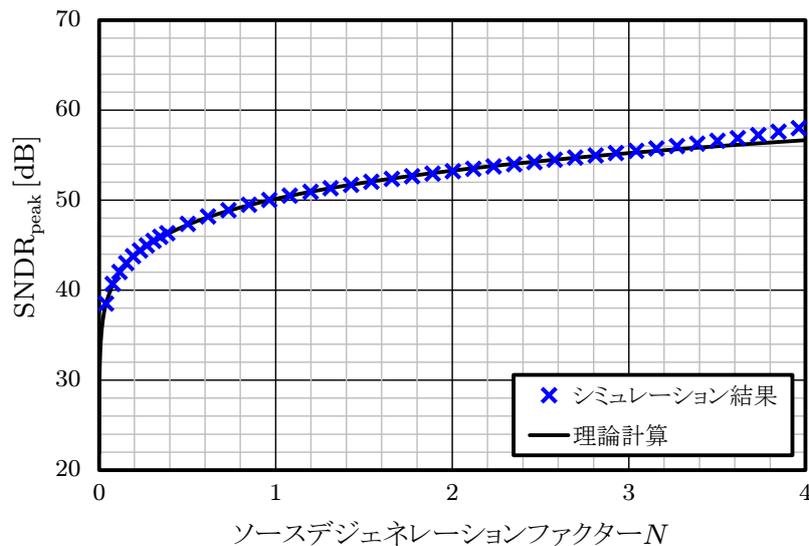


図 4.12: ソースデジェネレーション構造を持つ Gm セルの SNDR

様に，入力トランジスタのソース側に抵抗が挿入されており，また入力トランジスタを囲うように入力トランジスタのドレインと NMOS 側電流源のトランジスタのゲートが接続されている．M11~M14 は電流源であり，M7,M8 などは出力抵抗を稼ぐためのカスコードトランジスタである．また図中の  $M$  は M3 と M5, M4 と M6 のミラー比を表している．入力トランジスタ M1 及び M2 は，M13 及び M14 の電流源によってそれぞれ一定電流でバイアスされている．そのため，入力された差動電圧に対して入力トランジスタのソースの電位が追従し， $V_{GS}$  を一定に保つようなフィードバックがかかる．その結果，抵抗  $R_S$  の両端に，入力差動電圧とほぼ同等の差動電圧が生じ，差動電流が M3,  $R_S$ , M4 に流れる．この差動電流は，M3 と M5, M4 と M6 それぞれのカレントミラーによって出力側に移動し，抵抗  $R_L$  に流れこむことによって利得を得る．

この回路が単なるソースデジェネレーションと比較して高い線形性が得られる理由に，図 4.14 に示すような差動電流が流れるパスの違いが挙げられる．ソースデジェネレーションでは，入力のトランジスタに差動電流が流れていたため，その差動電流によってトランジスタの動作点が変わってしまい（すなわち， $V_{GS}$  が変化し），入力トランジスタのソース側の差動電位が入力差動電圧に一致しなくなり，線形性を劣化させてしまっていた．一方，FVF 構造では差動電流が入力トランジスタには流れないため，理想的には常に一定の  $V_{GS}$  を保ちながら動作することができる．そのため，入力トランジスタのソース側に生じる差動電位の追従性が良く，入力差動電圧に比例した差動電流が得られ

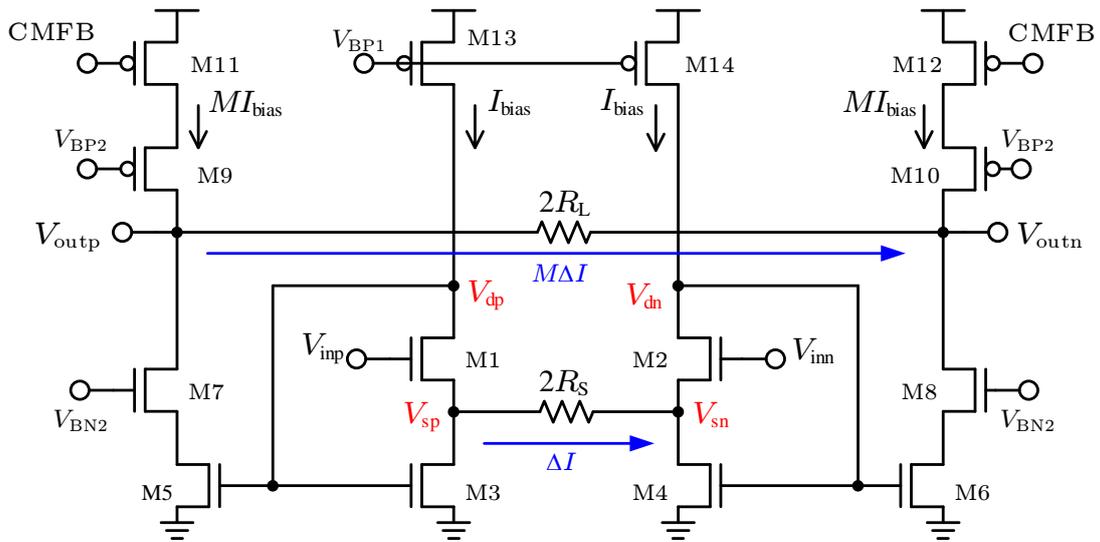
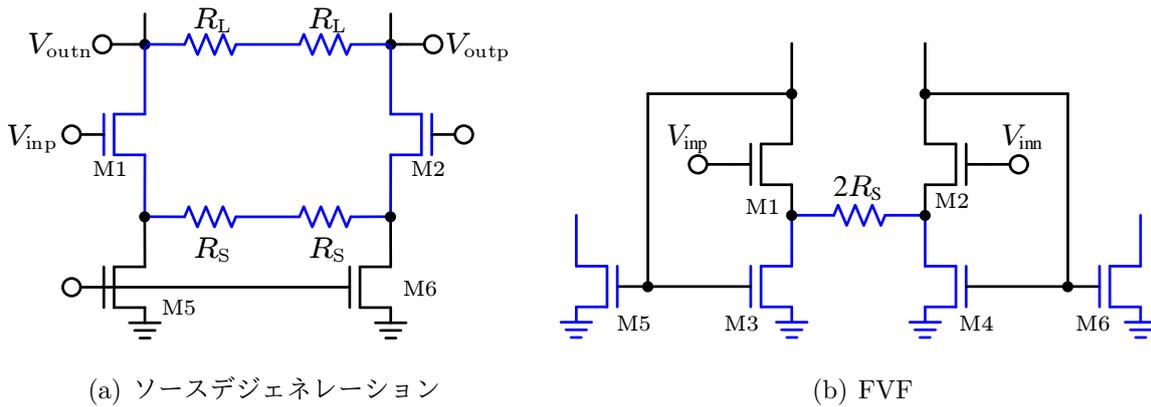


図 4.13: FVF 構造を持つ高線形 Gm セルを用いた増幅器



(a) ソースデジェネレーション

(b) FVF

図 4.14: 差動電流が流れるパス（青線）の比較

る。また、カレントミラーは M3 や M4 の二乗則によって生じる歪を M5, M6 でキャンセルしているため、出力振幅の飽和が無い限り入力側の回路で線形性が決まる。以上の理由から、FVF 構造は高い線形性を有す。このような特性改善は、ループ内に挿入されているトランジスタの固有利得によって生じた帰還利得の上昇が大きく影響している。

#### 4.2.2.1 帯域

■小信号等価回路解析 この回路の片側小信号等価回路は図 4.15 のようになる。ここで PMOS は理想電流源として小信号等価回路上で省略した。図中の  $R_S$  は、実際の回路で

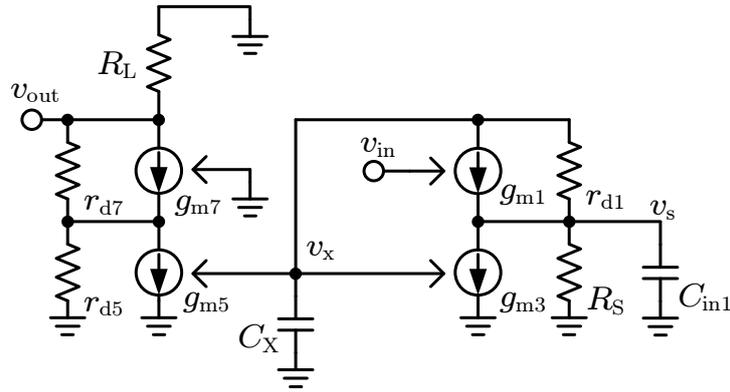


図 4.15: FVF 構造を持つ増幅器の小信号等価回路

は並列に  $r_{d3}$  が接続されるが、本解析では  $R_S$  に含まれているとして扱う。  $C_X$  はカレントミラーノードの寄生容量を表しており、  $C_{in1}$  は M1 の  $C_{GS}$  を主とする寄生容量を示している。

ソースデジェネレーションと同様に、小信号等価回路から利得を求める。まず各ノードでキルヒホッフの法則を用いて式を立てる。

$$(G_S + g_{m1} + g_{d1} + sC_{in1})v_s + g_{m3}v_x = g_{m1}v_{in} + g_{d1}v_x \quad (4.47)$$

$$(g_{d1} + sC_X)v_x + g_{m1}v_{in} = (g_{m1} + g_{d1})v_s \quad (4.48)$$

$$v_{out} \approx -g_{m5}R_Lv_x \quad (4.49)$$

(4.48) 式を用いて (4.47) 式を変形すると、

$$v_s = -\frac{g_{m3} + sC_X}{G_S + sC_{in1}}v_x \quad (4.50)$$

$$v_x = \frac{g_{m1}}{g_{m3} - g_{d1} - (G_S + g_{m1} + g_{d1} + sC_{in1})\frac{g_{m3} + sC_X}{G_S + sC_{in1}}}v_{in}$$

$$\approx -\frac{G_S + sC_{in1}}{g_{m3} + \frac{g_{m3}}{G_{i1}}\left(1 + \frac{1}{g_{m3}R_S}\right) + s\left\{\frac{C_{in1}}{G_{i1}} + C_X\left(1 + \frac{1}{g_{m1}R_s}\right)\right\} + s^2\frac{C_{in1}C_X}{g_{m1}}}v_{in} \quad (4.51)$$

となる。ただし、  $g_m \gg g_d$  として近似を行った。ここで  $G_{i1}$  は M1 の固有利得を表しており、  $G_{i1} = g_{m1}r_{d1}$  である。(4.51) 式の分母の極は、

$$\omega_{p1}, \omega_{p2} \approx \frac{g_m}{2C_{in1}}\left(1 + \frac{1}{N}\right)\left\{1 \pm \sqrt{1 - \frac{4C_{in1}}{C_X}\left(1 + \frac{1}{N}\right)^{-2}}\right\} \quad (4.52)$$

と表される。ただし、簡単のため  $g_{m1} = g_{m3} = g_m$  とした。また、 $N = g_m R_S$  である。 $v_{out}$  と  $v_{in}$  の関係式は、(4.49) 式、(4.51) 式及び (4.52) 式により、次のようになる。

$$v_{out} \approx \frac{g_{m5} R_L}{g_{m3} R_S} \frac{1}{1 + \frac{1}{G_{i1}} \left(1 + \frac{1}{N}\right)} \frac{1 + sC_{in1} R_S}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} v_{in} \quad (4.53)$$

ここで M3 と M5 はミラー比  $M$  のカレントミラー回路であるから、

$$g_{m5} = M g_{m3} \quad (4.54)$$

と表すことできる。最終的な電圧利得は、

$$A_V \approx M \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{G_{i1}} \left(1 + \frac{1}{N}\right)} \frac{1 + sC_{in1} R_S}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (4.55)$$

であり、固有利得  $G_{i1}$  の利得によってトランジスタパラメータの影響が抑制され、電圧利得はミラー比  $M$  と抵抗比によって制御される。ただし、実際は出力端子に負荷容量  $C_L$  が付くため、出力端子側で最終的な帯域が定まる点に注意が必要である。またこの時  $v_s$  は、(4.50) 式により、

$$v_s \approx \frac{1}{1 + \frac{1}{G_{i1}} \left(1 + \frac{1}{g_{m3} R_S}\right)} \frac{1 + s \frac{C_X}{g_{m3}}}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} v_{in} \quad (4.56)$$

と表される。ここで  $s = 0$  を代入すると、

$$v_s|_{s=0} = \frac{1}{1 + \frac{1}{G_{i1}} \left(1 + \frac{1}{g_{m3} R_S}\right)} v_{in} \quad (4.57)$$

となり、 $N$  が十分大きい状況下で  $v_s \approx v_{in}$  となることが期待される。ソースデジェネレーションの場合 ((4.17) 式) と比較すると、やはり M1 の固有利得分だけフィードバックの利得が改善されていることがわかる。

■一巡伝達関数 続いて、一巡伝達関数について調べる。図 4.16 は FVF 構造のループ部分を取り出した等価回路である。キルヒホッフの電流則により、次の二式を得る。

$$(G_S + g_{m1} + g_{d1} + sC_{in1})v_s + g_{m3}v_{in} = g_{d1}v_{out} \quad (4.58)$$

$$(g_{d1} + sC_X)v_{out} = (g_{m1} + g_{d1})v_s \quad (4.59)$$

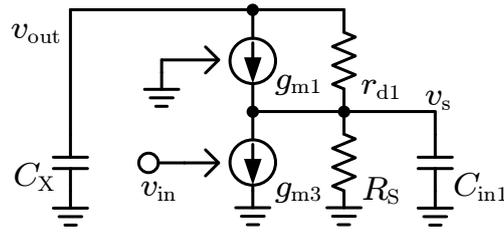


図 4.16: FVF 構造の開ループ等価回路

$v_s$  を消去して、次の式を得る.

$$\left\{ g_{d1} - (G_S + g_{m1} + g_{d1} + sC_{in1}) \frac{g_{d1} + sC_X}{g_{m1} + g_{d1}} \right\} v_{out} = g_{m3} v_{in} \quad (4.60)$$

したがって、一巡伝達関数  $H_{open}$  は次のように求まる.

$$\begin{aligned} H_{open}(s) &\approx \frac{1}{\frac{1}{G_{i1}g_{m3}R_S} + s \left\{ \frac{C_{in1}}{G_{i1}g_{m3}} + \frac{C_X}{g_{m3}} \left( 1 + \frac{1}{g_{m1}R_S} \right) \right\} + s^2 \frac{C_{in1}C_X}{g_{m1}g_{m3}}} \\ &\approx \frac{G_{i1}N}{\left( 1 + \frac{s}{\omega_{o,p1}} \right) \left( 1 + \frac{s}{\omega_{o,p2}} \right)} \end{aligned} \quad (4.61)$$

$\omega_{o,p1}$  及び  $\omega_{o,p2}$  は次のようになる.

$$\begin{aligned} \omega_{o,p1}, \omega_{o,p2} &\approx \frac{g_m}{2C_{in1}} \left\{ 1 + \frac{1}{N} \pm \sqrt{\left( 1 + \frac{1}{N} \right)^2 - \frac{4}{G_{i1}N} \frac{C_{in1}}{C_X}} \right\} \\ &\approx \frac{g_m}{2C_{in1}} \left( 1 + \frac{1}{N} \right) \left[ 1 \pm \left\{ 1 - \frac{2}{G_{i1}N} \frac{C_{in1}}{C_X} \left( 1 + \frac{1}{N} \right)^{-2} \right\} \right] \\ &\approx \frac{g_m}{G_{i1}NC_X} \frac{1}{1 + 1/N}, \frac{g_m}{C_{in1}} \left( 1 + \frac{1}{N} \right) \end{aligned} \quad (4.62)$$

■最大帯域 実際にこの FVF 構造で利用できる最大の帯域について調べる.

各帯域を制限する寄生容量  $C_{in1}$  及び  $C_X$  は、トランジスタの  $C_{GS}$  によって定まる。 $C_{GS}$  はトランジスタのゲートサイズに比例するため、 $V_{eff}$  を固定して設計する場合、ある係数を用いて、

$$C_{in1} = K_{C,M1} \cdot I_{bias} \quad (4.63)$$

$$C_X = (M + 1) \cdot C_{GS3} = (1 + M)K_{C,M3} \cdot I_{bias} \quad (4.64)$$

と表すことができる。一方,

$$g_m = \frac{2I_{\text{bias}}}{V_{\text{eff}}} \quad (4.65)$$

である。これらのパラメータを用いて整理する。

オープンループアンプとしての電圧利得の帯域を制限する FVF 構造内部の極は, (4.52) 式で表される。これらの極は  $N$  や  $C_X$  などに依存して変化する。判別式  $D$  は,

$$D = 1 - \frac{4C_{\text{in1}}}{C_X} \frac{1}{\left(1 + \frac{1}{N}\right)^2} \quad (4.66)$$

であり,

$$N = \frac{1}{2\sqrt{\frac{C_{\text{in1}}}{C_X} - 1}} \quad (4.67)$$

を境に, 小さい  $N$  に対しては実数解, 大きい  $N$  に対しては虚数解となる。ただし,

$$C_X \geq 4C_{\text{in1}} \quad (4.68)$$

の場合は常に実数の解を持つ。この条件はミラー比が大きい状況を示しており,  $C_X$  と  $C_{\text{in1}}$  の作るそれぞれの極が遠く離れる事によって実数解のみとなる。

まず  $N \ll 1$  を仮定すると, (4.51) 式は次のように近似できる。

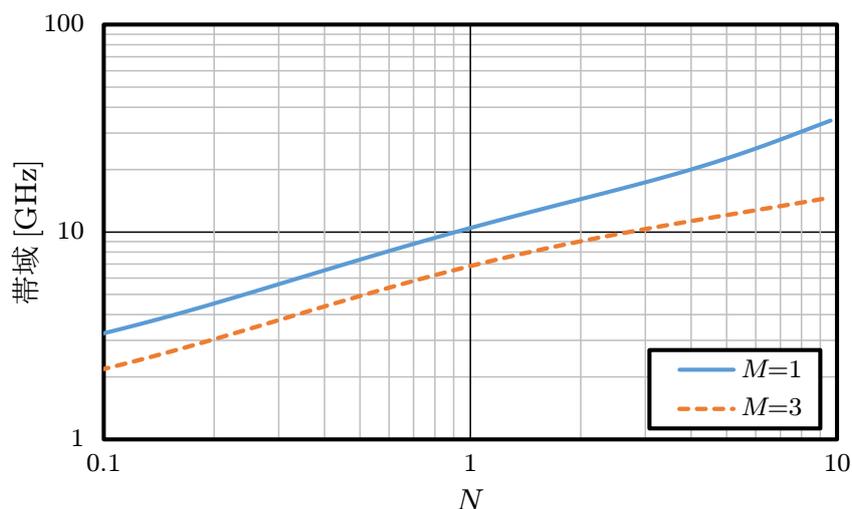
$$\begin{aligned} \omega_{p1}, \omega_{p2} &\approx \frac{g_m}{2C_{\text{in1}}} \left(1 + \frac{1}{N}\right) \left[1 \pm \left\{1 - \frac{2C_{\text{in1}}}{C_X} \left(\frac{1}{1 + 1/N}\right)^2\right\}\right] \\ &\approx \frac{g_m}{C_X} \left(1 + \frac{1}{1 + 1/N}\right), \frac{g_m}{C_{\text{in1}}} \left(1 + \frac{1}{N}\right) \\ &= \frac{2}{(M+1)K_{C,M3}V_{\text{eff}}} \left(1 + \frac{1}{1 + 1/N}\right), \frac{2}{K_{C,M1}V_{\text{eff}}} \left(1 + \frac{1}{N}\right) \end{aligned} \quad (4.69)$$

このように一定の  $N$  に対して,  $\omega_{p1}$  及び  $\omega_{p2}$  は  $I_{\text{bias}}$  に依存しない一定の値を取る。重解は  $D = 0$  より,

$$\omega_{p1} = \omega_{p2} = \frac{g_m}{\sqrt{C_{\text{in1}}C_X}} = \frac{2}{\sqrt{(M+1)}\sqrt{K_{C,M1}K_{C,M3}V_{\text{eff}}}} \quad (4.70)$$

となる。一方, 虚数解は,

$$\omega_{p1}, \omega_{p2} = \frac{g_m}{2C_{\text{in1}}} \left(1 + \frac{1}{N}\right) \left\{1 \pm j\sqrt{\frac{4C_{\text{in1}}}{C_X} \left(1 + \frac{1}{N}\right)^{-2} - 1}\right\} \quad (4.71)$$

図 4.17: FVF 構造の  $-3$  dB 帯域

より,

$$|\omega_{p1}| = |\omega_{p2}| = \frac{g_m}{\sqrt{C_{in1}C_X}} = \frac{2}{\sqrt{(M+1)}\sqrt{K_{C,M1}K_{C,M3}V_{eff}}} \quad (4.72)$$

となり,  $N$  や  $I_{bias}$  に依存せず, 重解と同一半径の円上を回る. またいずれのケースにおいても, ドミナントポールはミラー比  $M$  によって劣化する.

ただし, 実際の  $-3$  dB 帯域はより複雑である. 図 4.17 に FVF 構造を用いて Gm セルを設計した際の  $-3$  dB 帯域を示す. ただし, 出力端子は短絡し, 出力端子に到達する信号電流に対して帯域を調べた. ミラー比は  $M = 1, 3$  の二種類に設定した.  $N$  を変数として見たとき, いずれのケースにおいても  $-3$  dB 帯域は単調増加となる. 実際の伝達関数には二つのポールの他に, (4.55) 式の分子に存在するゼロ点が含まれている. このゼロ点は  $R_S$  に反比例するため, 大きな  $N$  に対して低周波側に移動することになる. このゼロ点の影響は非常に強く, 最終的な帯域は 10 GHz 程度のオーダーとなる. 実際は出力に接続される負荷容量  $C_L$  と出力抵抗  $R_L$  によって作られる極がドミナントポールとなるが, 少なくとも数 GHz の使用用途では FVF 構造内部の帯域制限は問題にならないと考えられる.

続いて閉ループの安定性を調べる. (4.61) 式及び (4.62) 式により, FVF 構造のループ部分に関するラジアン表示の GB 積は次のように計算される.

$$H_{open}(0) \cdot \omega_{o,p1} = \frac{g_m}{C_X} \frac{1}{1+1/N} = \frac{2}{(M+1)K_{C,M3}V_{eff}} \frac{1}{1+1/N} \quad (4.73)$$

第二ポールとユニティゲイン周波数の比率を取ると、

$$\frac{\omega_{o,p2}}{H_{\text{open}}(0) \cdot \omega_{o,p1}} \approx \frac{C_X}{C_{\text{in1}}} \left(1 + \frac{1}{N}\right)^2 = (M+1) \frac{K_{C,M3}}{K_{C,M1}} \left(1 + \frac{1}{N}\right)^2 \quad (4.74)$$

となる。この時の位相余裕は、

$$\begin{aligned} PM &\approx 180^\circ - 90^\circ - \tan^{-1} \left( \frac{H_{\text{open}}(0) \cdot \omega_{o,p1}}{\omega_{p2}} \right) \\ &= 90^\circ - \tan^{-1} \frac{C_{\text{in1}}}{C_X} \left( \frac{N}{N+1} \right)^2 \end{aligned} \quad (4.75)$$

となる。この位相余裕は  $N$  に対しても感度を持ち、 $N$  が大きくなるほど位相余裕は劣化する。そこで最も厳しい条件として  $N \gg 1$  を仮定し、 $PM \geq 60^\circ$  となる条件を求めると、

$$M \geq \sqrt{3} \cdot \frac{K_{C,M1}}{K_{C,M3}} - 1 \quad (4.76)$$

となる。 $K_{C,M1} = K_{C,M3}$  と仮定すると、 $M = 1$  においても十分な位相余裕が確保されている。したがって殆どの場合において、FVF 構造では位相補償を必要としない。この結果から、電圧増幅器としての電圧利得の帯域は (4.55) 式で制限され、線形性を担保する利得の帯域は (4.61) 式で決まると考えて良い。

図 4.18 に、 $N$  を変化させた時の  $H_{\text{open}}(s)$  の変化を示す。ミラー比は  $M = 1, 3$  の二種類でシミュレーションを行った。FVF 構造の負帰還は、10 GHz を越える GB 積に対しても  $90^\circ$  を上回る位相余裕を持つ。例えば  $N = 1, M = 1$  のとき、20 dB もの負帰還利得が 1 GHz に渡り維持されるため、広帯域な用途においても安定した性能を維持することができる。グローバルなフィードバックを持つ負帰還増幅回路の場合は 2 GHz 程度の GB 積に制限されていたため、実に 5 倍の帯域改善となる。ただし、ミラー比の増加は GB 積および  $-3$  dB 帯域を劣化させるため、使用する用途に応じて設計を行わなければならない。

#### 4.2.2.2 歪の解析

続いて、この回路の歪について詳しく解析する。FVF 構成はソースデジェネレーションと異なり、入力トランジスタを流れる電流が常に一定である。その結果、入力トランジスタのゲート・ソース間電圧が一定となるが、実際はチャンネル長変調効果によって

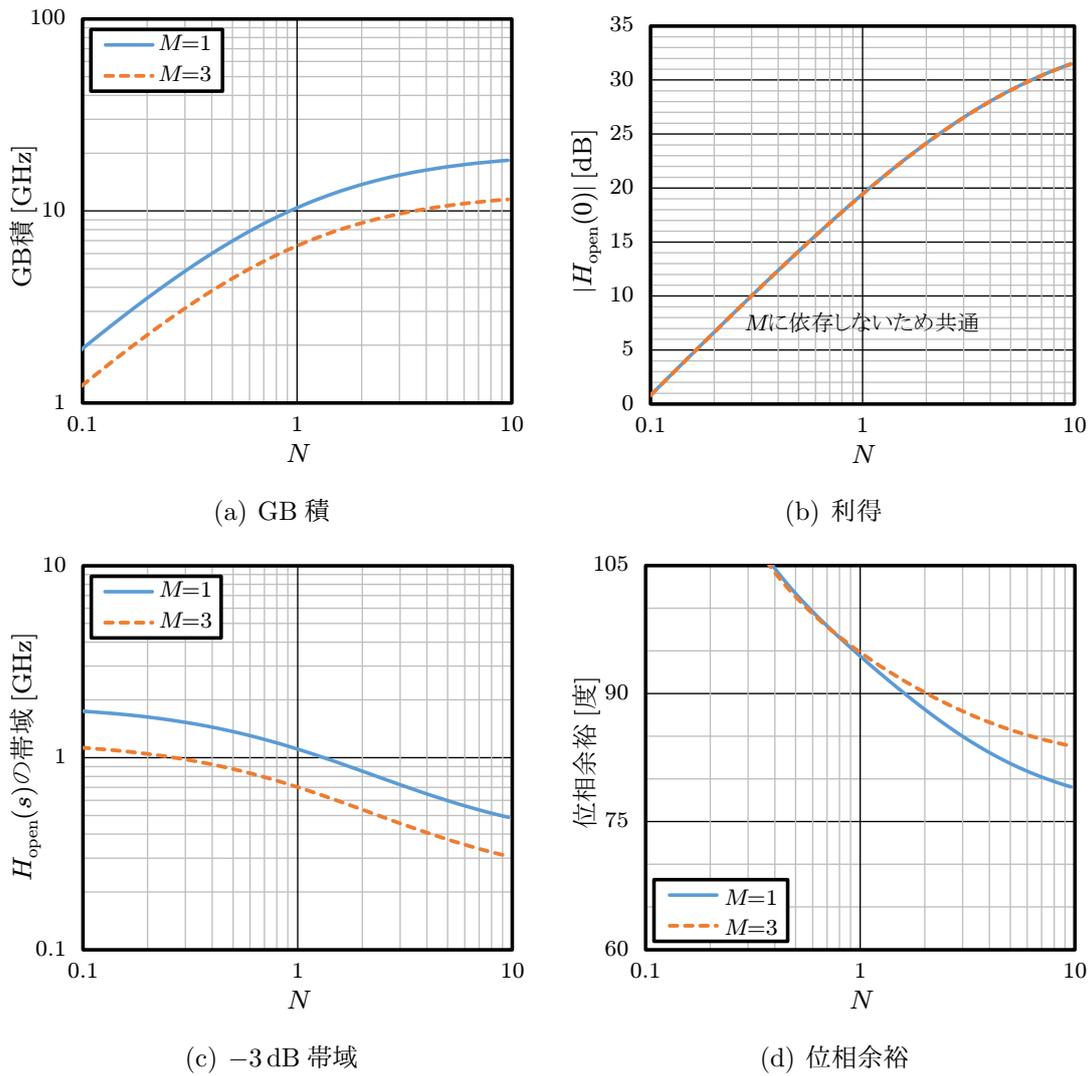


図 4.18:  $H_{open}$  と  $N$  の関係

ゲート・ソース間電圧は変動する。図 4.19 は  $V_{inp} > V_{inn}$  の入力が入った場合の、各点の電位変動を表している。M1, M2 の有効ゲート電圧の変動をそれぞれ  $\Delta V_{eff1}, \Delta V_{eff2}$  とし、ドレイン・ソース間電圧の変動を  $\Delta V_{DS1}, \Delta V_{DS2}$  とした時、それぞれの電流式は次のようになる。

$$I_0 = K(V_{eff} + \Delta V_{eff1})^2 \left( 1 + \frac{V_{DS} + \Delta V_{DS1}}{V_A} \right) \quad (4.77)$$

$$I_0 = K(V_{eff} + \Delta V_{eff2})^2 \left( 1 + \frac{V_{DS} + \Delta V_{DS2}}{V_A} \right) \quad (4.78)$$

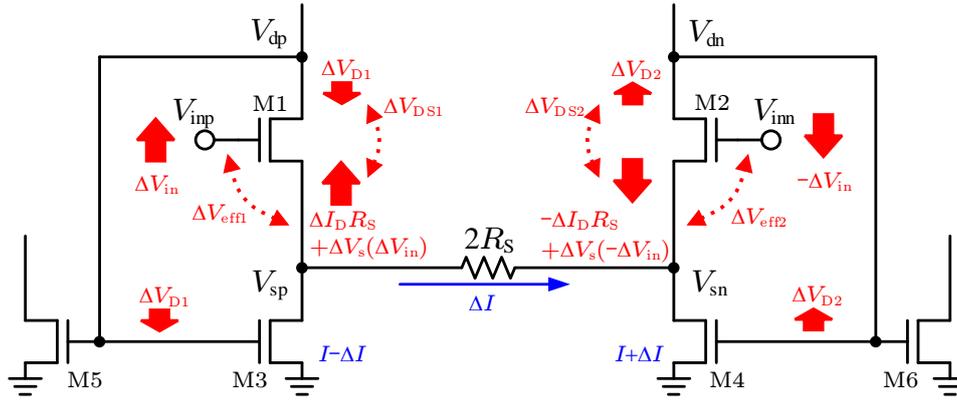


図 4.19: FVF 構造を持つ増幅器の各ノードの電位変動

ここで  $V_{\text{eff}}$ ,  $V_{\text{DS}}$  は差動入力がある時の有効ゲート電圧とドレイン・ソース間電圧を示す。(4.77) 式及び (4.78) 式を  $\Delta V_{\text{eff}1}$ ,  $\Delta V_{\text{eff}2}$  について解くと,

$$\Delta V_{\text{eff}} = -V_{\text{eff}} \left( 1 - \frac{1}{\sqrt{1 + \frac{\Delta V_{\text{DS}}}{V_A + V_{\text{DS}}}}} \right) \quad (4.79)$$

となり,  $(V_A + V_{\text{DS}})$  が大きい (チャネル長変調効果が小さい) ほど, 有効ゲート電圧の変動が抑制されることがわかる. チャネル長変調効果を抑制する方法として, チャネル長  $L$  を長くして  $V_A$  を大きくする必要がある. しかしながらこの方法は素子面積の増加や周波数特性の劣化を招くため, 改善のアプローチとして望ましくない. ここで入力電圧を次のように定義する.

$$V_{\text{inp}} = \Delta V_{\text{in}} + V_{\text{com}} \quad (4.80)$$

$$V_{\text{inn}} = -\Delta V_{\text{in}} + V_{\text{com}} \quad (4.81)$$

また, 入力トランジスタのソース側の電位変動は, ある偶関数  $\Delta V_s(\Delta I)$  を用いて,

$$V_{\text{sp}} = \Delta I R_S + \Delta V_s(\Delta I) \quad (4.82)$$

$$V_{\text{sn}} = -\Delta I R_S + \Delta V_s(-\Delta I) \quad (4.83)$$

とする. この時, 差動電流  $\Delta I$  は (4.79) 式により,

$$\begin{aligned} \Delta I &= \frac{V_{\text{sp}} - V_{\text{sn}}}{2R_S} = \frac{(\Delta V_{\text{in}} - \Delta V_{\text{eff}1}) - (-\Delta V_{\text{in}} - \Delta V_{\text{eff}2})}{2R_S} \\ &= \frac{\Delta V_{\text{in}}}{R_S} - \frac{V_{\text{eff}}}{2R_S} \left( \frac{1}{\sqrt{1 + \frac{\Delta V_{\text{DS}1}}{V_A + V_{\text{DS}}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{\text{DS}2}}{V_A + V_{\text{DS}}}}} \right) \end{aligned} \quad (4.84)$$

と表される。また  $\Delta V_s(\Delta I)$  は,

$$\begin{aligned}\Delta V_s(\Delta I) &= \frac{V_{sp} + V_{sn}}{2} = \frac{(\Delta V_{in} - \Delta V_{eff1}) + (-\Delta V_{in} - \Delta V_{eff2})}{2} \\ &= \frac{V_{eff}}{2} \left( 2 - \frac{1}{\sqrt{1 + \frac{\Delta V_{DS1}}{V_A + V_{DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{DS2}}{V_A + V_{DS}}}} \right).\end{aligned}\quad (4.85)$$

(4.84) 式の  $\Delta V_{DS1}, \Delta V_{DS2}$  を  $\Delta V_{in}, \Delta I$  で置き換えて,  $\Delta I$  と  $\Delta V_{in}$  の関係式を導出する。まず, M3 及び M4 を流れる電流は, 簡単のためチャネル長変調効果を無視して,

$$I_0 - \Delta I = K(V_{eff} + \Delta V_{D1})^2 \quad (4.86)$$

$$I_0 + \Delta I = K(V_{eff} + \Delta V_{D2})^2 \quad (4.87)$$

と表す。ここで  $\Delta V_{D1}, \Delta V_{D2}$  はそれぞれ,  $V_{dp}, V_{dn}$  の平衡状態からの変化量を示している。 (4.86) 式及び (4.87) 式より,  $\Delta V_{D1}, \Delta V_{D2}$  をそれぞれ  $\Delta I$  の関数として記述する。

$$\Delta V_{D1} = \sqrt{\frac{I_0}{K}} \left( \sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) = V_{eff} \left( \sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) \quad (4.88)$$

$$\Delta V_{D2} = \sqrt{\frac{I_0}{K}} \left( \sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) = V_{eff} \left( \sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) \quad (4.89)$$

(4.88) 式により,  $\Delta V_{DS}$  は次のように表される。

$$\begin{aligned}\Delta V_{DS1} &= \Delta V_{D1} - \Delta I R_S - \Delta V_s(\Delta I) \\ &= V_{eff} \left( \sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) - \Delta I R_S - \Delta V_s(\Delta I)\end{aligned}\quad (4.90)$$

更にテイラー展開を用いて右辺を三次の項まで展開すると,

$$\Delta V_{DS1} \approx V_{eff} \left( -\frac{\Delta I}{2I_0} - \frac{\Delta I^2}{8I_0^2} - \frac{\Delta I^3}{16I_0^3} \right) - \Delta I R_S - \Delta V_s(\Delta I) \quad (4.91)$$

となる。同様に  $\Delta V_{DS2}$  について,

$$\begin{aligned}\Delta V_{DS2} &= \Delta V_{D2} + \Delta I R_S - \Delta V_s(-\Delta I) \\ &= V_{eff} \left( \sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) + \Delta I R_S - \Delta V_s(\Delta I) \\ &\approx V_{eff} \left( \frac{\Delta I}{2I_0} - \frac{\Delta I^2}{8I_0^2} + \frac{\Delta I^3}{16I_0^3} \right) + \Delta I R_S - \Delta V_s(\Delta I).\end{aligned}\quad (4.92)$$

(4.85) 式の右辺の第二項及び第三項についてテイラー展開し、(4.91) 式及び (4.92) 式を代入し、三次の項まで計算すると、

$$\begin{aligned}
& 2 - \frac{1}{\sqrt{1 + \frac{\Delta V_{DS1}}{V_A + V_{DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{DS2}}{V_A + V_{DS}}}} \\
& \approx 2 - \left( 1 - \frac{1}{2(V_A + V_{DS})} \Delta V_{DS1} + \frac{3}{8(V_A + V_{DS})^2} \Delta V_{DS1}^2 - \frac{5}{16(V_A + V_{DS})^3} \Delta V_{DS1}^3 \right) \\
& \quad - \left( 1 - \frac{1}{2(V_A + V_{DS})} \Delta V_{DS2} + \frac{3}{8(V_A + V_{DS})^2} \Delta V_{DS2}^2 - \frac{5}{16(V_A + V_{DS})^3} \Delta V_{DS2}^3 \right) \\
& = \frac{\Delta V_{DS1} + \Delta V_{DS2}}{2(V_A + V_{DS})} - \frac{3(\Delta V_{DS1}^2 + \Delta V_{DS2}^2)}{8(V_A + V_{DS})^2} + \frac{5(\Delta V_{DS1}^3 + \Delta V_{DS2}^3)}{16(V_A + V_{DS})^3} \\
& \approx - \left\{ \frac{V_{\text{eff}}}{8(V_A + V_{DS})} + \frac{3V_{\text{eff}}^2}{16(V_A + V_{DS})^2} \left( 1 + \frac{2I_0 R_S}{V_{\text{eff}}} \right)^2 \right\} \frac{\Delta I^2}{I_0^2} - \frac{\Delta V_s(\Delta I)}{V_A + V_{DS}} \quad (4.93)
\end{aligned}$$

となる。したがって、 $\Delta V_s(\Delta I)$  は、

$$\begin{aligned}
\Delta V_s(\Delta I) & \approx - \frac{V_{\text{eff}}}{2 \left( 1 + \frac{V_{\text{eff}}}{2(V_A + V_{DS})} \right)} \left\{ \frac{V_{\text{eff}}}{8(V_A + V_{DS})} + \frac{3V_{\text{eff}}^2}{16(V_A + V_{DS})^2} \left( 1 + \frac{2I_0 R_S}{V_{\text{eff}}} \right)^2 \right\} \frac{\Delta I^2}{I_0^2} \\
& \approx - \frac{V_{\text{eff}}^2}{16(V_A + V_{DS})} \frac{\Delta I^2}{I_0^2} \quad (4.94)
\end{aligned}$$

と近似できる。ただし、 $(V_A + V_{DS}) > V_{\text{eff}}$  とした。(4.94) 式の結果より、(4.91) 式及び (4.92) 式の  $\Delta I^2$  の項に着目すると、

$$\frac{V_{\text{eff}}}{8} \frac{\Delta I^2}{I_0^2} \gg \frac{V_{\text{eff}}^2}{16(V_A + V_{DS})} \frac{\Delta I^2}{I_0^2} \approx |V_s(\Delta I)| \quad (4.95)$$

であり、 $\Delta V_s(\Delta I)$  の影響は殆ど無視できる。(4.84) 式についても同様に右辺の第二項に

ついてテイラー展開し, (4.91) 式, (4.92) 式を代入し, 三次の項まで計算すると,

$$\begin{aligned}
& \frac{1}{\sqrt{1 + \frac{\Delta V_{DS1}}{V_A + V_{DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{DS2}}{V_A + V_{DS}}}} \\
& \approx \left( 1 - \frac{1}{2(V_A + V_{DS})} \Delta V_{DS1} + \frac{3}{8(V_A + V_{DS})^2} \Delta V_{DS1}^2 - \frac{5}{16(V_A + V_{DS})^3} \Delta V_{DS1}^3 \right) \\
& \quad - \left( 1 - \frac{1}{2(V_A + V_{DS})} \Delta V_{DS2} + \frac{3}{8(V_A + V_{DS})^2} \Delta V_{DS2}^2 - \frac{5}{16(V_A + V_{DS})^3} \Delta V_{DS2}^3 \right) \\
& = -\frac{\Delta V_{DS1} - \Delta V_{DS2}}{2(V_A + V_{DS})} + \frac{3(\Delta V_{DS1}^2 - \Delta V_{DS2}^2)}{8(V_A + V_{DS})^2} - \frac{5(\Delta V_{DS1}^3 - \Delta V_{DS2}^3)}{16(V_A + V_{DS})^3} \\
& \approx \frac{V_{\text{eff}}}{V_A + V_{DS}} \left( \frac{\Delta I R_S}{V_{\text{eff}}} + \frac{\Delta I}{2I_0} + \frac{\Delta I^3}{16I_0^3} \right) + \left( \frac{V_{\text{eff}}}{V_A + V_{DS}} \right)^2 \left( \frac{3}{32} \frac{\Delta I^3}{I_0^3} + \frac{3R_S}{16V_{\text{eff}}} \frac{\Delta I^3}{I_0^2} \right) \\
& \approx \frac{V_{\text{eff}}}{2(V_A + V_{DS})} \left\{ \left( \frac{2I_0 R_S}{V_{\text{eff}}} + 1 \right) \frac{\Delta I}{I_0} + \frac{1}{8} \left( 1 + \frac{3V_{\text{eff}}}{2(V_A + V_{DS})} \frac{2I_0 R_S}{V_{\text{eff}}} \right) \frac{\Delta I^3}{I_0^3} \right\} \quad (4.96)
\end{aligned}$$

となる. これにより, (4.84) 式は,

$$(\beta_1 + 1)\Delta I + \beta_3 \Delta I^3 = \frac{\Delta V_{\text{in}}}{R_S} \quad (4.97)$$

と変形される. ただし,

$$\beta_1 = \frac{V_{\text{eff}}}{2(V_A + V_{DS})} \left( 1 + \frac{V_{\text{eff}}}{2I_0 R_S} \right) \quad (4.98)$$

$$\beta_3 = \frac{V_{\text{eff}}}{2(V_A + V_{DS})} \left( \frac{V_{\text{eff}}}{2I_0 R_S} + \frac{3V_{\text{eff}}}{2(V_A + V_{DS})} \right) \frac{1}{8I_0^2} \quad (4.99)$$

である. また  $g_m = 2I_0/V_{\text{eff}}$ ,  $r_d = (V_A + V_{DS})/I_0$  とおくと, 次のように表すことも出来る.

$$\beta_1 = \frac{1}{g_m r_d} \left( 1 + \frac{1}{g_m R_S} \right) \quad (4.100)$$

$$\beta_3 = \frac{1}{g_m r_d} \left( \frac{1}{g_m R_S} + \frac{3}{g_m r_d} \right) \frac{1}{2g_m^2 V_{\text{eff}}^2} \quad (4.101)$$

(4.97) 式について  $\Delta I$  を  $\Delta V_{\text{in}}$  の関数として考え,  $\Delta V_{\text{in}} = 0$  近傍で微分すると,

$$\left. \frac{\partial(\Delta I)}{\partial(\Delta V_{\text{in}})} \right|_{\Delta V_{\text{in}}=0} = \frac{1}{(\beta_1 + 1)R_S} \quad (4.102)$$

$$\left. \frac{\partial^2(\Delta I)}{\partial(\Delta V_{\text{in}})^2} \right|_{\Delta V_{\text{in}}=0} = 0 \quad (4.103)$$

$$\left. \frac{\partial^3(\Delta I)}{\partial(\Delta V_{\text{in}})^3} \right|_{\Delta V_{\text{in}}=0} = -\frac{6\beta_3}{\beta_1 + 1} \left( \left. \frac{\partial(\Delta I)}{\partial(\Delta V_{\text{in}})} \right|_{\Delta V_{\text{in}}=0} \right)^3 = -\frac{6\beta_3}{(\beta_1 + 1)^4 R_S^3}. \quad (4.104)$$

上記の三式を用いて、 $\Delta I$  は、

$$\begin{aligned}\Delta I &\approx \left. \frac{\partial(\Delta I)}{\partial(\Delta V_{in})} \right|_{\Delta V_{in}=0} \Delta V_{in} + \frac{1}{2} \left. \frac{\partial^2(\Delta I)}{\partial(\Delta V_{in})^2} \right|_{\Delta V_{in}=0} \Delta V_{in}^2 + \frac{1}{6} \left. \frac{\partial^3(\Delta I)}{\partial(\Delta V_{in})^3} \right|_{\Delta V_{in}=0} \Delta V_{in}^3 \\ &= \frac{1}{(\beta_1 + 1)R_S} \Delta V_{in} - \frac{\beta_3}{(\beta_1 + 1)^4 R_S^3} \Delta V_{in}^3\end{aligned}\quad (4.105)$$

と近似される。図 4.13 における M3 と M5, M4 と M6 のカレントミラーが理想的であると、出力抵抗が  $R_L$  によってほぼ決まると仮定すると、出力の変動  $\Delta V_{out}$  は

$$\Delta V_{out} \approx M \Delta I R_L \approx M \frac{R_L}{R_S} \frac{1}{\beta_1 + 1} \Delta V_{in} - M \frac{R_L}{R_S} \frac{\beta_3}{(\beta_1 + 1)^4 R_S^2} \Delta V_{in}^3 \quad (4.106)$$

と表される。まず  $\Delta V_{in}$  の項について見ると、(4.100) 式により、

$$M \frac{R_L}{R_S} \frac{1}{\beta_1 + 1} = M \frac{R_L}{R_S} \frac{1}{1 + \frac{1}{g_m r_d} \left( 1 + \frac{1}{g_m R_S} \right)} \quad (4.107)$$

であり、小信号等価回路解析による利得である (4.55) 式と一致している。更に一次と三次の係数の比は、

$$\begin{aligned}\left| \frac{a_3}{a_1} \right| &= \frac{\beta_3}{4(\beta_1 + 1)^3 R_S^2} = \frac{1}{8g_m^3 r_d R_S^2 V_{eff}^2} \frac{\frac{1}{g_m R_S} + \frac{3}{g_m r_d}}{\left\{ 1 + \frac{1}{g_m r_d} \left( 1 + \frac{1}{g_m R_S} \right) \right\}^3} \\ &= \frac{1}{8G_i N^3 V_{eff}^2} \frac{1 + \frac{3N}{G_i}}{\left\{ 1 + \frac{1}{G_i} \left( 1 + \frac{1}{N} \right) \right\}^3} \\ &\approx \frac{1}{8G_i N^3 V_{eff}^2} \frac{1}{\left( 1 + \frac{1}{G_i N} \right)^3}\end{aligned}\quad (4.108)$$

となる。ただし、 $N$  はソースデジェネレーションの場合と同様に  $N = g_m R_S$ 、 $G_i$  はトランジスタの固有利得を表し、

$$G_i = g_m r_d = \frac{2(V_A + V_{DS})}{V_{eff}} \quad (4.109)$$

であり、理想的には電流との相関を持たない。やはり FVF 構造を持つ増幅器の場合も、 $N$  が大きいほど線形性が向上するという結果が得られる。また、(4.31) 式と比較すると、トランジスタの固有利得の分だけ  $|a_3/a_1|$  が小さくなっていることがわかる。差分とな

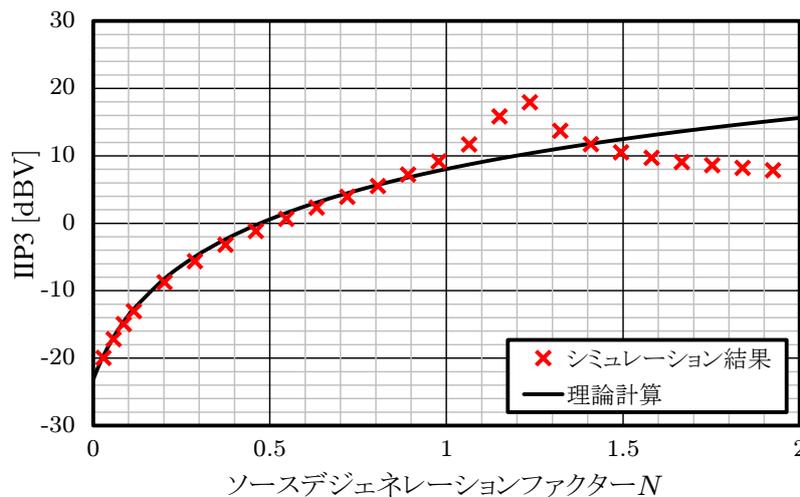


図 4.20: FVF 構造を持つ Gm セルの線形性

る固有利得は M1, M2 によるものであり、フィードバックの利得が向上した分だけソースデジェネレーションよりも線形性が向上したと考えられる。

ただし、上記の解析には M3, M4 のチャンネル長変調効果と PMOS 電流源の変動などが含まれていない。  $N$  を大きくするためには  $R_S$  か  $I_{\text{bias}}$  を増やさなければならないが、いずれのケースにおいても  $R_S$  に対して並列に接続される  $g_{d3}$  の影響は大きくなってしまふ。このため、線形性の改善には限りがある。PMOS 側の電流源による歪については、5.1.1 節に詳しく記載する。

図 4.20 に、FVF 構造を持つ Gm セルの線形性を示す。シミュレーション条件は表 4.1 のとおりであり、ミラー比は 1 とした。  $N < 1$  の範囲において、シミュレーション結果と理論計算の結果はよく一致しているが、シミュレーション結果では  $N = 1.2$  でピークを持ち、  $N > 1.2$  以降は特性が大きく異なる。  $N$  が大きい領域では  $R_S$  に含まれる M3 のドレイン抵抗の影響が強くなり、その歪は FVF 構造が本来持つ歪と逆方向に作用し、  $N = 1.2$  付近で歪キャンセルが生じたと考えられる。したがって、  $N > 1.2$  における歪は符号が反転しており、別の要因で決まっている。ただし、その効果は上記の議論に含まれていないため、理論計算との誤差が大きくなったと推測される。

#### 4.2.2.3 ノイズ特性

FVF 構造を持つ増幅器について、ノイズ特性を計算する。

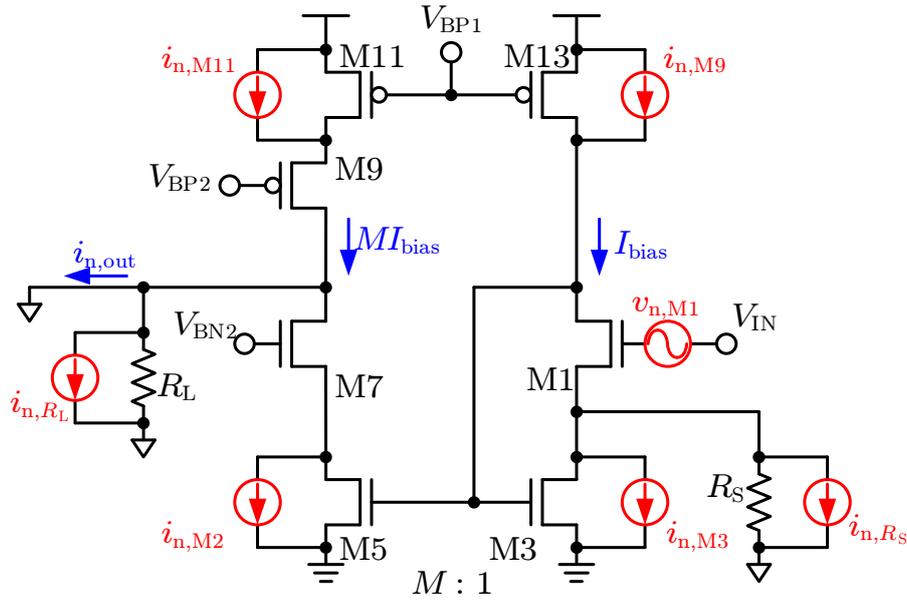


図 4.21: FVF 構造を持つオープンループアンプの雑音源

図 4.21 は、片側回路における主要な雑音源を図示したものである。各雑音源から  $i_{n,out}$  に至るまでの係数を求め、入力換算雑音を導出する。M1 のノイズは、入力差動電圧と同様に増幅されて出力に生じるため、

$$\overline{i_{n,out}^2}|_{M1} = \left(\frac{A_v}{R_L}\right)^2 \cdot \overline{v_{n,M1}^2} \approx \left(\frac{M}{R_S}\right)^2 \cdot \overline{v_{n,M1}^2} \quad (4.110)$$

同様に  $R_S$  及び M3 のトランジスタの出すノイズの影響は、

$$\overline{i_{n,out}^2}|_{R_S} = \left(\frac{M}{1 + \frac{1}{g_{m1}r_{d1}g_{m3}R_S}}\right)^2 \cdot \overline{i_{n,R_S}^2} \approx M^2 \cdot \overline{i_{n,R_S}^2} \quad (4.111)$$

$$\overline{i_{n,out}^2}|_{M3} = \left(\frac{M}{1 + \frac{1}{g_{m1}r_{d1}g_{m3}R_S}}\right)^2 \cdot \overline{i_{n,M3}^2} \approx M^2 \cdot \overline{i_{n,M3}^2} \quad (4.112)$$

である。ただし、簡単のため  $g_{m1}r_{d1}g_{m3}R_S \gg 1$  として近似した。また、M13 の作る雑音

電流は,

$$\begin{aligned} \overline{i_{n,\text{out}}^2}\Big|_{M13} &= \left\{ \frac{M \left( 1 + \frac{1}{(g_{m1} + g_{d1})R_S} \right)}{1 + \frac{1}{(g_{m1}r_{d1} + 1)g_{m3}R_S}} \right\}^2 \cdot \overline{i_{n,M13}^2} \\ &\approx M^2 \left( 1 + \frac{1}{g_{m1}R_S} \right)^2 \cdot \overline{i_{n,M13}^2} \end{aligned} \quad (4.113)$$

となる。一方, 出力段側のノイズを考えると,  $R_L$  の雑音はそのまま出力に生じるため,

$$\overline{i_{n,\text{out}}^2}\Big|_{R_L} = \overline{i_{n,R_L}^2}. \quad (4.114)$$

であり, M5,M6 及び M11,M12 の作る雑音電流は,  $R_L$  まで到達し出力を揺らすため,

$$\overline{i_{n,\text{out}}^2}\Big|_{M5} = \overline{i_{n,M5}^2} \quad (4.115)$$

$$\overline{i_{n,\text{out}}^2}\Big|_{M11} = \overline{i_{n,M11}^2} \quad (4.116)$$

となる。M7 ~ M10 のトランジスタはいずれもカスコードトランジスタであるため, 有効なノイズ源にはならない。したがって, 出力に生じるノイズの総量は,

$$\begin{aligned} \overline{i_{n,\text{out}}^2} &\approx \overline{i_{n,\text{out}}^2}\Big|_{M1} + \overline{i_{n,\text{out}}^2}\Big|_{M3} + \overline{i_{n,\text{out}}^2}\Big|_{M5} + \overline{i_{n,\text{out}}^2}\Big|_{M11} \\ &\quad + \overline{i_{n,\text{out}}^2}\Big|_{M13} + \overline{i_{n,\text{out}}^2}\Big|_{R_S} + \overline{i_{n,\text{out}}^2}\Big|_{R_L} \end{aligned} \quad (4.117)$$

と表される。差動構成の入力換算雑音は,

$$\begin{aligned} \overline{v_{n,\text{in}}^2} &\approx \left( \frac{R_S}{M} \right)^2 \cdot \overline{2i_{n,\text{out}}^2} \\ &\approx 2 \cdot \overline{v_{n,M1}^2} + 2 \left( \frac{R_S}{M} \right)^2 \left( \overline{i_{n,M5}^2} + \overline{i_{n,M11}^2} + \overline{i_{n,R_L}^2} \right) + 2R_S^2 \left( \overline{i_{n,M3}^2} + \overline{i_{n,R_S}^2} \right) \\ &\quad + 2R_S^2 \left( 1 + \frac{1}{g_{m1}R_S} \right)^2 \cdot \overline{i_{n,M13}^2} \\ &\approx 8k\gamma T \left[ \frac{1}{g_{m1}} + R_S^2 \left\{ g_{m3} + \frac{1}{R_S} + \left( 1 + \frac{1}{g_{m1}R_S} \right)^2 g_{m13} \right\} + \left( \frac{R_S}{M} \right)^2 \left( g_{m5} + g_{m11} + \frac{1}{R_L} \right) \right] \\ &\approx \frac{8k\gamma T}{g_m} \left[ 1 + N^2 \left\{ 1 + \frac{1}{\gamma N} + \left( 1 + \frac{1}{N} \right)^2 \right\} + \left( \frac{N}{M} \right)^2 \left( 2M + \frac{1}{\gamma g_m R_L} \right) \right] \\ &= \frac{16kT\gamma}{g_m} \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 + \frac{1}{2\gamma M^2} \frac{R_S}{R_L} \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \end{aligned} \quad (4.118)$$

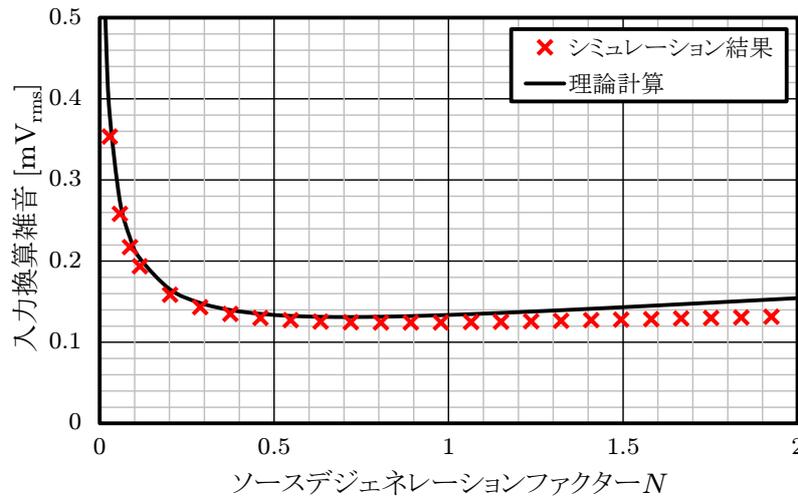


図 4.22: FVF 構造を持つ Gm セルの雑音特性

である。入力換算雑音は電圧性であり、 $g_m$  に反比例する特性となる。ただし、 $N$  の上昇は著しく雑音特性を劣化させる。 $N$  は線形性にも関わるパラメータであるため、 $N$  を介して線形性と雑音特性はトレードオフの関係にある。線形性の劣化を防ぎつつ雑音特性を改善するためには、 $N$  を一定に保ちつつ  $g_m$  を増加させなければならないため、消費電力の増加を避けることができない。

図 4.22 に、FVF 構造を持つ電流増幅器の雑音特性を示す。 $N = 0.8$  付近で最も低くなり、その後緩やかに上昇する特性となった。理論計算とシミュレーション結果は、 $N$  が小さい範囲ではよく一致しているが、それ以降はやや特性が異なっている。 $N$  が大きい領域において、 $R_S$  に含まれる M3 のドレイン抵抗の影響が強くなり、 $I_{bias}$  増加によって  $R_S$  が減少したように見えるため、設計値よりも  $N$  が小さくなった結果雑音特性が良くなったと考えられる。

#### 4.2.2.4 最大 SNDR

続いて、FVF 構造を持つ増幅器の最大 SNDR について考察する。ここではオープンループアンプを Gm セルとして使用した図 4.11 の回路を用いる。

(4.108) 式及び (4.118) 式より,

$$\begin{aligned} \left| \frac{a_3}{a_1} \cdot \overline{v_{n,\text{in}}^2} \right| &\approx \frac{1}{8G_i N^3 V_{\text{eff}}^2} \frac{1}{\left(1 + \frac{1}{G_i N}\right)^3} \cdot \frac{16kT\gamma}{g_m} \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \\ &\approx \frac{kT\gamma}{G_i N^3 V_{\text{eff}} I_{\text{bias}}} \cdot \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \end{aligned} \quad (4.119)$$

となる. ただし, 簡単のため  $G_i N \gg 1$  を仮定した. SNDR の最大値は,

$$\text{SNDR}_{\text{peak}} \approx -1.01 - \frac{20}{3} \log \left[ \frac{kT\gamma f_{\text{BW}}}{G_i N^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \right] [\text{dB}] \quad (4.120)$$

となる. SNDR の最大値は,  $N$  を大きくすることによって改善することができる他,  $I_{\text{bias}}$  にも依存する. また (4.55) 式により,

$$G_m \approx \frac{M}{R_S} \quad (4.121)$$

であるから,  $N$  は,

$$N \approx \frac{g_m}{G_m} M = \frac{2I_{\text{bias}}}{G_m V_{\text{eff}}} M \quad (4.122)$$

と変形することができる.

(4.120) 式によれば,  $I_{\text{bias}}$  以外のパラメータを固定した場合,  $N$  に含まれる  $I_{\text{bias}}$  を考慮して少なくとも  $I_{\text{bias}}$  によって  $2/3$  乗の改善効果を見込むことができる.  $N$  は線形性と雑音特性のトレードオフを制御するパラメータである.  $N$  の増加によって SNDR の改善が見込めるということは,  $N$  上昇による線形性の改善というメリットが, 雑音特性の劣化というデメリットを上回ることを意味する. また消費電力を固定した場合, すなわち  $I_{\text{bias}}$  及びミラー比  $M$  を固定した時, 大きな  $G_m$  値を確保するためには  $N$  を減らす必要があるため, SNDR を犠牲にしなければならない. 一方, 局所的な負帰還による利得  $G_i$  による SNDR 改善効果は  $1/3$  乗のオーダーである. この固有利得を再掲すると,

$$G_i = \frac{g_m}{g_d} = \frac{2(V_A + V_{\text{DS}})}{V_{\text{eff}}} \quad (4.123)$$

であるため, トランジスタのドレイン・ソース間電圧を高くすることで固有利得を増やし, 線形性を改善させることができる. 具体的な手法として, 後述するレベルシフト回路がある. 詳しくは次章で述べる.

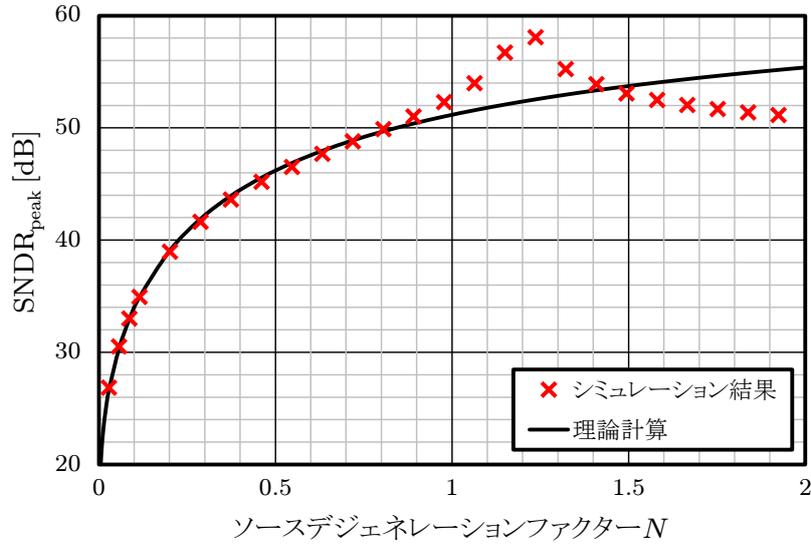


図 4.23: FVF 構造を持つ Gm セルの SNDR

ところで,  $\text{SNDR}_{\text{peak}}$  が得られる時の  $V_a$  は, (1.20) 式より,

$$\begin{aligned}
 V_a &= 2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left( \overline{v_{n,\text{in}}^2} f_{\text{BW}} \right)^{\frac{1}{6}} \\
 &\approx (16G_i N^3 V_{\text{eff}}^2)^{\frac{1}{3}} \cdot \left[ \frac{16kT\gamma}{g_m} \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \right]^{\frac{1}{6}} \\
 &= 2 \left[ kT\gamma G_i^2 R_S V_{\text{eff}}^4 \cdot N^5 \left\{ 1 + N \left( \frac{1}{2\gamma} + 1 \right) + N^2 \left( 1 + \frac{1}{M} \right) \right\} \right]^{\frac{1}{6}} \quad (4.124)
 \end{aligned}$$

と表される。ただし,  $G_i N \gg 1$  とした。したがって  $N$  を大きくして  $\text{SNDR}_{\text{peak}}$  を改善する場合, 非常に大きな入力振幅を必要としてしまうという問題がある。しかしながら, オープンループ型の回路において大きな振幅を入力するのは非常に困難である。このような回路が正常な動作を行うためには, 全てのトランジスタが飽和領域で動作していなければならない。FVF 構造において, M1 はソース電圧は入力差動電圧とほぼ同等の電圧変動が生じる。このとき, M1 や M3 などのトランジスタが線形領域に入る可能性があり, これまでの議論の前提が崩れることで大きな歪が生じてしまう。特に近年の微細プロセスでは電源電圧が低くなっており, 十分な電圧マージンの確保が難しい。

図 4.23 に, FVF 構造を持つ電流増幅器の SNDR の特性を示す。やはり  $N$  が上昇するほど  $\text{SNDR}_{\text{peak}}$  は高くなる傾向にある。理論計算とシミュレーション結果は,  $1 < N$  の範囲ではよく一致しているが,  $N > 1.2$  からは別の傾向を捉えている。 $N = 1.2$  付近に存在するピークは, 図 4.20 と同様に歪キャンセルによるものであると推測され, 以降は

M3 のドレイン抵抗によって歪が生じていると解釈される。

### 4.2.3 スーパーソースフォロワ

スーパーソースフォロワ (SSF) [7,8] は, FVF と同様に局所的な帰還を持つ比較的帯域の広い回路構成である. 図 4.24(a) に基本構成を示す. FVF と同様に, SSF においても入力トランジスタ M1 の固有利得がオープンループゲインを押し上げる. ただし, M1 のドレイン端子は PMOS のゲートに接続されており, NMOS のゲートに接続する FVF とは対照的である.

この回路の出力端子に負荷抵抗  $R_L$  を接続した場合の小信号等価回路を図 4.24(b) に示す. キルヒホッフの法則により, 次の二式を得る.

$$(g_{m1} + g_{d1})v_{out} = g_{d1}v_x + g_{m1}v_{in} \tag{4.125}$$

$$g_{d1}v_x + g_{m1}v_{in} = (G_L + g_{m1} + g_{d1} + g_{d3})v_{out} + g_{m3}v_x \tag{4.126}$$

この二式を足し合わせて,  $v_x$  を導出する.

$$v_x = -\frac{G_L + g_{d3}}{g_{m3}}v_{out} \tag{4.127}$$

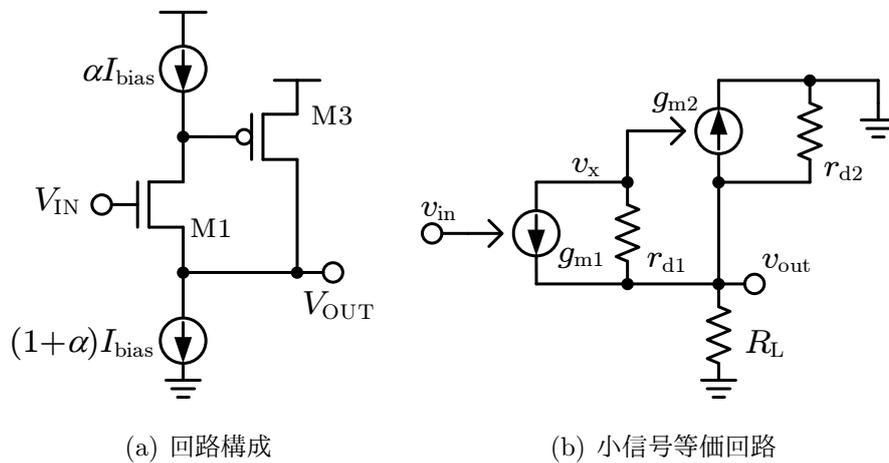


図 4.24: Super Source Follower 構造

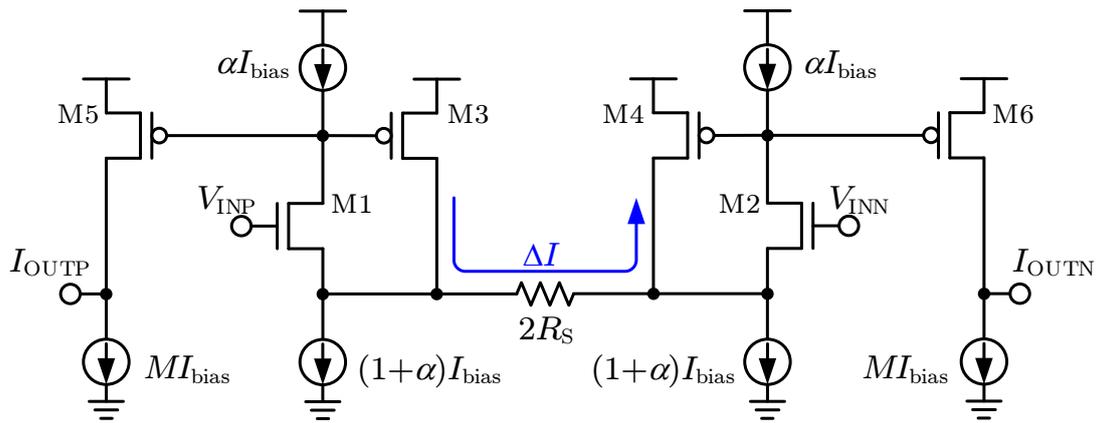


図 4.25: SSF 型 Gm セル

これを (4.125) 式に代入する.

$$v_{\text{out}} = \frac{g_{m1}}{g_{m1} + g_{d1} + g_{d1} \cdot \frac{G_L + g_{d3}}{g_{m3}}} v_{\text{in}}$$

$$\approx \frac{1}{1 + \frac{1}{G_{i1}} \left( 1 + \frac{1}{g_{m3} R_L} \right)} v_{\text{in}} \quad (4.128)$$

ただし,  $G_L \gg g_{d3}$  として近似した. FVF 構造の場合と同様に, M1 のソース側の電位はゲート電圧の変動に精度良く追従するという数式が得られる.  $V_{\text{OUT}}$  に負荷抵抗  $R_L$  が接続された場合においても, 固有利得  $G_{i1}$  によってその影響を小さくするように動作する. このとき, 信号電流の大部分は M2 から供給される. このような特性により, 小さい負荷抵抗をドライブする用途において, バッファとして用いられることが多い.

Gm セルとして使用する場合は図 4.25 のように, 一对の SSF 構造の間に抵抗  $R_S$  を差し込み, カレントミラーによって電流を出力する. ミラー比を  $M$  とすると,  $G_m$  値は  $M/R_S$  で近似できる. また, 歪に関しても FVF と同様の解析が成立するため,  $\alpha = 1$  の場合は FVF 構造と同程度の線形性が期待できる.

図 4.25 において, SSF 構造では M1 のドレイン側のバイアス電圧を M3 の  $V_{\text{GS}}$  で制御する. 一方, M3 のドレイン側バイアス電圧は M1 の  $V_{\text{GS}}$  が制御する. 実際に 1.2V 電源を用いて, 65nm CMOS でこの回路を設計すると, M3 の  $V_{\text{DS}}$  は 0.8V 程度, M1 の  $V_{\text{DS}}$  は 0.4V 程度確保することができる. そのため, FVF 構造よりも  $g_{d3}$  による歪が生じにくく, 比較的振幅の大きい入力に対しても精度を保ちやすいというメリットが有る.

しかしながら, バイアス電流の供給量の合計は  $2(M + 1 + \alpha) \cdot I_{\text{bias}}$  となり,  $\alpha I_{\text{bias}}$  の

分だけオーバーヘッドが生じる。見方を変えれば、FVF 構造は M1 及び M3 を縦に接続することで、別々に供給していたバイアス電流を一本にまとめ、消費電流を少なくした回路と言える。したがって、一般的に同程度の線形性を実現する場合は FVF 構造のほうが低消費電力で構成できるケースが多い。加えて SSF 構造では、信号電流が NMOS と PMOS の両方を經由するため、周波数の高い回路では帯域の劣化が問題になる場合がある。このような理由により、広帯域かつ低消費電力な用途では FVF 構造の方が適している。

### 4.3 電流増幅器

電流増幅器は電圧ではなく電流ドメインで信号をやり取りする増幅器である。理想的には入力インピーダンスが0で、無限大の出力インピーダンスを持ち、吸い込んだ電流を定数倍して電流出力する素子として表される。電流増幅器は電流受けが必要なソフトウェア無線向けフィルタの他、光学センサのアナログフロントエンド回路や後述する電流型フィルタなどに用いられる。

図4.26に電流増幅器を用いた電圧出力の増幅器を示す。通常は図4.26(a)のように電流で信号を入力し、出力側で抵抗に流し込むことによって電圧振幅を得る。

$$V_{\text{out}} = -G_1 R_2 I_{\text{in}} \quad (4.129)$$

この回路を通して  $I \rightarrow V$  変換が行われることから、トランスインピーダンスアンプとも呼ばれる。

一方、図4.26(b)のように、入力側に抵抗を挿入することで電圧入力・電圧出力のアンプとして使用することもできる。このとき、 $V_{\text{out}}$  は

$$V_{\text{out}} = -G_1 \frac{R_2}{R_1} V_{\text{in}} \quad (4.130)$$

となり、抵抗比と電流利得  $G_1$  によって決まる。ここで、 $G_1 = 1$  を仮定すると、(3.26)式で表される反転増幅回路の利得と一致する電圧利得が得られる。電流増幅器の場合は次段に接続する回路の入力抵抗に依存して利得が変化してしまう点に欠点があるものの、積分器やミキサなどの様々な機能を実現する負帰還増幅回路を模擬することができる。ただし、実際の電流増幅器には入力インピーダンスが存在する。図4.26(b)において入力インピーダンス  $r_{\text{in}}$  を想定すると、(4.130)式は

$$V_{\text{out}} = -G_1 \frac{R_2}{R_1 + r_{\text{in}}} V_{\text{in}} \quad (4.131)$$

と修正され、入力インピーダンスに依存して利得が変化してしまう。このため、電流増幅器の入力インピーダンスは小さく、かつ信号電流の流入などによって変化しないことが望ましい。

#### 4.3.1 電流増幅器の基本原理

電流増幅器の主な原理を図4.27に示す。電流増幅器を取り巻く重要な技術として、低入力インピーダンス技術と、電流増幅技術の二つを挙げることができる。

■低入力インピーダンス技術 低入力インピーダンスを実現する方法として、トランジスタのトランスコンダクタンスを利用する方法と、ゲインブースト技術が併用される。図 4.27(b) において、入力インピーダンスは、

$$r_{in} = \frac{1}{Ag_{m1}} \tag{4.132}$$

と表される。この構成では、 $I_{in}$  に微小な電圧振幅が入力されると、アンプ  $A$  の利得によって  $V_G$  に大きな電圧変動が生じ、M1 のトランスコンダクタンス  $g_{m1}$  を利用して大きな電流を引き込むため、入力インピーダンスが低くなる。結果として  $g_{m1}$  は  $A$  だけ増幅されるため、 $g_m$  ブースト技術とも表現できる。すなわち、アンプの利得  $A$  を上げるか、トランジスタのバイアス電流  $I_{bias}$  を増やすことにより、電流増幅器の入力インピーダン

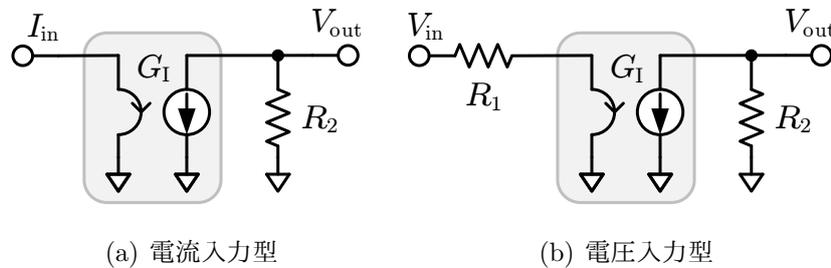
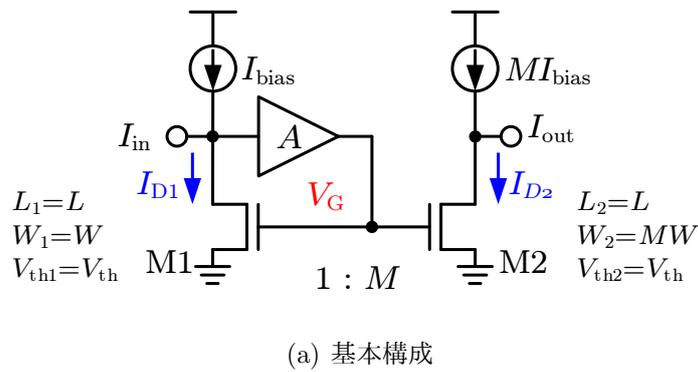
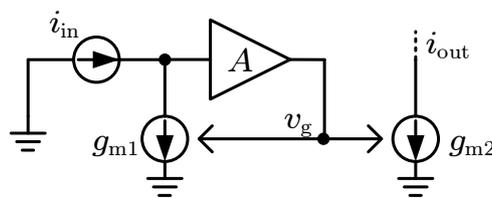


図 4.26: 電流増幅回路の基本技術



(a) 基本構成



(b) 小信号等価回路

図 4.27: 電流増幅回路の基本技術

スを低減させることができる。特にアンプの利得  $A$  を稼ぐ方法は消費電力の増加を抑えつつ入力インピーダンスを改善できるため、非常に重要な回路技術である。

■電流増幅技術 一方、電流増幅技術にはカレントミラー回路がよく用いられる。カレントミラー回路は二つのトランジスタ対のゲートを短絡し、同じ  $V_{\text{eff}}$  を共有することによって、正確な電流比率を得る回路である。通常、トランジスタを用いて  $V \rightarrow I$  変換または  $I \rightarrow V$  変換を行う場合、トランジスタパラメータの変動によって歪が生じてしまう。図 4.27 のカレントミラー回路においても、 $I \rightarrow V$  変換を  $1/g_{m1}$  で行い、 $V \rightarrow I$  変換を  $g_{m2}$  で行うため、それぞれの変換過程で歪が生じている。しかしながら、M1 及び M2 の  $V_{\text{eff}}$  を共有することにより、この歪をキャンセルすることができる。  $I_{D1}$  及び  $I_{D2}$  はそれぞれ、

$$I_{D1} = \frac{1}{2} \mu C_{\text{ox}} \frac{W}{L} V_{\text{eff}}^2 \quad (4.133)$$

$$I_{D2} = \frac{1}{2} \mu C_{\text{ox}} \frac{MW}{L} V_{\text{eff}}^2 = M I_{D1} \quad (4.134)$$

であるため、

$$g_{m2} = M \cdot \frac{2I_{D1}}{V_{\text{eff}}} = M g_{m1} \quad (4.135)$$

となる。ここで  $i_{\text{in}}$  と  $i_{\text{out}}$  の比を求めると、

$$i_{\text{out}} = g_{m2} v_g = \frac{g_{m2}}{g_{m1}} i_{\text{in}} = M \cdot i_{\text{in}} \quad (4.136)$$

となり、トランジスタパラメータに依存しない電流利得を得ることができる。この性質により、電流増幅器は出力電流を帰還させること無く線形性の高い電流増幅動作を実現している。

### 4.3.2 オペアンプを用いた電流増幅器

図 4.27 の電流増幅器におけるアンプ  $A$  を高利得オペアンプと読み替えれば、電流増幅器はオペアンプを用いた負帰還回路の一種として表現することもできる。図 4.28 は、二段オペアンプを用いた電流増幅器の例である。閉ループに含まれていないアンプ  $A_3$  は  $A_2$  と同様の構成となっており、図 4.28(b) に示すように各トランジスタがカレントミラーとして振る舞い。信号電流  $\Delta I_{\text{in}}$  は  $A_2$  の出力端子から流れ込み、 $A_3$  と  $A_2$  のカレントミラーを介して出力側に移動する。

ここで有限の出力インピーダンスを持つ電流源を入力に接続した際の周波数特性を考える。図 4.29 は二段オペアンプを用いた電流増幅器の等価回路モデルである。\$C\_{in1}\$ は \$A\_1\$ の入力寄生容量を表し、\$C\_{L1}\$ は \$A\_1\$ の出力端子から見える全容量を示している。キルヒホッフの電流則により、次の三式を得る。

$$\left(G_S + \frac{1}{r_{out2}} + sC_{in1}\right)v_1 = G_{m2}v_2 - i_{in} \tag{4.137}$$

$$\left(\frac{1}{r_{out1}} + sC_{L1}\right)v_2 = -G_{m1}v_1 \tag{4.138}$$

$$i_{out} + G_{m3}v_2 = 0 \tag{4.139}$$

\$v\_1\$ を消去すると、

$$v_2 = \frac{G_{m1}r_{out1}(r_{out2} // R_S)}{(1 + sC_{L1}r_{out1}) \{1 + sC_{in1}(r_{out2} // R_S)\} + G_{m1}G_{m2}r_{out1}(r_{out2} // R_S)} \cdot i_{in} \tag{4.140}$$

となるため、電流利得は、

$$G_I(s) = -\frac{G_{m3}}{G_{m2}} \frac{A_1 A_2}{\left(1 + \frac{s}{\omega_{c1}}\right) \left(1 + \frac{s}{\omega_{c2}}\right) + A_1 A_2} \tag{4.141}$$

と表される。ただし、

$$\begin{cases} A_1 = G_{m1}r_{out1} \\ A_2 = G_{m2}(r_{out2} // R_S) \\ \omega_{c1} = \frac{1}{C_{L1}r_{out1}} \\ \omega_{c2} = \frac{1}{C_{in1}(r_{out2} // R_S)} \end{cases} \tag{4.142}$$

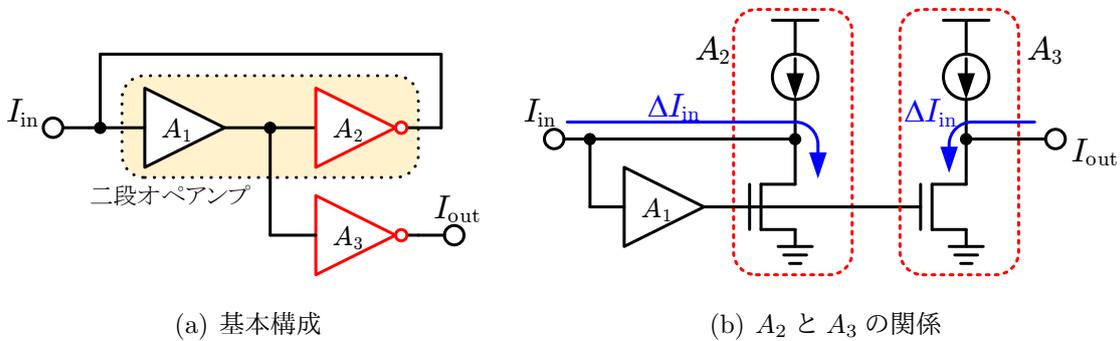


図 4.28: 二段オペアンプを用いた電流増幅器

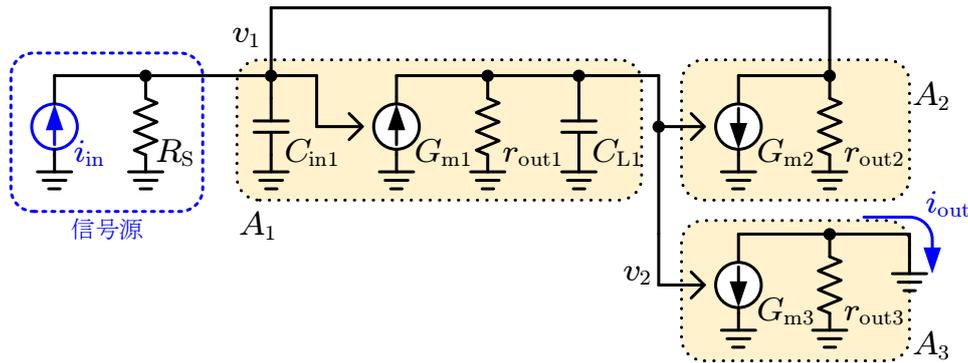


図 4.29: 二段オペアンプを用いた電流増幅器の等価回路モデル

とした。(4.141)式において、 $s = 0$ かつ  $A_1 A_2 \gg 1$  とすると、

$$G_1(0) = -\frac{G_{m3}}{G_{m2}} \frac{A_1 A_2}{1 + A_1 A_2} \approx -\frac{G_{m3}}{G_{m2}} \quad (4.143)$$

となり、 $A_2$  及び  $A_3$  で構成されているカレントミラーのミラー比に一致する。電流増幅器の入力インピーダンスは、

$$r_{in}(s) = \frac{1 + \frac{s}{\omega_{c1}}}{A_1 G_{m2}} \quad (4.144)$$

と表される。低周波における入力インピーダンスは  $A_1 G_{m2}$  で決まり、 $\omega_{c1}$  のカットオフ周波数から上昇が始まる。一方、閉ループ部分の一巡伝達関数は、

$$H_{open}(s) = \frac{A_1 A_2}{\left(1 + \frac{s}{\omega_{c1}}\right) \left(1 + \frac{s}{\omega_{c2}}\right)} \quad (4.145)$$

となり、オペアンプ内部の極  $\omega_{c1}$  と入力寄生容量による極  $\omega_{c2}$  により、閉ループ内に二つの極が存在することが確認できる。したがって、負帰還増幅回路と同様に適切な位相補償が必要となり、電力効率の悪化を招き、広帯域化は困難を伴う。

### 4.3.3 局所的な負帰還技術を用いた電流増幅器

帯域に関する問題を解決するため、前述のオープンループアンプと同様に局所的な負帰還技術を用いた電流増幅器が提案されている。図 4.30 に局所的な負帰還を持つ代表的な電流増幅器を示す。FVF 型電流増幅器では M1 が、SSF 型電流増幅器では M5 がそ

それぞれゲインブースト部分のアンプ  $A$  に相当しており、トランジスタの固有利得  $G_i$  によって入力インピーダンスの低減を図っている。これらの回路では二段オペアンプを用いた電流増幅器とは異なり、ゲインブースト部分のアンプがゲート接地回路となっている点に特徴がある。この結果、閉ループ内部でゲート受けとなる箇所はカレントミラーノードのみ（二段オペアンプにおける  $\omega_{c1}$  に相当）となり、およそ一次の一巡伝達特性を有す。したがって、二段構成のような位相補償は不要となり、広帯域に渡り帰還利得を維持することが期待される。

■小信号等価回路解析 小信号等価回路解析を用いて、局所的な負帰還を有す電流増幅器の周波数特性を調べる。図 4.29 と同様に、有限の出力インピーダンスを持つ電流源

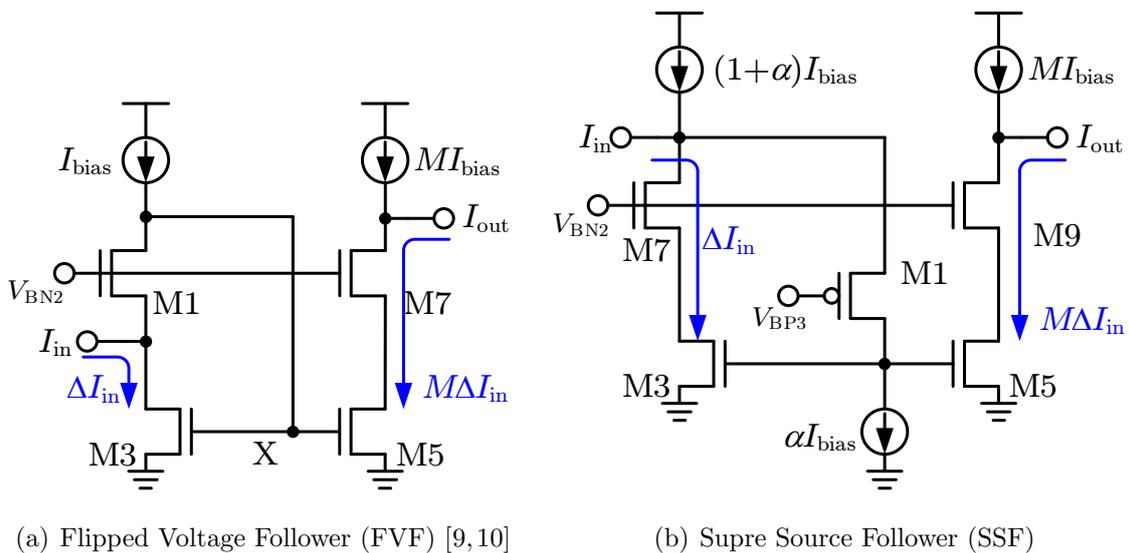


図 4.30: 局所的な負帰還を持つ電流増幅器

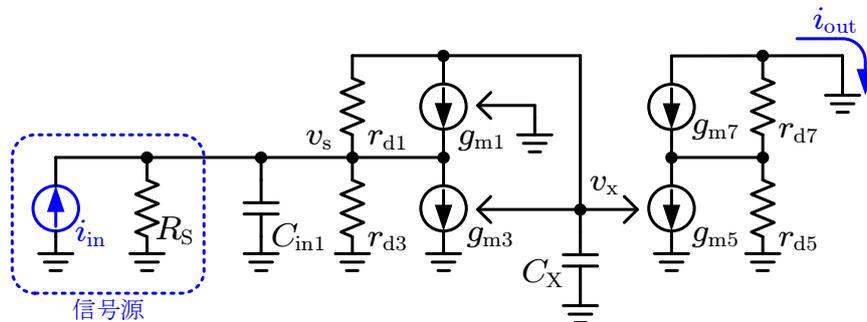


図 4.31: FVF 型電流増幅器の小信号等価回路モデル

$i_{in}$  を入力とし、接地された出力端子に到達する小信号電流を  $i_{out}$  と定義する。図 4.31 に FVF 型電流増幅器の小信号等価回路モデルを示す。ただし、図中の  $C_X$  はカレントミラーノード X の寄生容量を、 $C_{in1}$  は電流増幅器の入力端子から見える寄生容量をそれぞれ示している。なお、SSF 型電流増幅器の小信号等価回路も同じ回路となるため、解析は省略する。 $v_1$  及び  $v_2$  について次の方程式を得る。

$$(G_S + g_{m1} + g_{d1} + g_{d3} + sC_{in1})v_s + g_{m3}v_x = i_{in} + g_{d1}v_x \quad (4.146)$$

$$(g_{d1} + sC_X)v_x = (g_{m1} + g_{d1})v_s \quad (4.147)$$

$$i_{out} \approx -g_{m5}v_x \quad (4.148)$$

$v_1$  は  $v_x$  を用いて、

$$v_s = \frac{g_{d1} + sC_X}{g_{m1} + g_{d1}}v_x \quad (4.149)$$

であるから、

$$\begin{aligned} v_x &= \frac{1}{g_{m3} - g_{d1} + (G_S + g_{m1} + g_{d1} + sC_{in1}) \frac{g_{d1} + sC_X}{g_{m1} + g_{d1}}} i_{in} \\ &\approx \frac{i_{in}}{g_{m3}} \frac{1}{1 + \frac{1}{G_{i1}g_{m3}R_S} + s \left\{ \frac{C_{in1}}{G_{i1}g_{m3}} + \frac{C_X}{g_{m3}} \left( 1 + \frac{1}{g_{m1}R_s} \right) \right\} + s^2 \frac{C_{in1}C_X}{g_{m1}g_{m3}}} \end{aligned} \quad (4.150)$$

となる。ただし、 $g_{m1}, g_{m3} \gg g_{d1}$  として近似した。(4.150) 式において、一次の  $C_{in1}$  項は M1 の固有利得  $G_{i1}$  によって抑制されており、 $C_X$  項が支配的であることが確認できる。 $C_X$  と  $C_{in1}$  はいずれもゲート容量が主であり、基本的に  $C_X > C_{in1}$  であることが予想されるため、

$$v_x \approx \frac{i_{in}}{g_m} \frac{1}{1 + \frac{1}{G_{i1}N} + s \left\{ \frac{C_X}{g_m} \left( 1 + \frac{1}{N} \right) \right\} + s^2 \frac{C_{in1}C_X}{g_m^2}} \quad (4.151)$$

として考える。ただし、簡単のため  $g_{m1} = g_{m3} = g_m$  とし、 $N = g_m R_S$  とした。

$v_s$  は、

$$v_s \approx \frac{i_{in}}{G_{i1}g_m} \frac{1 + s \frac{C_X}{g_{d1}}}{1 + \frac{1}{G_{i1}N} + s \left\{ \frac{C_X}{g_m} \left( 1 + \frac{1}{N} \right) \right\} + s^2 \frac{C_{in1}C_X}{g_m^2}} \quad (4.152)$$

と表される。入力インピーダンスが低減している範囲において、電流増幅器の入力端子の電圧振幅は非常に小さくなる。この特性は、電圧入力型の FVF 回路における  $v_{in} \approx v_s$  の近似に相当する。図 4.15 において  $v_{in}$  の接続されている箇所は、電流増幅器 (図 4.31) においては交流接地となっており、 $v_{in} \approx v_s$  の代替として  $0 \approx v_s$  が成立したと見ることができる。

入力インピーダンスは、

$$r_{in}(s) = \frac{v_s}{i_{in}} \approx \frac{1}{G_{i1}g_m} \frac{1 + s \frac{C_X}{g_{d1}}}{1 + \frac{1}{G_{i1}N} + s \left\{ \frac{C_X}{g_m} \left( 1 + \frac{1}{N} \right) \right\} + s^2 \frac{C_{in1}C_x}{g_m^2}} \quad (4.153)$$

となる。入力インピーダンスが上昇を始める周波数は、

$$\omega_z = \frac{g_{d1}}{C_X} \quad (4.154)$$

で表される。 $s = 0$  とすると、

$$r_{in}(0) = \frac{1}{G_{i1}g_{m3}} \quad (4.155)$$

であり、固有利得  $G_{i1}$  によって入力インピーダンスが抑制される様子が確認できる。一方、極は次のようになる。

$$\omega_{p1}, \omega_{p2} = \frac{g_m}{2C_{in1}} \left( 1 + \frac{1}{N} \right) \left\{ 1 \pm \sqrt{1 - \frac{4C_{in1}}{C_X} \left( 1 + \frac{1}{N} \right)^{-2}} \right\} \quad (4.156)$$

これらの極は入力インピーダンスそのものの低減によるものではなく、寄生容量により信号電流の一部がカレントミラーに到達しなくなったことによる  $v_s$  の減少が原因である。したがって (4.153) 式に含まれる零点及び極は、いずれも許容できない。また、(4.156) 式は (4.52) 式と同型となっている。

(4.148) 式により、出力電流は、

$$i_{out} \approx -\frac{g_{m5}}{g_{m3}} \frac{1}{1 + s \left\{ \frac{C_X}{g_m} \left( 1 + \frac{1}{N} \right) \right\} + s^2 \frac{C_{in1}C_x}{g_m^2}} \cdot i_{in} \quad (4.157)$$

となる。したがって電流利得は次の式のようなになる。

$$G_I(s) \approx M \cdot \frac{1}{\left( 1 + \frac{s}{\omega_{p1}} \right) \left( 1 + \frac{s}{\omega_{p2}} \right)} \quad (4.158)$$

DC 側の電流利得はミラー比  $M$  に定まっているが、高周波側では二つの寄生容量により電流利得は劣化する。

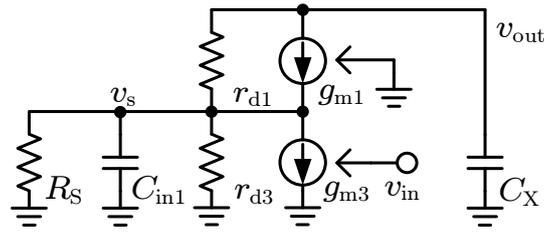


図 4.32: FVF 構造の開ループ等価回路 (電流増幅器)

■一巡伝達関数 FVF 構造を持つ電流増幅器の閉ループ部分について、開ループの等価回路は図 4.32 のようになる。この回路は図 4.16 と等しいため、(4.61) 式より、

$$H_{\text{open}}(s) \approx \frac{G_{i1} g_m N}{\left(1 + \frac{s}{\omega_{o,p1}}\right) \left(1 + \frac{s}{\omega_{o,p2}}\right)} \quad (4.159)$$

とあらわされる。ただし、

$$\omega_{p1}, \omega_{p2} \approx \frac{g_m}{G_{i1} N C_X} \frac{1}{1 + 1/N}, \frac{g_m}{C_{in1}} \left(1 + \frac{1}{N}\right) \quad (4.160)$$

である。これらの特性は、図 4.18 で示した特性と一致する。

■最大帯域 帰還部分の安定性は電圧入力型 FVF 構造と同一であり、電流増幅器においても十分な安定性が確保されていると考えられる。そこで、ここでは入力インピーダンスと電流利得の帯域制限についてのみ考察する。

入力インピーダンスの上昇は  $\omega_z$  から始まる。(4.154) 式について、変数を整理すると、

$$\omega_z = \frac{g_{d1}}{C_X} \approx \frac{1}{(M+1) K_{C,M3} V_A} \quad (4.161)$$

となり、 $I_{\text{bias}}$  に依存しない値となる。また、通常このゼロ点は極  $\omega_{p1}$  よりも低い周波数になる。 $\omega_{p1}, \omega_{p2}$  が重解及び虚数解を持つとき、(4.70) 式または (4.72) 式より、

$$\frac{\omega_{p1}}{\omega_z} \approx \frac{C_X}{g_{d1}} \cdot \frac{g_m}{\sqrt{C_{in1} C_X}} = G_{i1} \sqrt{\frac{C_X}{C_{in1}}} = G_{i1} \sqrt{\frac{(M+1) K_{C,K3}}{K_{C,K1}}} \quad (4.162)$$

となる。 $G_{i1} \gg 1$  により、明らかに  $\omega_{p1} > \omega_z$  が成立する。

図 4.33 にミラー比  $M$  を変えた時の入力インピーダンスと電流利得の周波数特性を示す。図 4.33(a) の縦軸の入力インピーダンス上昇比率は次のように定義する。

$$H_r(s) = \frac{r_{in}(s)}{r_{in}(0)} \quad (4.163)$$

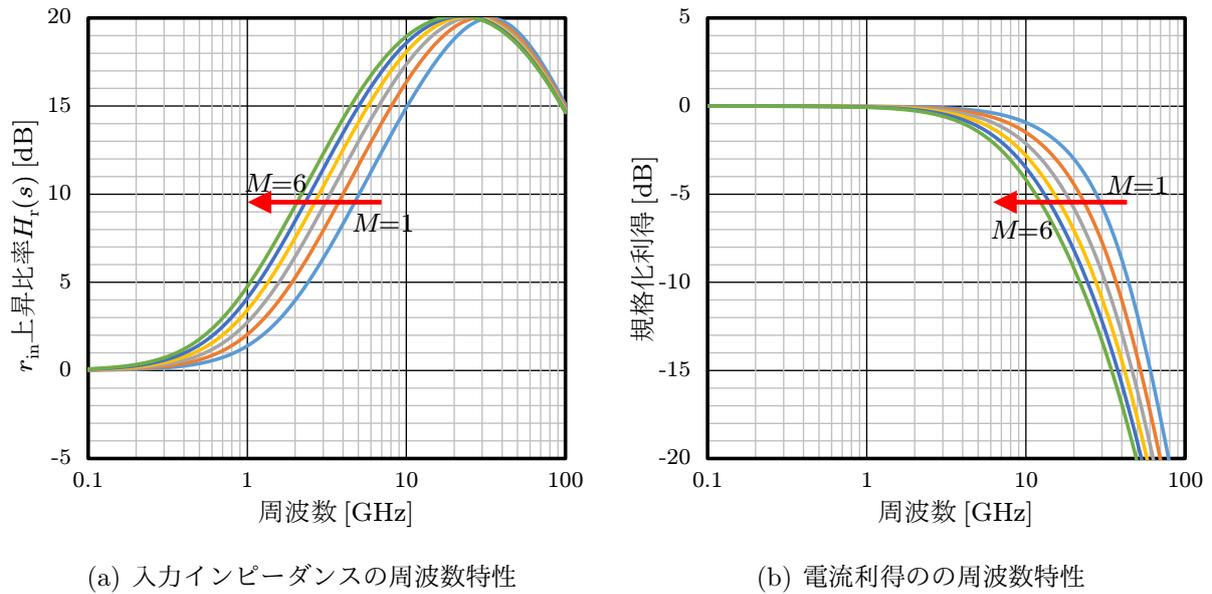


図 4.33: ミラー比と周波数特性 ( $M = 1, 2, \dots, 6$ )

ただし、グラフのプロットは  $20 \log |H_r(s)|$  [dB] で行った。図 4.33(a) において、3 dB の地点が (4.161) 式の  $\omega_z$  に相当する。ミラー比  $M$  を増やすと入力インピーダンスの周波数特性は低周波側にそのままシフトする様子が確認できる。図 4.33(b) は規格化された電流利得をプロットしたものである。こちらの周波数特性もミラー比の増加に対して低周波側にシフトしていく様子が見られる。ただし、いずれのケースにおいても、電流利得の 3 dB 帯域は明らかに入力インピーダンスのゼロ点周波数よりも高い。

図 4.34 にこれらの周波数特性について、3 dB 帯域をまとめたものを示す。入力インピーダンスのゼロ点に対し、利得の -3 dB 帯域は 10 倍以上高く、 $M = 4$  においても 10 GHz もの利得帯域を維持している。一方、 $M = 3$  付近で入力インピーダンスのゼロ点は 1 GHz 付近にまで劣化しており、1 GHz 付近の用途においてはこのゼロ点を考慮する必要がある。ただし、この周波数以上ですぐに影響が出るとは限らない。直列に挿入される抵抗  $R_S$  が存在する場合、入力インピーダンス  $r_{in}(s)$  の影響は、

$$\begin{aligned}
 R'_S &= R_S + r_{in}(s) \approx R_S \left\{ 1 + \frac{r_{in}}{R_S} \left( 1 + \frac{s}{\omega_z} \right) \right\} \\
 &\approx R_S \left( 1 + \frac{s r_{in}}{\omega_z R_S} \right)
 \end{aligned} \tag{4.164}$$

となるため、 $R_S$  が  $r_{in}$  に対して十分に大きい場合は、その比率に応じて  $\omega_z$  は高周波側に移動する。しかしながら、後述のように  $r_{in}$  の影響が大きくなれば、それは線形性の

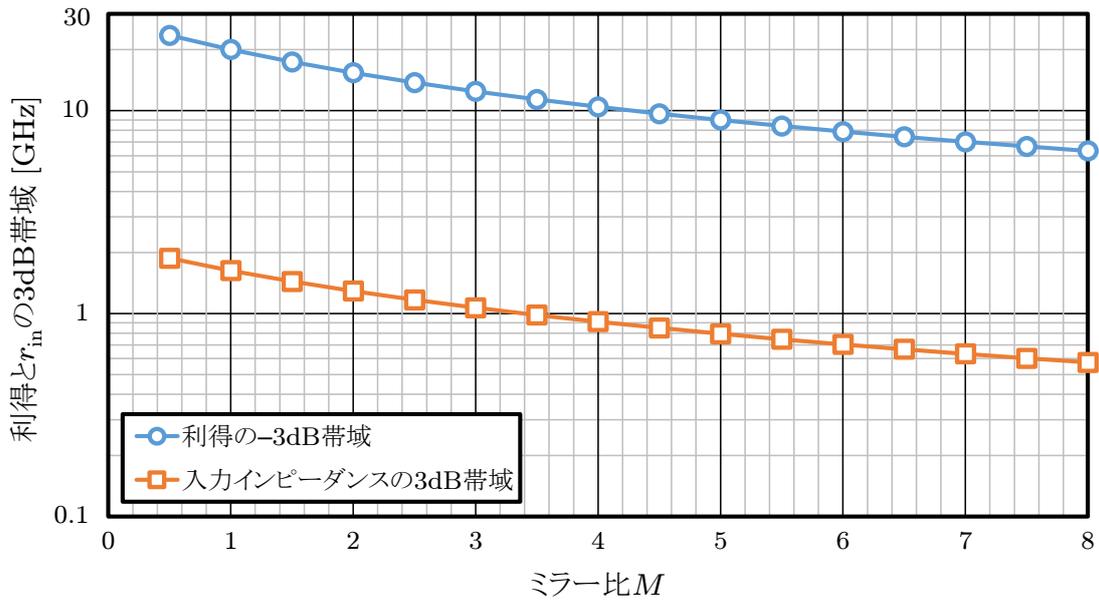


図 4.34: FVF 構造を持つ電流増幅器の帯域

劣化につながってしまう。したがって、 $\omega_z$  はオープンループアンプとしての FVF 構造における  $H_{\text{open}}(s)$  の利得帯域に相当すると考えられる。広帯域に渡り高い線形性を維持するならば、 $\omega_z$  は使用する帯域よりも高くしておかなければならない。

#### 4.3.3.1 歪の解析

線形性について考察する。電流増幅器はカレントミラーによって電流増幅を行うため、帯域内であれば一定の電流利得が期待できる。しかしながら、カレントミラー部分に流入する信号電流が入力インピーダンスを変動させると、歪を生じさせる要因となる。

図 4.35 のような電流増幅器のモデルを考える。ここで  $r_{\text{in}}(\Delta I)$  は、電流増幅器に流入する信号電流  $\Delta I$  を考慮した入力インピーダンスを表している。図より、

$$\Delta I = \frac{R_S}{R_S + r_{\text{in}}(\Delta I)} \Delta I_{\text{in}} \quad (4.165)$$

であるから、 $\Delta I_{\text{in}}$  から  $\Delta I_{\text{out}}$  までの正味の電流利得は、

$$G_I(\Delta I_{\text{in}}) = \frac{R_S}{R_S + r_{\text{in}}(\Delta I)} \quad (4.166)$$

となる。 $r_{\text{in}}(\Delta I)$  が十分小さいか、ほぼ一定の値を保つ場合利得の変動は生じない。しかしながら、入力インピーダンスが変動すると  $\Delta I_{\text{in}}$  から  $R_S$  に抜ける信号電流の量が変わり、それが全体の利得変動を引き起こし、歪を生じさせてしまう。

ここで,

$$r_{\text{in}}(\Delta I) = r_{\text{in}}(0) \left\{ 1 + \alpha_1 \cdot \frac{\Delta I}{I_{\text{bias}}} + \alpha_2 \cdot \left( \frac{\Delta I}{I_{\text{bias}}} \right)^2 \right\} \quad (4.167)$$

とおくと,  $\Delta I_{\text{in}}$  と  $\Delta I$  の関係式は次のようになる.

$$\Delta I_{\text{in}} = \left( 1 + \frac{r_{\text{in}}(0)}{R_S} \right) \cdot \Delta I + \alpha_1 \frac{r_{\text{in}}(0)}{R_S} \frac{\Delta I^2}{I_{\text{bias}}} + \alpha_2 \frac{r_{\text{in}}(0)}{R_S} \frac{\Delta I^3}{I_{\text{bias}}^2} \quad (4.168)$$

この式から  $\Delta I_{\text{in}} = 0$  近傍で  $\Delta I$  について解く.

$$\left. \frac{\partial(\Delta I)}{\partial(\Delta I_{\text{in}})} \right|_{\Delta I_{\text{in}}=0} = \frac{R_S}{R_S + r_{\text{in}}} \quad (4.169)$$

$$\left. \frac{\partial^2(\Delta I)}{\partial(\Delta I_{\text{in}})^2} \right|_{\Delta I_{\text{in}}=0} \approx -2\alpha_1 \frac{r_{\text{in}}(0)}{R_S} \frac{1}{I_{\text{bias}}} \quad (4.170)$$

$$\left. \frac{\partial^3(\Delta I)}{\partial(\Delta I_{\text{in}})^3} \right|_{\Delta I_{\text{in}}=0} \approx -6 \left( \alpha_2 - \frac{2\alpha_1}{I_{\text{bias}}} \right) \frac{r_{\text{in}}(0)}{R_S} \frac{1}{I_{\text{bias}}} \quad (4.171)$$

ただし,  $\Delta I \ll I_{\text{bias}}$  かつ  $r_{\text{in}}(0) \ll R_S$  として近似を行った. したがって,

$$\begin{aligned} \Delta I &\approx \left. \frac{\partial(\Delta I)}{\partial(\Delta I_{\text{in}})} \right|_{\Delta I_{\text{in}}=0} \Delta I_{\text{in}} + \frac{1}{2} \left. \frac{\partial^2(\Delta I)}{\partial(\Delta I_{\text{in}})^2} \right|_{\Delta I_{\text{in}}=0} \Delta I_{\text{in}}^2 + \frac{1}{6} \left. \frac{\partial^3(\Delta I)}{\partial(\Delta I_{\text{in}})^3} \right|_{\Delta I_{\text{in}}=0} \Delta I_{\text{in}}^3 \\ &\approx \frac{R_S}{R_S + r_{\text{in}}} \Delta I_{\text{in}} - \alpha_1 \frac{r_{\text{in}}(0)}{R_S} \frac{\Delta I_{\text{in}}^2}{I_{\text{bias}}} - \left( \alpha_2 - \frac{2\alpha_1}{I_{\text{bias}}} \right) \frac{r_{\text{in}}(0)}{R_S} \frac{\Delta I_{\text{in}}^3}{I_{\text{bias}}} \end{aligned} \quad (4.172)$$

となる. (4.167) 式を  $\Delta I_{\text{in}}$  を用いて整理する.

$$\begin{aligned} r_{\text{in}}(\Delta I_{\text{in}}) &\approx r_{\text{in}}(0) \left[ 1 + \alpha_1 \left\{ \frac{R_S}{R_S + r_{\text{in}}(0)} \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} - \alpha_1 \frac{r_{\text{in}}(0)}{R_S} \left( \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} \right)^2 \right\} \right. \\ &\quad \left. + \alpha_2 \left( \frac{R_S}{R_S + r_{\text{in}}(0)} \right)^2 \left( \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} \right)^2 \right] \\ &\approx r_{\text{in}}(0) \left[ 1 + \alpha_1 \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} + \left( \alpha_2 - \alpha_1 \frac{r_{\text{in}}(0)}{R_S} \right) \left( \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} \right)^2 \right] \\ &= r_{\text{in}}(0) \left\{ 1 + \alpha'_1 \cdot \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} + \alpha'_2 \cdot \left( \frac{\Delta I_{\text{in}}}{I_{\text{bias}}} \right)^2 \right\} \end{aligned} \quad (4.173)$$

ただし,

$$\begin{cases} \alpha'_1 = \alpha_1 \\ \alpha'_2 = \alpha_2 - \alpha_1 \frac{r_{\text{in}}(0)}{R_S} \end{cases} \quad (4.174)$$

である。  $G_I(\Delta I_{in})$  は、

$$\begin{aligned}
 G_I(\Delta I_{in}) &= -\frac{\frac{R_S}{r_{in}(0)}}{1 + \frac{R_S}{r_{in}(0)} + \alpha'_1 \cdot \frac{\Delta I_{in}}{I_{bias}} + \alpha'_2 \cdot \left(\frac{\Delta I_{in}}{I_{bias}}\right)^2} \\
 &\approx \frac{\frac{R_S}{r_{in}(0)}}{1 + \frac{R_S}{r_{in}(0)}} - \frac{\alpha'_1 \frac{R_S}{r_{in}(0)}}{\left(1 + \frac{R_S}{r_{in}(0)}\right)^2} \frac{\Delta I_{in}}{I_{bias}} + \frac{\alpha'_1{}^2 - \left(1 + \frac{R_S}{r_{in}(0)}\right) \alpha'_2}{\left(1 + \frac{R_S}{r_{in}(0)}\right)^3} \frac{R_S}{r_{in}(0)} \left(\frac{\Delta I_{in}}{I_{bias}}\right)^2 \\
 &\approx \frac{R_S}{R_S + r_{in}(0)} - \alpha'_1 \frac{r_{in}(0)}{R_S} \frac{\Delta I_{in}}{I_{bias}} + \left(\alpha'_1{}^2 - \alpha'_2 \frac{R_S}{r_{in}(0)}\right) \left(\frac{r_{in}(0)}{R_S}\right)^2 \left(\frac{\Delta I_{in}}{I_{bias}}\right)^2 \\
 &= b_1 + b_2 \Delta I_{in} + b_3 \Delta I_{in}^2 \tag{4.175}
 \end{aligned}$$

と整理される。ここで電圧入力型の回路と比較を揃えるために、

$$\Delta I_{in} = \frac{\Delta V_{in}}{R_S} = \frac{V_{in}}{2R_S} \tag{4.176}$$

とする。この時、(1.1) 式で定義される各係数は次のようになる。

$$\begin{cases}
 a_1 = b_1 = \frac{R_S}{R_S + r_{in}(0)} \\
 a_2 = \frac{b_2}{2R_S} = -\frac{\alpha'_1 r_{in}(0)}{2} \frac{1}{R_S I_{bias}} \\
 a_3 = \frac{b_3}{4R_S^2} = \frac{1}{4} \left( \alpha'_1{}^2 + \alpha_1 - \alpha_2 \frac{R_S}{r_{in}(0)} \right) \left( \frac{r_{in}(0)}{R_S} \right)^2 \frac{1}{R_S^2 I_{bias}^2}
 \end{cases} \tag{4.177}$$

これら特性は (4.131) 式のような電圧源入力の場合においても共通である。したがって、歪の特性を調べるためには入力インピーダンスの大きさ  $r_{in}(0)$  と係数  $\alpha_1, \alpha_2$  について調べれば良い。

再び電流増幅回路の基本構成に戻り、  $r_{in}(0), \alpha_1, \alpha_2$  を求める。図 4.36 において、入力インピーダンス  $r_{in}(\Delta I)$  は、

$$r_{in}(\Delta I) = \frac{1}{A_{gm1}} \tag{4.178}$$

である。また、

$$I_{D1} = I_{bias} + \Delta I = K (V_{eff} + \Delta V_{eff})^2 \tag{4.179}$$

である。ただし、簡単のためチャネル長変調効果は無視している。ただし、

$$I_{\text{bias}} = KV_{\text{eff}}^2 \quad (4.180)$$

である。 $\Delta I$  が存在する場合のトランスコンダクタンス  $g_{m1}(\Delta I)$  は次のように表される。

$$g_{m1}(\Delta I) = \frac{\partial I_{D1}}{\partial V_{GS}} = \frac{\partial}{\partial V_{\text{eff}}} \Delta I = 2K(V_{\text{eff}} + \Delta V_{\text{eff}}) \quad (4.181)$$

一方、(4.179) 式から  $\Delta I$  と  $\Delta V_{\text{eff}}$  の関係式を求めると次のようになる。

$$\Delta V_{\text{eff}} = \sqrt{\frac{I_{\text{bias}} + \Delta I}{K}} - V_{\text{eff}} \quad (4.182)$$

これを (4.181) 式に代入すると、

$$\begin{aligned} g_{m1}(\Delta I) &= 2K \cdot \sqrt{\frac{I_{\text{bias}} + \Delta I}{K}} = 2\sqrt{KI_{\text{bias}}} \left(1 + \frac{\Delta I}{I_{\text{bias}}}\right) \\ &= g_{m1} \sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}} \end{aligned} \quad (4.183)$$

となる。ただし、 $g_{m1} = g_{m1}(0)$  である。(4.178) 式の  $g_{m1}$  を  $g_{m1}(\Delta I)$  と読み替えて次の式を得る。

$$\begin{aligned} r_{\text{in}}(\Delta I) &= \frac{1}{Ag_{m1}(\Delta I)} = \frac{1}{Ag_{m1} \sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}}} = \frac{r_{\text{in}}(0)}{\sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}}} \\ &\approx r_{\text{in}}(0) \left\{ 1 - \frac{1}{2} \frac{\Delta I}{I_{\text{bias}}} + \frac{3}{8} \left( \frac{\Delta I}{I_{\text{bias}}} \right)^2 \right\} \end{aligned} \quad (4.184)$$

したがって、

$$\begin{aligned} r_{\text{in}}(0) &= \frac{1}{Ag_{m1}} \\ \alpha_1 &= -\frac{1}{2} \\ \alpha_2 &= \frac{3}{8} \end{aligned} \quad (4.185)$$

となる。(4.185) 式の結果を (4.177) 式に代入し、差動回路を想定した際の三次歪を求めると次のようになる。

$$\begin{aligned} \left| \frac{a_3}{a_1} \right| &\approx \left( 1 + \frac{r_{\text{in}}(0)}{R_S} \right) \left( \alpha_1^2 + \alpha_1 - \alpha_2 \frac{R_S}{r_{\text{in}}(0)} \right) \left( \frac{r_{\text{in}}(0)}{R_S} \right)^2 \frac{1}{4R_S^2 I_{\text{bias}}^2} \approx \alpha_2 \frac{r_{\text{in}}(0)}{R_S} \frac{1}{4R_S^2 I_{\text{bias}}^2} \\ &\approx \frac{3}{32} \frac{1}{Ag_{m1} R_S} \frac{1}{R_S^2 I_{\text{bias}}^2} = \frac{3}{64} \frac{V_{\text{eff}}}{AR_S^3 I_{\text{bias}}^3} \end{aligned} \quad (4.186)$$

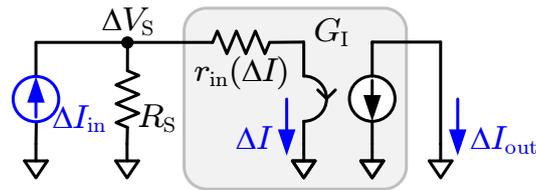


図 4.35: 入力インピーダンスを考慮した電流増幅器モデル

本解析では  $A$  を定数として扱ったが、実際の回路ではトランジスタの固有利得によって実現されるため、厳密には  $A$  も値が変動する。

(4.186) 式によれば、次の方法で電流増幅器の線形性を改善することができる。

- (a)  $R_S$  の増加
- (b) 利得  $A$  の向上
- (c)  $I_{\text{bias}}$  の増加
- (d) 入力インピーダンスの変動係数  $\alpha_2$  の抑制

(a) 及び (b) のアプローチは、 $R_S$  側に漏れる信号電流成分そのものを減らす方法である。 $R_S$  を大きくすることと  $A$  を向上し入力インピーダンスを低減することは等価であり、歪に対しては一次の改善効果が見込める。しかしながら、 $R_S$  は前段回路の出力インピーダンスに依存するため、自由な設定が難しい。そのため、 $A$  を改善する目的で FVF 構造に更に補助アンプを追加する電流増幅器なども検討されている。詳しくは次章に記載する。一方、(c) は入力インピーダンスの低減に加えて  $\Delta I_{\text{in}}/I_{\text{bias}}$  を小さくする効果があり、三次の改善効果が期待できる。ただし、 $I_{\text{bias}}$  は後述する雑音とのトレードオフがあり、消費電力も増加してしまう。(d) の手法は相補入力化などのアーキテクチャ改善によって  $\alpha_2$  を小さくする方法である。第7章では (d) のアプローチによって性能改善を図っている。

図 4.37 に、FVF 構造を持つ電流増幅器の IIP3 を示す。シミュレーション条件は表 4.1 のとおりであり、ミラー比は 1 とした。ここで理論式には、(4.186) 式と (4.108) 式を用いた。後者は  $G_m$  セルまたはオープンループアンプとして使用した際の計算式であるが、同じ FVF 構造を解析した数式であるため、比較対象として用いている。理論計算とシミュレーション結果は同じ傾向を示しており、特に理論計算 ( $G_m$  セル) とよく一致している。このような結果になる理由として、電流増幅器の解析では  $A$  (FVF 構造では  $G_i$ ) を定数とした点が挙げられる。実際の回路では  $G_i$  もわずかながら値が変動する

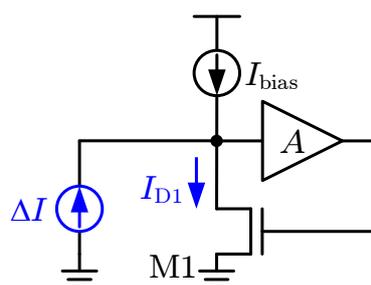


図 4.36: 電流増幅器の入力部分

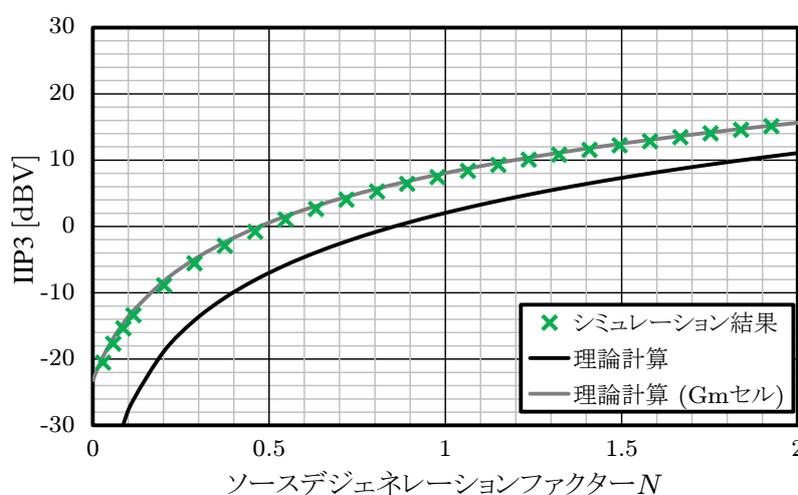


図 4.37: FVF 構造を持つ電流増幅器の線形性

ため、その点を考慮した解析を行った (4.108) 式の方がより厳密な解析である。以降は、(4.108) 式を元に考察する。

電流増幅器では、 $N$  の上昇に対して IIP3 は素直に向上しており、歪キャンセルによりピークを持っていた図 4.20 とは対称的である。Gm セルにおける歪キャンセルは、M3 の  $g_d$  が原因で発生していたが、電流増幅器では M3 のドレイン端子は殆ど電圧変動が発生しないため、歪キャンセルが生じなかったと考えられる。

#### 4.3.3.2 雑音特性

図 4.38 に、FVF 構造を持つ電流増幅器の雑音源を示す。ただし、差動構成を想定し、片側部分の回路のみを記載した。主な雑音源はカレントミラー部分のトランジスタ、バイアス電流を供給する M9 及び M11、利得低減のためのトランジスタ M1 などである。

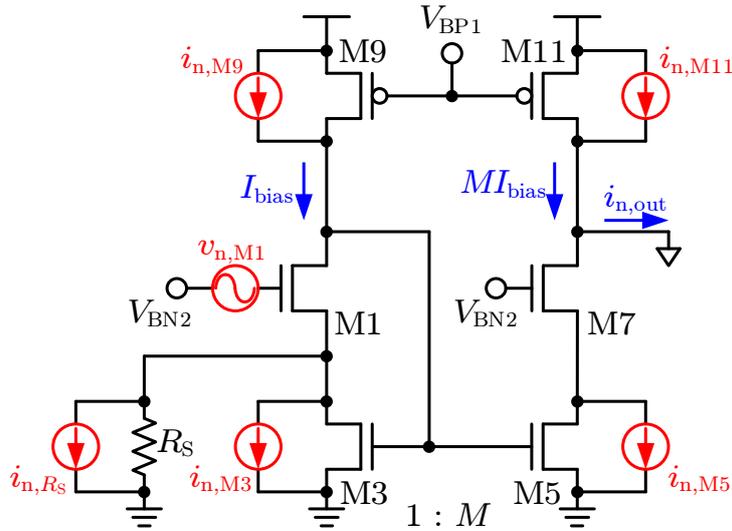


図 4.38: FVF 構造を持つ電流増幅器の雑音

各雑音源から出力端子に到達する雑音電流を求める。M1,  $R_S$  からの雑音電流は,

$$\overline{i_{n,out}^2} \Big|_{M3,R_S} \approx G_1^2 \left( \overline{i_{n,M3}^2} + \overline{i_{n,R_S}^2} \right). \quad (4.187)$$

M11 及び M5 の雑音電流は全て出力端子に到達する.

$$\overline{i_{n,out}^2} \Big|_{M5,M11} \approx \overline{i_{n,M5}^2} + \overline{i_{n,M11}^2} \quad (4.188)$$

M1 及び M9 から出力端子に到達する雑音電流はそれぞれ、次のように表される.

$$\overline{i_{n,out}^2} \Big|_{M1} \approx \left( \frac{g_{m5}}{g_{m3}} \right)^2 \frac{1}{R_S^2} \overline{v_{n,M1}^2} \approx \frac{G_1^2}{R_S^2} \cdot \overline{v_{n,M1}^2} \quad (4.189)$$

$$\overline{i_{n,out}^2} \Big|_{M9} \approx \left( \frac{g_{m5}}{g_{m3}} \right)^2 \left( 1 + \frac{1}{g_{m1}R_S} \right)^2 \overline{i_{n,M9}^2} \approx G_1^2 \left( 1 + \frac{1}{N} \right)^2 \overline{i_{n,M9}^2} \quad (4.190)$$

出力雑音電流の合計は,

$$\overline{i_{n,out}^2} = \overline{i_{n,out}^2} \Big|_{M1} + \overline{i_{n,out}^2} \Big|_{M3} + \overline{i_{n,out}^2} \Big|_{M5} + \overline{i_{n,out}^2} \Big|_{M9} + \overline{i_{n,out}^2} \Big|_{M11} + \overline{i_{n,out}^2} \Big|_{R_S} \quad (4.191)$$

となる。したがって差動構成を考慮した入力換算雑音電流は次のようになる。

$$\begin{aligned}
\overline{i_{n,\text{in}}^2} &= 2 \cdot \frac{\overline{i_{n,\text{out}}^2}}{G_I^2} \\
&\approx \frac{2\overline{v_{n,M1}^2}}{R_S^2} + 2 \cdot \overline{i_{n,M3}^2} + 2 \cdot \left(1 + \frac{1}{N}\right)^2 \overline{i_{n,M9}^2} + 2 \cdot \overline{i_{n,R_S}^2} + 2 \cdot \frac{\overline{i_{n,M5}^2} + \overline{i_{n,M11}^2}}{G_I^2} \\
&\approx \frac{8kT\gamma g_m}{(g_m R_S)^2} + 8kT\gamma g_m \left(1 + \frac{1}{N}\right)^2 + 8kT\gamma g_m \left(1 + \frac{2}{M}\right) + \frac{8kT}{R_S} \\
&= 8kT\gamma g_m \left\{ \frac{1}{N^2} + \left(1 + \frac{1}{N}\right)^2 + 1 + \frac{2}{M} + \frac{1}{\gamma N} \right\} \\
&= 16kT\gamma g_m \left\{ 1 + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right) \frac{1}{N} + \frac{1}{N^2} \right\} \tag{4.192}
\end{aligned}$$

ただし、 $g_{m1} = g_{m3} = g_{m9} = g_m$  かつ  $g_{m11} = g_{m5} = M g_m$  とした。

電流増幅器の雑音電力は電流性であるため、同じ  $N$  に対して  $g_m$  が大きいほど雑音電力は大きくなる。また電圧入力型では  $N$  が大きいほど雑音が増加したのに対し、電流増幅器では逆の傾向となっている。  $g_{m1}$  一定条件において  $R_S$  が上昇すると、  $R_S$  による雑音電流は減少し、  $M1$  による雑音電流は抑制されるため、このような傾向が得られる。しかしながら  $R_S$  は  $r_{d3}$  との並列抵抗であるため、実際には上限値が存在する。

図 4.30(b) に示す SSF 型の電流増幅器では  $\alpha I_{\text{bias}}$  の電流源からの雑音も計上される。FVF 構造同様に SSF 構造についても雑音を計算すると、次のようになる。

$$\begin{aligned}
\overline{i_{n,\text{in}}^2} &\approx \frac{8kT\gamma g_m}{\alpha(g_m R_S)^2} + 8kT\gamma\alpha g_m \left(1 + \frac{1}{\alpha N}\right)^2 + 8kT\gamma g_m \left(2 + \alpha + \frac{2}{M}\right) + \frac{8kT}{R_S} \\
&= 16kT\gamma g_m \left\{ 1 + \alpha + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right) \frac{1}{N} + \frac{1}{\alpha N^2} \right\} \tag{4.193}
\end{aligned}$$

このケースにおいても  $g_m$  の増加によって雑音電力が増加し、  $N$  の増加によって抑制される傾向が得られる。

図 4.39 に、FVF 構造を持つ電流増幅器の雑音特性を示す。理論計算とシミュレーション結果はほぼ一致しており、  $N = 0.8$  付近で最も低い値となり、以降緩やかに劣化していく。

#### 4.3.3.3 最大 SNDR

至及び入力換算雑音の解析結果を用いて、最大 SNDR の予測を行う。図 4.40 において、  $V_{\text{in}}$  における入力換算の雑音電圧は、  $i_{n,\text{in}}$  に  $R_S$  を乗じたものに等しい。したがって、

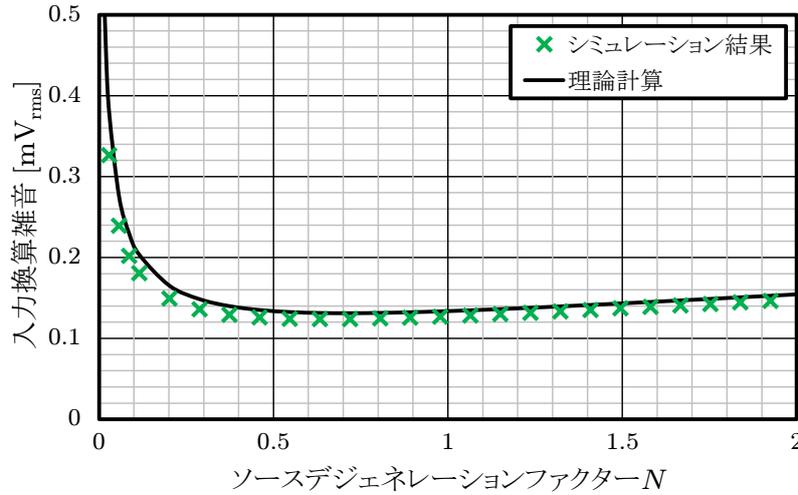


図 4.39: FVF 構造を持つ電流増幅器の雑音特性

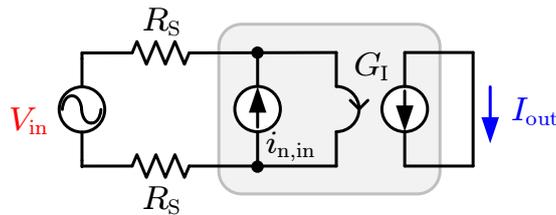


図 4.40: 電流増幅器の SNDR 計算モデル

(1.22) 式により，最大 SNDR は，

$$\text{SNDR}_{\text{peak}} \approx -1.01 - \frac{20}{3} \log \left| \frac{a_3}{a_1} \cdot R_S^2 \cdot \overline{i_{n,\text{in}}^2} f_{\text{BW}} \right| \text{ [dB]} \quad (4.194)$$

となる。

ここでは一例として，FVF 構造を持つ電流増幅器で最大 SNDR を算出する。(4.186) 式及び (4.192) 式より，

$$\begin{aligned} \left| \frac{a_3}{a_1} \cdot \overline{i_{n,\text{in}}^2} \right| &\approx \frac{3}{32} \frac{1}{G_{i1} g_m R_S} \frac{1}{R_S^2 I_{\text{bias}}^2} \cdot 16kT\gamma g_m \left\{ 1 + \frac{1}{M} + \left( \frac{1}{2\gamma} + 1 \right) \frac{1}{N} + \frac{1}{N^2} \right\} \\ &= \frac{3kT\gamma}{2G_{i1} R_S^3 I_{\text{bias}}^2} \left\{ 1 + \frac{1}{M} + \left( \frac{1}{2\gamma} + 1 \right) \frac{1}{N} + \frac{1}{N^2} \right\} \end{aligned} \quad (4.195)$$

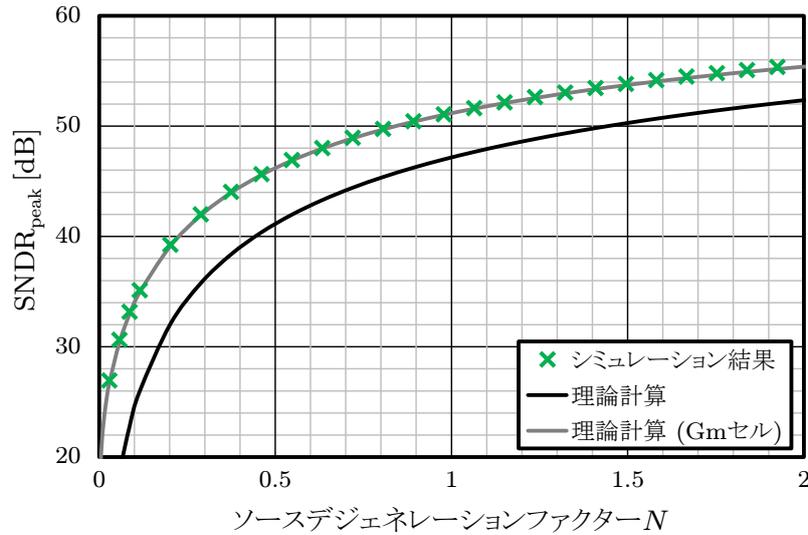


図 4.41: FVF 構造を持つ電流増幅器の SNDR

である。最大 SNDR は、

$$\begin{aligned} \text{SNDR}_{\text{peak}} &\approx -1.01 - \frac{20}{3} \log \left[ \frac{3kT\gamma f_{\text{BW}}}{2G_{\text{i1}}R_{\text{S}}I_{\text{bias}}^2} \left\{ 1 + \frac{1}{M} + \left( \frac{1}{2\gamma} + 1 \right) \frac{1}{N} + \frac{1}{N^2} \right\} \right] \\ &= -1.01 - \frac{20}{3} \log \left[ \frac{3kT\gamma f_{\text{BW}}}{G_{\text{i1}}N^3V_{\text{eff}}I_{\text{bias}}} \left\{ 1 + \left( \frac{1}{2\gamma} + 1 \right) N + \left( 1 + \frac{1}{M} \right) N^2 \right\} \right] \end{aligned} \quad (4.196)$$

となる。ただし、単位は [dB] である。  $N \ll 1$  の領域では、

$$\text{SNDR}_{\text{peak}} \approx -1.01 - \frac{20}{3} \log \left( \frac{3kT\gamma V_{\text{eff}}^2 f_{\text{BW}}}{8G_{\text{i1}}R_{\text{S}}^3I_{\text{bias}}^4} \right) [\text{dB}] \quad (4.197)$$

となり、  $N \gg 1$  の領域では次のように近似される。

$$\text{SNDR}_{\text{peak}} \approx -1.01 - \frac{20}{3} \log \left\{ \frac{3kT\gamma f_{\text{BW}}}{2G_{\text{i1}}R_{\text{S}}I_{\text{bias}}^2} \left( 1 + \frac{1}{M} \right) \right\} [\text{dB}] \quad (4.198)$$

電流増幅器において、SNDR は  $I_{\text{bias}}$  に対して少なくとも  $2/3$  乗の改善効果が予想される。一方、  $G_{\text{i1}}$  は  $1/3$  乗程度の改善効果となる。

図 4.41 に、FVF 構造を持つ電流増幅器の SNDR を示す。理論計算 (Gm セル) とシミュレーション結果は精度良く一致しており、  $N$  の増加に対して素直に SNDR が改善される様子が示されている。

## 4.4 比較

ここではソース接地回路と、本章で解析を行ったソースデジェネレーション、FVF 構造を持つオープンループアンプ、及び電流増幅器を比較する。表 4.2, 表 4.3, 表 4.4 はそれぞれ、理論解析の結果をまとめたものである。表を比較すると、ソース接地を除く回路は、いずれの性能についても同じようなトレードオフ関係が存在している。雑音特性と線形性は  $N$  を介してトレードオフ関係となっており、また SNDR と消費電力もトレードオフとなっている。なお、シミュレーション結果の比較から、FVF 構造を持つ二つの回路の挙動は同じ理論式で記述できると考えられる。

### 4.4.1 最小 $G_m$ 値を揃えた比較

実際にこれらの回路をオープンループアンプとして使用する場合、出力端子に接続される負荷容量  $C_L$  を考える必要がある。出力端子間の抵抗  $R_L$  に対して  $C_L$  が並列に挿入されると、それがドミナントポールとなるため、帯域を制約する。これは第2章で述べた、A/D 変換器のサンプリング問題にも関連する。 $C_L$  は後段の回路で決まり、必要な帯域  $f_s$  もシステム側の要求によって決まる。そのため、

$$R_L < \frac{1}{2\pi f_s C_L} \quad (4.199)$$

表 4.2: SNDR<sub>peak</sub> の比較

構成	SNDR <sub>peak</sub> + 1.01 [dB]
ソース接地回路	$-\frac{20}{3} \log \left( \frac{kT\gamma f_{BW}}{V_{\text{eff}} I_{\text{bias}}} \right)$
SD Gm セル	$-\frac{20}{3} \log \left[ \frac{kT\gamma f_{BW}}{(1+N)^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + \left( 1 + \frac{1}{2\gamma} \right) N + N^2 \right\} \right]$
FVF Gm セル	$-\frac{20}{3} \log \left[ \frac{kT\gamma f_{BW}}{G_i N^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + \left( \frac{1}{2\gamma} + 1 \right) N + \left( 1 + \frac{1}{M} \right) N^2 \right\} \right]$
FVF 電流増幅器	$-\frac{20}{3} \log \left[ \frac{kT\gamma f_{BW}}{G_{i1} N^3 V_{\text{eff}} I_{\text{bias}}} \left\{ 1 + \left( \frac{1}{2\gamma} + 1 \right) N + \left( 1 + \frac{1}{M} \right) N^2 \right\} \right]$

表 4.3: 入力換算雑音の比較

構成	$\overline{v_{n,in}^2}$
ソース接地回路	$\frac{16kT\gamma}{g_m}$
SD Gm セル	$\frac{16kT\gamma}{g_m} \left\{ 1 + \left( 1 + \frac{1}{2\gamma} \right) N + N^2 \right\}$
FVF Gm セル	$\frac{16kT\gamma}{g_m} \left\{ 1 + \left( \frac{1}{2\gamma} + 1 \right) N + \left( 1 + \frac{1}{M} \right) N^2 \right\}$
FVF 電流増幅器	$\frac{16kT\gamma}{g_m} \left\{ 1 + \left( \frac{1}{2\gamma} + 1 \right) N + \left( 1 + \frac{1}{M} \right) N^2 \right\}$

表 4.4: 線形性の比較

構成	$ a_3/a_1 $
ソース接地回路	$\frac{1}{8V_{\text{eff}}^2}$
SD Gm セル	$\frac{1}{8(1+N)^3V_{\text{eff}}^2}$
FVF Gm セル	$\frac{1}{8G_i N^3 V_{\text{eff}}^2}$
FVF 電流増幅器	$\frac{1}{8G_i N^3 V_{\text{eff}}^2}$

という条件で出力抵抗は制限される。オープンループアンプの要求利得が  $A_V$  の場合、 $A_V = G_m R_L$  であるから、

$$G_m = \frac{A_V}{R_L} > 2\pi f_S C_L A_V \quad (4.200)$$

となり、 $G_m$  の下限値が決まる。同様に、入力振幅は前段回路や後段回路の条件によって決まるため、自由に設定できるとは限らない。したがって、表 4.2 で示した最大 SNDR を達成する設計が消費電力に対して最適ではない場合がある。

そこで各解析で得られた理論式を用いて、必要な  $G_m$  値を実現し、目標 SNDR を達成する最小の消費電力を比較する。計算には回路シミュレータを用いず、プログラミング

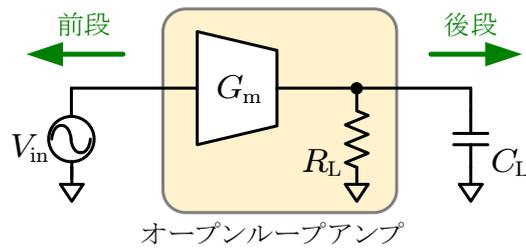


図 4.42: 出力抵抗  $R_L$  と負荷容量  $C_L$

言語を使用して最小電力を計算した．図 4.43 に， $G_m > 5 \text{ mS}$  と  $G_m > 20 \text{ mS}$  の二つの条件で計算を行った結果を示す．雑音有効帯域  $f_{\text{BW}}$  は  $1 \text{ GHz}$ ，SNDR は  $50 \text{ dB}$ ， $40 \text{ dB}$ ， $30 \text{ dB}$  で設定したそれぞれの条件で入力振幅に対して必要な最小消費電流をプロットしている．

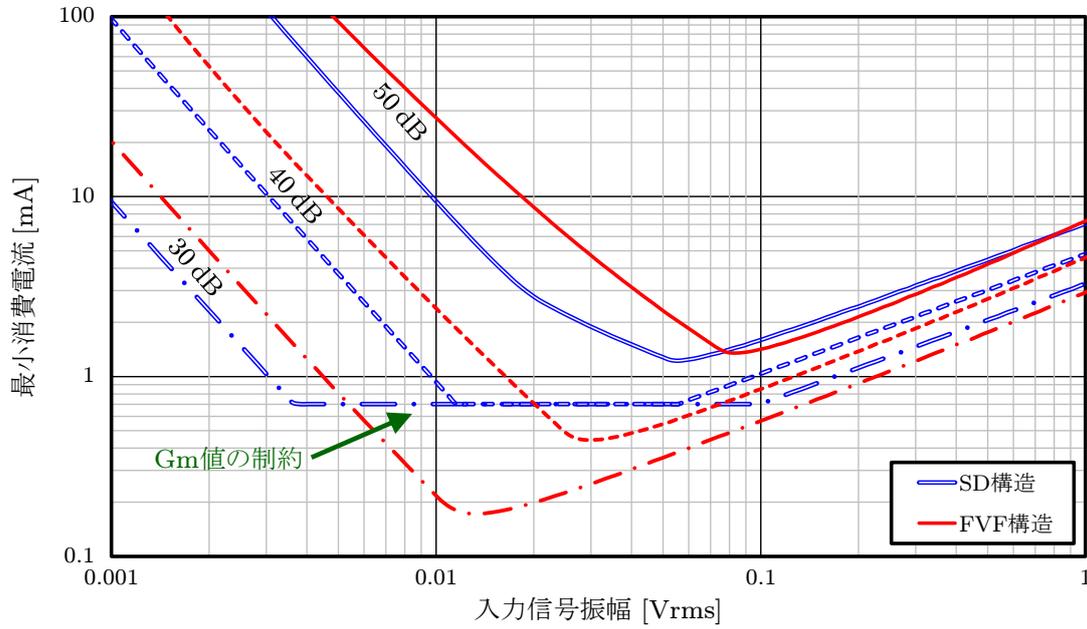
まず， $G_m > 5 \text{ mS}$  の結果を見る．基本的に低入力振幅ではノイズを下げるために消費電力が割かれ，大振幅入力側では線形性を上げるために消費電力が上がる．SNR が支配的な領域では，振幅の低下に対して代償となる消費電流の増加が非常に激しく，およそ二乗のオーダーで推移する．これは電圧性の雑音電力がバイアス電流に反比例する関係から導かれるものである．一方，線形性で決まる領域では消費電流の増加は緩やかであり，入力振幅レベルの増加に対しておよそ  $3/4$  乗で推移している．アーキテクチャ間を比較すると，FVF 構造は雑音が大きく，線形性に優れる特性となっている．雑音特性で決まる領域ではおよそ 2 倍の消費電流が必要であり，線形性で決まる領域では最小電流の比率は 0.8 倍程度となった．

グラフの特徴として，ソースデジェネレーションの構成では  $G_m$  の制約によって最小消費電流が決まっている区間が存在する点が挙げられる．ソースデジェネレーションで  $g_m$  が非常に小さいとき，

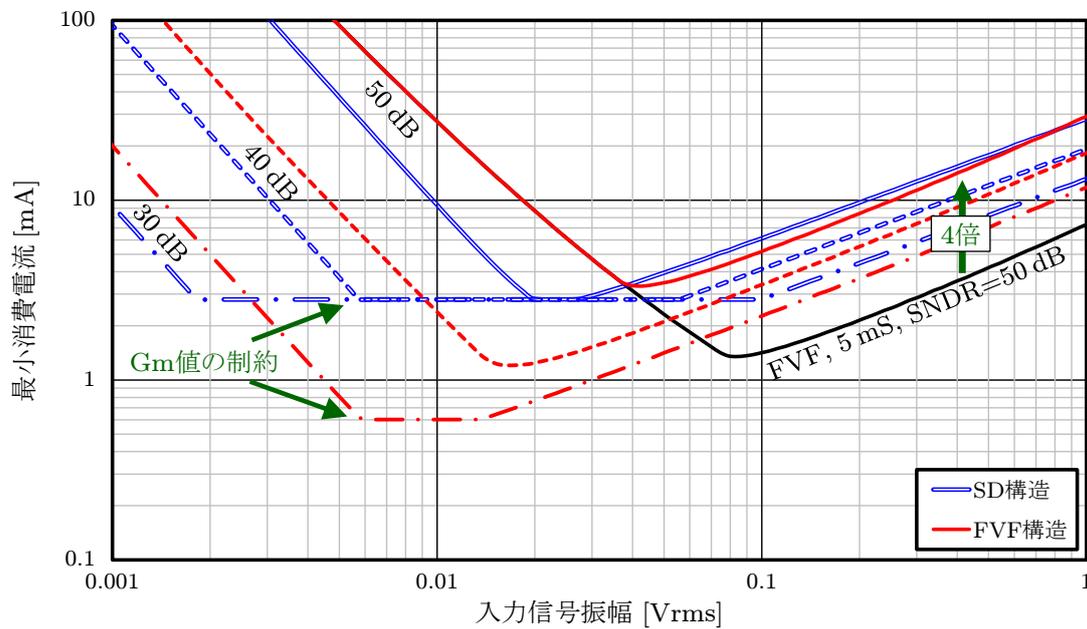
$$G_m = \frac{1}{R_S} \frac{1}{1 + \frac{1}{g_m R_S}} \approx g_m \quad (4.201)$$

となるため，特定の  $G_m$  を実現するためにはある程度の  $g_m$  が必要であり，そのため必要な消費電流が下がりきらない． $M = 1$  とした FVF 構造に同じ仮定を与えると，

$$G_m = \frac{1}{R_S} \frac{1}{1 + \frac{1}{G_i} \left( 1 + \frac{1}{g_m R_S} \right)} \approx G_i g_m \quad (4.202)$$



(a)  $G_m > 5 \text{ mS}$



(b)  $G_m > 20 \text{ mS}$

図 4.43: 最低  $G_m$  に対する最小電力の比較

となり，固有利得  $G_i$  によって  $g_m$  が増幅され，少量のバイアス電流でも高い  $G_m$  を実現することができる．そのため，雑音特性や線形性に余裕のある  $\text{SNDR} = 30 \text{ dB}$  においては， $0.01 V_{\text{rms}}$  付近で非常に低い消費電力を達成するという結果を得た．

次に同じアーキテクチャ間の  $\text{SNDR}$  を比較する． $\text{SNR}$  が支配的な低振幅側では， $\text{SNDR}$  の差に対して消費電力の差は非常に大きい．雑音電力は消費電流に反比例するため， $10 \text{ dB}$  の  $\text{SNDR}$  改善には  $10$  倍の消費電力が必要となる．高い  $\text{SNDR}$  を低消費電力で実現するためには，このような  $\text{SNR}$  で決まる領域を用いず，線形性と切り替わる領域付近で使用するのが望ましい．ただし，そのためにはある程度振幅を大きくして入力しなければならない．振幅が小さい入力では，ソースデジェネレーション（またはソース接地回路）に大きなバイアス電流を流して使用するのが適切である．

図 4.43(b) に示した  $G_m > 20 \text{ mS}$  においても同様の傾向が得られている．ここでは比較対象として，FVF 構造で  $G_m = 5 \text{ mS}$  かつ  $\text{SNDR} = 50 \text{ dB}$  のプロットを重ね書きした． $\text{SNR}$  で決まる領域では  $G_m$  値が変わった場合でも消費電流は変わっていない．この領域ではソースデジェネレーションファクターはほぼ  $0$  であり，ソース接地回路のような状態となっているため， $G_m$  は設計パラメータに影響を与えない． $G_m = 5 \text{ mS}$  と比較して，変化が大きいのは線形性で決まる大振幅入力側である．この領域では  $G_m$  値の増加に比例して消費電力が増加している．その結果，FVF 構造において  $50 \text{ dB}$  を達成する最小の消費電流は約  $2.5$  倍に上昇しており，そのときの入力振幅も低振幅側に移動している．高い  $G_m$  を実現するためには  $R_S$  を小さくしなければならないが，ソースデジェネレーションファクター  $N = g_m R_S$  も同時に小さくなってしまう．これを補填するためには消費電流を増やさなければならないため， $G_m$  と消費電力はトレードオフとなる．

比較結果をまとめると，次のようになる．

- 低振幅側は  $G_m$  に依存せず，入力振幅の減少に対して二乗の消費電力増加となり，雑音の低減に多くの消費電力が必要である
- 低振幅側ではソースデジェネレーション（ソース接地回路）の方が優勢である
- 大振幅側の消費電力増加は緩やかであるが， $G_m$  と消費電力は比例関係にある
- $\text{SNR}$  で決まる領域を過ぎると，FVF 構造のほうが優勢となる

## 4.4.2 出力抵抗に関する考察

2.6.2 節で指摘したように、高速なサンプリングを行うためには出力抵抗  $R_L$  を小さく設定しなければならない。広帯域増幅器の利得と  $R_L$  が決まっている場合、 $G_m$  値をある値以上に設定しなければならないため、消費電力の増加が問題となる。

そこで  $A_V = 2$  とし、上記の手法を流用して出力抵抗  $R_L$  に対する最小消費電流を取得する。ここでは FVF 構造を使用し、広帯域用途を想定して雑音帯域は 3 GHz とした。ただし、入力振幅は  $0.1 V_{rms}$  ( $= 280 mV_{pp}$ ) で固定している。

図 4.44 に計算結果を示す。大きな  $R_L$  が許容できる場合は雑音特性によって必要電力が決まる。一方、 $R_L$  が小さい領域では、必要  $G_m$  の増加に伴って消費電力は大きく増加する。結局  $R_L$  に対して消費電力は反比例となり、 $R_L = 50 \Omega$  かつ SNDR = 50 dB の条件では、10 mA 以上の消費電流が要求されることになる。アナログベースバンド回路においてこの消費電力は無視することができず、高速なサンプリングを行う場合は消費電力の著しい増加が問題となる。

この問題を解決するためは、消費電力の増加を伴わない線形性改善手法の検討が必要となる。例えば図 4.43 のケースでは、ソースデジェネレーションよりも FVF 構造の方が消費電力が低くなった。これは FVF 構造が固有利得によって高い帰還利得を持っている

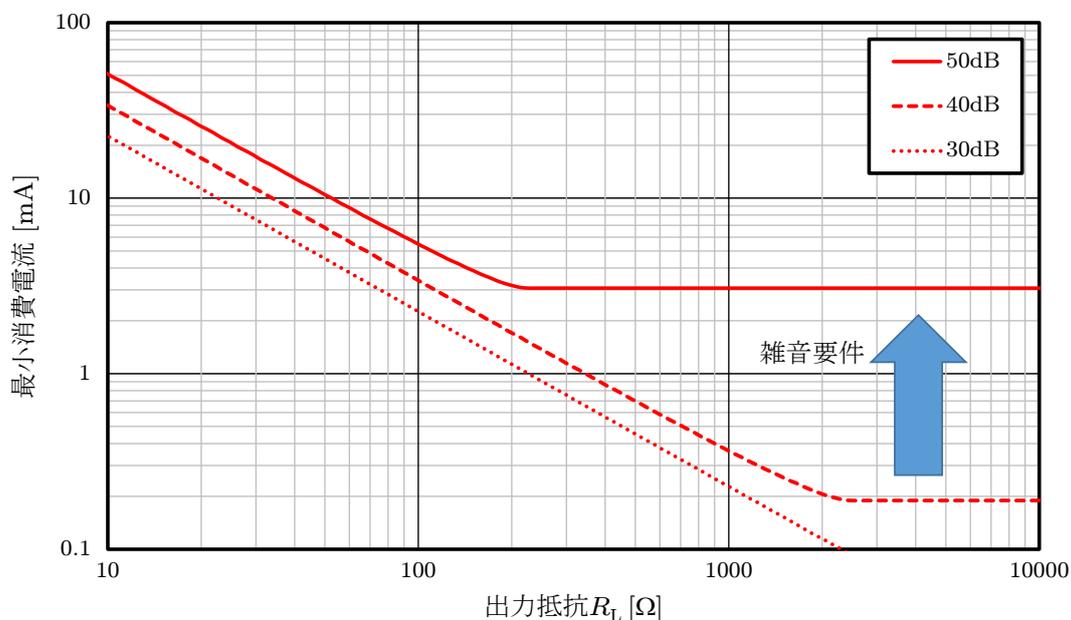


図 4.44: 負荷抵抗  $R_L$  と必要最小電流の関係 (SNDR = 30, 40, 50 dB)

るためであり、高い線形性が消費電流の減少に結びついている。ソースデジェネレーションファクター  $N$  を増やすことでも線形性は改善されるが、電力効率の観点では、それ以外の方法で線形性を改善することが重要である。

#### 4.4.3 オープンループアンプと電流増幅器の比較

FVF 構造を持つオープンループアンプ (Gm セル) と電流増幅器は電圧入力が増幅器として使用した場合、ほぼ同程度の性能が期待される。ただし図 4.45(a) に示したように、オープンループアンプでは入力トランジスタのソース側の電位が大きく動き、その結果  $g_{d3}$  による歪が性能に影響を与える。電流増幅器の構成ではこのノードの電位変動はほとんど生じないため、ほぼ理論式の通りの特性を得ることができ、オープンループアンプよりも高い線形性が実現できる。

ただし、二つの方式は入力インピーダンスの点で大きな違いがある。図 4.46 に前段回路の出力抵抗  $r_{out}$  を考慮した入力部分を示す。Gm セルやオープンループアンプとして使用する場合、入力はトランジスタのゲート受けとなるため、前段回路のインピーダンスを分離することができる。ただし、前段回路の出力抵抗とオープンループアンプの入力寄生容量が極を作るため、しばしば帯域を制限する。第7章で指摘する Gm-C フィルタでは、この入力寄生容量が非常に大きな影響を与える。

一方、電流増幅器の場合は  $r_{in}$  と入力寄生容量が並列となるため、この問題は緩和される。ただし、 $r_{out}$  は  $R_S$  の一部となるため、 $r_{out} \leq R_S$  の条件下でしか Gm セルの場合と同じ信号電流を作ることができない。

この問題の理由は、図 4.47 のようなカスケード接続を考えると理解しやすい。Gm セルやオープンループアンプでは抵抗を使用して電圧振幅を得て、そこから再度電流に変換するため、前段回路に大きな負荷抵抗を用いることで電圧利得を稼ぐことができる。具体的には、

$$A_V = G_{m1}R_{L1} \cdot G_{m2}R_{L2} \cdot G_{m3}R_{L3} \quad (4.203)$$

となるため、 $G_m$  だけでなく、 $R_L$  でも利得を制御できる。図 4.43(b) で示したように、SNDR 一定の条件において  $G_m$  は消費電力に比例するため、 $R_L$  で利得を上げることができるこの構成のメリットは非常に大きい。

一方、電流増幅器ではインピーダンスが分離されていないため、前段回路が抵抗に信

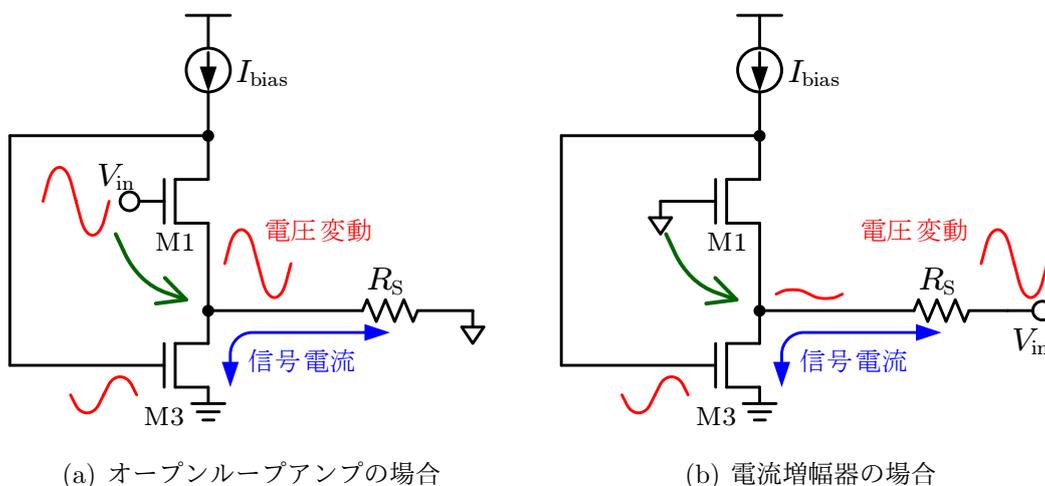


図 4.45: オープンループアンプと電流増幅器の比較

号電流を流し込んで得た電圧振幅は意味を持たず，前段回路が作成した信号電流の一部を受け取ることになる．最大の利得を稼ぐ条件は  $R_{S1} = R_{S2} = R_{S3} = 0$  とした状態であるが，その場合の利得は，

$$A_I = \beta_1 \beta_2 \beta_3 \quad (4.204)$$

となり，電流増幅器の電流利得  $\beta$  のみが系全体の利得となる．電流利得はカレントミラーで得ているが，大きなミラー比は帯域を制限する要因となるため，広帯域かつ高利得を実現するのは極めて困難である．

この問題から，電流増幅器はトランスインピーダンスアンプのような信号を電流で受け取ることを前提とする用途以外ではあまり用いられていない．例えば，第6章で検討するループフィルタでは高いDC利得が必要となるため，電流増幅器の応用は難しい．しかしながら，第7章で紹介する電流型フィルタでは，電流増幅器に求められる利得は比較的lowく，入力寄生容量の観点でGmセルよりも利点があることから，有効な選択肢となっている．

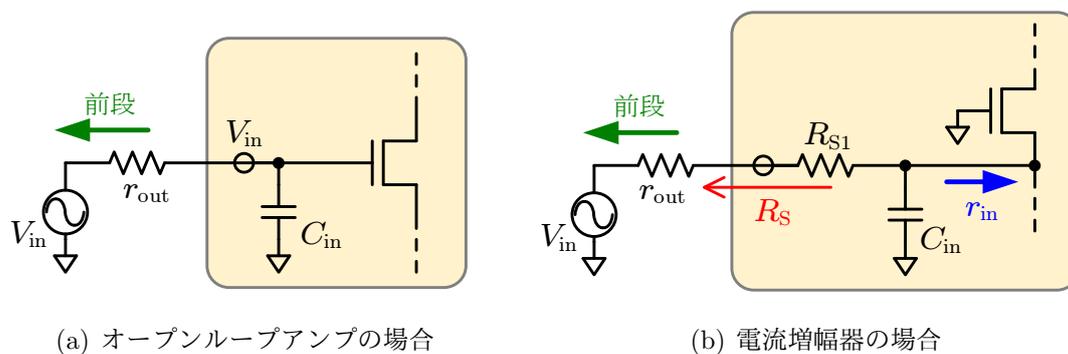


図 4.46: 電流出力を持つ前段回路の出力抵抗を考慮した入力部分

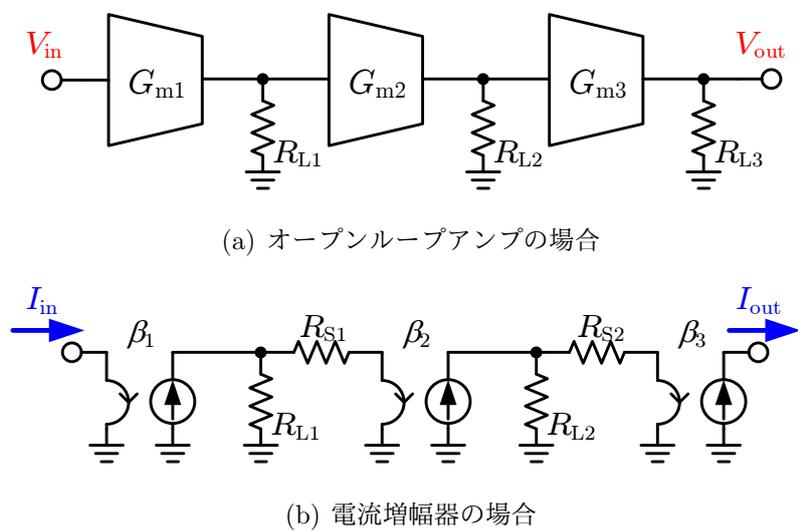


図 4.47: カスケード接続

## 4.5 まとめ

本章の内容についてまとめる。

■局所的な負帰還のアイデア 電圧帰還型の負帰還増回路では入力寄生容量の極とオペアンプの内部極によって帯域が制限されていた。一方、高線形オープンループアンプでは帰還のループを短くすることで帯域を制限する極の数を減らし、広帯域化を図ることができる。加えて、利得を得る部分と線形性改善を図る部分を分離することで、帰還に求められるオープンループゲインの要求仕様を緩和することができる。

■オープンループアンプ (G<sub>m</sub> セル) 局所的な負帰還を持つ回路として、ソースデジェネレーション構成とFVF構造について説明した。ソースデジェネレーションはソース側に挿入した抵抗によって負帰還を作り、線形性を改善する。ただし、線形性の改善は雑音の劣化とトレードオフであり、SNDRを改善していくためには消費電力の増加が避けられない。FVF構造では、ソースデジェネレーションの負帰還にトランジスタの固有利得が追加され、ソースデジェネレーションよりも高い線形性を実現することができる。この回路は負帰還の安定性も良好であり、一巡伝達関数が10 GHzのGB積を有する場合でも90°近い位相余裕を確保することができるため、広帯域な用途でも線形性が保たれる。

■電流増幅器 4.3節では、更に帯域の広い用途で使用される電流増幅器について述べた。電流増幅器では低入力インピーダンスを実現するために局所的な負帰還技術が使用される。代表的な広帯域電流増幅器として、FVF構造を持つ電流増幅器がある。オープンループアンプの場合と同様に、非常に帯域の広い負帰還を有し、トランジスタの固有利得によって低い入力インピーダンスを実現する。ただし、電流増幅器は信号電流の流入によって入力インピーダンスが変化してしまうという問題がある。電流増幅器の入力インピーダンスが性能に変化を与えるような用途では、このインピーダンスの変化によって線形性が劣化してしまう。

■SNDRと消費電力のトレードオフ 4.4節では、特定のG<sub>m</sub>とSNDRを達成するために必要な最小消費電流の比較を行った。入力振幅が低い状況では雑音特性がSNDRを決める。しかしながら、雑音特性の改善は電力効率が悪く、消費電力が非常に大きくなってしまふ。大振幅入力側では線形性が支配的になるため、線形性の高いFVF構造は低

消費電力で構成できる。電力効率の観点では、ソースデジエネレーションファクター  $N$  の増加以外の方法で線形性を改善することが重要となる。

■カスケード構成 オープンループアンプと電流増幅器を比較すると、前段回路の出力抵抗に対しての挙動に大きな違いがある。オープンループアンプではゲートで信号を受けるため、入力寄生容量による極が生じる反面、前段回路とインピーダンスを分離することができる。一方、電流増幅器は信号を電流で受け取るため、前段回路の電圧振幅を稼いでも信号成分の増幅につながらない。したがって、電流増幅器で得られる信号に対する利得は、カレントミラーによって実現される電流利得のみであり、高い利得を必要とする用途には適していない。

第6章では積分器としての高い利得が必要であるため、 $G_m$  セルをベースに検討を行う。第7章では、 $G_m$  セルの入力寄生容量がフィルタの特性に大きな影響を与えることから、電流増幅器を用いた電流型フィルタを検討する。

## 参考文献

- [1] B. Razavi, "A 622 Mb/s 4.5 pA/ $\sqrt{\text{Hz}}$  CMOS transimpedance amplifier [for optical receiver front-end]," IEEE International Solid-State Circuits Conference, pp. 162-163, Feb. 2000.
- [2] M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm<sup>2</sup> Analog Baseband Circuits for 60 GHz Wireless Transceiver in 40 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 495-498, June 2012.
- [3] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp.348-349, Feb. 2014.
- [4] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [5] H. Shen, G.M. Wu, L.-W. Yang, and X. Lv, "A 0.13 $\mu\text{m}$  CMOS Gm-C LPF for UWB Receiver," IEEE International Conference on ASIC, pp.399-402, Oct. 2007.
- [6] K. Okada, R. Minami, Y. Tsukui, S. Kawai, Y. Seo, S. Sato, S. Kondo, T. Ueno, Y. Takeuchi, T. Yamaguchi, A. Musa, R. Wu, M. Miyahara, and A. Matsuzawa, "A 64-QAM 60GHz CMOS Transceiver with 4-Channel Bonding," IEEE International Solid-State Circuits Conference, pp. 346-347, Feb. 2014.

- 
- [7] M. D. Matteis, A. Pezzotta, S. D'Amico, and A. Baschiroto, "Area-Efficient Linear Regulator With Ultra-Fast Load Regulation," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 7, pp. 1516-1524, July. 2015.
- [8] S. Wangtaphan and V. Kasemsuwan, "A 0.6 Volt Class-AB CMOS Voltage Follower with Bulk-Driven Quasi-Floating Gate Super Source Follower," *9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, pp. 1-4, Aug. 2012.
- [9] C. Koliopoulos and C. Psychalinos, "A Comparative Study of the Performance of the Flipped Voltage Follower Based Low-Voltage Current Mirrors," *International Symposium on Signals, Circuits and Systems*, pp. 1-4, July 2007.
- [10] B. Aggarwal, M. Gupta, and A. K. Gupta, "A low voltage wide swing level shifted FVF based current mirror," *International Conference on Advances in Computing, Communications and Informatics*, pp. 880-885, Aug. 2013.

## 第 5 章

# 広帯域増幅器の高線形化手法

本章では第 4 章の検討を受けて、低消費電力においても高い線形性を実現する技術、及びそれらの回路に関連する技術について検討を行う。

### 5.1 オープンループアンプの高線形化手法

本節ではオープンループアンプの線形性改善手法として提案されているいくつかの従来手法について紹介する。

#### 5.1.1 レベルシフト回路付き FVF 構造

第 4 章で述べたように、FVF 構造を持つ増幅器は比較的線形性の良い回路であるが、回路に入力される振幅が大きくなると、増幅器を構成するトランジスタの一部が線形領域に入ってしまう、急激な線形性の劣化が生じてしまう場合がある。図 4.19 に示したように、差動電圧が入力されると、その差動電圧とほぼ同等の差動電圧が  $R_S$  の両端に生じる。図 4.19 の状況では、M4 と M1 の  $V_{DS}$  が減少しており、特に大きな振幅が入力されると、これらのトランジスタの  $V_{DS}$  が  $V_{eff}$  を下回ってしまう。また、M1 の  $V_{DS}$  を大きくすることでローカルフィードバックの利得を決める固有利得を増やすことができ、M1 のチャネル長変調効果によって生じる歪の問題を緩和することができる。

そこで図 5.1 に示す、レベルシフト回路を挿入した回路が提案されている [1–3]。この回路は入力トランジスタのドレイン側のバイアス点  $V_D$  を

$$V_D = V_{GS15} + V_{GS17} \quad (5.1)$$

とすることが出来る。レベルシフト回路がない場合と比較すると、M17, M18 のトランジ

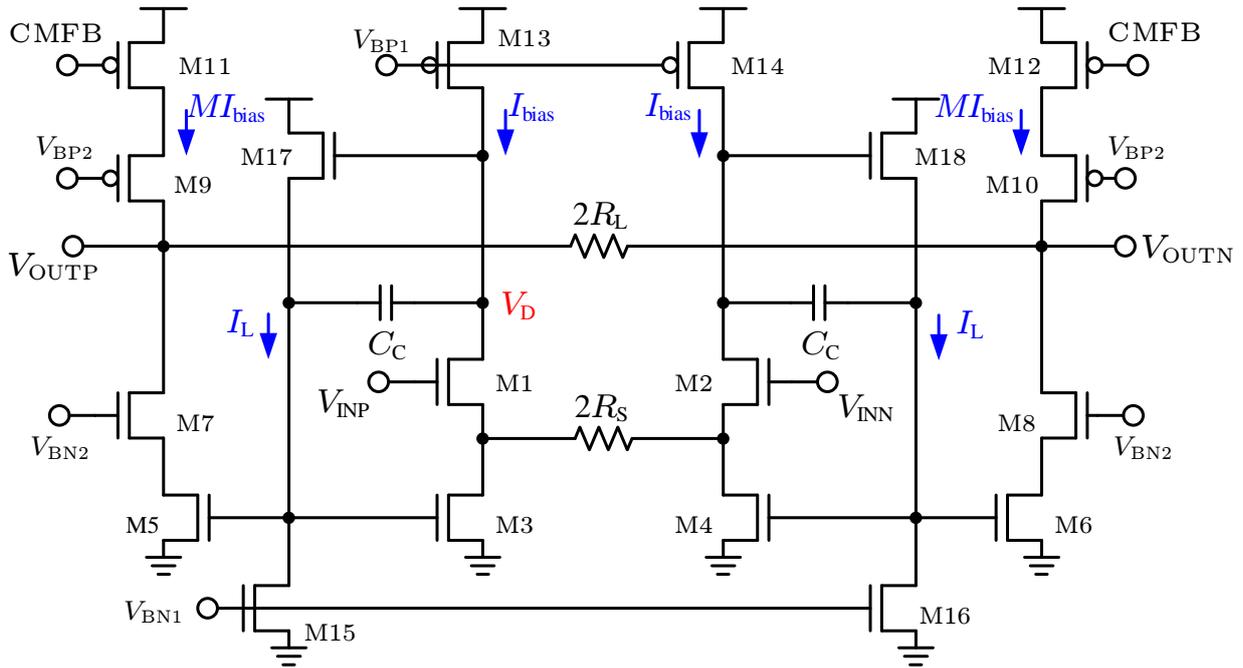


図 5.1: レベルシフト回路を挿入した FVF 構造を持つ増幅器

スタの  $V_{GS}$  の分だけ入力トランジスタのドレイン側のバイアス点を押し上げることが出来る。なお、 $C_C$  は位相補償のための容量であり、適切な容量を挿入することで、レベルシフト回路の消費電流  $I_L$  を抑えつつレベルシフト回路を用いない場合とほぼ同等の周波数特性を得ることが出来る [3]。

ただし、このレベルシフト回路は別の歪の問題を引き起こす。図 5.2 のとおり、 $I_{bias}$  の電流源は PMOS で実現されるため、チャンネル長変調効果によって  $\Delta I_p$  の誤差電流が生じる。この図より、

$$\begin{aligned} \Delta I_p &\approx \Delta V_D \cdot g_{d13} \approx \frac{\Delta V_{in}}{N} \frac{I_{bias}}{V_A + |V_{DS13}|} \\ &= \frac{\Delta V_{in}}{N} \frac{I_{bias}}{V_A + V_{DD} - V_D} \end{aligned} \quad (5.2)$$

となる。ここで  $V_{DD}$  は電源電圧である。この  $\Delta I_p$  は M1 の  $V_{eff}$  を変動させる。M1 のチャンネル長変調効果を見捨てた場合の  $\Delta I_p$  による M1 の  $V_{eff}$  変動を  $\Delta V_{eff1}$  とすると、

$$I_{bias} + \Delta I_p = K (V_{eff} + \Delta V_{eff1})^2 \quad (5.3)$$

より、

$$\Delta V_{eff1} = \sqrt{\frac{I_{bias}}{K} \left(1 + \frac{\Delta I_p}{I_{bias}}\right)} - V_{eff} = V_{eff} \left( \sqrt{1 + \frac{\Delta I_p}{I_{bias}}} - 1 \right) \quad (5.4)$$

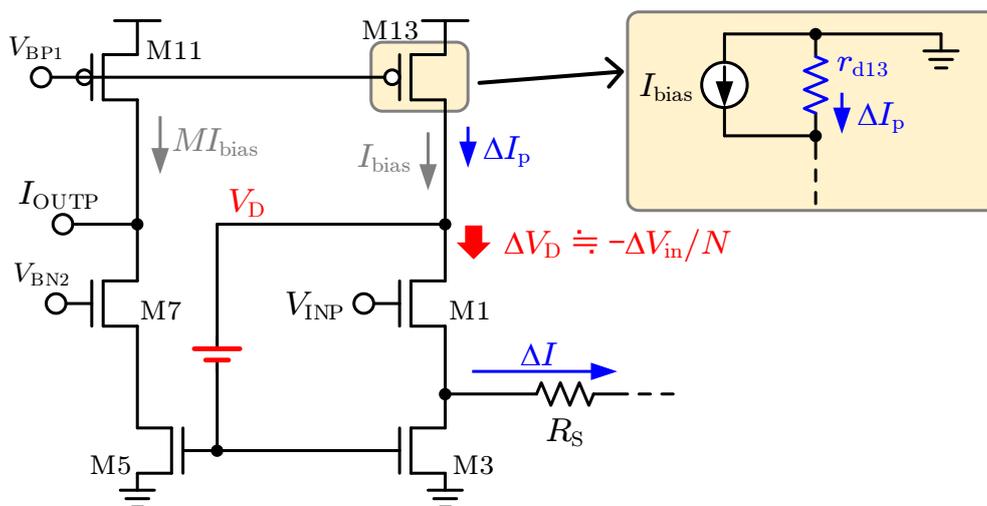


図 5.2: PMOS 電流源のチャネル長変調効果

である。この時の  $\Delta I$  は、

$$\begin{aligned} \Delta I &= \frac{(\Delta V_{in} - \Delta V_{eff1}) - (\Delta V_{in} - \Delta V_{eff2})}{2R_S} \\ &\approx \frac{\Delta V_{in}}{R_S} - \frac{V_{eff}}{2R_S} \left( \sqrt{1 + \frac{\Delta I_p}{I_{bias}}} - \sqrt{1 - \frac{\Delta I_p}{I_{bias}}} \right) \\ &\approx \frac{\Delta V_{in}}{R_S} + \frac{V_{eff1}}{2R_S} \frac{\Delta V_D}{V_A + V_{DD} - V_D} + \frac{V_{eff1}}{16R_S} \left( \frac{\Delta V_D}{V_A + V_{DD} - V_D} \right)^3 \end{aligned} \quad (5.5)$$

となり、 $\Delta V_D$  によって三次歪が生じる。PMOS のチャネル長変調効果のみを考慮した際の  $|a_3/a_1|$  を求めると、

$$\left| \frac{a_3}{a_1} \right| \approx \frac{V_{eff1}}{64N^3(V_A + V_{DD} - V_D)^3} \quad (5.6)$$

となる。M1 のチャネル長変調効果による歪と同様に  $N$  によって歪は低減される。これは  $\Delta V_D$  が減少し、チャネル長変調効果によって生じる電流変動が抑制されることによる。また  $V_D$  が大きくなると M13 のチャネル長変調効果が顕著になり、線形性を劣化させることが確認できる。

図 5.3 に、 $V_D$  と線形性 (IIP3) の関係を示したグラフを示す。シミュレーション条件は表 5.1 のとおりである。またこのシミュレーションにおいて、レベルシフト回路は理想電圧源を用いて再現した。レベルシフトを行わない通常の FVF 構造では  $V_D$  は 0.58 V 程度であり、IIP3 は約 1 dBV である。レベルシフト回路により  $V_D$  を大きくすると線形性は改善されるが、0.8 V より高い  $V_D$  では PMOS 電流源側のチャネル長変調効果によっ

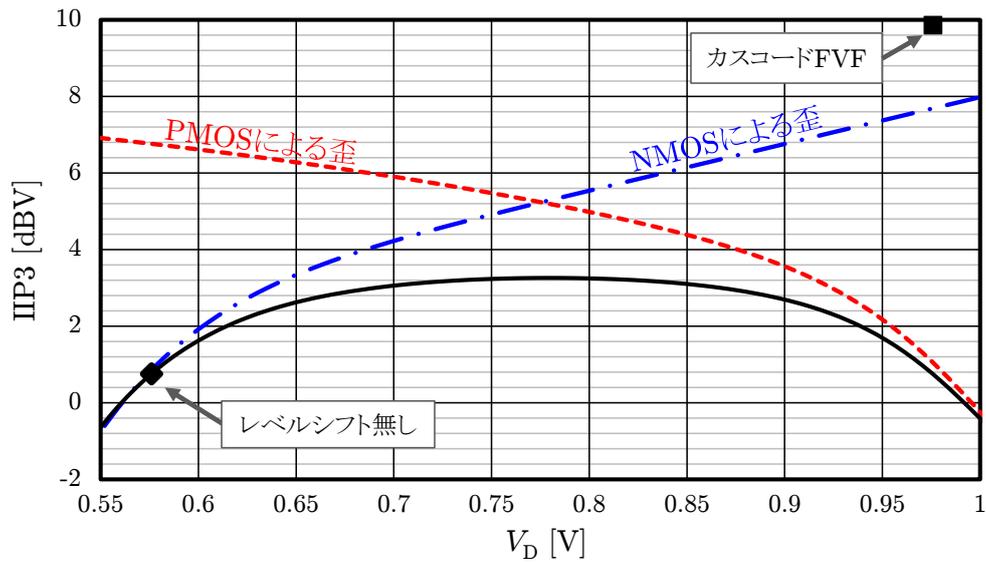


図 5.3: レベルシフトと線形性の関係

表 5.1: 図 5.3 の設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
$M$	2
$I_{\text{bias}}$	80 $\mu\text{A}$
$R_S$	1 k $\Omega$

て線形性が劣化する。IIP3 のピーク値は  $V_D = 0.78 \text{ V}$  付近に存在し、3 dBV を僅かに越える程度である。結果として、レベルシフトの挿入で最適設計が行えた場合でも線形性の改善はわずか 2 dB 程度に留まる。加えて、実際のレベルシフト回路はわずかながらロスが存在するため、線形性改善に費やされるループ部分の利得は、わずかながら劣化してしまう。

このように、レベルシフト回路による線形性の改善は非常に限定的であると言える。なお、図 5.3 にプロットしたカスコード FVF は、従来の FVF 構造を拡張した提案回路であり、同じ設計パラメータに対して約 10 dBV の良好な線形性を実現することができる。詳しくは次章に記載する。

## 5.1.2 FVF 構造の相補入力化

オペアンプにおいて相補入力化が電力効率改善のキーテクノロジーであったように、オープンループアンプも相補入力化によって電力効率を改善することができる。図 5.4 に、相補入力化した FVF 構造を示す [4]。NMOS 側と PMOS 側は対称な回路となっており、それぞれが FVF 構造を有す。PMOS 側 FVF 構造で使用したバイアス電流は、そのまま NMOS 側 FVF 構造で再利用される。信号電流は PMOS 側及び NMOS 側でそれぞれ生成され、出力側で合流するため、同じパラメータでも二倍の利得を得ることができる。

この回路のバイアス電流は  $R_{\text{shift}}$  で制御される。

$$V_{\text{DD}} = R_{\text{shift}} I_{\text{bias}} + V_{\text{GS3n}} + |V_{\text{GS3p}}| \quad (5.7)$$

したがって、 $R_{\text{shift}}$  や  $V_{\text{th}}$  などがプロセスばらつきによって変動すると、バイアス電流が大きく変動してしまう。相補入力型 FVF 構造を用いてオープンループアンプを設計し、コーナー条件での消費電流を表 5.2 にまとめた。TT に対し、SS 及び FF ではそれぞれ 4 割程度消費電流の増減が生じる。 $I_{\text{bias}}$  は線形性をも担保するため、大きな  $I_{\text{bias}}$  変動は性能の劣化につながってしまう。そのため、何らかの方法でバイアス電流を補償しなければならない。

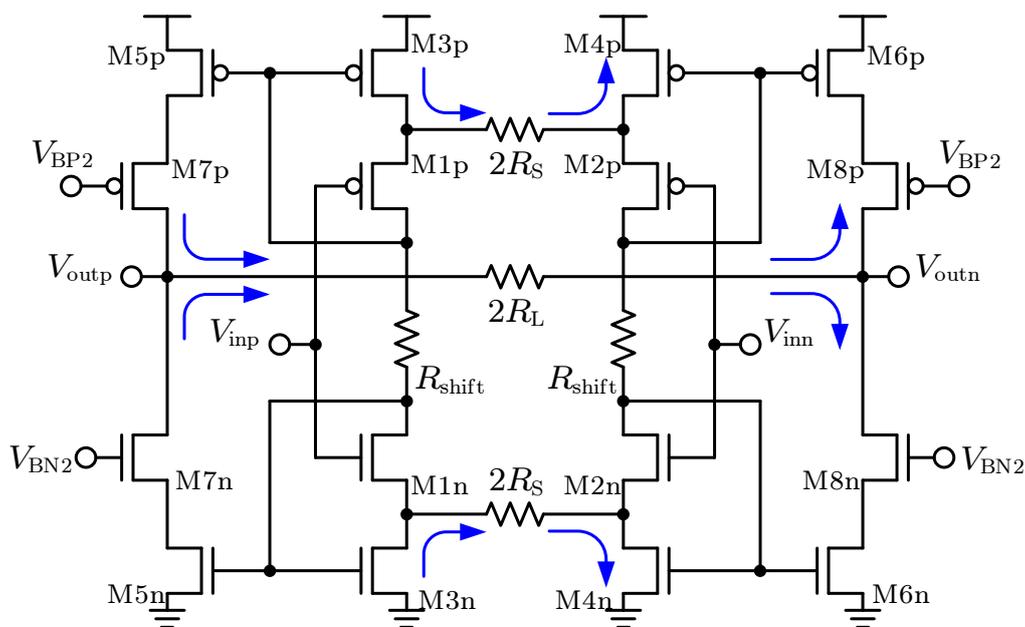


図 5.4: 相補入力型 FVF 構造

表 5.2: コーナー条件と消費電流

	TT	SS	FF
消費電流	6.3 mA	3.8 mA	10.7 mA

また，この回路では通常の FVF 構造と同様に，二つの  $R_S$  がそれぞれが入力差動電圧に同期して変動する．通常の FVF 構造ではレベルシフト回路によってチャネル長変調効果を抑制し線形性を改善することができたが，相補入力型では電圧に余裕がなく，M1 及び M2 の  $V_{DS}$  を大きくすることができない．以上の点を考慮すると，この回路は入力電圧振幅が小さく，大きな利得が必要な回路で使用することが望ましいと考えられる．

## 5.1.3 歪キャンセル技術

線形性を改善する別の方法として、しばしば歪キャンセル技術が用いられる。歪キャンセルは、あるシステムの伝達特性に対し逆特性の関数をかけることで、出力を線形に補正する方法である。図 5.5 にコンセプトを示す。この時の出力  $y$  は、

$$y = f^{-1}(f(x)) = x \quad (5.8)$$

となり、 $f(x)$  が非線形システムであっても、 $x$  から  $y$  までは線形システムとなる。このようにコンセプトはシンプルであるが、実際の回路においては  $f^{-1}(x)$  の実現方法が問題となる。

■同じパラメータを利用する方法 図 5.6(a) に、同じパラメータを用いた歪キャンセルの例を示す。M1 は入力信号電圧を  $g_{m1}$  によって信号電流に変換するが、3.1 節で述べたように、この信号電流には高次の項が含まれる。そこで負荷として、トランジスタのダイオード接続を用いる。チャンネル長変調効果を見捨てて  $I_{D1}$  及び  $I_{D2}$  について、

$$I_{D1} = K_n(V_{\text{effn}} + \Delta V_{\text{in}})^2 \quad (5.9)$$

$$I_{D2} = K_p(V_{\text{effp}} + \Delta V_{\text{out}})^2 \quad (5.10)$$

と数式を立てる。 $I_{D1} = I_{D2}$  であるから、

$$K_n(V_{\text{effn}} + \Delta V_{\text{in}})^2 = K_p(V_{\text{effp}} - \Delta V_{\text{out}})^2 \quad (5.11)$$

となる。 $K_n = K_p$  かつ  $V_{\text{effp}} = V_{\text{effn}}$  を仮定すると、

$$\Delta V_{\text{out}} = -\Delta V_{\text{in}} \quad (5.12)$$

となり、出力端では歪がキャンセルされる。図 5.6(a) に沿って考察するならば、 $V \rightarrow I$  の変換を行う  $g_{m1}$  が  $f(x)$  であり、 $I \rightarrow V$  の変換を行う  $1/g_{m2}$  が  $f^{-1}(x)$  に相当する。ただし、PMOS と NMOS の特性は完全には一致しないため、キャンセルしきれない成分は歪として残留する。

図 5.6(b) に示したカレントミラー回路も、同じ原理に基づく歪キャンセル回路と考えられる。ただし、この場合は電流と電圧の順序が反転しており、 $I \rightarrow V$  の変換を行う

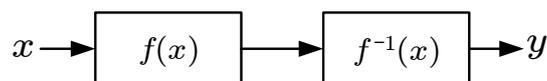


図 5.5: 歪キャンセルのコンセプト

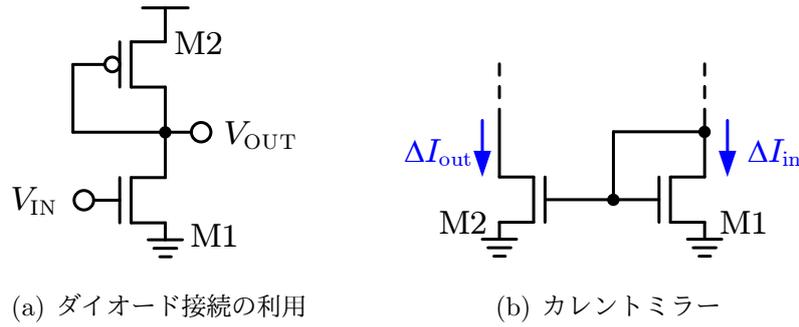


図 5.6: 同じパラメータを用いた歪キャンセルの例

$1/g_{m1}$  が  $f(x)$  であり,  $V \rightarrow I$  変換を行う  $g_{m2}$  が  $f^{-1}(x)$  に相当する. このような同じパラメータを利用する歪キャンセルは, プロセスばらつきや温度などに対するロバスト性が比較的高く, 利用しやすいという特長がある. ただし, デバイスマスマッチに対しては感度があるため, 高精度な歪キャンセルが必要な場合は補正を行う必要がある. 詳しくは 5.2.2 節に記載する.

■ 違うパラメータを用いて擬似的にキャンセルする方法 しかしながら, 上記のように常に同じパラメータを用意できるとは限らない. 仮に同じパラメータで歪キャンセルできない場合は, 擬似的に最も大きな歪をキャンセルするように逆関数を設計する. 例えば差動回路について,

$$f(x) = \alpha_1 x + \alpha_3 x^3 + \alpha_5 x^5 \quad (5.13)$$

$$h(x) = \beta_1 x + \beta_3 x^3 + \beta_5 x^5 \quad (5.14)$$

とし, 二つを従属につなげると,

$$\begin{aligned} h(f(x)) &= \beta_1 (\alpha_1 x + \alpha_3 x^3 + \alpha_5 x^5) + \beta_3 (\alpha_1 x + \dots)^3 + \beta_5 (\alpha_1 x + \dots)^5 \\ &\approx \alpha_1 \beta_1 x + (\alpha_3 \beta_1 + \alpha_1^3 \beta_3) x^3 + (\alpha_5 \beta_1 + \alpha_1^5 \beta_5 + 6\alpha_1^2 \alpha_3 \beta_3) x^5 \end{aligned} \quad (5.15)$$

となる. 通常, 差動回路では三次の項が歪の支配項となるため, 三次の項が 0 となるように係数を選ぶ. すなわち,

$$\beta_3 = -\frac{\alpha_3}{\alpha_1^3} \beta_1 \quad (5.16)$$

とすることで, 三次の歪をキャンセルすることができる. ところで,

$$\frac{\beta_3}{\beta_1} = -\frac{\alpha_3}{\alpha_1^3} \quad (5.17)$$

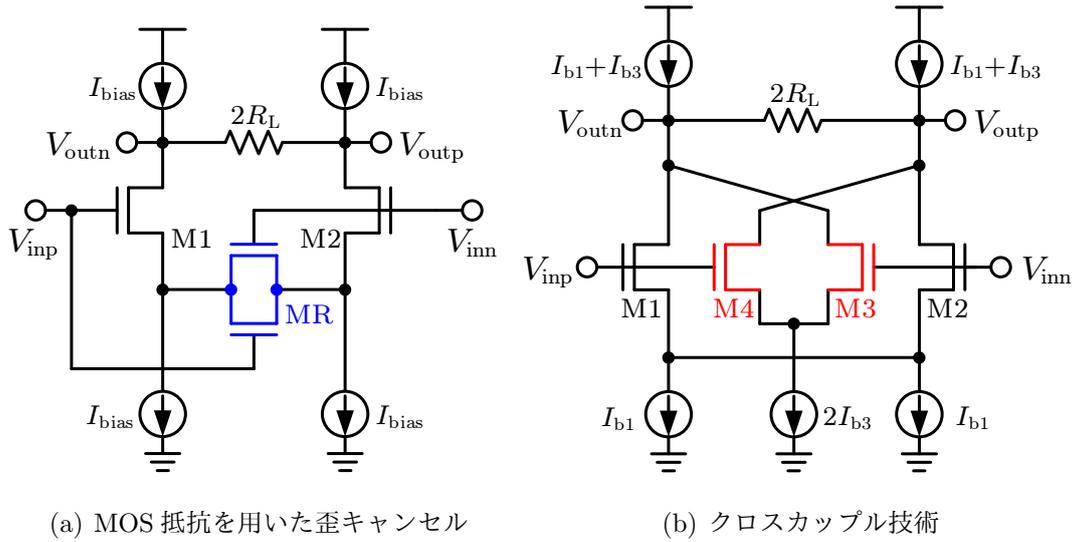


図 5.7: 異なるパラメータを用いた歪キャンセルの例

と変形すると、二つの関数の三次歪は正負が反転していることがわかる。増幅器において、入力振幅が大きくなるほど利得は下がるため、三次の係数は多くの場合負数を取る。したがって、歪キャンセルを行うためには三次の係数が正となるような関数を作らなければならない。

非常によく知られた歪キャンセル手法の一つに、図 5.7(a) のように線形領域のトランジスタを利用するソースデジェネレーション回路がある。この回路では MOS 抵抗で正方向の三次歪を実現し、ソースデジェネレーションの持つ負の三次項をキャンセルする。

同様に、図 5.7(b) に示すクロスカップル技術もよく用いられる線形化手法である [5,6]。この回路は 3.1 節で述べた差動ソース接地回路をつなげたものであるから、 $\Delta V_{in}$  の入力に対して (3.20) 式より直ちに、

$$\begin{aligned}
 \Delta V_{out} &\approx \frac{2I_{b1}R_L}{V_{eff1}}\Delta V_{in} - \frac{I_{b1}R_L}{V_{eff1}^3}\Delta V_{in}^3 - \frac{I_{b1}R_L}{4V_{eff1}^5}\Delta V_{in}^5 \\
 &\quad - \left( \frac{2I_{b3}R_L}{V_{eff3}}\Delta V_{in} - \frac{I_{b3}R_L}{V_{eff3}^3}\Delta V_{in}^3 - \frac{I_{b3}R_L}{4V_{eff3}^5}\Delta V_{in}^5 \right) \\
 &= \left( 1 - \sqrt{\frac{K_3 I_{b3}}{K_1 I_{b1}}} \right) g_{m1} R_L \Delta V_{in} - \left( 1 - \sqrt{\frac{K_3 I_{b1}}{K_1 I_{b3}}} \right) \frac{g_{m1} R_L}{2V_{eff1}^2} \Delta V_{in}^3 \\
 &\quad - \left( 1 - \sqrt{\frac{K_3 I_{b1}^3}{K_1 I_{b3}^3}} \right) \frac{g_{m1} R_L}{8V_{eff1}^4} \Delta V_{in}^5 \tag{5.18}
 \end{aligned}$$

と求まる。ただし、それぞれのトランジスタについて、

$$I_{b1} = K_1 V_{\text{eff1}}^2 \quad (5.19)$$

$$I_{b3} = K_3 V_{\text{eff3}}^2 \quad (5.20)$$

である。三次の項をキャンセルするための条件は、

$$K_1^3 I_{b3} = K_3^3 I_{b1} \quad (5.21)$$

となる。\$K\_1 = mK\_3\$ を仮定すると、

$$I_{b3} = \frac{I_{b1}}{m^3} \quad (5.22)$$

となり、適切な設計を行うことで三次歪の項をキャンセルすることが可能となる。ただし、\$a\_1\$ 及び \$a\_5\$ はそれぞれ、

$$a_1 = \left(1 - \frac{1}{m^2}\right) g_{m1} R_L \quad (5.23)$$

$$a_5 = (1 + m^2) \frac{g_{m1} R_L}{128 V_{\text{eff}}^4} \quad (5.24)$$

となるため \$m\$ が小さい場合は利得が減少し、\$m\$ が大きい場合は5次歪が大きくなってしまう。

このような歪キャンセルにおいても、デバイスミスマッチは問題となる。特に MOS 抵抗は線形領域を利用するため、図 5.7(a) の回路はしきい値のミスマッチに対する感度が非常に高い。加えて、大きな三次の係数に対して打ち消しを行う場合、わずかなパラメータの誤差によって生じる打ち消しきれなかった残留成分が大きな歪となってしまふ。図 5.7(b) に示したクロスカップル技術は、数式上三次の係数をゼロにできるが、打ち消す対象がソース接地回路の三次歪であり、誤差成分の影響を大きく受ける。

そこで、ソースデジェネレーションにクロスカップル技術を用いた図 5.8 のような回路が提案されている [7]。M1 及び M2 側のソースデジェネレーション回路がメイン回路であり、ここで生じた歪を M3 及び M4 のクロスカップル回路でキャンセルする。ソースデジェネレーション回路はソース接地回路よりも線形性が良いため、クロスカップル回路でキャンセルする歪の量は小さくなり、ミスマッチへの耐性が向上する。加えてクロスカップル側の回路もソースデジェネレーション構成を持つため、細かな歪の制御がしやすいと考えられる。上記の手順に沿って各係数を調べる。

$$\begin{aligned} \Delta V_{\text{out}} \approx & \left( \frac{g_{m1} R_L}{1 + g_{m1} R_{S1}} - \frac{g_{m3} R_L}{1 + g_{m3} R_{S3}} \right) \Delta V_{\text{in}} \\ & - \left( \frac{3g_{m1} R_L}{(1 + g_{m1} R_{S1})^4 V_{\text{eff1}}^2} - \frac{3g_{m3} R_L}{(1 + g_{m3} R_{S3})^4 V_{\text{eff3}}^2} \right) \Delta V_{\text{in}}^3 \end{aligned} \quad (5.25)$$

より,

$$\frac{g_{m1}}{(1 + N_1)^4 V_{\text{eff1}}^2} = \frac{g_{m3}}{(1 + N_3)^4 V_{\text{eff3}}^2} \quad (5.26)$$

である.

$$g_{m1} = \frac{2I_{b1}}{V_{\text{eff1}}^2} = 2K_1 V_{\text{eff1}} = 2\sqrt{K_1 I_{b1}} \quad (5.27)$$

$$g_{m3} = \frac{2I_{b3}}{V_{\text{eff3}}^2} = 2K_3 V_{\text{eff3}} = 2\sqrt{K_3 I_{b3}} \quad (5.28)$$

より,

$$\frac{K_1^{\frac{3}{2}}}{(1 + N_1)^4 I_{b1}^{\frac{1}{2}}} = \frac{K_3^{\frac{3}{2}}}{(1 + N_3)^4 I_{b3}^{\frac{1}{2}}} \quad (5.29)$$

となる. ここで,  $N_1 = N_3$  を仮定し, 更に  $K_1 = mK_3$  とすると,

$$I_{b3} = \frac{I_{b1}}{m^3} \quad (5.30)$$

となる. 一方  $N_1 = N_3$  より,

$$R_{S3} = R_{S1} \sqrt{\frac{K_1 I_{b1}}{K_3 I_{b3}}} = m^2 R_{S1} \quad (5.31)$$

とすることで, 上記の条件をすべて満たす. 再び (5.25) 式に戻り, 一次の係数を求めると,

$$a_1 = \frac{2\sqrt{K_1 I_{b1}} - 2\sqrt{K_3 I_{b3}}}{1 + N_1} R_L = \frac{g_{m1} R_L}{1 + N_1} \left(1 - \frac{1}{m^2}\right) \quad (5.32)$$

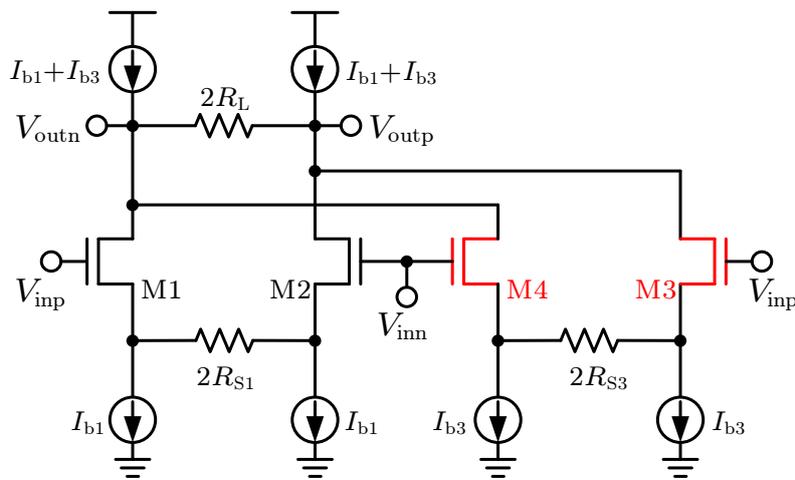


図 5.8: クロスカップル技術を用いたソースデジェネレーション

となり，利得は (5.23) 式と同様に  $1/m^2$  で減衰する特性となる。

図 5.9 に歪キャンセル技術による線形性改善の効果を示す．設計条件は表 5.3 のとおりである．図 5.9(a) は，ミスマッチを考慮していない線形性の比較である．MOS 抵抗を用いたソースデジェネレーションの線形性改善は限定的であり，広い領域では歪キャンセルの効果をほとんど得られていない．このように，異なるパラメータを用いた歪キャンセルでは完全な線形性の改善が難しい．一方，ソースデジェネレーション構成にクロスカップル技術を応用した回路は，FVF 構造とほぼ同等の線形性を実現しており，広い入力振幅範囲において良好な線形性を実現している。

図 5.9(b) は，モンテカルロ・シミュレーション 100 回分の IIP3 を比較したものである．ソースデジェネレーションはほぼ一定の線形性だが，MOS 抵抗はミスマッチの影響を受けて非常に広範囲にばらついている．FVF 構造とクロスカップル構成を持つソースデジェネレーションの分布は近いが，やや FVF 構造のほうが劣化分が大きい。

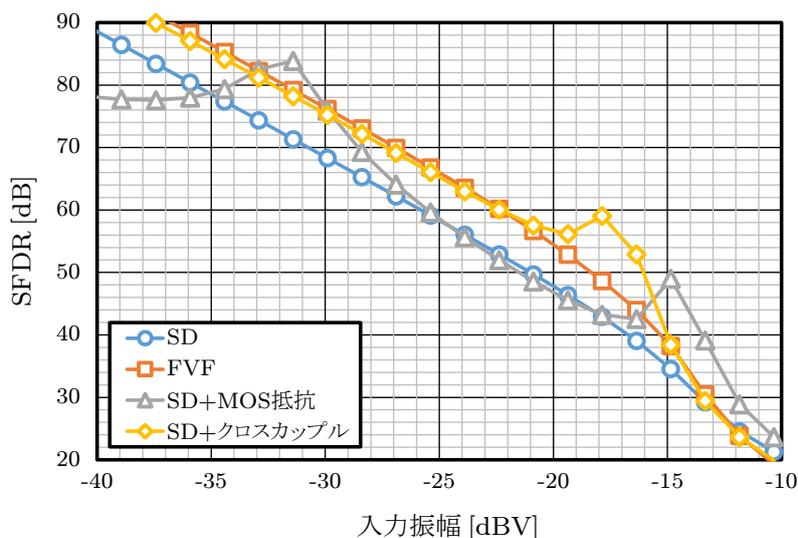
図 5.8 の歪キャンセル技術は通常のソースデジェネレーション構成よりも良好な線形性が実現できるが，出力インピーダンスが小さくなってしまふ点に注意が必要である．クロスカップル手法はメイン回路の利得を犠牲にして成り立つため，通常のソースデジェネレーションよりも小さな  $R_S$  を採用しなければならない．このとき， $R_L$  を除くソースデジェネレーションの出力インピーダンスは，

$$r_{\text{out}} \approx \frac{1}{g_{\text{dp}} + \frac{g_{\text{d1}}}{g_{\text{m1}} R_S}} \quad (5.33)$$

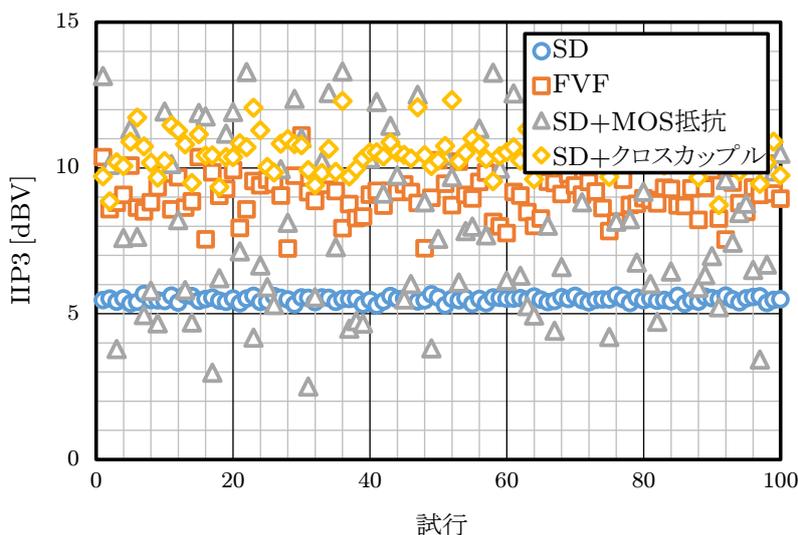
と表される．ただし， $g_{\text{dp}}$  は図 5.8 において  $(I_{\text{b1}} + I_{\text{b3}})$  を供給する電流源のインピーダンスである． $R_S$  が十分小さいとき，出力インピーダンスは  $R_S$  側が支配的となり， $r_{\text{out}} \propto R_S$  が成立するようになる．すなわち，クロスカップル手法で  $R_S$  が小さい場合は，それに応じて出力インピーダンスも低下してしまうことになる。

表 5.3: 図 5.9 の設計条件

電源電圧	1.2 V
プロセス	65nm CMOS
消費電力	2.6 mW
利得	6 dB
出力抵抗 $R_L$	500 $\Omega$



(a) SFDR



(b) モンテカルロシミュレーション

図 5.9: 歪キャンセル技術と性能比較

表 5.4 に、今回の設計における出力インピーダンスを比較したものを示す。FVF 構造は出力側のカスコード構成によって非常に高い出力インピーダンスを持つが、ソースデジェネレーション構成の出力インピーダンスはかなり低い。更にクロスカップル技術を用いた回路は従来のソースデジェネレーション構成よりも 20% 以上出力インピーダンスが低下している。したがって、クロスカップル技術は今回比較を行った低倍率の利得を持つオープンループアンプの用途には適しているが、出力インピーダンスが伝達関数に大きな影響を与える回路にはあまり適していないと言える。例えば Gm-C フィルタを構

表 5.4: 出力インピーダンスの比較

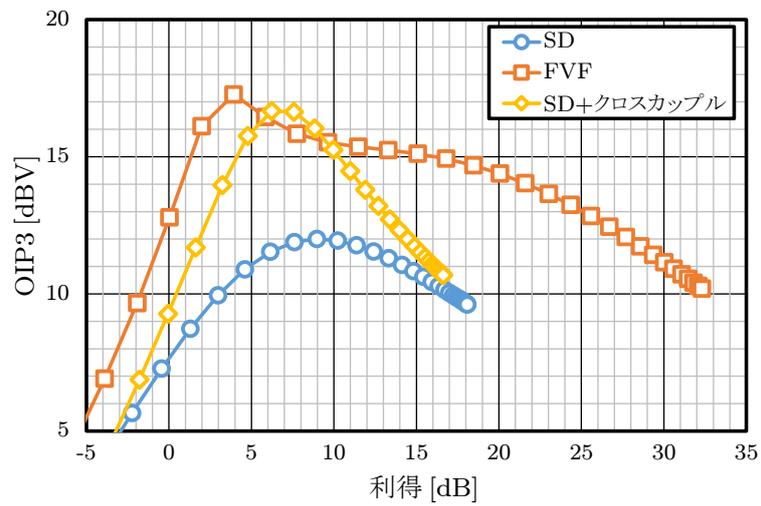
SD	FVF	SD + MOS 抵抗	SD+クロスカップル
1.51 k $\Omega$	11.1 k $\Omega$	1.52 k $\Omega$	1.17 k $\Omega$

成する Gm-C 積分器などでは、Gm セルの出力抵抗によって DC 利得が決まるため、高い出力抵抗を持つことが望ましいとされる。この出力抵抗の問題は Gm-C フィルタの周波数特性に大きな影響を及ぼす。詳しくは第7章で指摘する。

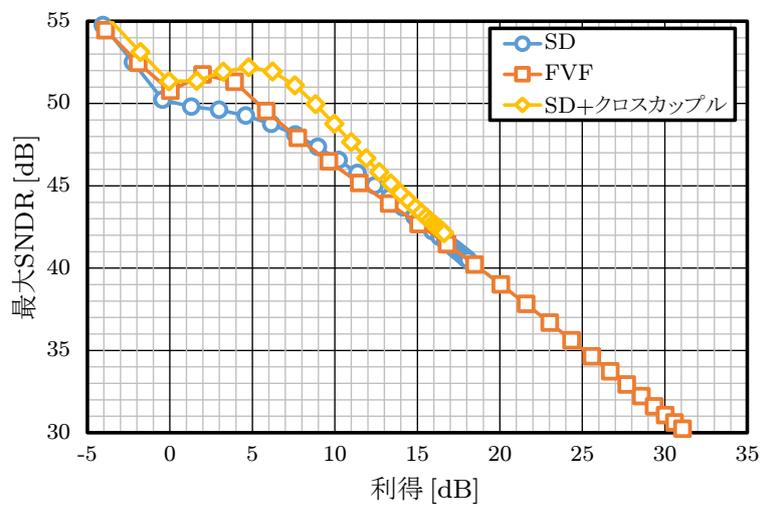
また、一段の回路で高い利得を実現したい場合も高い出力インピーダンスが求められる。出力インピーダンスが低い場合、トランジスタパラメータを内包する出力インピーダンスが回路の利得に影響を与えるため、出力端での線形性劣化が生じる。

この問題は、図 5.10(a) に示した OIP3 の比較が理解しやすい。このグラフにおいて、 $R_L$  は利得を変化させるための変数としてスイープされている。ソースデジェネレーション系の回路は出力インピーダンスが低く、上限利得は 16 dB から 18 dB 程度となっている。一方、FVF 構造は 30 dB を越える高い利得を実現することができる。OIP3 を見ると、クロスカップル技術を応用したソースデジェネレーションは 7 dB の利得を境に急激に線形性が劣化していく様子が見られる。FVF 構造でも同様に 5 dB 以上の利得では OIP3 は単調減少であるが、20 dB もの利得まで約 14 dBV の OIP3 を維持することができる。グラフによれば、10 dB を越える利得を実現する場合は出力インピーダンスの高い FVF 構造の方が有利となり、歪キャンセルを用いたソースデジェネレーションは 10 dB を下回る低利得な用途で効果を発揮する。

続いて、SNDR の最大値で比較を行う。ソースデジェネレーション系の回路は雑音特性に優れるため、SNDR の最大値は図 5.10(b) のように FVF 構造と遜色無い結果が得られる。特にクロスカップル技術を用いたソースデジェネレーションは 10 dB 付近まで非常に高い SNDR を達成しているため、低振幅な用途では非常に有効な選択肢となる。



(a) OIP3



(b) 最大 SNDR

図 5.10:  $R_L$  スイープ時の利得と性能変化

## 5.2 電流増幅器の高線形化手法

続いて電流増幅器の関連回路技術について述べる。

### 5.2.1 $g_m$ ブーストによる低入力インピーダンス化

第4章で述べたように、FVF 構造を持つ電流増幅器では (4.132) 式に含まれる  $A$  を大きくすることで入力インピーダンスの低減を実現した。更なる改善のアイデアとして、 $A$  の利得を更に大きくする手法が考えられる。そこで、図 5.11(a) のように、FVF 構造に補助アンプを追加する方法が検討されている [8]。ここでは、補助アンプ  $A$  の入力アドミタンス  $Y_{in,A}$  及び出力抵抗  $r_{out,A}$  を考慮して考える。

図 5.11(b) は、M1 及び補助アンプ部分の小信号等価回路である。ここではノートンの定理を元に解析する。 $v_{out}$  を接地した際に流れ出る電流を  $i_{out}$  とすると、

$$i_{out} = (g_{m1} + g_{d1})v_{in} - g_{m1}v_a \quad (5.34)$$

である。一方、

$$v_a = -\frac{G_{m,A}r_{out,A}}{1 + sC_{L1}r_{out,A}}v_{in} = \frac{A}{1 + \frac{s}{\omega_{p,A}}}v_{in} \quad (5.35)$$

である。ここで、

$$\omega_{p,A} = \frac{1}{C_{L1}r_{out,A}} \quad (5.36)$$

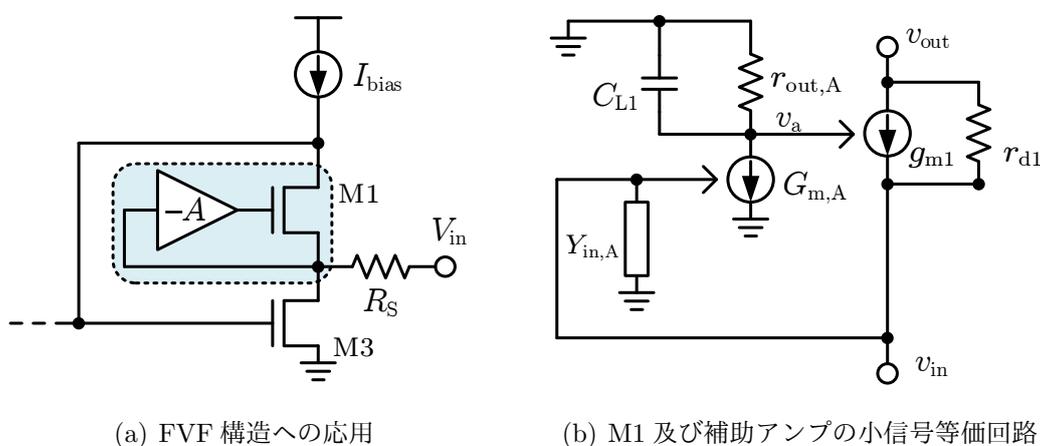


図 5.11: 補助アンプを用いた入力インピーダンス低減

とした。(5.34) 式及び (5.35) 式より, この等価回路のコンダクタタンス  $G_{m1}$  は,

$$G_{m1} = \left( 1 + \frac{A}{1 + \frac{s}{\omega_{p,A}}} \right) g_{m1} + g_{d1} \quad (5.37)$$

と表される. 一方,  $v_{out}$  から見込んだインピーダンス  $r_{out1}$  は,

$$r_{out1} = r_{d1} \quad (5.38)$$

となる. この回路の入力インピーダンス  $r_{in1}$  は,

$$r_{in1} = \frac{1}{Y_{in,A} + G_{m1}} \quad (5.39)$$

である.

以上を踏まえて, 電流増幅器としての特性を求める. 図 4.31 に示した, FVF 構造を持つ小信号等価回路において,

$$\begin{aligned} g_{m1} &\rightarrow G_{m1} \\ R_S &\rightarrow \frac{1}{G_S + Y_{in,A}} \end{aligned}$$

と修正する. また, 簡単のため  $C_{in1}$  を無視する. (4.150) 式から,

$$v_x = \frac{1}{g_{m3} - g_d + (G_S + Y_{in,A} + G_{m1}) \frac{g_{d1} + C_X}{G_{m1}}} i_{in} \quad (5.40)$$

$$\approx \frac{G_{m1}}{G_{m1}g_{m3} + G_Sg_{d1} + Y_{in,A}g_{d1}} i_{in} \quad (5.41)$$

である. (4.50) 式は,

$$\begin{aligned} v_s &= \frac{g_{d1} + sC_X}{G_{m1}} v_x \\ &\approx \frac{1 + \frac{sC_X}{g_{d1}}}{\left( 1 + \frac{A}{1 + \frac{s}{\omega_{p,A}}} \right) G_{i1}g_{m3} + G_S + Y_{in,A}} i_{in} \\ &\approx \frac{1}{(1+A)G_{i1}g_{m3}} \frac{\left( 1 + \frac{s}{\omega_z} \right) \left( 1 + \frac{s}{\omega_{p,A}} \right)}{1 + \frac{s}{\omega_{p,A}} \frac{1 + Y_{in,A}R_S}{AG_{i1}N}} i_{in} \end{aligned} \quad (5.42)$$

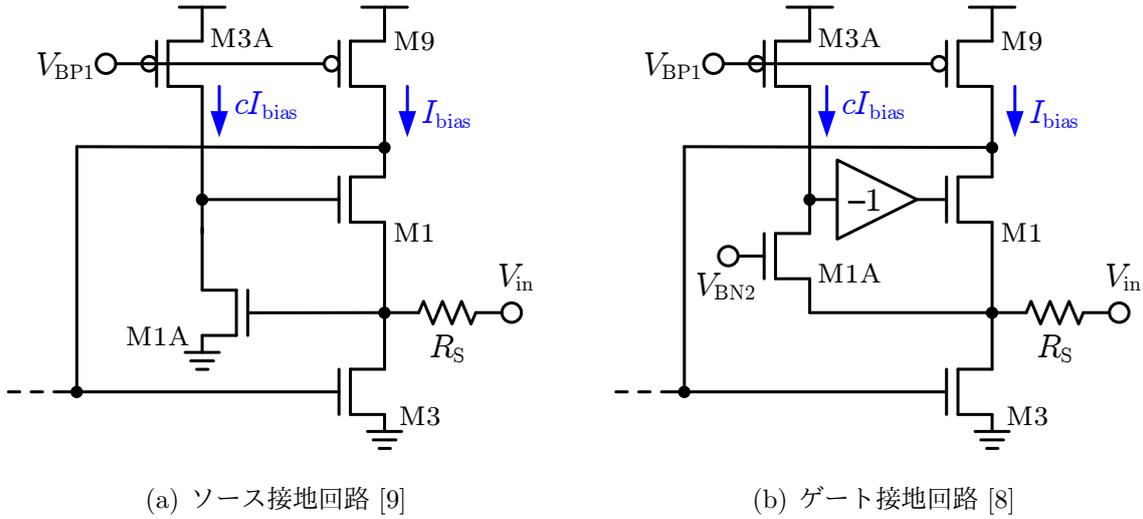


図 5.12: 補助アンプの実現手段

と表される。したがって入力インピーダンスは、

$$r_{in}(s) \approx \frac{1}{(1+A)G_{i1}g_{m3}} \frac{\left(1 + \frac{s}{\omega_z}\right) \left(1 + \frac{s}{\omega_{p,A}}\right)}{1 + \frac{s}{\omega_{p,A}} \frac{1 + Y_{in,A}R_S}{AG_{i1}N}} \quad (5.43)$$

となる。(4.153) 式と比較すると、入力インピーダンスが補助アンプ  $A$  の利得によって低減していることがわかる。一方、入力インピーダンスには新たなゼロ点が挿入されており、帯域は (5.36) 式で決まる。

ここで具体的な  $A$  の実現方法を考察する。図 5.12(a) はソース接地回路を利用する方法である。トランジスタ M1A の固有利得によって  $A$  を実現する。一方、図 5.12(b) はゲート接地回路を利用する方法であり、同様に M1A の固有利得で  $A$  を実現する。 $-1$  のバッファは、差動対称の回路では反対側のノードを接続すれば実現できるため、実際には挿入されない。いずれの回路においても、

$$r_{out,A} = \frac{1}{g_{d1A} + g_{d3A}} = \frac{1}{2g_{dA}} \quad (5.44)$$

であり、

$$A = \frac{g_{m1A}}{g_{d1A} + g_{d3A}} = \frac{G_{i1A}}{2} \quad (5.45)$$

となる。ただし、簡単のため  $g_{d1A} = g_{d3A} = g_{dA}$  とした。補助アンプ  $A$  に供給されるバ

イアス電流が  $cI_{\text{bias}}$  と表されるとき、

$$C_{L1} \approx K_{C_{L1}} I_{\text{bias}} \quad (5.46)$$

$$g_{dA} = \frac{cI_{\text{bias}}}{V_A} \quad (5.47)$$

と表すことができる。したがって (5.36) 式は、

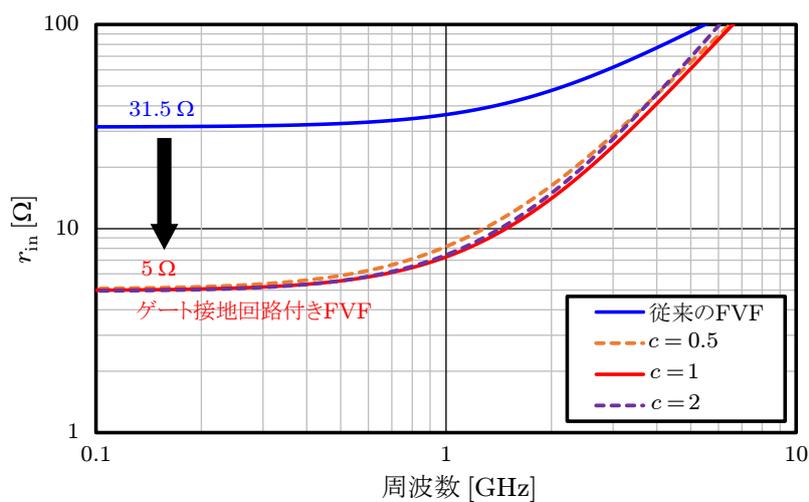
$$\omega_{p,A} = \frac{2g_{dA}}{C_{L1}} \approx \frac{c}{K_{C_{L1}} V_A} \quad (5.48)$$

となり、 $c$  に強く依存するようになる。入力インピーダンスのゼロ点の劣化を防ぐのであれば  $c$  を 1 程度の値に設定し、 $\omega_{p,A} > \omega_z$  としておかなければならない。そのため、補助アンプにもメイン回路部分とほぼ同等のバイアス電流を供給する必要がある、消費電流が大きくなってしまう。

ただし、図 5.12(b) の回路では  $cI_{\text{bias}}$  を M3 に流し込み、再利用することができる。もっとも、この方法も帯域とトレードオフである。M3 を流れるバイアス電流が増加したことにより、 $V_{\text{eff}}$  一定の設計ではトランジスタサイズが増加するため、カレントミラーの寄生容量  $C_X$  が増加する。これに対し  $g_{d1}$  のバイアス電流は変化しないため、 $\omega_z = g_{d1}/C_X$  は劣化していく。加えて M3 のドレイン電流が増加するということは、M5 へのカレントミラーのミラー比が減少することを意味する。ミラー比を保つという観点では、 $cI_{\text{bias}}$  は再利用ではなく、M1 に供給していたバイアス電流の一部を  $cI_{\text{bias}}$  として補助アンプ側に割り振ったと解釈するのが自然である。

従来の FVF 構造と図 5.12(b) の回路をシミュレーションで比較する。図 5.13(a) は、それぞれ全体の消費電力を 1.4 mW として設計した際の周波数特性を示している。DC 側における入力インピーダンスはゲート接地回路の利得により、 $31.5 \Omega$  から  $5 \Omega$  まで減少した。一方高周波側では、 $g_m$  ブーストを用いた回路の入力インピーダンスの上昇が早くなっており、 $c$  に対して相関を持つことが読み取れる。ただし、従来の FVF に対して十多分高い周波数においても低い入力インピーダンスを維持している。図 5.13(b) は、 $c = 1$  における全消費電流とその点における SNDR の最大値をプロットしたグラフである。シミュレーション条件は表 4.1 のとおりであり、ミラー比は 1 としている。ゲート接地回路付き FVF 構造を持つ電流増幅器は、同じ消費電力における SNDR の最大値を、1 ~ 2 dB 程度改善することができる。

この手法は入力インピーダンスを低減することができるものの、 $N$  が小さい領域では補助アンプを構成する各回路の雑音 SNR を劣化させる要因となる。更に入力イン



(a) 入力インピーダンスの周波数特性

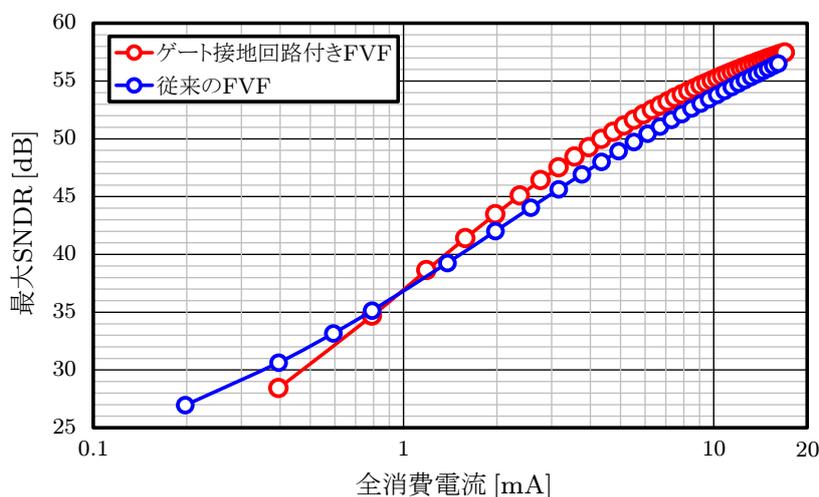
(b) SNDR<sub>peak</sub> の比較

図 5.13: シミュレーション結果

ピーダンス自体は小さくできるが，入力インピーダンスの変動そのものを抑えることが出来ない．そのため，最大 SNDR の改善量自体は小さくなってしまふ．一方，第4章で述べる相補入力型電流増幅器は入力インピーダンスの変動が非常に小さい回路である．その結果，バランス状態における入力インピーダンスが2倍程度高いにも関わらず，従来の FVF 構造を持つ電流増幅器よりも 5.5 dB 高い SNDR<sub>peak</sub> を実現している．SNDR 改善のためには図 5.11(a) のような低入力インピーダンスだけでは不十分であり，一定の入力インピーダンスを実現する技術も必要である．



ただし、簡単のためチャネル長変調効果は無視している。

$$I_{\text{bias}} = KV_{\text{eff}}^2 \quad (5.51)$$

を用いて、(5.49) 式を  $\Delta V_G$  について解くと、

$$\begin{aligned} \Delta V_G &= \sqrt{\frac{I_{\text{bias}} + \Delta I}{K}} - V_{\text{eff}} \\ &= V_{\text{eff}} \left( \sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}} - 1 \right) \end{aligned} \quad (5.52)$$

となる。これを (5.50) 式に代入する。

$$\begin{aligned} I_{D2} &= MK(V_{\text{eff}} + \Delta V_G)^2 + MK\Delta V_{\text{th}}^2 - 2MK(V_{\text{eff}} + \Delta V_G)\Delta V_{\text{th}} \\ &= M(I_{\text{bias}} + \Delta I) + MI_{\text{bias}} \frac{\Delta V_{\text{th}}^2}{V_{\text{eff}}^2} - 2MI_{\text{bias}} \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} \sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}} \\ &\approx MI_{\text{bias}} + MI_{\text{bias}} \frac{\Delta V_{\text{th}}^2}{V_{\text{eff}}^2} - 2MI_{\text{bias}} \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} + M\Delta I \\ &\quad - MI_{\text{bias}} \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} \left\{ \frac{\Delta I}{I_{\text{bias}}} - \frac{1}{4} \left( \frac{\Delta I}{I_{\text{bias}}} \right)^2 + \frac{1}{8} \left( \frac{\Delta I}{I_{\text{bias}}} \right)^3 \right\} \\ &= M \left\{ I_{\text{bias}} \left( 1 - \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} \right)^2 + \left( 1 - \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} \right) \Delta I + \frac{\Delta V_{\text{th}}}{4V_{\text{eff}}} \frac{\Delta I^2}{I_{\text{bias}}} - \frac{\Delta V_{\text{th}}}{8V_{\text{eff}}} \frac{\Delta I^3}{I_{\text{bias}}^2} \right\} \end{aligned} \quad (5.53)$$

ただし、途中で  $\Delta I/I_{\text{bias}} \ll 1$  としてテイラー展開を行った。入力換算オフセット電流を  $I_{\text{offset}}$ 、各次数の係数を  $b_1, b_2, b_3$  とおくと、

$$I_{\text{offset}} = \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} I_{\text{bias}} \quad (5.54)$$

$$b_1 = 1 - \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} \quad (5.55)$$

$$b_2 = \frac{\Delta V_{\text{th}}}{4V_{\text{eff}}} \frac{1}{I_{\text{bias}}} \quad (5.56)$$

$$b_3 = -\frac{\Delta V_{\text{th}}}{8V_{\text{eff}}} \frac{1}{I_{\text{bias}}^2} \quad (5.57)$$

となる。 $\Delta V_{\text{th}} = 0$  では  $I_{\text{offset}}$  や  $b_2, b_3$  は 0 となるが、 $|\Delta V_{\text{th}}|$  が大きいほどこれらの非理想成分は大きくなる。また、いずれの  $\Delta V_{\text{th}}$  も  $V_{\text{eff}}$  との比率で出現する。

シミュレーションを用いてこれらの傾向を確認する。ただし、チャネル長変調効果を排除するため、図 5.15 のようなスーパーカスコード構成を使用した。図 5.16 に  $\Delta V_{\text{th}}$  を考慮したシミュレーション結果を示す。シミュレーション条件は表 5.5 の通りである。三次歪はやや理論計算と離れているが、利得及び二次歪は理論式とほぼ一致している。理論式とのずれは、トランジスタの二乗則の前提が崩れていることが原因と考えられる。

表 5.5: 図 5.16 のシミュレーション条件

電源電圧	1.2 V
プロセス	65 nm CMOS
ミラー比 $M$	2
$I_{\text{bias}}$	120 $\mu\text{A}$
入力電流	80 $\mu\text{A}_{\text{pp}}$
入力周波数	10 MHz
$L$	80 nm
$W$	800 nm $\times$ 6

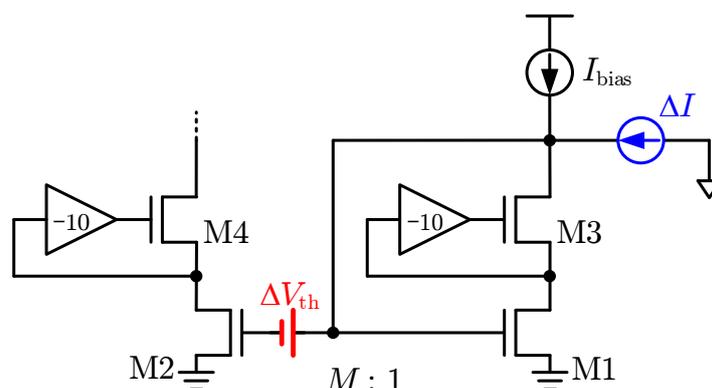
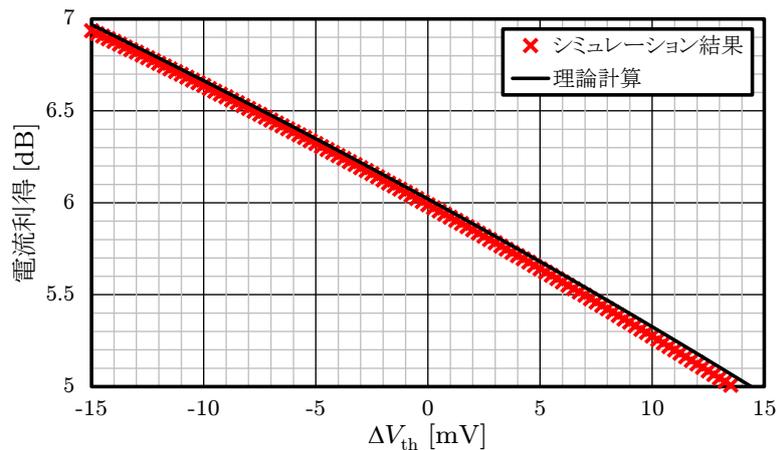


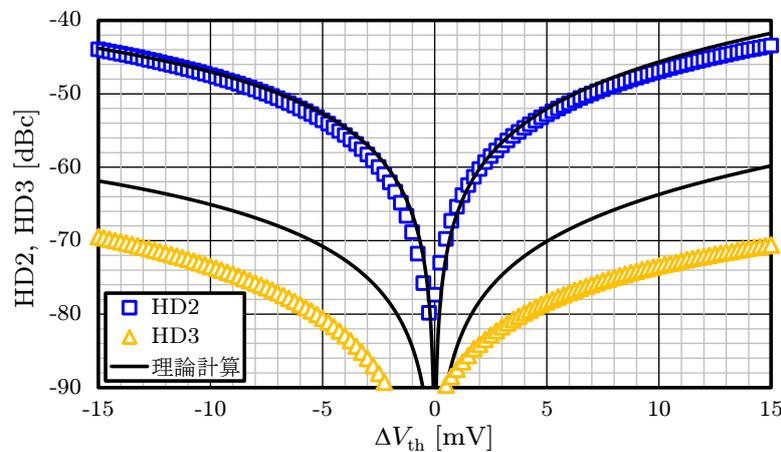
図 5.15: スーパーカスコードカレントミラー

### 5.2.2.2 従来の補正手法

トランジスタペア間のミスマッチに対し、電流 DAC [14], 増幅器 [15], A/D 変換器に用いる比較器 [16,17] など、アプリケーションに応じた様々な補正手法が検討されている。ただし、多くの場合はトランジスタのしきい値誤差そのものは補正せず、外部でミスマッチによる影響を打ち消す方法で対策を行っている。例えば [16,17] では、ロード容量を調整することでミスマッチによって生じた遅延時間誤差を打ち消している。[14] では、自身の持つしきい値誤差成分を容量でサンプリングして打ち消す方法を提案している。しかしながら、このような方法は他の回路への応用が難しく、特に電流増幅器のように連続時間系で動作し、DC 付近から高周波までの信号を通す回路には適用が困難である。



(a) 電流利得



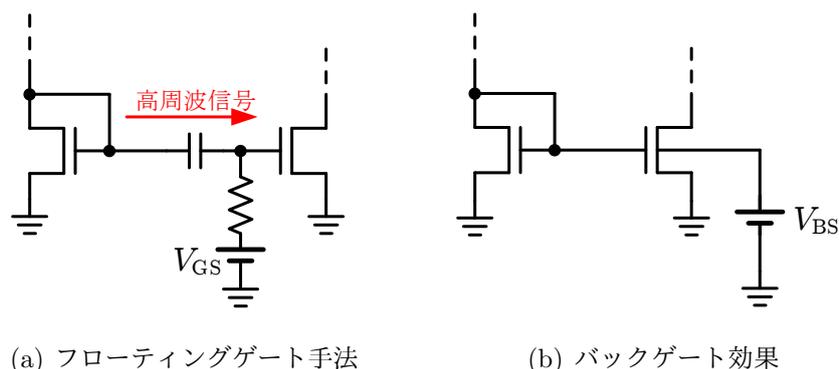
(b) 歪成分

図 5.16:  $\Delta V_{th}$  を考慮したシミュレーション結果

連続時間系カレントミラー回路に関する補正手法の検討には [11] や [12] などがある。[11] は図 5.17(a) に示したフローティングゲート手法を用いて、トランジスタペアの  $V_{GS}$  を個別に制御する手法を提案している。容量は DC 信号を遮断し、DAC などの外部電源によってしきい値誤差を吸収するように  $V_{GS}$  を指定する。一方、高周波信号は容量を介してゲート端子まで到達するため、高周波用途で使用することができる。ただし、低周波側の信号は遮断されてしまうという問題がある。

[12] は図 5.17(b) に示したバックゲート効果を利用する方法を提案している。バックゲート効果は、

$$V_{th} = V_{th0} + \gamma \left( \sqrt{2\phi_f - V_{BS}} - \sqrt{2\phi_f} \right) \quad (5.58)$$



(a) フローティングゲート手法

(b) バックゲート効果

図 5.17: しきい値調整手法

という形でしきい値電圧を制御することができる [18]. ここで  $\gamma$  は基板バイアス効果係数,  $\phi_f$  はフェルミポテンシャル,  $V_{th0}$  は  $V_{BS} = 0$  におけるしきい値電圧である. この手法は DC 側の低周波信号を阻害せず, メインパスとなるカレントミラーノードにも追加素子が入らないという特長がある. ただし, [12] ではミスマッチ検出の方法に理想電源を用いており, 実装には適していない.

### 5.2.2.3 参照電流源を用いた補正手法

そこで図 5.18 に示す補正手法を検討する. M1 及び M2 によって構成されるカレントミラー回路が補正対象の回路であり, 参照電流源, 検出回路, 及び補正回路によって補正を実現する.

参照電流源は, 正確な電流比  $M$  を持つ電流源であり, 実際は PMOS トランジスタなどで構成される. この参照電流は M1 及び M2 にそれぞれ流れ込む. M1 側はダイオード接続となっているため,  $I_{bias}$  に対応した  $V_X$  を生じさせる. M2 のゲート電圧は  $V_X$  となっているため, M2 は電流源として動作しようとする. ところが  $MI_{bias}$  も電流源として動作しているため, 二つの電流源の内より大きな電流を流そうとするトランジスタを線形領域に落とすように  $V_Y$  の電圧が変動する.  $V_{th2} < V_{th1}$  のとき, すなわち  $\Delta V_{th} < 0$  のとき, M2 が流そうとする電流は  $I_{D2} > MI_{bias}$  となるため, M2 の電流を減らすために  $V_Y$  は  $V_{SS}$  側に接近する. 一方,  $V_{th2} > V_{th1}$  のとき, すなわち  $\Delta V_{th} > 0$  のとき,  $I_{D2} < MI_{bias}$  となるため,  $V_Y$  は  $V_{DD}$  側に接近する.

実際の特性は図 5.19 に示したとおりである. すなわち,  $V_X$  と  $V_Y$  の大小を比較するこ

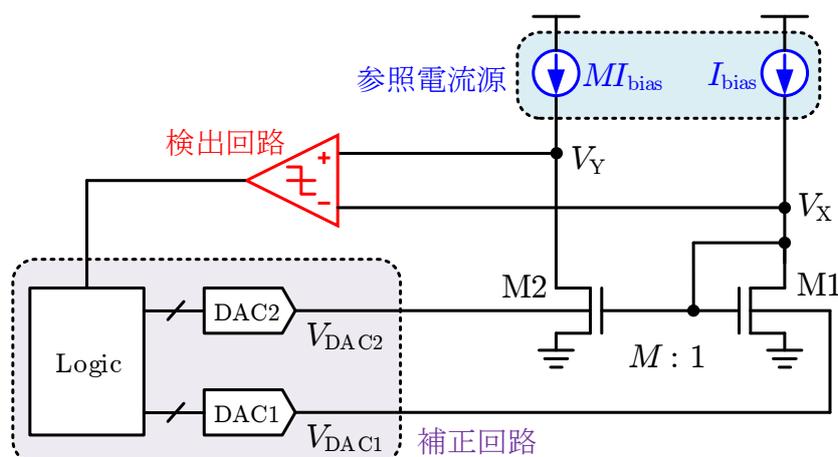
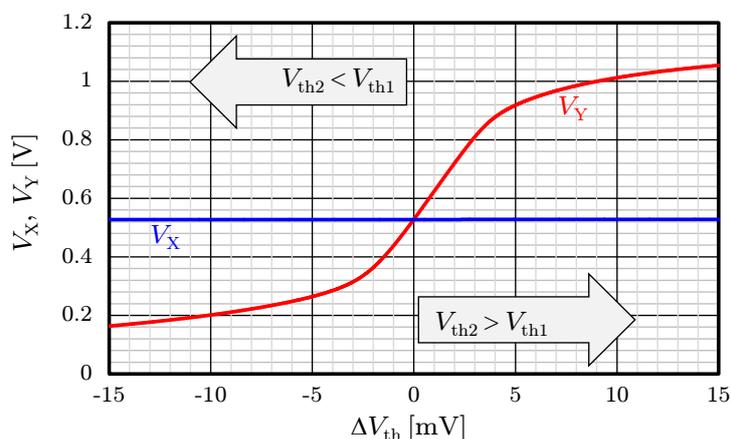


図 5.18: 提案補正回路

図 5.19:  $\Delta V_{th}$  と  $V_X, V_Y$ 

とで、 $\Delta V_{th}$  の符号を検出することができる。しきい値ミスマッチの直接的な補正は、[12]と同様にバックゲート効果を用いる。比較器の出力はカウンタ回路を介して DAC1、または DAC2 に作用する。負電源が用意できる場合は片側の DAC のみで良いが、単電源の回路では  $V_{BS} \geq 0$  の領域しか利用できないため、それぞれのトランジスタに DAC を必要とする。

図 5.20 に、補正時における各ノードの時間波形を示す。このケースでは  $\Delta V_{th} < 0$  を補正している。7  $\mu\text{sec}$  付近で補正動作が完了し、 $V_X \approx V_Y$  となる。

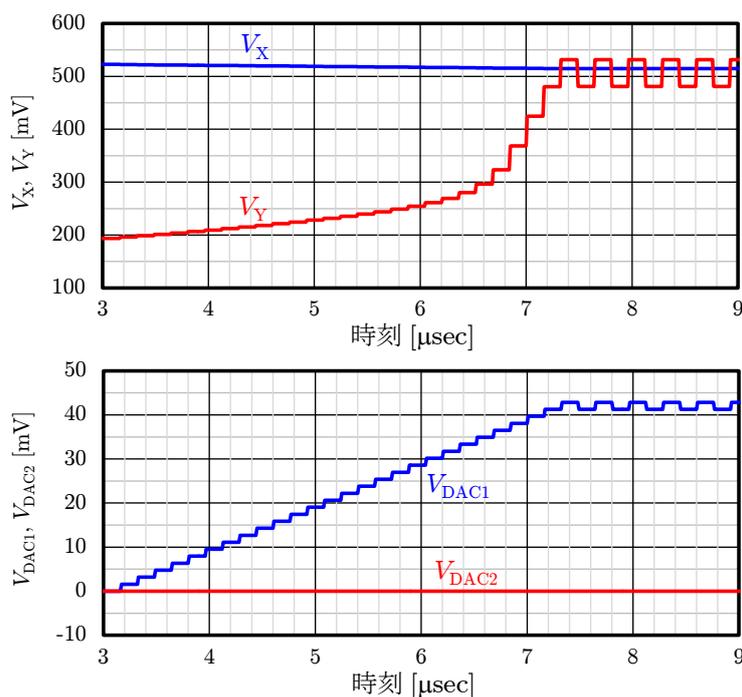


図 5.20: 各ノードの時間波形

表 5.6: モンテカルロ・シミュレーション (200 回) の結果

	補正前	補正後	
	27°C	27°C	-40°C 80°C
Worst HD2 [dBc]	-43.4	-61.8	-57.7 -60.9
Worst HD3 [dBc]	-68.2	-79.8	-75.2 -82.6
電流利得の $\sigma$ [m dB]	399.3	33.7	52.7 47.5
最小利得 [dB]	4.717	5.867	5.852 5.831
最大利得 [dB]	7.046	6.088	6.156 6.102

## 5.2.2.4 シミュレーション結果

表 5.6 に、提案補正手法のモンテカルロ・シミュレーションの結果を示す。シミュレーション条件は表 5.5 のとおりである。DAC の分解能は 6 bit とし、参照電流源は図 5.21 の回路で作成した。この参照電流源はややサイズが大きいものの、補正対象の全てのカレントミラーで共通して使用することができるため、実際の面積オーバーヘッドは少な

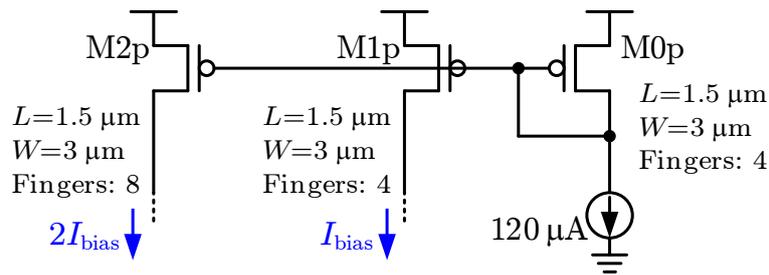


図 5.21: 参照電流源

い. シミュレーションではまず  $27^{\circ}\text{C}$  で補正を行い, その後温度を変化させて各性能を調査した. HD2 及び HD3 は補正によって大幅に改善されており, 特に HD2 は 18 dB 以上性能が改善された. また, 補正時と異なる温度においても安定した性能が得られている. 電流利得のばらつきも劇的に改善されており, 常温における標準偏差は 0.4 dB から 0.03 dB まで減少するという結果が得られた. この補正手法により, 電流利得やカレントミラー回路の利得精度と線形性を確保することが可能となる.

ところで, 残留する歪及び電流利得の誤差は  $\beta$  ミスマッチによるものと推測される. 更に高い精度を必要とする用途では, [12] で検討されている  $\beta$  ミスマッチに関する補正を行わなければならないが, 補正回路の規模が大きくなってしまいう点に注意しなければならない.

## 5.3 まとめ

本章では，第4章に続き，いくつかの広帯域増幅器について高線形化手法と関連回路技術について検討した。

■オープンループアンプの高線形化技術 オープンループアンプで線形性を改善する他の手法として，レベルシフト回路付き FVF 構造を紹介した．入力トランジスタの  $V_{DS}$  を大きくすることで擬似的に固有利得を増やすことができるため，ある程度線形性を改善することができる．ただし，PMOS 側の  $V_{DS}$  が減少するため，IIP3 の改善は 2 dB 程度に留まる．

歪キャンセル技術は逆特性の歪を与えることで線形性を改善する技術である．ただし，打ち消す三次歪の絶対値が大きいとき，ばらつきによって精度が大きく劣化してしまう．そのため，ソースデジェネレーションなどの高線形化技術との併用が望ましい．線形性の比較シミュレーションでは，クロスカップル技術を用いたソースデジェネレーション回路は FVF 構造に匹敵する高い線形性を実現した．

■電流増幅器の高線形化技術 電流増幅器の線形性を改善する手法として， $g_m$  ブーストによる入力インピーダンス低減手法を紹介した．この手法により，入力インピーダンスは  $31.5\ \Omega$  から  $5\ \Omega$  に低減した．しかしながら，この手法は信号電流の流入による入力インピーダンス変動の問題を解決することができない．そのため，同消費電力における SNDR 改善は 1 ~ 2 dB 程度に留まる．

■カレントミラー補正技術 電流増幅器では線形性の高い電流増幅を行うために，カレントミラー回路が用いられる．ただし，カレントミラー回路は歪キャンセル手法の一種であり，ばらつきによって利得変動や線形性の劣化が生じてしまう．この問題を解決する手法として，参照電流源を利用したミスマッチ検出とバックゲート効果による補正手法を提案し，検討を行った．補正を行うことでワーストケースにおける HD2 は 18 dB 改善され，電流利得の標準偏差は 0.4 dB から 0.034 dB まで改善された．



## 参考文献

- [1] I. Mehr and D. R. Welland, "A CMOS Continuous-Time Gm-C Filter for PRML Read Channel Applications at 150 Mb/s and Beyond," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 4, pp. 499-513, Apr. 1997.
- [2] H. Shen, G. Wu, L.-W. Yang, and X. Lv, "A 0.13 $\mu$ m CMOS Gm-C LPF for UWB Receiver," 7th International Conference on ASIC, pp. 399-402, Oct. 2007.
- [3] 金子 徹, 横溝 真也, 宮原 正也, 松澤 昭, "レベルシフト回路を用いた高線形 Gm セルの周波数特性に関する検討," 電子情報通信学会 学生・若手研究会, (26), 2014 年 12 月.
- [4] 金子 徹, 宮原 正也, 松澤 昭, "CMOS 入力演算増幅器の高利得化の検討," 電子情報通信学会 2013 年総合大会, C-12-47, 2013 年 3 月.
- [5] S. Szczepanski, A. Wyszynski, and R. Schaumann, "Highly linear voltage-controlled CMOS transconductors," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 40, no. 4, pp. 258-262, Apr. 1993.
- [6] A. Nedungadi and T. Viswanathan, "Design of linear CMOS transconductance elements," *IEEE Transactions on Circuits and Systems*, vol. 31, no. 10, pp. 891-894, Oct. 1984.
- [7] T. Y. Lo and C. C. Hung, "A 40-MHz Double Differential-Pair CMOS OTA With  $-60$ -dB IM3," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 1, pp. 258-265, Feb. 2008.

- 
- [8] N. Retdian, D. Horii and S. Takagi, "Linear voltage-to-current converters with current reuse technique," *Analog Integrated Circuits and Signal Processing*, vol. 72, no. 3, pp. 549-556. Sep. 2012.
- [9] I. P.-Cantoya and P. M. Furth, "High performance voltage follower with very low output resistance for WTA applications," *IEICE Electronics Express*, vol. 11, no. 17, pp. 1-7, Aug. 2014.
- [10] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 3rd Edition, Wiley-IEEE Press, 2010.
- [11] T. Datta and P. Abshire, "Mismatch Compensation of CMOS Current Mirrors Using Floating-Gate Transistors," *IEEE International Symposium on Circuits and Systems*, pp. 1823-1826, May 2009.
- [12] S. W. Milam and P. E. Allen, "Accurate Two-Transistor Current Mirrors," *Proceedings of the 37th Midwest Symposium on Circuits and Systems 1994*, vol. 1, pp. 151-154, Aug. 1994.
- [13] P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [14] D. W. J. Groeneveld, H. J. Schouwnaars, H. A. H. Termeer, and C. A. A. Bastiaansen, "A Self-Calibration Technique for Monolithic High-Resolution D/A Converters," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 6, pp. 1517-1522, Dec. 1989.
- [15] J. H. Atherton and H. T. Simmonds, "An Offset Reduction Technique for Use with CMOS Integrated Comparators and Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 8, pp. 1168-1175, Aug. 1992.
- [16] D. G. Chen and A. Bermak, "A Low-Power Dynamic Comparator with Digital Calibration for Reduced Offset Mismatch," *IEEE International Symposium on Circuits and Systems*, pp. 1283-1286, May 2012.

- 
- [17] D. Li, Q. Meng, F. Li, and L. Wang, "An Analysis of Offset Calibration Based Additional Load Capacitor Imbalance for Two-stage Dynamic Comparator," International Conference on Information Communication and Management, pp. 264-267, Oct. 2016.
- [18] D. Wu, R. Huang, W. Wong, and Y. Wang, "A 0.4-V Low Noise Amplifier Using Forward Body Bias Technology for 5 GHz Application," IEEE Microwave and Wireless Components Letters, vol. 17, no. 7, pp. 543-545, July 2007.



## 第 6 章

# 連続時間型 $\Delta\Sigma$ A/D 変換器

本章では、アナログフロントエンド回路の一形態である連続時間型  $\Delta\Sigma$  A/D 変換器について述べる。

### 6.1 連続時間型 $\Delta\Sigma$ A/D 変換器

A/D 変換器で SNR を劣化させる要因として、サンプリング時に混入するサンプリング雑音や、量子化雑音などがある。第 2 章の 2.6.2 節で述べたように、サンプリング雑音を低減するためには大きなサンプリング容量をドライブする必要があるため、ドライバ回路の設計が困難になる。量子化雑音を低減するためには多数のコンパレータや複数回の変換が必要となるため、消費電力や動作速度の点で望ましくない。連続時間型  $\Delta\Sigma$  A/D 変換器は、これらのサンプリングや量子化雑音の問題を解消することができるオーバーサンプリング A/D 変換器の一種である。

図 6.1 に連続時間型 A/D 変換器の基本構成を示す。この A/D 変換器は、ループフィルタ、量子化器 (Quantizer)、D/A 変換器 (DAC) などで構成される。ループフィルタは伝達関数  $H(s)$  を持つ連続時間系のフィルタであり、主に積分器などで構成される高い利得を持つ回路である。ループフィルタの出力電圧は量子化器でサンプリングされ、デジタル出力  $D_{\text{OUT}}$  へと変換される。更にこの  $D_{\text{OUT}}$  は D/A 変換器を介して入力側にフィードバックされる。

6.1.1  $\Delta\Sigma$  変調と SQNR

連続時間型  $\Delta\Sigma$  A/D 変換器の動作を理解するために、図 6.2 に示したブロック線図について考える。ただし、 $X$  を入力、 $Y$  を出力とし、 $Q_n$  は量子化を行う際に混入する量子化雑音を表す。

$$Y = (X - Y)H(s) + Q_n \quad (6.1)$$

より、

$$\begin{aligned} Y &= \frac{H(s)}{1 + H(s)}X + \frac{1}{1 + H(s)}Q_n \\ &= \text{STF}(s) \cdot X + \text{NTF}(s) \cdot Q_n \end{aligned} \quad (6.2)$$

を得る。ただし、信号成分と量子化雑音成分に対する伝達関数（STF 及び NTF）はそれぞれ、

$$\begin{cases} \text{STF}(s) = \frac{H(s)}{1 + H(s)} \\ \text{NTF}(s) = \frac{1}{1 + H(s)} \end{cases} \quad (6.3)$$

である。ここで  $|H(s)| \gg 1$  とすると、

$$\begin{cases} \text{STF}(s) \approx 1 \\ \text{NTF}(s) \approx \frac{1}{H(s)} \end{cases} \quad (6.4)$$

となり、 $X$  の信号振幅は変化しないが、 $Q_n$  は  $H(s)$  によって小さくなるのがわかる。この現象は、A/D 変換を行う前に利得  $H(s)$  が挿入されていることで生じる。負帰還を

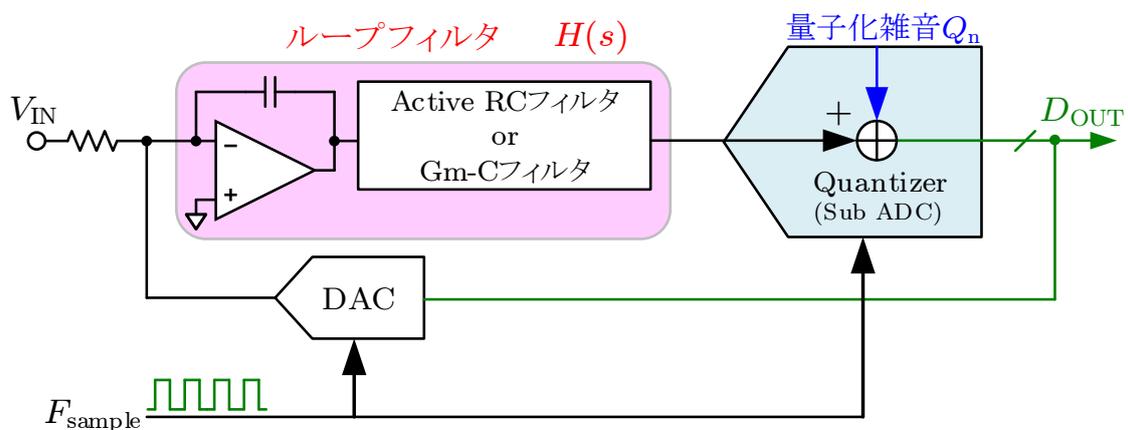


図 6.1: 連続時間型  $\Delta\Sigma$  A/D 変換器の基本構成

考慮しない場合、 $X$  の振幅は  $H(s)$  によって大きく増幅され、その後に  $Q_n$  が混入するため、相対的に  $Q_n$  の影響を減じることができる。しかしながら、単純に  $H(s)$  を挿入しただけでは  $Y$  における振幅が非常に大きくなってしまう。そこで  $Y$  における振幅を制限するために、 $X$  への負帰還が行われる。 $H(s)$  が十分に高い利得を持つとき、第3章で述べたような負帰還動作によって  $Y$  の振幅が  $X$  に一致するようになる。このようにして、 $\Delta\Sigma$  A/D 変換器では量子化雑音の影響を抑えている。ただし、A/D 変換器全体が負帰還のシステムとなっているため、安定性の評価が必須である。

ここで  $H(s)$  に、 $\omega_1$  のユニティゲイン角周波数を持つ  $n$  次の積分器を想定する。すな

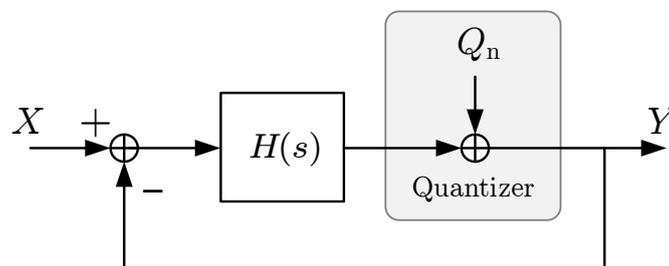


図 6.2: 連続時間型  $\Delta\Sigma$  A/D 変換器のブロック線図

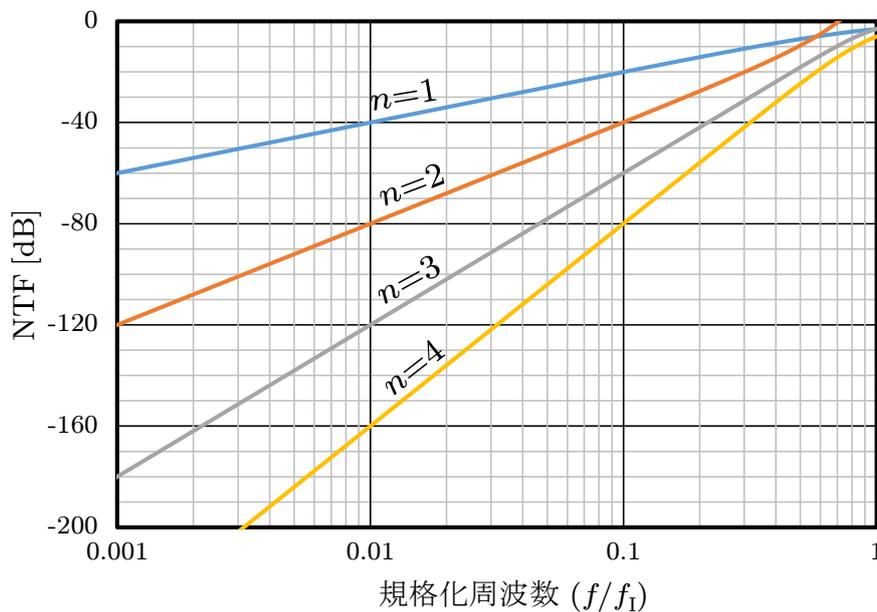


図 6.3: 積分器の次数と NTF

わち,

$$H_n(s) = \left(\frac{\omega_I}{s}\right)^n \quad (6.5)$$

とする. このとき (6.4) 式により, NTF は次のようになる.

$$\text{NTF}(s) \approx \left(\frac{s}{\omega_I}\right)^n \quad (6.6)$$

図 6.3 に, 積分器のユニティゲイン周波数で規格化を行った際の NTF を示す. 周波数が低い領域では NTF の値は非常に小さくなり, また積分器の次数が高いほど抑制効果は高くなる. 一方で高い周波数では, 積分器の利得低下によって抑制効果が薄くなってしまい, 高い SNR が期待できなくなってしまう. そのため, 使用したい (A/D 変換を行いたい) 信号帯域に対して, NTF が十分に低くなるように設計を行う必要がある. 帯域外の信号は A/D 変換後のオーバーサンプリング処理によって除去できるため, ここでは帯域内に混入する雑音成分について考察する. 信号帯域を  $f_{\text{BW}}$  とおくと,  $Q_n$  に関する有効雑音帯域は,

$$\begin{aligned} f_{\text{BW,eq}} &= \int_0^{f_{\text{BW}}} |\text{NTF}(s)| \cdot df \approx \int_0^{f_{\text{BW}}} \left(\frac{f}{f_I}\right)^n \cdot df \\ &= \frac{1}{n+1} \left(\frac{f_{\text{BW}}}{f_I}\right)^{n+1} \cdot f_I \end{aligned} \quad (6.7)$$

となる. ただし,  $f_I = \omega_I/2\pi$  である. それぞれの周波数は, 図 6.4 のような関係にある. 一方量子化雑音  $Q_n$  は, 量子化器の量子化電圧  $V_q$  及びサンプリング周波数  $F_{\text{sample}}$  に対して,

$$Q_n \cdot \frac{F_{\text{sample}}}{2} = \frac{V_q^2}{12} \quad (6.8)$$

という関係がある [1]. また, A/D 変換器のフルスケール電圧を  $V_{\text{FS}}$ , 量子化器の分解能を  $N$  bit とすると,

$$V_q = \frac{V_{\text{FS}}}{2^N} \quad (6.9)$$

であるから,

$$Q_n = \frac{V_q^2}{6F_{\text{sample}}} = \frac{1}{3 \cdot 2^{2N+1}} \frac{V_{\text{FS}}^2}{F_{\text{sample}}} \quad (6.10)$$

と表される。したがって、量子化雑音による帯域内の雑音電力  $P_{Q_n}$  は次のようになる。

$$\begin{aligned} P_{Q_n} &= \int_0^{f_{BW}} Q_n df = Q_n \cdot f_{n,BW} \approx \frac{1}{3 \cdot 2^{2N+1}} \frac{V_{FS}^2}{F_{sample}} \frac{1}{n+1} \left( \frac{f_{BW}}{f_I} \right)^n \cdot f_{BW} \\ &= \frac{1}{3 \cdot 2^{2N+2}} \frac{1}{OSR} \frac{V_{FS}^2}{n+1} \left( \frac{f_{BW}}{f_I} \right)^n \end{aligned} \quad (6.11)$$

ここで  $OSR$  はオーバーサンプリング比を表しており、

$$OSR = \frac{f_{BW}}{F_{sample}/2} \quad (6.12)$$

で定義される。一方、フルスケール電圧  $V_{FS}$  に対して最大の信号電力  $P_S$  を求めると、

$$P_S = \left( \frac{V_{FS}}{2\sqrt{2}} \right)^2 = \frac{V_{FS}^2}{8} \quad (6.13)$$

であるから、量子化雑音に対する信号電力の比率 Signal to Quantization Noise Ratio (SQNR) は次のようになる。

$$SQNR = \frac{P_S}{P_{Q_n}} = 3 \cdot 2^{2N-1} \cdot OSR \cdot (n+1) \left( \frac{f_I}{f_{BW}} \right)^n \quad (6.14)$$

このように  $\Delta\Sigma$  A/D 変換器においては、量子化器のビット数  $N$ 、積分器の次数  $n$ 、積分器の利得  $\omega_I$ 、オーバーサンプリング比率  $OSR$  などを増やすことによって量子化雑音の影響を抑えることができる。これらの技術により、 $\Delta\Sigma$  A/D 変換器は他の A/D 変換器では達成が難しい高い SNDR を実現することを可能とする。

しかしながら、量子化器のビット数増加やオーバーサンプリング比率の増加は、量子化器の消費電力の増加を招いてしまうという問題がある。また、 $\Delta\Sigma$  変調は負帰還のシステムであるため、位相補償を施すことで適切な位相余裕を確保する必要がある。高次の積分器では位相補償が困難になってしまうため、実際には3次から4次程度の構成がよく用いられている。最後の改善手法である積分器の利得増加は、後述するデジタル回路の遅延問題と密接な関係を持つため、位相余裕とトレードオフの関係にある。

### 6.1.2 連続時間型と離散時間型

$\Delta\Sigma$  A/D 変換器には、連続時間型構成と離散時間型の構成が存在する。図 6.5(a) にそれぞれの構成を示す。

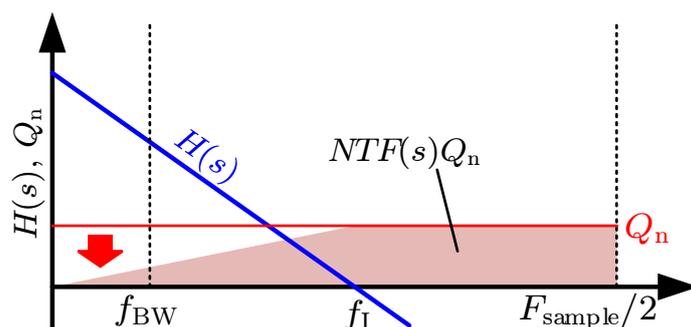
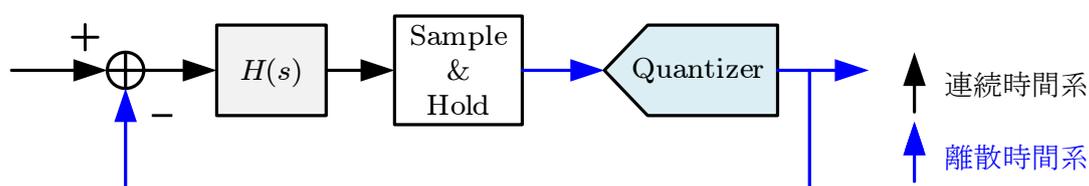
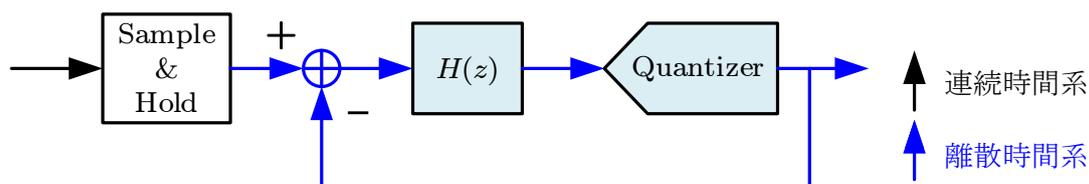


図 6.4: 各周波数の関係



(a) 連続時間型構成



(b) 離散時間型構成

図 6.5:  $\Delta\Sigma$  A/D 変換器の連続時間型と離散時間型

■**離散時間型** 離散時間型の構成では、はじめに入力信号をサンプリングし、 $\Delta\Sigma$  変調のループに標本化された信号を入力する。ループフィルタ  $H(z)$  はオペアンプを用いたスイッチトキャパシタ回路などで構成され、離散時間系のフィルタとして動作する。量子化器の出力からのフィードバック部分も全て離散時間で構成される。

離散時間型の最大のメリットは、PVT ばらつきやミスマッチに対する耐性の高さである。ループフィルタはオペアンプの負帰還回路で構成されるため非常にロバストであり、伝達関数は容量比によって決定される。高次の  $\Delta\Sigma$  変調では発振のおそれがあるものの、伝達関数が容量の比率のみで決まる離散時間系のフィルタは伝達関数が変化しにくいため、設計値通りの安定した動作が期待できる。この特長から高次のループフィルタを分割する MASH 技術 [1,2] も用いやすく、良好な SQNR が実現できる。

しかしながら、離散時間型の構成ではサンプリング周波数が上げにくいという欠点が

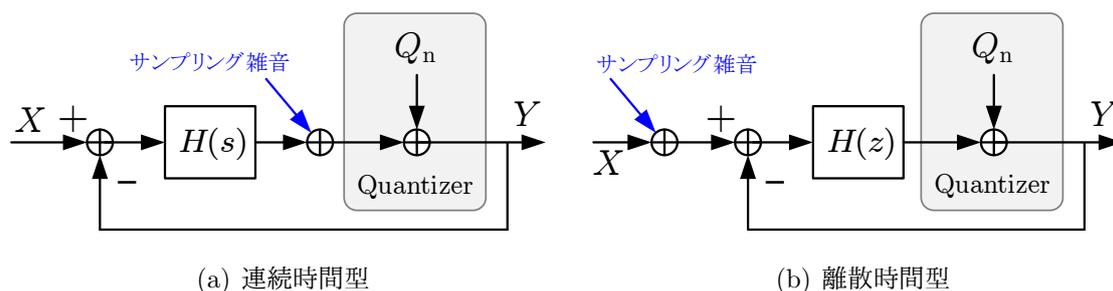


図 6.6: サンプリング雑音の比較

ある。離散時間系の回路では、サンプリング周波数に同期してループフィルタのセトリングが完了していなければならない。この問題により、オペアンプの負帰還で構成されるスイッチトキャパシタ回路は動作周波数が低くなり、サンプリング周波数を制限してしまう要因となってしまう。また理三時間型では入力部分でサンプリングを行うため、サンプリングを行う過程で混入するサンプリング雑音や、サンプリングジッタなどの影響を防ぐことができない。このような問題から、高くても 1 MHz 程度の比較的周波数の低いオーディオなどのアプリケーションで用いられている [3,4].

■連続時間型 連続時間型では前述のとおり、ループフィルタを連続時間系の回路で構成し、量子化器の直前でサンプリングを行う。

連続時間型のメリットは、離散時間型と比較して高速動作が可能なことと、サンプリングに関する諸問題を解決できることである。連続時間型のループフィルタはサンプリング周波数に同期せず、連続時間系のフィルタとして動作している。したがって、離散時間型のようにサンプリング周波数毎にセトリングを要求されることがないため、サンプリング周波数を高く設定することが可能である。また、サンプリング時に混入する雑音成分は、出力結果にほとんど影響を与えない。連続時間型構成では、 $H(s)$  の利得で増幅された後に  $\Delta\Sigma$  変調のループ内でサンプリングを行うため、サンプリングで混入する雑音成分に対する伝達関数は  $Q_n$  と同様に NTF で表される。そのため、多くの場合はサンプリング雑音は量子化器の寄生容量だけでも十分に低い値とすることができる。この作用は入力部でサンプリングを行う離散時間型と対照的である (図 6.6)。加えて A/D 変換器のサンプリング容量をドライブするための A/D ドライバや、エイリアシングを防ぐためのアンチエイリアスフィルタを省略できるというメリットもある。実際に通常のナイキスト A/D 変換器と比較した場合、A/D ドライバやフィルタ回路などを考慮す

ると、連続時間型  $\Delta\Sigma$  A/D 変換器の方が電力効率が良いとする報告もある [5].

一方、連続時間型のデメリットは PVT ばらつきに対する耐性である。ループフィルタを構成する積分器の時定数は、抵抗や容量などの複数のパラメータによって決定される。単一パラメータの比によって伝達特性が決まる離散時間型と比較して、 $H(s)$  は PVT ばらつき（特にプロセスばらつき）の影響を受けやすいと言える。この問題の解決には、フィルタ回路のチューニング技術 [6, 7] が有効であると考えられる。

本研究では広帯域が重要なファクターであるため、本章では連続時間型を前提に議論を進める。

### 6.1.3 デジタル遅延と位相余裕

図 6.25 に示したモデルでは、出力  $Y$  から入力  $X$  まで瞬時にフィードバックされているが、実際の回路では量子化器や論理回路などで遅延が生じる。このデジタル領域の遅延を Excess Loop Delay (ELD) と呼ぶ。ここでは一例として、量子化器の出力が確定するまでの遅延時間を考える。

遅延時間を  $T_{\text{delay}}$  とおくと、伝達関数は、

$$H_{\text{delay}}(s) = e^{-sT_{\text{delay}}} \quad (6.15)$$

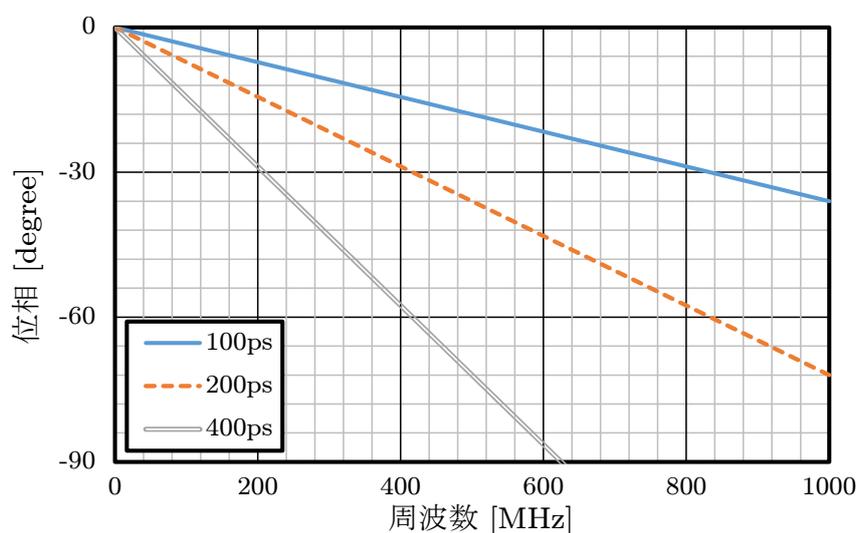


図 6.7: 遅延時間  $T_{\text{delay}}$  と位相回転

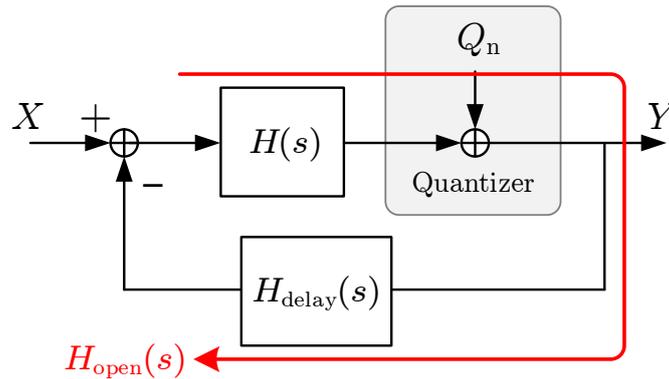


図 6.8: デジタル遅延を考慮したブロック線図

と表される.  $s = j\omega$  より, 利得と位相は次のように表される.

$$|H_{\text{delay}}(j\omega)| = 1 \quad (6.16)$$

$$\angle H_{\text{delay}}(j\omega) = -\omega T_{\text{Delay}} \quad (6.17)$$

図 6.7 に, 遅延時間と位相の関係をまとめたものを示す. 遅延時間による位相回転は遅延時間と周波数に比例する.

これらの位相回転は,  $\Delta\Sigma$  A/D 変換器の一巡伝達関数に影響を与える. 図 6.8 に, デジタル遅延を考慮したブロック線図を示す. この図から,

$$\angle H_{\text{open}}(s) = \angle H(s) + \angle H_{\text{delay}}(s) \quad (6.18)$$

となり, ELD による位相は開ループの位相特性に直結することが読み取れる. 特に高速な連続時間型  $\Delta\Sigma$  A/D 変換器では, SQNR を稼ぐためにループフィルタを構成する積分器の利得を高くするため,  $|H(s)| = 1$  となる周波数が高くなり, ELD による位相劣化が深刻な問題となる.

この問題について理解するために, SQNR と ELD による位相劣化の関係式を導出する.  $|H(\omega_u)| = 1$  となるループフィルタを有す A/D 変換器の SQNR を基準とし, そこから積分器の利得を変化させた際に生じる差分を  $\Delta\text{SQNR}$  と定義する. 各積分器の利得を  $k$  倍すると, (6.14) 式により,

$$\Delta\text{SQNR} = 10 \log k^n = 10n \cdot \log k \quad [\text{dB}] \quad (6.19)$$

となる. 一方,  $\omega_u$  は  $k\omega_u$  となるため, ELD による位相劣化の差分  $\Delta\theta$  は (6.17) 式により,

$$\Delta\theta = \angle H_{\text{delay}}(jk\omega_u) - \angle H_{\text{delay}}(j\omega_u) = -(k-1)\omega_u T_{\text{Delay}} \quad (6.20)$$

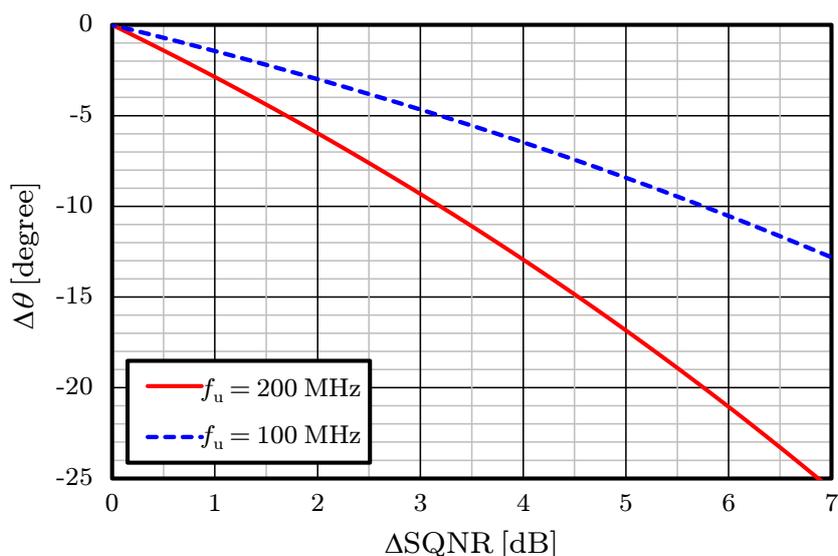


図 6.9:  $n = 3$ ,  $T_{\text{delay}} = 500$  ps における  $\Delta\text{SQNR}$  と  $\Delta\theta$  の関係

と表される。(6.19) 式を用いて  $k$  を消去すると,

$$\Delta\theta = -(10^{\frac{\Delta\text{SQNR}}{10n}} - 1)\omega_u T_{\text{Delay}} \quad (6.21)$$

となり,  $\Delta\text{SQNR}$  と  $\Delta\theta$  にトレードオフが存在することが確認できる。

ここで  $n = 3$ ,  $T_{\text{delay}} = 500$  ps を想定すると,  $\Delta\text{SQNR}$  と  $\Delta\theta$  の関係は図 6.9 のようになる。ただし,  $f_u = \omega_u/2\pi$  である。 $f_u$  が高い場合は SQNR 改善に伴う位相劣化が大きくなり,  $f_u = 200$  MHz では, およそ 3 dB の SQNR 改善を満たすために約  $9^\circ$  の位相劣化を許容しなければならない。あるいは, ELD によって生じた  $9^\circ$  の位相劣化を回復させるためには, SQNR を 3 dB 劣化させる必要がある。このように, SQNR と位相劣化は密接な関係を持つ。

このような位相特性の劣化に対応するため, 連続時間型  $\Delta\Sigma$  A/D 変換器では  $n$  個の極に対して  $n$  個のゼロ点を挿入するのが一般的である。この  $n$  個目のゼロ点挿入を ELD 補償と呼び, 高い SQNR を実現しつつ適切な位相余裕をもたらす重要な技術となっている [8]。

もっとも, ELD による位相劣化を防ぐ最も良い方法は遅延時間  $T_{\text{delay}}$  の削減である。この遅延時間はデジタル領域の遅延であることから, 量子化器や論理回路などの高速化によって ELD に関する位相の問題を緩和することができる。その為, 量子化器には高速動作かつ低レイテンシ出力が可能なフラッシュ型 A/D 変換器が用いられることが非常に多い。ただし, 狭帯域を中心に非同期逐次比較型 A/D 変換器を使用している報

告もある [9,10].

## 6.2 ループフィルタ

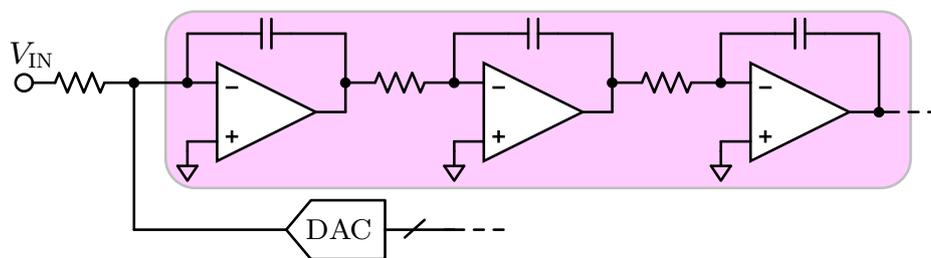
高速な連続時間型  $\Delta\Sigma$  A/D 変換器に用いられるループフィルタは、Active-RC フィルタと Gm-C フィルタの二種類に大別できる。図 6.10 にそれぞれの構成を示す。

### 6.2.1 Active-RC フィルタ

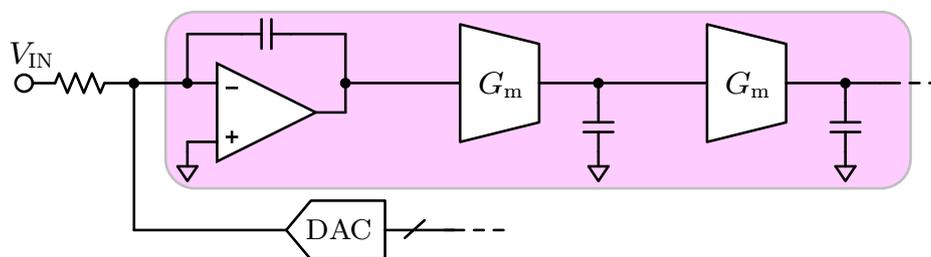
Active-RC フィルタは、オペアンプを用いた積分器で構成されるフィルタであり、狭帯域の受信機向けのフィルタなどでよく用いられているアーキテクチャである。

第3章で議論したように、オペアンプの負帰還を利用した負帰還増幅回路は、オペアンプの利得によって良好な線形性を実現することができる。加えて、積分器の時定数を  $R$  と  $C$  によってほぼ正確に定めることができるため、伝達関数の変動に敏感な連続時間型  $\Delta\Sigma$  A/D 変換器においても使用しやすいというメリットが有る。これらの利点により、今日の連続時間型  $\Delta\Sigma$  A/D 変換器では、Active-RC フィルタが主流なアーキテクチャとなっている [5, 11–15]。

その一方で、広帯域化を行う場合はオペアンプの消費電力と位相特性の劣化が問題となる。図 6.11 にオペアンプ積分器の等価回路を示す。ここでは簡単のため、オペアンプ



(a) Active-RC フィルタ



(b) Gm-C フィルタ

図 6.10: ループフィルタのアーキテクチャ

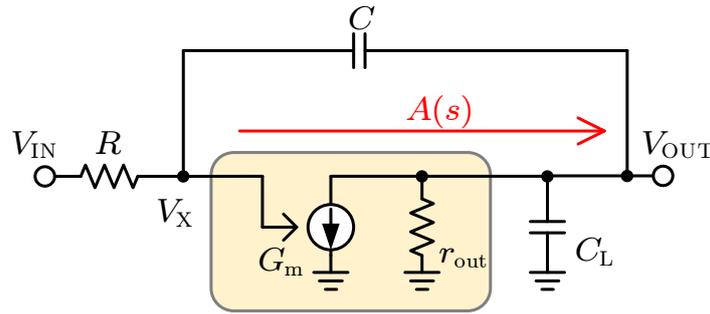


図 6.11: オペアンプ積分器の等価回路

の入力寄生容量  $C_{in}$  を省略する.

$$\left(\frac{1}{R} + sC\right) V_X = \frac{V_{IN}}{R} + sC V_{OUT} \quad (6.22)$$

$$G_m V_X + \left(\frac{1}{r_{out}} + sC_L + sC\right) V_{OUT} = sC V_X \quad (6.23)$$

より, 伝達関数は,

$$H(s) = \frac{1 - \frac{sC}{G_m}}{\frac{1}{G_m r_{out}} + \frac{sC}{G_m} \left(1 + \frac{R}{r_{out}} + G_m R + \frac{C_L}{C}\right) + \frac{s^2 C C_L}{G_m R}} \quad (6.24)$$

となる. ここで分母のゼロ次の項を落とし,  $G_m r_{out} \gg 1, G_m R \gg 1$  とすると,

$$H(s) \approx -\frac{1 - \frac{sC}{G_m}}{sCR + \frac{s^2 C C_L}{G_m R}} \approx -\frac{1}{sCR} \frac{1 - \frac{sC}{G_m}}{1 + \frac{sC_L}{G_m}} \quad (6.25)$$

となる. 分子には右半面に存在するゼロ点が挿入されており, この周波数以降は積分動作が正常に行われない. 加えてこのゼロ点は位相を遅らせるため, 理想積分器の位相である  $-90^\circ$  を超えて位相が回転する. 分母にも極が含まれており, ゼロ点と同様に位相を遅らせる要因となる.

これらの非理想成分の影響を排除するためには, 積分器の使用する利得に対して十分に高い位置にゼロ点と極を移さなければならない. まず分母の極はオペアンプの GB 積を用いて,

$$\omega_p = \frac{G_m}{C_L} \approx 2\pi \cdot \text{GBW} \quad (6.26)$$

と変形される。したがってこの極はオペアンプの GB 積に相当する極であり、第3章の3.4節で指摘した GB 積の制限を受けてしまう。そのため、この極の改善には限界が存在することになる。

一方、分子のゼロ点は、

$$\omega_z = -\frac{G_m}{C} \quad (6.27)$$

であり、 $G_m$  を大きくする設計が有効である。ただし、 $G_m$  はトランジスタの  $g_m$  で実現されることから、ゼロ点の影響軽減には消費電力の増加が必要となる。

このようにオペアンプを用いた積分器は高周波側において位相を遅らせる極とゼロ点を内包しており、広帯域化を行う際の障害となる。 $\Delta\Sigma$  A/D 変換器では A/D 変換器そのものが負帰還を持つため、ループフィルタの位相劣化は A/D 変換器全体の位相余裕劣化を招く。この位相劣化は図 6.7 で示した ELD による位相劣化と等価であるため、SQNR を制限する要因となってしまう。通常、積分器は多段にカスケード接続されるため、一段あたりの位相劣化がわずかであっても、ループフィルタ全体では大きな位相劣化につながってしまう。

### 6.2.2 Gm-C フィルタ

Gm-C フィルタは、Gm セルと容量を用いたフィルタ形式である。グローバルな帰還を持たない広帯域な Gm セルを用いることで、Active-RC フィルタよりも広帯域なフィルタを構成することのできるため、100 MHz を越えるフィルタなどの用途でよく用いられている [16, 17]。図 6.10(b) に示すように、連続時間型  $\Delta\Sigma$  A/D 変換器では DAC からフィードバックされた成分を受け取る都合で、初段にはオペアンプ型積分器を用いる。

この構成のメリットは、広帯域化が容易であることと、良好な位相特性を持つ点である [18, 19]。オペアンプを用いた負帰還増幅回路とは異なり、グローバルな帰還を持たないため、積分器単体では位相補償を行う必要がない。そのため、広帯域化を行う際の電力効率は Gm-C フィルタの方が良好であると考えられる。また、第4章で議論したように、FVF 構造のような局所的な帰還を持つオープンループ型アンプであっても内部の極は GHz オーダーであり、負帰還増幅回路よりも位相特性の劣化が少ない。

図 6.12 は、典型的なオペアンプと後述するカスコード FVF 構造を持つ Gm セルを用いた積分器の周波数特性を比較したグラフである。ただし、設計条件は表 6.1 のとおり

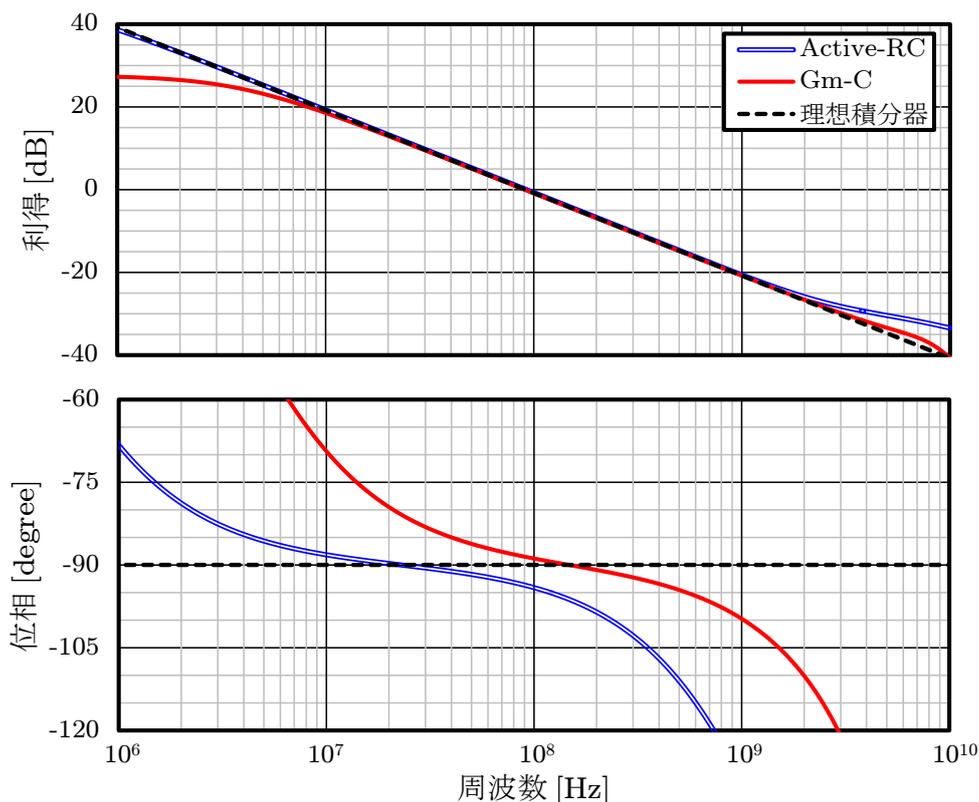


図 6.12: 周波数特性の比較

表 6.1: 積分器の設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
消費電力	900 $\mu$ W
$f_1$	100 MHz

である。Active-RC フィルタは低周波においては理想積分器に近いものの、利得が 0 dB を下回る以前から位相が  $-90^\circ$  を下回る様子が確認できる。通常、高次の積分器を有する場合は位相補償が挿入される関係で、積分器のユニティゲイン周波数  $f_1$  よりも高い周波数で  $H_{\text{open}}$  が 0 dB となる。したがって Active-RC フィルタでは一段辺り、少なくとも  $5^\circ$  程度の位相劣化が生じることになる。一方、Gm-C フィルタは 200 MHz 付近まで位相を保っており、利得についても 3 GHz 付近までほぼ理想的な特性を保っている。このように、Gm-C フィルタを用いることにより、Active-RC フィルタで生じる位相劣化の問題を改善することができる。

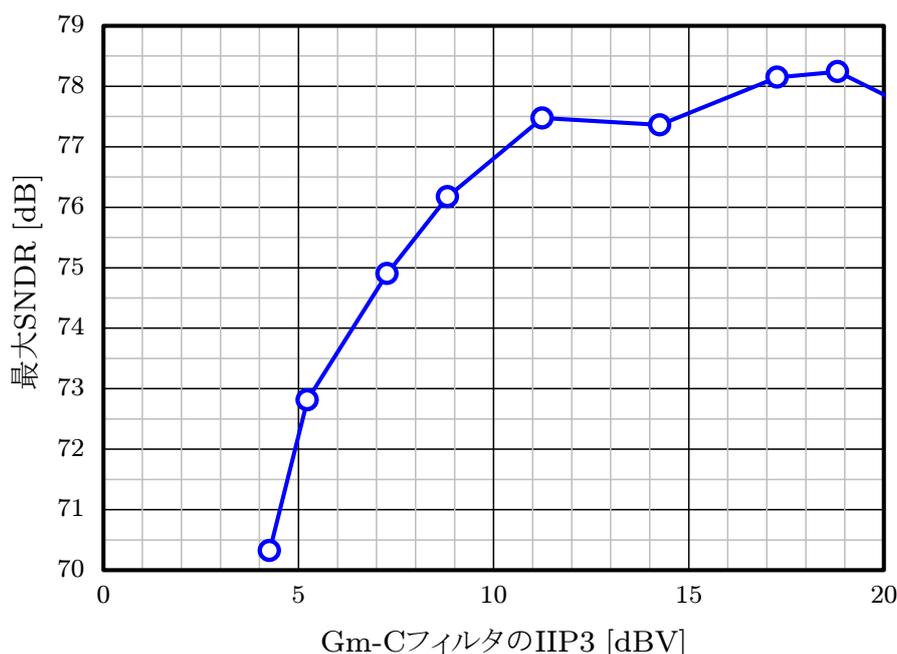


図 6.13: Gm-C フィルタの線形性と最大 SNDR の関係

しかしながら、Gm-C フィルタは線形性が課題である。Gm-C フィルタは Active-RC フィルタと比較して線形性が低く、歪による SNDR の劣化が度々問題となる。連続時間型  $\Delta\Sigma$  A/D 変換器においても、高い SNDR を達成するためには Gm-C フィルタに高い線形性が要求される。図 6.13 は、Gm-C フィルタの線形性 (IIP3) と、後述する 20 MHz 帯域の A/D 変換器における SNDR 劣化の関係を示している。ただし、グラフ縦軸の「最大 SNDR」は量子化雑音と Gm-C フィルタの非線形性によって生じる歪による劣化のみを考慮した値であり、熱雑音などは考慮されていない。グラフよれば、A/D 変換器の SNDR 劣化を防ぐためには、Gm-C フィルタには 9 dBV を越える非常に高い線形性が要求される。第 4 章で議論したように、ソースデジェネレーションや FVF 構造などで線形性を改善するためには消費電力の増加が必要であるため、Gm-C フィルタでは低消費電力と高線形性の両立が困難である。

Gm-C フィルタは、位相特性の観点で Active-RC フィルタに対してメリットを有するにもかかわらず、この線形性の問題によって採用されているケースは例外的である [18, 19]。そこで本研究では、第 4 章で議論したオープンループアンプの線形性向上技術を拡張し、低消費電力で高い線形性を実現する Gm セルについて考察する。



と表された。この利得によって、図 6.14 のように M1 のソース側電圧の変動  $\Delta V_S$  が  $\Delta V_{in}$  に追従し、精度の高い V-I 変換を実現している。

しかしながら、FVF 構造には次の三つの欠点が指摘された。高い線形性を低消費電力で実現するためには、これらの三つの問題点を同時に解決しなければならない。

■  $N$  と消費電力のトレードオフ  $\Delta V_D$  を抑制するためには  $N$  の増加が必要である。ただし、 $N = g_m R_S$  により、 $G_m = M/R_S$  を保ちつつ  $N$  を増やすためには、 $I_{bias}$  を大きくする必要がある。そのため、回路全体の消費電力が増えてしまう。

■ ソース側電圧変動の問題 オープンループゲインの改善によりドレイン側の電圧変動は抑制されるが、ソース側は、

$$\Delta V_{in} \approx \Delta V_S \quad (6.29)$$

が成立するため、 $N$  が十分に大きい状況においても、

$$\Delta V_{DS} = \Delta V_D - \Delta V_S \approx -\Delta V_{in} \quad (6.30)$$

となり、M1 のチャンネル長変調効果を完全に抑制することは不可能である。M1 のチャンネル長変調効果は  $\Delta V_S \approx \Delta V_{in}$  の関係を乱すため、線形性を劣化させてしまう。

■ PMOS 電流源の変動 ソース側電圧変動の問題を緩和する方法として、レベルシフト回路を挿入して  $V_D$  のバイアス電圧を釣り上げる方法がある。しかしながら、 $V_D$  の電圧が上昇すると M13 のチャンネル長変調効果が顕著になってしまう。その結果、PMOS 電流源が供給する  $I_{bias}$  が  $\Delta V_D$  によって変動し、線形性の劣化が生じる。

### 6.3.2 カスコード FVF 構造

FVF 構造を用いて線形性を改善していくためには、 $N$  の増加以外の方法で  $\Delta V_D$  を抑制しつつ、 $V_D$  のバイアス電圧を高く設定することが必要となる。そこで、図 6.15 に示すカスコード FVF 構造を提案し、検討を行う。

カスコード FVF 構造は、通常の FVF 構造のループ内にカスコードトポロジを取り入れたものであり、M9, M10, M13, M14 はカスコードトランジスタとして動作する。この回路において、線形性の改善に大きく寄与するのは M9 及び M10 のカスコードトランジスタである。M9 のトランジスタは、自身の固有利得によって  $\Delta V_D$  の電圧振幅を抑制

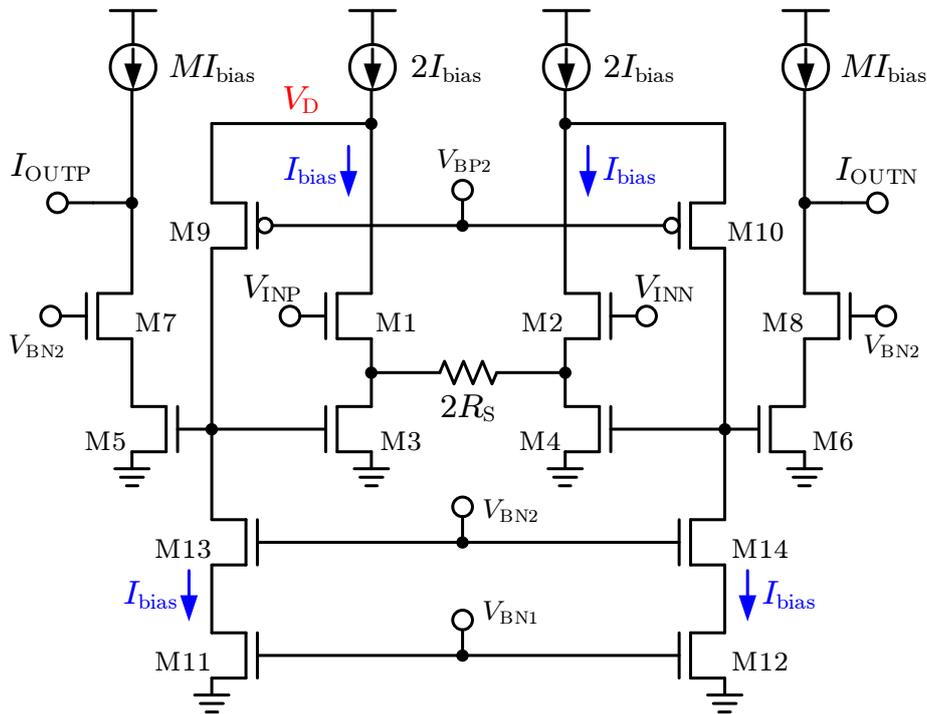


図 6.15: カスコード FVF 構造を持つ Gm セル

するように動作する。加えて M1 のドレイン側バイアス電圧  $V_D$  は、M9 のゲートバイアス電圧  $V_{BP2}$  を用いて、

$$V_D = V_{BP2} - |V_{GS9}| \quad (6.31)$$

と表されるため、 $V_{BP2}$  と M9 によってレベルシフト動作を実現することができる。したがって、この構成は  $\Delta V_D$  の抑制と  $V_D$  のバイアス電圧上昇を同時に達成できる。ただし、M9 から M14 までのトランジスタには  $I_{bias}$  のバイアス電流を供給する必要があるため、消費電流のオーバーヘッドが生じる、この回路全体の消費電流は、

$$I_{total} = 2(M + 2) I_{bias} \quad (6.32)$$

となり、従来の FVF 構造よりも  $2I_{bias}$  だけ大きい。

### 6.3.2.1 小信号等価回路解析

図 6.16 に、カスコード FVF 構造を持つ Gm セルの小信号等価回路を示す。ここではドミナントポールのみを考慮して、カレントミラーノードの寄生容量  $C_X$  を計算に含め

る.  $r_{cas}$  は M11 及び M13 によるカスコード抵抗であり,

$$r_{cas} \approx \frac{G_{i13}}{g_{d11}} \quad (6.33)$$

である. ただし,  $G_{i13} = g_{m13}/g_{d13}$  である.

キルヒホッフの電流則により, 次の四式を得る.

$$(G_S + g_{m1} + g_{d1})v_s + g_{m3}v_x = g_{m1}v_{in} + g_{d1}v_d \quad (6.34)$$

$$(g_{d9} + g_{cas} + sC_X)v_x = (g_{m9} + g_{d9})v_d \quad (6.35)$$

$$(g_{d1} + g_{m9} + g_{d9})v_d + g_{m1}v_{in} = (g_{m1} + g_{d1})v_s + g_{d9}v_x \quad (6.36)$$

$$i_{out} \approx -g_{m5}v_x \quad (6.37)$$

ただし,  $g_{cas} = 1/r_{cas}$  である. まず (6.34) 式及び (6.36) 式から  $v_{in}$  を消去する.

$$G_S v_s + (g_{m9} + g_{d9})v_d = -(g_{m3} - g_{d9})v_x \quad (6.38)$$

(6.35) 式より,

$$v_d = \frac{g_{d9} + g_{cas} + sC_X}{g_{m9} + g_{d9}} v_x \quad (6.39)$$

であるから, (6.38) 式は,

$$v_s = -\frac{g_{m3} + g_{cas} + sC_X}{G_S} \cdot v_x \quad (6.40)$$

となる. (6.36) 式, (6.39) 式及び (6.40) 式より,

$$\begin{aligned} v_x &= -\frac{g_{m1}v_{in}}{\frac{(G_S + g_{m1} + g_{d1})(g_{m3} + g_{cas} + sC_X)}{G_S} - g_{m3} + \frac{g_{d1}}{g_{m9} + g_{d9}}(g_{d9} + g_{cas} + sC_X)} \\ &\approx -\frac{1}{g_{m3}R_S} \frac{v_{in}}{1 + \frac{1}{G_{i1}} + \frac{1}{g_{m3}R_S} \left( \frac{g_{cas}}{g_{m1}} + \frac{1}{G_{i1}G_{i9}} \right) + \frac{sC_X}{g_{m1}}(1 + g_{m1}R_S)} \end{aligned} \quad (6.41)$$

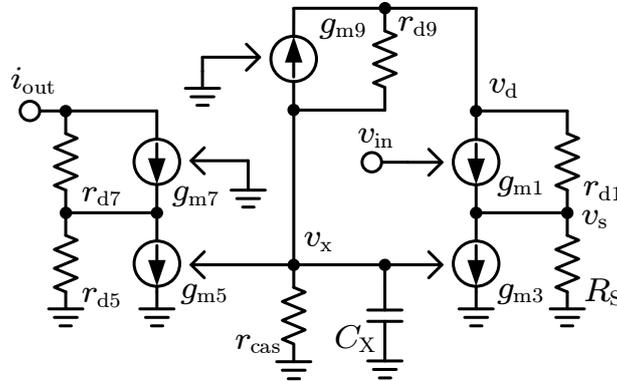


図 6.16: カスコード FVF 構造を持つ Gm セルの小信号等価回路

を得る。したがって、この回路の  $G_m$  値は次のように表される。

$$\begin{aligned}
 G_{m,\text{CFVF}} &= \frac{i_{\text{out}}}{v_{\text{in}}} \\
 &\approx \frac{g_{m5}}{g_{m3}R_S} \frac{1}{1 + \frac{1}{G_{i1}} + \frac{1}{g_{m3}R_S} \left( \frac{g_{\text{cas}}}{g_{m1}} + \frac{1}{G_{i1}G_{i9}} \right) + \frac{sC_X}{g_{m1}} (1 + g_{m1}R_S)} \\
 &= \frac{M}{R_S} \frac{1}{1 + \frac{1}{G_{i1}} \left( 1 + \frac{2}{G_{i9}N} \right) + \frac{sC_X}{g_m} (1 + N)} \quad (6.42)
 \end{aligned}$$

ただし、簡単のためそれぞれのトランジスタの  $g_m$  及び  $g_d$  は等しいと仮定した。第4章の(4.55)式より、従来のFVF構造を持つGmセルの  $G_m$  値は次のように表される。

$$G_{m,\text{FVF}}|_{s=0} \approx \frac{M}{R_S} \frac{1}{1 + \frac{1}{G_{i1}} \left( 1 + \frac{1}{N} \right)} \quad (6.43)$$

両式共に  $s = 0$  において、 $G_m$  値は  $M/R_S$  で近似される。またカスコードFVF構造は、 $N$  を  $G_{i9}/2$  倍にする効果が得られている。この改善は、カスコードトランジスタを挿入したことによる利得増加によってもたらされている。固有利得が半分になっているのは、M11及びM13で構成されるカスコード抵抗によって、カレントミラーノードから見込んだ出力抵抗が半分になったように見えるためである。

一方、 $v_s$  は(6.40)式より、

$$v_s|_{s=0} \approx \frac{1}{1 + \frac{1}{G_{i1}} \left( 1 + \frac{2}{G_{i9}N} \right)} v_{\text{in}} \quad (6.44)$$

となり、小さい  $N$  に対しても  $v_s \approx v_{\text{in}}$  の近似が精度良く成立する。同様に  $v_d$  は、(6.39)式より、次のように表される。

$$v_d \approx \frac{1}{G_{i9}N} \frac{1 + sC_X r_{d1}}{1 + \frac{sC_X}{g_m} (1 + N)} v_{\text{in}} \quad (6.45)$$

$v_d$  についても同様に、 $G_{i9}$  によって小さくなる。これは  $\Delta V_D$  が減少したことを示すため、PMOS側電流源のチャネル長変調効果の抑制に貢献する。ただし、 $v_d$  は

$$\omega_z = \frac{g_{d1}}{C_X} = \frac{2}{G_{i1}(M+1)K_{C,M3}V_{\text{eff}}} \quad (6.46)$$

のゼロ点を含むため、このゼロ点を越える周波数では抑制効果が劣化する。ミラー比  $M$  が大きいケースではこの劣化が顕著になり、高周波における線形性は劣化すると考えられる。一方、極は次のように表される。

$$\omega_p = \frac{g_{m1}}{C_X(1+N)} = \frac{1}{1+N} \frac{2}{(M+1)K_{C,M3}V_{\text{eff}}} = \frac{G_{i1}}{1+N}\omega_z \quad (6.47)$$

したがって、 $N < (G_i - 1)$  の領域において、 $\omega_p > \omega_z$  となる。すなわち、 $G_m$  値の劣化よりも、 $v_d$  の抑制効果の劣化の方が早く始まる。なお、これらの極やゼロ点についても、 $I_{\text{bias}}$  に依存しないことを付け加えておく。

### 6.3.2.2 一巡伝達関数

図 6.17 の回路を用いてカスコード FVF 構造の安定性を調べる。  $C_Y$  は M9 の  $C_{\text{GS}}$  を主とする寄生容量である。M9 は PMOS であり、通常 NMOS の 3 倍程度のトランジスタサイズとなる。そのため、M9 の  $C_{\text{GS}}$  は M1 の  $C_{\text{GS}}$  よりも 3 倍程度大きいと予想される。したがって M1 の  $C_{\text{GS}}$  も極を作るが、 $C_Y$  よりも小さい容量値であるため、この解析では省略する。

ここではノートンの定理を用いて解析を行う。  $v_{\text{out}}$  から見込んだインピーダンス  $r_{\text{out}}$

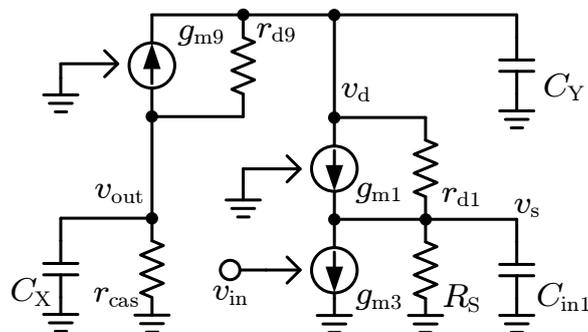


図 6.17: カスコード FVF 構造を持つ  $G_m$  セルの小信号等価回路

表 6.2: 図 6.18 の設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
$I_{\text{bias}}$	80 $\mu\text{A}$
$R_S$	1 k $\Omega$

は,

$$\begin{aligned}
 r_{\text{out}} &= \frac{1}{sC_X + g_{\text{cas}} + \frac{sC_Y + \frac{1}{G_{i1}R_S}}{G_{i9}}} = \frac{1}{g_{\text{cas}} + \frac{1}{G_{i1}G_{i9}R_S} + s\left(C_X + \frac{C_Y}{G_{i9}}\right)} \\
 &\approx \frac{1}{g_{\text{cas}} + \frac{1}{G_{i1}G_{i9}R_S} + sC_X}
 \end{aligned} \tag{6.48}$$

となる. ここで,  $C_X \gg C_Y/G_i$  として近似を行った. 一方,  $v_{\text{out}}$  を接地した際に流れ込む信号電流  $i_{\text{out}}$  は,

$$\begin{aligned}
 i_{\text{out}} &\approx \frac{g_{m9}}{g_{m9} + \frac{1}{G_{i9}R_S} + sC_Y} g_{m3}v_{\text{in}} \\
 &\approx \frac{g_{m3}}{1 + \frac{sC_Y}{g_{m9}}} v_{\text{in}}
 \end{aligned} \tag{6.49}$$

となる. ただし,  $G_{i9}g_{m9}R_S \gg 1$  として近似した. したがって, 一巡伝達関数  $H_{\text{open}}(s)$  は,

$$\begin{aligned}
 H_{\text{open}}(s) &\approx \frac{g_m r_{\text{out}}}{1 + \frac{sC_Y}{g_m}} \approx \frac{1}{\frac{1}{G_i^2} \left(1 + \frac{1}{N}\right) + \frac{sC_X}{g_m}} \frac{1}{1 + \frac{sC_Y}{g_m}} \\
 &\approx \frac{G_i^2}{1 + \frac{1}{N} \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}
 \end{aligned} \tag{6.50}$$

と表される. ここで各  $g_m$  及び  $g_d$  が同じであると仮定した. 二つの極は次のようになる.

$$\begin{cases} \omega_{p1} = \frac{1 + \frac{1}{N}}{G_i^2} \cdot \frac{g_m}{C_X} \\ \omega_{p2} = \frac{g_m}{C_Y} \end{cases} \tag{6.51}$$

$|H_{\text{open}}(j\omega_u)| = 1$  となる角周波数に対し,  $\omega_{p2} > \omega_u$  を仮定する. このとき, (6.50) 式により,

$$|H_{\text{open}}(\omega_u)| \approx \frac{G_i^2}{1 + \frac{1}{N}} \frac{\omega_{p1}}{\omega_u} = 1 \tag{6.52}$$

であるから,

$$\omega_u = \omega_{p1} \cdot \frac{G_i^2}{1 + \frac{1}{N}} = \frac{g_m}{C_X} \tag{6.53}$$

となる.  $\omega_u > \omega_{p2}$  となるための条件は,

$$C_X > C_Y. \tag{6.54}$$

ミラー比  $M$  を用いると,

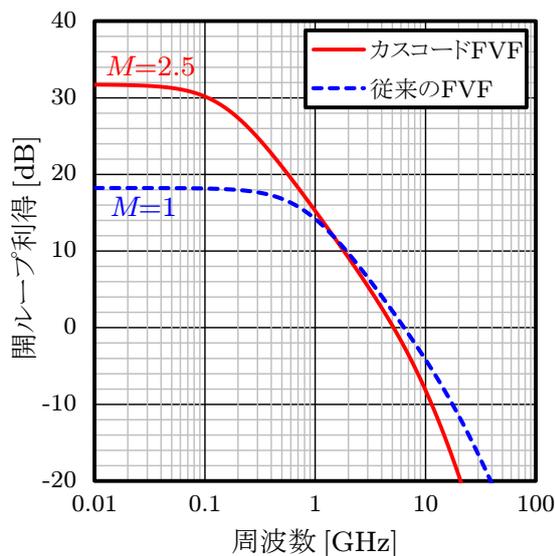
$$(M + 1)K_{C,M3} > K_{C,M9} \tag{6.55}$$

と表さる. ここで,

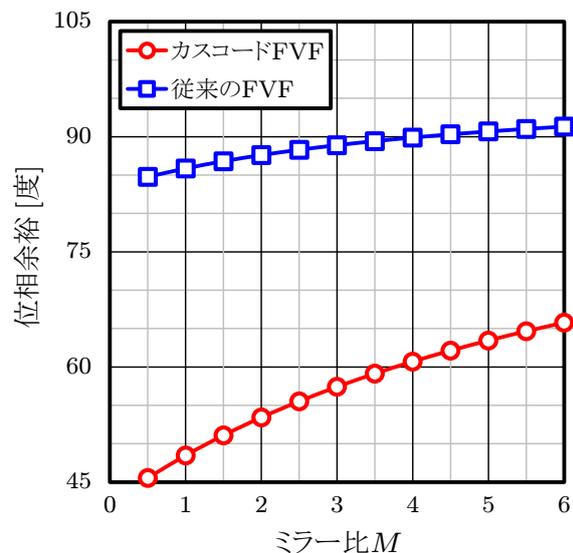
$$K_{C,M9} = \frac{C_{GS9}}{I_{bias}} \tag{6.56}$$

である. したがって, ミラー比  $M$  をある程度大きな値とすることで安定性の確保が可能となる.  $M9$  は PMOS であるため,  $K_{C,M9}$  の値は  $K_{C,M3}$  よりも大きい. しかしながら  $C_X$  は  $C_{GD}$  のミラー容量を含むため, 実際は単純な  $C_{GS}$  よりも大きな値となる.

図 6.18(b) に  $M = 1$  における一巡伝達関数を示す. シミュレーション条件は表 6.2 の通りである. この設計におけるカスコード FVF 構成の一巡伝達関数の DC 利得は 32 dB



(a)  $M = 1$  における周波数特性



(b) 位相余裕

図 6.18: 一巡伝達関数の比較

表 6.3: 設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
$I_{\text{bias}}$	80 $\mu\text{A}$
$R_S$	1 k $\Omega$
$N$	0.9
ミラー比 $M$	2

となり，従来の FVF 構造よりも約 14 dB 高い．この利得の改善分が線形性の改善に寄与することになる．一方，ユニティゲイン周波数は殆ど変化していない．ただし，0 dB を下回るとセカンドポールの影響によって周波数特性に大きな差が出る．

ミラー比と位相余裕のシミュレーション結果を図 6.18(b) 示す．カスコード FVF 構造において十分な位相余裕を確保するためには，やや大きなミラー比  $M$  を必要とする点に注意が必要である．例えば， $M = 1$  での位相余裕は  $48^\circ$  程度であるが， $M = 2.5$  では  $56^\circ$  まで回復する．

### 6.3.2.3 電圧変動の抑制効果

実際に従来の FVF 構造を持つ Gm セルと，カスコード FVF 構造を持つ Gm セルを設計し，各ノードの電圧変動がどのように変化しているかを調べる．ただし，設計の条件はいずれも表 6.3 の通りである．

■DC 特性 図 6.19 に DC 特性のシミュレーション結果を示す．正負の入力端子にそれぞれ  $\pm\Delta V_{\text{in}}$  のオフセット電圧を印加し， $\Delta V_{\text{in}} = 0$  におけるバランス状態からの変化量を  $\Delta V_S, \Delta V_D, \Delta I_p$  とそれぞれ定義している．

まず図 6.19(a) の示す  $\Delta V_S$  はこれまでの議論のとおり， $\Delta V_S \approx \Delta V_{\text{in}}$  が成立している．カスコード FVF と従来の FVF を比較すると，カスコード FVF の方がこの近似の精度が高くなっていることが確認できる．

次に図 6.19(b) をみると， $\Delta V_D$  について二つの回路には大きな差が存在することが確認できる．従来の FVF 構造では， $N \approx 0.9$  より，

$$\Delta V_D \approx \frac{\Delta V_{\text{in}}}{N} \approx -1.1\Delta V_{\text{in}} \quad (6.57)$$

の近似となっており、およそ  $\Delta V_{in}$  と同等の変動が生じている。一方、カスコード FVF では  $\Delta V_D$  は殆どゼロに近い値となっており、カスコードトランジスタ M9・M10 の固有利得によって電圧変動が抑制されている様子が確認できる。

一方、図 6.19(c) は  $\Delta I_p$  の様子を示している。この  $\Delta I_p$  は、 $\Delta V_{in}$  によって生じた  $\Delta V_D$  を介して出現している。 $\Delta V_D$  のケースと同様に、カスコード FVF の方が  $\Delta I_p$  の絶対値は小さいが、従来の FVF に対して約半分程度の値にしか抑制されていない。今回設計したカスコード FVF は M1 のドレイン側バイアス電圧  $V_D$  が約 1V であり、従来の FVF 構造の  $V_D \approx 0.6V$  よりも高いため、 $I_{bias}$  を供給する PMOS のドレイン抵抗が小さくなっている。そのため、 $\Delta V_D$  が非常に小さいにも関わらず、 $\Delta I_p$  に対する改善効果は薄くなっていると考えられる。

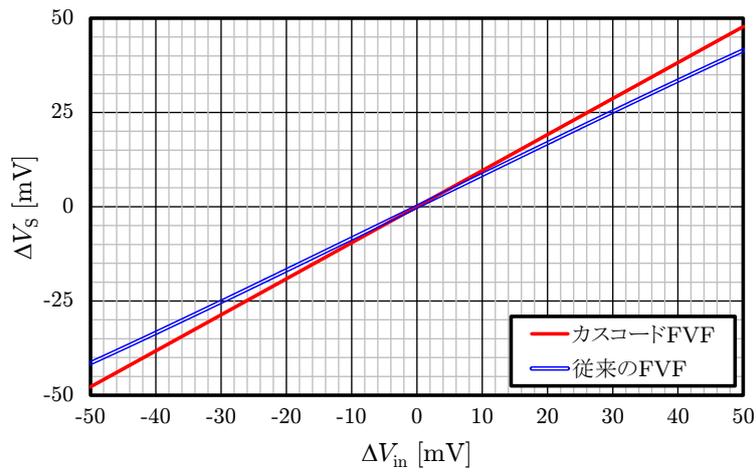
■AC 特性 続いて周波数特性について調べる。ここでは入力差動電圧の振幅を 1 とした際の  $\Delta V_S$  及び  $\Delta V_D$  の差動振幅を取得し、プロットを行った。

図 6.20(a) は  $\Delta V_S$  の周波数特性を示している。DC 特性と同様に、従来の FVF 及びカスコード FVF においてほぼ 0dB となっている。また、1GHz を越える広い帯域においてもこの特性は維持されており、カスコード FVF の帯域も十分広い。

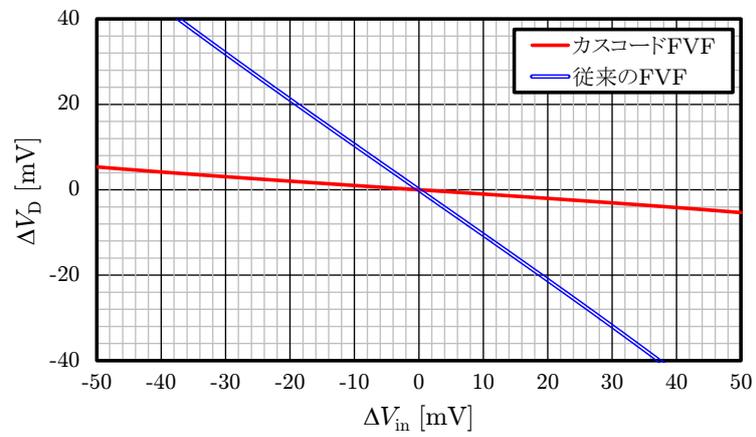
一方、図 6.20(b) に示す  $\Delta V_D$  の周波数特性は様子が大きく異なる。従来の FVF 構造は、 $\Delta V_S$  と同等の広い帯域で振幅が一定となっているが、カスコード FVF 構造では 1GHz を超える辺りから急激に振幅抑制効果が劣化している。これは (6.46) 式のゼロ点による劣化に相当する。 $\Delta V_D$  の振幅が大きくなると、PMOS 電流源の変動  $\Delta I_p$  による歪が大きくなる。先述の通り、カスコード FVF では  $V_D$  が高く設定されており、 $\Delta I_p$  による線形性劣化の影響は非常に大きい。したがって、十分な線形性の改善が期待できる帯域は (6.46) 式で表される  $\Delta V_D$  のゼロ点に依存すると考えられる。

### 6.3.3 線形性の比較

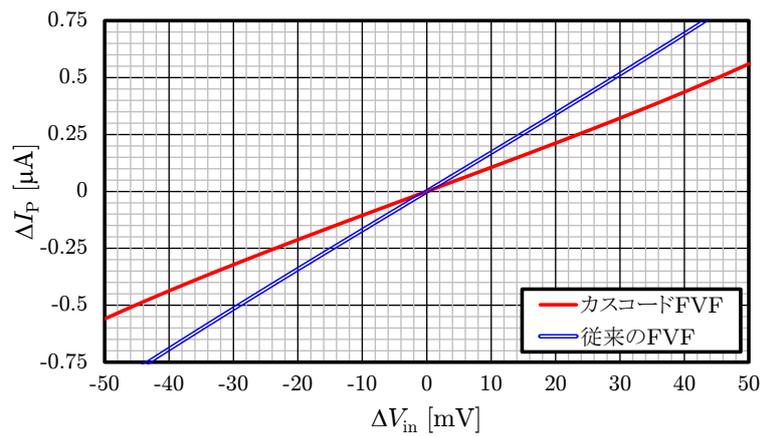
最後に線形性の比較を行う。カスコード FVF、従来の FVF、ソースデジェネレーションを用いた  $G_m$  セルについて、線形性を比較したものを図 6.21 に示す。なお、クロスカップル技術を用いたソースデジェネレーションは、第 4 章で示した図 5.8 の回路である。設計条件は表 6.4 のとおりである。それぞれの  $R_S$  は、目標とする  $G_m$  値が得られるように設定した。



(a)  $\Delta V_S$  の DC 特性

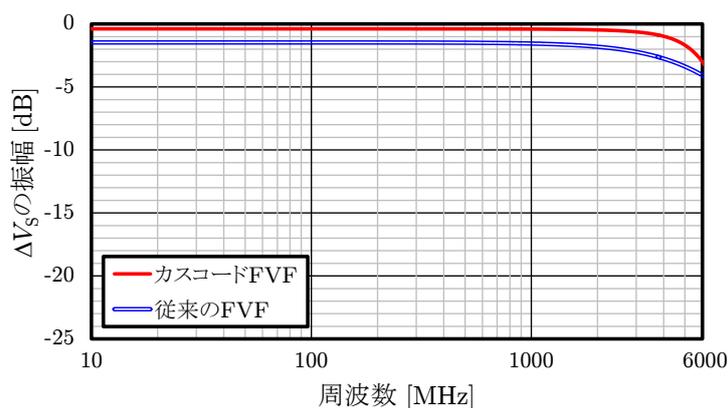
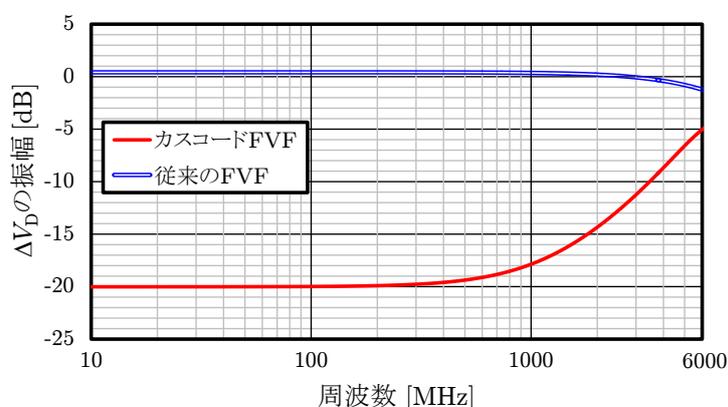


(b)  $\Delta V_D$  の DC 特性



(c)  $\Delta I_p$  の DC 特性

図 6.19:  $\Delta V_{in}$  に対する各ノードの電圧・電流変動 (DC)

(a)  $\Delta V_S$  の AC 特性(b)  $\Delta V_D$  の AC 特性図 6.20:  $\Delta V_{in}$  に対する各ノードの電圧・電流変動 (AC)

低消費電力側について比較を行うと、カスコード FVF 構造を持つ  $G_m$  セルは線形性が最も高く、クロスカップル技術を用いたソースデジェネレーション、従来の FVF 構成、ソースデジェネレーション  $G_m$  セルと続く。この領域において、カスコード FVF  $G_m$  セルは従来の FVF よりも 7~8 dB 程度高い IIP3 を達成している。カスコード FVF 及び従来の FVF  $G_m$  セルはピーク値を持ち、最大の IIP3 はいずれも約 15 dBV である。図 6.13 のグラフで示した SNDR の劣化が生じない IIP3 の条件である 9 dBV を達成するために必要な消費電力を比較すると、ソースデジェネレーション  $G_m$  セルは 1.5 mW、従来の FVF  $G_m$  セルは 1.1 mW となっているが、カスコード FVF  $G_m$  セルではわずか 0.7 mW で達成することができる。したがって、従来の FVF 構造に対し、カスコード FVF 構造を持つ  $G_m$  セルを採用することで約 35% の消費電力削減が達成できると言える。

表 6.4: 図 6.21 の設計条件

プロセス	65 nm CMOS
電源電圧	1.2 V
ミラー比 $M$ (*)	2
$G_m$	1.8 mS
入力周波数	100 MHz

\* カスコード FVF 及び従来の FVF のみ

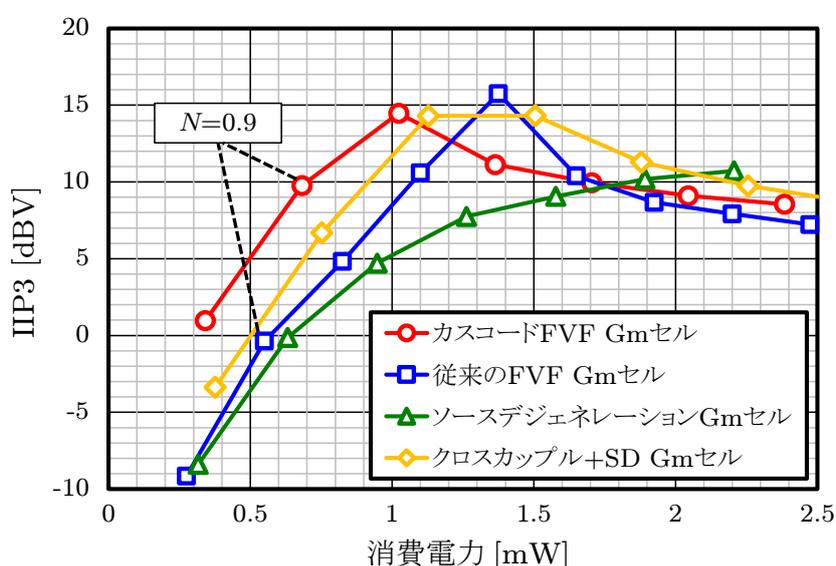


図 6.21: 線形性の比較

続いて線形性の周波数特性について検討する．図 6.22 はカスコード FVF 構造を持つ Gm セル，及び従来の FVF 構造を持つ Gm セルについて， $N = 0.9$  における IIP3 の周波数特性を比較したグラフである．カスコード FVF 構造は高い線形性を実現するが，100 MHz を超える周波数では線形性が劣化し，約 1 GHz で従来の FVF と同程度の IIP3 となる．今回の連続時間  $\Delta\Sigma$  A/D 変換器の用途では 100 ~ 200 MHz 付近に信号電力のピークが存在する．カスコード FVF ではやや線形性の劣化が生じているが，従来の FVF 構造と比較して十分高い線形性を維持している．

より広帯域な用途で使用場合は，カスコード FVF 構造の周波数特性を改善する必要がある．帯域の限界は  $C_X$  で決まるため，広帯域化を図るためにはミラー比  $M$  を小さく

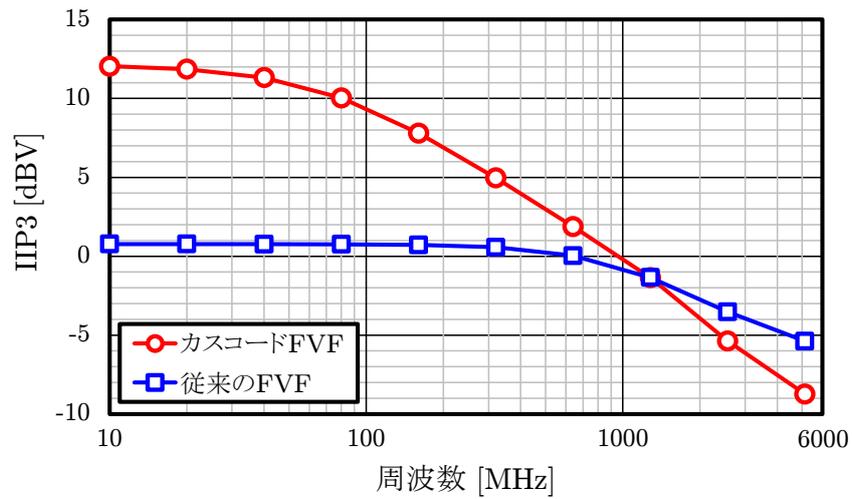


図 6.22: 線形性の比較

しなければならない。ただし、図 6.18(b) に示したように FVF 構造内の位相余裕を確保するためには、ある程度の  $M$  が必要である。根本的な解決を図るためには  $C_Y$  の作る極を高周波側に移動させなければならないため、更なる広帯域化は困難である。

## 6.4 20 MHz 帯域 連続時間型 $\Delta\Sigma$ A/D 変換器

本節では、6.3 節で議論したカスコード FVF 構造を持つ  $G_m$  セルを用いて  $\Delta\Sigma$  A/D 変換器を構成する。帯域は LTE への応用を想定し、20 MHz 帯域とした。

### 6.4.1 実装

図 6.23 に開発した連続時間型  $\Delta\Sigma$  A/D 変換器の全体構成を示す。実装は 65nm CMOS プロセスを用いた。

■ループフィルタ ループフィルタは三次構成となっており、初段はオペアンプ積分器とし、後段に  $G_m$ -C フィルタを採用した。 $G_{m2}$  と  $G_{m3}$  はそれぞれ、図 6.15 に示したカスコード FVF 構造を基本とした  $G_m$  セルを採用した。 $G_m$ -C フィルタ内部には位相補償の為にフィードフォワードパスが挿入されており、抵抗  $R_c$  と併せて二次の位相補償を行う。このフィードフォワードパスは、 $G_{m2}$  の出力をカレントミラーで複製した出力により構成されている。詳しい回路構成を図 6.24 に示す。マルチ出力  $G_m$  セルは M3 と

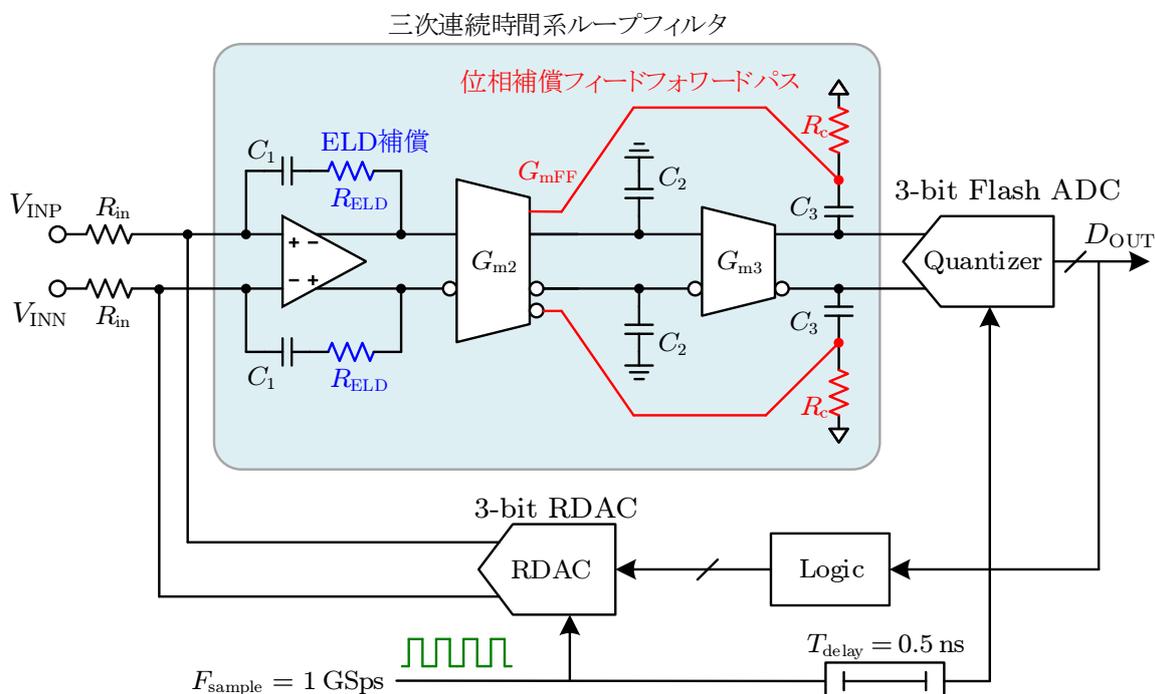
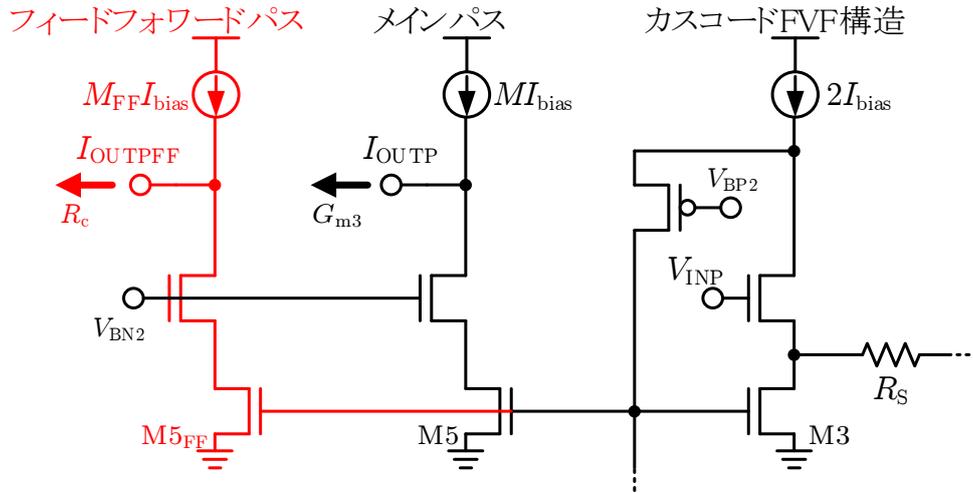


図 6.23: A/D 変換器の全体構成

図 6.24: マルチ出力  $G_m$  セル

M5 のカレントミラーを拡張し，M3 と M5<sub>FF</sub> の間にもカレントミラーを作り，複数の出力端子を作成することで実現される．別々の  $G_m$  セルを用意する場合と比較し，入力側（カスコード FVF 構造）を共有することができるため，回路規模と消費電力の低減が可能となる．それぞれのパスの  $G_m$  値は，それぞれのミラー比  $M$  及び  $M_{FF}$  を用いて，

$$G_{m2} \approx \frac{M}{R_S} \quad (6.58)$$

$$G_{mFF} \approx \frac{M_{FF}}{R_S} \quad (6.59)$$

と表され，ミラー比の調整によって独立なパラメータとして設計することができる．また，この構成はカスコード FVF 構造の安定性向上に寄与する．マルチ出力  $G_m$  セルにおいて，安定性を決めるミラー比は  $(M + M_{FF})$  となる．今回の設計では， $M = 2$ ， $M_{FF} = 0.5$  であるため，図 6.18(b) によると位相余裕は約  $56^\circ$  となる．

■**ELD 補償** ELD 補償は初段オペアンプ積分器に抵抗を挿入することで実現した [20]．初段積分器の伝達関数  $H_{1st}(s)$  は次のように表される．

$$\begin{aligned} H_{1st}(s) &\approx \frac{1}{R_{in}} \cdot \left( R_{ELD} + \frac{1}{sC_1} \right) \\ &= \frac{R_{ELD}}{R_{in}} + \frac{1}{sC_1 R_{in}} \end{aligned} \quad (6.60)$$

$R_{ELD}$  の挿入によりゼロ次の項が追加されており，積分器の利得に対して独立に設定することが可能となっている．この ELD 補償は， $G_m$ -C フィルタ内のフィードフォワードパスを介して量子化器まで到達する．

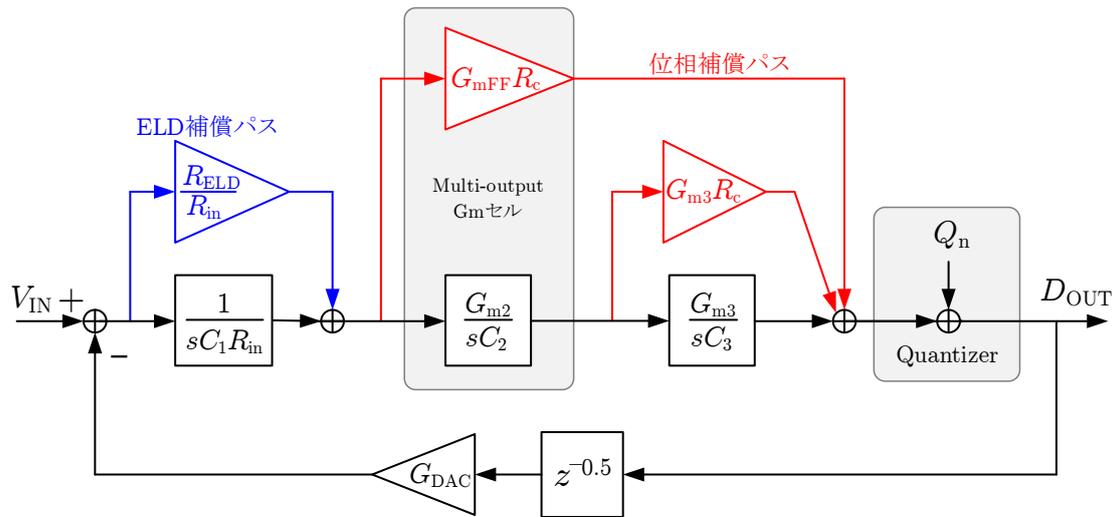


図 6.25: ブロック線図

図 6.25 に、この A/D 変換器のシグナルフローを示す。ループフィルタ全体の利得  $H(s)$  を求めると、次のようになる。

$$\begin{aligned}
 H(s) &= \left( \frac{R_{\text{ELD}}}{R_{\text{in}}} + \frac{1}{sC_1R_{\text{in}}} \right) \left( G_{\text{mFF}}R_c + \frac{G_{\text{m2}}G_{\text{m3}}R_c}{sC_2} + \frac{G_{\text{m2}}G_{\text{m3}}}{s^2C_2C_3} \right) \\
 &= \frac{G_{\text{mFF}}R_{\text{ELD}}R_c}{R_{\text{in}}} + \frac{1}{s} \left( \frac{G_{\text{mFF}}R_c}{C_1R_{\text{in}}} + \frac{G_{\text{m2}}G_{\text{m3}}R_cR_{\text{ELD}}}{C_2R_{\text{in}}} \right) \\
 &\quad + \frac{1}{s^2} \left( \frac{G_{\text{m2}}G_{\text{m3}}R_c}{C_1C_2R_{\text{in}}} + \frac{G_{\text{m2}}G_{\text{m3}}R_{\text{ELD}}}{C_2C_3R_{\text{in}}} \right) + \frac{G_2G_3}{s^3C_1C_2C_3R_{\text{in}}} \quad (6.61)
 \end{aligned}$$

初段積分器の  $R_{\text{ELD}}/R_{\text{in}}$  項は  $G_{\text{mFF}}R_c$  を経由し、 $H(s)$  においてもゼロ次の項を維持している。

ELD 補償は余剰な DAC を挿入し、量子化器の直前にフィードバックすることによっても実現できることが知られている [8]。しかしながら、その方法は余剰な DAC による面積増加と消費電力の増加が生じるという欠点がある。本研究で採用した初段積分器に抵抗を挿入する方法は簡易ながら、同じ ELD 補償の効果を実現することができる。

図 6.26 に、ELD 補償による位相改善の結果を示す。ELD 補償の挿入によりわずかにユニティゲイン周波数が増加しているものの、位相特性は大幅に改善されており、位相余裕は約  $30^\circ$  改善された。

■量子化器と DAC 量子化器には 3 bit フラッシュ型 A/D 変換器を用いた。この量子化器の動作速度は 1 GSps である。したがってオーバーサンプリング比  $OSR$  は 25 である。D/A 変換器にはサーモメータ型の RDAC を用いた。また、量子化器から D/A 変換

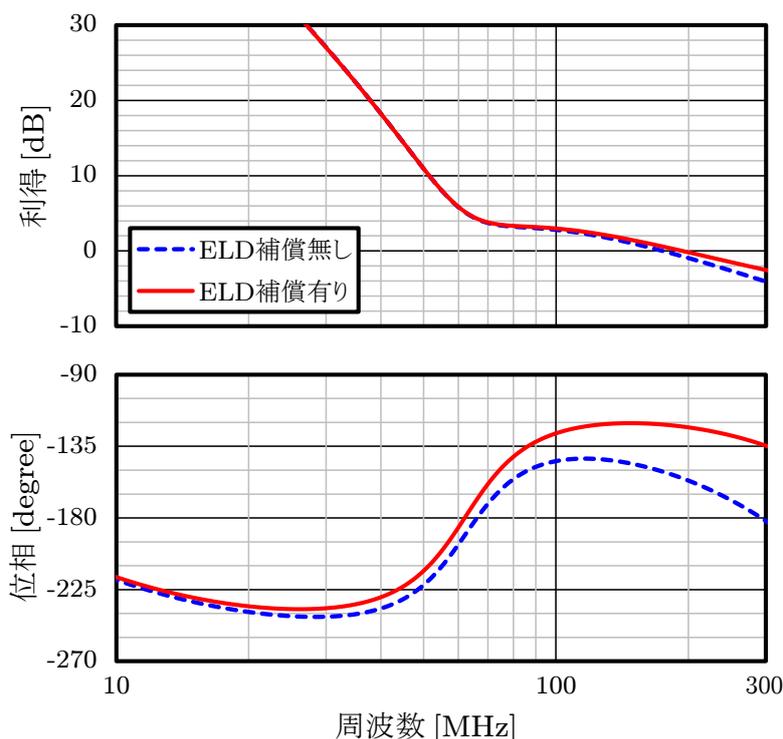


図 6.26: ELD 補償の効果

器更新までの遅延時間は 0.5 ns とした。

#### 6.4.2 測定結果

続いて A/D 変換器の測定結果を示す。

■面積と消費電力 図 6.27 に A/D 変換器のチップ写真を示す。ループフィルタが最も大きな面積を占め、次いで量子化器、RDAC と続く。チップ面積はわずか  $0.055 \text{ mm}^2$  である。

表 6.5 に消費電力の内訳を示す。カスコード FVF 構造を用いた Gm-C フィルタは 2.1 mW の消費電力であり、初段積分器と同程度の値となる。RDAC の消費電力は低く、わずか 0.4 mW である。最も消費電力が大きいのは量子化器と論理回路であり、2.8 mW に達する。量子化器と論理回路は主にサンプリング周波数に同期して動作するため、消費電力はサンプリング周波数に比例する。この A/D 変換器では 1 GHz と高いサンプリング周波数を使用したため、消費電力が大きくなったと考えられる。消費電力の合計値

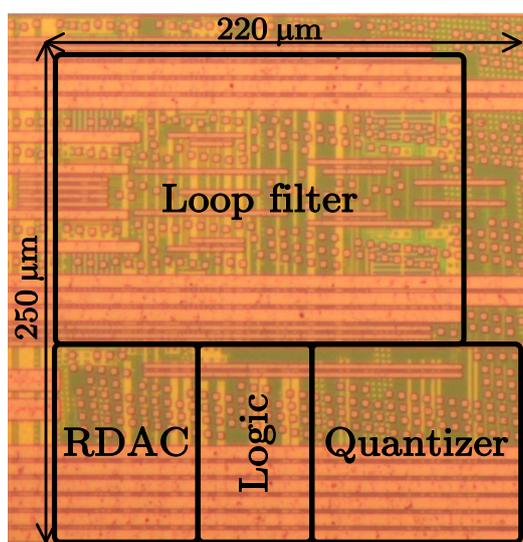


図 6.27: チップ写真

表 6.5: 消費電力の内訳

区分		消費電力
ループフィルタ	初段積分器	1.8 mW
	Gm-C フィルタ	2.1 mW
RDAC		0.4 mW
量子化器と論理回路		2.5 mW
合計		6.8 mW

は 6.8 mW となった。

■SNDR と Dynamic Range 図 6.28 に、3 MHz の正弦波を入力した際の Power Spectral Density (PSD) の測定結果を示す。この A/D 変換器は三次のループフィルタを実装したため、高周波側のノイズシェーピングは 60 dB/dec の特性となっている。信号帯域である 20 MHz までを見ると、非常に低いノイズフロアに抑えられている。このノイズフロアの主要成分は量子化雑音ではなく、初段積分器に用いたオペアンプによる熱雑音であると推測される。三次の高調波も非常に低く抑えられており、SFDR は  $-87$  dBc となった。入力振幅は  $-1.36$  dBFS であり、このときの SNDR は 72.4 dB に達する。

図 6.29 に、ダイナミックレンジ (DR) の測定結果を示す。この A/D 変換器は、約

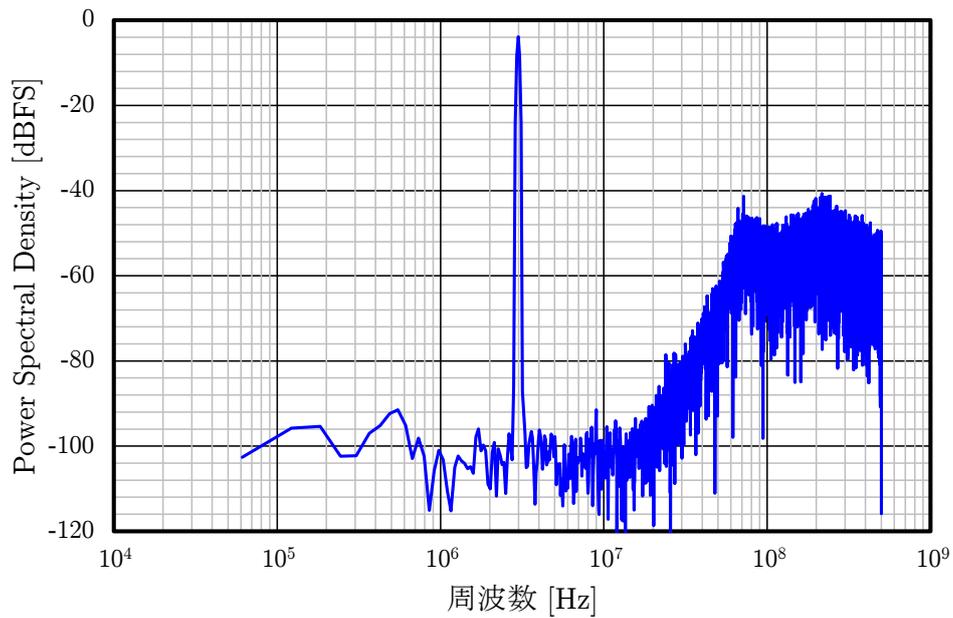


図 6.28: A/D 変換後の Power Spectral Density

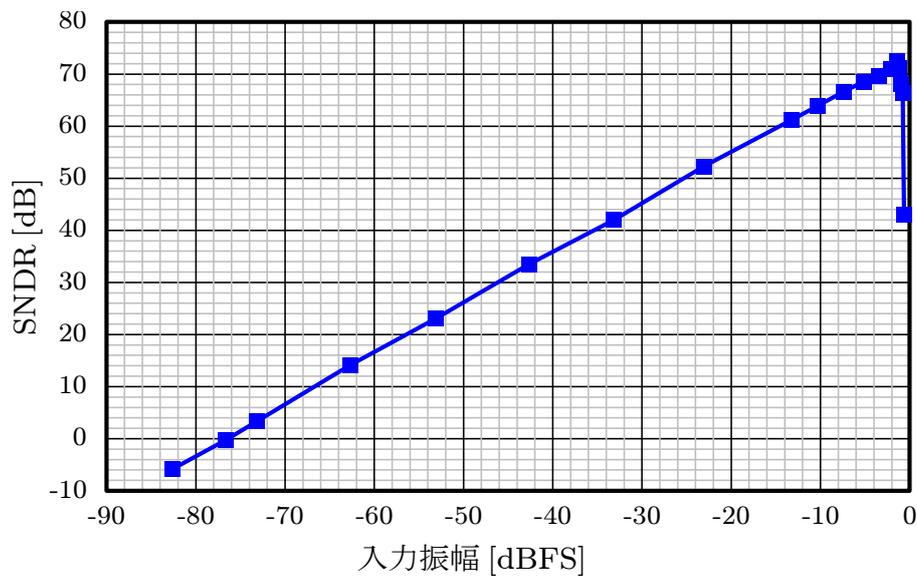


図 6.29: ダイナミックレンジの測定

-77 dBFS の入力振幅において SNDR = 0 dB となり, -1 dBFS の入力付近まで正常な動作を続けることができる. したがって DR は約 76 dB となる.

■性能比較 表 6.6 に近い帯域を持つ連続時間型  $\Delta\Sigma$  A/D 変換器との性能比較を示す. 本研究で開発を行った A/D 変換器は 20 MHz の信号帯域を持ち, わずか 6.8 mW の消費

電力で 72.4 dB の SNDR を達成することができる。まず SNDR について比較を行うと、本研究は [13] に次いで二番目の SNDR を達成しており、先行研究と比較して十分高い SNDR を実現できている。一方、消費電力に関しては表中で最も大きい値となった。これは本研究で開発した A/D 変換器のサンプリング周波数が 1 GHz と高く、[13, 14] と比較的してやや大きいプロセスを使用しているためと考えられる。

A/D 変換器の電力効率として、二つの FoM を見る。本研究の  $FoM_{\text{Walden}}$  は 50 fJ となっており、他と比較して良好な値である。一方、 $FoM_{\text{Schreier}}$  は、 $\Delta\Sigma$  A/D 変換器のような SNDR が高い回路の比較でよく用いられる指標であり、本研究の A/D 変換器は 167.1 dB となった。この指標においても表中で二番目のスコアとなっており、良好な電力効率を有することが確認できる。

最後に実装面積の比較を行う。スケーリングファクターを考慮すると、表中で最も面積が小さいのは [15] となるが、SNDR は本研究よりも 6 dB 低い。最も優秀な FoM を記録した [13] は実装面積が面積が大きく、スケーリングファクターを考慮すると、本研究で開発したものよりも約 7.8 倍程度大きい。本研究で開発した A/D 変換器は、それぞれの回路が十分な性能を保っており、複雑な補償を必要としないことから非常に簡素な構

表 6.6: 性能比較表

	[11]	[13]	[14]	[15]	本研究
プロセス [nm]	130	28	16	130	65
面積 [ $\text{mm}^2$ ]	1.2	0.08	0.115	0.086	0.055
消費電力 [mW]	20	3.9	6.2	5.1	6.8
帯域 [MHz]	20	18	19	20	20
サンプリング周波数 [GHz]	0.64	0.64	0.832	0.64	1.0
DR [dB]	80	78.1	78.5	74.6	75.8
SNDR <sub>peak</sub> [dB]	74	73.6	71.6	66.4	72.4
$FoM_{\text{Walden}}$ [fJ/step] <sup>(*1)</sup>	122	27.7	52.5	74.7	49.9
$FoM_{\text{Schreier}}$ [dB] <sup>(*2)</sup>	164	170.2	166.5	162.3	167.1

$$*1 \text{ FoM}_{\text{Walden}} = \frac{\text{Power}}{2^{\text{ENOB}} \cdot \text{BW}}, \text{ ENOB} = \frac{\text{SNDR} - 1.76}{6.02}$$

$$*2 \text{ FoM}_{\text{Schreier}} = \text{SNDR} + 10 \log \frac{\text{BW}}{\text{Power}}$$

成となっている。そのため、他の研究と比較して実装面積が小さくなったと考えられる。

## 6.5 微細化の影響

最後に連続時間型  $\Delta\Sigma$  A/D 変換器における微細化の作用についてまとめる。ここでは微細化の影響が特に大きいループフィルタと量子化器，論理回路について考察する。

微細化を考慮する際，トランジスタの固有利得低下が問題となる。特に近年では極端な短チャネル化によって生じるアーリー電圧降下が顕著であり，微細プロセスでは  $G_i$  の劣化が激しい。図 6.30 は，あるファウンドリにおける微細化とパラメータ変化を示したグラフである。電源電圧のスケージングはおおよそ  $\lambda^{-\frac{1}{2}}$  であり，固有利得の低下も準定電圧スケージングにおおよそ一致する  $\lambda^{-\frac{1}{4}}$  であるが，65nm では一気に劣化している。

微細化を進める際のスケージング則には様々な手法がある。いくつかのスケージングの方針を表 6.7 にまとめた。ただし， $g_d$  には障壁低下効果 (Drain Induced Barrier Lowering : DIBL) は含まれていない。上記の点を踏まえて考察を行う。

### 6.5.1 各セクションに与えるスケージングの影響

連続時間型  $\Delta\Sigma$  A/D 変換器を構成する要素の内，ループフィルタは連続時間系のアナログ回路で構成され，量子化器と論理回路はダイナミック動作を行うデジタルベ-

表 6.7: スケージングの方式 [21]

	定電界	準定電圧	定電圧
電圧	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$	1
$L, W$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-1}$
$t_{ox}$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$
ドーピング濃度	$\lambda$	$\lambda$	$\lambda$
$g_m$	1	$\lambda^{\frac{1}{2}}$	$\lambda^{\frac{1}{2}}$
$g_d$	1	$\lambda^{\frac{3}{4}}$	$\lambda$
$G_i$	1	$\lambda^{-\frac{1}{4}}$	$\lambda^{-\frac{1}{2}}$
$I_D$	$\lambda^{-1}$	1	$\lambda^{\frac{1}{2}}$
$C$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-\frac{3}{2}}$
遮断周波数 $f_T$	$\lambda$	$\lambda^{\frac{3}{2}}$	$\lambda^2$

スの回路で構成される。ここでは、この二つの分類に基づき、それぞれの影響について議論する。

### 6.5.1.1 ループフィルタ

連続時間型のループフィルタは、オペアンプやオープンループアンプなどの純粋なアナログ回路で構成されるため、スケーリングによって性能が劣化する。微細化に伴い、低電源電圧化と固有利得の低下が生じている。したがって、

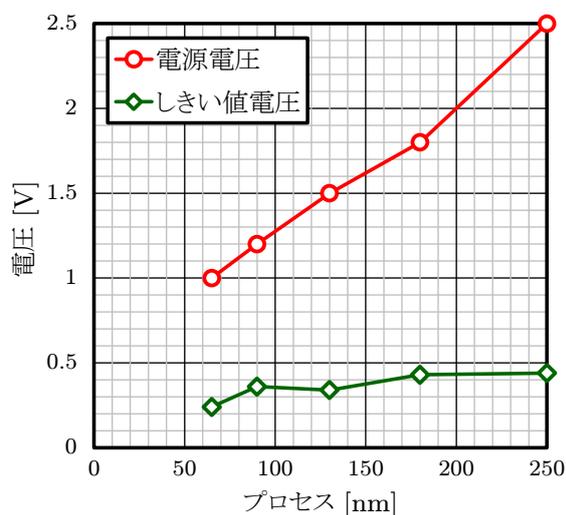
- 低電源電圧化による電圧振幅低減、カスコード段の段数低下
- 固有利得低下によるオペアンプの利得低減、オープンループアンプの線形性低減

などの影響が想定される。

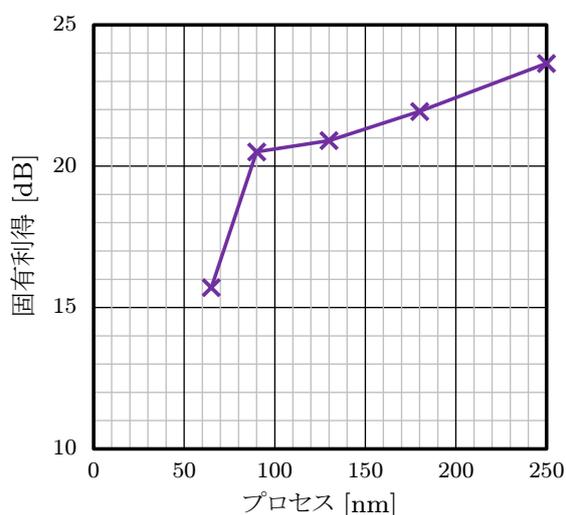
■初段積分器の雑音 ループフィルタの初段積分器の雑音はそのままシステム全体の入力換算雑音となる。そこでオペアンプに対する SNR を考察する。

$V_{DD}$  に対して信号振幅がそのままスケーリングされると仮定すると、信号電力は、

$$P_S \propto V_{DD}^2 \quad (6.62)$$



(a) 電源電圧・しきい値電圧



(b) 固有利得

図 6.30: 微細化による電源電圧と固有利得の低下 [22]

表 6.8: ループフィルタの SNR, SFDR とスケーリング

	定電界	準定電圧	定電圧
電圧	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$	1
$g_m$	1	$\lambda^{\frac{1}{2}}$	$\lambda^{\frac{1}{2}}$
$G_i$	1	$\lambda^{-\frac{1}{4}}$	$\lambda^{-\frac{1}{2}}$
SNR	$\lambda^{-2}$	$\lambda^{-\frac{1}{2}}$	$\lambda^{\frac{1}{2}}$
$\text{SNR} \propto g_m V_{DD}^2$ 消費電流 <sup>(1)</sup>	$\lambda^2$	$\lambda^{\frac{1}{2}}$	1
消費電力 <sup>(1)</sup>	$\lambda$	1	1
SFDR	1	$\lambda^{\frac{5}{2}}$	$\lambda^2$
$\text{SFDR} \propto g_m^6 G_i^2$ <sup>(2)</sup> 消費電流 <sup>(1)</sup>	$\lambda^{-1}$	$\lambda^{-\frac{5}{12}}$	$\lambda^{\frac{1}{6}}$
消費電力 <sup>(1)</sup>	$\lambda^{-2}$	$\lambda^{-\frac{11}{12}}$	$\lambda^{\frac{1}{6}}$
SFDR	1	$\lambda^3$	$\lambda^3$
$\text{SFDR} \propto g_m^6$ <sup>(3)</sup> 消費電流 <sup>(1)</sup>	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$	1
消費電力 <sup>(1)</sup>	$\lambda^{-2}$	$\lambda^{-1}$	1

<sup>1</sup> SNR, SFDR を一定に保った場合の設計

<sup>2</sup> FVF 構造の場合

<sup>3</sup> ソースデジェネレーション構造の場合

となる。オペアンプの雑音電力は  $P_N \propto g_m^{-1}$  であるから、

$$\frac{P_S}{P_N} \propto g_m V_{DD}^2 \quad (6.63)$$

となる。なお、ソース接地系に近い状態のオープンループアンプも同様のスケーリングとなる。

■線形性 二段目以降の積分器では、線形性の要件が問題となる。FVF 構造の線形性は、

$$\left| \frac{a_3}{a_1} \right| \propto \frac{1}{N^3 G_i V_{\text{eff}}^2} \quad (6.64)$$

となる。この内  $V_{\text{eff}}$  は入力信号振幅と共にスケーリングされるため、 $N^3 G_i$  のみを考察すれば良い。SFDR は、

$$\text{SFDR} \propto (N^3 G_i)^2 \propto g_m^6 G_i^2 \quad (6.65)$$

となる。

■消費電力の考察 これらをまとめると、表 6.8 のようになる。いずれの特性も  $g_m$  によって改善されており、特に線形性は  $g_m$  に対する依存度が非常に高い。SNR における定電界スケールリングで必要な電力が上昇する以外は、いずれもほぼ同等か低消費電力となる。

ただし、準定電圧スケールリング及び定電圧スケールリングは  $g_m$  の増加が前提となっている点に注意しなければならない。近年の微細プロセスではキャリアの速度飽和が問題となってきており、 $g_m$  の増加は  $I_D$  や  $V_{\text{eff}}^{-1}$  に対して鈍くなってきている。また図 6.30(b) で指摘したように、65nm 付近のプロセスでは  $G_i$  の劣化が激しい。そこで  $G_i$  に含まれるアーリー電圧  $V_A$  を、

$$V_A \propto \frac{1}{\lambda^\alpha} \quad (6.66)$$

として再考する。ただし、図 6.30(b) における 65nm 付近では  $\alpha \approx 1$  である。

$$G_i = \frac{g_m}{g_d} \approx \frac{2V_A}{V_{\text{eff}}} \quad (6.67)$$

であるから、

$$G_i \propto \begin{cases} \lambda^{1-\alpha} & : \text{定電界スケールリング} \\ \lambda^{\frac{1}{2}-\alpha} & : \text{準定電圧スケールリング} \\ \lambda^{-\alpha} & : \text{定電圧スケールリング} \end{cases} \quad (6.68)$$

と整理される。したがって、定電界スケールリング以外では  $G_i$  の劣化が顕著になり、性能を劣化させる要因となりうる。 $G_i$  の劣化を補填するためには、 $g_m$  を大きくする必要がある。ただし、 $G_i$  に対して  $g_m$  は三乗の改善効果があるため、 $g_m$  の飽和を考慮しない場合の電流増加はたかだか  $\lambda^{\frac{2}{3}}$  程度である。

一方、 $G_i$  に依存しないソースデジェネレーションでは、見かけ上線形性の問題は生じない。しかしながら、実際はソースデジェネレーションの出力抵抗が大幅に低下するため、局所的な負帰還以外の部分で大きな歪が生じると考えられる。

■帯域の考察 FVF 構造やオペアンプの負帰還において、GB 積を制限する極はトランジスタの遮断周波数  $f_T$  に比例する。再び表 6.7 に戻ると、いずれのスケールリング手法でも  $f_T$  は改善するという傾向が得られる。したがって、より小さい  $L$  においては更に帯域の広い負帰還が期待できるということになる。

一方、帯域のメリットを潰して固有利得の改善に割り振るというアプローチも考えられる。アーリー電圧は一般的に、

$$V_A \propto L \quad (6.69)$$

の関係が成立するため、 $V_{\text{eff}}$  を一定とすれば、 $G_i \propto L$  の関係を導くことができる。ただしそのためには  $W/L$  を一定に保たなければならない。 $f_T$  はトランジスタサイズに対して、

$$f_T \propto \frac{1}{LW} \quad (6.70)$$

の関係を持つ。そこでこの式から  $L$  を排除して  $G_i$  について解くと、

$$G_i \propto \frac{1}{\sqrt{f_T}} \quad (6.71)$$

と表される。すなわち、 $f_T$  を減らすことで  $G_i$  を改善することができる。このアプローチの概要を図 6.31 にまとめる。

表 6.9 に、 $\alpha = 1$  とした時の  $f_T$  一定スケーリングの様子を示す。いずれの場合においても、 $f_T$  を一定としてトランジスタサイズを調整することで、固有利得の劣化分を吸収することができる。ただし、ここで考慮する容量には線間容量が含まれていないため、実際の  $f_T$  劣化は更に大きい。しかしながら、微細なプロセスにおいてもトランジスタサイズを小さくしないことによって、ある程度まではアナログ回路の性能を保つことが可能となる。

■低電源電圧化 最も深刻なのは低電源電圧化による回路トポロジの制限である。オペアンプにおいてはカスコードトランジスタが使用できるか、オープンループアンプでは FVF 構造が使用できるかどうか大きな境目となる。特に先端プロセスでは電源電圧の低下に対してトランジスタのしきい値電圧が下がりにくくなっており、カスコードを使用する際にはある程度の昇圧が必要となる場合がある。

上記をまとめると、ループフィルタにおいて性能を保つために、

表 6.9:  $\alpha = 1$  における  $G_i$  と  $f_T$  一定スケーリング

		定電界	準定電圧	定電圧
通常のスケーリング	$L, W$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-1}$
	$G_i$	1	$\lambda^{-\frac{1}{2}}$	$\lambda^{-1}$
	遮断周波数 $f_T$	$\lambda$	$\lambda^{\frac{3}{2}}$	$\lambda^2$
$f_T$ 一定スケーリング	$L, W$	$\lambda^{-\frac{1}{2}}$	$\lambda^{-\frac{1}{4}}$	1
	$G_i$	$\lambda^{\frac{1}{2}}$	$\lambda^{\frac{1}{4}}$	1
	遮断周波数 $f_T$	1	1	1

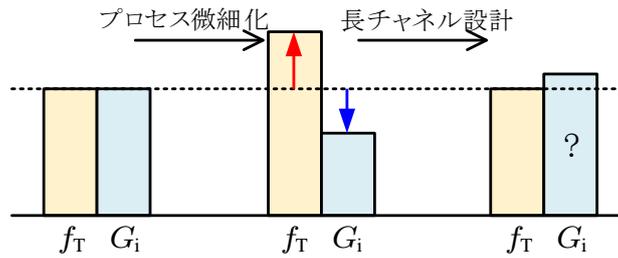


図 6.31:  $f_T$  一定設計の考え方

- 定電圧スケールリングは雑音特性を劣化させ、電源電圧の低下はトポロジを制限するため不適
- 固有利得の低下が問題となる場合は  $f_T$  を犠牲にして長チャネルのトランジスタを使用する
- 1V を下回る低電源電圧化は固有利得を活用する回路トポロジを制限するため、回路トポロジの採用を妨げない電源電圧を使用する
- $g_d$  の低下が問題となる場合はゲインブーストなどのアーキテクチャを使用する

といった方法が有効となる。

■定電圧スケールリングの追加検討 1V を下回るような電源電圧が困難であれば、以降のスケールリングで電源電圧の低下は期待できない。その場合、表 6.7 に示した定電圧に近いスケールリングが予想される。そこで表 6.9 に示した  $f_T$  一定の条件で設計を行った場合の、定電圧スケールリングの影響を検討する。定電圧スケールリング後の  $L, W$  に対し、 $f_T$  一定とした時のチャネル設計を  $k_L L, k_L W$  とおくと、

$$f_T \propto \frac{1}{k_L^2} \quad (6.72)$$

となる。  $k_L$  は  $f_T$  を微細化前の水準に戻すと考えると、

$$k_L = \lambda \quad (6.73)$$

である。ここで (6.68) 式に遡り、 $\alpha$  を用いて  $f_T$  一定下における  $G_i$  は、

$$G_i \propto \lambda^{1-\alpha} \quad (6.74)$$

と表される。

図 6.32 に検討結果を示す。ただし、各グラフの横軸は  $\lambda$  の逆数となっており、グラフの左側がより微細化されたプロセスである。図 6.32(a) は固有利得に関する検討結果

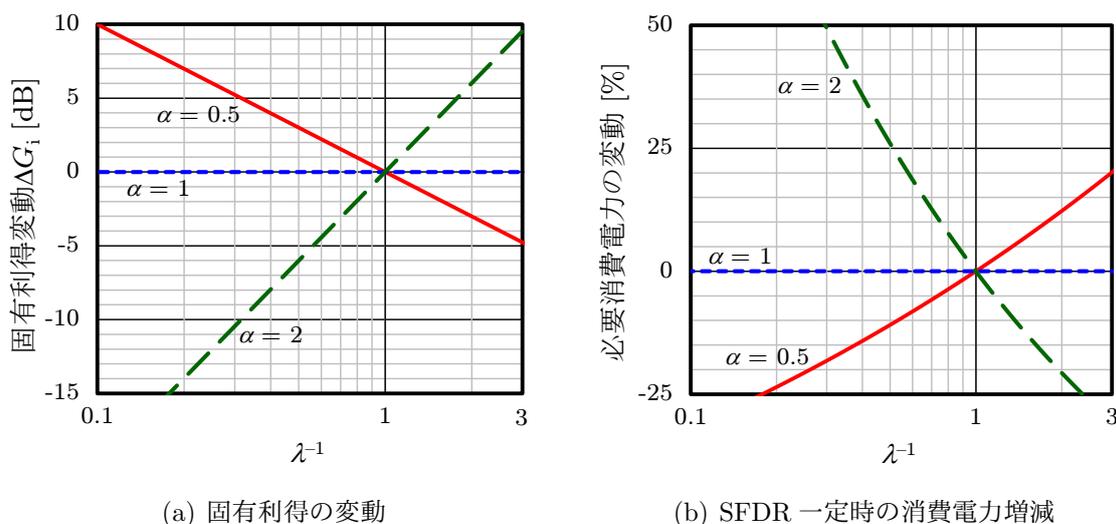


図 6.32: 定電圧スケールング下における  $\alpha$  を考慮した  $f_T$  一定設計

である。  $\alpha \leq 1$  ではスケールングによる固有利得の劣化は防がれており、線形性の維持が期待できる。一方、  $\alpha = 2$  では固有利得が大きく劣化している様子が確認できる。図 6.32(b) は、線形性を一定とする条件において、固有利得の増加又は劣化を消費電力で補填した際の特徴を表している。  $\alpha = 1$  では固有利得の増減がないため消費電力も一定となるが、  $\alpha = 0.5$  では固有利得が増加した分  $g_m$  を小さく設定でき、その結果消費電力は減少する。固有利得が劣化する  $\alpha = 2$  では  $g_m$  増加による補填が必要となるため、消費電力の増加が必要である。この消費電力の増加は、

$$\frac{\Delta P_D}{P_D} = \frac{1}{\lambda^{\frac{1-\alpha}{3}}} - 1 \quad (6.75)$$

と表される。

したがって、スケールングファクター  $\lambda$  に対し、  $G_i \propto \lambda^{-\alpha}$  で定義される  $\alpha$  が 1 以上であれば消費電力の増加が発生する。図 6.30(b) で示したグラフでは、65nm 付近で  $\alpha \approx 1$  と考えられるため、定電圧スケールングにおいても消費電力の増加は生じないと推測される。

### 6.5.1.2 論理回路と量子化器

■論理回路  $V_{DD}/V_{th}$  一定の場合、論理回路の遅延は次のように表される [23, 24].

$$t_{\text{delay}} \propto \frac{CV_{DD}}{I_D} \quad (6.76)$$

一方、クロックに同期する消費電力は動作周波数に比例するため、A/D 変換器のサンプリング周波数  $F_{\text{sample}}$  を用いて、

$$P_D \propto CF_{\text{sample}}V_{DD}^2 \quad (6.77)$$

と表される [25].

■量子化器 量子化器に用いるフラッシュ型 A/D 変換器は、コンパレータを並列に並べた構成を持つ。近年の A/D 変換器では低消費電力化を目的とし、定常的な電流を消費しないダイナミック動作を行うコンパレータが主流となっている。

コンパレータの動作速度はラッチ速度に大きく依存する。図 6.33 のラッチ回路において  $t = 0$  から変換を開始したと仮定すると、

$$v_x(t) - v_y(t) = \{v_x(0) - v_y(0)\} e^{-\frac{t}{\tau}} \quad (6.78)$$

$$\tau = \frac{C}{g_m} \propto f_T \quad (6.79)$$

と表される。したがって、 $f_T$  の改善によって量子器の遅延は減少すると考えられる。

ダイナミック動作を行うコンパレータの消費電力は、論理回路と同様に負荷容量と動作周波数によって決まるため、論理回路の結論を流用することができる。

■微細化の影響 表 6.10 に上記の検討結果をまとめる。いずれの特性も微細化に対してポジティブな特性を示すことが確認できる。定電圧スケールリングは高速動作寄り、定電圧スケールリングでは低消費電力寄りのチューニングとなっている。

### 6.5.2 ELD の軽減

表 6.10 の検討結果よれば、スケールリングによってデジタル側の遅延時間は軽減される。連続時間型  $\Delta\Sigma$  A/D 変換器において、これらの特性改善はそのまま ELD の改善に

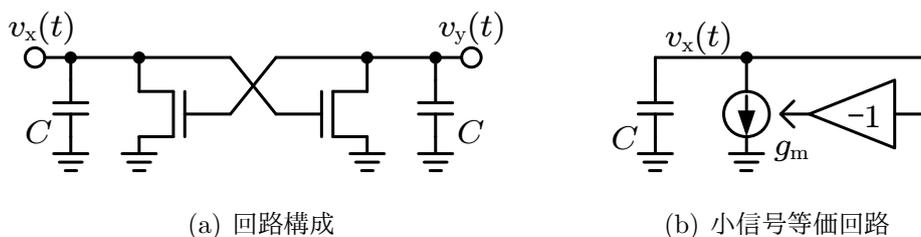


図 6.33: ラッチ回路

表 6.10: 論理回路・量子化器の性能とスケーリング

	定電界	準定電圧	定電圧
電圧	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$	1
$I_D$	$\lambda^{-1}$	1	$\lambda^{\frac{1}{2}}$
$C$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-\frac{3}{2}}$
遮断周波数 $f_T$	$\lambda$	$\lambda^{\frac{3}{2}}$	$\lambda^2$
論理回路の遅延 $t_{\text{delay}} \propto CV_{DD}/I_D$	$\lambda^{-1}$	$\lambda^{-\frac{3}{2}}$	$\lambda^{-2}$
量子化器の遅延 $t_{\text{delay}} \propto 1/f_T$	$\lambda^{-1}$	$\lambda^{-\frac{3}{2}}$	$\lambda^{-2}$
スイッチングエネルギー $CV_{DD}^2$	$\lambda^{-3}$	$\lambda^{-2}$	$\lambda^{-\frac{2}{3}}$

相当し、A/D 変換器の位相余裕劣化の問題が大幅に緩和される。図 6.9 で示したように ELD による位相劣化と SQNR は密接な関係を持ち、ELD による位相劣化が小さい場合は SQNR を大きく設定することができる。(6.21) 式を  $\Delta\text{SQNR}$  について解くと、

$$\Delta\text{SQNR} = 10n \log \left( 1 - \frac{\Delta\theta}{\omega_u T_{\text{Delay}}} \right) \quad (6.80)$$

と表される。

$n = 3$  とし、65nm CMOS において  $T_{\text{Delay}} = 500 \text{ ps}$  を基準とすると、 $\Delta\text{SQNR}$  と  $\lambda$  の関係は図 6.34 のようになる。ただし、スケーリングは最も遅延への改善効果が低い定電界スケーリングを採用した。例えば ELD による位相劣化が  $-30^\circ$  であるとき、 $\lambda = 2$  のスケーリングで SQNR は 5dB 程度大きく設定できるようになる。信号帯域  $f_{\text{BW}}$  が広い場合は SQNR の確保が困難となるため、高速な用途では微細化による ELD の緩和は大きなメリットをもたらすことになる。

### 6.5.3 消費電力と電力効率

続いて総合的な消費電力について考察する。アナログ回路で構成されるループフィルタでは微細化の恩恵は殆ど受けられないが、論理回路及び量子化器は大きな恩恵を受けることができる。表 6.5 に示したように、高速な  $F_{\text{sample}}$  を使用する連続時間型  $\Delta\Sigma$  A/D 変換器では、論理回路や量子化器の消費電力が大きくなりやすい。微細化を進めることでこの部分の消費電力を小さくできるため、A/D 変換器の電力効率は改善されることになる。ただし、上記検討ではリーク電流の影響が含まれていないため、微細化を進める

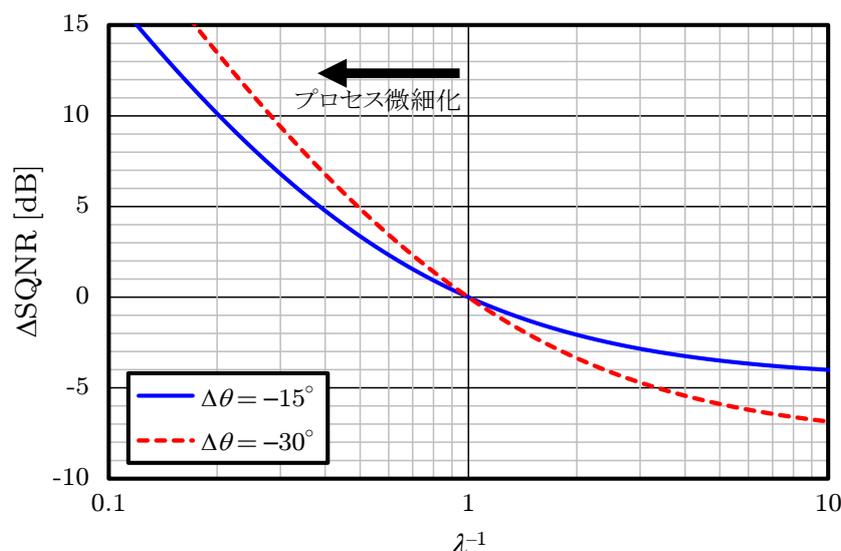


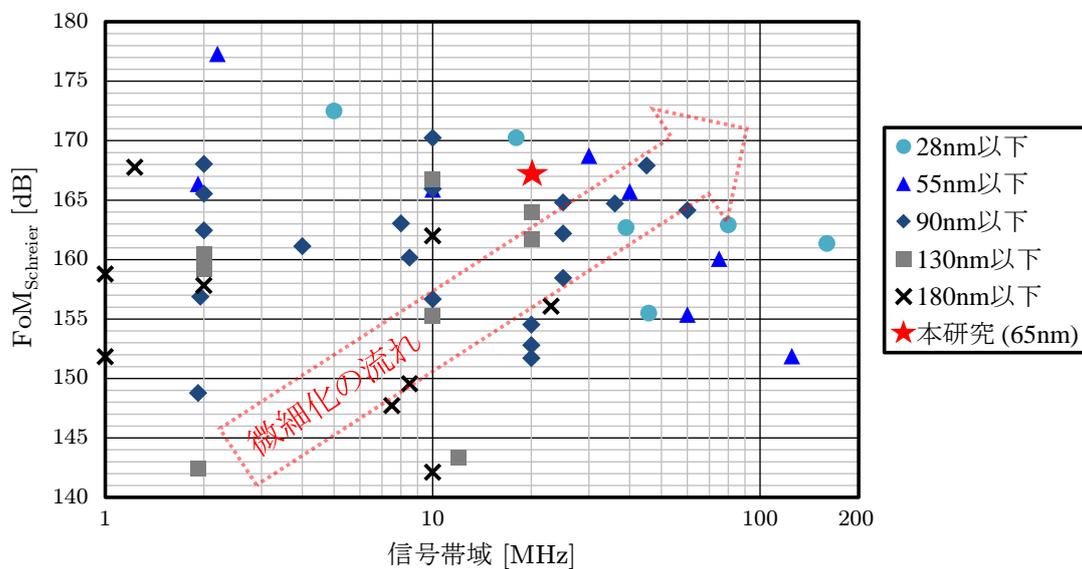
図 6.34:  $n = 3$ ,  $f_u = 200 \text{ MHz}$  における  $\lambda$  と  $\Delta\text{SQNR}$  の関係

と消費電力の低減効果は薄くなると予想される。

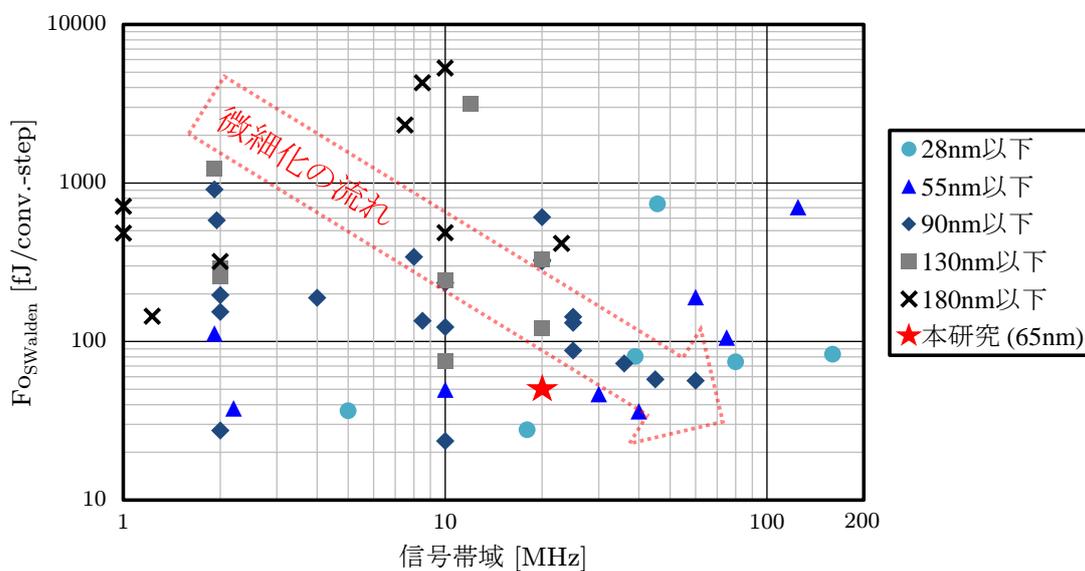
図 6.35 は連続時間型  $\Delta\Sigma$  A/D 変換器について FoM を整理したグラフである。プロセスの微細化によって信号帯域は広帯域に、FoM は改善する方向に動いていることが読み取れる。180nm の世代から 90nm 以下の世代にかけて明確な微細化の流れが存在し、各帯域における最も良い FoM を達成している報告はいずれも 90nm 以下のプロセスとなっている。同様に高速方についても、100 MHz 付近のものはいずれも 55nm 以下の微細なプロセスを使用している。

ただし、上記の考察のようにアナログ回路は微細化の恩恵があまり受けられず、 $g_m$  の飽和や  $G_i$  の低下などの影響により、低消費電力化には限界がある。帯域によっては 28nm 以下のプロセスと 55nm 以下のプロセスが同程度の FoM となっている箇所もあり、これらのアナログ系の回路の消費電力がボトルネックになっていると予想される。

アナログ回路側の特性改善をもたらす技術として、FinFET の存在が挙げられる。FinFET は固有利得が高く、短チャネル化による固有利得劣化に対する有効な対策となりうる [27]。加えてリーク電流の低減も期待されるため、デジタル側の消費電力削減に対しても有効である。



(a) Schreier FoM



(b) Walden FoM

図 6.35: 連続時間型  $\Delta\Sigma$  A/D 変換器の FoM 競争 [26]

## 6.6 まとめ

本章の内容をまとめる。

■ループフィルタの課題 連続時間型  $\Delta\Sigma$  A/D 変換器で用いられるループフィルタには、Active-RC フィルタと Gm-C フィルタの二種類の構成方法が存在する。Active-RC フィルタはオペアンプの負帰還を応用した積分器で構成されるため、良好な線形性を容易に実現することが出来、A/D 変換器の SNDR の劣化が起こりにくい。しかしながら、Active-RC フィルタを広帯域化するためには多くの消費電力が必要であり、また積分器の位相特性が劣化しやすいという問題がある。

もう一つの構成方法である Gm-C フィルタは、広帯域な用途に適したフィルタとして知られており、理想特性に近い位相特性を持つ積分器を実現することができる。ただし、A/D 変換器の SNDR の劣化を防ぐためには、9 dBV もの高い IIP3 を持つ Gm セルが必要である。

■カスコード FVF Gm の提案 高い線形性を実現するためには、FVF 構造のような局所的な帰還を持つ回路構成が有効である。しかしながら、従来の FVF 構造から更に線形性を改善するためには消費電力の増加が必要であった。この問題に対し、FVF 構造のループ内部にカスコードトランジスタを挿入したカスコード FVF 構造を提案し、検討を行った。挿入されたカスコードトランジスタは負帰還の利得を 14 dB 改善し、線形性の改善に寄与する。65nm CMOS プロセスで行った回路シミュレーションでは、カスコード FVF 構造を持つ Gm セルは、従来の FVF 構造を持つ Gm セルよりも 8 dB 高い IIP3 を実現した。

■LTE 向け 20 MHz 帯域を持つ  $\Delta\Sigma$  A/D 変換器の試作 提案回路を用いて実装した 20 MHz 帯域三次連続時間  $\Delta\Sigma$  A/D 変換器は、6.8 mW の消費電力で 72.4 dB の SNDR を達成した。FoM はそれぞれ 50 fJ/conv.-step と 167.1 dB であり、良好な電力効率を実現した。更に本研究で開発した A/D 変換器は、個々の回路が十分な性能を持っており、複雑な補償を必要としない。このため、比較的簡素な構成にも関わらず良好な性能を実現し、実装面積は世界最小クラスとなった。

## 参考文献

- [1] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [2] K. Hosseini and M. P. Kennedy, “Maximum Sequence Length MASH Digital DeltaSigma Modulators,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 12, pp. 2628-2638, Dec. 2007.
- [3] Y. Yang, T. Sculley, and J. Abraham, “A Single-Die 124 dB Stereo Audio Delta-Sigma ADC With 111 dB THD,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 7, pp. 1657-1665, July 2008.
- [4] G.-C. Ahn, D.-Y. Chang, M. E. Brown, N. Ozaki, H. Youra, K. Yamamura, K. Hamashita, K. Takasuka, G. C. Temes, and U.-K. Moon, “A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2398-2407, Dec. 2005.
- [5] S. Loeda, J. Harrison, F. Pourchet, and A. Adams, “A 10/20/30/40 MHz Feedforward FIR DAC Continuous-Time  $\Delta\Sigma$  With Robust Blocker Performance for Radio Receiver,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 4, pp. 860-870, April 2016.
- [6] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [7] T.-Y. Lo and C.-C. Hung, *1V CMOS Gm-C Filters*, Springer, 2009.

- [8] M. Keller, A. Buhmann, J. Sauerbrey, M. Ortmanns, and Y. Manoli, "A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time SigmaDelta Modulators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 11, pp. 3480-3487, Dec. 2008.
- [9] H. C. Tsai, C. L. Lo, C. Y. Ho, and Y. H. Lin, "A 64-fJ/Conv.-Step Continuous-Time *SigmaDelta* Modulator in 40-nm CMOS Using Asynchronous SAR Quantizer and Digital *DeltaSigma* Truncator," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 11, pp. 2637-2648, Nov. 2013.
- [10] C. Y. Ho, C. Liu, C. L. Lo, H. C. Tsai, T. C. Wang, and Y. H. Lin, "A 4.5 mW CT Self-Coupled *DeltaSigma* Modulator With 2.2 MHz BW and 90.4 dB SNDR Using Residual ELD Compensation," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 12, pp. 2870-2879, Dec. 2015.
- [11] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS Continuous-Time  $\Sigma\Delta$  ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 7, pp. 1578-1588, July 2006.
- [12] P. Witte, J. G. Kauffman, J. Becker, Y. Manoli, and M. Ortmanns, "A 72dB-DR  $\Delta\Sigma$  CT Modulator Using Digitally Estimated Auxiliary DAC Linearization Achieving 88fJ/conv in a 25MHz BW," *IEEE International Solid-State Circuits Conference*, pp. 154-155, Feb. 2012.
- [13] Y.-S. Shu, J.-Y. Tsai, P. Chen, and T.-Y. Lo, "A 28fJ/conv-step CT  $\Delta\Sigma$  Modulator with 78dB DR and 18MHz BW in 28nm CMOS Using a Highly Digital Multibit Quantizer," *IEEE International Solid-State Circuits Conference*, pp. 268-269, Feb. 2013.
- [14] T.-K. Kao, P. Chen, J.-Y. Tsai, and P.-C. Chiu, "A 16nm FinFet 19/39MHz 78/72dB DR noise-injected aggregated CTSDM ADC for configurable LTE advanced CCA/NCCA application," *Symposium on VLSI Circuits*, pp. C260-C261, June 2015.

- [15] C. Ding, Y. Manoli, and M. Keller, "A 5.1mW 74dB DR CT  $\Delta\Sigma$  Modulator with Quantizer Intrinsic ELD Compensation Achieving 75fJ/conv.-step in a 20MHz BW," European Solid-State Circuits Conference, pp. 213-216, Sept. 2015.
- [16] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp. 348-349, Feb. 2014.
- [17] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [18] J.-W. Huang and Z.-Y. Chen, "A low-power 10MHz bandwidth continuous-time  $\Sigma\Delta$  ADC with Gm-C filter," IEEE International Midwest Symposium on Circuits and Systems, pp. 853-856, Aug. 2014.
- [19] S.-W. Huang, Z.-Y. Chen, C.-C. Hung, and C.-M. Chen, "A fourth-order feedforward continuous-time delta-sigma ADC with 3MHz bandwidth," IEEE International Midwest Symposium on Circuits and Systems, pp. 33-36, Aug. 2010.
- [20] Y. Wang, C. Han, D. Li, and Z. Wang, "A 14b continuous-time delta-sigma modulator with 2MHz signal bandwidth," IEEE International Conference on Electron Devices and Solid-State Circuits, pp. 1-2, June 2014.
- [21] S. Wong and C. A. T. Salama, "Impact of Scaling on MOS Analog Performance," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- [22] J. Pekarik, D. Greenberg, B. Jagannathan, R. Groves, J. R. Jones, R. Singh, A. Chintahnkindi, X. Wang, M. Breitwisch, D. Coolbaugh, P. Cottrell, J. Florkey, G. Freeman, and R. Krishnasamy, "RFCMOS technology from 0.25 $\mu\text{m}$  to 65nm: the state of the art," IEEE Custom Integrated Circuits Conference, pp. 217-224, Oct.

- 2004.
- [23] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256-268, Oct. 1974.
- [24] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized scaling theory and its application to a 1/4 micrometer MOSFET design," *IEEE Transactions on Electron Devices*, vol. 31, no. 4, pp. 452-462, Apr. 1984.
- [25] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 4, pp. 473-484, Apr. 1992.
- [26] B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.
- [27] M. Fulde, *Variation Aware Analog and Mixed-Signal Circuit Design in Emerging Multi-Gate CMOS Technologies*, Springer, 2010.

## 第 7 章

# 広帯域フィルタ

本章では、広帯域無線通信における広帯域フィルタについて議論する。

### 7.1 本章で想定する受信機システム

アナログベースバンド回路において、フィルタ回路は不要波を除去し、エイリアシングによる性能劣化を防ぐために用いられる。本章で想定する 60GHz 帯のミリ波無線通信では、各チャネルの信号帯域がベースバンドにおいて約 1 GHz となっており、非常に広帯域な帯域が必要である。このような広帯域なアナログベースバンド回路では、後続の A/D 変換器のサンプリング周波数に余裕がないケースが多く、フィルタには急峻な遮断特性が要求される。2.5.1 節で言及したように、実際の 60GHz 帯ミリ波向け受信機に関する先行研究では、3 次から 6 次程度の次数のフィルタを実装しているケースが多い [1–4]。また、QPSK や 16QAM のような多値変調を達成するためには、より高い SNDR が要求される。表 7.1 は、多値変調時に受信機全体に要求される SNDR を示したものである。ただし、この SNDR は受信機全体の値であるため、フィルタ単体は更に高い SNDR を達成している必要がある。

図 7.1 に本章で実現を目指す受信機システムの構成を示す。このうちベースバンド増幅器 (BB Amp.) までは、第 2 章の表 2.1 及び図 2.20 に示した受信機をそのまま使用する。フィルタ直前までの  $\text{SNDR}_{\text{peak}}$  は 34.1 dB であり、38.5 dB の SNDR が達成できれば、フィルタの前に VGA を挿入せずに 256QAM の貫通が可能となる。

表 7.2 に、本章で達成を目指すフィルタの性能をまとめた。SNDR は 256QAM から 10 dB マージンを取り、38.5 dB を目指す。カットオフ周波数は 880 MHz 以上が実現できるようにする。ただし、カットオフ周波数を下げる方向に関しては SNDR に対してス

表 7.1: 多値変調とデータレート及び要求 SNDR の関係

	SNDR [dB]	データレート [Gbps/ch]
QPSK	9.8	3.52
16QAM	16.5	7.04
64QAM	22.5	10.56
256QAM	28.5	14.08

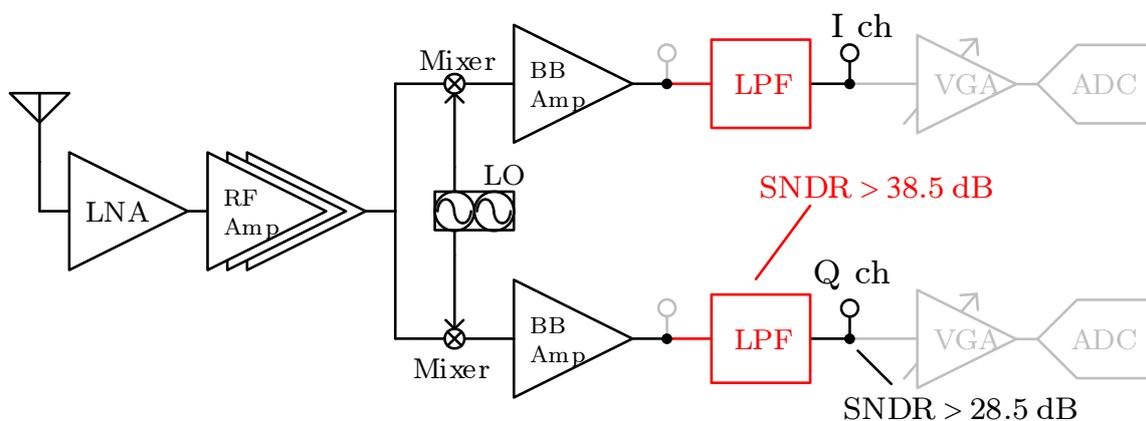


図 7.1: 本章で実現を目指す受信機システム

ケーリングが可能であるため、構成の検討や設計などは 1 GHz で行うこととする。フィルタ次数は 4 次とし、バターワース特性を選択する。

雑音の要求仕様は 2.5.1 節の検討から導いた。表 2.1 によれば、受信機の入力からフィルタの入力までの利得は  $< 29.8$  dB となる。この利得の設定には自由度があり、今回はフィルタの SNDR とフィルタ入力部分までの SNDR が同程度の入力電力でピークを迎えるように設定する。そこで利得最大時に目標 SNDR に相当する SNR を算出し、そこから入力換算雑音を逆算した。

表 7.2: フィルタの設計仕様

	目標値・仕様	備考
プロセス	65nm CMOS	
電源電圧	1.2 V	
$\text{SNDR}_{\text{peak}}$	38.5 dB	256QAM を想定, 10 dB マージン
カットオフ周波数	> 880 MHz	1 GHz で検討
フィルタ次数	4	バターワース
入力換算雑音	1 mVrms	表 2.1 及び図 2.21 から推定
通過帯の利得	0 dB	平等な性能比較のため

## 7.2 フィルタアーキテクチャの検討

上記の要求仕様を満たすフィルタ構成を検討する．ここでは第6章で示した Active-RC フィルタと Gm-C フィルタに加え，ソースフォロワフィルタと電流型フィルタを中心に検討を行う．

### 7.2.1 Active-RC フィルタ

第6章で示した Active-RC フィルタも，無線通信のフィルタとして用いられる．図7.2に，Active-RC フィルタで構成されたバイカッドフィルタを示す．バイカッドフィルタは  $Q$  値とカットオフ周波数  $\omega_c$  を用いて，次のような伝達関数を持つ．

$$H(s) = \frac{1}{1 + \frac{1}{Q} \cdot \frac{s}{\omega_c} + \frac{s^2}{\omega_c^2}} \quad (7.1)$$

図7.2より，このフィルタの伝達関数を求めると，

$$H(s) = \frac{1}{\frac{R_0}{R_3} + \frac{sC_2R_0R_2}{R_1} + s^2C_1C_2R_0R_2} \quad (7.2)$$

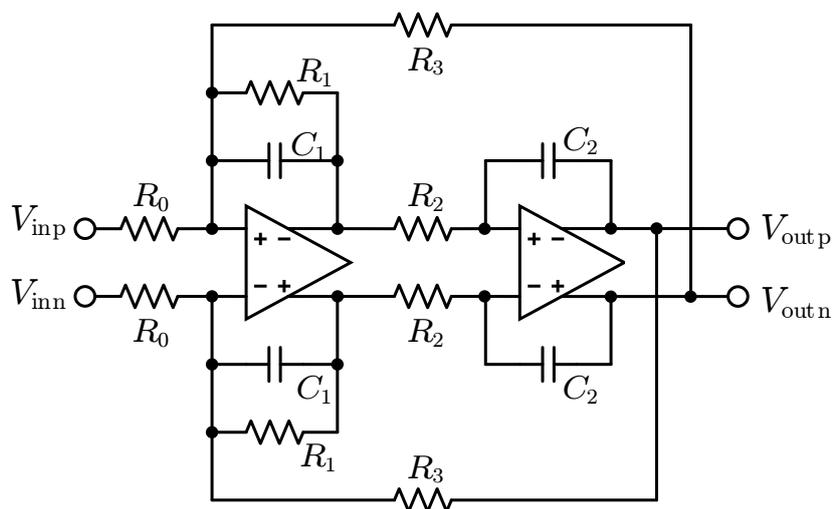


図7.2: Active-RC 型バイカッドフィルタ [5]

であるから,

$$Q = R_1 \sqrt{\frac{C_1}{C_2 R_2 R_3}} \quad (7.3)$$

$$\omega_c = \frac{1}{\sqrt{C_1 C_2 R_2 R_3}} \quad (7.4)$$

である.

オペアンプを用いた Active-RC フィルタは, オペアンプの利得によって良好な線形性が期待できるため, 高精度な回路に向けたアーキテクチャであると言える. また利得が十分に高い場合は, トランジスタパラメータに依存しないカットオフ特性を実現することができる. しかしながら, フィルタの帯域内で各オペアンプが利得を保つ必要があり, 帯域に比例した消費電力が必要である. 特に広帯域なフィルタでは非常に高いユニティゲイン周波数が必要となるが, 第3章で議論したように高い GB 積の確保と位相余裕の両立は困難である. Active-RC フィルタを用いた広帯域フィルタの例として, 例えば [1] では 880 MHz のカットオフ周波数を実現している. このフィルタで用いられているオペアンプのユニティゲイン周波数は 3.1 GHz にも及ぶが, 880 MHz のフィルタ帯域に対して仮想接地の帯域が不十分であると述べられている. このような問題から 100 MHz を越えるような用途ではほとんど用いられず, 十分な仮想接地の精度が期待できる狭帯域な用途での応用が盛んである.

### 7.2.2 Gm-C フィルタ

Active-RC フィルタは広帯域化について問題が多いため, オペアンプを用いた負帰還増幅回路がオープンループ型アンプに置き換わったように, フィルタについてもオープンループ型の回路を用いた構成が考案された.

第6章で述べたように, Gm-C フィルタは広帯域な用途でよく用いられているフィルタである. 実際に 1 GHz の広帯域を実現する Gm-C フィルタも多数報告されている [2, 3, 7, 8]. 図 7.3 は, Gm-C フィルタによるバイカッドフィルタである. 4 個の Gm セルと容量により, 二次のバイカッド特性が実現される. このフィルタの伝達関数は, 次のように表される.

$$H(s) = \frac{G_{m1}}{G_{m3}} \frac{1}{1 + \frac{sC_1 G_{m2}}{G_{m3} G_{m4}} + \frac{s^2 C_1 C_2}{G_{m3} G_{m4}}} \quad (7.5)$$

すなわち,

$$Q = \frac{1}{G_{m2}} \sqrt{\frac{C_1 G_{m3} G_{m4}}{C_2}} \quad (7.6)$$

$$\omega_c = \sqrt{\frac{G_{m3} G_{m4}}{C_1 C_2}} \quad (7.7)$$

となり,  $Q$  と  $\omega_c$  を独立に制御することができる.

この構成のメリットはチューニングが行いやすい点である. 全ての  $G_m$  セルが等しい  $G_m$  を持っていると仮定すると,

$$Q = \sqrt{\frac{C_1}{C_2}} \quad (7.8)$$

$$\omega_c = \frac{G_m}{\sqrt{C_1 C_2}} \quad (7.9)$$

と表され,  $Q$  は  $G_m$  に依存しなくなり,  $C$  の比率によって決まるようになる. すなわち, プロセスばらつきで  $R$  や  $C$  などが変化した場合でも理論的には  $Q$  は変化せず, カットオフ周波数のみを変動する. このカットオフ周波数の変動は,  $G_m$  を一律に制御することで吸収することができる.  $G_m$  セルの値を同時に変動させる最もよく知られた方法の一つに, 図7.4に示した MOS 抵抗を用いたソースデジェネレーションがある [6]. MR1 及び MR2 は線形領域で動作しており,  $V_{TUNE}$  の値によって MOS 抵抗の抵抗値が変化し,  $G_m$  値を変えることができる.

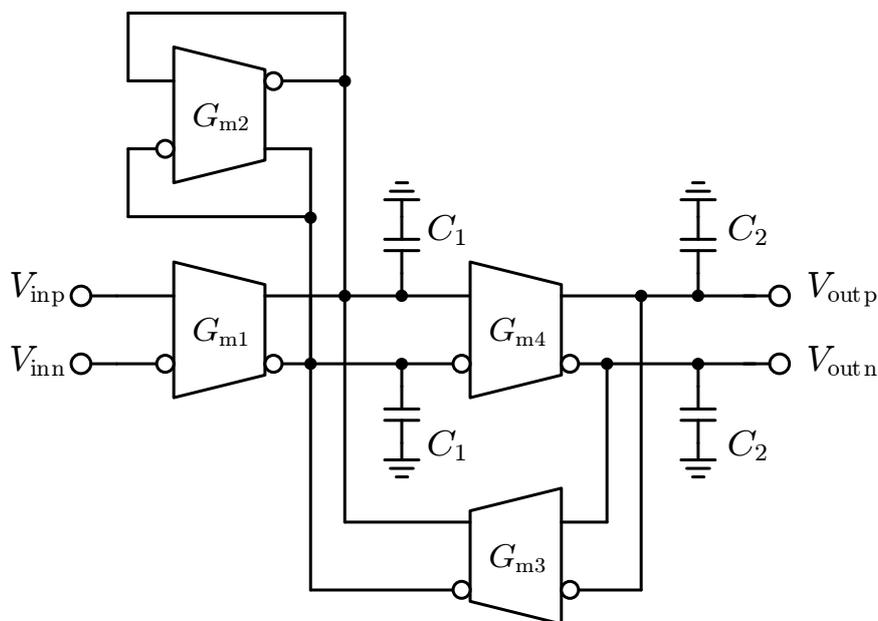


図 7.3:  $G_m$ - $C$  型バイカッドフィルタ [6]



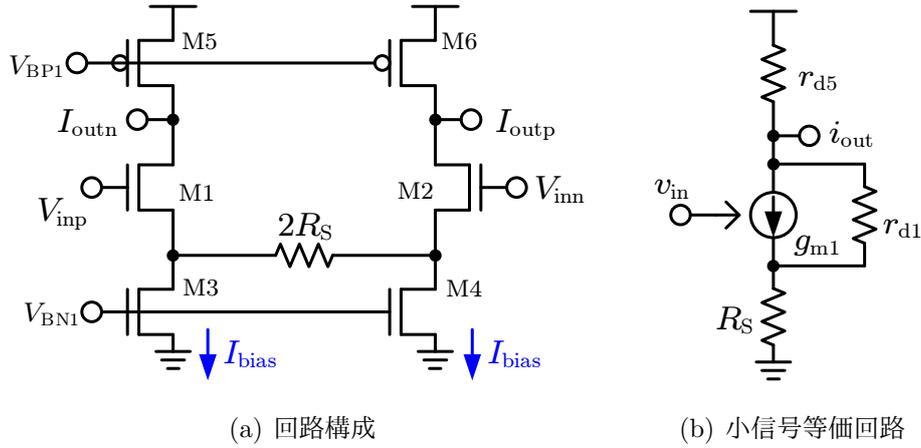


図 7.6: 電流源のインピーダンスを考慮したソースデジェネレーション Gm セル

ただし,

$$G_{m2} = k_G G_m \quad (7.13)$$

とし,  $G_{m2}$  は  $k_G$  のスケールが行われていると仮定した. このとき,  $Q$  及び  $\omega_c$  は次のようになる.

$$Q' = \frac{1}{G'_{m2}} \sqrt{\frac{C'_1 G_{m3} G_{m4}}{C'_2}} = \frac{Q}{k_G + \frac{2 + k_G}{G_m r_{out}}} \sqrt{\frac{1 + \frac{(1 + k_G)C_{in} + (2 + k_G)C_{out}}{C_1}}{1 + \frac{C_{in} + C_{out}}{C_2}}} \quad (7.14)$$

$$\begin{aligned} \omega'_c &= \sqrt{\frac{G_{m3} G_{m4}}{C'_1 C'_2}} \\ &= \frac{\omega_c}{\left(1 + \frac{1 + (1 + k_G)C_{in} + (2 + k_G)C_{out}}{C_1}\right) \left(1 + \frac{1 + C_{in} + C_{out}}{C_2}\right)} \end{aligned} \quad (7.15)$$

Gm-C フィルタでは, 特に  $C_1$  及び  $G_{m2}$  のノードに接続される Gm セル数が多いため,  $C_{in}$  や  $r_{out}$  に係数が付加されてしまう.

■出力抵抗の影響 (7.14) 式によれば,  $r_{out}$  が小さい場合は  $Q$  が減少してしまうことが読み取れる. 特にこのフィルタでは,  $C_1$  が接続されているノードに Gm セルの出力端子が 3 つ接続されているため, 影響が出やすい.  $r_{out}$  の影響を排除するためには  $G_m r_{out} \gg 1$  が必要である. ところが, この問題は線形性と深刻なトレードオフを持つ. 一例として,

図 7.6 に示すソースデジェネレーション Gm セルについて考える。G<sub>m</sub> 値及び r<sub>out</sub> は、

$$G_m \approx \frac{1}{\left(1 + \frac{1}{N}\right) R_S} \quad (7.16)$$

$$r_{out} = \frac{1}{g_{d5} + \frac{1}{G_i R_S}} \approx \frac{V_A}{I_{bias}} = \frac{1}{K_{g_{out}} I_{bias}} \quad (7.17)$$

である。ただし  $G_i R_S \gg r_{d3}$  として近似した。ここで  $K_{g_{out}}$  は一般化のための係数であり、

$$K_{g_{out}} = \frac{1}{r_{out} I_{bias}} \quad (7.18)$$

で定義される。また、線形性を制御するソースデジェネレーションファクター  $N$  は、

$$N = g_m R_S \approx \frac{2I_{bias}}{\left(1 + \frac{1}{N}\right) G_m V_{eff}} \quad (7.19)$$

である。このとき  $G_m r_{out}$  は、次のように書き表される。

$$G_m r_{out} = \frac{2I_{bias}}{\left(1 + \frac{1}{N}\right) N V_{eff}} \cdot \frac{1}{K_{g_{out}} I_{bias}} = \frac{2}{(1+N) V_{eff}} \frac{1}{K_{g_{out}}} \quad (7.20)$$

結局  $G_m r_{out}$  の項に  $I_{bias}$  は含まれず、 $N$  のみが残る。

第 4 章での解析により、ソースデジェネレーションの線形性と SNDR は  $N$  を大きくすることで改善できる。ところが (7.20) 式によれば、 $N$  を大きくすると  $G_m r_{out}$  の値は小さくなってしまうため、(7.14) 式における出力抵抗の影響は大きくなってしまう。特に高い SNDR を得るためには、消費電流を増やし高い  $N$  を確保する必要があるため、この問題はより顕著になる。

■寄生容量による影響 一方、寄生容量  $C_{in}$  及び  $C_{out}$  は、 $Q$  と  $\omega_c$  の両方に影響を与えてしまう。この寄生成分を無視するためには、 $C_1, C_2 \gg C_{in}, C_{out}$  が必要である。しかしながら、この寄生容量の影響はカットオフ周波数を高くする際に特に問題となる。

Gm-C フィルタでカットオフ周波数を高くするためには、 $C_1, C_2$  を小さくするか、 $G_m$  値を大きくする必要がある。 $C_1, C_2$  を小さくすると、寄生成分の影響が大きくなってしまふのは (7.14) 式及び (7.15) 式より明らかである。

一方、 $G_m$  値を大きくする最も簡単な方法は (7.16) 式より、 $R_S$  を小さくする方法である。しかしながら、(7.19) 式で表される  $N$  が減少してしまうため、線形性が劣化してしまう。そこで (7.19) 式を  $G_m$  について解くと、

$$G_m \approx \frac{2I_{\text{bias}}}{(1+N)V_{\text{eff}}} \quad (7.21)$$

となる。線形性の観点から  $N$  を定数として考えると、 $G_m$  値を大きくするためには  $I_{\text{bias}}$  を大きくしなければならない。この時、寄生容量  $C_{\text{in}}, C_{\text{out}}$  はトランジスタサイズに比例するため、大きな電流を流すためにトランジスタの  $W$  を大きくすると、寄生容量値も大きくなってしまふ。したがって、いずれの方法においても寄生容量の影響は大きくなってしまふ。この問題を軽減するためには  $N$  を小さく設定し、線形性の劣化を受け入れなければならない。

### 7.2.2.2 カットオフ周波数の限界

上記の寄生成分の影響を考慮し、Gm-C フィルタで構成できるカットオフ周波数の限界値を計算する。 $C_{\text{in}}$  及び  $C_{\text{out}}$  は Gm セルの各トランジスタに流れるバイアス電流に比例すると考えると、ある定数を用いて、

$$C_{\text{in}} = K_{C_{\text{in}}} I_{\text{bias}} \quad (7.22)$$

$$C_{\text{out}} = K_{C_{\text{out}}} I_{\text{bias}} \quad (7.23)$$

と表すことができる。(7.10) 式、(7.11) 式及び (7.12) 式により、 $C_1, C_2, G_{m2}$  の下限値は次のようになる。

$$C'_1 > (1+k_G)C_{\text{in}} + (2+k_G)C_{\text{out}} = \{(1+k_G)K_{C_{\text{in}}} + (2+k_G)K_{C_{\text{out}}}\} I_{\text{bias}} \quad (7.24)$$

$$C'_2 > C_{\text{in}} + C_{\text{out}} = (K_{C_{\text{in}}} + K_{C_{\text{out}}}) I_{\text{bias}} \quad (7.25)$$

$$(7.26)$$

一方、 $G_{m2}$  は、

$$G'_{m2} = k_G G_m + \frac{2+k_G}{r_{\text{out}}} = k_G G_m + (2+k_G)K_{g_{\text{out}}} I_{\text{bias}} \quad (7.27)$$

である。 $G_{m3} = G_{m4} = G_m$  とすると、

$$Q = \frac{G_m}{G'_{m2}} \sqrt{\frac{C'_1}{C'_2}} = \frac{1}{k_G + \frac{2+k_G}{G_m r_{\text{out}}}} \sqrt{\frac{C'_1}{C'_2}} \quad (7.28)$$

$$\omega_c = \frac{G_m}{\sqrt{C'_1 C'_2}} \quad (7.29)$$

となる。(7.28) 式を  $C'_1$  について解くと,

$$\begin{aligned} C'_1 &= Q^2 \cdot \left( \frac{G'_{m2}}{G_m} \right)^2 C'_2 \\ &> Q^2 \cdot \left\{ k_G + \left( 1 + \frac{k_G}{2} \right) (1 + N) V_{\text{eff}} K_{g_{\text{out}}} \right\}^2 \cdot (K_{C_{\text{in}}} + K_{C_{\text{out}}}) I_{\text{bias}} \end{aligned} \quad (7.30)$$

となる。(7.24) 式と (7.30) 式は同時に満たす必要があるので、両式の右辺で大きい方を採用する。上限角周波数は、(7.21) 式及び (7.25) 式より、

$$\omega'_c < \frac{2}{(1 + N) V_{\text{eff}}} \frac{1}{\sqrt{(K_{C_{\text{in}}} + K_{C_{\text{out}}}) \cdot \frac{C'_1}{I_{\text{bias}}}}} \quad (7.31)$$

と表される。したがって、

$$\omega'_c < \frac{2}{(1 + N) V_{\text{eff}}} \frac{1}{\sqrt{\{(1 + k_G) K_{C_{\text{in}}} + (2 + k_G) K_{C_{\text{out}}}\} (K_{C_{\text{in}}} + K_{C_{\text{out}}})}} \quad (7.32)$$

かつ

$$\begin{aligned} \omega'_c &< \frac{2}{(1 + N) V_{\text{eff}}} \frac{1}{\sqrt{(K_{C_{\text{in}}} + K_{C_{\text{out}}}) Q^2 \left\{ k_G + \left( 1 + \frac{k_G}{2} \right) (1 + N) V_{\text{eff}} K_{g_{\text{out}}} \right\}^2 (K_{C_{\text{in}}} + K_{C_{\text{out}}})}} \\ &= \frac{4}{\{2k_G + (2 + k_G) (1 + N) V_{\text{eff}} K_{g_{\text{out}}}\} (1 + N) V_{\text{eff}} Q (K_{C_{\text{in}}} + K_{C_{\text{out}}})} \end{aligned} \quad (7.33)$$

が実際の上限となる。

これらの数式において、 $k_G$  を小さく取ることによって上限周波数は改善されるが、 $G_{m2}$  による  $Q$  の制御性が損なわれる点に注意が必要である。極端な例として  $k_G = 0$  とすると、(7.12) 式によれば  $G'_{m2}$  は  $r_{\text{out}}$  のみで決定されることになる。 $r_{\text{out}}$  は PVT ばらつきの影響を強く受けるパラメータであり、そのような状態でカットオフの特性を制御するのは非常に困難である。ここでは一つの目安として、 $k_G = 1, 0.5, 0$  の三種類で上限周波数を算出する。

図 7.7 に、典型値を代入して求めた上限周波数を示す。ここでは 4 次のフィルタを想定し、 $Q = 1.31$  を実現することができる最大の周波数を算出した。グラフのとおり、上限周波数は全て (7.33) 式で決まっている。 $k_G = 0$  において上限周波数は数 GHz となるが、 $k_G = 0.5$  では  $N = 1.5$  付近で 1 GHz を下回ってしまう。最も条件の緩い  $N = 0$  についても  $k_G = 0.5$  では 2 GHz となり、マージンはほとんど存在しない。 $k_G = 1$  では常

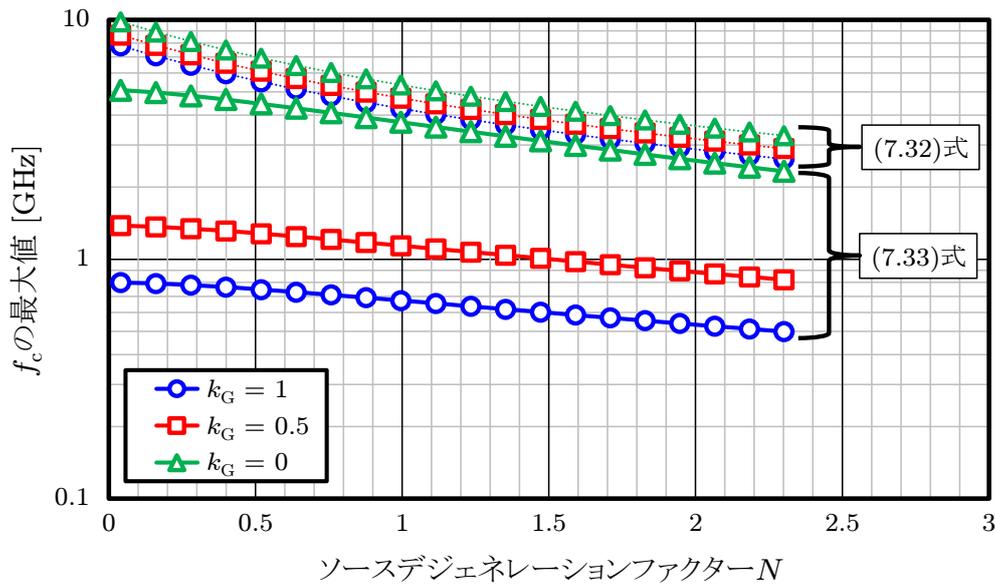


図 7.7: 4 次 Gm-C フィルタの上限周波数

に 1 GHz を下回り，最大でも約 800 MHz のカットオフ周波数となる．このように， $N$  が大きい範囲ではカットオフ周波数の上限が低くなってしまうため，線形性及び SNDR を改善する場合は，出力抵抗や寄生容量の影響を抑制する必要がある．

これらの非理想成分を緩和する手法として，負性抵抗を利用する方法や，容量キャンセルを行う手法が知られている [3, 9]．図 7.8 はミラー効果を用いた負性負荷の動作原理を示している．補助アンプの利得が  $A > 1$  のとき，この回路は通常の負荷とは逆方向の電流を流す負荷となる． $V_{IN}$  から見込んだ等価的なアドミタンス  $Y'$  は，

$$Y' = -(A - 1)Y \quad (7.34)$$

と表され，負のアドミタンスが得られる．ただし，回路で使用を想定する帯域に対して  $A$  の利得が保たれている必要があるため，広帯域な用途では広帯域な増幅器を必要とする．加えて， $A$  の持つ入力換算雑音は抑制されること無くメインパスに混入するため，SNR の観点でも不利である．このように，この方法は回路規模の増加のみならず，消費電力の増加や雑音の劣化が生じてしまう．また，カットオフを定めるメインパスの  $G_m$  や  $C$  の他に，複雑なパラメータ（補助アンプの利得  $A$  やアドミタンス  $Y$  など）でカットオフ周波数が決まるようになるため，チューニングの観点で望ましくない．

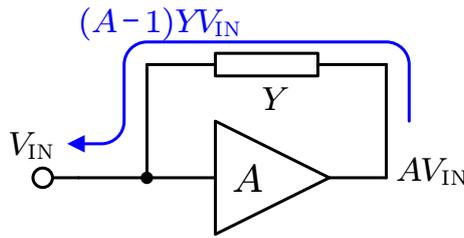


図 7.8: ミラー効果を用いた負性負荷

### 7.2.3 ソースフォロワフィルタ

ソースフォロワフィルタの原型は、図 4.25 に示すような回路で表される。このフィルタはソースフォロワを縦に並べて接続して構成される。チャンネル長変調効果と寄生容量を無視した場合の伝達関数は、

$$H(s) = \frac{1}{1 + s \left\{ \frac{C_1}{g_{m1}} + C_2 \left( \frac{1}{g_{m3}} - \frac{1}{g_{m1}} \right) \right\} + s^2 \frac{C_1 C_2}{g_{m1} g_{m3}}} \quad (7.35)$$

と表される。  $g_{m1} = g_{m3} = g_m$  としたとき、

$$H(s) = \frac{1}{1 + \frac{sC_1}{g_m} + \frac{s^2 C_1 C_2}{g_m^2}} \quad (7.36)$$

となるため、 $Q$  とカットオフはそれぞれ、

$$Q = \sqrt{\frac{C_2}{C_1}} \quad (7.37)$$

$$\omega_c = \frac{g_m}{\sqrt{C_1 C_2}} \quad (7.38)$$

と表すことができる。この特性は、(7.8) 式及び (7.9) 式で示した Gm-C フィルタのカットオフ特性と酷似している。ただし、Gm-C フィルタでは Gm セルの  $G_m$  値を用いているのに対し、ソースフォロワフィルタではトランジスタそのものの  $g_m$  を用いている点に注意が必要である。このようにソースフォロワフィルタは、小規模な回路構成でバイカッドフィルタを実現できるという特長があり、低消費電力化に適しているアーキテクチャとして近年注目されている。このフィルタはソースフォロワを元にしてはいるが、FVF 構造や SSF 構造を応用したフィルタも提案・検討されている [11–13]。

図 7.9(a) の基本構成の欠点は、入出力コモン電圧と電源電圧である。たとえば  $V_{\text{inp}}$  から  $V_{\text{outp}}$  にかけて、二つの NMOS のゲート・ソース間を信号が移動するため、低周波

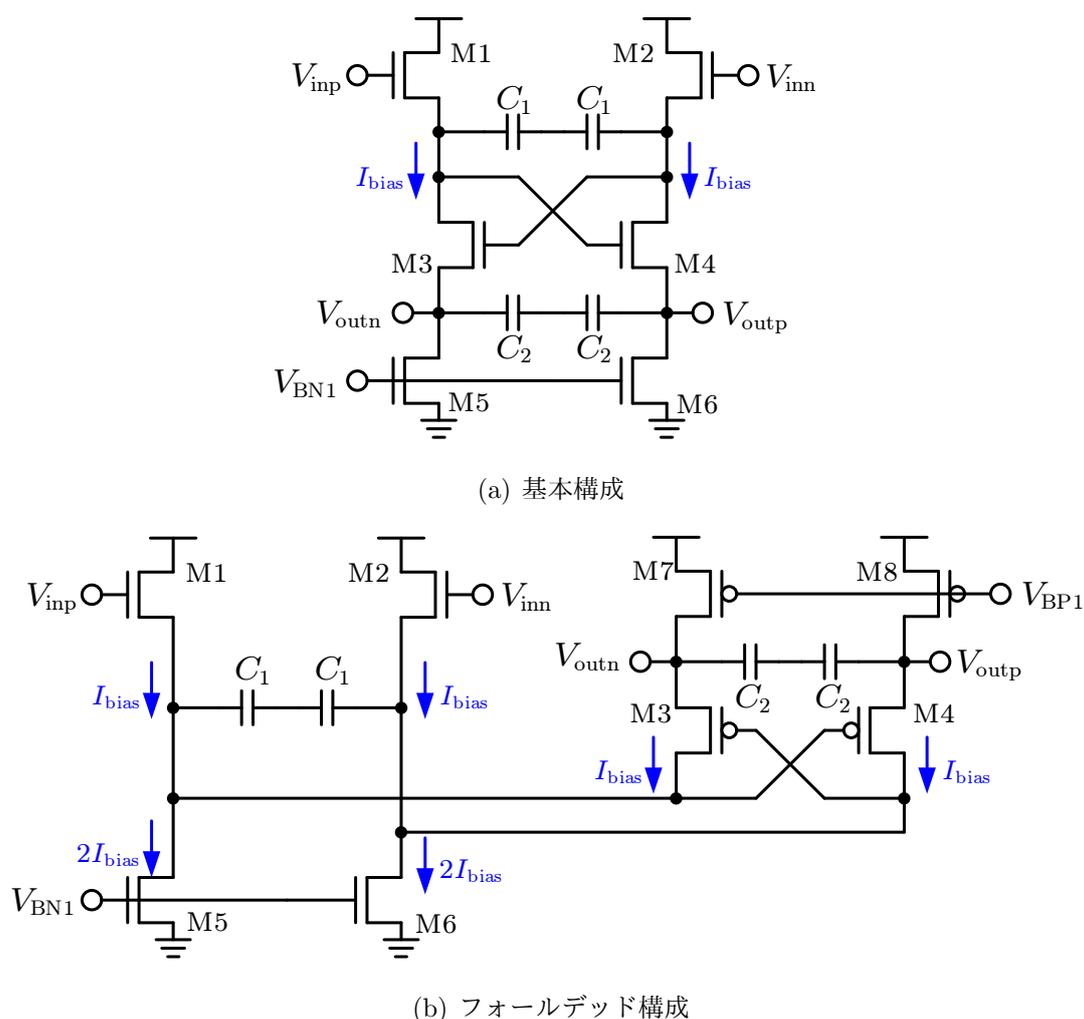


図 7.9: ソースフォロワフィルタ [4, 10]

では,

$$V_{\text{outp}} \approx V_{\text{inp}} - V_{\text{GS1}} - V_{\text{GS4}} \quad (7.39)$$

が成立する.  $V_{\text{GS1}}$  及び  $V_{\text{GS4}}$  が  $0.45 \text{ V}$  程度と仮定すると, 入出力間のコモン電圧は  $0.9 \text{ V}$  近くシフトしてしまうことになる. 更にこの入出力範囲をカバーするためには,  $1.2 \text{ V}$  を越える高い電源電圧が必要となる. この問題から, 実際の実装では図 7.9(b) に示したフォールデッド構成がよく用いられる. フォールデッド構成は消費電力が二倍になり雑音電力も大きくなるが, 低電圧でも使用が可能であり, 入出力のコモンレベルを一致させることも容易である. ただし, 両者は同じ伝達関数を持つが,  $g_{m3}$  が PMOS のトランスコンダクタンスとなっている点に注意しなければならない.

## 7.2.3.1 線形性

通常，伝達関数に  $g_m$  のようなトランジスタパラメータを直接使用すると，動作点が変わった際にトランジスタパラメータが変動し，歪が生じてしまう．例えば，あるトランジスタのゲート・ソース間電圧の変動を  $\Delta V_{GS}$  とし，ドレイン電流の変動量を  $\Delta I_D$  とおくと，

$$g_m = \frac{I_D + \Delta I_D}{V_{eff} + \Delta V_{GS}} \quad (7.40)$$

となり， $g_m$  が変動してしまう．しかしながらソースフォロワフィルタにおいて，少なくとも低周波側ではそれぞれのトランジスタがソースフォロワとして動作し， $V_{GS}$  を一定に保ちながら動作する．その結果，ソース接地回路などと比較するとトランジスタパラメータの変動が起こりにくく，良好な線形性が実現される．

ただし，カットオフ周波数付近では様子が異なり， $V_{GS}$  変動の抑制効果が薄れてしまう．M1 のソース側の小信号電圧を  $v_{1p}$  とおくと，入力小信号  $v_{in}$  に対して，

$$v_{1p} = H(s) \cdot \left(1 + \frac{sC_2}{g_m}\right) v_{in} = H(s) \cdot \left(1 + \frac{sQ}{\omega_c}\right) v_{in} \quad (7.41)$$

となる．したがって，周波数特性を考慮した  $V_{GS1}$  及び  $V_{GS4}$  の変動成分は，

$$\begin{aligned} \Delta V_{GS1}(s) &= v_{in} - v_{1p} = \frac{\frac{1}{Q} \cdot \frac{s}{\omega_c} - \frac{sQ}{\omega_c} + \frac{s^2}{\omega_c^2}}{1 + \frac{1}{Q} \cdot \frac{s}{\omega_c} + \frac{s^2}{\omega_c^2}} \cdot v_{in} \\ &= H(s) \cdot \frac{s}{\omega_c} \left(\frac{1}{Q} - Q + \frac{s}{\omega_c}\right) \cdot v_{in} \end{aligned} \quad (7.42)$$

$$\Delta V_{GS4}(s) = v_{1p} - v_{out} = H(s) \cdot \frac{sQ}{\omega_c} \cdot v_{in} \quad (7.43)$$

と表される． $s = 0$  において， $\Delta V_{GS1}(0) = 0$ ， $\Delta V_{GS4}(0) = 0$  となるが， $s \neq 0$  では振幅が存在するという結果が得られる．

図 7.10 に， $v_{in}$  に対するそれぞれの利得を示す．ただし， $x$  軸はカットオフ周波数で規格化し， $Q$  は二次及び四次バターワース特性を実現する 3 種類の値を選んだ．低周波側の利得は十分低いが，カットオフ周波数付近でピークを迎え，その後  $\Delta V_{GS1}$  は 0 dB， $\Delta V_{GS4}$  は 1 次の減衰特性となる．カットオフ周波数におけるそれぞれの振幅は，

$$H(\omega_c) = Q \quad (7.44)$$

より,

$$\left| \frac{\Delta V_{GS1}(\omega_c)}{v_{in}} \right| = Q \cdot \sqrt{\left( \frac{1}{Q} - Q \right)^2 + 1} \quad (7.45)$$

$$\left| \frac{\Delta V_{GS4}(\omega_c)}{v_{in}} \right| = Q^2 \quad (7.46)$$

となり, いずれも  $Q$  が大きいほど大きな振幅となってしまう.

今, シングルトーンの正弦波が入力されていると仮定し,  $I_{D1}$  を次のように表す.

$$I_{D1} = K \{V_{eff} + \Delta V_{GS1}(s)\}^2 \quad (7.47)$$

ただし  $V_{eff}$  は有効ゲート電圧であり, 係数  $K$  に対して,

$$I_{bias} = K V_{eff}^2 \quad (7.48)$$

の関係がある. 入力振幅及び周波数特性を考慮した  $g_{m1}$  は,

$$\begin{aligned} g_{m1}(s, v_{in}) &= \frac{2I_{D1}}{V_{eff} + \Delta V_{GS1}(s)} = 2K \{V_{eff} + \Delta V_{GS1}(s)\} \\ &= g_{m1} \left( 1 + \frac{\Delta V_{GS1}(s)}{V_{eff}} \right) \end{aligned} \quad (7.49)$$

となる. ただし, この式において  $g_{m1}$  は定常状態における  $g_m$  を表しており, 定数である. (7.49) 式は, (7.42) 式で示された  $\Delta V_{GS1}(s)$  の振幅が, そのまま  $g_m$  値を変動させ

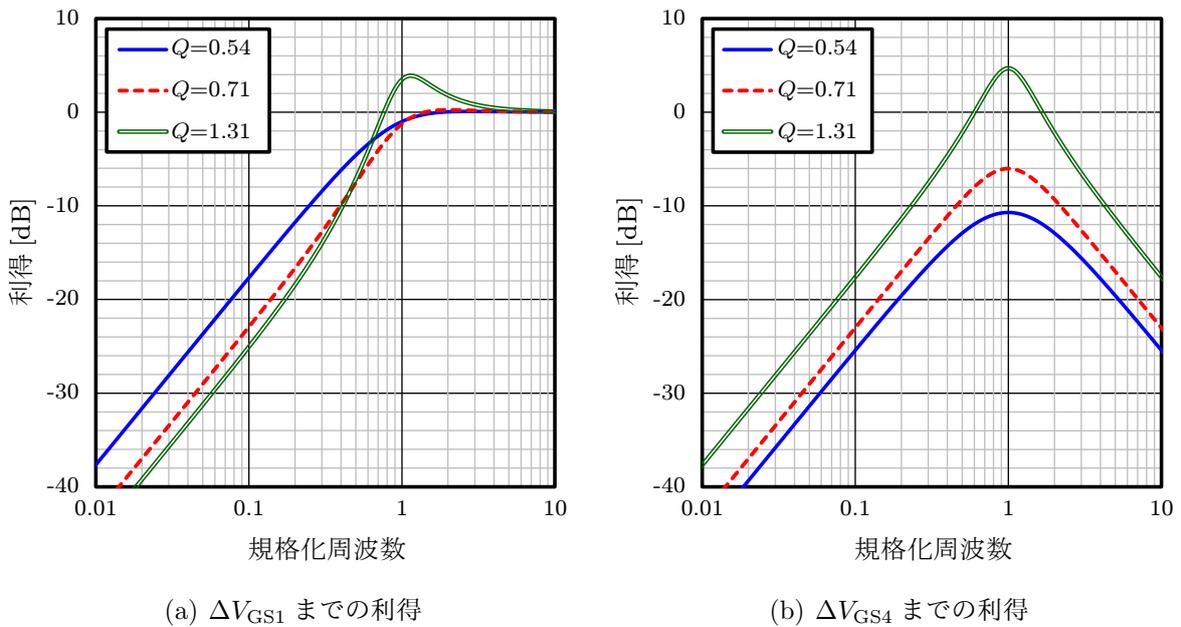


図 7.10:  $v_{in}$  から  $\Delta V_{GS1}, \Delta V_{GS4}$  までの利得

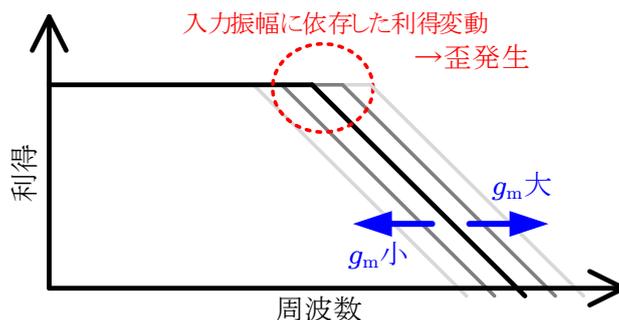
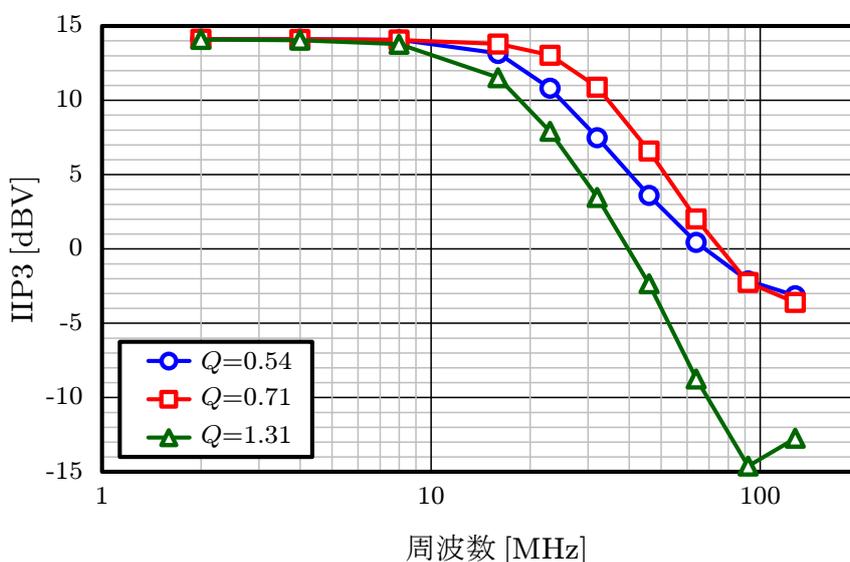
図 7.11:  $g_m$  変動と歪

図 7.12: 2次ソースフォロワフィルタの IIP3

てしまうことを示している。図 7.10 に示したように、特にカットオフ周波数付近では  $\Delta V_{GS1}(s)$  の変動は非常に大きくなり、 $Q$  が高い場合は入力振幅をも上回る。数式は省略するが、 $\Delta V_{GS4}$  についても同様の結果が得られる。加えて (7.42) 式と (7.49) 式は、消費電流などの設計パラメータ変更による  $g_m$  変動の抑制が難しいという事実をも示している。 $Q$  や  $\omega_c$  などのカットオフパラメータはシステム側からの要求で定まっているため、 $\Delta V_{GS1}(s)$  の利得を小さくすることは不可能である。唯一  $g_{m1}$  に対する影響を軽減できるのは、 $V_{eff}$  の設計パラメータのみである。

ソースフォロワフィルタにおいて  $g_m$  の変動が生じた場合、図 7.11 に示したようなカットオフ周波数や  $Q$  の変動が生じる。このとき、カットオフ周辺の信号に対する利得が著しく変動するため、線型性の劣化が生じる。

表 7.3: ソースフォロワフィルタのシミュレーション条件

プロセス	65nm CMOS
電源電圧	1.2 V
消費電力	1.6 mW
カットオフ周波数	100 MHz
フィルタ次数	2

図 7.12 に周波数に対するソースフォロワフィルタの IIP3 を示す。設計及びシミュレーション条件は表 7.3 のとおりである。10 MHz を下回る周波数では 14 dBV の非常に良好な線形性を実現しているが、それ以上の周波数では一気に線形性が劣化する。特に  $Q = 1.31$  では非常に劣化が早く、カットオフ周波数付近では  $-15$  dBV となり、DC から約 30 dB の線形性劣化となった。このグラフの傾向と図 7.10 を比較すると、 $Q = 1.31$  では  $V_{GS4}$  側で線形性が劣化し、 $Q = 0.54, 0.71$  では  $V_{GS1}$  側の線形性劣化が支配的と見られる。この IIP3 の劣化特性はカットオフ周波数に対してスケールされるため、どの帯域で設計した場合でも同じ問題が生じてしまう。加えて前述の様に、消費電力を増やすことでも対応することができない。この線形性の問題は、伝達関数内にトランジスタの  $g_m$  を直接使用するフィルタでは避けがたい課題であり、ソースフォロワフィルタと似た構成を持つ FVF 構造や SSF 構造を元にしたフィルタでも共通する。

### 7.2.3.2 寄生成分の影響

ソースフォロワフィルタにおいて、寄生容量やドレインコンダクタンスが及ぼすカットオフ特性への影響について評価する。図 7.13 に非理想成分を考慮した小信号等価回路を示す。 $C_{p1}$  は M1 の  $C_{GS}$  を主とする寄生容量であり、 $C_{p2}$  は M3 の  $C_{GS}$  を主とする寄生容量を示している。なお、式を簡単にするため、

$$C'_1 = C_1 + C_{p1} \quad (7.50)$$

$$C'_2 = C_2 + C_{p2} \quad (7.51)$$

として解析を行う。キルヒホッフの電流則より、

$$(g_{m1} + g_{d1} + g_{d3}sC'_1 - g_{m3})v_{1s} = g_{m1}v_{in} + (g_{m3} + g_{d3})v_{out} \quad (7.52)$$

$$(g_{m3} + g_{d3} + g_{d5} + sC'_2)v_{1s} = (-g_{m3} + g_{d3})v_{1s} \quad (7.53)$$

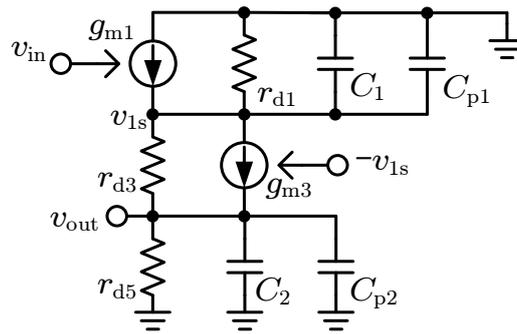


図 7.13: 寄生成分を考慮したソースフォロワフィルタの小信号等価回路

である. (7.53) 式より,

$$v_{1s} = \frac{g_{m3} + g_{d3} + g_{d5} + sC'_2}{-g_{m3} + g_{d3}} v_{out} \quad (7.54)$$

となる. これを (7.52) 式に代入し, 伝達関数を整理する.

$$\begin{aligned} H(s) &= \frac{g_{m1}(g_{m3} - g_{d3})}{(g_{m1} + g_{d1} + sC'_1)(g_{m3} + g_{d3} + g_{d5} + sC'_2) - g_{m3}(g_{d5} + sC'_2)} \\ &= \frac{g_m(g_m - g_d)}{g_m^2 + 2g_m g_d + 2g_d^2 + sC'_1 g_m + 2sC'_1 g_d + sC'_2 g_d + s^2 C'_1 C'_2} \\ &\approx \frac{1 - \frac{1}{G_i}}{1 + \frac{2}{G_i} + s \frac{C'_1}{g_m} \left( 1 + \frac{2}{G_i} + \frac{1}{G_i} \cdot \frac{C'_2}{C'_1} \right) + s^2 \frac{C'_1 C'_2}{g_m^2}} \\ &\approx \frac{1 - \frac{1}{G_i}}{1 + \frac{2}{G_i} + s \frac{C'_1}{g_m} \left( 1 + \frac{Q^2}{G_i + 2} \right) + s^2 \frac{C'_1 C'_2}{g_m^2 \left( 1 + \frac{2}{G_i} \right)}} \quad (7.55) \end{aligned}$$

ただし,  $g_{m1} = g_{m3} = g_m$  及び  $g_{d1} = g_{d3} = g_{d5} = g_d$  とした.  $G_i$  は固有利得であり,  $G_i = g_m/g_d$  である. 途中で,  $Q = \sqrt{C_2/C_1} \approx \sqrt{C'_2/C'_1}$  とした. カットオフ周波数及び

$Q$  について整理すると、次のようになる。

$$\omega'_c = \frac{g_m}{\sqrt{C'_1 C'_2}} \cdot \sqrt{1 + \frac{2}{G_i}} \quad (7.56)$$

$$Q' = \sqrt{\frac{C'_2}{C'_1}} \frac{1}{\left(1 + \frac{Q^2}{G_i + 2}\right) \sqrt{1 + \frac{2}{G_i}}} \quad (7.57)$$

ただし、元々の設計値と区別するため、 $\omega'_c, Q'$  として記述している。それぞれ、寄生容量やドレインコンダクタンスの影響により、値が劣化する様子が確認できる。

これらの式を用いて、ある  $Q$  に対して実現できるカットオフ周波数の最大値を示す。 $Q' = Q$  となるように  $C'_2$  を設定したと仮定する。このとき、

$$\sqrt{C'_1} = \frac{\sqrt{C'_2}}{Q \left(1 + \frac{Q^2}{G_i + 2}\right) \sqrt{1 + \frac{2}{G_i}}} \quad (7.58)$$

であるから、

$$\omega'_c = \frac{g_m Q}{C'_2} \cdot \left(1 + \frac{Q^2}{G_i + 2}\right) \left(1 + \frac{2}{G_i}\right) \quad (7.59)$$

となる。すなわち、特定の  $\omega_c$  と  $Q$  に対し、 $C'_1, C'_2$  は、

$$C'_1 = \frac{g_m}{\omega_c} \frac{1}{Q \left(1 + \frac{Q^2}{G_i + 2}\right)} \quad (7.60)$$

$$C'_2 = \frac{g_m Q}{\omega_c} \cdot \left(1 + \frac{Q^2}{G_i + 2}\right) \left(1 + \frac{2}{G_i}\right) \quad (7.61)$$

の条件を満たさなければならない。ここで  $C'_1$  及び  $C'_2$  の下限値はトランジスタの寄生容量によって決まることから、

$$C'_1 \geq K_{C1} I_{\text{bias}} \quad (7.62)$$

$$C'_2 \geq K_{C2} I_{\text{bias}} \quad (7.63)$$

$$(7.64)$$

とすると、上限周波数は次の二式のように表される。

$$\omega_c \leq \frac{2}{K_{C1} V_{\text{eff}}} \frac{1}{Q \left(1 + \frac{Q^2}{G_i + 2}\right)} \quad (7.65)$$

$$\omega_c \leq \frac{2Q}{K_{C2} V_{\text{eff}}} \cdot \left(1 + \frac{Q^2}{G_i + 2}\right) \left(1 + \frac{2}{G_i}\right) \quad (7.66)$$

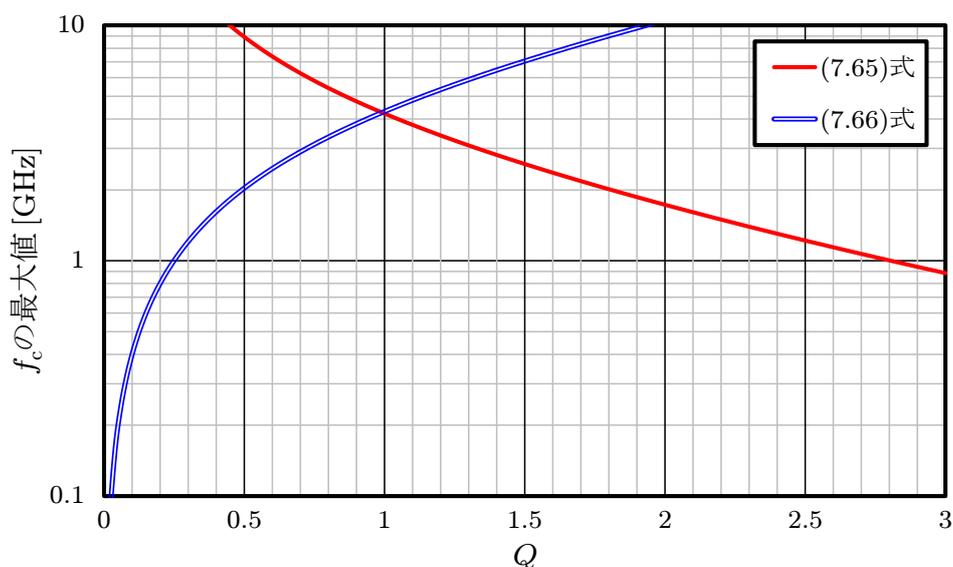


図 7.14: ソースフォロワフィルタの上限周波数

したがって、上限周波数は消費電力に依存せず、 $Q$  に対して一意に定まる。

図 7.14 に、フォールデッド構成のソースフォロワフィルタ (図 7.9(b)) について、典型値を代入して求めた上限周波数を示す。(7.65) 式は高い  $Q$  に対してカットオフ周波数に制限をかける一方、(7.66) 式は低い  $Q$  に対して制限をかける。4 次バターワースフィルタでは  $Q = 0.54, 1.31$  を使用するが、この範囲では 2.2 GHz が上限周波数となっており、1 GHz のフィルタ用途でも構成できることが確認できる。ただし、いずれも寄生容量のみを考慮した値であるため、この値には設計マージンが含まれていない点に注意しなければならない。仮に 1 GHz のカットオフを設定したと仮定すると、寄生容量は  $C_2$  に対して約 5 割を占めることになる。

#### 7.2.4 電流型フィルタ

Gm-C フィルタは広帯域化に適したアーキテクチャとして知られていたが、広帯域化と高い SNDR を両立することが困難である。また、ソースフォロワフィルタはカットオフ周波数付近で著しく線形性が劣化し、カットオフ周波数にも余裕がない。

そこで、より広帯域化に適した増幅器である電流増幅器を用いたフィルタ構成を検討する。電流増幅器は図 7.15 のように、オペアンプの負帰還増幅回路を置き換えることができる。図 7.15(a) と図 7.15(b) の二つ回路は同じ伝達関数を実現している。オペアンプ

は広帯域化が困難であったが、第4章で議論したように、局所的な帰還を有す電流増幅器は GHz オーダーまで良好な特性を維持することができる。したがって、この置き換えによってより広帯域なフィルタの実現が期待できる。

ただし、図 7.15 の置き換えにおいて、電流増幅器は出力端子におけるインピーダンスの分離が出来ない点に注意が必要である。ここで一例として、図 7.16 のような積分器をカスケード接続した回路について考える。オペアンプを用いた場合は、

$$V_{\text{out}} \approx \frac{1}{sC_1 R_1} \frac{1}{sC_2 R_2} V_{\text{in}} \quad (7.67)$$

となり、後段側の入力抵抗  $R_2$  は初段の積分器に影響を与えない。一方、電流増幅器を用いた図 7.16(b) は、

$$V_{\text{out}} = \frac{V_{\text{in}}}{R_1} \frac{\frac{1}{R_2}}{sC_1 + \frac{1}{R_2}} \frac{1}{sC_2} = \frac{R_2}{R_1} \frac{1}{sC_1 R_1 + 1} \frac{1}{sC_2 R_2} V_{\text{in}} \quad (7.68)$$

となり、初段積分器の周波数特性は、後段側の抵抗  $R_2$  の影響によって不完全積分器になってしまう。この問題は、オペアンプを用いたフィルタを電流増幅器で置換する際に伝達関数の誤差として現れる。

図 7.17 に電流型フィルタの構成を示す。このフィルタは、図 7.2 に示されたオペアンプを用いたバイカッドフィルタを電流増幅器で置き換えたものである。Gm-C フィルタではバイカッド特性のために4個の Gm セルを必要としたが、このフィルタでは2個の電流増幅器で構成できる。第4章で示したように、高 SNDR を実現するためには各セルに流す消費電力が重要であり、さらに雑音源の数も減らすことができるため、低消費電力かつ高い SNDR が期待できる。

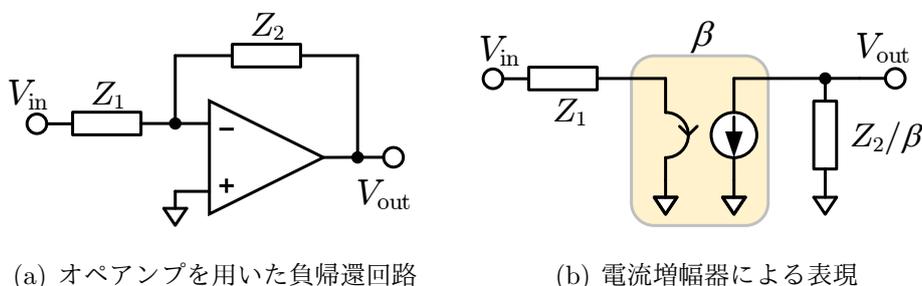


図 7.15: 電流増幅器を用いたオペアンプの置換

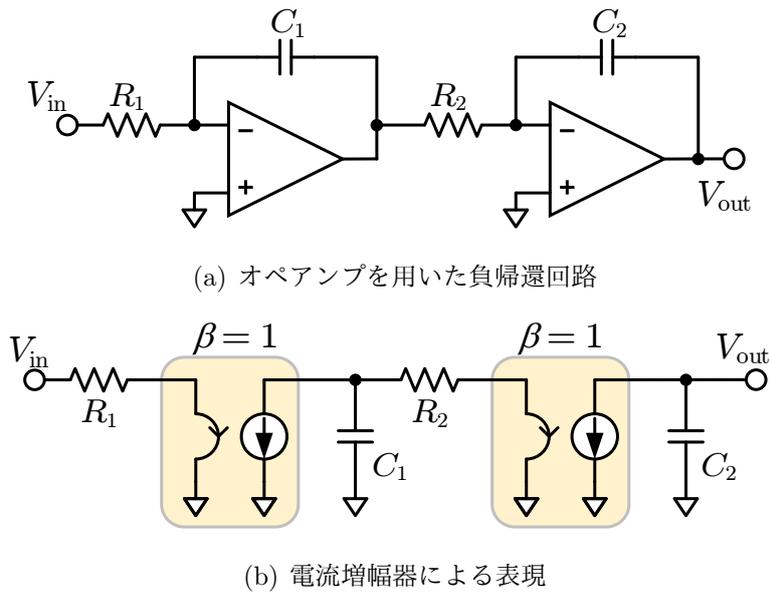


図 7.16: カスケード接続された増幅器

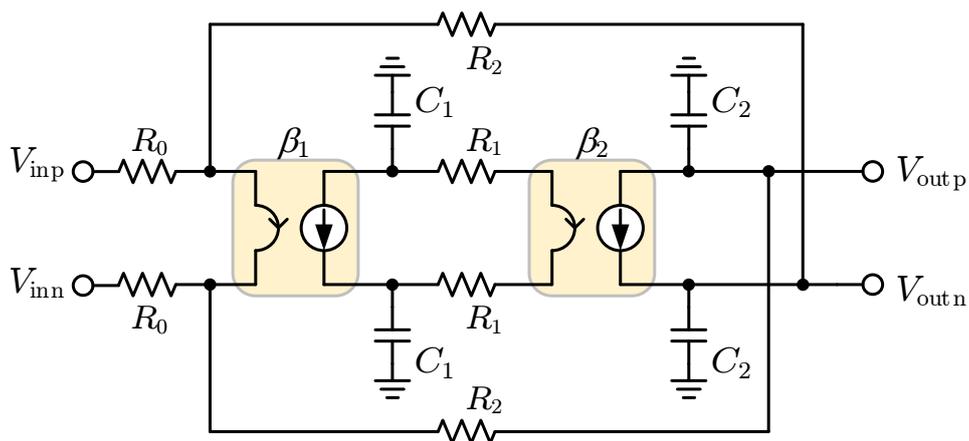


図 7.17: 二次電流型フィルタ

この電流型フィルタの伝達関数は、

$$H(s) = \frac{\beta_1 \beta_2}{1 + \beta_1 \beta_2} \frac{R_2}{R_0} \frac{1}{1 + s \frac{C_1 R_1 + C_2 R_2}{1 + \beta_1 \beta_2} + s^2 \frac{C_1 C_2 R_1 R_2}{1 + \beta_1 \beta_2}} \quad (7.69)$$

となる。ただし、 $\beta_1, \beta_2$  はそれぞれ、電流増幅器の電流利得を表している。(7.1) 式で表

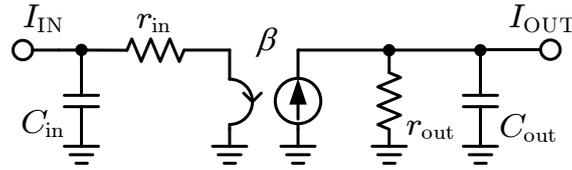


図 7.18: 寄生成分を考慮した電流増幅器のモデル

されるバイカッドフィルタに当てはめると、 $Q$  と  $\omega_c$  は次のようになる。

$$Q = \frac{\sqrt{(1 + \beta_1\beta_2)C_1C_2R_1R_2}}{C_1R_1 + C_2R_2} \quad (7.70)$$

$$\omega_c = \sqrt{\frac{1 + \beta_1\beta_2}{C_1C_2R_1R_2}} \quad (7.71)$$

(7.1) 式, (7.3) 式及び (7.4) 式と比較すると, 通過帯域の利得は  $\beta_1\beta_2/(1 + \beta_1\beta_2)$  となり,  $Q$  と  $\omega_c$  の独立制御ができなくなっている. また, オペアンプの利得はフィルタの特性に影響を与えないのに対し, 電流型では  $\beta_1\beta_2$  が  $Q$  及び  $\omega_c$  の式に含まれており, 電流利得の絶対精度が要求されている. ただし, 電流増幅器の電流利得はカレントミラーによって精度良く実現することが可能であり, 第5章で示したバックゲート効果を利用した補正も行えることから, 絶対精度は比較的取りやすい.

$R$  及び  $C$  は,

$$\begin{cases} \omega_1 = \frac{1}{C_1R_1} \\ \omega_2 = \frac{1}{C_2R_2} \end{cases} \quad (7.72)$$

とすると, (7.70) 式及び (7.71) 式は, 次のように表現することができる.

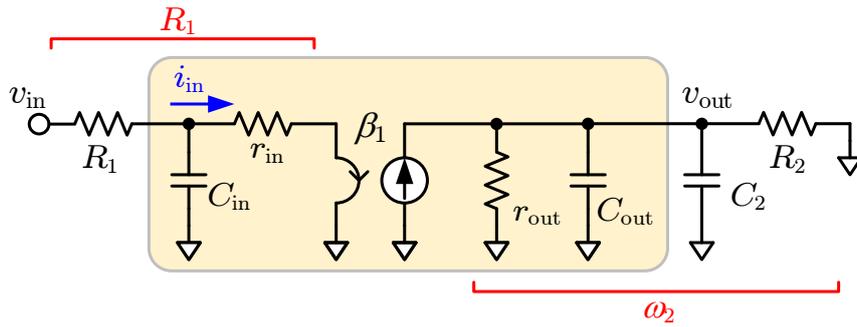
$$Q = \sqrt{1 + \beta_1\beta_2} \cdot \frac{\sqrt{\omega_1\omega_2}}{\omega_1 + \omega_2} \quad (7.73)$$

$$\omega_c = \sqrt{1 + \beta_1\beta_2} \cdot \sqrt{\omega_1\omega_2} \quad (7.74)$$

すなわち, 二つのノードの極  $\omega_1$  と  $\omega_2$  によってカットオフ特性が定まる.

#### 7.2.4.1 寄生成分の影響

Gm-C フィルタと同様に, 寄生成分の影響を調査する. ただし, 電流増幅器そのものの周波数特性は第4章で議論したため, ここでは図7.18のような電流増幅器のモデルを

図 7.19: 寄生成分を考慮した  $R_1$  及び  $\omega_2$ 

フィルタに適用した場合について考察する．図において， $r_{in}$  及び  $r_{out}$  はそれぞれ動の入出力抵抗であり，理想的には  $r_{in} = 0$  かつ  $r_{out} = \infty$  である． $C_{in}$  及び  $C_{out}$  は入力端子および出力端子についている寄生容量を表している．

フィルタ全体の考察に入る前に，各寄生成分が伝達関数に与える影響について，図 7.19 の回路を元に考える．まず入力側は，

$$i_{in} = \frac{v_{in}}{R_1 + \frac{1}{sC_{in} + \frac{1}{r_{in}}}} = \frac{v_{in}}{R_1 + r_{in}} \frac{1}{1 + sC_{in}r_{in}} \quad (7.75)$$

となり，入力抵抗によって  $R_1$  が  $(R_1 + r_{in})$  と修正され， $C_{in}$  によって周波数特性を持つ． $R_1$  に対して  $r_{in}$  は直列に挿入されたように見えるため， $r_{in}$  によってカットオフ特性の変動が生じてしまう．特に  $r_{in}$  が入力依存性を持つ場合はカットオフ特性の変動が生じるため，ソースフォロワフィルタと同様にカットオフ周波数付近で線形性が劣化する．そのため，ローカルフィードバックを持つ電流増幅器のように  $r_{in}$  が十分に小さい電流増幅器を用いることが重要である．そのようなケースでは  $C_{in}r_{in}$  の極は周波数が高く，影響は殆ど無視できる． $C_{in}$  はフィルタそのものよりも，電流増幅器内部の周波数特性に与える影響のほうが大きい．

一方，図 7.19 の出力側について整理すると，

$$v_{out} = \beta_1 i_{in} \cdot \frac{1}{\frac{1}{r_{out}} + \frac{1}{R_2} + sC_2 + sC_{out}} \\ \approx \beta_1 \frac{R_2/r_{out}}{R_1 + r_{in}} \frac{1}{1 + s(C_2 + C_{out})(R_2/r_{out})} \quad (7.76)$$

と表される．したがって， $R_2$  及び  $C_2$  はそれぞれ， $r_{out}$  及び  $C_{out}$  が並列接続された状態に修正される．

この考察により,  $\omega_1$  及び  $\omega_2$  は次のように表される.

$$\omega'_1 = \frac{1}{(C_1 + C_{out}) \{(R_1 + r_{in})//r_{out}\}} \approx \omega_1 \cdot \frac{1}{1 + \frac{C_{out}}{C_1}} \frac{1 + \frac{R_1}{r_{out}}}{1 + \frac{r_{in}}{R_1}} \quad (7.77)$$

$$\omega'_2 = \frac{1}{(C_2 + C_{out}) \{(R_2 + r_{in})//r_{out}\}} \approx \omega_2 \cdot \frac{1}{1 + \frac{C_{out}}{C_2}} \frac{1 + \frac{R_2}{r_{out}}}{1 + \frac{r_{in}}{R_2}} \quad (7.78)$$

したがって, 寄生成分の影響を無視するためには,

$$\begin{aligned} r_{out} &\gg R_1, R_2 \\ r_{in} &\ll R_1, R_2 \\ C_{out} &\ll C_1, C_2 \end{aligned}$$

の三つの条件が必要となる. 電流型フィルタでは, 各ノードに接続される電流増幅器の数が一つであるため, 寄生成分の係数はいずれも 1 となる. 加えて, トランジスタの寄生容量の中でも特に大きい  $C_{GS}$  を主とする  $C_{in}$  の影響が少ない.

#### 7.2.4.2 カットオフ周波数の限界

電流型フィルタで再現できる最大の周波数を見積もる.  $\omega'_1$  及び  $\omega'_2$  は,

$$\omega'_1, \omega'_2 < \frac{1}{(C_{out} + C_{in})r_{in}} \quad (7.79)$$

で制限される. 第4章の考察により, 典型的な電流アンプにおいて,

$$r_{in} = \frac{1}{Ag_m} = \frac{1}{K_{g_{in}} I_{bias}} \quad (7.80)$$

$$C_{in} = K_{C,in} I_{bias} \quad (7.81)$$

$$C_{out} = K_{C,out} I_{bias} \quad (7.82)$$

とおくことができるため,

$$\omega'_1, \omega'_2 < \frac{K_{g_{in}}}{K_{C,in} + K_{C,out}} \quad (7.83)$$

と表され, やはりバイアス電流に依存しない. ここで (7.80) 式より,

$$K_{g_{in}} = \frac{2A}{V_{eff}} \quad (7.84)$$

となるため、入力インピーダンス低減のためのローカルアンプ  $A$  の利得によって寄生成分のみを考慮した上限周波数は上昇する。典型値を代入してこれらの数値を計算すると、30 GHz を越える帯域が得られる。したがってこの比較において、Gm-C フィルタやソースフォロワフィルタよりも、電流型フィルタの方が広帯域なフィルタの構成に適していると言える。

ただし、実際の電流増幅器の入力インピーダンスや電流利得  $\beta$  は周波数特性を持つため、そちらによって電流型フィルタの上限周波数が制限されることになる。電流型フィルタに用いる電流増幅器の帯域については、続く 7.3 節で述べる。

### 7.2.4.3 電流増幅器の利得

再び  $Q$  と  $\omega_c$  の検討に戻る。先述の通り、電流増幅器の利得  $\beta_1\beta_2$  は、 $Q$  と  $\omega_c$  に含まれる。この時、 $Q$  を表す (7.73) 式の  $\omega_1$  と  $\omega_2$  は、相乗平均と相加平均の比になっている。すなわち、

$$\frac{\omega_1 + \omega_2}{2} \geq \sqrt{\omega_1\omega_2} \quad (7.85)$$

であるから、(7.73) 式は、

$$Q \leq \frac{\sqrt{1 + \beta_1\beta_2}}{2} \quad (7.86)$$

となる。この式は、 $\beta_1\beta_2$  の値によって、実現できる最大の  $Q$  が制限されてしまうことを示す。ある  $Q$  に対して  $\beta_1\beta_2$  は、

$$\beta_1\beta_2 \geq 4Q^2 - 1 \quad (7.87)$$

でなければならない。

図 7.20 に、 $\beta_1\beta_2$  と  $Q$  の関係を示す。電流型フィルタで使用できる領域は、このグラフの下側部分である。したがって、高い  $Q$  を実現するためにはより大きな電流利得が必要となる。電流増幅器の電流利得はカレントミラーによって実現されるため、大きな電流利得はミラー比の上昇による帯域劣化の問題を引き起こすことになる。

また、 $\beta_1\beta_2$  が定まると、 $Q$  及び  $\omega_c$  に対して  $\omega_1$  及び  $\omega_2$  は一意に定まる。(7.73) 式及び (7.74) 式より、

$$\begin{aligned} \omega_c &= (\omega_1 + \omega_2) \cdot Q \\ \therefore \omega_1 &= \frac{\omega_c}{Q} - \omega_2 \end{aligned} \quad (7.88)$$

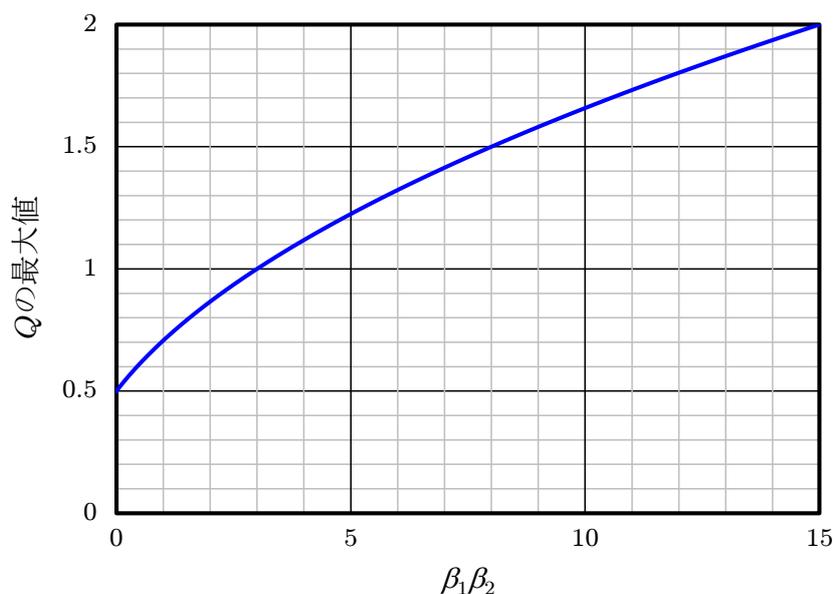


図 7.20:  $\beta_1\beta_2$  と  $Q$  の最大値

である。一方, (7.74) 式より,

$$\omega_1\omega_2 = \frac{\omega_c^2}{1 + \beta_1\beta_2} \quad (7.89)$$

となる。(7.88) 式及び (7.89) 式から  $\omega_1$  を消去すると,

$$\omega_2^2 - \frac{\omega_c}{Q}\omega_2 + \frac{\omega_c^2}{1 + \beta_1\beta_2} = 0 \quad (7.90)$$

を得る。また, この議論は  $\omega_1$  と  $\omega_2$  を入れ替えても成立する。したがって,

$$\omega_1 = \frac{\omega_c}{2Q} \left( 1 - \sqrt{1 - \frac{4Q^2}{1 + \beta_1\beta_2}} \right) \quad (7.91)$$

$$\omega_2 = \frac{\omega_c}{2Q} \left( 1 + \sqrt{1 - \frac{4Q^2}{1 + \beta_1\beta_2}} \right) \quad (7.92)$$

となる。ここで,  $\omega_1$  と  $\omega_2$  の比を  $\chi$  をおくと,

$$\chi = \frac{\omega_2}{\omega_1} = \frac{1 + \sqrt{1 - \frac{4Q^2}{1 + \beta_1\beta_2}}}{1 - \sqrt{1 - \frac{4Q^2}{1 + \beta_1\beta_2}}} = \frac{1 + \beta_1\beta_2}{2Q^2} - 1 \quad (7.93)$$

と表される。

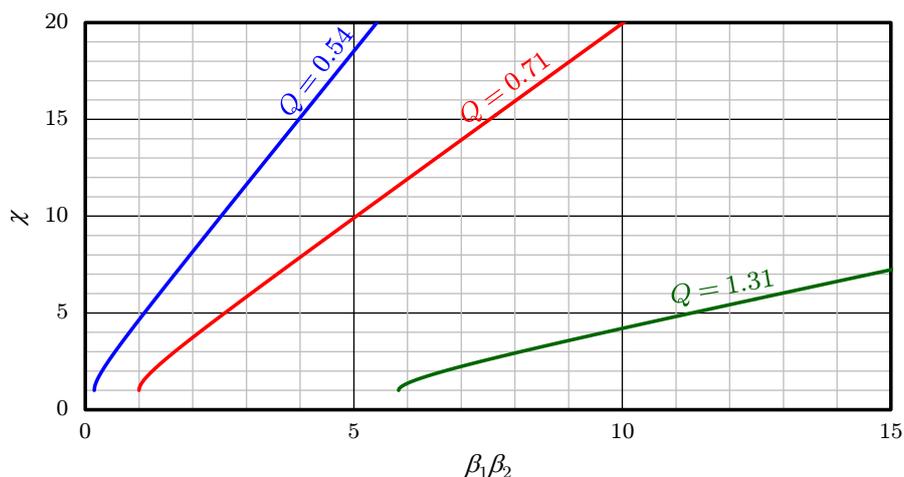
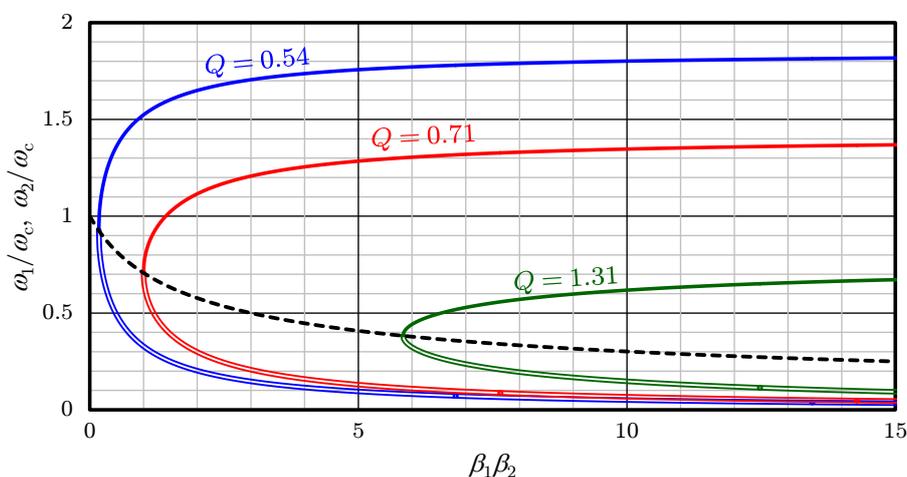
(a)  $\beta_1\beta_2$  と  $\chi$ (b) 規格化された  $\omega_1$  及び  $\omega_2$ 図 7.21:  $\beta_1\beta_2$  と二つの極

図 7.21 に、これらの関係をまとめたグラフを示す。ある  $Q$  を実現する最小値から  $\beta_1\beta_2$  を大きくしていくと、 $\chi$  が大きくなり、 $\omega_1$  と  $\omega_2$  の距離は離れていくという結果が得られる。この現象は  $\beta_1\beta_2$  の増加に伴い  $\omega_1$  が減少し、 $\omega_2$  が大きくなっていくことによって生じている。(7.91) 式及び (7.92) 式において、 $\beta_1\beta_2 \gg 4Q^2$  を仮定すると、

$$\omega_1 \approx \frac{Q}{\beta_1\beta_2} \omega_c \quad (7.94)$$

$$\omega_2 \approx \frac{\omega_c}{Q} \quad (7.95)$$

となる。したがって、 $\omega_2$  は頭打ちとなり、 $\omega_1$  の減少が顕著となる。寄生成分の観点から、 $R$  や  $C$  は可能な限り大きく設定したいという要請が存在する。そのため、 $\omega_2$  はでき

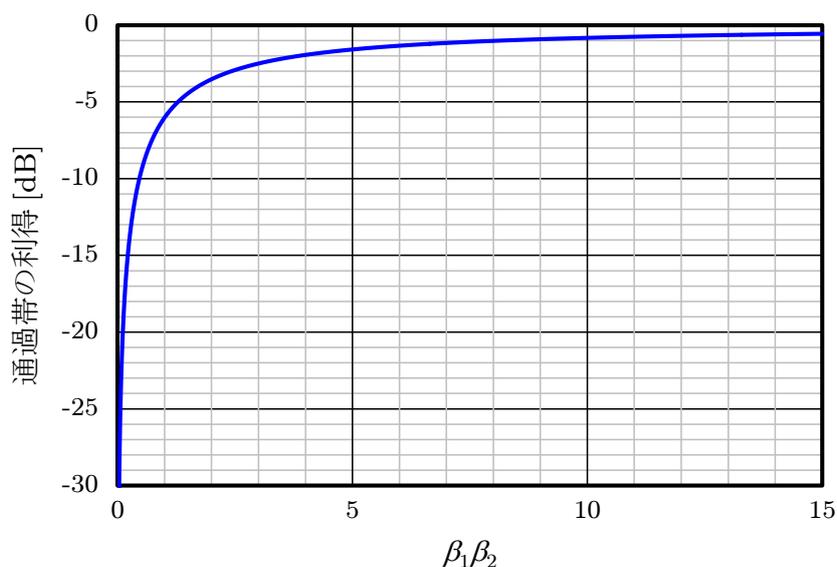


図 7.22:  $\beta_1\beta_2$  と通過帯の利得

るだけ小さくなるような設計が好ましい。図 7.21(b) によれば、 $\beta_1\beta_2$  が小さいほど、または  $Q$  が大きいほど  $\omega_2$  が小さくなる傾向が見られる。加えて  $\beta_1\beta_2$  を小さくすると、電流増幅器内のカレントミラーノードの周波数特性劣化も改善できる。したがって、 $Q$  に対して必要な  $\beta_1\beta_2$  が定まった時、必要以上に  $\beta_1\beta_2$  は大きく設定するべきではないと言える。

ただし、通過帯の利得が、

$$H(0) = \frac{\beta_1\beta_2}{1 + \beta_1\beta_2} \frac{R_2}{R_0} \quad (7.96)$$

であるため、通過帯の利得を保つためにはある程度の  $\beta_1\beta_2$  を稼ぐ必要がある。図 7.22 に、 $R_0 = R_2$  とした際の通過帯域の利得と  $\beta_1\beta_2$  の関係を示す。例えば、 $Q = 0.54$  では  $\beta_1\beta_2 = 0.2$  などの低い値が許容されるものの、この時の通過帯の利得はわずか  $-15.6$  dB となってしまう。

#### 7.2.4.4 電流増幅器の要求仕様

最後に、電流増幅器の要求仕様をまとめる。

■低入力インピーダンス 電流増幅器の入力インピーダンスは、カットオフ特性を乱す原因となる。したがって、広帯域に渡り入力インピーダンスが抑えられていることが望

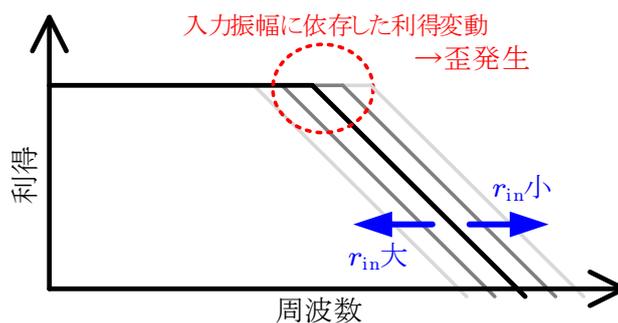


図 7.23: 入力インピーダンス変動と歪

ましい。また、図 7.23 に示したように、入力インピーダンスの変動はカットオフ特性を変動させてしまうため、カットオフ周波数付近の線形性が劣化してしまう。このため、入力インピーダンスは信号成分に依存せず、常に一定の値であることが求められる。

■**低雑音** 電流型フィルタにおいて、電流増幅器は主要な雑音源である。したがって、可能な限り低雑音である必要がある。

■**広帯域** フィルタで実現する信号帯域において、十分な帯域を持つ必要がある。特に電流増幅器では入力インピーダンスが周波数特性を持つため、帯域内で低入力インピーダンスが維持されている必要がある。

■**電流利得** 必要な  $Q$  に対し、十分な電流利得を実現しなければならない。

■**低消費電力** 回路全体の消費電力は、電流増幅器の消費電力によって決まる。電流型フィルタは Gm-C フィルタよりも少ないコンポーネント数でフィルタを構成できるが、各電流増幅器の消費電力が抑えられていなければフィルタの低電力化は達成されない。

### 7.3 高効率電流増幅器

電流型フィルタは電流増幅器の寄生成分がカットオフ周波数に影響しにくく、広帯域なフィルタの構成に適している。しかしながら、フィルタの帯域内で電流増幅器の諸特性が保たれている必要がある。また、第4章で述べたように、低入力インピーダンスを実現するためには消費電力の増加も必要である。本節では、低入力インピーダンス特性や周波数特性などを中心に、高効率電流増幅器について検討を行う。

#### 7.3.1 従来の電流増幅器

帯域が広く、入力インピーダンスが比較的低い電流増幅器として、第4章ではFVF構造を持つ電流増幅器を検討した。差動構成の電流増幅器は図7.24のようになる。FVF構造では、M1及びM2のトランジスタが持つ固有利得によって入力インピーダンスを軽減する。また、局所的な帰還においても十分な位相余裕が確保されており、GHzオーダーの帯域を実現することができる。

この回路の入力インピーダンスは、

$$r_{in} = \frac{1}{G_{i1}g_{m3}} \quad (7.97)$$

と表された。この入力インピーダンスは  $g_{m3}$  を含むため、信号電流の流入によって入力インピーダンスが変化してしまい、線形性を劣化させる要因となってしまう。ここでは具体的に、図7.25のように  $I_{inp}$  から信号電流が流れ込む場合を  $\Delta I > 0$  として考える。

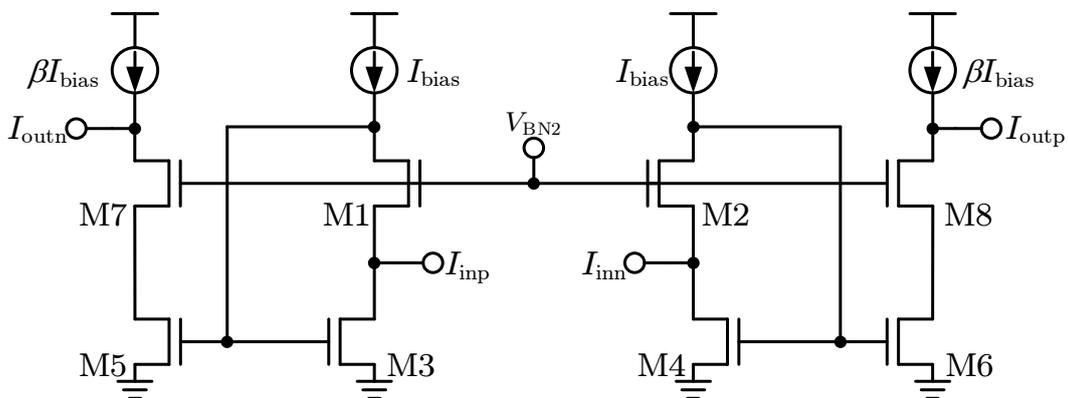
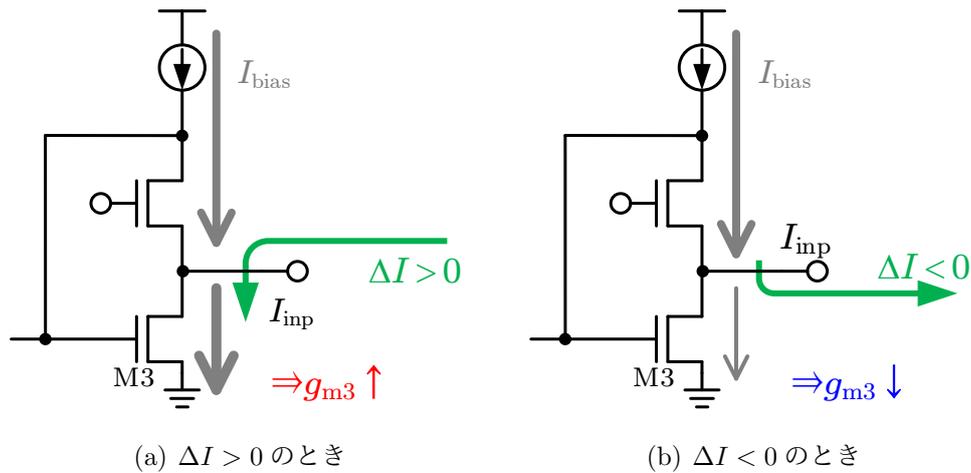


図 7.24: FVF 構造を持つ差動電流増幅器 [14, 15]

図 7.25: 信号電流  $\Delta I$  と  $g_{m3}$ 

$g_{m3}$  は  $I_{\text{bias}}$  及び  $\Delta I$  を用いて,

$$g_{m3} = \frac{2I_{D3}}{V_{\text{eff}}} = \frac{2}{V_{\text{eff}}} (I_{\text{bias}} + \Delta I) \quad (7.98)$$

と表される. したがって, 図 7.25 示すように, 信号電流の方向によって  $g_{m3}$  の増減が変わってしまう. 特に信号電流を吐き出す場合は  $I_{D3}$  が減少するため入力インピーダンスが上昇し,  $\Delta I = I_{\text{bias}}$  で  $I_D = 0$  となるとリミットがかかってしまう. このような特性は, NMOS 入力または PMOS 入力の電流増幅器では共通であるため, 5.2.1 節で述べた  $g_m$  ブースト技術を採用した FVF 構造を持つ電流増幅器でも問題となる.

第 4 章の解析によると, 上記の入力インピーダンス特性を考慮した一次と三次の係数の比率は, 次のように表された.

$$\left| \frac{a_3}{a_1} \right| \approx \frac{3}{64} \frac{V_{\text{eff}}}{AR_S^3 I_{\text{bias}}^3} \quad (7.99)$$

ただし,  $R_S$  は電流増幅器の入力端子に直列に接続されている抵抗 (電流型フィルタでは  $R_1$  と  $R_2$ ) である. したがって線形性を改善するためには, カットオフ特性を決める  $R_1, R_2$  を大きくする,  $I_{\text{bias}}$  を大きくするなどが有効である. しかしながらカットオフ周波数が高い場合,  $\omega_1, \omega_2$  も大きくなるため,  $R_1, R_2$  は自由に大きくすることができない. また  $I_{\text{bias}}$  を増やす方法は, 消費電力の増加や雑音特性の劣化につながってしまう. この回路の入力換算雑音電流は,

$$\overline{i_{n,\text{in}}^2} \approx 16kT\gamma g_m \left\{ 1 + \frac{1}{\beta} + \left( 1 + \frac{1}{2\gamma} \right) \frac{1}{N} + \frac{1}{N^2} \right\} \quad (7.100)$$

で表される。ただし、 $N = g_m R_S$  である。電流増幅器では雑音電力は電流性となり、 $g_m$  の増加は雑音電力の増加に直結する。

このように各特性の間にはトレードオフが存在するため、低消費電力、高線形性、低雑音を両立することは非常に困難である。

### 7.3.2 相補入力化

線形性の改善を低電力で実現するためには、ローカルフィードバックによる入力インピーダンス低減技術に加えて、入力インピーダンスの変動を抑える技術が必要である。そこで図 7.26 のような相補入力型の電流増幅器を検討する。この回路において、入力インピーダンスは、

$$r_{in} = \frac{1}{g_{m3p} + g_{m3n}} \quad (7.101)$$

と表される。ただし、 $g_{m3p}$  及び  $g_{m3n}$  はそれぞれ、M3p 及び M3n のトランスコンダクタンスを表している。それぞれのトランジスタのバイアス電流を  $I_{bias}$  と仮定する。 $g_{m3p} \approx g_{m3n}$  を仮定すると、信号電流  $\Delta I$  は半分ずつ PMOS 側と NMOS 側に流れる。このとき、M3n のドレイン電流  $I_{D3n}$  と M3p のドレイン電流  $I_{D3p}$  はそれぞれ、

$$I_{D3n} \approx I_{bias} + \frac{\Delta I}{2} \quad (7.102)$$

$$I_{D3p} \approx I_{bias} - \frac{\Delta I}{2} \quad (7.103)$$

と近似できる。 $\Delta I > 0$  のとき、M3n は  $\Delta I/2$  電流が流れ込むため、 $g_{m3n}$  は上昇する。一方、M3p のドレイン電流は  $\Delta I/2$  だけ減少するため、 $g_{m3p}$  は減少する。 $\Delta I < 0$  のと

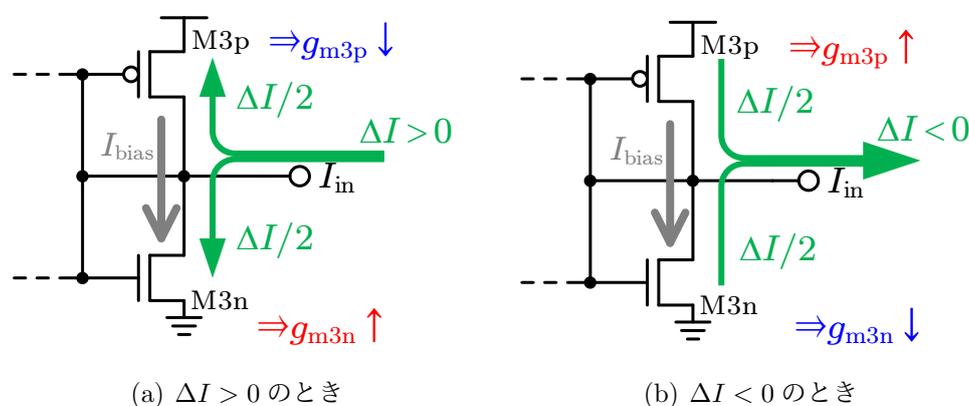


図 7.26: 相補入力構成における信号電流  $\Delta I$  と  $g_{m3}$

き, M3p は信号電流を吐き出す際にドレイン電流が増加するため,  $g_{m3p}$  は上昇する. 一方, M3n のドレイン電流減少するため,  $g_{m3n}$  は減少する. このように相補入力型の電流増幅器では信号電流の方向によらず, 片側の  $g_m$  が上昇し, 反対側の  $g_m$  が減少する動作をとる. この回路の入インピーダンスは (7.101) 式にあるとおり, NMOS と PMOS の二つのトランスコンダクタンスの和に依存している. 上記のような相補的な動作を行うことで, 二つのトランスコンダクタンスの和が変化しにくくなり, 結果として入力インピーダンスの変動を抑えることができる.

インピーダンス変動の改善効果を数式から導く. ドレイン電流を,

$$I_D = KV_{\text{eff}}^2 \quad (7.104)$$

とすると,  $g_m$  は,

$$g_m = \frac{2I_D}{V_{\text{eff}}} = 2\sqrt{KI_D} \quad (7.105)$$

と変形される. M3n のトランスコンダクタンスは (7.102) 式より,

$$g_{m3n} = 2\sqrt{KI_{D3n}} = 2\sqrt{KI_{\text{bias}}}\sqrt{1 + \frac{\Delta I}{2I_{\text{bias}}}} \quad (7.106)$$

と表される. 同様に M3p について,

$$g_{m3p} = 2\sqrt{KI_{D3p}} = 2\sqrt{KI_{\text{bias}}}\sqrt{1 - \frac{\Delta I}{2I_{\text{bias}}}} \quad (7.107)$$

である. ただし簡単のため, PMOS と NMOS の  $K$  が同じであると仮定する. (7.101) 式より, 入力インピーダンスは次のように表される.

$$\begin{aligned} r_{\text{in}}(\Delta I) &= \frac{1}{2\sqrt{KI_{\text{bias}}}} \frac{1}{\sqrt{1 + \frac{\Delta I}{2I_{\text{bias}}}} + \sqrt{1 - \frac{\Delta I}{2I_{\text{bias}}}}} \\ &\approx r_{\text{in}}(0) \left\{ 1 + \frac{1}{32} \left( \frac{\Delta I}{I_{\text{bias}}} \right)^2 \right\} \end{aligned} \quad (7.108)$$

ここで  $\Delta I \ll I_{\text{bias}}$  として近似した. NMOS 入力型電流増幅器の解析結果である (4.184) 式及び (4.185) 式と比較すると,

$$\alpha_1 : -\frac{1}{2} \rightarrow 0 \quad (7.109)$$

$$\alpha_2 : \frac{3}{8} \rightarrow \frac{1}{32} \quad (7.110)$$

となり, いずれの係数も大幅に小さくなっている様子が確認できる. このように, 相補入力構成は入力インピーダンスの変動抑制に対して大きな効果がある.

### 7.3.3 SSF 構造を持つ相補入力型電流増幅器

しかしながら、図 7.26 の回路は局所的な帰還の利得が無いため、入力インピーダンスが高いという問題がある。そこで FVF 構造のような局所的な帰還に利得を持つ回路を相補入力化する方法を考える。FVF 構造はフィードバックの利得を作るトランジスタのソース側に入力端子が入るため、図 7.26 のような NMOS と PMOS の両ドレイン端子を入力端子に接続することができない。

そこで FVF 構造と同じローカルフィードバックを持つ SSF 構造を用いて、相補入力型電流増幅器を構成する。SSF 構造を用いた NMOS 側、PMOS 側の電流増幅器は図 7.27 のようになる。これらの入出力端子は、NMOS 側カレントミラーは NMOS のドレイン、PMOS 側カレントミラーは PMOS のドレイン端子側となっており、図 7.26 のようにドレイン側で貼り合わせることができる。このとき、カレントミラーの反対側の電流源は省略され、PMOS 側で使用したバイアス電流はそのまま NMOS 側で再利用される。

SSF 構造を持つ相補入力型電流増幅器を図 7.28 に示す。入出力の線を境界に、上側が図 7.27(b) の電流増幅器、下側が図 7.27(a) の電流増幅器となっている。バイアス電流は縦方向のみに流れており、M9n と M1n, M1p と M9p の間に定常的な電流のやり取りは存在しない。M1n, M1p, M2p, M2n, M7p, M7n, M7p, M8n, M8p のトランジスタはいずれもカスコードトランジスタとして動作し、各カレントミラー回路の  $V_{DS}$  を揃える役割と、出力インピーダンスを高める役割を担う。回路全体の消費電流は  $2(1 + \beta + \alpha)I_{bias}$  と表され、図 7.27 に示した電流増幅器を差動化したものと同等である。

#### 7.3.3.1 小信号等価回路解析

小信号等価回路解析を通して、入力インピーダンスを算出する。PMOS 側と NMOS 側が同一のトランジスタパラメータを持つと仮定すると、相補入力型電流増幅器内の PMOS 側及び NMOS 側の各電流増幅器は同じ動作を行うと考えられる。そこでここでは、図 7.29 に示した NMOS 側の SSF 構造を持つ電流増幅器の小信号等価回路を解析する。FVF 構造を持つ電流増幅器の小信号等価回路（図 4.31）と比較すると、二つの回路が類似した小信号等価回路を持つことがわかる。NMOS 側の入力インピーダンスは

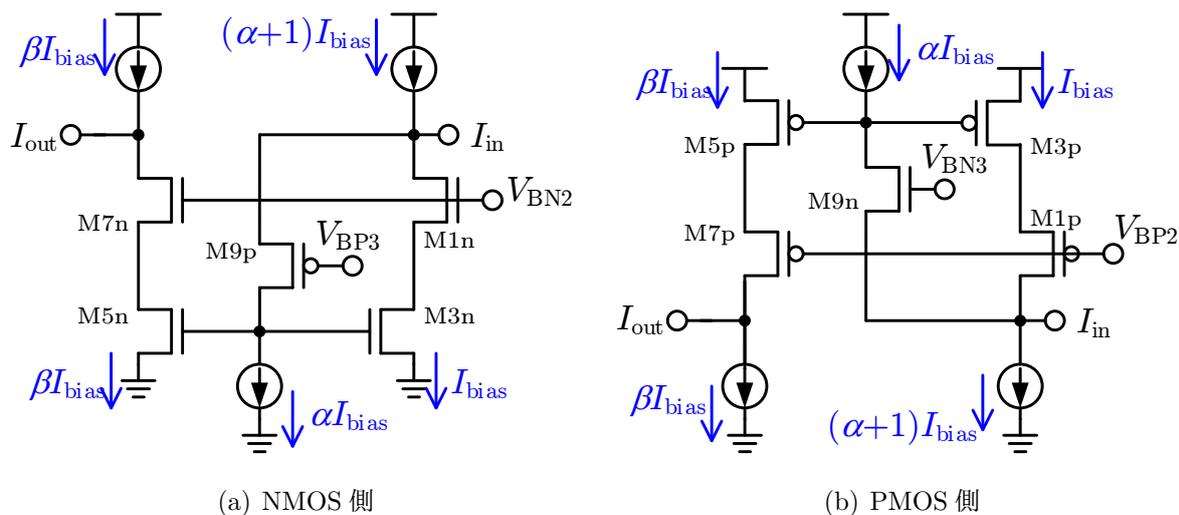


図 7.27: SSF 構造 [16, 17] を持つ電流増幅器 (単相回路)

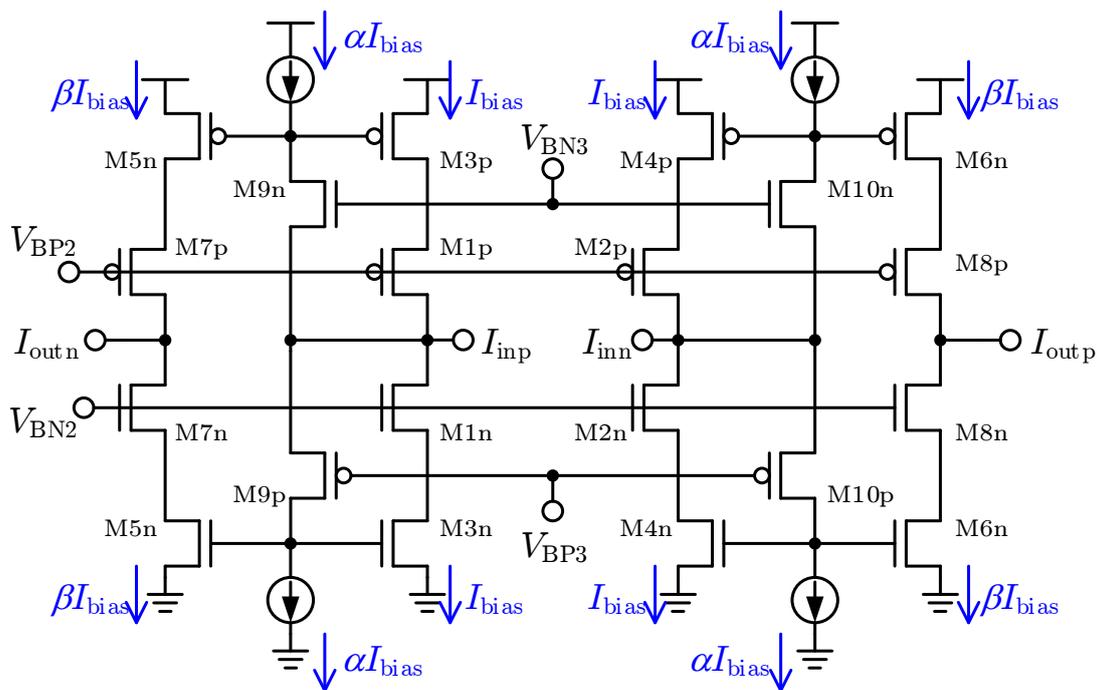


図 7.28: SSF 構造を持つ相補入力型差動電流増幅器

(4.153) 式より,

$$r_{in,N}(s) \approx \frac{1}{G_{i9}g_{m3n}} \frac{1 + s \frac{C_{Xn}}{g_{d9p}}}{1 + \frac{sC_{Xn}}{g_{m3n}} + \frac{s^2 C_{in1} C_{Xn}}{g_{m3n}g_{m9p}}} \quad (7.111)$$

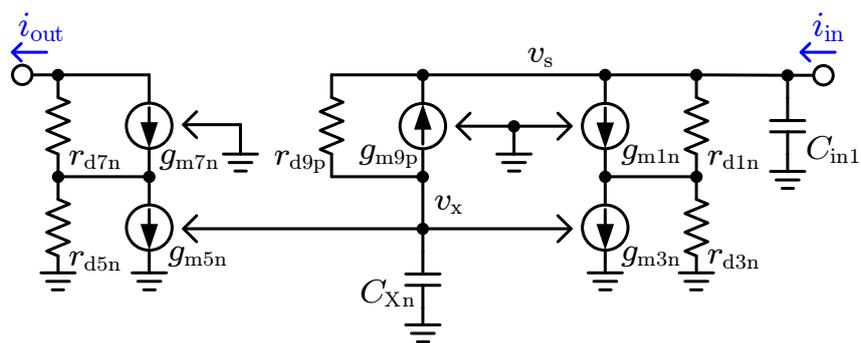


図 7.29: SSF 構造を持つ電流増幅器の小信号等価回路

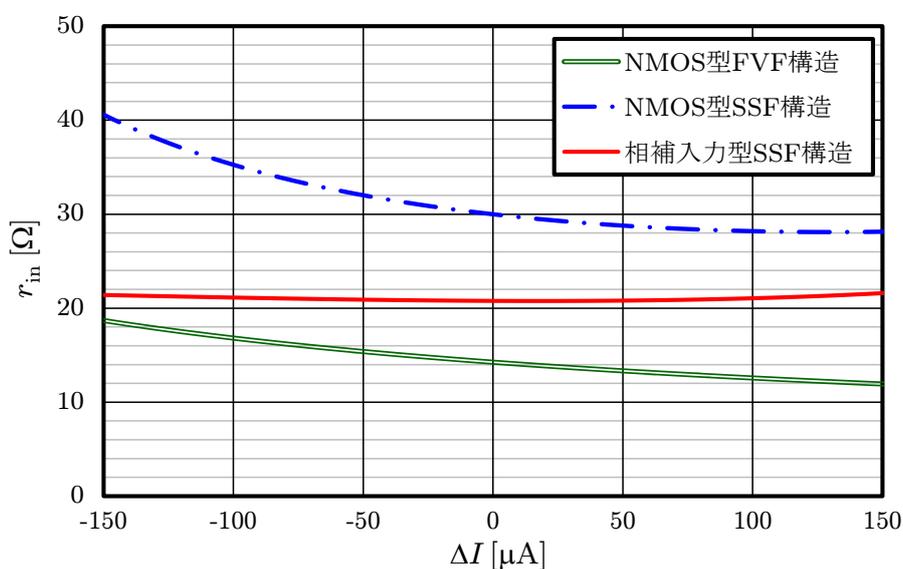


図 7.30: 入力インピーダンスの DC 特性

と表される. 同様に  $r_{in,P(s)}$  を定義すれば, 相補入力型の入力インピーダンスは,

$$r_{in}(s) = \frac{r_{in,N}(s) \cdot r_{in,P}(s)}{r_{in,N}(s) + r_{in,P}(s)} \quad (7.112)$$

となる.

■DC 状態における入力インピーダンス  $s = 0$  の場合を想定する. 相補入力型の電流増幅器の入力インピーダンスは,

$$r_{in}(0) \approx \frac{1}{G_{i9}(g_{m3n} + g_{m3p})} \quad (7.113)$$

となる. (7.101) 式と同様に NMOS 側と PMOS 側のトランスコンダクタンスの和によって入力インピーダンスが決まる. また, FVF 構造と同様に M9 の固有利得により入力イ

表 7.4: 図 7.30 及び図 7.32 の設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
消費電力	2.5 mW
$\alpha$	0.8
$\beta$	1

ンピーダンスは低減される。

図 7.30 に、 $\Delta I$  を入力した際の入力インピーダンスを示す。シミュレーション条件は表 7.4 に示したとおりである。ここでは NMOS 型の FVF 構造を持つ電流増幅器、SSF 構造を持つ電流増幅器、及び相補入力型の電流増幅器の三種類を比較する。まず  $\Delta I = 0$  の点で比較すると、NMOS 型 FVF 構造が最も入力インピーダンスが低く、次いで相補入力型 SSF 構造、NMOS 型 SSF 構造と続く。FVF 構造では  $\alpha I_{\text{bias}}$  を流す必要が無く、多くの電流を  $I_{\text{bias}}$  に割くことができるため、入力インピーダンスを低くすることができる。しかしながら、入力インピーダンスの変動を見ると、NMOS 型の電流増幅器では  $\Delta I < 0$  において入力インピーダンスが大幅に上昇している。グラフの範囲において、入力インピーダンスの変動量は NMOS 型 FVF 構造で約  $9\Omega$ 、NMOS 型 SSF 構造で約  $12\Omega$ 、相補入力型 SSF 構造ではわずか  $1\Omega$  となる。

このように、SSF 構造を持つ相補入力型電流増幅器は、低入力インピーダンスと一定の入力インピーダンスを両立することができる。

■入力インピーダンスの周波数特性 入力インピーダンスが上昇を始める周波数は  $g_{d9p}/C_{Xn}$  または  $g_{d9n}/C_{Xp}$  で決まる。相補入力型では、PMOS 側のゲートサイズが大きくなり、 $C_{Xp} > C_{Xn}$  となる。FVF 構造を持つ電流増幅器の場合と同様に、カレントミラーのミラー比（ここでは  $\beta$  と表記されている）が大きくなることによって  $C_{Xp}$  は上昇するため、入力インピーダンスを抑制する帯域は低くなる。入力インピーダンスのゼロ点を  $\omega_z$  とすると、M9 は  $\alpha I_{\text{bias}}$  でバイアスされているため、

$$\omega_z = \frac{g_{d9n}}{C_{Xp}} = \frac{\alpha}{(\beta + 1)K_{C,M9p}V_A} \quad (7.114)$$

となる。ただし、

$$C_{Xp} = (\beta + 1)K_{C,M9p}I_{\text{bias}} \quad (7.115)$$

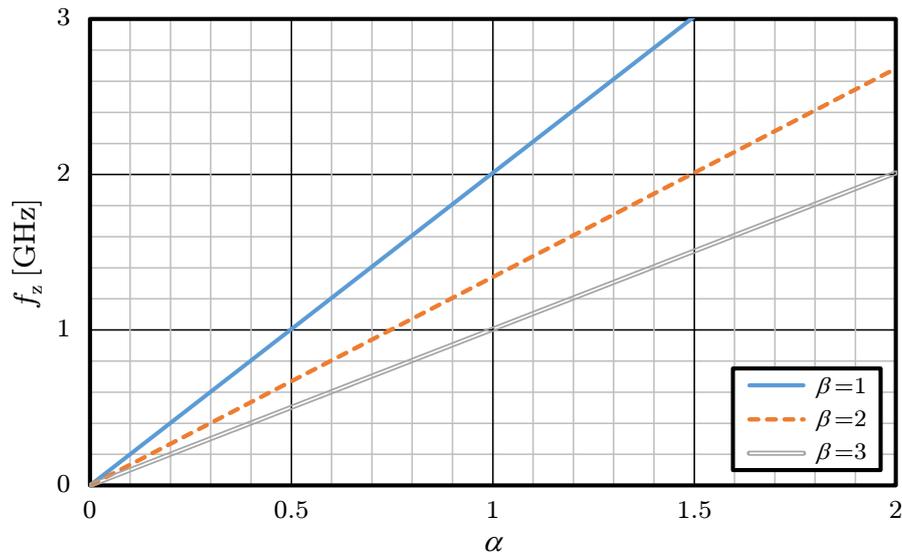


図 7.31:  $C_{Xp}$  による入力インピーダンスゼロ点周波数

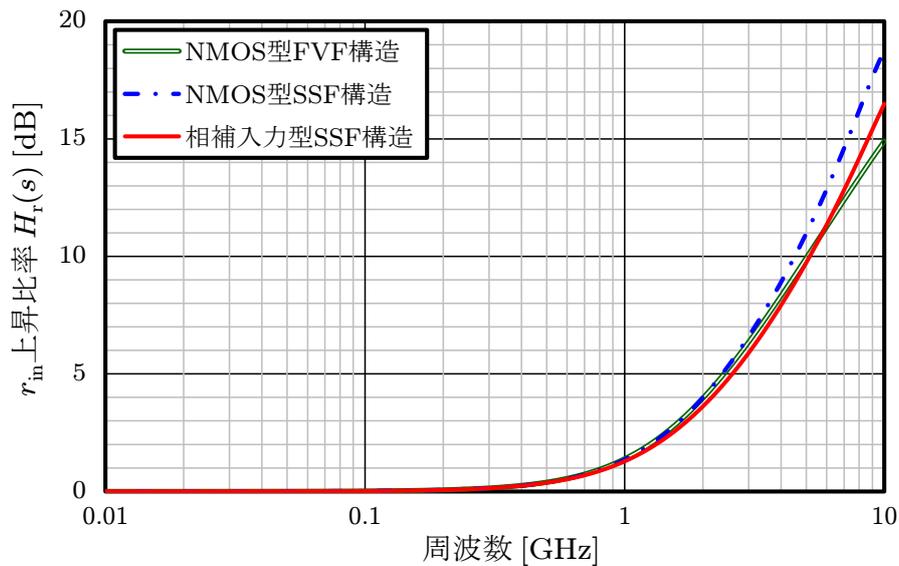


図 7.32: 入力インピーダンスの周波数特性

として整理した. (7.114) 式によると, 入力インピーダンスのゼロ点は  $I_{bias}$  に依存せず,  $\alpha$  や  $\beta$  に関して強い相関を持つ.

図 7.31 に, 典型値を代入して求めた  $\omega_z$  を示す.  $\alpha$  が大きい場合,  $g_{m9n}$  が上昇するため, このゼロ点は高い周波数に移動する. このとき, 消費電力と入力インピーダンスの帯域はトレードオフであると言える. 一方,  $\beta$  が大きくなると負荷容量  $C_{Xp}$  が上昇し,

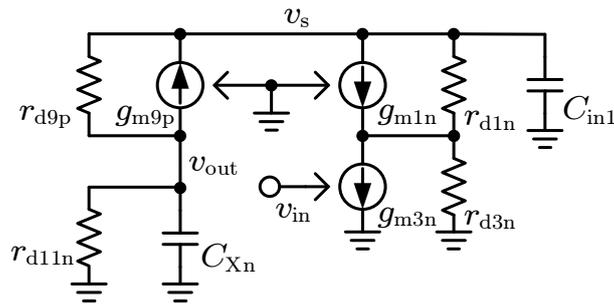


図 7.33: SSF 構造の開ループ等価回路

帯域が狭くなってしまふ。この周波数特性は、大きな電流利得を必要とする場合に問題となる。

図 7.32 は、 $\beta = 1$  における各電流増幅器の入力インピーダンス周波数特性を比較したものである。ただし、入力インピーダンスの上昇比率  $H_r(s)$  の定義は (4.163) 式の通りである。グラフの縦軸は、 $20 \log |H_r(s)|$  [dB] でプロットを行った。設計条件は表 7.4 と同様である。いずれの電流増幅器も、1 GHz を超えた付近から入力インピーダンスの上昇が始まり、以降はほぼ一次の特性で入力インピーダンスが増加する。相補入力型 SSF 構造の電流増幅器は、図 7.31 によれば  $f_z = 1.6$  GHz となっており、実際に図 7.32 においても 1.8 GHz 付近で 3 dB の上昇となった。

■出力インピーダンス 出力インピーダンスはカスコード抵抗の並列回路となるため、

$$r_{out} \approx \frac{g_{m7p}}{g_{d5p}g_{d7p}} // \frac{g_{m7n}}{g_{d5n}g_{d7n}} = \frac{G_{i7}}{2g_{d5}} \quad (7.116)$$

と表される。

### 7.3.3.2 一巡伝達関数

FVF 構造では一巡伝達関数の解析により、カレントミラーノードの寄生容量  $C_X$  がドミナントポールを作り、セカンドポールは固有利得を作るトランジスタの  $C_{GS}$  が主であった。相補入力型 SSF 構造においても、FVF 構造と類似した性質が得られると考えられる。

図 7.33 は NMOS 側 SSF 構造の開ループ等価回路である。ただし、 $r_{d11n}$  は、 $\alpha I_{bias}$  を供給する電流源の動的抵抗を表す。通常は NMOS トランジスタで再現されるため、 $g_{d11n} \propto \alpha I_{bias}$  である。ここではノートンの定理を用いて一巡伝達関数を導出する。 $v_{out}$

を接地した際に出力端に到達する信号電流  $i_{\text{out}}$  は,

$$i_{\text{out}} \approx \frac{g_{m9p} + g_{d9p}}{\frac{g_{d1p}g_{d3p}}{g_{m1n}} + g_{m9p} + g_{d9p} + sC_{\text{in1}}} \cdot g_{m3n}v_{\text{in}} \approx \frac{g_{m3n}}{1 + \frac{sC_{\text{in1}}}{g_{m9p}}}v_{\text{in}} \quad (7.117)$$

である. 一方, 出力端子から見込んだインピーダンスは,

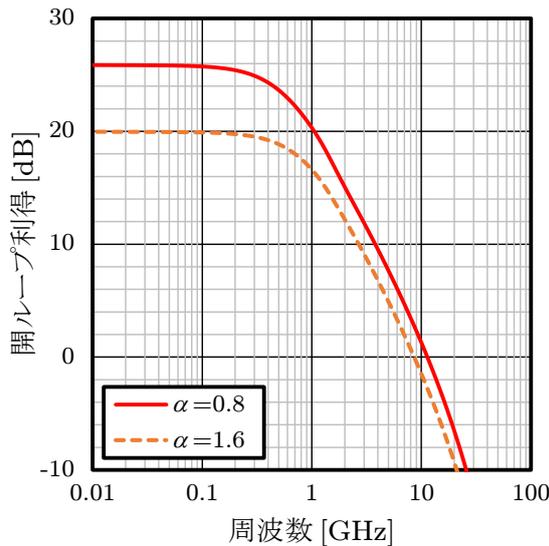
$$r_{\text{out}} \approx \frac{1}{g_{d11n} + sC_{Xn}} \quad (7.118)$$

と表される. したがって, 一巡伝達関数は次のように求まる.

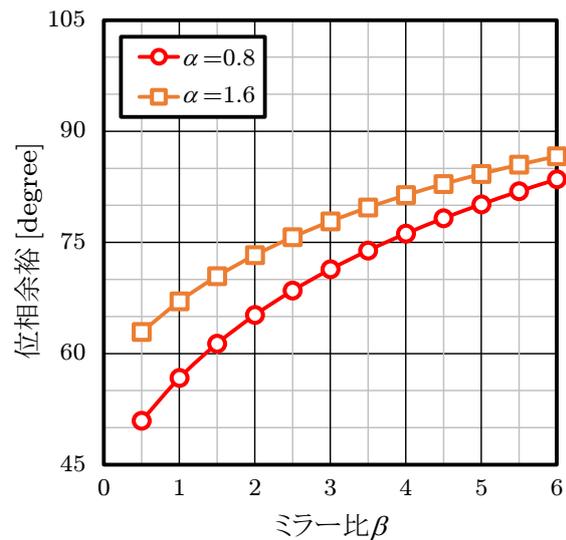
$$\begin{aligned} H_{\text{open}}(s) &\approx \frac{g_{m3n}}{g_{d11n}} \frac{1}{1 + \frac{sC_{Xn}}{g_{d11n}}} \frac{1}{1 + \frac{sC_{\text{in1}}}{g_{m9p}}} \\ &= \frac{\frac{G_{i3}}{\alpha}}{\left(1 + \frac{sC_{Xn}}{\alpha g_d}\right) \left(1 + \frac{sC'_{\text{in1}}}{g_m}\right)} \end{aligned} \quad (7.119)$$

ここで,  $g_{m9p} = \alpha g_m, g_{d11n} = \alpha g_d$  とした. また,  $C_{\text{in1}}$  は M9 の  $C_{\text{GS}}$  を主とする寄生容量であるため,  $C_{\text{in1}} = \alpha C'_{\text{in1}}$  として整理した. SSF 構造において  $\alpha$  を大きくすると, 開ループ利得が減少するという傾向が得られる. また, セカンドポールは  $\alpha$  に依存しないが, ドミナントポールは  $\alpha$  に比例する. ユニティゲイン周波数は,

$$\omega_u \approx G_{i3} \frac{g_d}{C_{Xn}} \quad (7.120)$$



(a)  $\beta = 1$  における周波数特性



(b) 位相余裕

図 7.34: 相補入力型 SSF 構造を持つ電流増幅器の一巡伝達関数特性

と表される。相補入力型の SSF 構造も、これらと同様の傾向が得られると考えられる。

表 7.4 の条件で設計した相補入力型 SSF 構造を持つ電流増幅器について、ミラー比  $\beta$  を変数として位相余裕を調べる。図 7.34 にシミュレーション結果を示す。図 7.34(a) は、 $\beta = 1$  における一巡伝達関数の特性を示している。 $\alpha = 0.8$  について、DC 利得は 26 dB ほど確保されており、600 MHz 付近から利得の低下が始まる。セカンドポールの周波数は十分高く、0 dB 付近まできれいな一次減衰特性が得られている。一方、 $\alpha = 1.6$  での DC 利得は (7.119) 式の通り、 $\alpha = 0.8$  から 6 dB 程度劣化している。ただし、ドミナントポールはあまり伸びていない。図 7.34(b) に示した位相余裕のグラフを見ると、 $\alpha = 0.8, \beta = 1$  においても約  $57^\circ$  の位相余裕が得られており、それ以上の  $\alpha, \beta$  では  $60^\circ$  を越える十分な位相余裕が確保されている。

### 7.3.3.3 歪の解析

相補入力型 SSF 構造の入力インピーダンスは、(7.113) 式で表された。これを元に、(7.108) 式を書き直すと、次のように表される。

$$r_{in}(\Delta I) = \frac{1}{2G_{i9}g_m} \left\{ 1 + \frac{1}{32} \left( \frac{\Delta I}{I_{bias}} \right)^2 \right\} \quad (7.121)$$

ただし、ここで  $g_m$  は  $\Delta I = 0$  における  $g_{m3}$  とする。入力端子に抵抗  $R_S$  が付いた場合の  $a_3/a_1$  は、

$$\left| \frac{a_3}{a_1} \right| \approx \frac{1}{128G_{i9}g_m R_S} \frac{1}{I_{bias}^2} = \frac{1}{4 \cdot 64 G_{i9} R_S^3 I_{bias}^3} \frac{V_{eff}}{I_{bias}^3} \quad (7.122)$$

と表される。(4.186) 式によれば、NMOS 型 FVF 構造では、

$$\left| \frac{a_3}{a_1} \right| \approx \frac{3}{64 G_{i1} R_S^3 I_{bias}^3} \frac{V_{eff}}{I_{bias}^3} \quad (7.123)$$

と表された。相補入力化により、同じ  $I_{bias}$  において  $|a_3/a_1|$  は 12 分の 1 になる。これを IIP3 に換算すると、10.8 dB の改善に相当する。

### 7.3.3.4 ノイズ特性

相補入力型 SSF 構造のノイズ特性について調べる。図 7.35 に示した NMOS 側の SSF 構造についてノイズを計算し、最後に全電力を求める。

M3 からの雑音電流は,

$$\overline{i_{n,\text{out}}^2}\Big|_{M3} \approx \beta^2 \overline{i_{n,M3}^2} \quad (7.124)$$

M5 の雑音電流は全て出力端子に到達する.

$$\overline{i_{n,\text{out}}^2}\Big|_{M5} \approx \overline{i_{n,M5}^2} \quad (7.125)$$

M9 及び  $\alpha I_{\text{bias}}$  から出力端子に到達する雑音電流はそれぞれ, 次のように表される.

$$\overline{i_{n,\text{out}}^2}\Big|_{M9} \approx \beta^2 \frac{g_{d3}^2}{G_{i1}^2 g_{m9}^2} \cdot \overline{i_{n,M9}^2} \quad (7.126)$$

$$\overline{i_{n,\text{out}}^2}\Big|_{M11} \approx \beta^2 \cdot \overline{i_{n,M11}^2} \quad (7.127)$$

出力雑音電流の合計は,

$$\begin{aligned} \overline{i_{n,\text{out}}^2} &= \overline{i_{n,\text{out}}^2}\Big|_{M3} + \overline{i_{n,\text{out}}^2}\Big|_{M5} + \overline{i_{n,\text{out}}^2}\Big|_{M9} + \overline{i_{n,\text{out}}^2}\Big|_{M11} \\ &\approx \beta^2 \overline{i_{n,M3}^2} + \overline{i_{n,M5}^2} + \beta^2 \frac{g_{d3}^2}{G_{i1}^2 g_{m9}^2} \cdot \overline{i_{n,M9}^2} + \beta^2 \cdot \overline{i_{n,M11}^2} \\ &\approx 4kT\gamma \left( \beta^2 \cdot g_m + \beta \cdot g_m + \frac{\beta^2}{\alpha^2 G_{i1}^4} \cdot \frac{1}{\alpha} \cdot \alpha g_m + \beta^2 \cdot \alpha g_m \right) \\ &\approx \beta^2 \cdot 4kT\gamma g_m \left( 1 + \frac{1}{\beta} + \alpha \right) \end{aligned} \quad (7.128)$$

となる. 差動構成及び相補入力を考慮した入力換算雑音は,

$$\begin{aligned} \overline{i_{n,\text{in}}^2} &= 4 \cdot \frac{\overline{i_{n,\text{out}}^2}}{\beta^2} \\ &\approx 16kT\gamma g_m \left( 1 + \frac{1}{\beta} + \alpha \right) \end{aligned} \quad (7.129)$$

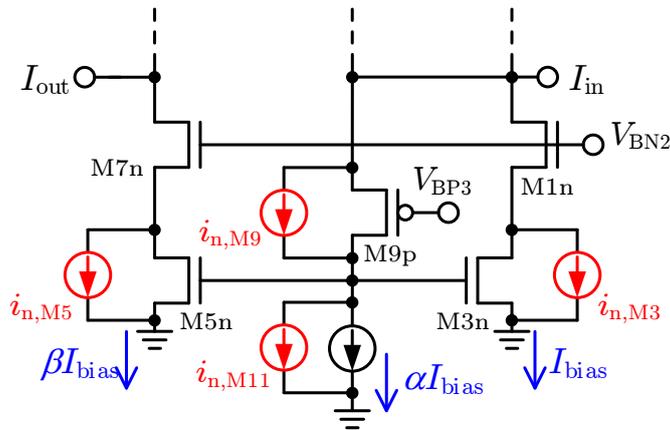


図 7.35: SSF 構造の雑音源

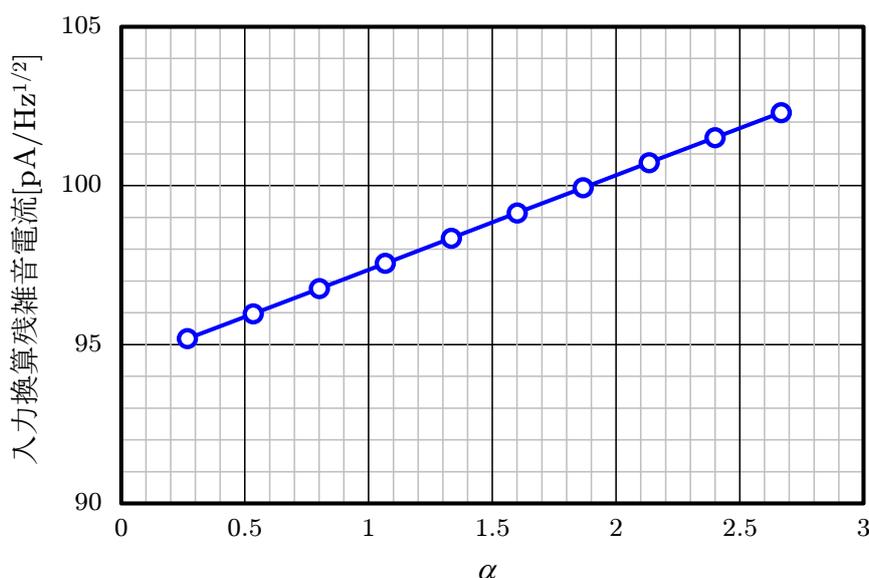


図 7.36: 相補入力型 SSF 構造を持つ電流増幅器の雑音特性

となり，おおよそ消費電流に対して比例した入力換算雑音電流となる．FVF 構造を持つ電流増幅器の入力換算雑音電流は，(4.192) 式より， $N \rightarrow \infty$  とすると，

$$\overline{i_{n,\text{in}}^2} \approx 16kT\gamma g_m \left(1 + \frac{1}{\beta}\right) \quad (7.130)$$

であるため，SSF 構造では  $\alpha$  の増分が雑音電力の劣化分となる．線形性及び入力インピーダンス改善のために  $I_{\text{bias}}$  を増やすと，FVF 構造と同様に雑音特性の劣化が生じる．また，帯域に関する解析結果のみを考えれば， $\alpha$  が大きいほど帯域は広がるが，一方で雑音特性を劣化させてしまうという問題を持つ．図 7.36 に， $\alpha$  と雑音の関係を示す．シミュレーション条件は  $\alpha$  を除き，表 7.4 のとおりである．(7.129) 式に示したように， $\alpha$  と雑音電力には相関が存在する．今回は 1 GHz の帯域を目指すため，図 7.31 に示した入力インピーダンスのゼロ点周波数も考慮して， $\alpha = 0.8$  を基準に設計を行う．

### 7.3.3.5 性能比較

最後に，NMOS 型 FVF 構造を持つ電流増幅器との SNDR の比較を行う．シミュレーションの条件は表 7.5 のとおりである． $R_S$  は入力端子に接続された抵抗であり，電圧源から抵抗  $R_S$  を挟んで信号を入力する．

図 7.37 に，それぞれの SNDR と入力振幅の関係を示す．なお，ブースト（ゲート接

表 7.5: 図 7.37 の設計条件

プロセス	65nm CMOS
電源電圧	1.2 V
消費電力	2.5 mW
雑音積分帯域消費電力	2 GHz
$\alpha$	0.8
$\beta$	1
$R_S$	500 $\Omega$
入力周波数	100 MHz

地) は第 5 章の  $g_m$  ブーストで述べたゲート接地回路付き FVF 構造を持つ電流増幅器である (図 5.12(b)). まず低入力振幅側を見ると, いずれの電流増幅器も同じ SNDR 特性をたどることが確認できる. 今回の比較では, 両者の消費電流を揃えたため,

$$(1 + \beta) \cdot I_{\text{bias}}|_{\text{N-FVF}} = (1 + \beta + \alpha) \cdot I_{\text{bias}}|_{\text{C-SSF}} \quad (7.131)$$

が成立しており, (7.129) 式及び (7.130) 式に示した入力換算雑音は, ほぼ同等の値を持つ. したがって, 雑音特性で SNDR が決まる範囲では両者の値は一致する. 一方, 大きな振幅を入力した際の挙動は大きく異なる. 相補入力型 SSF 構造では  $-10$  dBV 入力付近まで SNDR が上昇するが, NMOS 型 FVF 構造は  $-15$  dBV から SNDR の劣化が始まる. 結果として, 相補入力型 SSF 構造を持つ電流増幅器の  $\text{SNDR}_{\text{peak}}$  は約 51.5 dB, NMOS 型 FVF 構造を持つ電流増幅器の  $\text{SNDR}_{\text{peak}}$  は 46 dB となり, 同じ消費電力で設計しているにも関わらず 5.5 dB の差となった.  $g_m$  ブーストの最大 SNDR は最も低い, 大振幅入力では NMOS 型 FVF 構造よりも高い線形性を実現している. NMOS 型 FVF 構造を持つ電流増幅器では, 最大 SNDR 付近で歪キャンセルが生じているものと推定される.

相補入力化による SNDR の改善は線形性の改善によってもたらされており, 図 7.30 に示した特性の改善がそのまま SNDR の改善につながっている. 消費電力の増加を伴わない線形性の改善は雑音特性の観点から非常に重要である. なぜなら, (7.129) 式などで示したように, 入力換算雑音電力は消費電流に比例するため, 線形性と雑音特性はトレードオフの関係にあるからである. 第 4 章の解析によると, 線形性と雑音特性のトレードオフを考慮した場合,  $\text{SNDR} \propto I^{2/3}$  が成立する. したがって, ある電流増幅器で

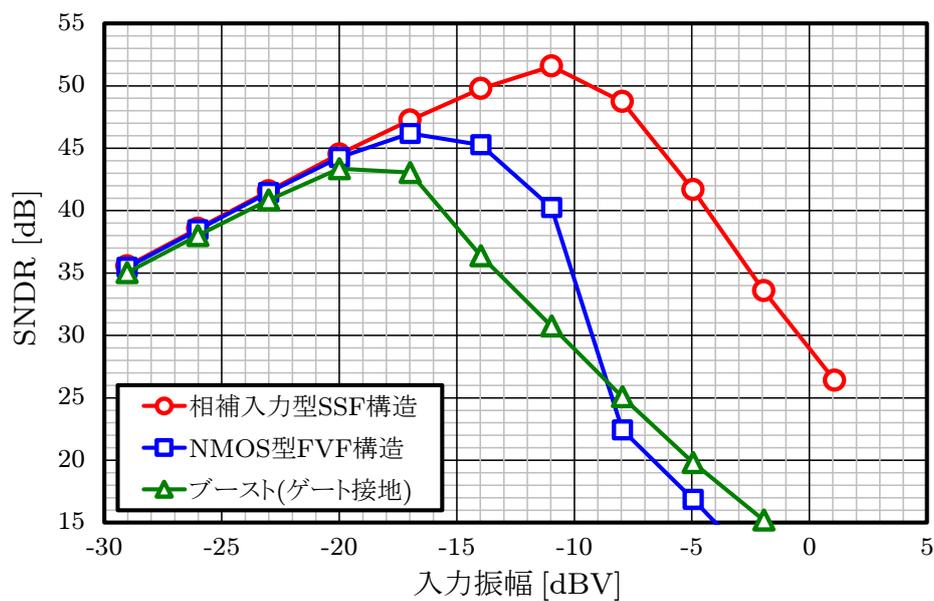


図 7.37: SNDR の比較

5.5 dB の SNDR 改善を果たすためには約 2.6 倍もの消費電力が必要となる。この相補入力型電流増幅器を用いることによって、高 SNDR を達成する低消費電力なフィルタを実現することが可能となる。

## 7.4 ミリ波向け4次1GHz帯域のフィルタ

本節では、60 GHz 帯ミリ波向けのフィルタとして、1 GHz の帯域を持つ4次のLPFを電流型フィルタで構成する。

### 7.4.1 フィルタの構成

図 7.38 に、4次電流型フィルタの全体構成を示す。このフィルタには電流増幅器が4つ用いられており、前段側が  $Q = 0.54$ 、後段側が  $Q = 1.31$  である。 $R$  や  $C$  の具体値は表 7.6 のとおりである。 $\beta_1$  から  $\beta_4$  までの電流増幅器には、7.3.3 節で議論した相補入力型 SSF 構造を持つ電流増幅器を用いた。ただし、 $\beta_3$  は電流利得が3と高いため、後述するソースフォロワバッファを挿入した電流増幅器を用いている。最も小さい抵抗は  $R_0$  の  $160 \Omega$  であるが、 $R_0$  はフィルタのカットオフ特性に影響を与えず、入力差動電圧を信号電流に変換する役割を担っている。次いで小さい抵抗は  $R_1$  であり、こちらは  $410 \Omega$  となっており、図 7.30 で示した入力抵抗  $21 \Omega$  に対して十分大きい。

表 7.6: 各素子の設定値

前段バイカッドフィルタ		後段バイカッドフィルタ	
$Q$	0.54	$Q$	1.31
$f_c$	1 GHz	$f_c$	1 GHz
$\beta_1$	1	$\beta_3$	3
$\beta_2$	1.5	$\beta_4$	2
$R_0$	$160 \Omega$	$R_{2s}$	$1.37 \text{ k}\Omega$
$R_1$	$410 \Omega$	$R_3$	$490 \Omega$
$R_{2f}$	$1.73 \text{ k}\Omega$	$R_4$	$560 \Omega$
$C_1$	240 fF	$C_3$	320 fF
$C_2$	500 fF	$C_4$	1.31 pF

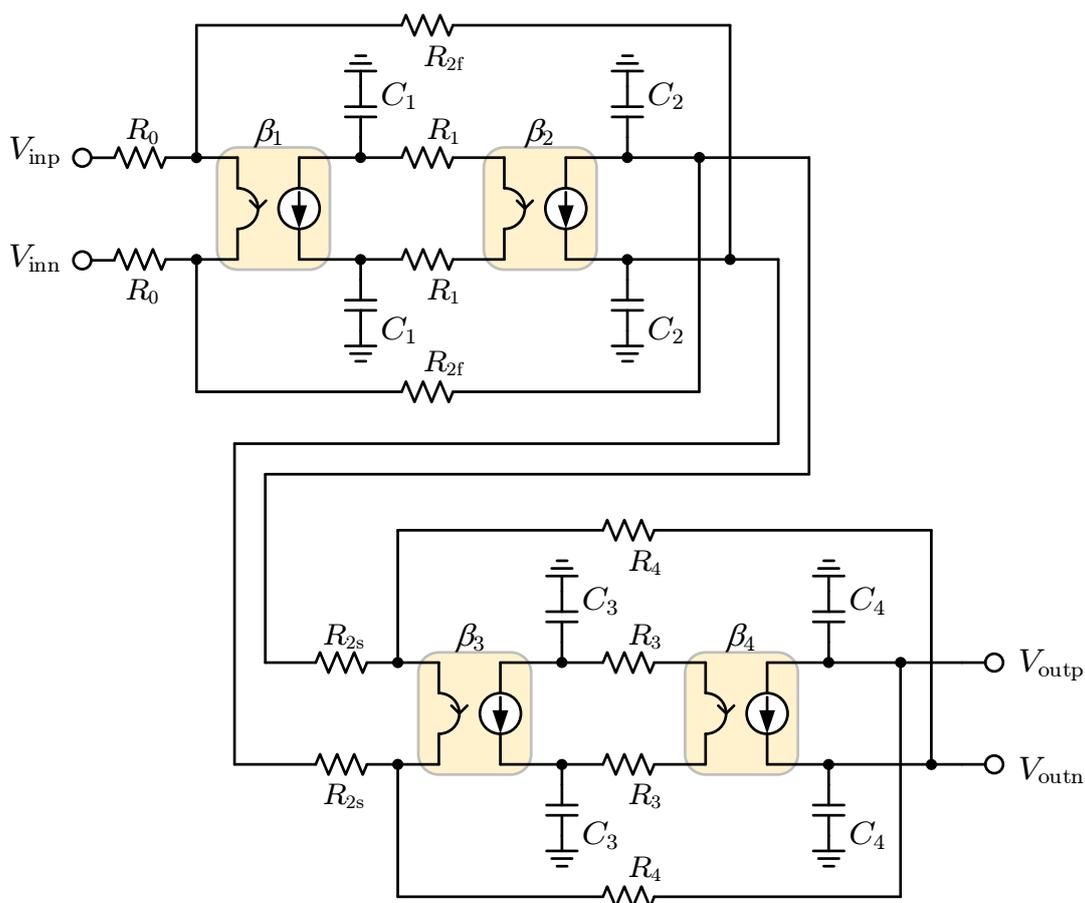


図 7.38: 4次電流型フィルタ

## 7.4.1.1 バイカッドフィルタの縦続接続

図 7.38 のフィルタにおいて、 $R_{2f}$  と  $R_{2s}$  の関係はやや特殊である。先述の通り電流増幅器はインピーダンスの分離が行えないため、前段バイカッドフィルタと後段バイカッドフィルタを接続する時、後段バイカッドフィルタの抵抗  $R_{2s}$  によって前段バイカッドフィルタの周波数特性（主に  $\omega_2$ ）が変化する。この影響について整理する。

■  $R_2$  の修正 図 7.17 における  $\beta_2$  からの帰還抵抗  $R_2$  は、

$$R_2 = R_{2f} // R_{2s} \quad (7.132)$$

と修正される。

■  $\beta_2$  の修正  $\beta_2$  の出力する信号電流の一部は後段バイカッドフィルタに行くため、 $\beta_1$  に帰還される電流はその分を差し引く必要がある。そこで、帰還に費やされる電流に対

する  $\beta_2$  の正味の利得  $\beta'_2$  を算出する.

$$\beta'_2 = \beta_2 \frac{\frac{1}{R_{2f}}}{\frac{1}{R_{2f}} + \frac{1}{R_{2s}}} = \frac{\beta_2}{1 + k_{\text{FB}}} \quad (7.133)$$

ただし,

$$k_{\text{FB}} = \frac{R_{2f}}{R_{2s}} \quad (7.134)$$

とおいた. したがって,  $Q$  を実現するために要求される  $\beta_1\beta_2$  に対して,  $k_{\text{FB}}$  によるロスを考慮してやや大きめの電流利得を用意しておかなければならない. この分流作用を考慮すると, 前段は  $\beta_1\beta_2$  の下限要求値が低い  $Q = 0.54$  とするのが望ましい.

■通過帯の利得 前段から後段に移動する電流量は,  $R_{2f}$  と  $R_{2s}$  の比率によって決定される. したがって, 通過帯の利得は次のように修正される.

$$\begin{aligned} H(0) &= \frac{\beta_1\beta'_2}{1 + \beta_1\beta'_2} \cdot \frac{\frac{1}{R_{2s}}}{\frac{1}{R_{2f}} + \frac{1}{R_{2s}}} \cdot \frac{\beta_3\beta_4}{1 + \beta_3\beta_4} \frac{R_4}{R_0} \\ &= \frac{\beta_1\beta_2}{1 + k_{\text{FB}} + \beta_1\beta_2} \frac{\beta_3\beta_4}{1 + \beta_3\beta_4} \frac{k_{\text{FB}}}{1 + k_{\text{FB}}} \frac{R_4}{R_0} \end{aligned} \quad (7.135)$$

なお,  $H(0)$  を最大とする  $k_{\text{FB}}$  は,

$$k_{\text{FB}} = \sqrt{1 + \beta_1\beta_2} \quad (7.136)$$

と表されるため, 設計における目安となる. この時の  $H(0)$  は,

$$H(0) = \frac{\beta_1\beta_2}{(1 + \sqrt{1 + \beta_1\beta_2})^2} \frac{\beta_3\beta_4}{1 + \beta_3\beta_4} \frac{R_4}{R_0} \quad (7.137)$$

となる.

#### 7.4.1.2 ソースフォロワバッファによる広帯域化

このフィルタにおいて, 後段側は高い  $Q$  を担うためにそれぞれの電流利得はやや高く設定されている. 特に  $\beta_3 = 3$  であり, 図 7.31 で示したように入力インピーダンスのゼロ点が 1GHz を下回ってしまい, フィルタ特性への影響が懸念される. このインピーダ

ンスの上昇は、(7.114) 式に示したカレントミラーノードの寄生容量  $C_{Xp}$  増加によるものである。

そこで  $\beta_3$  には、図 7.39 のようなソースフォロワを挿入した電流増幅器を採用した。ソースフォロワは 1 倍の利得を持つバッファとして機能し、入力インピーダンスのゼロ点を作っていた  $C_{Xp}$  と  $g_{d9n}$  を分離する。ただし、新たなゼロ点として  $g_{m13p}/C_{Xp}$  が挿入される。ソースフォロワバッファの挿入により  $V_{GS}$  のレベルシフトが発生するため、M9n から M13p に、M9p から M13n にそれぞれ結線し、レベルシフト分を吸収する。M13p と M13n のドレイン端子はフロートであるため、差動対称の同じノードに接続した。

図 7.40 に、バッファ挿入前後の一巡伝達関数特性を示す。ソースフォロワバッファを挿入する前は 300 MHz 付近から利得の低下が始まっているが、ソースフォロワバッファの挿入によって 700 MHz 付近まで改善される。1 GHz 付近においても 20 dB を上回る利得が維持されており、5 GHz 付近で二つの特性は合流する。このときの位相余裕は、ソースフォロワバッファ無しの際に約  $75^\circ$ 、ソースフォロワバッファ挿入時は  $62^\circ$  となっており、ソースフォロワバッファ挿入後においても十分な位相余裕を持つことが確認できる。

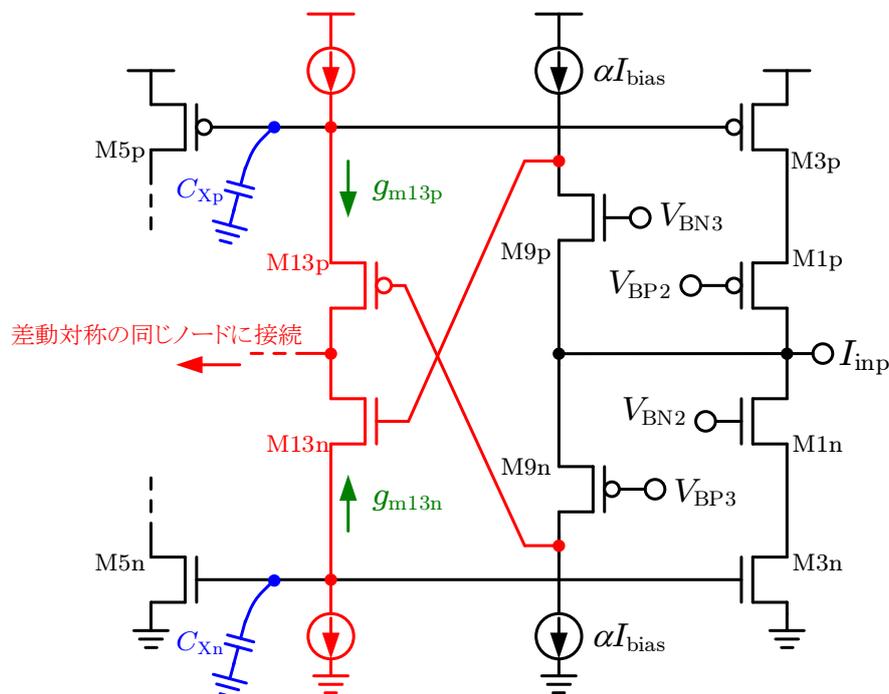


図 7.39: ソースフォロワバッファを挿入した相補入力型 SSF 構造を持つ電流増幅器

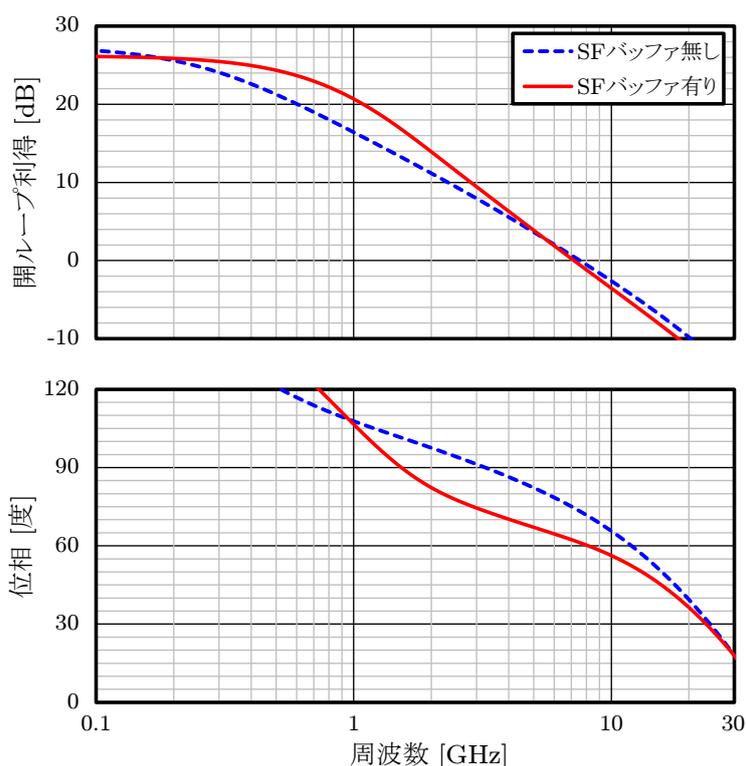


図 7.40: ソースフォロワバッファと一巡伝達関数特性の変化

図 7.41 に、ソースフォロワバッファ挿入前後の入力インピーダンス特性を比較したものを示す。ただし、各  $H_r(s)$  は (4.163) 式の定義に従う。ソースフォロワバッファ挿入前はゼロ点の周波数が 0.9 GHz となっているが、バッファの挿入により 1.8 GHz 付近まで改善されている。この技術により、フィルタの帯域である 1 GHz 付近まで入力インピーダンスの上昇を避けることが可能となる。

### 7.4.1.3 レイアウト

図 7.42 は 4 次 LPF のレイアウトである。各バイカッドフィルタの大きさは同程度であり、バイパス回路まで含めた面積は  $0.065 \text{ mm}^2$  と非常に小さい。カットオフを決める容量には MIM を用い、MIM のプロセスばらつきを補償するための可変容量として MOM が用いられている。

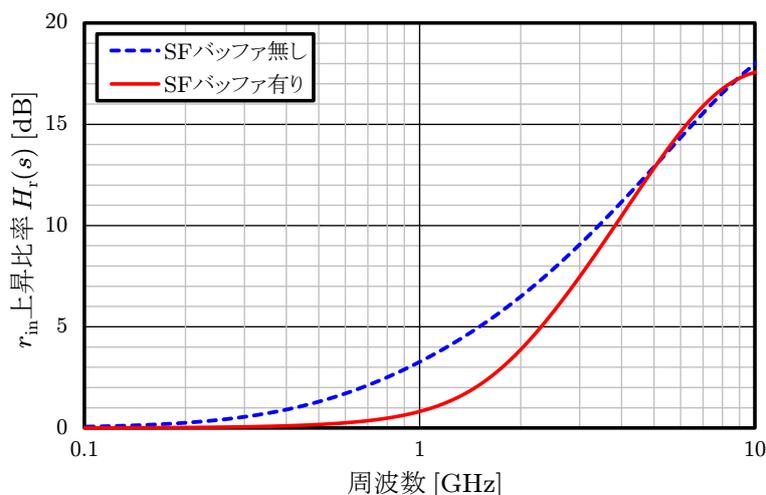


図 7.41: ソースフォロワバッファによる入力インピーダンス周波数特性の改善

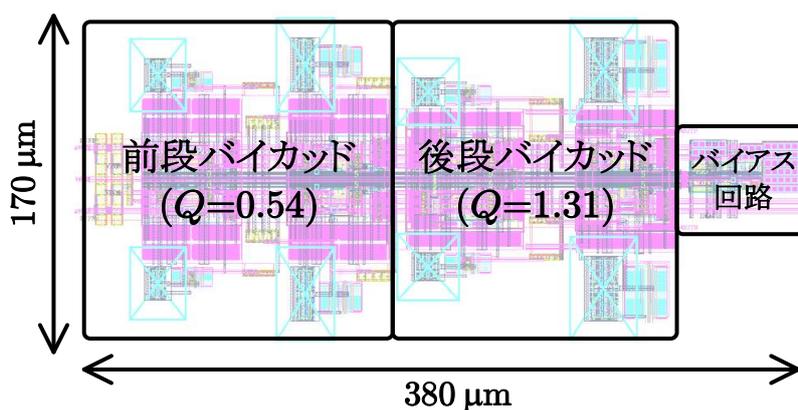
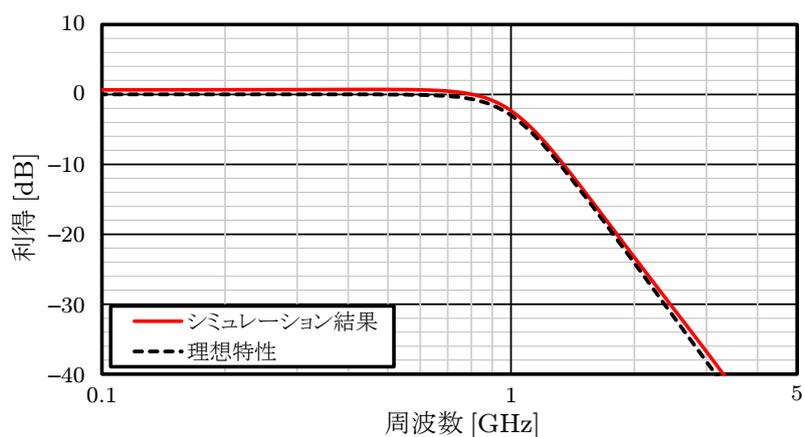


図 7.42: LPF のレイアウト

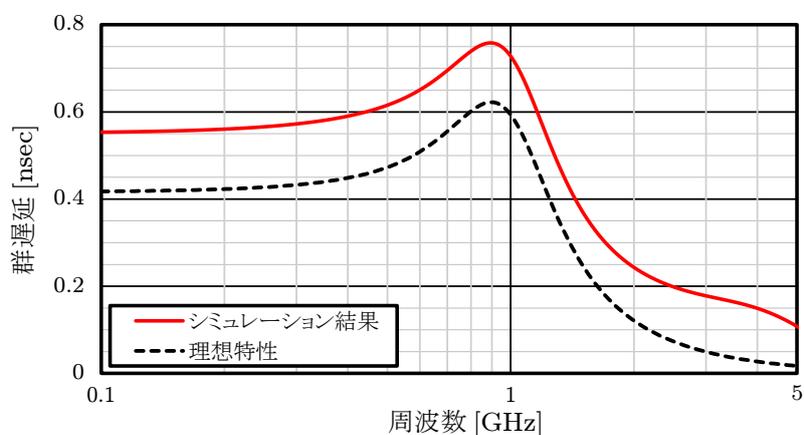
## 7.4.2 性能評価

設計した LPF の性能を評価する。ただし、65nm CMOS プロセスを用い、電源電圧は 1.2V として設計した。

図 7.43 に、この LPF の周波数特性を示す。利得は通過帯においてほぼ 0 dB となっており、1 GHz 付近から 4 次のオーダーで減衰特性が得られている。一方、群遅延特性については概形は似ているものの、理想特性からやや劣化している様子が見られる。この劣化は、電流増幅器の位相特性によるものであると考えられる。位相特性の改善を行うためには、カレントミラー部分の容量を減らす必要がある。したがって、可能な限りミラー比を小さくするか、小さいプロセスノードを採用するなどの方法が有効となる。



(a) 利得



(b) 群遅延

図 7.43: 設計した LPF のシミュレーション結果

表 7.7 に、性能をまとめた比較表を示す。本研究で設計したフィルタは、4 次の次数を持ち、カットオフ特性は 1 GHz である。比較対象として、比較的近い帯域を持つフィルタを用意した。本研究では、1.2 V という低い電源電圧を用いながら、1.2 dBV の良好な IIP3 を実現しており、表においても二番目の線形性となった。この線形性の改善は、電流増幅器の相補入力化による入力インピーダンスの変動抑制によるものである。表中で最も良い線形性を記録した [3] は Gm-C フィルタの構成を採用しているが、電源電圧は 1.5 V と高く、雑音特性も犠牲になっている。本研究のフィルタは入力換算雑音は 0.6 mV<sub>rms</sub> とやや大きいながら、この良好な線形性により 40.8 dB の最大 SNDR を達成した。この SNDR は比較表において、最も良い値である。256QAM の要求 SNDR が 28.5 dB であったことから、このフィルタは他の回路の影響を除き、12 dB 近いマージン

表 7.7: フィルタの性能比較表

	[3]	[13]	[4]	本研究 <sup>(1)</sup>
プロセス [nm]	180	40	90	65
アーキテクチャ	Gm-C	SSFF <sup>(6)</sup>	SFF <sup>(6)</sup>	Current
電源電圧 [V]	1.5	1.1	1	1.2
フィルタ次数	4	5	6	4
カットオフ周波数 [GHz]	1	0.88	0.915	1
IM3 [dBc]	-43 @0.35 V <sub>pp</sub>	N/A	N/A	-38.8 @0.35 V <sub>pp</sub>
IIP3 [dBV]	3.4 <sup>(2)</sup>	-16.7	-4.4 <sup>(2)</sup>	1.3 <sup>(2)</sup>
入力換算雑音 [mVrms]	1.39	0.32	1.7 <sup>(5)</sup>	0.6
SNDR <sub>peak</sub> [dB]	37.4	32.5	28.1	40.8
消費電力 [mW]	174 <sup>(3)</sup>	27.5	9.5	13
FoM <sub>F</sub> [dB] <sup>(4)</sup>	147.0	151.5	153.5	161.7

\*<sup>1</sup> LPE 抽出を行ったシミュレーション結果

\*<sup>2</sup> IM3 [dBc] または IIP3 [dBm] から算出

\*<sup>3</sup> 自動チューニング機構を含む

$$*<sup>4</sup> \text{FoM}_F = \text{SNDR}_{\text{peak}} + 10 \log \left( \frac{f_{\text{cut}} \cdot \text{order}^2}{\text{Power}} \right)$$

\*<sup>5</sup> IRN = -135 dBm/Hz とし算出

\*<sup>6</sup> SSFF: Super Source Follower Filter, SFF: Source Follower Filter

を確保することができる。一方、消費電力はわずか 13mW と表中で二番目に小さい値となっている。消費電力が最も小さい [10] は 6 次の次数を実現しているものの SNDR が非常に低く、FoM は 153.5 dB にとどまる。本研究の SNDR に対する FoM は 161.7 dB を達成し、表中で最も良い値を記録した。

表 7.8: フィルタ挿入後のレベルダイアグラム

Rx	LNA	RF Amp.	Mixer, BB Amp	LPF	合計
利得 [dB]	17.2	2.0	6.2	0	27.1
累計利得 [dB]	17.2	19.2	25.4	25.4	
NF [dB]	5.0	13.9	10.7	27.1	7.2
累計 NF [dB]	5.0	5.6	5.76	7.2	
IIP3 [dBm]	-8.9	11	0.6	11.3	-20.4
累計 IIP3 [dBm]	-8.9	-10.8	-19.3	-20.4	
消費電力 (IQ 合計) [mW]		39.5	27.2	26.0	92.7

### 7.4.3 レベルダイアグラムの検討

表 7.8 に最終的なレベルダイアグラムを示す。フィルタの挿入により生じた線形性及び NF の劣化はごく僅かであり、消費電力の増分も IQ 併せて 26 mW にとどまった。図 7.44 は、最終的な SNDR の特性である。受信機全体の  $\text{SNDR}_{\text{peak}}$  は 32.3 dB となり、256QAM に対応していることが確認できる。フィルタの出力振幅は  $0.17 V_{\text{pp}}$  とやや小さいため、A/D 変換器の前に 2 倍程度の利得を持つ VGA（または A/D ドライバ）を挿入する必要がある。

なお、このレベルダイアグラムはフィルタの前の増幅器（BB Amp）が一定の利得を持つことを想定している。この状態で SNDR 特性のピークを揃えているため、フィルタの雑音によって受信感度がやや劣化している。BB Amp が可変利得機構を持つ場合、フィルタ挿入による NF の劣化及び線形性の劣化は更に小さくなり、フィルタ挿入前（図 7.44 の破線）の水準付近の特性が得られると予想される。

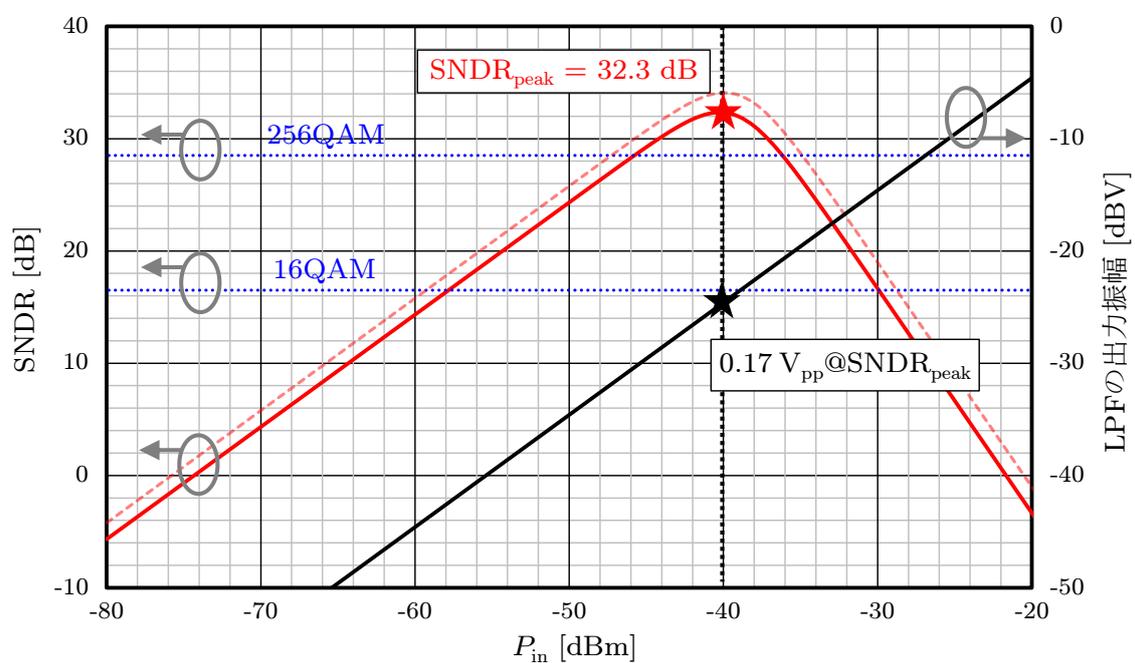


図 7.44: 受信回路の入力電力と SNDR (破線は LPF 挿入前)

## 7.5 微細化の影響

6.5節と同様に，広帯域電流型フィルタについても微細化の影響を考察する．電流型フィルタにおいては電流増幅器の SNDR が重要であるため，各スケールリング手法に対する電流増幅器の SNDR の変化を追う．ただし，大まかな特性は 6.5 節のループフィルタに関する考察と一致すると考えられる．

第4章の検討結果において， $N$  が十分大きいと仮定すると，

$$\text{SNDR}_{\text{peak}} \propto (G_i N^2 V_{\text{eff}}^2)^{\frac{2}{3}} \quad (7.138)$$

となる．この数式を元にスケールリングの効果を整理すると，表 7.9 のようになる．

■広帯域化と消費電力 遮断周波数  $f_T$  については，いずれのスケールリング手法においても大きく改善されている．この改善は広帯域フィルタにおいて，

- フィルタ構成のカットオフ周波数上限の向上
- 局所的な負帰還の帯域改善

などのメリットをもたらすことが期待される．

表 7.9: スケールリングの方式 [18] と  $\text{SNDR}_{\text{peak}}$  に対する影響

	定電界	準定電圧	定電圧
電圧	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$	1
$L, W$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-1}$
$t_{\text{ox}}$	$\lambda^{-1}$	$\lambda^{-1}$	$\lambda^{-\frac{1}{2}}$
$g_m$	1	$\lambda^{\frac{1}{2}}$	$\lambda^{\frac{1}{2}}$
$G_i$	1	$\lambda^{-\frac{1}{4}}$	$\lambda^{-\frac{1}{2}}$
$I_D$	$\lambda^{-1}$	1	$\lambda^{\frac{1}{2}}$
遮断周波数 $f_T$	$\lambda$	$\lambda^{\frac{3}{2}}$	$\lambda^2$
$\text{SNDR}_{\text{peak}} \propto (G_i N^2 V_{\text{eff}}^2)^{\frac{2}{3}}$	$\lambda^{-\frac{4}{3}}$	$\lambda^{-\frac{1}{6}}$	$\lambda^{\frac{1}{3}}$
消費電流 <sup>(1)</sup>	$\lambda$	$\lambda^{\frac{1}{8}}$	$\lambda^{\frac{1}{4}}$
消費電力 <sup>(1)</sup>	1	$\lambda^{-\frac{3}{8}}$	$\lambda^{\frac{1}{4}}$

<sup>1</sup>  $\text{SNDR}_{\text{peak}}$  を一定に保った場合の設計

準定電圧スケールリングにおいて消費電力は減少し、定電圧スケールリングでは消費電力が増加するという傾向が得られる。前者は  $g_m$  の増加に加え、電源電圧の低下によって生じた消費電力の減少が低電力化に寄与していると見られる。スケールリングによって生じる FoM の変化を考えると、微細プロセスを使用しても電源電圧が低下していなければ電力効率は改善されないという結果となる。

■定電圧スケールリングと  $f_T$  一定設計 準定電圧スケールリングは僅かな消費電力の減少を許容するが、低電源電圧化は回路トポジの採用を制限するという問題が指摘される。加えて、短チャネル化による固有利得の急激な劣化を考慮すると、微細化による  $G_i$  の劣化は更に激しいと予想される。そこで 6.5 節と同様に  $G_i \propto \lambda^{-\alpha}$  を想定した定電圧スケールリングを考える。

$f_T$  一定条件において、

$$G_i \propto \lambda^{1-\alpha} \quad (7.139)$$

であるから、 $g_m^2 G_i$  を一定に保つためには、

$$\frac{\Delta P_D}{P_D} = \frac{1}{\lambda^{\frac{1-\alpha}{2}}} - 1 \quad (7.140)$$

の消費電力増加が求められる。

図 7.45 に検討結果を示す。ただしグラフは  $\lambda^{-1}$  を横軸としており、左側が微細化の進んだプロセスとなっている。図 7.45(a) は固有利得に関するグラフであり、図 6.32(a)

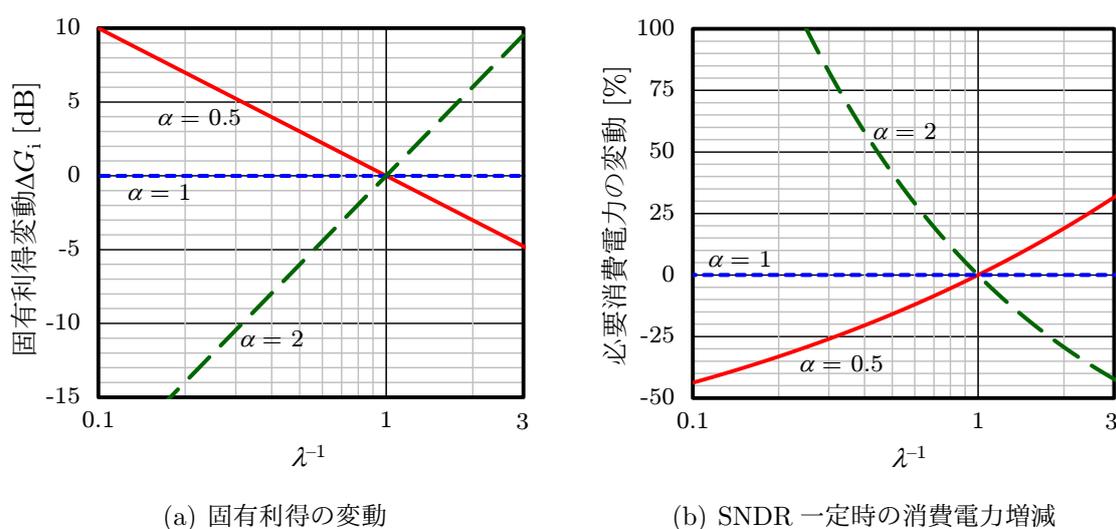


図 7.45: 定電圧スケールリング下における  $\alpha$  を考慮した  $f_T$  一定設計

と同一である。図 7.45(b) は  $\text{SNDR}_{\text{peak}}$  を一定とした場合の消費電力の変動率を示している。やはり  $\alpha > 1$  において消費電力の増加が生じており、 $\alpha = 2, \lambda = 2$  においては 40% の電力増加となる。

このように、微細化に対する固有利得の劣化がどの程度であるかがアナログ回路の性能を大きく左右することになる。 $\alpha$  が大きな微細化では、スケーリングによって得られる  $f_T$  の改善を犠牲にした場合でも SNDR の特性は改善されず、FoM の劣化は避けられない。大まかな損益分岐点は  $\alpha = 1$  と考えられ、短チャネル化による利得劣化が顕著なプロセスでは電力効率の劣化を覚悟しなければならない。

## 7.6 まとめ

本章では，ミリ波向け受信機の広帯域フィルタを題材として，広帯域なフィルタのアーキテクチャについて検討を行った。

■従来の広帯域フィルタの問題点 Gm-C フィルタは広帯域化に適しているものの，フィルタを構成する際に必要となる Gm セルの個数が多く，寄生容量や出力抵抗によるフィルタ特性の変動が課題となる．これらの非理想成分を考慮した場合のフィルタの上限周波数は 2 GHz を下回り，寄生成分が周波数特性や線形性に大きな影響を与えていることが判明した．ソースフォロワフィルタは，低周波においては良好な線形性が期待できるが，カットオフ周波数付近では線形性が著しく劣化するという問題があり，またカットオフ周波数の設定にも余裕がない．

■電流型フィルタと電流増幅器 電流型フィルタはオペアンプを用いた Active-RC フィルタを電流増幅器で置き換えたアーキテクチャであり，寄生成分の影響を受けにくいという特長がある．ただし，電流増幅器の入力インピーダンスがフィルタの周波数特性に影響をあたえるため，一定かつ低い入力インピーダンスを広帯域で実現できる電流増幅器が必要である．そこで相補入力型 SSF 構造を持つ電流増幅器を提案し，検討を行った．相補入力構造により，入力インピーダンスの変動量を  $9\Omega$  から  $1\Omega$  まで改善し，電流増幅器単体の SNDR を 5.5 dB 改善した．広帯域フィルタを構成する際に障害となる入力インピーダンスのゼロ点劣化は，ソースフォロワバッファを挿入することで解決した．

■ミリ波向け 4 次 1 GHz 電流型フィルタの設計 提案回路を用いて，1 GHz の帯域を持つ 4 次の LPF を電流型フィルタで設計した．使用プロセスは 65nm CMOS プロセスであり，電源電圧は 1.2V とした．このフィルタの  $\text{SNDR}_{\text{peak}}$  は報告されている 1 GHz 付近のフィルタと比較して，非常に高い 40.8 dB を記録した．SNDR を改善することができた大きな要因は相補入力型電流増幅器による線形性の改善であり，1.2V の低電源電圧において 1.3 dBV もの良好な IIP3 が実現されている．フィルタの消費電力はわずか 13mW であり，フィルタの電力効率を示す FoM についても最も良いスコアを記録した．また，本研究のフィルタは RF フロントエンドと接続した場合でも 256QAM の水準に到達しており，従来の 256QAM 対応受信機では未搭載であったアンチエイリアス機能の実現が見込まれる．



## 参考文献

- [1] A. Pezzotta, M. De Matteis, S. D'Amico, and A. Baschirotto, "A CMOS-28nm 880-MHz 4th-order low-pass active-RC filter for 60 GHz transceivers," Conference on Ph.D. Research in Microelectronics and Electronics, pp. 261-264, June 2013.
- [2] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp. 348-349, Feb. 2014.
- [3] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [4] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschirotto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 1-4, June 2011.
- [5] 浅田 邦博, 松澤 昭 共編, 「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [6] T.-Y. Lo and C.-C. Hung, 1V CMOS Gm-C Filters, Springer, 2009.
- [7] J. Yan and R. L. Geiger, "Design of a Tunable Fully Differential GHz Range Gm-C Lowpass Filter in 0.18  $\mu\text{m}$  CMOS for DS-CDMA UWB Transceivers," IEEE

- International Symposium on Circuits and Systems, pp.2377-2380, May. 2006.
- [8] H. Mei and W. Li, "A low power 1.5GHz Gm-C filter with 0-40dB variable gain in 65-nm CMOS technology," IEEE International Conference on ASIC, pp.1-4, Nov. 2015.
- [9] M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm<sup>2</sup> analog baseband circuits for 60 GHz wireless transceiver in 40 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 495-498, June 2012.
- [10] S. D'Amico, M. Conta, and A. Baschirotto, "A 4.1-mW 10-MHz Fourth-Order Source-Follower-Based Continuous-Time Filter With 79-dB DR," IEEE Journal of Solid-State Circuits, vol. 41, no. 12, pp. 2713-2719, Dec. 2006.
- [11] C. Sawigun and P. Pawarangkoon, "0.6-V, Sub-nW, second-order lowpass filters using flipped voltage followers," IEEE Asia Pacific Conference on Circuits and Systems, pp. 254-257, Oct. 2016.
- [12] M. De Matteis, A. Pezzotta, S. D'Amico, and A. Baschirotto, "A 33 MHz 70 dB-SNR Super-Source-Follower-Based Low-Pass Analog Filter," IEEE Journal of Solid-State Circuits, vol. 50, no. 7, pp. 1516-1524, July 2015.
- [13] P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," European Solid-State Circuits Conference, pp. 350-353, Sep. 2010.
- [14] C. Koliopoulos and C. Psychalinos, "A Comparative Study of the Performance of the Flipped Voltage Follower Based Low-Voltage Current Mirrors," International Symposium on Signals, Circuits and Systems, pp.1-4, July 2007.
- [15] B. Aggarwal, M. Gupta, and A. K. Gupta, "A low voltage wide swing level shifted FVF based current mirror," International Conference on Advances in Computing, Communications and Informatics, pp.880-885, Aug. 2013.
- [16] M. D. Matteis, A. Pezzotta, S. D'Amico, and A. Baschirotto, "Area-Efficient Linear

- 
- Regulator With Ultra-Fast Load Regulation,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 7, pp. 1516-1524, July. 2015.
- [17] S. Wangtaphan and V. Kasemsuwan, “A 0.6 Volt Class-AB CMOS Voltage Follower with Bulk-Driven Quasi-Floating Gate Super Source Follower,” *International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology*, pp. 1-4, Aug. 2012.
- [18] S. Wong and C. A. T. Salama, “Impact of Scaling on MOS Analog Performance,” *IEEE Journal of Solid-State Circuits*, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.



## 第 8 章

### 結論

#### 8.1 まとめ

■研究背景 近年，通信端末やクラウドサービスなどの普及により，通信容量の逼迫が問題となってきており，無線通信の高速化が要求されている．通信容量は，QPSK や QAM などの多値変調化と，通信に使用する帯域の広帯域化によって達成することができる．しかしながら，多値変調化のためには送受信機を通して高い SNDR が必要であり，通信帯域の広帯域化はアナログベースバンド回路の広帯域化が必須である．このような要求に対応していくためには，フィルタや A/D 変換器などのアーキテクチャレベルの検討のみならず，それらを構成する基本的な回路である増幅器の検討が重要である．

■高速無線通信の課題 60GHz 帯ミリ波無線通信は Gbps 級の通信が可能であるが，実際に報告されているアナログベースバンド回路を含む成果報告では，1ch かつ 16QAM が限界となっており，アナログベースバンド回路側の設計技術改善が求められている．特に広帯域なアナログベースバンド回路では，アンチエイリアス機能を実現するフィルタの設計が課題である．1 GHz の帯域と 256QAM の貫通を可能とする先行研究のフィルタは，フィルタ一次当たりの消費電力が 40 mW を上回っており，低消費電力化のボトルネックとなっている．したがって，高い SNDR を低消費電力達成できる広帯域フィルタが求められている．

LTE の受信機では近接妨害波の影響により，A/D 変換器に 60 dB を越えるような高いダイナミックレンジ (DR) が要求される．A/D 変換器が更に高い DR を持つ場合，VGA の要求仕様を簡略化または省略することが可能となる．そのような高い性能を有す A/D 変換器は消費電力の増加が問題となるため，良好な電力効率と高い SNDR を両立する

A/D 変換器が求められている。

■負帰還増幅回路と帯域制限 第 3 章では、古くからアナログベースバンド回路を構成する基本技術であったオペアンプを用いた負帰還増幅回路について議論した。この負帰還増幅回路では、オペアンプの利得によって良好な線形性が期待できる。ただし、オペアンプの負帰還増幅回路では最終的な系の利得をオペアンプの利得から捻出し、残りの余剰利得が線形性改善に費やされるため、高い DC 利得を必要とする。加えてオペアンプを用いた負帰還増幅回路は帰還に減衰器を含めるため、帰還パスが長く、オペアンプの入力寄生容量が極を作り、オペアンプの内部極と併せて負帰還の位相余裕を劣化させる要因となってしまう。これらの寄生容量による極を考慮すると、一巡伝達関数の GB 積は 2 GHz 程度に制限されてしまうため、広帯域な用途では高い線形性が期待できない。

一方、電流帰還型では入力寄生容量の問題を回避できるが、系の利得を高くすると帰還電流のロスが大きくなり、高い帰還利得の実現が困難である。

■局所的な負帰還を持つ広帯域増幅器 第 4 章では、局所的な負帰還を持つオープンループアンプについて検討を行った。この負帰還はパスが短いため寄生容量による極の影響を受けにくく、負帰還の系で利得を得ないユニティゲインの負帰還であるため、低いオープンループゲインでも精度の良い仮想短絡を実現できる。代表的なアーキテクチャとして、ソースデジェネレーションと FVF 構造を示し、解析を行った。FVF 構造では負帰還のパスにトランジスタの固有利得が含まれるため、ソースデジェネレーション構成よりも高い線形性を実現することができる。加えてこれらの負帰還は帯域が広く、10 GHz もの GB 積に対しても約  $90^\circ$  の位相余裕を確保することができる。

同じく、局所的な負帰還を持つ広帯域な増幅器として、電流増幅器についても議論した。電流増幅器では、局所的な負帰還の利得は入力インピーダンスの低減に費やされ、オープンループアンプと同程度の SNDR を達成することができる。

図 8.1 に利用可能な一巡伝達関数の最大値を示す。FVF 構造およびソースデジェネレーション (SD) はそれぞれ  $N \rightarrow \infty$  とし、オペアンプ系は系の最終的な利得を  $H(0) = 2$  として設定した。局所的な帰還に利得を有す FVF 構造は非常に良好な負帰還を実現可能であるが、十分な帰還利得を得るためには  $N \propto I_{\text{bias}}$  の増加が必要である。したがって、広帯域なアナログベースバンド回路の SNDR 改善、消費電力の低減を進めるためには、消費電力の増加を抑えつつ線形性を改善する技術が重要である。

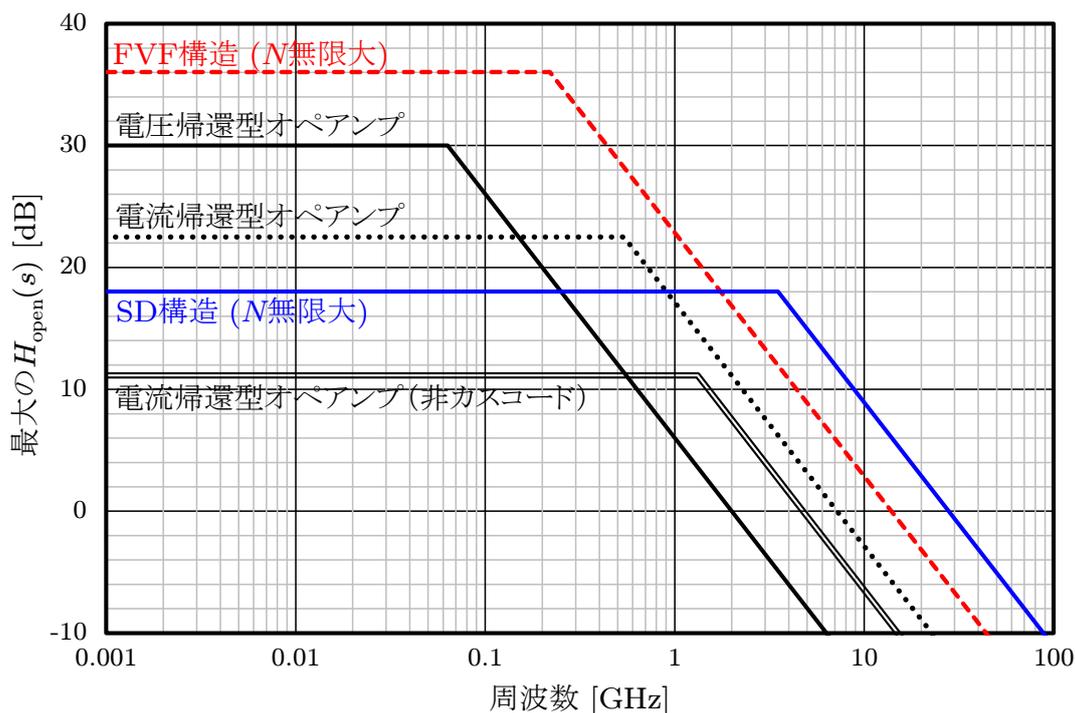


図 8.1: 第 3 章及び第 4 章で検討した広帯域増幅器の性能領域（オペアンプはカスコード構成を使用）

■カレントミラー補正技術 電流増幅器では精度の良い電流利得を得るためにカレントミラー回路を用いるが、ミスマッチによってカレントミラーの利得精度や線形性が劣化するという問題がある。この問題に対し、参照電流源とバックゲート効果を用いた補正手法を提案し、検討を行った。補正を行ったところ、HD2 はワーストケースで 18 dB 改善され、電流利得ばらつきの標準偏差は 0.4 dB から 0.03 dB に削減された。

■連続時間型  $\Delta\Sigma$  A/D 変換器 第 6 章では、アナログベースバンド回路の一形態として連続時間型  $\Delta\Sigma$  A/D 変換器について検討を行った。連続時間型  $\Delta\Sigma$  A/D 変換器は、エイリアシングやサンプリング雑音などのサンプリングにまつわる諸問題を緩和し、アナログベースバンド回路の構成を簡略化できることから、LTE/LTE-A などの高速無線通信向けに研究が行われている。しかしながら、オープンループアンプをベースとしたループフィルタは線形性が不十分であり、A/D 変換器の SNDR を劣化させてしまうという問題があった。

そこで局所的な負帰還回路技術の議論に基づき、FVF 構造にカスコードトポロジを取り入れた新規回路を提案し、線形性の改善を図った。図 8.2 に帰還利得と線形性の

比較を示す．提案回路ではカスコードトランジスタによって帰還利得が 14 dB 向上し，同じソースデジェネレーションファクター  $N$  に対して線形性が大幅に改善される．その結果，A/D 変換器の SNDR の劣化を防ぐことが可能となった．提案回路を使用した 20 MHz 帯域の A/D 変換器は，72.4 dB の SNDR を 6.8 mW の低消費電力で実現した．電力効率を示す二つの FoM は，それぞれ 50 fJ/conv.-step と 167 dB となり，非常に良好なスコアを記録した．図 8.3 に示した先行研究との比較においても，本研究の A/D 変換器が良好な電力効率を有することが確認できる．

■広帯域フィルタ 第7章では，60GHz 帯ミリ波無線通信向けの広帯域フィルタを検討した．60GHz 帯ミリ波向けのフィルタには，1 GHz もの広帯域が必要である．広帯域フィルタとしてよく用いられる Gm-C フィルタは，Gm セルの出力抵抗や入力寄生容量により，1 GHz の帯域を実現するのが困難である．また，フィルタを構成するために要するセルの数が多く，消費電力が大きい．ソースフォロフィルタは少ない素子数で構成できるが，カットオフ周波数付近で急激に線形性が劣化するという欠点があり，高い SNDR を実現することが難しい．加えて，ソースフォロフィルタでも帯域の制限が厳しく，65nm CMOS プロセスでは 2.2 GHz 付近が上限と考えられる．

一方，電流型フィルタは寄生容量や出力抵抗がカットオフ特性に殆ど影響を与えないため，広帯域なフィルタの構成に適している．しかしながら，フィルタを構成する電流

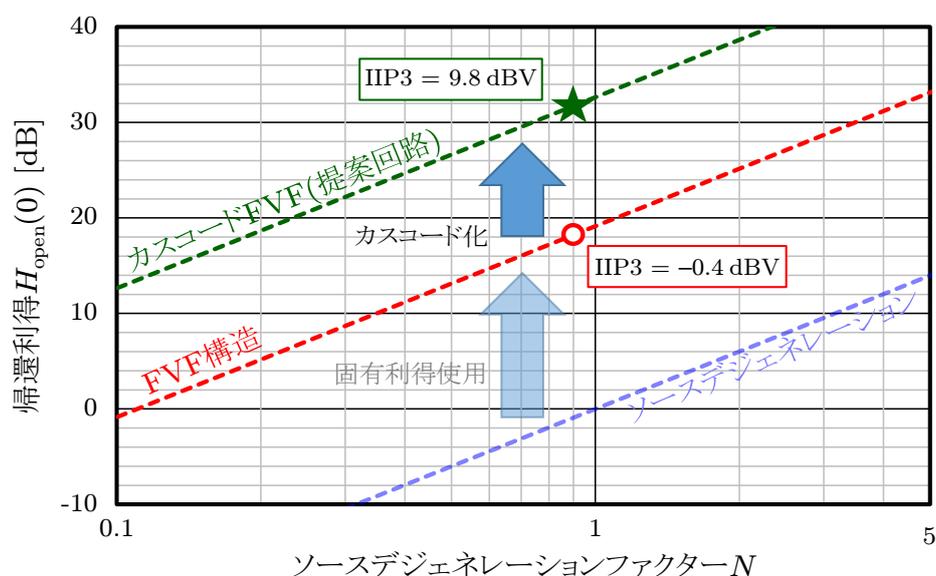


図 8.2: 提案回路による帰還利得と線形性の改善

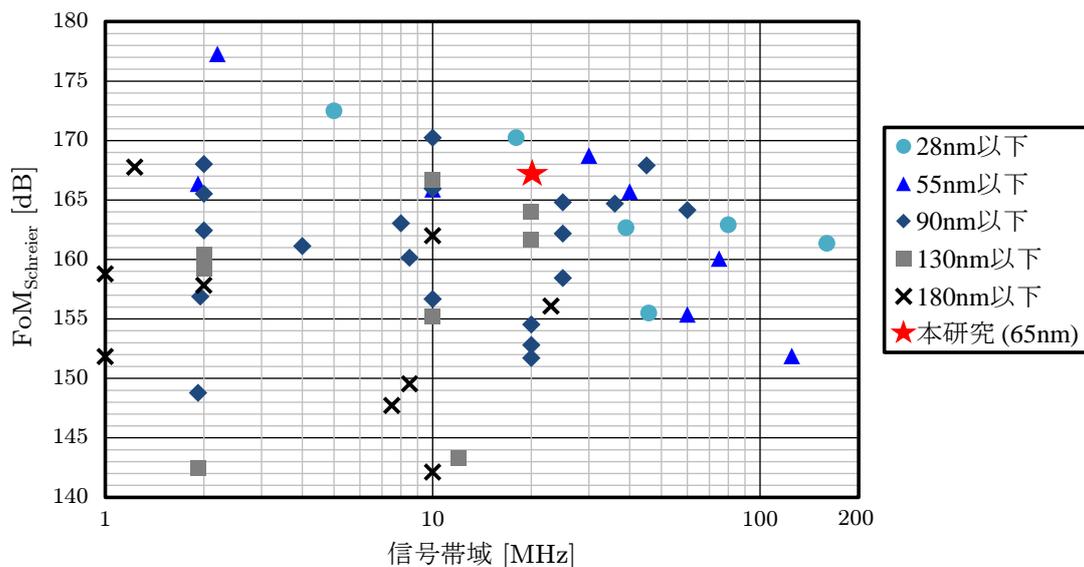
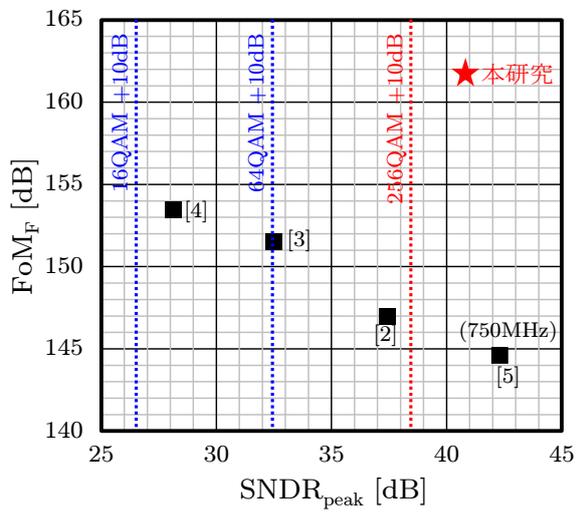


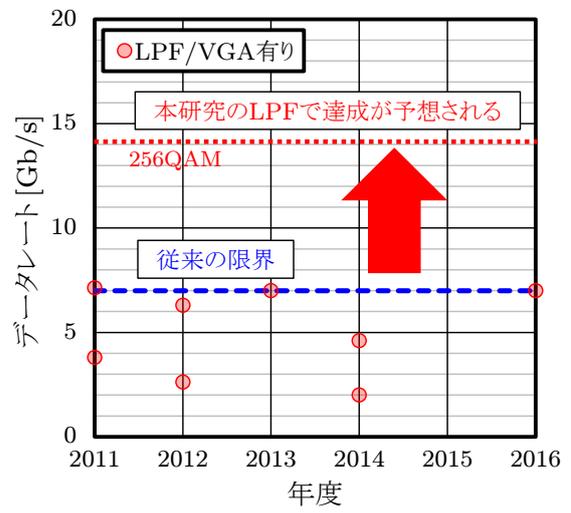
図 8.3: 本研究で開発した連続時間型  $\Delta\Sigma$  A/D 変換器と先行研究との比較 [1]

増幅器の入力インピーダンスがカットオフ特性に影響を及ぼすことから、低入力インピーダンスを広帯域に渡り維持する必要がある。加えて電流増幅器の入力インピーダンス変動が大きい場合、カットオフ周波数付近で線形性が劣化してしまうという問題がある。そこで局所的な負帰還による低入力インピーダンス技術を元に、相補入力化を行った高効率電流増幅器を提案し、検討を行った。提案回路は信号電流に対しプッシュプル動作を行うため、入力インピーダンスの変動が少なく、従来回路よりも 5.5 dB 高い SNDR を実現することを可能にする。

図 8.4 に広帯域フィルタの成果をまとめた。本研究で設計した 4 次 1 GHz 帯域のフィルタは、256QAM の通信を十分可能とする 40.8 dB の SNDR を、13 mW の低消費電力で達成した。フィルタの電力効率を示す  $FoM_F$  は 161.7 dB を記録し、同帯域で最も良い電力効率を実現した。これまでに報告されている LPF や VGA 等のアナログベースバンド回路を含む 60GHz ミリ波無線通信のデータレートを、図 8.4(b) にまとめた。従来研究では 16QAM (7 Gbps) の報告が限界であったが、本研究のフィルタは 256QAM の 14 Gbps まで対応することができる。フィルタと同様に、256QAM の水準に対応した VGA や A/D 変換器が必要となるが、本研究の成果により、通信高速化に対するボトルネックの一つを解決するに至った。



(a) 1 GHz LPF の FoM



(b) 60GHz 受信機のデータレート報告

図 8.4: フィルタの研究成果

## 8.2 今後の展望

### 8.2.1 微細化の影響

6.5 節や 7.5 節で考察したように、アナログベースバンド回路は微細化による恩恵を享受できるとは限らない。特に負帰還を利用する回路はトランジスタの固有利得を使用するため、プロセスの微細化によって影響を受けやすい。電界一定スケールリングのような電源電圧の低下を伴うスケールリングが行われてきた時代では、短チャネル化による固有利得の急激な劣化はあまり現れていなかった。しかしながら、現代のナノスケール CMOS では固有利得の劣化が激しく、アナログベースバンド回路も大きな影響を受ける。

■スケールリングと電力効率の劣化 図 8.5 に、スケールリングによる影響の概要をまとめた。ただし  $\alpha$  は、 $G_i \propto \lambda^{-\alpha}$  で求まる値である ( $\lambda$  はスケールリングファクターを表す)。グローバルな帰還や局所的な帰還は、トランジスタの固有利得によって良好な帰還利得を実現している。その負帰還によって高い線形性を実現し、電力効率の改善を図ってきた。これは第 4 章の 4.4.1 節で検討したように、雑音特性の改善は電力効率が悪く、線形性の改善で SNDR を高める方が良好な電力効率を達成しやすいためである。電圧低下を伴うスケールリング下においては、電源電圧低下による消費電力の減少によって、アナログ回路の電力効率は緩やかに改善される。しかしながら、極端な短チャネル化の影響によって固有利得が急激に劣化する現代の CMOS プロセスでは  $\alpha > 1$  となり、6.5 節や 7.5 節で示したように、固有利得を利用する回路の電力効率は急速に劣化していく。

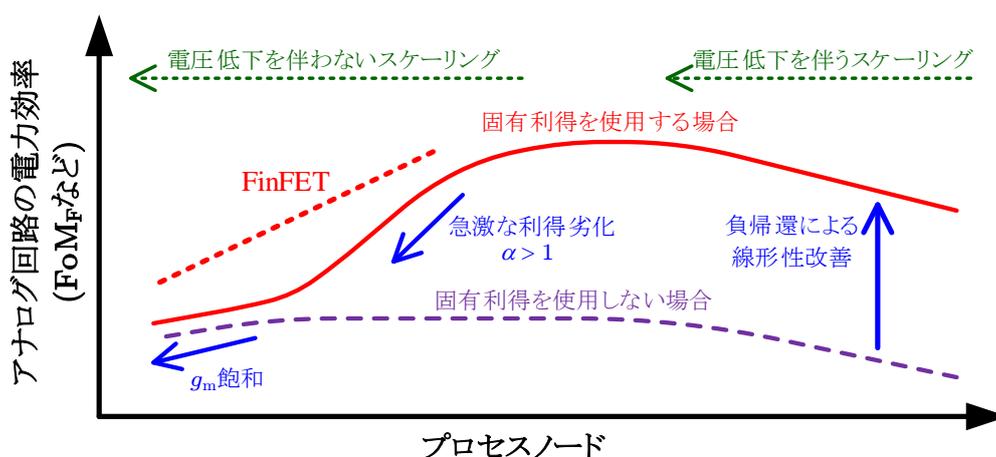
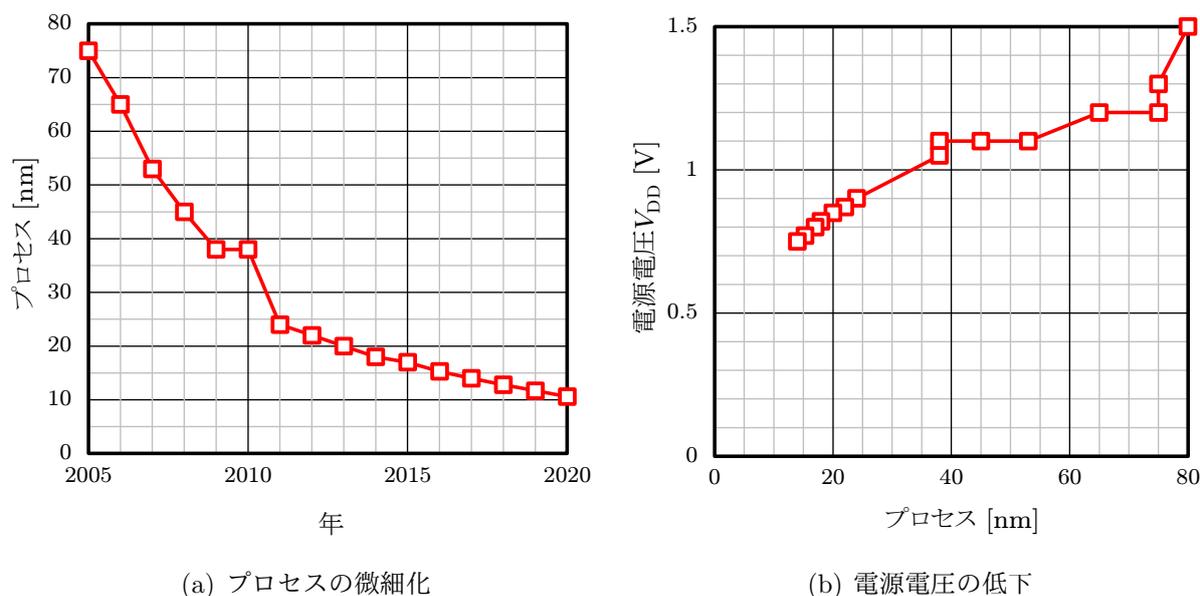


図 8.5: アナログ回路とスケールリングによる電力効率の劣化



(a) プロセスの微細化

(b) 電源電圧の低下

図 8.6: スケーリングのあゆみと今後の見通し [6]

ただし、これは負帰還の恩恵が失われていくことによって生じる効率劣化に相当するため、固有利得を利用しない回路には当てはまらない。FinFET は通常の CMOS と比較して固有利得が高いとされており、この問題をある程度緩和できる可能性がある。更に微細化が進むと、今度はキャリア速度の飽和によって生じる  $g_m$  の飽和が深刻な問題となり、アナログ回路の電力効率は更に劣化すると予想される。

増幅器に関する今後の課題の一つに、低電源電圧への対応が挙げられる。第 4 章で述べたように、局所的な負帰還による線形性の改善は雑音特性とトレードオフである。本研究で議論を進めてきた高線形増幅器の回路技術は、線形性を改善し大振幅入力に対応することで高い SNDR を達成するアプローチを採用している。ところが電源電圧が低下すると、電圧振幅を確保することが困難になるため、雑音特性の悪い高線形な回路は不利になる場合がある。加えて十分な  $V_{DS}$  が確保できなくなり、トランジスタを縦に積むことができる個数が減少するといった問題も生じる。図 8.6 はこれまでのスケーリングのあゆみと、今後の見通しをまとめたグラフである。現代においてもプロセスの微細化は進行しており、2020 年には 10nm 相当にまで進行すると予想されている。一方、図 8.6(b) はプロセスに対する電源電圧の予測を示したものである。75nm 世代から電源電圧のスケーリングは緩くなっているが、30nm 以下の世代では 1V を下回るとされている。このような低電源電圧化ではカスコードのようなトポロジの採用も困難であり、電圧振

幅の低下も避けられず、アナログ回路の電力効率は大幅に劣化していくと考えられる。

■今後の設計指針 上記を踏まえると、今後のアナログベースバンド回路の在り方にはいくつかのアプローチが考えられる。

- (a) 線形性を改善し、高い SNDR を目指す
- (b) 低雑音化を優先し、高速化を目指す
- (c) タイムドメインの活用のように、異なる方法で性能を伸ばす

(a) は固有利得をかせぐために大きめのプロセスを選択する、小さなプロセスでも大きめのチャンネル長を利用する、などのアプローチである。加えて、回路トポロジを制限しないように、アナログ回路にやや高めの電源電圧を使用するといった工夫も考えられる。デジタル側で微細プロセスを使用したい場合は、別々のチップで作成し、貼り合わせるといった技術も解決策の一つとなり得る。固有利得そのものを改善する FinFET も、このアプローチに分類できる。

高速化・広帯域化を優先する (b) のケースは、 $f_T$  の高い微細プロセスで小さいトランジスタサイズを使用するアプローチである。カスコード抵抗や FVF 構造などの固有利得を利用しない方法であれば、低い電源電圧が採用しやすく、同じ消費電力に対して多くのバイアス電流を供給することができるようになる。このアプローチでは線形性の確保が困難であるため、 $g_m$  を大きくする低雑音化が優先される。SNDR に対する電力効率は (a) よりも劣化するが、電源の問題が解決される利点は信頼性や SoC 化の観点で大きい。ただし、キャリア速度の制限による  $g_m$  の飽和は深刻な問題となることが予想される。バイアス電流に対する  $g_m$  の上昇が鈍くなれば、更に電力効率は劣化していく。ただし、この問題は (a) のアプローチも同様であるため、固有利得の低下の先にある課題として認識しておかなければならない。

このほか、(c) のアプローチであるタイムドメインの活用も有効とされており、リング系の回路の研究も盛んに行われている。ただし、デジタル的な動作（ダイナミック動作）を行う回路に関しては、電源電圧や参照電圧などの揺れが課題になることが予想される。現在最も高速に動くベースバンド用の回路の一つである D/A 変換器では、インバータの貫通電流や消費電流のコード依存性が線形性に影響を与えることが知られている。そもそもミックスドシグナル LSI において、アナログとデジタルの電源を分けた理由の一つは、デジタル回路のようなダイナミックな動作を行う回路から漏れるス

パイク状の電圧の揺れを，アナログ回路から遠ざけるためであった．リングオシレータのようなダイナミック動作を行う回路を搭載した回路で，高い SNDR を実現するアナログベースバンド回路を構成できるかどうかは，普段あまり検討されないコア回路の周りに目を向けて慎重に検討を行わなければならない．

### 8.2.2 今後の検討課題

連続時間型  $\Delta\Sigma$  A/D 変換器の研究では，更なる広帯域化と省電力化の検討が今後の課題として挙げられる．より広帯域な用途では，初段のオペアンプ積分器を電流増幅器で置き換えたオペアンプレス構成も選択肢に入る．また，微細化によって生じるアナログ回路の不利益をデジタル回路で緩和する手法の検討も必要であろう．

電流型フィルタ回路に関しては，より実用的なチューニング方法の検討が必要である．第4章で述べたカレントミラーの補正は電流型フィルタに有効であるが，実際にどの程度カットオフの精度が取れるのかなどの検証が求められる．必要であれば，追加の補正方法も検討しなければならない．また，電流型フィルタの最適設計手法の確立も今後の課題である．電流増幅器では線形性と雑音特性が密接に関連しており，電流利得の選び方にも自由度があることから，多次元的な解析が必要になるであろう．

無線通信の高速化に関しては，更なる広帯域化の検討が必要である．例えば本研究では 60GHz 帯ミリ波無線通信向けのフィルタとして 1GHz のフィルタを設計したが，同通信帯域ではチャネルボンディングによって最大 4GHz のベースバンド帯域を使用することができる．そのような広帯域では更に制約が増え，NMOS だけで高い SNDR を実現する回路技術や，負性容量技術なども深く議論しなければならない．今回検討したフィルタに加え，同じくアナログベースバンド回路を構成する VGA や A/D 変換器も含めて，詳細な検討が求められる．

## 参考文献

- [1] B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.
- [2] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," *IEEE Transactions on VLSI Systems*, vol.19, no.2, pp.175-181, Feb. 2011.
- [3] P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," *European Solid-State Circuits Conference*, pp. 350-353, Sep. 2010.
- [4] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschiroto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 1-4, June 2011.
- [5] X. Zhu, Y. Sun, and J. Moritz, "A CMOS 750MHz fifth-order continuous-time linear phase lowpass filter with gain boost," *IEEE International Symposium on Circuits and Systems*, pp. 900-903, May 2008.
- [6] International Technology Roadmap for Semiconductors, "ITRS Reports," [Online]. Available: <http://www.itrs2.net/>



## 本研究に関連する主な論文及び学会発表

### 論文発表

1. Tohru Kaneko, Masaya Miyahara, and Akira Matsuzawa, “A Circuit Technique for Enhancing Gain of Complementary Input Operational Amplifier with High Power Efficiency,” IEICE TRANSACTIONS on Electronics, vol. E98-C, no. 4, pp. 315-321, Apr. 2015.
2. Tohru Kaneko, Yuya Kimura, Masaya Miyahara, and Akira Matsuzawa, “A Wide Bandwidth Current Mode Filter Technique Using High Power Efficiency Current Amplifiers with Complementary Input,” IEICE TRANSACTIONS on Electronics, vol. E100-C, no. 6, pp. 539-547, June 2016.
3. Tohru Kaneko, Koji Hirose, and Akira Matsuzawa, “A Consideration of Threshold Voltage Mismatch Effects and a Calibration Technique for a Current Mirror,” IEICE TRANSACTIONS on Electronics. (Accepted)
4. Tohru Kaneko, Yuya Kimura, Masaya Miyahara, and Akira Matsuzawa, “A 72.4dB-SNDR 20MHz-Bandwidth Continuous-Time  $\Delta\Sigma$  ADC with High-Linearity Gm-Cells,” IEICE TRANSACTIONS on Electronics. (Accepted)

### 国際学会発表

【口頭発表，査読有り】

5. Tohru Kaneko, Yuya Kimura, Koji Hirose, Masaya Miyahara, and Akira Matsuzawa, “A 76-dB-DR 6.8-mW 20-MHz Bandwidth CT  $\Delta\Sigma$  ADC with a High Linearity Gm-C Filter,” European Solid-State Circuits Conference, pp. 253-256,

Sept. 2016.

## 国内学会発表

### 【口頭発表，査読無し】

6. 金子 徹, 宮原 正也, 松澤 昭, “CMOS 入力演算増幅器の高利得化の検討,” 電子情報通信学会 2013 年総合大会, C-12-47, 2013 年 3 月.
7. 金子 徹, 宮原 正也, 松澤 昭, “CMOS 入力高線形アンプの検討,” 電子情報通信学会 2013 年ソサイエティ大会, C-12-25, 2013 年 9 月.
8. 金子 徹, 宮原 正也, 松澤 昭, “広帯域可変利得アンプの高線形化に関する検討,” 電子情報通信学会 2015 年総合大会, C-12-1, 2015 年 3 月.
9. 金子 徹, 木邨 友弥, 広瀬 倅司, 宮原 正也, 松澤 昭, “広帯域デルタシグマ A/D 変換器向け高線形 Gm セルに関する検討,” 電子情報通信学会 学生・若手研究会, 2016 年 12 月.

### 【ポスター発表，査読無し】

10. 金子 徹, 横溝 真也, 宮原 正也, 松澤 昭, “レベルシフト回路を用いた高線形 Gm セルの周波数特性に関する検討,” 電子情報通信学会 学生・若手研究会, 2014 年 12 月.

## 謝辞

本研究を進めるにあたり、多くの方のご助力を賜りました。

まずはじめに、学士課程4年から博士後期課程まで長きに渡り、懇切丁寧にご指導を賜りました、工学院電気電子系松澤昭教授に感謝いたします。右も左もわからない私に、CMOS集積回路の基礎的な知識だけでなく、研究の進め方や考え方に至るまで、熱心にご指導下さいました。また、数多くの共同研究の機会を与えてくださり、ただ大学にいただけでは得難い貴重な経験をさせていただきました。心より感謝の意を表するとともに、厚く御礼申し上げます。

工学院電気電子系岡田健一准教授には副指導教員として、研究内容のみならず、論文の書き方や研究発表のポイントなど、多岐にわたりご指導をいただきました。研究者として多くのことを教えていただいたことに、心より感謝を申し上げます。

高エネルギー加速器研究機構素粒子原子核研究所宮原正也准教授には、回路設計の多くの具体的なアドバイスや問題を解決するための考え方などをご指導いただき、研究で行き詰まった際に何度も助けていただきました。大変感謝しております。

ご多忙の中、審査を担当して頂いた科学技術創成研究院未来産業技術研究所益一哉教授、工学院情報通信系高木茂孝教授、科学技術創成研究院未来産業技術研究所伊藤浩之准教授、東京大学大規模集積システム設計教育研究センター飯塚哲也准教授に心より感謝申し上げます。

同じ研究グループに所属されました横溝真也氏（現三菱電機株式会社）、木邨友弥氏（現ソニー株式会社）、広瀬倅司氏、松下広弥氏には、回路設計や測定などの多くの方でご協力いただきました。また、松澤・岡田研究室の皆様、同研究室の卒業生の皆様にも、多くの知識や示唆を賜りました。ここに感謝の意を表します。

事務手続き等で研究生生活を滞りなく支えてくださった秘書の春日美乃氏、綱島真紀子氏に深く感謝申し上げます。

---

最後に、私の学生生活を陰ながら支えて下さいました家族に対して、心より感謝いたします。