T2R2 東京科学大学 リサーチリポジトリ Science Tokyo Research Repository

論文 / 著書情報 Article / Book Information

題目(和文)	広帯域アナログベースバンド回路技術の研究
Title(English)	A Study of Wide Bandwidth Analog Baseband Circuit Techniques
著者(和文)	金子徹
Author(English)	Tohru Kaneko
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10798号, 授与年月日:2018年3月26日, 学位の種別:課程博士, 審査員:松澤 昭,岡田 健一,益 一哉,髙木 茂孝,伊藤 浩之,飯塚 哲也,宮原 正也
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10798号, Conferred date:2018/3/26, Degree Type:Course doctor, Examiner:,,,,,
 学位種別(和文)	
Type(English)	Doctoral Thesis

博士論文

広帯域アナログベースバンド 回路技術の研究

指導教員	松澤 昭	教授
副指導教員	岡田健一	准教授

東京工業大学 大学院 理工学研究科 電子物理工学専攻

金子 徹

平成 30 年 2 月

広帯域アナログベースバンド回路技術の研究

指導教員 松澤 昭 教授

副指導教員 岡田健一 准教授

電子物理工学専攻 金子 徹

近年,無線端末の普及やクラウドサービスの普及に伴い,通信データ容量の増加が問 題となってきており,高速な無線通信の需要が高まっている.無線通信の高速化のため には,受信機回路に用いられるアナログベースバンドの広帯域と,Signal to Noise and Distortion Ratio (SNDR)の改善が求められる.アナログベースバンド回路の大部分は 増幅器によって構成されているため,フィルタや A/D 変換器などの構成のみならず,そ れらを構成する増幅器の検討が必要である.本研究では,アナログベースバンド回路の 一形態である連続時間型 ΔΣ A/D 変換器と 60GHz 帯ミリ波向け広帯域フィルタを中心 に,そこに用いる広帯域増幅器の検討を行った.

従来,アナログベースバンド回路の大部分はオペアンプを用いた負帰還増幅回路で構成されていた.負帰還増幅回路ではオペアンプの利得によって良好な線形性が実現される.しかしながら,オペアンプの寄生容量による極が帯域を制限し,線形性を保つことができる帯域は200 MHz を下回ってしまう.この問題により,オペアンプを用いた負帰還増幅回路は広帯域な用途において,負帰還のメリットを十分に享受できない.

一方,グローバルな帰還を持たないオープンループアンプ(Gm セル)は広帯域化に 適しているが,線形性が課題である.そこで線形性を改善するために,増幅器内部で完 結する局所的な負帰還を持つ高線形オープンループアンプが重要な回路技術となってい る.代表的な構成として,ソースデジェネレーションや Flipped Voltage Follower (FVF) などがある.特に FVF 構造では,トランジスタの固有利得を含む高い開ループ利得を, 1 GHz 程度の帯域まで維持することが可能であり,広帯域な用途でも線形性を保つこと ができる.オープンループアンプよりも更に高い帯域で使用される広帯域増幅器として, 電流増幅器が知られている.電流増幅器では入力インピーダンスの低減のために FVF 構造などの局所的な負帰還が用いられ,オープンループアンプと同程度の SNDR が期 待できる.ただし,これらの広帯域増幅器は線型性の改善に寄与する負帰還の利得が, 消費電力に依存するという欠点を持つ.アナログベースバンド回路の性能改善のために は,消費電力の増加を伴わない線形性改善手法が求められる.

連続時間型 $\Delta\Sigma$ A/D 変換器は LTE/LTE-A などの高速無線通信に用いられる A/D 変換器であり,アナログベースバンド回路の構成を簡略化できるため,関連する研究が盛んに行われている. この A/D 変換器では位相特性に優れる Gm-C フィルタの適用が望ましいが,Gm セルの歪が A/D 変換器の SNDR を劣化させるという課題があった.そこで本研究では,線形性を高める局所的な負帰還にカスコードトポロジを応用した新規回路を提案し,A/D 変換器への応用を行った.提案 Gm セルは従来回路に対し,線形性を表す指標である 3rd Order Input Intercept Point (IIP3) を 8 dB 改善し,低消費電力なGm セルでも A/D 変換器の SNDR 劣化を防ぐことを可能にした.提案回路を採用したA/D 変換器は 20 MHz の帯域を持ち,72.4 dB の良好な SNDR をわずか 6.8 mW の低消費電力で実現した.

60GHz 帯ミリ波向けのフィルタには、1GHz の広帯域と約 40 dB の良好な SNDR が 必要である.従来用いられていた Gm-C フィルタは寄生容量の影響で広帯域化に限界が あり、ソースフォロワフィルタはカットオフ周波数付近で線形性が急激に劣化し、高い SNDR の実現が困難である.そこで本研究では、電流増幅器を用いた電流型フィルタを 検討した.電流型フィルタは寄生容量や出力抵抗の影響が小さいため、広帯域化に適し ているが、入力インピーダンスの変動が線形性を劣化させてしまう.そこで局所的な負 帰還による低入力インピーダンス技術に、相補入力化を適用し、インピーダンス変動を 抑制した新規電流増幅器を提案した.提案電流増幅器は従来回路と比較して、増幅器単 体の SNDR を 5.5 dB 改善した.提案回路を用いて 1 GHz 帯域を持つ 4 次のフィルタを 設計したところ、256 QAM に対応可能な 40.8 dB を越える SNDR を、わずか 13 mW で 達成した.SNDR に対する電力効率は、他の研究と比較して最も良好な値を記録した.

今後の課題として, A/D 変換器やフィルタなどの更なる広帯域化が必要となる.また,スケーリングによる低電源電圧化に対応したアーキテクチャに関する検討も必要である.

目 次

第1章	序論		1									
1.1	研究背景	콩	1									
1.2	アナログ	グベースバンド回路の役割と課題	3									
1.3	本論文の	の目的	5									
1.4	本論文の構成											
1.5	評価項目	目	7									
	1.5.1 着	線形性	7									
	1.5.2 \$	SNR 及び SNDR 1	1									
	1.5.3 A	A/D 変換器の電力効率	2									
	1.5.4	フィルタの電力効率 1	3									
第2章	受信機と	とアナログベースバンド回路 1	9									
2.1	受信機の	のアーキテクチャ	9									
	2.1.1	スーパーヘテロダイン方式	9									
	2.1.2	ダイレクトコンバージョン方式2	3									
2.2	無線通信	言の高速化	25									
	2.2.1	変調方式と符号誤り率 2	25									
	2.2.2 à	通信帯域の広帯域化 3	51									
2.3	アナログ	グベースバンド回路の構成例..........................3	3									
2.4	VGA と	.ダイナミックレンジ	6									
	2.4.1 A	A/D 変換器のダイナミックレンジと SNDR 3	6									
	2.4.2	VGA によるダイナミックレンジの緩和	57									
	2.4.3 I	DC オフセット	8									

2.5	フィル	~タと妨害波
	2.5.1	60GHz 帯ミリ波受信機の場合 42
		2.5.1.1 アンチエイリアスフィルタ 42
		2.5.1.2 レベルダイアグラムの検討 44
	2.5.2	LTE 受信機の場合 48
2.6	A/D ًً	変換器とドライバ回路 51
	2.6.1	サンプリング周波数 51
	2.6.2	サンプリングの問題
2.7	まとめ	D
第3章	オペア	· ンプと負帰還増幅回路 65
3.1	増幅器	らと線形性
3.2	負帰還	¹ 2 増幅回路技術
	3.2.1	基本構成
	3.2.2	周波数特性
	3.2.3	オペアンプの出力抵抗
	3.2.4	二段オペアンプと位相補償76
3.3	オペア	マンプ
	3.3.1	高利得化技術
		3.3.1.1 カスコード抵抗 80
		3.3.1.2 ポジティブフィードバック 82
	3.3.2	GB 積改善技術 84
		3.3.2.1 相補入力化 84
		3.3.2.2 カスコード型オペアンプの高効率化
3.4	一段才	-ペアンプの帯域制限
	3.4.1	オペアンプの内部極 92
	3.4.2	入力寄生容量の影響 96
	3.4.3	一段オペアンプの上限周波数 101
3.5	電流帰	景還型オペアンプ 103
	3.5.1	基本原理
	3.5.2	NMOS 入力型電流帰還型オペアンプ 105

		111
	3.5.3	帰還利得の改善手法 110
	3.5.4	電流帰還型オペアンプのまとめ
3.6	まとめ	D
笹∕音	局所的	った自帰還技術 117
774平 41	内 /川山 亡 萬福	14 東市 速 11 m 1
4.1	四市坞	(10) / / - /
	4.1.1	貝冊速増幅奋の極
	4.1.2	ユーティクインハッノテとしての利用
	4.1.3	高級形 イーノンルーノノンノへの払振
4.0	4.1.4	- 電流増幅器への拡張
4.2	7-7	$\frac{1}{2} \frac{1}{2} \frac{1}$
	4.2.1	$\mathcal{Y} - \mathcal{X} - \mathcal{Y} = \mathcal{Y} - $
		4.2.1.1 小信号等価回路解析 125
		4.2.1.2 金の解析 126
		4.2.1.3 ノイズ特性 128
		4.2.1.4 最大 SNDR 131
	4.2.2	局所的な負帰還に利得を有する増幅器
		4.2.2.1 帯域
		4.2.2.2 歪の解析
		4.2.2.3 ノイズ特性 147
		4.2.2.4 最大 SNDR 150
	4.2.3	スーパーソースフォロワ
4.3	電流堆	9幅器
	4.3.1	電流増幅器の基本原理 156
	4.3.2	オペアンプを用いた電流増幅器158
	4.3.3	局所的な負帰還技術を用いた電流増幅器
		4.3.3.1 歪の解析 166
		4.3.3.2 雑音特性 171
		4.3.3.3 最大 SNDR 173
4.4	比較	

iv		目次
	4.4.2 出力抵抗に関する考察	. 181
	4.4.3 オープンループアンプと電流増幅器の比較	. 182
4.5	まとめ................................	. 185
第5章	広帯域増幅器の高線形化手法	189
5.1	オープンループアンプの高線形化手法	. 189
	5.1.1 レベルシフト回路付き FVF 構造	. 189
	5.1.2 FVF 構造の相補入力化	. 193
	5.1.3 歪キャンセル技術	. 195
5.2	電流増幅器の高線形化手法.......................	. 204
	5.2.1 g _m ブーストによる低入力インピーダンス化	. 204
	5.2.2 カレントミラー補正手法の検討	. 209
	5.2.2.1 カレントミラーにおけるしきい値ミスマッチの影響	. 209
	5.2.2.2 従来の補正手法	. 211
	5.2.2.3 参照電流源を用いた補正手法	. 213
	5.2.2.4 シミュレーション結果	. 215
5.3	まとめ................................	. 217
第6章	連続時間型 $\Delta\Sigma$ \mathbf{A}/\mathbf{D} 変換器	223
6.1	連続時間型 ΔΣ A/D 変換器	. 223
	6.1.1 $\Delta\Sigma$ 変調と SQNR	. 224
	6.1.2 連続時間型と離散時間型	. 227
	6.1.3 ディジタル遅延と位相余裕	. 230
6.2	ループフィルタ	. 234
	6.2.1 Active-RC フィルタ	. 234
	6.2.2 Gm-C フィルタ	. 236
6.3	Gm セルの高線形化	. 239
	6.3.1 従来回路	. 239
	6.3.2 カスコード FVF 構造	. 240
	6.3.2.1 小信号等価回路解析	. 241
	6.3.2.2 一巡伝達関数	. 244

		6.3.2.3 電圧変動の抑制効果 247
	6.3.3	線形性の比較 248
6.4	$20\mathrm{MH}$	Iz 帯域 連続時間型 ΔΣ A/D 変換器
	6.4.1	実装
	6.4.2	測定結果
6.5	微細化	この影響
	6.5.1	各セクションに与えるスケーリングの影響 261
		6.5.1.1 ループフィルタ 262
		6.5.1.2 論理回路と量子化器 267
	6.5.2	ELD の軽減 268
	6.5.3	消費電力と電力効率 269
6.6	まとめ	9
笛ヶ音	広告は	iフィルタ 977
71	本音で	211 211 211 211 211 211
7.1	平早し	べんりる文伯媛シハリム 211
1.2	791	Active PC フィルタ 280
	7.2.1	$\operatorname{Active-RO} / 1 / / 2 / 200$
	1.2.2	GIII-O / 1 ル /
		1.2.2.1 可主成力の影音 203 7.2.2.2 カットオフ国連数の阻固 206
	792	$1.2.2.2$ 从ットオノ间版级の限介 \dots 200
	(.2.3	フースフォロワフイルタ
		(.2.3.1 秋形性
	704	(.2.3.2) 奇生风万の影響
	(.2.4	 電流型ノイルタ
		(.2.4.1 奇生成分の影響
		(.2.4.2 ガットオノ周波数の限界
		7.2.4.3<
7 0	古 쒼 극	7.2.4.4 電流増幅器の安水仕様
(.3	尚 <i>知</i> 举	2电沉堳幅岙308
	7.3.1	征米の電流増幅器
	7.3.2	相補人刀化

	7.3.3	SSF 構造	を持つ相褚	甫入力型的	電流増	幅器						•		•			312
		7.3.3.1	小信号等(面回路解	析					•		•		•			312
		7.3.3.2	一巡伝達	関数								•		•			317
		7.3.3.3	歪の解析											•			319
		7.3.3.4	ノイズ特	生								•		•			319
		7.3.3.5	性能比較									•		•		•	321
7.4	ミリ波	で向け4次	1GHz 帯域	域のフィノ	レタ .							•		•			324
	7.4.1	フィルタ	の構成.									•		•			324
		7.4.1.1	バイカッ	ドフィル	タの縦	続接線	続 .			•		•		•			325
		7.4.1.2	ソースフ	オロワバ	ッファ	によ	る広	帯域	化	•		•		•			326
		7.4.1.3	レイアウ	ト						•		•		•			328
	7.4.2	性能評価								•		•		•			329
	7.4.3	レベルダ	イアグラム	ムの検討						•		•		•			332
7.5	微細化	の影響.								•		•		•			334
7.6	まとめ)										•		•			337
笛♀咅	結論																2/2
かり 年 <u> </u>	中間	,															343
0.1 8 9	今後の	, 一定切						• •	•••	•		•		•	•	•	340
0.2	801	海細化の	县/郷					• •	•••	•		•		•	•	•	349
	0.2.1 0.2.1	一次加心の	計:11.111					• •	•••	•	•••	•	• •	•	•	•	259
	0.2.2	フロダワア							•••	•	•••	•	• •	•	•	•	JJZ
本研究に	こ関連す	る主な論	文及び学会	発表													355

第1章

序論

1.1 研究背景

近年我が国では、スマートフォンやタブレット端末の普及やクラウドサービスの拡 大などに伴い、通信データ量が増大し、今後もそれらの更なる普及によってトラヒッ ク量が増大し、通信回線の逼迫が問題になると予想されている.特に IoT (Internet of Things)時代においては、これまでインターネットに接続されてこなかったデバイスが 通信を行うようになり、無線通信を行うデバイスの数は飛躍的に増加すると見られてい る.図1.1は、世界の IoT デバイス数の推移と予測を示したものである.この予測によ れば、2015 年から 2020 年にかけて IoT デバイスの数は二倍に膨れ上がることになる. 同時に、移動体の通信も増加が続いている.図1.2に、我が国における移動体の通信ト ラヒックの推移を示す.2015 年には月間平均トラヒックは1 Tbps を超え、近年では1



図 1.1: 世界の IoT デバイス数の推移(予想)[1]



図 1.2: 我が国における移動通信トラヒックの推移 [2]



図 1.3: 60GHz 帯の周波数割当 [3]

年毎に 1.4 倍の増加率となっている.

このため,LTE や Wimax,またはそれらの後継規格である 5G などの高速無線通信 システムへの要求が高まってきている.無線通信の速度は,通信に利用する帯域の広帯 域化と,16QAM や 64QAM などの多値変調の採用により改善できることが知られてい る.今後も予想される更なる通信データ量の増大に対応するためには,多値変調への 対応や,より広帯域を利用できる 40GHz 帯や 60GHz 帯の広帯域高速無線通信システム が必要となる.例えば 60GHz 帯の無線通信では,図 1.3 に示すように 1 チャネルあた り 2.16GHz の帯域を使用することができ,理論的には QPSK で 3.5 Gbps, 16QAM で 7 Gbps, 64QAM では 10 Gbps もの高速無線通信を行うことができる.このような背景 から,広帯域高速無線通信に関する研究が現在盛んに行われている.

1.2 アナログベースバンド回路の役割と課題

図 1.4 に 60GHz 帯のダイレクトコンバージョン方式の受信機を示す. 受信機は, アンテナ, LNA (Low Noise Amplifier), LPF (Low Pass Filter), VGA (Variable Gain Amplifier), ADC (A/D 変換器, Analog to Digital Converter), LO (Local Oscillator), Mixer 及び DSP (Digital Signal Processor) などから構成される. ここで, RF 帯 (60GHz 帯)の信号を扱うアンテナから Mixer までを RF フロントエンドとし、ベースバンド帯 (1GHz~)のアナログ信号を処理する Mixer から A/D 変換器までをアナログベースバ ンド回路と呼ぶ.アナログベースバンド回路はA/D変換器の前処理回路を含み,A/D 変換器に要求される性能を緩和し、信号の劣化を防ぎつつ DSP に信号を送る目的で使 用される.まず LPF は帯域外の信号を除去するアンチエイリアスフィルタとして機能 し、A/D 変換器に求められるサンプリング周波数をベースバンド帯域付近まで下げる役 割を持つ、特に隣のバンドの信号を十分に落とす必要が有るため、多くの通信方式では 4次から5次の急峻なフィルタ特性が要求される.また,受信機に入力される信号は受 信環境によって時々刻々と変化するため,信号を一定の振幅に保つような VGA が挿入 される.この VGA の可変利得範囲によって、A/D 変換器に要求されるダイナミックレ ンジ及び分解能を緩和することができる. 最後に A/D 変換器が受信したアナログ信号 をディジタル信号に変換し、DSP へ出力する. このようにアナログベースバンド回路は 受信機において重要な役割を持ち,無線通信には欠かすことのできない存在である.

より高速な通信を行うためには, RF フロントエンドの高性能化も必要であるが, ア ナログベースバンドの性能も極めて重要である. 例えば 60GHz 帯で通信を行う際には,



図 1.4: 60GHz 帯ダイレクトコンバージョン方式受信機 [4]



図 1.5: 近年報告された 60GHz 帯無線通信に関する研究

ベースバンド帯の帯域は1GHz にも及び,アナログベースバンド回路もこのような広帯 域に対応している必要がある.加えて多値変調を行うためには,アナログベースバンド 回路における SNR (Signal to Noise Ratio)の劣化を極力抑えなければならない.

しかしながら、今日の RF フロントエンド回路技術に対して、アナログベースバンド 回路の性能は十分とは言えない. 図 1.5 に、近年主要な学会で報告された 60GHz 帯無線 通信のデータレートを示す. LPF や VGA などのアナログベースバンド回路を含まない 報告では 10 Gbps を越える報告が多数存在するが、LPF 及び VGA などのアナログベー スバンド回路を含む報告では 7 Gbps 付近にとどまっていることがわかる. これは 1 チャ ネル 16QAM の時のデータレートであり、更なるデータレートの向上を達成するために は、アナログベースバンド回路の高性能化が不可欠であると考えられる.

1.3本論文の目的

本論文の目的は、広帯域・高速無線通信に適したアナログベースバンド回路を構成す る回路技術の追究である.

広帯域な無線通信では、ベースバンド帯の広帯域化を必要とするため、アナログベー スバンド回路にも広帯域化が求められる.従来用いられてきたオペアンプを用いた負帰 還増幅回路技術をベースとしたアナログベースバンド回路の設計には限界が見えてきて おり、広帯域な用途を中心に、オープンループ型アンプをベースとした回路技術へのシ フトが行われている.しかしながら、オープンループ型のアンプは線形性や消費電力の 観点で課題が多く、更なる改善が必要である.

そこで本研究では、アナログベースバンド回路を構成する増幅器から検討を行い、広 帯域・高速無線通信に用いられる重要な回路である広帯域フィルタと連続時間型 ΔΣ A/D 変換器について、性能改善を図っていく.

1.4 本論文の構成

本論文は全8章から構成される.

第1章 序論(本章)

本論文の背景,及び目的について述べる.また,本論文で使用する評価項目についてまとめる.

第2章 受信機とアナログベースバンド回路

受信機アーキテクチャや通信方式などについて述べ,アナログベースバンド回路 に要求される性能について議論する.

第3章 オペアンプと負帰還増幅回路

古くからアナログベースバンド回路を構成する重要な回路技術であったオペアン プを用いた負帰還回路技術について述べる.

第4章 局所的な負帰還技術

より帯域の広いアナログベースバンド回路を構成する広帯域な増幅器について議論する.線形性を改善するための局所的な負帰還技術について議論し,消費電力 とのトレードオフを明らかにする.

第5章 広帯域増幅器の高線形化技術

広帯域増幅器の線形性改善手法として,従来技術である歪キャンセルなどを中心 に議論する.

第6章 連続時間型 $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器

第4章及び第5章の議論を元に、広帯域 $\Delta\Sigma$ A/D 変換器のループフィルタの改 良を行う.また、LTE への応用を想定して開発した、20 MHz 帯域を持つ連続時 間型 $\Delta\Sigma$ A/D 変換器について述べる.

第7章 広帯域フィルタ

60GHz ミリ波向け受信機に用いる広帯域フィルタについて検討を行う.また第 4章及び第5章の議論を元に、電流増幅器の線形性改善を行い、1GHz帯域4次 LPFを設計し、性能を評価する.

第8章 結論

最後に本論文における成果と今後の課題を述べる.

1.5 評価項目

本論文で使用する性能を評価するための仕様について説明する.

1.5.1 線形性

SFDR

SFDR (Spurious Free Dynamic Range) は線形性の評価指標の一つであり,主に A/D 変換器の線形性の評価などで用いられることが多い. SFDR は搬送波を基準として,非 線形性に起因する高調波成分のうち最も大きな信号成分との比率を dB で表したもので ある. 非線形性を考慮した出力信号は,

$$V_{\rm out} = a_1 V_{\rm in} + a_2 V_{\rm in}^2 + a_3 V_{\rm in}^3 + \cdots$$
(1.1)

と表される.ここで搬送波の周波数を $f_c = \omega_c/2\pi$ とし、単一の入力 $V_{in}(t) = V_a \sin \omega_c t$ を仮定すると、

$$V_{\rm out}(t) = a_1 V_{\rm a} \sin \omega_{\rm c} t + a_2 V_{\rm a}^2 \sin^2 \omega_{\rm c} t + a_3 V_{\rm a}^3 \sin^3 \omega_{\rm c} t + \cdots$$
$$\approx \frac{a_2 V_{\rm a}^2}{2} + \left(a_1 V_{\rm a} + \frac{3a_3 V_{\rm a}^3}{4}\right) \sin \omega_{\rm c} t - \frac{a_2 V_{\rm a}^2}{2} \cos 2\omega_{\rm c} t - \frac{a_3 V_{\rm a}^3}{4} \sin 3\omega_{\rm c} t \quad (1.2)$$

となる.ただし,一般的に高調波の係数は高次ほど小さくなるため,4次以降の項は無 視した.このように,非線形成分は高調波成分を作り出す.この高調波成分の内最も大 きなものと1次の成分との比が SFDR に相当する.例えば図 1.6 のような状況では,2 番目の高調波(3次の成分)が最も大きいため,その電力レベルと搬送波との間が SFDR となる.高次の成分ほど影響は小さいが,システムが差動対称で作られている場合は偶 数次の歪は殆ど現れないため,多くの場合は3次と1次の比率が SFDR となる.ここ では,

SFDR =
$$20 \log \left| \frac{a_1 V_{\rm a} + \frac{3 a_3 V_{\rm a}^3}{4}}{\frac{a_3 V_{\rm a}^3}{4}} \right| \approx 20 \log \left| \frac{4 a_1}{a_3 V_{\rm a}^2} \right| \, [\text{dB}]$$
 (1.3)

と定義する.ただし, $|a_1| \gg |3a_3V_a^2/4|$ とした.dBc (搬送波を基準にした歪み信号の比率)で表記する場合は負数で表現する.このように SFDR は搬送波の振幅に依存するため,SFDR による線形性の比較は振幅を揃えて行うべきである.もし回路の非線形性が大きいと,高調波成分の係数 (a_3 など)が大きくなり,SFDR は悪化する.



図 1.6: SFDR の評価時のスペクトラム

SFDR は単一の搬送波入力で測定できるため,非常に簡単にデータを取得できるが,増 幅器などで測定を行う場合は回路の帯域に注意する必要がある.例えば,評価対象の回 路の帯域が1GHz として,500 MHz 付近で SFDR を求めると,3次の高調波は1.5 GHz 付近に生じるため,回路の帯域によって歪成分が減衰してしまい,正確な評価とならな い.この理由から,増幅器などの線形性を評価する場合は搬送波の周波数を帯域に対し て十分に小さくしておく必要がある.

しかしながら、増幅器などの回路は周波数によって線形性が変わる場合もあり、SFDR では低周波側の線形性しか評価できないという問題点がある.

なお,二次成分と搬送波の比率を HD2,三次成分と搬送波の比率を HD3 として表す こともある.

IM3

IM (Inter Modulation) とは相互変調歪のことであり、2つの周波数信号を入力した際 に生じる歪の総称である.この方式では、同じ振幅を持った2つの周波数成分として、 f_c から $\pm f_0 (= \pm \omega_0/2\pi)$ だけシフトした周波数成分を仮定し、

$$V_{\rm in}(t) = \frac{V_{\rm a}}{2}\sin(\omega_{\rm c} - \omega_0)t + \frac{V_{\rm a}}{2}\sin(\omega_{\rm c} + \omega_0)t \tag{1.4}$$



図 1.7: IM3 の評価時のスペクトラム

の入力を考える. 波形のピーク値を SFDR の場合と一致させるため, 振幅を a/2 とした. この入力を (1.1) 式に代入すると, 奇数項のみ計算すると,

$$V_{\text{out}}(t) \approx \frac{a_1 V_{\text{a}}}{2} \left\{ \sin(\omega_{\text{c}} + \omega_0)t + \sin(\omega_{\text{c}} - \omega_0)t \right\} + \frac{9a_3 V_{\text{a}}^3}{32} \left\{ \sin(\omega_{\text{c}} + \omega_0)t + \sin(\omega_{\text{c}} - \omega_0)t \right\} \\ + \frac{3a_3 V_{\text{a}}^3}{32} \left\{ \sin(\omega_{\text{c}} + 3\omega_0)t + \sin(\omega_{\text{c}} - 3\omega_0)t \right\} \\ - \frac{3a_3 V_{\text{a}}^3}{32} \left\{ \sin(3\omega_{\text{c}} + \omega_0)t + \sin(3\omega_{\text{c}} - \omega_0)t \right\} \\ - \frac{a_3 V_{\text{a}}^3}{32} \left\{ \sin(3\omega_{\text{c}} + 3\omega_0)t + \sin(3\omega_{\text{c}} - 3\omega_0)t \right\}$$
(1.5)

となる.この内第一項から第三項までに着目すると,

$$V_{\rm out}(t) \approx \left(\frac{a_1 V_{\rm a}}{2} + \frac{9 a_3 V_{\rm a}^3}{32}\right) \left\{\sin(\omega_{\rm c} + \omega_0)t + \sin(\omega_{\rm c} - \omega_0)t\right\} + \frac{3 a_3 V_{\rm a}^3}{32} \left\{\sin(\omega_{\rm c} + 3\omega_0)t + \sin(\omega_{\rm c} - 3\omega_0)t\right\}$$
(1.6)

と表される.したがって図 1.7 のようなスペクトルを得ることができる. この時 IM3 は 3 次の成分と 1 次の成分の比をとって,

IM3 = 20 log
$$\left| \frac{\frac{a_1 V_a}{2} + \frac{9 a_3 V_a^3}{32}}{\frac{3 a_3 V_a^3}{32}} \right| \approx 20 \log \left| \frac{16 a_1}{3 a_3 V_a^2} \right| [dB]$$
 (1.7)

と定義する.ただし、基本波側を基準とする場合は、

$$IM3 \approx -20 \log \left| \frac{16a_1}{3a_3 V_a^2} \right| [dBc]$$
(1.8)

と記述される. さらに (1.3) 式により.

IM3
$$\approx 20 \log \left| \frac{4a_1}{a_3 V_a^2} \right| + 20 \log \frac{4}{3} \approx \text{SFDR} + 2.5 \,[\text{dB}]$$
 (1.9)

という関係が導かれ, IM3 と SFDR は殆ど似た指標であることが確認できる. IM3 は $f_c \gg f_0$ とした時, 3次の歪が搬送波のすぐそばに出現するため, 評価したい回路のカットオフ周波数付近でも線形性を正しく評価することができる.

IIP3

IM3 は線形性を表す指標であるが、入力する信号の振幅に依存してしまうため、単純 な比較が難しい.そこで入力した信号成分と、三次の歪成分が等しくなる点 (Intercept Point)を求め、その時の入力振幅を IIP3 (Third Order Input Intercept Point)と定義 する.図 1.8 に指標の概要を示す. Intercept Point において、IM3 = 0 dB となるため、 (1.7) 式により、

$$\left|\frac{16a_1}{3a_3V_{\rm a}^2}\right| \approx 1\tag{1.10}$$

となる.したがって,このときの V_aは,

$$V_{\rm a} = \frac{4}{\sqrt{3}} \sqrt{\left|\frac{a_1}{a_3}\right|} \tag{1.11}$$

である. インピーダンス終端を行わない回路では, IIP3 は [dBV] で記述されることが多い. [dBV] は, 1 V_{RMS} を基準に dB 表記を行うものであるから,

IIP3 =
$$20 \log \frac{V_{\rm a}}{\sqrt{2}} = 20 \log \left(\sqrt{\frac{8}{3}} \sqrt{\left|\frac{a_1}{a_3}\right|}\right)$$
 (1.12)

$$\approx 4.26 + 10 \log \left| \frac{a_1}{a_3} \right| \quad [\text{dBV}]$$
 (1.13)

と表される.

ところで、(1.7) 式によれば、

$$10 \log \left| \frac{a_1}{a_3} \right| = \frac{\text{IM3}}{2} + 10 \log \frac{3V_a^2}{16} \approx -7.27 + 20 \log V_a + \frac{\text{IM3}}{2}$$
 (1.14)

であるから, (1.13) 式は,

$$IIP3 = -3.01 + \frac{IM3}{2} + 20 \log V_{a} \quad [dBV]$$
(1.15)

または (1.9) 式より,

IIP3 =
$$-1.76 + \frac{\text{SFDR}}{2} + 20 \log V_{\text{a}} \text{ [dBV]}$$
 (1.16)

となる.



図 1.8: IIP3 の概要

1.5.2 SNR 及び SNDR

\mathbf{SNR}

SNR は雑音に対する信号成分の比率を表す指標であり,

$$SNR = 20 \log \left(\frac{V_{a}}{\sqrt{2} \cdot \sqrt{v_{n,in}^2} f_{BW}} \right) [dB]$$
(1.17)

ここで f_{BW} は有効雑音帯域を表す.

SNDR

SNDR (Signal to Noise and Distortion Ratio) は、雑音の他に歪み成分による信号の 劣化を考慮した指標である.通常シングルトーンの入力に対して用いられるため、

$$SNDR = 10 \log \left(\frac{1}{10^{-\frac{SNR}{10}} + 10^{-\frac{SFDR}{10}}} \right)$$
(1.18)

と計算される.

最大 SNDR

続いて,最大 SNDR について考察する. (1.3) 式及びと (1.17) 式によれば, SFDR は V_a に対し -40 dB/dec で減少し, SNR は 20 dB/dec で上昇する. SNDR の最大値は, SFDR = SNRとなる箇所であるから,

$$\left|\frac{4a_1}{a_3 V_{\rm a}^2}\right| = \frac{V_{\rm a}}{\sqrt{2} \cdot \sqrt{\overline{v_{\rm n,in}^2} f_{\rm BW}}} \tag{1.19}$$

が成立する. したがって,

$$V_{\rm a} = 2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left(\overline{v_{\rm n,in}^2} f_{\rm BW} \right)^{\frac{1}{6}}$$
(1.20)

となり、この時の SNR は,

SNR = 20 log
$$\left(\frac{2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left(\overline{v_{n,in}^2} f_{BW} \right)^{\frac{1}{6}}}{\sqrt{2} \cdot \sqrt{\overline{v_{n,in}^2}} f_{BW}} \right)$$

= 2.00 + $\frac{20}{3} \log \left(\frac{\left| \frac{a_1}{a_3} \right|}{\overline{v_{n,in}^2} f_{BW}} \right) [dB]$ (1.21)

である. 最大 SNDR は,

$$\mathrm{SNDR}_{\mathrm{peak}} = -1.01 - \frac{20}{3} \log \left(\left| \frac{a_3}{a_1} \right| \cdot \overline{v_{\mathrm{n,in}}^2} f_{\mathrm{BW}} \right) [\mathrm{dB}]$$
(1.22)

と表される.

1.5.3 A/D 変換器の電力効率

Walden \mathcal{O} FoM

Walden の FoM は、ナイキスト A/D 変換器などでよく用いられる FoM である.

$$FoM_{Walden} = \frac{Power}{2^{ENOB} \cdot BW} \quad [J/conversion-step]$$
(1.23)

ただし, ENOB は有効ビット数であり,

$$ENOB = \frac{SNDR - 1.76}{6.02}$$
 (1.24)

で表される. この FoM は,実効的な1LSB の変換に費やされるエネルギーを表したものである.

Schreier \mathcal{O} FoM

一方, Schreier の FoM は, 60 dB を越える高分解能な A/D 変換器を評価する際に用いられる指標である.

$$FoM_{Schreier} = SNDR + 10 \log \frac{BW}{Power}$$
 [dB] (1.25)

この FoM は, SNDR を達成するためにかかった消費電力を経費として計上して算出する.単位は [dB] であり,この値が大きいほど電力効率が良いといえる.

1.5.4 フィルタの電力効率

SNR を元にした FoM

無線通信用のフィルタ向けの FoM はいくつか提案されているが [5], SNDR を評価に 含めた指標はほとんど無く,フィルタ次数や帯域に関する評価が中心であった.本研究 においては,帯域と共に高い SNDR を実現することが重要であるため,新たな FoM を 定義する.

もっとも簡単なフィルタとして,図 1.9(a)の*RC*フィルタを考える.この回路の雑音 電力 *P*_n は,

$$P_{\rm n} = \overline{v_{\rm n,R}^2} \int_0^\infty \left| \frac{1}{1 + j2\pi fCR} \right|^2 df = \frac{\overline{v_{\rm n,R}^2}}{4CR}$$
(1.26)

と表される.この回路をフィルタとして用いる際のカットオフ周波数は,

$$f_{\rm cut} = \frac{1}{2\pi CR} \tag{1.27}$$



(a) パッシブフィルタによる表現

(b) Gm-C フィルタによる表現

図 1.9: 一次のフィルタ

である. ここで図 1.9(b) のように, *R* が Gm セルのような消費電力を消費するアクティブな回路と仮定すると, 雑音電力 $\overline{v_{n,R}^2}$ はトランジスタの電圧性雑音で表現されるため,

$$\overline{v_{\rm n,R}^2} \propto \frac{4kT\gamma}{g_{\rm m}} \tag{1.28}$$

となる. ここで *k* はボルツマン定数, *T* は絶対温度, *g*_m はトランジスタのトランスコ ンダクタンスである. 通常 *g*_m はトランジスタのドレイン電流に比例する. したがって, ある比例係数 *K*_n を用いて,

$$\overline{v_{\rm n,R}^2} = \frac{K_{\rm n}}{P_{\rm c}} \tag{1.29}$$

と表すことができる.ただし, *P*_c は消費電力を表している. (1.27) 式及び (1.29) 式を用いて, (1.26) 式を整理する.

$$P_{\rm n} = \frac{\pi K_{\rm n}}{2} \cdot \frac{f_{\rm cut}}{P_{\rm c}} \tag{1.30}$$

したがって雑音電力は帯域に比例し、消費電力に反比例する.

この議論を n 次のフィルタに拡張する. 全体の消費電力を $P_{c,total}$ とすると,一段あた りの消費電力は $P_c = P_{c,total}/n$ である.また,雑音源の数は n 倍となるため,ノイズの 合計値は nP_n である.結局デシベル表示の SNR は,信号電力 P_s に対し,

$$SNR = 10 \log \frac{P_{s}}{nP_{n}} = 10 \log \left(\frac{2P_{s}}{\pi K_{n}}\right) - 10 \log \left(\frac{n^{2} \cdot f_{cut}}{P_{c,total}}\right)$$
(1.31)

と表現される.したがって、FoM_Fを次のように定義する.

$$\text{FoM}_{\text{F}} = \text{SNDR} + 10 \log \left(\frac{n^2 \cdot f_{\text{cut}}}{P_{\text{c,total}}} \right) \text{ [dB]}$$
 (1.32)

この FoM は,その SNDR を達成するためにかかった経費を計上し,比較する指標である.FoM が大きいほど SNDR に対する電力効率が良好であると言える.ただし,アクティブ素子の歪成分は考慮されていない.

アクティブ素子の歪を考慮する場合は,SNDR_{peak}から出発する.4章で紹介するソー スデジェネレーションなどアクティブ素子は,十分大きいソースデジェネレーション ファクター N に対して,

$$\left|\frac{a_3}{a_1}\right| \cdot \overline{v_{\rm n,in}^2} \propto \frac{1}{N V_{\rm eff} I_{\rm bias}} \tag{1.33}$$

の関係がある.ここで、 I_{bias} はトランジスタのバイアス電流を、 V_{eff} は有効ゲート電圧 をそれぞれ表している.Nは、

$$N \approx \frac{g_{\rm m}}{G_{\rm m}} = \frac{2I_{\rm bias}}{G_{\rm m}V_{\rm eff}} \tag{1.34}$$

である. 図 1.9(b) の回路において, $G_{\rm m} = 1/R$ であるから,

$$f_{\rm cut} = \frac{G_{\rm m}}{2\pi C}.\tag{1.35}$$

一方,有効雑音帯域をカットオフ周波数に対して,

$$f_{\rm BW} = K_{\rm f} f_{\rm cut} \tag{1.36}$$

と表す.これらの式を用いて, Nを整理すると,

$$N = \frac{K_{\rm f} I_{\rm bias}}{\pi f_{\rm BW} C} \tag{1.37}$$

となる. (1.33) 式の両辺に f_{BW} を乗じて整理すると,

$$\left|\frac{a_3}{a_1}\right| \cdot \overline{v_{n,in}^2} f_{BW} \propto \frac{\pi f_{BW}^2 C V_{eff}}{K_f I_{bias}^2}$$
(1.38)

と表される.したがって,この解析では*C*を消去することができず,指標の中に残さなければならない.しかしながら,各容量値を厳密に載せている論文は少なく,実際は寄生容量等を含むため,(1.38)式を正確に評価するのは困難である.この問題から,本研究では(1.32)式で表される FoM で電力効率を評価する.

参考文献

- [1] 総務省、「平成 28 年度版 情報通信白書」、[Online]. Available:
 http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h28/html/nc121100.html
- [2] 総務省、「情報通信統計データベース」, [Online]. Available: http://www.soumu.go.jp/johotsusintokei/field/tsuushin06.html
- [3] IEEE Standards Association, "IEEE802.11ad," [Online]. Available: http://standards.ieee.org/findstds/standard/802.11ad-2012.html
- [4] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [5] T.-Y. Lo and C.-C. Hung, 1V CMOS Gm-C Filters, Springer, 2009.

第2章

受信機とアナログベースバンド回路

本章では,無線通信の受信機アーキテクチャや,通信速度を改善する手段などについ て述べ,高速無線通信を実現するにあたり,アナログベースバンド回路に要求される性 能や機能などを明らかにする.

2.1 受信機のアーキテクチャ

受信機のアーキテクチャには様々な方式があるが,ここではよく使われているスー パーヘテロダイン方式と,ダイレクトコンバージョン方式の代表的な二種類について述 べる.

2.1.1 スーパーヘテロダイン方式

スーパーヘテロダイン方式は,周波数の高い RF 帯から一度中間周波数に落とし,そ の後再度周波数変換を行いベースバンド帯に信号を変換する方式である.図 2.1 にスー パーヘテロダイン方式の構成を示す.

まず、アンテナで受信された信号は帯域選択フィルタを通り、フィルタ帯域内の信号の みをLNAで増幅する.このフィルタは低雑音かつ急峻な特性が必要であるため、誘電体 フィルタや SAW フィルタなどの外付け部品で対応する.ここでLNA は 20dB 程度の増 幅を行い、ミキサ以降の回路ブロックで生じる雑音の影響を抑える.しかし IF 帯への周 波数変換の際には、イメージ妨害波が問題となる.ミキサは 2 つの信号を掛け合わせる ため、RF 帯の信号を $W_{\rm RF}(t) = a \sin \omega_{\rm RF} t$ 、局部発振器の出力信号を $W_{\rm LO}(t) = b \sin \omega_{\rm LO} t$



図 2.1: スーパーヘテロダイン方式の受信機 [1]

とすると、ミキサの出力は,

$$W_{\rm RF}(t)W_{\rm LO}(t) = \frac{ab}{2} \left\{ \cos\left(\omega_{\rm RF} - \omega_{\rm LO}\right)t - \cos\left(\omega_{\rm RF} + \omega_{\rm LO}\right)t \right\}$$
(2.1)

と表される.すなわち, ω_{LO} を中心に,2つの周波数の信号が生じることになる.この内 ($\omega_{RF} + \omega_{LO}$)の高い周波数成分をフィルタで除去し,低周波側のみの信号を残して ω_{RF} から ($\omega_{RF} - \omega_{LO}$)への周波数変換とする.したがって IF 帯への周波数変換は,所望の 帯域の角周波数 ω_{RF} に対して,イメージ帯の角周波数を ω_{IF} とした時,局部発振器の角 周波数 ω_{LO} との間に次の関係が成立する.

$$\omega_{\rm IF} = \omega_{\rm RF} - \omega_{\rm LO} \tag{2.2}$$



(b) IF 帯への周波数変換後

図 2.2: IF 帯への変換とイメージ妨害波

しかしながら (2.1) 式は,理想的には全ての周波数について成り立つため,図 2.2(a) に 示すような所望帯域外の $W_{OB}(t) = c \sin (\omega_{LO} - \omega_{IF}) t$ の信号入力も仮定すると,

$$\{W_{\rm RF}(t) + W_{\rm OB}(t)\} W_{\rm LO}(t) = \frac{ab}{2} \{\cos(\omega_{\rm RF} - \omega_{\rm LO})t - \cos(\omega_{\rm RF} + \omega_{\rm LO})t\} + \frac{bc}{2} \{\cos(\omega_{\rm LO} - \omega_{\rm IF} - \omega_{\rm LO})t - \cos(\omega_{\rm LO} - \omega_{\rm IF} + \omega_{\rm LO})t\} = \left(\frac{ab}{2} + \frac{bc}{2}\right)\cos\omega_{\rm IF}t - \frac{ab}{2}\cos(\omega_{\rm RF} + \omega_{\rm LO})t - \frac{bc}{2}\cos(3\omega_{\rm LO} - \omega_{\rm RF})t$$

$$(2.3)$$

となり, ω_{IF} の角周波数に帯域外の信号が混入してしまう(図 2.2(b)). この理由により, イメージ帯への周波数変換を行う前に帯域外の信号を十分に落としておく必要があり, LNA の出力後などにも SAW フィルタなどの Q 値の高い外付けの BFP フィルタ (イ メージ抑圧フィルタとも呼ばれる)を用意し,アンテナ直後のフィルタと併せて急峻な 減衰特性を実現する.

IF 帯の信号はチャネル選択フィルタを通した後 IF アンプで増幅され,更に DC ヘダ ウンコンバートされる.この時位相を 90° ずらしてミキシングを行い,I チャネルと Q チャネルに分離する.DC 側に落ちた信号は,低 Q の高次フィルタを通して所望チャネ ル以外の信号を除去する.また,図 2.1 における F_{sample} は A/D 変換器の変換周波数で あり,この LPF は後段の A/D 変換に要求されるサンプリング周波数を緩和するための アンチエイリアスフィルタの役割を持つ.

更に A/D 変換を行う前に再度 VGA を通して振幅を調整する.特に無線通信ではその 時々の受信環境によって,受信電力が異なる.仮に VGA がない場合を想定すると,受 信電力が大きいケースでは A/D 変換に広いダイナミックレンジが要求され,受信電力 が極端に小さいケースでは A/D 変換器に高い分解能が必要となってしまう. 図 2.3 に, A/D 変換器への入力振幅が変化した場合の, A/D 変換器に要求される性能のイメージ を示す. 振幅が小さい場合は, 小さい信号の大小を適切に判別するためには量子化電圧 V_aを小さくする必要がある.その一方,大きい信号が入力された時は分解能が多少荒い 場合でも信号の判別は可能であるが、2^NV_aで表される A/D 変換器のダイナミックレン ジが振幅に対応していなければならない. ここで N は A/D 変換器の変換可能な bit 数 を表している.したがって、細かい分解能を実現しつつ広いダイナミックレンジを実現 するには, A/D 変換の bit 数を増やし高分解能化が要求される. しかしながら A/D 変 換器の高分解能化は容易ではなく,特に広帯域無線通信では同時に高速な A/D 変換も 要求されるため,一定の振幅に揃える機構を搭載し,これらの要求性能を緩和するのが 現実的である.そこで通常は A/D 変換後の DSP 側から受信電力に応じて VGA の利得 を変える AGC 機能を持たせて、常に適切な振幅で A/D 変換を行うことによって A/D 変換器に要求される性能を緩和する.なお,VGA については 2.4 節で,A/D 変換器に ついては 2.6 節で改めて詳しく述べる.

ところでスーパーヘテロダイン方式は, IQ の分離を比較的低周波で行うため, IQ 整 合が取りやすいという利点がある. IQ 整合が不完全であると, BER (Bit Error Rate) を劣化させる要因となってしまうことが知られている [1]. また, ベースバンド帯にダ ウンコンバートする前に IF 帯で信号の増幅が行えるため, ベースバンド側で問題とな る DC オフセットや 1/f ノイズなどの影響を抑えることができる. その一方で, イメー ジ妨害波を除去するためのオフチップフィルタを必要とし, このため集積度に限界があ り, 消費電力も大きいという問題が有る. ただし, 低 IF 方式と呼ばれるイメージ抑圧 フィルタと同等の機能をフィルタ無しで実現する方式も提案されている [2].



図 2.3: A/D 変換器の入力振幅と要求性能

2.1.2 ダイレクトコンバージョン方式

ダイレクトコンバージョン方式は、中間周波数を経ずに RF 帯の信号を直接ベースバンド帯に落とし、処理を行う方式である. 図 2.4 にダイレクトコンバージョン方式の構成を示す.

アンテナで受信した信号は、スーパーヘテロダイン方式と同様にバンドパスフィルタ で帯域を選択し、LNA で増幅する.この方式では局部発振器の角周波数は RF 帯の角 周波数と同一にし、直接 DC にダウンコンバートする.ダウンコンバートした信号は、 低 Q 値の高次ローパスフィルタを通して帯域外の信号を落とす.この LPF はスーパー ヘテロダイン方式のチャネル選択フィルタに相当し、別のチャネルを選択する場合は局 部発振器の周波数を変えることで対応する.最後にスーパーヘテロダイン方式と同様に VGA を介して振幅を調整し、A/D 変換を行う.

ダイレクトコンバージョン方式はスーパーヘテロダイン方式と異なり, IF 帯に信号 を落とさないためイメージ除去のためのオフチップフィルタを省略でき,また回路を構 成するブロック数も少なく,高い集積度が実現しやすいアーキテクチャである.しかし ながら,スーパーヘテロダイン方式よりも高い周波数でミキサを駆動して IQ 分離を行 うため,位相ミスマッチや振幅誤差が発生しやすい.加えて,IQ 分離後に振幅の小さ い信号を処理するため,LPF や VGA などでも IQ インバランスが生じやすい [3].この IQ インバランスの問題は後述する符号誤り率を劣化させ,通信の品質を悪くする要因と なってしまう.また近年のプロセス微細化によるトランジスタサイズの低下によって,



図 2.4: ダイレクトコンバージョン方式の受信機 [1]

各ブロックを構成する素子のばらつきが大きくなってきており [4],品質の良い通信を 行うためには IQ インバランスを補正する機構を必要とする [5,6].

また振幅が小さい状態で DC ヘダウンコンバートされるため,アナログベースバンド 回路の低周波雑音が影響する場合もある.この問題に対しては容量結合やサーボループ などによって改善されるものの,非常に大きな容量が必要となりチップの占有面積を増 大させる原因となっていたが,近年の DSP を用いたディジタル制御技術の改善によっ て改善され,現在は受信機アーキテクチャの主流となっている [1].

2.2 無線通信の高速化

シャノンの定理によれば,通信路容量 C は次の式で与えられる.

$$C = B \log_2\left(1 + \frac{S}{N}\right) \quad [\text{bit/s}] \tag{2.4}$$

ただし, *B* は通信に用いる帯域幅(単位は Hz)を表し, *S* 及び *N* はそれぞれ信号とノ イズの電力を表す.したがって, *S*/*N* 比(SNR)を大きくするか無線通信に用いる帯域 幅を増やすことで通信路容量を改善することが出来る.

2.2.1 変調方式と符号誤り率

通信路の SNR が十分に確保されている場合は,多値変調方式を用いることでビット レートを増やすことができる.多値変調方式は一つのシンボルに割り当てる bit 数を増 やすことで,伝送する情報量を増やす方式である.一方で多値変調を行ったシンボルを 復調する際に求められる SNR は,一シンボルに割り当てる bit 数を増やすほど厳しくな る.ここでは例として,位相変調方式 (PSK) である BPSK 及び QPSK と,直角振幅 変調 (QAM) について述べ,それぞれの符号誤り率 (BER)を比較する.

BPSK

BPSK(Binary Phase-Shift Keying) は PSK(Phase-Shift Keying) の一種であり, 搬送 波の位相に 1bit のデータを割り当てる方式である. 変調信号は $[0,1] = [0,\pi]$ のように割 り当てる. この時, 変調信号は,

$$s_{\rm i}(t) = \sqrt{\frac{2E_{\rm b}}{T_{\rm s}}} \cos\left(2\pi f_{\rm c}t + i\pi\right), \quad i = 0, 1$$
 (2.5)

と表される.ここで *E*_b はビットあたりのエネルギーであり,*T*_s はシンボルの周期を表 す.このときのコンスタレーションは図 2.5 に示す通りである.

続いて BPSK のビット誤り率について考える.実際の通信では,通信路における雑 音やトランシーバーにおける雑音などによってコンスタレーションがずれた位置に出現 し,その雑音がしきい値を超えた場合に誤りとなる.まずランダム雑音において,瞬間 雑音電圧が *x* + *dx* の間にある確率分布はガウス分布に従い,

$$p(x) = \frac{1}{\sqrt{2\pi N_0}} \exp\left(-\frac{x^2}{2N_0}\right)$$
 (2.6)


図 2.5: BPSK のコンスタレーション

と表される.ただし、 N_0 は雑音のスペクトラム密度である.符号を誤る確率 P_e は、図 2.6 に示すようにしきい値から $+\infty$ までを積分することで求めることができる.例えば、しきい値を A_t とおくと、

$$P_{\rm e}(A_{\rm t}) = \int_{A_{\rm t}}^{+\infty} p(x)dx = \int_{0}^{+\infty} p(x)dx - \int_{0}^{A_{\rm t}} p(x)dx$$
$$= \frac{1}{2} - \int_{0}^{A_{\rm t}} \frac{1}{\sqrt{2\pi N_0}} \exp\left(-\frac{x^2}{2N_0}\right) dx$$
$$= \frac{1}{2} - \int_{0}^{\frac{A_{\rm t}}{\sqrt{2N_0}}} \frac{1}{\sqrt{\pi}} \exp\left(-z^2\right) dz$$
$$= \frac{1}{2} \left\{ 1 - \exp\left(\frac{A_{\rm t}}{\sqrt{2N_0}}\right) \right\} = \frac{1}{2} \operatorname{erfc}\left(\frac{A_{\rm t}}{\sqrt{2N_0}}\right)$$
(2.7)

となる.ここで $\operatorname{erf}(z)$ は誤差関数, $\operatorname{erfc}(z)$ は相補誤差関数であり,

$$\operatorname{erf}(z) = \frac{2}{\sqrt{\pi}} \int_0^z \exp(-u^2) du$$
 (2.8)

$$\operatorname{erfc}(z) = 1 - \operatorname{erf}(z)$$
 (2.9)

である. BPSK において,符号の判定は図 2.5 の原点で変わり,しきい値は各符号から 原点までの距離に等しい.したがって,

$$A_{\rm t} = \sqrt{2E_{\rm b}}.\tag{2.10}$$



図 2.6: 確率密度関数とシンボルの誤判定

シンボル 0 とシンボル 1 がランダムに選ばれると仮定すると, BPSK の符号誤り率 $P_{b,BPSK}$ は,

$$P_{\rm b,BPSK} = \frac{1}{2} P_{\rm e} \left(\sqrt{2E_{\rm b}} \right) + \frac{1}{2} P_{\rm e} \left(-\sqrt{2E_{\rm b}} \right)$$
$$= P_{\rm e} \left(\sqrt{2E_{\rm b}} \right)$$
$$= \frac{1}{2} \operatorname{erfc} \left(\sqrt{\frac{E_{\rm b}}{N_0}} \right)$$
(2.11)

と表され,結果として信号と雑音の電力比(SNR)によって決定される.即ち,誤り率 を下げるためには,図 2.6 におけるガウス関数の偏差(N₀ に相当)を小さくし雑音の裾 野を狭くするか,信号の振幅を大きく取り 2 つのシンボル間の距離を広げてしきい値を 大きくすれば良い.

QPSK

QPSK (Quadrature Phase-Shift Keying) は 4 値変調の PSK であり, 位相に 2bit の データを割り当てる. 2bit データの割り当てには Gray 符号などが利用され, 数式では

$$s_{\rm i}(t) = \sqrt{\frac{2E_{\rm s}}{T_{\rm s}}} \cos\left(2\pi f_{\rm c}t + (2i-1)\frac{\pi}{4}\right), \qquad i = 0, 1, 2, 3 \tag{2.12}$$

と表現する.ただし、 E_s はシンボルあたりのエネルギーであり、シンボルを構成する ビット数をkとおくと、

$$E_{\rm s} = kE_{\rm b} \tag{2.13}$$



図 2.7: QPSK のコンスタレーション

の関係がある.

この変調信号は、下記の同相成分と直交成分の合成で表現することができる.

$$\phi_{\rm I}(t) = \sqrt{\frac{E_{\rm s}}{T_{\rm s}}} \cos 2\pi f_{\rm c} t \tag{2.14}$$

$$\phi_{\rm Q}(t) = \sqrt{\frac{E_{\rm s}}{T_{\rm s}}} \sin 2\pi f_{\rm c} t \tag{2.15}$$

すなわち $a_{\rm I} = \pm 1, a_{\rm Q} = \pm 1$ を用いて,

$$s_{\rm i}(t) = a_{\rm I}\phi_{\rm I} + a_{\rm Q}\phi_{\rm Q} \tag{2.16}$$

と表すことができる. 復調を行う際には、位相を 90° ずらした信号で行う. $\cos 2\pi f_c t$ に よる同調成分の復調は、

$$s_{i}(t) \cos 2\pi f_{c}t = \{a_{I}\phi_{I} + a_{Q}\phi_{Q}\} \cos 2\pi f_{c}t$$
$$= \frac{a_{I}}{2}\sqrt{\frac{E_{s}}{T_{s}}}(1 + \cos 4\pi f_{c}t) + \frac{a_{Q}}{2}\sqrt{\frac{E_{s}}{T_{s}}} \sin 4\pi f_{c}t \qquad (2.17)$$

となり、この信号を LPF に通すと、

$$LPF[s_{\rm i}(t)\cos 2\pi f_{\rm c}t] = \frac{a_{\rm I}}{2}\sqrt{\frac{E_{\rm s}}{T_{\rm s}}}$$
(2.18)

となり、同相成分の信号だけ取り出すことができる. 同様に $\sin 2\pi f_c t$ による直交成分の

復調は,

$$s_{i}(t)\sin 2\pi f_{c}t = \{a_{I}\phi_{I} + a_{Q}\phi_{Q}\}\sin 2\pi f_{c}t$$
$$= \frac{a_{I}}{2}\sqrt{\frac{E_{s}}{T_{s}}}\sin 4\pi f_{c}t + \frac{a_{Q}}{2}\sqrt{\frac{E_{s}}{T_{s}}}(1 - \cos 4\pi f_{c}t)$$
(2.19)

であり, LPF 後の出力は,

$$LPF[s_{\rm i}(t)\sin 2\pi f_{\rm c}t] = \frac{a_{\rm Q}}{2}\sqrt{\frac{E_{\rm s}}{T_{\rm s}}}$$
(2.20)

となる. QPSK のコンスタレーションは図 2.7 に示すように, 90° ずつ位相をずらした ようなコンスタレーションとなる.

続いて QPSK の符号誤り率を求める. 各シンボルについて, IQ それぞれでしきい値 を越える確率が $P_{\rm e}(\sqrt{E_{\rm s}})$ であるが,実際にビットエラーが発生するのは I か Q のいずれ か一方である. 図 2.7 のシンボル 11 を例に取ると, IQ それぞれについて $P_{\rm e}(\sqrt{E_{\rm s}})$ の確 率で 1bit の誤りが生じる. したがって, QPSK の符号誤り率 $P_{\rm b,QPSK}$ は,

$$P_{\rm b,QPSK} = 4 \times \frac{1}{4} \times P_{\rm e} \left(\sqrt{E_{\rm s}}\right)$$
$$= P_{\rm e} \left(\sqrt{2E_{\rm b}}\right)$$
$$= \frac{1}{2} {\rm erfc} \left(\sqrt{\frac{E_{\rm b}}{N_0}}\right)$$
(2.21)

となる. したがって $P_{b,QPSK} = P_{b,BPSK}$ が成立する.

直交振幅変調

QAM (Quadrature Amplitude Modulation) は振幅と位相を組み合わせた多値変調方 式である.送信信号は,次のように表される.

$$s(t) = I(t)\cos 2\pi f_{\rm c} t + Q(t)\sin 2\pi f_{\rm c} t$$
(2.22)

ここで I(t) 及び Q(t) は変調信号を表す. QPSK の信号である (2.16) 式と比較すると, この 2 つの式はよく似た形をしており, QPSK は 4 値の QAM と同じような変調信号と なる.

QAM の一種である 16QAM のコンスタレーションを図 2.8(a) に示す. この変調では 1 シンボルは 4bit の情報を持つ. また, QAM では振幅も変調されるため, その平均電 力を Eb とした時の符号誤り率は,

$$P_{\rm b,16QAM} = 1 - \left\{ 1 - \frac{3}{8} \operatorname{erfc}\left(\sqrt{\frac{2E_{\rm b}}{5N_0}}\right) \right\}^2$$
 (2.23)



⊠ 2.8: QAM



図 2.9: 符号誤り率の比較

と表される. また図 2.8(b) に示す 64QAM の符号誤り率は,

$$P_{\rm b,64QAM} = 1 - \left\{ 1 - \frac{7}{24} \operatorname{erfc}\left(\sqrt{\frac{E_{\rm b}}{7N_0}}\right) \right\}^2$$
 (2.24)

である [1]. この 64QAM は 6bit の多値変調である.

以上の変調方式の符号誤り率を比較すると,図 2.9 の様になる.QPSK は,BPSK に対 して二倍の伝送速度を達成できるが,符号誤り率は同じである.しかしながら,16QAM, 64QAM では同じ SNR 当たりの符号誤り率が劣化している.これは QAM はコンスタ レーションにおいて各シンボル間の距離が近く,正確な判定を行うためには十分な SNR を確保する必要が有るためである.一つの目安として,10⁻⁶の符号誤り率を下回るため には BPSK/QPSK で 11dB 弱の SNR が必要であるのに対し,16QAM では 15dB 程度, 64QAM では 19dB 程度の SNR を必要とする.

以上のように、多値変調は1シンボルあたりの bit 数を増やすことで伝送速度を上げ ることができるものの、品質を保証するためには十分な SNR を確保する必要があり、bit 数が増えるほどその要求は厳しくなる傾向にある.

2.2.2 通信帯域の広帯域化

シャノンの定理によると,通信に使用する帯域に比例して通信路容量は増えていく. したがって,通信に利用する帯域の広帯域化は,通信の高速化に直結する.

まず通信に利用する帯域を広くするためには,RF帯の周波数を上げることが必要と なる.周波数資源は限られており,比較的扱いやすい数 GHz 付近の RF 帯は使用率が 高く,広帯域の通信帯域を用意することは困難である.一方で,ミリ波帯と呼ばれる 40GHz から 100GHz 付近の帯域は比較的空いており,広い帯域を利用できる可能性があ る [9].特に 60GHz 帯は各チャネルあたり 2.16GHz もの帯域が無免許で使用できるた め,研究が盛んに行われている.

しかしながら通信帯域の広帯域化を行うには、ベースバンド帯の広帯域化必須となり、 ベースバンド回路の広帯域化は多くの困難を伴う.例えばディジタル回路は動作周波数 に比例して消費電力が増大するため、広帯域無線通信によって高速動作が要求されると、 消費電力が大きくなってしまう.またアナログベースバンド部においては、ベースバン ド帯全てをカバーする広帯域なアナログ回路が必要となるため、アナログ回路部の消費 電力の増加が問題となる.加えて、ムーアの法則 [7,8] に従い、プロセス微細化による DSP の高速化や低消費電力化,小面積化が進められてきたが,一方でアナログ回路の設計は微細なトランジスタを用いることに依るばらつき [4] や固有利得低下 [10,11],電源 電圧の低下などの問題により,より困難になってきている.

別のアプローチとして,通信に利用する帯域をそのままに複数のアンテナを用いるこ とで実効的に通信帯域を広げる MIMO (Multi-Input Multi-Output) と呼ばれる技術があ る [12]. しかしながら,MIMO では送受信に複数のアンテナを用い,各アンテナで送受 信を行う回路を必要とするため,回路の大規模化や消費電力の増大などの問題がある. そのため,個々の通信がより高速で,可能な限り消費電力が少なく,回路面積の小さい 送受信の回路を構成することが望ましい.

2.3 アナログベースバンド回路の構成例

アナログベースバンド回路は主に、ミキサでダウンコンバートした信号を A/D 変換するまでの回路ブロックを指す.図 2.4 において、ベースバンド回路の構成を Mixer→LPF→VGA→ADC と記載したが、前後の回路や無線通信の仕様に応じて様々 な構成方法が存在する.ここでは代表的な構成方法をいくつか述べる.

■電流受けフィルタ 図 2.10(a) は, SDR (Software Defined Radio) などで用いられる 構成であり [13,14], 図 2.4 などで示した LPF 実現方法の一形態である. LPF にはオペ アンプを用いた負帰還回路を利用し, Mixer からの信号を電流として受け取り, 帰還抵 抗 *R* に流し込んで電圧振幅に変換する. 比較的帯域の低い無線でよく用いられており, ノイズキャンセル LNA などと組み合わせて使用されることも多い [15,16].

■VGA と LPF のマージ 図 2.10(b) は VGA と LPF をマージした構成である. VGA の負荷抵抗に並列に容量を接続し,各アンプの出力端子でカットオフ特性を作る.Gm-C フィルタなどと比較すると,使用する増幅器の個数が減るため,消費電力が低いという メリットが有る.しかしながら,より広帯域な回路では次段アンプの入力寄生容量が カットオフ特性に影響をあたえるため,設計が難しい.特に各アンプに可変利得機能を 追加する場合,利得切替によるミラー容量の変化などでカットオフ周波数が変化してし まうため,容量キャンセルなどの技術を併用しなければならない [17].加えてフィルタ の Q 値実現が難しく,急峻な遮断特性を実現することは極めて困難である.そのため, フィルタセクションと VGA セクションを分け,VGA の間にフィルタをマージするなど の構成も検討されている [18].

■VGA→LPF の構成 図 2.10(c) は, LPF の前に VGA を接続した構成である [19,20]. 第7章で示す Gm-C フィルタのように, LPF はフィルタ機能の実現のために多くのア クティブ素子を使用する.その結果,特に広帯域なフィルタでは雑音特性や線形性など の要件が厳しくなり,大きなダイナミックレンジを実現することが難しくなってしま う.一例として,[21] で報告されている約 1 GHz 帯域のフィルタでは,27.5 mW の消費 電力に対して達成できる最大の SNDR は高々 32.5 dB 程度である.FoM_F の考えによれ ば,SNDR を 3 dB 改善するためには約 2 倍の消費電力が必要となるため,規模の大き な LPF のダイナミックレンジを改善することは消費電力の観点で望ましくない.この とき,LPFの前である程度振幅を揃えて入力する構成が有効となる.これは A/D 変換 器の前に VGA を挿入した場合と同様であり,十分な SNDR が得られる入力振幅付近で のみ利用することで,フィルタの要求仕様を大幅に緩和することができる.

■連続時間型 $\Delta\Sigma$ A/D 変換器を用いた構成 連続時間型 $\Delta\Sigma$ A/D 変換器 (CT $\Delta\Sigma$ ADC)を用いることで、アンチエイリアスフィルタどを省略する方法が提案されている [22,23].加えて A/D 変換器が十分なダイナミックレンジを持つ場合は VGA を省略または簡略化し、図 2.10(d)のような簡素な構成でアナログベースバンド回路を置き換えることができる。この構成では、後述するサンプリングの諸問題を解決し、フィルタ回路の要求仕様を大幅に緩和できるメリットが大きいため、20 MHz 程度の帯域において従来のアナログベースバンド回路の構成よりも電力効率に優れるという検討報告が有る [22].このようにこの構成はアナログベースバンド回路の規模を小さくすることに貢献するが、反面 A/D 変換器の構成は煩雑になり、広帯域化が難しい.しかしながら、近年では 10 MHz を超える信号帯域を実現する連続時間型 $\Delta\Sigma$ A/D 変換器も多数報告もされており、LTE や LTE-Advanced などのアプリケーションに対応できるようになった.LTE 受信機については 2.5.2 節で、連続時間型 $\Delta\Sigma$ A/D 変換器については第6章で詳しく述べる.



(d) 連続時間型 $\Delta\Sigma A/D$ 変換器

図 2.10: アナログベースバンド回路の構成例

2.4 VGA とダイナミックレンジ

無線通信において,移動体の状況によって受信機で受信される電力には大きなばらつ きがある.様々な受信状況に対応するためには,広い入力範囲で目標とする SNDR を達 成する必要がある.しかしながら広範囲に渡り性能を維持することは困難であり.特に 本節で述べる A/D 変換器のダイナミックレンジは,この入力範囲の問題を厳しく制限 する要因となる.ここではその問題点を整理し,解決策である VGA について述べる.

2.4.1 A/D 変換器のダイナミックレンジと SNDR

1.5節で示したように、アナログ回路の SNDR 特性を記述する要素として線形性 (SFDR や IIP3) と雑音特性 (SNR) がある.これらの特性により、アナログ回路の多くは図 2.11(a) に示すような SNDR 特性を描く.SNR は入力電力の増加に対し一次で増加し、 低入力電力側で SNDR を決める.一方、SFDR (または IM3) は入力電力の増加に対し て二次で減少し、大振幅入力側で SNDR を制限する.

このアナログ回路に要求される SNDR を SNDR_{min} とすると, SNDR が最大値を迎え る点から SNR 側と SFDR 側について, 2:1 で使用可能な入力範囲が規定される. ここ で SNDR の最大値を SNDR_{peak} とすると, ある SNDR_{min} に対する入力ダイナミックレ ンジ (DR) は dB 表示で,

$$DR = \frac{3}{2} \left(SNDR_{peak} + 3.01 - SNDR_{min} \right) \quad [dB]$$

$$(2.25)$$

と表される.ここで係数の 3/2 はログスケール上の値であり、リニアスケールでは 1.5



図 2.11: 入力電力に対する SNDR 特性

乗に相当する点に注意が必要である.

一方,図 2.11(b) に示すように、多くの A/D 変換器は SNDR の最大値付近より大き い入力振幅から急激に性能が劣化する. A/D 変換器では SNR を決める量子化雑音の影 響が厳しく、A/D 変換器にできるだけ大きな振幅を入れて SNDR の最大値を高めるこ とが必要となる. その結果、SNDR は A/D 変換器の最大入力レンジよりやや小さい入 力近辺で最大となり、以降は入力レンジのリミットによって急激に SNDR が劣化してい く. したがって、A/D 変換器では図 2.11(a) のケースとは異なり、SNDR の最大値から DR を予測することは困難である. 悲観的な予測として、SNDR_{peak} 以降が使用できない と仮定すると、

$$DR = SNDR_{peak} + 3.01 - SNDR_{min} \quad [dB]$$
(2.26)

となり, (2.25) 式に含まれていた 1.5 乗の係数が失われていることが確認できる.

これらの DR の値は SNDR_{min} のとり方で値が変わるため,平等な評価のために SNDR_{min} = 0 dB とした DR がよく用いられる.一例として,第6章で開発する連続時間 型 $\Delta\Sigma$ A/D 変換器は, DR = 75.8 dB かつ SNDR_{peak} = 72.4 dB であり,おおよそ (2.26) 式の関係が成立していることが認められる.仮にこの SNDR_{peak} が図 2.11(a) のような 特性を持っていたと仮定すると,その DR は 113 dB と算出され,実際の A/D 変換器の 特性と大きな差があることが認められる.

このように同じ要求 SNDR に対しても,通常のアナログ回路と A/D 変換器では,そ れぞれが実現できる入力範囲に大きな違いがある.そのため,A/D 変換器の要求仕様は 実際の SNDR 以上に厳しくなってしまう.

2.4.2 VGA によるダイナミックレンジの緩和

この問題を解決するため、これまで見てきた受信機の構成のように、A/D 変換器の前 に VGA が挿入される. VGA は A/D 変換器の入力レベルを揃えるように利得を変え、 A/D 変換器が常に良好な SNDR が得られる領域のみを使用するように動作する.

図 2.12 に VGA 挿入による振幅一定化の概要を示す. RF フロントエンド側の入力 P_{in} は利得 G_{RF} によって増幅されて VGA に入力される. VGA は, RF フロントエンド側で 要求 SNDR_{min} を満たす範囲について, VGA の出力 P_3 が凡そ一定になるように動作す る. このとき, A/D 変換器の入力範囲は非常に小さくなり, SNDR_{min} を十分達成でき



図 2.12: VGA による振幅一定化

る領域でのみ動作する.したがって,A/D変換器は非常に限られた入力範囲内で十分な SNDR を達成すれば,必要な要件を満たすことができる.

ただし,当然ながら VGA は使用する入力範囲で要求される SNDR を達成していなけ ればならない.加えて入力範囲を全てカバーするだけの可変利得レンジが要求される. 増幅器一段で得られる利得及び可変利得範囲は限られており,近年の微細プロセスでは 10 dB 程度,大きくても 20 dB 程度の値となる.そのため,可変利得化した増幅器をカ スケード接続して VGA を構成することになる.実際に [17] では 40 dB 近い可変利得範 囲を要求されており,その実現のために 4 個の可変利得化した増幅器をカスケード接続 して使用している.

2.4.3 DC オフセット

そのような高い利得を実現する VGA では, DC オフセットが問題となる. 図 2.13(a) に, VGA の入力オフセット電圧 V_{os} を考慮した回路を示す. このオフセット電圧は主に

デバイスミスマッチによって生じ、VGA や LPF などの回路の他、Mixer からも混入する. A/D 変換器の入力部分では $G_V V_{os}$ となり、VGA の利得によって大きな成分となる. 例えば $V_{os} = 10 \text{ mV}$ かつ $G_V = 40 \text{ dB}$ のケースでは、A/D 変換器の入力部分で 1V 程度の DC オフセットとなってしまい、正常な動作は期待できない.

この問題に対する一般的な解決方法は,図 2.13(b) に示すようなオフセットキャンセルループの挿入である.このオフセットキャンセルループは,VGA に出力側から伝達関数 *A*(*s*)を持つ補助アンプを介して帰還をかけて構成される.補助アンプにも同様に入力オフセット *V*_{os,A} を想定すると,このシステムは図 2.14 のブロック線図で表現することができる.図より,

$$V_{\rm out} = G_{\rm V} \left\{ V_{\rm in} + V_{\rm os} - A(s) \left(V_{\rm out} + V_{\rm os,A} \right) \right\}$$
(2.27)

であるから,

$$V_{\text{out}} = \frac{G_{\text{V}}}{1 + G_{\text{V}}A(s)} (V_{\text{in}} + V_{\text{os}}) - \frac{G_{\text{V}}A(s)}{1 + G_{\text{V}}A(s)} V_{\text{os,A}}$$

= $H(s) (V_{\text{in}} + V_{\text{os}}) + H_{\text{A}}(s) V_{\text{os,A}}$ (2.28)





(a) 入力オフセットを考慮した VGA

(b) オフセットキャンセルループの挿入

図 2.13: DC オフセットの影響とオフセットキャンセルループ



図 2.14: オフセットキャンセルループのブロック線図

と整理できる.

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_{\rm A}}} \tag{2.29}$$

とすると、それぞれの伝達関数は、

$$H(s) = \frac{G_{\rm V}}{1 + G_{\rm V}A_0} \frac{1 + \frac{s}{\omega_{\rm A}}}{1 + \frac{s}{(1 + G_{\rm V}A_{\rm V})_{\rm VI}}} \approx \frac{1}{A_0} \frac{1 + \frac{s}{\omega_{\rm A}}}{1 + \frac{s}{G_{\rm V}A_{\rm VI}}}$$
(2.30)

$$H_{\rm A}(s) = -\frac{G_{\rm V}A_0}{1+G_{\rm V}A_0} \frac{1}{1+\frac{s}{(1+G_{\rm V}A_0)\,\omega_{\rm A}}} \approx -\frac{1}{1+\frac{s}{G_{\rm V}A_0\omega_{\rm A}}}$$
(2.31)

と表される.ただし $G_V A_0 \gg 1$ として近似した.

図 2.15 にそれぞれの周波数特性を示す.ここで f_A は $\omega_A = 2\pi f_A$ の関係を持つ補助 アンプのカットオフ周波数である.DC 側において H(s) の利得は補助アンプの利得の 逆数となり、 V_{os} によって生じる出力側のオフセット電圧は A_0 で抑制される.その後 補助アンプ側のカットオフ周波数から利得の上昇が始まり、低域側カットオフ周波数は $G_V A_0 f_A$ となる.一方、 $H_A(s)$ は DC 側で $H_A(0) = -1$ であり、高周波側で減衰する特性 となる.このときのカットオフ周波数は $G_V A_0 f_A$ であり、H(s) と同じ位置に極を持つ. 最終的な DC 成分は、

$$V_{\rm os,out} = \frac{V_{\rm os}}{A_0} - V_{\rm os,A} \tag{2.32}$$

となり,図 2.13(a)と比較して,V_{os}の影響は大きく減じられる.一方でV_{os,A}は抑制されること無く,出力 DC オフセットとして残留する点に注意が必要である.負数の形を



図 2.15: 各伝達関数の周波数特性

とるのは, 図 2.13(b) の V_{os,A} を打ち消すためには, V_{os,out} において符号を反転させる必 要があるためと解釈できる.

以上のように、オフセットキャンセルループは DC オフセットの問題を解決するが、 メインパスの伝達関数を変化させてしまうという欠点が指摘できる. *H*(*s*) は *V*_{in} から *V*_{out} までの伝達関数でもあるため、オフセットキャンセルループによる低域側の抑制は、 メインパスを通る主信号成分にも影響を及ぼす. 通信品質の劣化を避けるためには、こ の低域遮断周波数をデータレートの 0.1%以下に抑える必要があるとされる [27].

DC 側のカットオフ周波数は $G_V A_0 f_A$ であるため,DC オフセットを軽減のため A_0 を 大きくするか,VGA の利得 G_V が大きい場合は,この周波数が高くなってしまう.そ のため, f_A を極力小さくするように補助アンプを設計しなければならない.補助アンプ のカットオフ周波数を R,C などの受動素子のみで作成すると大きな素子値が必要とな り,外付け部品が必要となる場合がある.一方,能動素子を使用したフィルタ構成など を使用することで,小さい容量値で低いカットオフ周波数を構成する手法も検討されて いる [28,29].

2.5 フィルタと妨害波

無線通信において所望の帯域以外の信号が混入すると SNR が劣化してしまい,通信 品質の低下につながってしまう.フィルタで妨害波を除去することによって,A/D 変換 器の要求仕様は緩和される.実際の受信機システムの例を用いて,アナログベースバン ド回路に用いるフィルタと A/D 変換器の仕様を検討する.

2.5.1 60GHz 帯ミリ波受信機の場合

60GHz 帯では、隣接チャネルの信号が妨害波として考えられる、隣接チャネル信号の 混入は、主に A/D 変換器におけるエイリアシングによって生じる.

2.5.1.1 アンチエイリアスフィルタ

図 2.16 のように,アナログベースバンド回路のフィルタで打ち消しきれなかった隣接 チャネルの残留信号 A,B,C を想定する.これらはエイリアシングによって低周波側に移 動し,DSP に入力される.DSP の内部には,ディジタルフィルタによって実現される チャネル選択フィルタが存在し,急峻な減衰特性で所望波の帯域 *f*_{BW} よりも高い信号を 削る.このとき,A 及び B の信号はチャネル選択フィルタで除去できるが,C の残留信



図 2.16: エイリアシングとチャネル選択フィルタ

号はそのまま残留する.残留する隣接成分は図より,

$$f \ge F_{\text{sample}} - f_{\text{BW}} \tag{2.33}$$

の周波数成分を持っており,アナログベースバンド回路のフィルタはこの周波数以上の信号を十分減衰させることが求められる.このような隣接チャネルの抑圧仕様は Adjacent Channel Rejection (ACR) とよばれ,通常は通信方式によって定められているが,ここでは隣接チャネルが同程度の電力を持っていると仮定して,その影響ついて考察する.

実際のイメージを掴むために、図 2.17 に示す 60GHz 帯(1ch 使用)を例に考える.こ こでは簡単のため、フィルタのカットオフ周波数は $f_{cut} = f_{BW}$ と設定する. n 次のバ ターワース特性を想定すると、(2.33) 式の周波数における減衰率は、

$$|H(F_{\text{sample}} - f_{\text{BW}})|^2 = \frac{1}{1 + \left(\frac{F_{\text{sample}} - f_{\text{BW}}}{f_{\text{BW}}}\right)^{2n}}$$
 (2.34)

と表される.隣接チャネルの電力密度が,現在使用しいているチャネルと同程度の電力 密度を持っている場合,エイリアシングで混入し分離できない残留成分は,

$$G_{\rm B} = \frac{1}{f_{\rm BW}} \int_{F_{\rm sample} - f_{\rm BW}}^{\infty} |H(f)|^2 df \approx \frac{1}{f_{\rm BW}} \int_{F_{\rm sample} - f_{\rm BW}}^{\infty} \left(\frac{f_{\rm BW}}{f}\right)^{2n} df$$
$$= \frac{1}{2n+1} \left(\frac{f_{\rm BW}}{F_{\rm sample} - f_{\rm BW}}\right)^{2n}$$
(2.35)

の積分計算から求まる.

図 2.18 にこれらの特性を示す.フィルタ次数は n = 2,4,6 の三種類を用いた.フィル タ次数が増えるごとに減衰特性は強化され,同じ減衰率を得るために必要なサンプリン グ周波数は減少する.後述のように,A/D 変換器のサンプリング周波数高速化は,消費 電力の増加と SNDR の劣化によって達成される.したがって急峻な高次フィルタを用い ることは,A/D 変換器の厳しい要求仕様を緩和することに繋がる.

ただし,高次の広帯域フィルタを設計することは容易ではない.フィルタ次数の増加 は消費電力の増加と SNDR 劣化を招くため,今度はフィルタ側の性能劣化が問題となっ てしまう.図 2.19 に約 1 GHz の帯域を持つフィルタについて,フィルタ次数で規格化 を行った消費電力の比較を示す.一次のフィルタで換算した消費電力は要求 SNDR が上 がるに連れて上昇し,n次のフィルタではn倍の消費電力を必要とする.そのため,実 際の 60 GHz 帯ミリ波向け受信機に関する先行研究では,およそ3次から6次程度の次 数のフィルタを実装しているケースが多い [19,24-26].



図 2.17: 60GHz 帯の隣接チャネル(ダウンコンバード後)



図 2.18: サンプリング周波数と折り返し成分の減衰

第7章で紹介する本研究のフィルタは、n = 4として設計を行う.このとき、隣接チャネルの信号に対する最終的な利得を-40 dB 程度とするためには、 $F_{\text{sample}} \ge 3$ GSps 程度の A/D 変換器が必要となる.

2.5.1.2 レベルダイアグラムの検討

アナログベースバンド回路の仕様は,RF 側の回路の性能に大きく左右される.無線 システムをシステムレベルで設計する際には,各セクションの性能をならべ,システム 全体の性能を評価する目的でレベルダイアグラムが作成される.表 2.1 は,ある 60GHz



図 2.19:約1GHzの帯域を持つフィルタの消費電力

帯ミリ波受信機のレベルダイアグラムである. この受信機システムは図 2.20 のような構成となっており, LPF や A/D 変換器などのアナログベースバンド素子が含まれていない. 出力はアナログベースバンドに挿入された増幅器(BB Amp.)の出力端子部分が相当し, この部分から測定装置につなぐことでデータレートの品質を測定していた. 1chを使用した場合の最終的な SNDR は図 2.21 のようになり, 256QAM の通信が可能な品質を持っている.

表 2.1 を見ると, Mixer までの利得は 19.2 dB 程度となり, アナログベースバンドの増 幅器の雑音特性はシステムに大きな影響を与えていない. 一方, 線形性はベースバンド の増幅器によって大きく劣化しており, 性能のボトルネックとなっていることが読み取 れる. 第4章で述べるように, 増幅器の線形性を改善するためには消費電力の増加が必 要であるが, ベースバンド部分の消費電力は既に 27.2 mW に達しており, 受信機全体で 見てもかなり大きな値となっている. ここにフィルタや A/D 変換器の消費電力が追加 されることを考えると, 消費電力の問題は更に厳しい.

加えて, 追加するフィルタや A/D 変換器については SNDR_{peak} の位置が問題となる. 図 2.21 のグラフにおいて, SNDR_{peak} が得られる入力振幅付近で SNDR が最大となら なければ, SNDR 特性は大きく劣化してしまう. 振幅が揃っていない場合は, アナログ ベースバンド増幅器の利得を調整する必要がある. 利得を下げる方向に関しては消費電 力の増加無しに行えるため,表 2.1 のように全体の利得が 29.8 dB 以下の領域で SNDR が最大となるように後段の回路を設計する.

			_	-
Rx	LNA	RF Amp.	Mixer, BB Amp	合計
利得 [dB]	17.2	2.0	< 10.6	< 29.8
累計利得 [dB]	17.2	19.2	< 29.8	
Noise Figure (NF) [dB]	5.0	13.9	10.7	5.76
累計 NF [dB]	5.0	5.6	5.76	
IIP3 [dBm]	-8.9	11	0.6	-19.3
累計 IIP3 [dBm]	-8.9	-10.8	-19.3	
消費電力 (IQ 合計) [mW]	39.5		27.2	66.7

表 2.1: 60GHz 帯ミリ波受信機のレベルダイアグラムの例 [31]



図 2.20: 表 2.1 の回路構成

第7章では、このシステムに使用するフィルタを検討する.詳しい設計条件等は改め て第7章に記載する.



図 2.21: 受信回路の入力電力と SNDR(LPF・A/D 変換器無し)

2.5.2 LTE 受信機の場合

現代における高速な無線通信の一つに,LTE が挙げられる.我が国においても殆どの スマートフォンや多くのタブレット端末がLTE に対応しており,移動体通信における重 要な無線通信規格となっている.このLTE が利用する 800MHz 帯及び 2GHz 帯は,ア ンテナ実装や回折特性などの観点で移動体通信に適しているとされており,多くの端末 がこの帯域を利用して通信を行っている.

このような混雑した帯域では,使用する周波数帯に近い電力の大きい妨害波(近接妨害波)が問題となる.妨害波が比較的遠方に存在する場合は,60GHz帯の例のようにアンチエイリアスフィルタを設計し,A/D変換器に所望波以外の信号を入れないように設定すればよい.しかしながら,所望波の帯域付近に大きな妨害波が存在する場合,アンチエイリアスフィルタでは落としきれず,大きな妨害波がそのまま A/D 変換器に入力されてしまうという問題が生じる.

図 2.22 は近接妨害波を考慮した受信機の例である.遠方の妨害波はアナログベース バンド回路のフィルタによって減衰するが,所望波 P_sのすぐそばに存在する妨害波 P_B はほとんど減衰せず,そのまま A/D 変換器に入力されてしまう.ただし,DSP 内部の チャネル選択フィルタによってこの妨害波成分は除去されるため,A/D 変換が正常に行 われれば後に分離することが可能である.



図 2.22: 近接妨害波を考慮した受信機

このときの A/D 変換器に対する要求仕様を検討する. A/D 変換器への入力電力は,

$$P_{\rm in} \approx P_{\rm S} + P_{\rm B} \tag{2.36}$$

となる.ただし,A/D 変換器におけるそれぞれの電力の関係は図 2.23 のようになっており,

$$P_{\rm B} = P_{\rm S} + 35 ~[\rm dBm]$$
 (2.37)

の関係がある [22]. A/D 変換器は,この妨害波電力を最大入力レベルにおさめている必要があるため,所望波は A/D 変換器の最大入力レベルに対し 35 dB より更に低い位置に存在する. A/D 変換器以外の雑音が無視できたと仮定すると,最終的な SNR は次のように表される.

$$SNR = P_B - 35 - P_N < DR - 35$$
 [dB] (2.38)

ここで DR は 2.4.1 節で言及した A/D 変換器のダイナミックレンジであり, A/D 変換器 が 0 dB 以上の SNDR を達成する入力範囲である.したがってこのケースでは, A/D 変換器は大きな信号入力を受けつつ,小さな雑音特性を持たなければならない.(2.26)式 を用いて DR を SNDR_{peak} に置き換えると,

$$SNDR_{peak} > SNR + 32 [dB]$$
 (2.39)

となり、A/D 変換器には受信機全体の要求 SNDR 以上の非常に高い SNDR が要求されることが確認できる.このような近接妨害波の影響により、LTE 向けの用途では 60 から



図 2.23: 電力の大小関係



図 2.24: FoM_{Schreier}の考えに基づく消費電力と SNDRの関係(20MHz帯域)

70 dB 程度の SNDR を持つ A/D 変換器が必要とされる [22,32]. A/D 変換器の SNDR がこの要求仕様よりも更に高い場合は, A/D 変換器の前に挿入される振幅調整のための VGA を省略または簡略化できるため, 受信機全体の簡素化及び低消費電力化に寄与で きる.

しかしながら FoM_{Schreier} の定義に従えば,SNDR を上げるためには A/D 変換器の消 費電力の増加が避けられない.図 2.24 は,FoM_{Schreier} の定義による消費電力と SNDR の関係を示したものである.LTE 向けに開発される多くの A/D 変換器はおおよそ 160 ~ 170 dB の FoM を達成しているため、二本の線の間が実際の使用領域と考えられ る.SNDR の増加に対し消費電力は大きく増加しており、70 dB の SNDR を越える A/D 変換器の実現には、少なくとも数 mW の消費電力が必要である。そのため、LTE 受信機 のアナログベースバンド回路では A/D 変換器の電力効率を改善することが非常に重要 である.本論文では第6章にて、LTE 受信機向けの A/D 変換器である連続時間型 $\Delta\Sigma$ A/D 変換器の検討を行う。

2.6 A/D 変換器とドライバ回路

A/D 変換器は無線通信の受信機の他,センサーなどにも用いられる回路である.無線 通信の受信機においては,LPF や VGA で処理したアナログ信号をディジタル信号に変 換し,DSP に送る役割を担う.

2.6.1 サンプリング周波数

広帯域な無線通信で使用する場合は、A/D 変換器のサンプリング周波数は高くなけれ ばならない.エイリアシングを考慮すると、信号帯域に対して少なくとも二倍以上のサ ンプリング周波数が必要である.

図 2.25 に, A/D 変換器の主要なアーキテクチャとその性能領域を示す. なお, ビット数 *N* は SNDR に対し,

$$SNDR = 6.02N + 1.76 \ [dB]$$
 (2.40)

の関係がある. 高速無線通信では, サンプリング周波数の高いナイキスト A/D 変換器 が重要であるため, パイプライン型 [33,34] やフラッシュ型 [5,17,35,36] がよく用いら れる. また, 低消費電力かつ小面積な A/D 変換器である逐次比較型 (SAR) A/D 変換器



図 2.25: A/D 変換器の主要なアーキテクチャ

を並列に並べ,実効的なサンプリング周波数を高めて使用する場合もある [37,38]. LTE や LTE-Advanced などの 100 MHz を下回る信号帯域の無線通信では,連続時間型 $\Delta\Sigma$ A/D 変換器 (CT $\Delta\Sigma$) も選択肢に入る.

一般的に, A/D 変換器のサンプリング周波数高速化は, 消費電力や SNDR を犠牲にし て達成される. 図 2.26 は主要な学会で発表された A/D 変換器の性能をプロットしたも のである. ただし, サンプリング周波数はナイキスト A/D 変換器に対するものである. オーバーサンプリング A/D 変換器に対しては信号帯域の二倍をサンプリング周波数と



図 2.26: A/D 変換器の性能とサンプリング周波数 [39]



図 2.27: SNDR = $35 \, dB$ で換算した FoM_{Walden} と消費電力

読み替えてプロットしている.まずサンプリング周波数に対する SNDR を見ると,周波 数が高くなるに連れて SNDR が下がっていく傾向が見られる.10 MHz 付近では 80 dB 程度の SNDR の報告が多数存在するが,1 GHz を越える部分については僅かな例外を除 いて,殆どの報告は 60 dB を下回る SNDR である.2 GHz 以上では更に下がり,50 dB 付近に報告が集中している.一方,電力効率は図 2.26(b) に示す FoM でうかがい知るこ とができる.この FoM は帯域が異なる性能に対しても平等に評価でき,主に SNDR の 低い回路での比較によく用いられる指標である.グラフから,SNDR の場合と同様に, サンプリング周波数が高いほど FoM が劣化していく様子が見られる.このように,A/D 変換器の高速化は消費電力の増加や SNDR の劣化を招いてしまう.

図 2.27 は, SNDR = 35 dB とした時の FoM_{Walden} と消費電力の関係を示したグラフで ある. 仮に FoM_{Walden} が消費電力及び SNDR に対してスケーリング可能であるならば, FoM の最前線は 3 GSps において 5 mW 程度となる.

2.6.2 サンプリングの問題

A/D 変換を行うためには,容量を用いてアナログ信号をサンプリングし,一定時間 ホールドしなければならない.このサンプリングの際に混入する雑音をサンプリング雑 音と呼ぶ.図 2.28 のようなサンプリングの回路を考える.ここで *R* は, A/D 変換器を ドライブする回路の出力インピーダンスやスイッチのオン抵抗を仮定している.一方, *C*はA/D変換器のサンプリング容量を表している.このときに混入する雑音成分は,

$$P_{\rm n} = \overline{v_{\rm n,R}^2} \int_0^\infty \left| \frac{1}{1+j2\pi f C R} \right|^2 df = \frac{kT}{C}$$
(2.41)

となり,容量のみに依存する.したがって,この雑音を小さくするためにはより大きな サンプリング容量が必要となる.図 2.29 に,差動構成を考慮したサンプリング雑音に対 する SNR を示す.入力差動振幅は 0.2,0.5,1 Vpp の三種類を想定している.非常に高い SNR を得るためには,大きなサンプリング容量か,大振幅の入力信号が必要である.た だし,近年の微細プロセスでは電源電圧が低く,1 Vpp のような大きな差動電圧振幅を 得るのは困難である.小さな振幅で SNR を得るためには,大きなサンプリング容量を ドライブする必要が有る.

しかしながら、サンプリング容量の増加はセトリング特性の劣化を引き起こす.高速 な A/D 変換を行う場合、A/D 変換器のサンプリング容量にサンプリングするための時 間が短くなる.サンプリング周波数 F_{sample} に対し、サンプリングに費やせる時間 T_{sample} は、

$$T_{\text{sample}} < \frac{1}{F_{\text{sample}}} \tag{2.42}$$

と表すことができる. 図 2.28(b) の回路において, t = 0 でサンプリングを開始したと仮 定すると,

$$V_{\text{sample}}(t) = \left(1 - e^{-\frac{t}{\tau}}\right) \cdot V_{\text{out}}$$
(2.43)

である.ただし、 $V_{\text{sample}}(0) = 0$ を仮定し、 $\tau = CR$ とした. T_{sample} におけるセトリング 誤差 ϵ_{error} は次のように表される.

$$\epsilon_{\text{error}}(T_{\text{sample}}) = e^{-\frac{T_{\text{sample}}}{\tau}} < e^{-\frac{1}{F_{\text{sample}}\tau}}$$
(2.44)



図 2.28: サンプリングのモデル

すなわち, $\tau = CR$ が大きい場合,あるいは T_{sample} が小さい場合,セトリングの誤差は 大きくなってしまう.図 2.30 に時定数 τ とセトリング誤差の関係を示す.一方,ある ϵ_{error} 以下を達成するための Rの条件は,

$$R = -\frac{T_{\text{sample}}}{C \ln \epsilon_{\text{error}}} \tag{2.45}$$

である.

これらの問題を理解するため,一例として 0.5 Vpp の入力振幅に対し,50 dB 程度の SNDR を達成する A/D 変換器を想定する.まず図 2.29 から,設計マージンをとってサ ンプリング容量を 300 fF とする.一方,サンプリング周波数を 2 GHz とし,サンプリ ング時間を 400 psec と設定する.サンプリングのセトリング誤差を 0.01 未満とすると, (2.45) 式より *R* < 100 Ω が導かれる.このような低い出力抵抗を実現することは非常に 困難である.4.4.2 節で後述するが,出力抵抗と増幅器に必要な消費電力は反比例の関 係にあり,上記の条件でも 10 mW 程度の消費電力が必要となってしまう.このように, サンプリング周波数の増加は,アナログフロントエンド回路の設計を難しくする要因と なっている.

実際はサンプリング雑音の他に, A/D 変換器に用いられるコンパレータなどの熱雑音 も SNR を劣化させる要因となる.したがって,このシステムで SNR を改善するために は, A/D 変換器に大きな入力振幅を送るのが適切である.ただし,大きな振幅を取り扱 うためには,アナログベースバンド回路を構成する増幅器に高い線形性が求められる.



図 2.29: サンプリング雑音と SNR



図 2.30: セトリング誤差

特に電源電圧の低いプロセスにおいてこの問題はより顕著となる.

なお,連続時間型 $\Delta\Sigma$ A/D 変換器では、このサンプリングに関する諸問題を解決する ことができる.詳しくは第6章で述べる.

2.7 まとめ

最後に、本章をまとめる.

■無線通信の高速化 高速無線通信を行うためには,多値変調による通信や通信帯域の 広帯域化が有効であるが,多値変調では送受信機を通して高い SNDR が必要であり,ア ナログベースバンド回路にも高い SNDR が求められる.

一方,通信に使用する帯域の広帯域化は,アナログベースバンド回路の広帯域化が必要となる.また,MIMOでは複数のアンテナと送受信回路を使うことで,通信帯域を広げずに通信を高速化することができるが,回路規模や消費電力も問題となるため,できるだけ簡単に低消費電力な回路によってアナログベースバンド回路を構成することが望ましい.

■60GHz帯ミリ波受信機のフィルタ アナログベースバンド回路では、アンチエイリ アスのために4次程度の急峻なアナログフィルタが用いられる.しかしながら、広帯域 なフィルタにおいて高次のフィルタを構成するためには、消費電力の増加が問題となる. 約1GHz帯域のフィルタの従来研究では、256QAM水準を満たすフィルタは、フィルタ 一次あたりの消費電力が30mWを上回っており、受信機全体で見ても無視できないほ ど大きい.広帯域フィルタについては、第7章で議論する.

■LTE 受信機の A/D 変換器 LTE では近接妨害波の影響が大きく, アンチエイリアス フィルタで除去する方法は現実的ではない. そのため, A/D 変換後のチャネル選択フィ ルタで近接妨害波を除去することになる. このとき A/D 変換器は大きな妨害波を入れ た状態で適切な A/D 変換を行う必要が有るため, 60 ~ 70 dB 程度の非常に大きなダイ ナミックレンジが要求される. この仕様を満たす A/D 変換器については, 第6章で検 討する.

■A/D 変換器 A/D 変換器の高速化には消費電力の増加や,SNDR の劣化が伴うという問題がある.加えて,サンプリング雑音とセトリング特性はトレードオフの関係があり,改善を図るためには信号の振幅を大きくして入力しなければならない.したがって, アナログフロントエンド回路には上記の要求に加え,高い線形性が必要である.

これらを踏まえると、より広帯域なアナログベースバンド回路には、高い SNDR、線 形性と低消費電力、広帯域などが求められる.本論文では、アナログベースバンド回路 を構成する増幅器について第3章,第4章及び第5章で議論する.

参考文献

- [1] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [2] J. Crols and M. S. J. Steyaert, "Low-IF topologies for high-performance analog front ends of fully integrated receivers," IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 45, no. 3, pp. 269-282, March 1998.
- [3] Behzad Razavi, 黒田忠宏 監訳, 「RF マイクロエレクトロニクス」, 丸善, 2002.
- P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," IEEE Journal of Solid-State Circuits, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [5] T. Tsukizawa, N. Shirakata, T. Morita, K. Tanaka, J. Sato, Y. Morishita, M. Kanemaru, R. Kitamura, T. Shima, T. Nakatani, K. Miyanaga, T. Urushihara, H. Yoshikawa, T. Sakamoto, H. Motozuka, Y. Shirakawa, N. Yosoku, A. Yamamoto, R. Shiozaki, and N. Saito, "A fully integrated 60GHz CMOS transceiver chipset based on WiGig/IEEE802.11ad with built-in self calibration for mobile applications," IEEE International Solid-State Circuits Conference, pp. 230-231, Feb. 2013.
- [6] J. Pang, S. Maki, S. Kawai, N. Nagashima, Y. Seo, M. Dome, H. Kato, M. Katsuragi, K. Kimura, S. Kondo, Y. Terashima, H. Liu, T. Siriburanon, A. T. Narayanan, N. Fajri, T. Kaneko, T. Yoshioka, B. Liu, Y. Wang, R. Wu, N. Li, K. K. Tokgoz, M. Miyahara, K. Okada, and A. Matsuzawa, "A 128-QAM 60GHz CMOS transceiver for IEEE802.11ay with calibration of LO feedthrough and I/Q

imbalance," IEEE International Solid-State Circuits Conference, pp. 424-425, Feb. 2017.

- [7] G. Moore, "No exponential is forever: But 'Forever' can be delayed!," IEEE International Solid-State Circuits Conference, pp. 21-23, Feb. 2003.
- [8] Intel, "Moore's Law," [Online]. Available: http://www.intel.com/research/silicon/mooreslaw.htm
- [9] 総務省、「電波資源拡大のための研究開発の実施」、[Online]. Available: http://www.tele.soumu.go.jp/j/sys/fees/purpose/kenkyu/index.htm
- S. Wong and C. A. T. Salama, "Impact of Scaling on MOS Analog Performance," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," IEEE Journal of Solid-State Circuits, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [12] L. Zheng and D. N. C. Tse, "Diversity and multiplexing: a fundamental tradeoff in multiple-antenna channels," IEEE Transactions on Information Theory, vol. 49, no. 5, pp. 1073-1096, May 2003.
- [13] V. Giannini, P. Nuzzo, C. Soens, K. Vengattaramane, J. Ryckaert, M. Goffioul,
 B. Debaillie, J. Borremans, J. V. Driessche, J. Craninckx, and M. Ingels, "A 2mm² 0.15 GHz Software-Defined Radio Receiver in 45-nm Digital CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 12, pp. 3486-3498, Dec. 2009.
- [14] R. Chen and H. Hashemi, "A 0.5-to-3 GHz Software-Defined Radio Receiver Using Discrete-Time RF Signal Processing," IEEE Journal of Solid-State Circuits, vol. 49, no. 5, pp. 1097-1111, May 2014.
- [15] I.-C. Lu, C.-y. Yu, Y.-h. Chen, L.-c. Chuo, C.-h. E. Sun, C.-C. Tang, and G. Chien, "A SAW-less GSM/GPRS/EDGE receiver embedded in a 65nm CMOS SoC," IEEE International Solid-State Circuits Conference, pp. 364-366, Feb. 2011.
- [16] D. Murphy, H. Darabi, A. Abidi, A. A. Hafez, A. Mizaei, M. Mikhemar, and M.-C.

F. Chang, "A Blocker-Torelant, Noise-Cancelling Receiver Suitable for Wideband Wireless Applications," IEEE Journal of Solid-State Circuits, vol. 47, no. 12, pp. 2943-2963, Dec. 2012.

- [17] M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm² analog baseband circuits for 60 GHz wireless transceiver in 40 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 495-498, June 2012.
- [18] Y. Wang, C. Hull, G. Murata, and S. Ravid, "A linear-in-dB analog baseband circuit for low power 60GHz receiver in standard 65nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 225-228, June 2013.
- [19] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp. 348-349, Feb. 2014.
- [20] G. Mangraviti, K. Khalaf, Q. Shi, K. Vaesen, D. Guermandi, V. Giannini, S. Brebels, F. Frazzica, A. Boundoux, C. Soens, W. V. Thillo, and P. Wambacq, "A 4-antenna-path beamforming transceiver for 60GHz multi-Gb/s communication in 28nm CMOS," IEEE International Solid-State Circuits Conference, pp. 246-247, Feb. 2016.
- [21] P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," European Solid-State Circuits Conference, pp. 350-353, Sep. 2010.
- [22] S. Loeda, J. Harrison, F. Pourchet, and A. Adams, "A 10/20/30/40 MHz Feedforward FIR DAC Continuous-Time ΔΣ With Robust Blocker Performance for Radio Receiver," IEEE Journal of Solid-State Circuits, vol. 51, no. 4, pp. 860-870, April 2016.
- [23] M. Andersson, M. Anderson, L. Sundstrm, S. Mattisson, and P. Andreani, "A Filtering ΔΣ ADC for LTE and Beyond," IEEE Journal of Solid-State Circuits, vol. 49, no. 7, pp. 1535-1547, July 2014.
- [24] A. Pezzotta, M. De Matteis, S. D'Amico, and A. Baschirotto, "A CMOS-28nm 880-MHz 4th-order low-pass active-RC filter for 60 GHz transceivers," Conference on Ph.D. Research in Microelectronics and Electronics, pp. 261-264, June 2013.
- [25] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [26] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschirotto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 1-4, June 2011.
- [27] B. Razavi, "Design considerations for direct-conversion receivers," IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 44, no. 6, pp. 428-435, Jun. 1997.
- [28] Y. Zheng, J. Yan, and Y. P. Xu, "A CMOS VGA With DC Offset Cancellation for Direct-Conversion Receivers," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 56, no. 1, pp. 103-113, Jan. 2009.
- [29] M. Elmala, B. Carlton, R. Bishop, and K. Soumyanath, "A 1.4V, 13.5mW, 10/100MHz 6th order elliptic filter/VGA with DC-offset correction in 90nm CMOS [WLAN applications]," IEEE Radio Frequency integrated Circuits Symposium, pp. 189-192, June 2005.
- [30] X. Zhu, Y. Sun, and J. Moritz, "A CMOS 750MHz fifth-order continuous-time linear phase lowpass filter with gain boost," IEEE International Symposium on Circuits and Systems, pp. 900-903, May 2008.
- [31] 永島 典明,「64QAM による 4 チャネルボンディングを実現する 60GHz 帯無線受 信回路の研究」,東京工業大学大学院 理工学研究科 電子物理工学専攻 修士論文

(未刊行), 2016.

- [32] V. Mm, R. Paily and A. Mahanta, "Power Optimization of LNA for LTE Receiver," International Conference on VLSI Design and International Conference on Embedded Systems, pp. 162-167, Jan. 2016.
- [33] A. Verma, and B. Razavi, "A 10-Bit 500-MS/s 55-mW CMOS ADC," IEEE Journal of Solid-State Circuits, vol. 44, no. 11, pp. 3039-3050, Nov. 2009.
- [34] M. Miyahara, H. Lee, D. Paik, and A. Matsuzawa, "A 10b 320 MS/s 40 mW openloop interpolated pipeline ADC," Symposium on VLSI Circuits, pp. 126-127, June 2011.
- [35] M. Miyahara, I. Mano, M. Nakayama, K. Okada, and A. Matsuzawa, "A 2.2GS/s 7b 27.4mW time-based folding-flash ADC with resistively averaged voltage-to-time amplifiers," IEEE International Solid-State Circuits Conference, pp. 388-389, Feb. 2014.
- [36] J. I. Kim, W. Kim, B. Sung, and S. T. Ryu, "A time-domain latch interpolation technique for low power flash ADCs," IEEE Custom Integrated Circuits Conference, pp. 1-4, Sept. 2011.
- [37] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1V 50mW
 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digital CMOS," IEEE
 International Solid-State Circuits Conference, pp. 76-77,77a, Feb. 2009.
- [38] C. H. Chan, Y. Zhu, S. W. Sin, U. S.-Pan and, R. P. Martins, "A 5.5mW 6b 5GS/S 4 × -Interleaved 3b/cycle SAR ADC in 65nm CMOS," IEEE International Solid-State Circuits Conference, pp. 1-3, Feb. 2015.
- [39] B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: http://web.stanford.edu/~murmann/adcsurvey.html.

第3章

オペアンプと負帰還増幅回路

オペアンプを用いた負帰還増幅回路は、今日においても最も基本的で重要なアナログ 回路の一つである.アナログベースバンド回路でも古くから用いられ、増幅器のみなら ず、ミキサ回路やフィルタ回路などにも応用される.本章では増幅器の特性から負帰還 増幅回路へ至るアイデアと、それを実現するためのオペアンプについて述べる.

3.1 増幅器と線形性

まずはじめに増幅器の導入として,増幅器と線形性の関係について述べる. 飽和領域のトランジスタは,次に示す二乗則の式によって電流が決まる.

$$I_{\rm D} = \frac{1}{2} \mu C_{\rm ox} \frac{W}{L} V_{\rm eff}^2 \left(1 + \frac{V_{\rm DS}}{V_{\rm A}} \right) \tag{3.1}$$

ここで μ は移動度, C_{ox} はゲートの単位容量, W, L はそれぞれチャネルの幅・長さ, V_A はアーリー電圧を表す.また, V_{DS} はドレイン・ソース間電圧, V_{eff} は有効ゲート電圧 を表し, この内 V_{eff} はしきい値電圧 V_{th} とゲート・ソース間電圧の V_{GS} を用いて次のように表される.

$$V_{\rm eff} = V_{\rm GS} - V_{\rm th} \tag{3.2}$$

近年の微細プロセスでは、キャリアの速度飽和などによって (3.1) 式と厳密には一致し ないが、本論文では計算を簡単にするために上記の二乗則を用いて解析を行う.

最も基本的な増幅回路の一つに、図 3.1(a) に示すソース接地回路がある.また図 3.1(b) はその小信号等価回路である.図中の g_{m1} と g_{d1} はそれぞれトランジスタ M1 のトラン スコンダクタンスとドレインコンダクタンスであり、トランスコンダクタンスとドレイ

ンコンダクタンスはトランジスタを流れる電流 I_D と次の関係を持つ.

$$g_{\rm m} = \frac{\partial I_{\rm D}}{\partial V_{\rm GS}} = \frac{2I_{\rm D}}{V_{\rm eff}} \tag{3.3}$$

$$g_{\rm d} = \frac{\partial I_{\rm D}}{\partial V_{\rm DS}} = \frac{I_{\rm D}}{V_{\rm A} + V_{\rm DS}} \tag{3.4}$$

小信号等価回路より,この回路の利得は,

$$v_{\rm out}\left(\frac{1}{R_{\rm L}} + g_{\rm d1}\right) + v_{\rm in}g_{\rm m1} = 0$$
 (3.5)

を整理して,

$$A_{\rm V} = \frac{v_{\rm out}}{v_{\rm in}} = -\frac{g_{\rm m1}}{\frac{1}{R_{\rm L}} + g_{\rm d1}}$$
(3.6)

となる.

続いて、小信号等価回路を用いずに回路の利得を算出し、*V*_{in} と *V*_{out} の正確な関係を 求める.トランジスタ M1 を流れる電流を *I*_{D1} とし、簡単のため係数 *K* を用いて次のよ うに置く.

$$I_{\rm D1} = K V_{\rm eff1}^2 \left(1 + \frac{V_{\rm DS1}}{V_{\rm A}} \right) = K \left(V_{\rm in} - V_{\rm th} \right)^2 \left(1 + \frac{V_{\rm out}}{V_{\rm A}} \right)$$
(3.7)

ただし,ここで

$$K = \frac{1}{2}\mu C_{\rm ox} \frac{W}{L} \tag{3.8}$$

である. 電源電圧を V_{DD} とおくと, V_{out} は

$$V_{\rm out} = V_{\rm DD} - I_{\rm D1} R_{\rm L} \tag{3.9}$$



図 3.1: ソース接地回路

であり、(3.7) 式を代入し、整理すると、

$$V_{\text{out}} = V_{\text{DD}} - KR_{\text{L}} \left(V_{\text{in}} - V_{\text{th}}\right)^2 \left(1 + \frac{V_{\text{out}}}{V_{\text{A}}}\right)$$
$$V_{\text{out}} = \frac{V_{\text{DD}}}{1 + \frac{KR_{\text{L}}}{V_{\text{A}}} \left(V_{\text{in}} - V_{\text{th}}\right)^2}$$
(3.10)

となる. 最後に (3.10) 式の右辺をテイラー展開し, Vout と Vin の関係式を得る.

$$V_{\rm out} \approx V_{\rm DD} \left\{ 1 - \frac{V_{\rm A}}{KR_{\rm L}} \left(V_{\rm in} - V_{\rm th} \right)^2 + \frac{V_{\rm A}^2}{K^2 R_{\rm L}^2} \left(V_{\rm in} - V_{\rm th} \right)^4 \right\}$$
(3.11)

(3.11)式のように、実際の V_{out} と V_{in} の関係は線形ではなく、高次の非線形成分を含む.

ところで,実際の回路では,図 3.2 に示すような差動構成を採用する場合が多い.まず入力電圧は,入力コモン電圧 $V_{\rm com}$ と差動電圧 $\Delta V_{\rm in} > 0$ を用いて,

$$V_{\rm inp} = \Delta V_{\rm in} + V_{\rm com} \tag{3.12}$$

$$V_{\rm inn} = -\Delta V_{\rm in} + V_{\rm com} \tag{3.13}$$

とする.また,入力トランジスタのソース側の電位は $V_{\rm scom}(\Delta V_{\rm in})$ とする.この時, $V_{\rm scom}(\Delta V_{\rm in})$ は差動回路の対称点の電位であるため,偶関数となる.また簡単のため, チャネル長変調効果を無視して M1, M2 それぞれで電流式を立てる.

$$I_0 + \frac{\Delta V_{\text{out}}}{R_{\text{L}}} = K \left\{ \Delta V_{\text{in}} + V_{\text{com}} - V_{\text{th}} - V_{\text{scom}} \left(\Delta V_{\text{in}} \right) \right\}^2$$
(3.14)

$$I_0 - \frac{\Delta V_{\text{out}}}{R_{\text{L}}} = K \left\{ -\Delta V_{\text{in}} + V_{\text{com}} - V_{\text{th}} - V_{\text{scom}} \left(\Delta V_{\text{in}} \right) \right\}^2$$
(3.15)

ただし, I_0 は $\Delta V_{in} = 0$ の時の電流,ここで ΔV_{out} は出力端に生じる電位変動, V_{th} はM1,M2のしきい値電圧を表す.まず (3.14)式と (3.15)式の差をとり,

$$\frac{\Delta V_{\text{out}}}{R_{\text{L}}} = 2K\Delta V_{\text{in}} \left\{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}} \left(\Delta V_{\text{in}} \right) \right\}$$
(3.16)

を得る. また, (3.14) 式を展開すると,

$$I_{0} + \frac{\Delta V_{\text{out}}}{R_{\text{L}}} = K \left[\Delta V_{\text{in}}^{2} + 2\Delta V_{\text{in}} \left\{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}} \left(\Delta V_{\text{in}} \right) \right\} + \left\{ V_{\text{com}} - V_{\text{th}} - V_{\text{scom}} \left(\Delta V_{\text{in}} \right) \right\}^{2} \right]$$
(3.17)

となる. この式を (3.16) 式を用いて整理する.

$$I_0 = K \left(\Delta V_{\rm in}^2 + \frac{\Delta V_{\rm out}^2}{4K^2 R_{\rm L}^2 \Delta V_{\rm in}^2} \right)$$
(3.18)

(3.18) 式を ΔV_{out} について解く.

$$\Delta V_{\rm out} = 2R_{\rm L}\Delta V_{\rm in}\sqrt{K(I_0 - K\Delta V_{\rm in}^2)}$$
(3.19)

さらにテイラー展開を用いて、 $\Delta V_{in} = 0$ 周りで ΔV_{out} を五次の項まで展開すると、

$$\Delta V_{\text{out}} \approx 2R_{\text{L}}\sqrt{I_{0}K}\Delta V_{\text{in}} - \frac{K^{\frac{3}{2}}R_{\text{L}}}{\sqrt{I_{0}}}\Delta V_{\text{in}}^{3} - \frac{K^{\frac{5}{2}}R_{\text{L}}}{4I_{0}^{\frac{3}{2}}}\Delta V_{\text{in}}^{5}$$

$$= g_{\text{m1}}R_{\text{L}}\Delta V_{\text{in}} - \frac{2K^{2}R_{\text{L}}}{g_{\text{m1}}}\Delta V_{\text{in}}^{3} - \frac{2K^{4}R_{\text{L}}}{g_{\text{m1}}^{3}}\Delta V_{\text{in}}^{5}$$

$$= \frac{2I_{0}R_{\text{L}}}{V_{\text{eff}}}\Delta V_{\text{in}} - \frac{I_{0}R_{\text{L}}}{V_{\text{eff}}^{3}}\Delta V_{\text{in}}^{3} - \frac{I_{0}R_{\text{L}}}{4V_{\text{eff}}^{5}}\Delta V_{\text{in}}^{5}$$
(3.20)

となる.ただし,

$$V_{\rm eff} = \sqrt{\frac{K}{I}} \tag{3.21}$$

$$g_{\rm m1} = \frac{2I_0}{V_{\rm eff}} = 2\sqrt{KI_0} \tag{3.22}$$

として整理した.(3.20) 式によると,出力に現れる歪は奇数次だけである.これは差動 回路における利点の一つであり,対称な構成をもつ差動回路では偶数次の歪がキャンセ ルされるため,主たる非線形成分は多くの場合,三次の項による.非線形性分の評価の 方法の一つに,一次と三次の係数の比をとるものがある.図 3.2 の回路の場合は,(1.1) 式の定義に従って,

$$\left|\frac{a_3}{a_1}\right| = \frac{1}{8V_{\text{eff}}^2} \tag{3.23}$$

であり、この値が小さいほど歪が少なく、線形性が良い回路と言える.

以上のように、トランジスタを用いた増幅回路は非線形性を持つが、その原因はトラ ンジスタの電流式が二次であり、チャネル長変調効果などを含めてトランジスタのパラ メータが動作点に応じて変化してしまうことによる。例えば g_m は (3.3) 式のように、ト ランジスタの電流と有効ゲート電圧によって決まるが、ソース接地回路では入力電圧の 変動が有効ゲート電圧の変動を起こし、加えて M1 のトランスコンダクタンスによって 生じる電流変化によってトランジスタを流れる電流量も変化するため、入力電圧に依存 して g_{m1} が大きく変動してしまう。(3.6) 式によれば、ソース接地回路の利得は g_{m1} に大 きく依存しているため、回路の利得も入力電圧によって変化してしまい、(3.11) 式のよ うな高調波の歪成分が生じると説明される。



図 3.2: 差動構成の採用

また (3.23) 式は V_{eff} が大きいほど線形性が向上することを示している.利得を直接決めている g_{m1} は, ΔV_{in} に対して次のように感度を持つ.

$$\frac{\partial g_{\rm m1}}{\partial V_{\rm in}} \approx \frac{\partial g_{\rm m1}}{\partial V_{\rm eff}} = -\frac{2I_0}{V_{\rm eff}^2} \tag{3.24}$$

すなわち, V_{eff} が大きくなるほどゲート・ソース間の電圧変動が相対的に小さく見え,その結果 g_{m1} の変動が抑えられ,線形性の向上につながると考えられる.

線形性の良い増幅器を設計するためには,出来る限りトランジスタの回路パラメータ に依存しない利得が得られる構成,またはトランジスタの回路パラメータの変動が少な い回路を採用するべきである.

増幅器によって生じる歪は信号の品質を劣化させてしまうため、線形性を改善する手 法について様々な技術が検討されてきた.実際に線形性を向上させるアプローチとして、 3つの手法が考えられる.まず第一の手法は、何らかの方法で増幅器への入力を小さく し、間接的に回路内のトランジスタのパラメータ変動を抑える方法である.非線形成分 は高次の項であるため、入力電圧が小さいほどはその影響は小さくなる.したがって、 入力電圧範囲を制限し、小さい範囲で使用するほど線形性は向上すると考えられる.本 章で述べる負帰還増幅器は、このアプローチによって高い線形性を実現している.

第二の手法は、トランジスタの動作点を保つことでパラメータの変動を直接的に抑え る方法である.例えばソース接地回路では、入力電圧の変動によって入力トランジスタ の *V*_{eff} が変動してしまっていたが、何らかの方法でソース側の電位を入力電圧の変動に 追従させれば、*V*_{eff} は一定となり、*g*_m の変動をある程度抑制することができる.本章 3.5 節で述べる電流帰還型や、第4章で述べるオープンループ型アンプの多数は、このアプ ローチに対応している. 第三の手法は,何らかの方法で歪をキャンセルする方法である.詳しくは第5章の 5.1.3節で述べる.

3.2 負帰還增幅回路技術

負帰還増幅回路は,高利得なオペアンプを用いた負帰還回路技術によって実現される 増幅器である.アナログベースバンド回路を構成する重要な回路技術として,狭帯域な 用途を中心に用いられている.

3.2.1 基本構成

具体的な負帰還増幅回路として,図 3.3 に示すような反転増幅回路や正転増幅回路などがある.この形式の増幅器では、フィードバック係数によって利得が決まる.反転増幅回路を例に取ると、オペアンプの利得を A₀ としたとき回路全体の利得は、

$$G_{\rm V} = -\frac{R_2}{R_1} \frac{1}{\frac{1}{A_0} \left(\frac{R_2}{R_1} + 1\right) + 1}$$
(3.25)

となり,オペアンプの利得が十分に大きい場合は

$$G_{\rm V} \approx -\frac{R_2}{R_1} \tag{3.26}$$

と近似され,抵抗の比によって利得が決まる.この性質は非常に有益であり,オペアン プを構成するトランジスタのパラメータが変動し,オペアンプの利得 A₀ が変化した場 合でも,回路全体としての利得は殆ど影響を受けないことを意味する.また,最終的な 利得が抵抗の比によって決まるため,抵抗全体のプロセスばらつきに対してもロバスト である.



図 3.3: オペアンプを用いた負帰還増幅器



図 3.4: 負帰還システムのブロック線図

しかしながら、この回路が正常に動作するためにはある程度高い利得を持つオペアン プが必要である.図 3.3(a) において、オペアンプの入力端における差動電圧は、

$$V_{\rm xp} - V_{\rm xn} = \frac{V_{\rm outp} - V_{\rm outn}}{A_0} = \frac{R_2}{R_1} \frac{1}{\frac{R_2}{R_1} + 1 + A_0} (V_{\rm inp} - V_{\rm inn})$$
(3.27)

と表される. A₀が十分大きいとき, V_{xp} ≈ V_{xn}が成立する. この作用を仮想短絡と呼ぶ. したがって, オペアンプの利得が高いほどオペアンプの入力差動電圧が小さくなり, その 結果オペアンプ内部のトランジスタのパラメータが殆ど変化せず, 一定の利得が得られ るのである.反対にもしこの差動入力電圧が大きくなれば, 負帰還のメリットである高 い線形性が実現できなくなる. そのため, オペアンプには非常に高い利得が求められる.

3.2.2 周波数特性

負帰還が期待通りの動作をするためには,各周波数において高い利得が維持されてい なければならない.ただし,実際のオペアンプには周波数特性が有り,帯域は制限され る.図 3.4 に負帰還システムのブロック線図を示す. *A*(*s*) は周波数特性を考慮したオペ アンプの利得であり,

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_{\rm pl}}} \tag{3.28}$$

とする.ただし, ω_{p1} はオペアンプのドミナントポールの角周波数であり,第二ポール 以降は簡単のため無視する.*F* は減衰器の利得を表し,通常は抵抗や容量などの受動素 子で構成される.図 3.3(a) または図 3.3(b) の場合は,

$$F = \frac{R_1}{R_1 + R_2} \tag{3.29}$$

である. 一方, K₀ は入力から帰還地点までの利得である. 図 3.3(a) では,

$$K_0 = -\frac{R_2}{R_1 + R_2} \tag{3.30}$$

であり,図 3.3(b)の場合は,

$$K_0 = 1$$
 (3.31)

である. X から Y までの利得は,

$$H(s) = \frac{K_0 A(s)}{1 + A(s)F} = \frac{K_0}{F} \frac{1}{1 + \frac{1 + s/\omega_{p1}}{A_0 F}}$$
$$\approx \frac{K_0}{F} \frac{1}{1 + \frac{s}{A_0 F \omega_{p1}}}$$
(3.32)

と表される.

(3.32) 式によれば、オペアンプの持つ極 ω_{p1} により、負帰還システム全体の伝達関数 にも極が生じ、負帰還増幅回路の帯域は制限される.また、システムとして伝達関数を 維持できる帯域は ω_{p1} ではなく、常に $A_0\omega_{p1}$ または $A_0F\omega_{p1}$ という形で出現する.ある オペアンプを設計した際に、そのオペアンプがどの程度の帯域まで使用できるかを調べ る際に便利であることから、オペアンプの周波数特性の評価には利得帯域幅積 (GBW, GB 積) と呼ばれる次の値を使用することが多い.

$$GBW = \frac{A_0 \omega_{p1}}{2\pi} = A_0 f_{p1}$$
(3.33)

後に示すが、この値はオペアンプの消費電流と強い相関を持つ.

ただし, (3.32) 式の帯域内で性能が常に維持されるとは限らない点に注意が必要である. *A*(*s*) の入力端の精度を見ると,

$$Z = K_0 X - FY = K_0 \cdot \left(1 - \frac{A(s)F}{1 + A(s)F}\right) X = \frac{K_0}{1 + A(s)F} X$$

$$\approx \frac{K_0}{A_0 F} \frac{1 + \frac{s}{\omega_{\rm p1}}}{1 + \frac{s}{A_0 F \omega_{\rm p1}}} X$$
(3.34)

となり, s = 0 ではオペアンプの利得によって $Z \approx 0$ となるが, ω_{p1} 以降ではゼロ点により,振幅抑制効果が劣化していく様子が確認できる.また,途中式に現れる A(s)F は,図 3.4 で定義される H_{open} でもあるから,

$$Z = \frac{K_0}{1 + H_{\text{open}}(s)}X\tag{3.35}$$

と表すことができる. ただし,

$$H_{\rm open}(s) = A(s)F = \frac{A_0F}{1 + \frac{s}{\omega_{\rm p1}}}$$
 (3.36)

である. $H_{open}(s)$ は一巡伝達関数と呼ばれ,安定性の評価にも使用する重要な関数であ る.また $H_{open}(0)$ をオープンループゲイン (開ループ利得,帰還利得)と呼び,DC 側に おける振る舞いを評価する際に使用することがある. (3.35)式から,仮想短絡の精度を 決めているのは一巡伝達関数であると理解することができる.したがって, $H_{open}(s)$ の 帯域が線形性が劣化する周波数を定めていることになる.ここで (3.32)式の極と (3.34) 式のゼロ点を比較すると,後者は $1/A_0F$ だけ低い周波数に存在することがわかる.し たがって,通常はシステム的な伝達関数の劣化よりも先に線型性の劣化が生じる.

これらの周波数をまとめたものを図 3.5 に示す.ただし、 $f_{p1} = \omega_{p1}/2\pi$ である.図中の f_u はユニティゲイン周波数であり、利得が1となる周波数である.H(s) が一次の伝達関数である場合、

$$f_{\rm u} \approx \text{GBW}$$
 (3.37)

となり, GB 積に依存する.

ところで、(3.35) 式では A(s) そのものではなく、A(s)F が仮想短絡に寄与している 様子が確認できる. F は、最終的な負帰還回路の伝達特性を決めるパラメータであり、 (3.32) 式より、 $H(0) \approx K_0/F$ である. すなわち、この形式の回路で高い利得を得るため に F を小さくすると、 $H_{open}(s)$ が小さくなり、仮想短絡の精度が劣化してしまう. これ は、A(s) の持つ利得の一部が H(s) として出現し、残りの余った利得(オペアンプの余 剰利得)が仮想短絡の精度に使用されている、と考えると理解しやすい. このことから、 負帰還増幅器でより利得の高い伝達関数を実現するためには、高い利得を持つオペアン プが必要であると言える.

このように,オペアンプには高い利得と高い GB 積が重要である.特に高い周波数信 号を通す回路では,その帯域まで十分な利得を維持することが要求されるため,設計は 非常に困難となる.



図 3.5: K₀ = 1 における各周波数の関係



図 3.6: オペアンプのモデル化と利得

3.2.3 オペアンプの出力抵抗

図 3.4 では A(s) と F を分離して表現したが,厳密には A(s) と F は不可分である.そ こで図 3.6 のような回路を考え,オペアンプの実際の利得 A(s) を求める.ノートンの定 理を用いて,オペアンプをトランスコンダクタンス $G_{\rm m}$ と出力抵抗 $r_{\rm out}$ などに分解する. $Z_{\rm f}$ は,オペアンプを除く Y から見込んだインピーダンスをまとめたものである.図よ り,オペアンプの正味の利得 A(s) は次のように求まる.

$$A(s) = \frac{G_{\rm m}}{\frac{1}{r_{\rm out}} + Y_{\rm f} + sC_{\rm out}} = \frac{G_{\rm m}r_{\rm out}}{1 + Y_{\rm f}r_{\rm out} + sC_{\rm out}r_{\rm out}}$$
$$= \frac{G_{\rm m}r_{\rm out}}{1 + Y_{\rm f}r_{\rm out}}\frac{1}{1 + \frac{sC_{\rm out}r_{\rm out}}{1 + Y_{\rm f}r_{\rm out}}}$$
(3.38)

ここで $Y_{\rm f} = 1/Z_{\rm f}$ である. $Z_{\rm f}$ がsを含まないとき,

$$A_0 = \frac{G_{\rm m} r_{\rm out}}{1 + Y_{\rm f} r_{\rm out}} \tag{3.39}$$

$$\omega_{\rm p1} = \frac{1 + Y_{\rm f} r_{\rm out}}{C_{\rm out} r_{\rm out}} \tag{3.40}$$



図 3.7: 二段オペアンプの採用

であり、 $Z_{\rm f}$ がA(s) に影響を与えるという結果が得られる. $Z_{\rm f} \rightarrow \infty$ とすると、 A_0 及び $\omega_{\rm p1}$ はトランジスタに関するパラメータのみで決まるが、 $Z_{\rm f}$ が小さくなると、その影響 は徐々に大きくなり、 $r_{\rm out} \gg Z_{\rm f}$ の場合、

$$A_0 \approx G_{\rm m} Z_{\rm f} \tag{3.41}$$

$$\omega_{\rm p1} \approx \frac{1}{C_{\rm out} Z_{\rm f}} \tag{3.42}$$

となる.このように, *r*_{out} に対して *Z*_f が小さい場合は利得の低下が生じてしまい,性能 を維持することが難しくなる.オペアンプの高利得は通常 *r*_{out} を大きくすることで達成 されるため,特に精度の高い回路においてこの問題は深刻である.

3.2.4 二段オペアンプと位相補償

帰還部分のインピーダンスによる利得低下を避ける方法として,図 3.7 に示す二段オペアンプの採用が考えられる.一段目は Z_f から分離されるため,オペアンプ本来の利得が確実に得られる.二段目は高い利得を期待せず,大きな出力振幅が得られる単純なソース接地回路などがよく用いられる.この回路の *A*(*s*) は,

$$A(s) = \frac{G_{m1}r_{out1}}{1 + sC_{L1}r_{out1}} \frac{G_{m2}r_{out2}}{1 + Y_{f}r_{out2}} \frac{1}{1 + \frac{sC_{L2}r_{out2}}{1 + Y_{f}r_{out2}}}$$
$$= \frac{A_{1}}{1 + sC_{L1}r_{out1}} \frac{A_{2}}{1 + Y_{f}r_{out2}} \frac{1}{1 + \frac{sC_{L2}r_{out2}}{1 + Y_{f}r_{out2}}}$$
(3.43)

となり,二段分の利得 A₁A₂ を得ることができるため,高精度な仮想短絡が必要な回路 に適している.



図 3.8: ポールスプリッティング

ただし、このような回路では安定性が問題となる. 簡単のため、 $r_{\rm out2} \ll |Z_{\rm f}|$ とすると、 $H_{\rm open}(s)$ は、

$$H_{\text{open}}(s) = F \cdot \frac{A_1}{1 + sC_{\text{L1}}r_{\text{out1}}} \frac{A_2}{1 + sC_{\text{L2}}r_{\text{out2}}}$$
(3.44)

と表され、二次の伝達関数特性となる.この系が安定となるためには二つの極の位置を調整し、適切な位相余裕を確保しなければならない.ここまでの議論により、通常は $r_{\text{out1}} \gg r_{\text{out2}}$ として設計するため、ドミナントポール ω_{p1} とセカンドポール ω_{p2} はそれ ぞれ、

$$\omega_{\rm p1} = \frac{1}{C_{\rm L1}r_{\rm out1}} \tag{3.45}$$

$$\omega_{\rm p2} = \frac{1}{C_{\rm L2}r_{\rm out2}}\tag{3.46}$$

となる.

この二つの極を調整する方法として,図 3.8(a) に示したポールスプリッティングと呼ばれる手法がよく用いられる [1]. この回路において *C*_c はミラー容量として動作し,一

段目オペアンプ側からは負荷容量 A₂C_c として見える.一方,高周波において C_c が短絡 に見えるとき,二段目オペアンプ側からは G_{m2} が r_{out2} に並列に挿入された抵抗成分と して見えるようになる.二つの極を整理すると,次のように表される.

$$\omega_{\rm p1}' \approx \frac{1}{C_{\rm c} G_{\rm m2} r_{\rm out1} r_{\rm out2}} = \frac{C_{\rm L1}}{A_2 C_{\rm c}} \omega_{\rm p1} \tag{3.47}$$

$$\omega_{\rm p2}' = \frac{G_{\rm m2}}{C_{\rm L1} + C_{\rm L2}} \approx \frac{G_{\rm m2}}{C_{\rm L2}} = A_2 \omega_{\rm p2} \tag{3.48}$$

通常 $A_2C_c > C_{L1}$ であるから,ドミナントポールは帯域が下がり,セカンドポールは高 周波側に移動する.この作用を利用し,極の位置を図 3.8(b) のようにすることで位相余 裕を確保する.一方,抵抗 r_c はミラー容量挿入で生じたゼロ点の影響を排除するための 補償抵抗である.

ただし,図 3.8(b) に示したように,この位相補償ではドミナントポールの劣化が避け られない.その結果,典型的な一段オペアンプよりも周波数特性が悪く,広帯域化には 不向きとされている [1,2].これは 3.2.2 節で指摘したように,ある周波数における仮想 短絡の精度を決めるのは A(0) ではなく,その周波数における A(s)F であることによる. したがって,二段オペアンプは高い利得を有するにも関わらず,ドミナントポールが低 いため高周波側ではその恩恵が殆ど受けられない.

3.3 オペアンプ

続いて,負帰還増幅器で用いるオペアンプについて述べる.まずオペアンプに関する 基本性能を整理する.ノートンの定理を適用し,電流源のモデルに負荷容量をつけた図 3.9の回路を考える.図より,

$$V_{\rm OUT} = -\frac{G_{\rm m}r_{\rm out}}{1 + sC_{\rm L}r_{\rm out}}V_{\rm IN}$$
(3.49)

である. したがって DC 利得 A_0 , ドミナントポール ω_{p1} , GB 積はそれぞれ,

$$A_0 = G_{\rm m} r_{\rm out} \tag{3.50}$$

$$\omega_{\rm p1} = \frac{1}{C_{\rm L} r_{\rm out}} \tag{3.51}$$

$$GBW = A_0 \cdot \frac{\omega_{\rm p1}}{2\pi} = \frac{G_{\rm m}}{2\pi C_{\rm L}}$$

$$(3.52)$$

である.

3.3.1 高利得化技術

負帰還増幅器では適切な位相余裕を得るために、二段オペアンプでは位相補償が必要 なことを 3.2.4 節で指摘した.加えて、三段以上のオペアンプでは位相補償が困難にな る [3,4].そのため三段以上のステージを持つオペアンプはあまり用いられていない.ま た、近年の微細プロセスではトランジスタの固有利得が低下しており [5]、オペアンプの 設計はより困難になってきている.このような理由により、オペアンプ一段で得られる 利得を高くすることは極めて重要である.

(3.50) 式によれば、オペアンプの利得を増やす方法は $G_{\rm m}$ の増加と $r_{\rm out}$ の増加に限られる. $G_{\rm m}$ は小信号電圧 $v_{\rm in}$ の入力に対し、出力端子に到達する小信号電流 $i_{\rm out}$ を用いて、

$$G_{\rm m} = \frac{i_{\rm out}}{v_{\rm in}} \tag{3.53}$$



図 3.9: 一段オペアンプのモデル

と定義される.

一例として,図 3.1(a) に示したソース接地回路で考える.利得最大とするために $R_{\rm L} \rightarrow \infty$ とした時,

$$G_{\rm m} = g_{\rm m1} \tag{3.54}$$

$$r_{\rm out} \approx \frac{1}{g_{\rm d1}} \tag{3.55}$$

である.結果として,

$$A_0 = G_{\rm m} r_{\rm out} \approx \frac{g_{\rm m1}}{g_{\rm d1}} = G_{\rm i1} \tag{3.56}$$

となる. ただし, G_{i1} は M1 の固有利得であり,

$$G_{\rm i1} \approx \frac{2V_{\rm A}}{V_{\rm eff}} \tag{3.57}$$

と表される,電流に依存しない値である.すなわち,この利得は消費電流に対して相関 を持たず,トランジスタの固有利得によって決まるようになる.この性質は,*G*mが電流 に比例する反面,*r*out が電流に反比例する能動負荷 1/*g*d1 となっている結果である.し たがって,利得の改善を図るためには設計ではなく,回路トポロジの改良が必要となる.

3.3.1.1 カスコード抵抗

カスコード抵抗は、出力抵抗を大きくする方法で利得を改善する回路技術である.図 3.10(a) に示した二つのトランジスタについて、ノード1から見込んだインピーダンスを 求める.

$$(g_{d1} + g_{d2} + g_{m2})v_s = g_{d2}v_1 \tag{3.58}$$

$$g_{\rm d1}v_{\rm s} = i_1$$
 (3.59)

より,カスコード抵抗 r_{cas} は,

$$r_{\rm cas} = \frac{v_1}{i_1} = \frac{g_{\rm d1} + g_{\rm d2} + g_{\rm m2}}{g_{\rm d1}g_{\rm d3}} \approx \frac{g_{\rm m2}}{g_{\rm d1}g_{\rm d2}} = \frac{G_{\rm i2}}{g_{\rm d1}}$$
(3.60)

と表され, M2の固有利得によってインピーダンスが増加することがわかる. M2 はカス コードトランジスタと呼ばれ,高利得なオペアンプを構成する際は高い頻度で使用され



図 3.11: N 入力型フォールデッドカスコードオペアンプ

る.更に高い抵抗を必要とする場合は、図 3.10(c) のように補助アンプを追加する [6,7]. この補助アンプはカスコードトランジスタの固有利得を擬似的に強化し,結果的に抵抗 値は補助アンプの利得により増幅される.65nm CMOS プロセスなどでも,70 dB を越 える高い利得を実現することができるため,高精度なパイプライン A/D 変換器などで よく用いられる構成である [7].

ただし、カスコード抵抗は縦にトランジスタを重ねる必要が有るため、高い電源電圧が必要となる.低電源電圧下でオペアンプを構成する場合は、図 3.11(a) に示すフォールデッドカスコード構成が適している.それぞれのトランジスタの *V*_{eff} 及び *V*_A が等し

いと仮定すると,

$$G_{\rm m} \approx g_{\rm m1} = g_{\rm m} \tag{3.61}$$

$$r_{\rm out} \approx \frac{1}{\frac{g_{\rm d7}}{G_{\rm i9}} + \frac{g_{\rm d1} + g_{\rm d3}}{G_{\rm i5}}} = \frac{G_{\rm i}}{4g_{\rm d}}$$
(3.62)

である. (3.55) 式と比較すると,出力抵抗はカスコードトランジスタの固有利得によっ て上昇していることが確認できる.結果としてこの回路の利得は,

$$A \approx g_{\rm m} \cdot \frac{G_{\rm i}}{4q_{\rm d}} = \frac{G_{\rm i}^2}{4} \tag{3.63}$$

となり,利得はトランジスタの固有利得の二乗となる.ただし,入力トランジスタと出力側のカスコードトランジスタそれぞれに *I*_{bias} を供給する必要が有るため,全体の消費 電流が大きくなってしまう点に注意が必要である.

3.3.1.2 ポジティブフィードバック

出力抵抗を稼ぐもう一つの方法として、ポジティブフィードバック技術がある [8,9]. 負性コンダクタンスで正のコンダクタンスを打ち消してゼロに近づけることで、その逆 数の抵抗値を大きくするのがポジティブフィードバックによる利得改善の基本的な考え 方である.具体的な構成例を図 3.12(a) に示す. M1 及び M2 のドレイン抵抗が正のコン ダクタンスであり、M2 と k によって負性コンダクタンスを作る.図 3.12(b) により、

$$r_1 = \frac{1}{g_{\rm d1} + g_{\rm d2} - kg_{\rm m2}} \tag{3.64}$$

となり、分母に負の項が追加される. このとき、

$$k = \frac{g_{\rm d1} + g_{\rm d2}}{g_{\rm m2}} \tag{3.65}$$



図 3.12: ポジティブフィードバック技術



図 3.13: -k の実現方法

と選べば, r₁の分母はゼロとなり,理論的には無限大の抵抗を実現することができる. なお,-k は差動回路において図 3.13 のように構成するのが一般的である. M2p は反 対側に接続し負の g_m を作り, M2n はダイオード接続として正の g_m を作る. それぞれ の W に係数をかけたとき,

$$k = \frac{M_{\rm p} - M_{\rm n}}{M_{\rm p} + M_{\rm n}} \tag{3.66}$$

となり、Wの比率を調整することで $-1 \le k \le 1$ の範囲を再現することができる.

ポジティブフィードバックは消費電力の増加なしに利得を改善することができる点で 魅力的であるが、二つの大きな欠点により、実際にオペアンプで使用されることは稀 である.まず第一の欠点として、安定性と利得向上のトレードオフが挙げられる.ポジ ティブフィードバックが最大の効果を発揮するには、kを可能な限り (3.65) 式に近づけ なければならない.しかしながら、kが (3.65) 式を越えると (3.64) 式の符号が反転し、 $r_1 < 0$ となってしまう.この時、オペアンプとしての利得も反転してしまうため、位相 が 180° 回転し発振してしまう.PVT ばらつきなどを考慮すると (3.65) 式よりも遠ざけ てkを選ぶべきであるが、その場合はコンダクタンスの打ち消し効果が減ってしまい、 ポジティブフィードバックの恩恵が殆ど受けられない.

第二の欠点として,オペアンプそのものの利得の変動が大きくなってしまう点が挙げ られる.負帰還増幅器では,オペアンプの利得によってオペアンプ入力部分の振幅は非 常に小さくなるが,出力端子における振幅は軽減されない.したがって,特に出力端子 に近い箇所ではトランジスタパラメータの変動が生じやすく,感度が高い場合はオペア ンプの利得変動も大きくなってしまう.ポジティブフィードバックの場合は打ち消し量 を増やし,*k*を (3.65) に近づけるほど *g*_m や *g*_d に対する利得の感度が高くなっていく. その結果,利得そのものを改善してもオペアンプの利得変動が大きくなってしまい,負 帰還増幅器としての線形性が改善されない場合がある.

以上のように、安定した運用を行うためには、

- PVT ばらつきに対する補償を行う
- ポジティブフィードバックを使用する回路の状態が変化しにくい構成を採用する

などの対策が別途必要である.

3.3.2 GB 積改善技術

オペアンプを負帰還増幅器で使用する際に,直接的に使用できる帯域を規定するの は GB 積である. GB 積は (3.52) 式で示したように $C_{\rm L}$ に反比例するため,負荷容量が 大きい場合は $G_{\rm m}$ を大きくする必要がある. $G_{\rm m}$ はノートンの定理における短絡電流か ら算出される値である. 一段構成のオペアンプにおいて,入力信号に対する小信号電流 を作成するのは入力トランジスタのトランスコンダクタンス $g_{\rm m}$ である. たとえば,図 3.1(a) に示したソース接地回路であれば $G_{\rm m} = g_{\rm m1}$ であり,図 3.11(a) に示した N 入力 のフォールデッドカスコードアンプにおいても $G_{\rm m} = g_{\rm m1}$ である. したがって,GB 積 を改善するためには消費電力の増加が避けられない. ここでは,GB 積の電力効率を改 善する手法について述べる.

3.3.2.1 相補入力化

効率よく GB 積を稼ぐ方法として、オペアンプの相補入力構成がよく用いられる.こ の手法では、NMOS と PMOS の両方に信号を入力し、約二倍の信号電流を作成するこ とで GB 積を改善する.図 3.14(a) に相補入力型のソース接地アンプを示す.NMOS 及 び PMOS それぞれの gm が信号電流を作り、出力端子で合流する.

図 3.14(b) の小信号等価回路より,

$$G_{\rm m} = g_{\rm m1n} + g_{\rm m1p} \tag{3.67}$$

$$r_{\rm out} = \frac{1}{g_{\rm d1n} + g_{\rm d1p}} \tag{3.68}$$

である. $G_{\rm m}$ はN入力型のオペアンプと比較すると、PMOS 側の $g_{\rm m}$ だけ増加していることが確認できる.NMOS と PMOS が同程度の $V_{\rm eff}$ を持つ場合は、およそ二倍の $G_{\rm m}$



図 3.14: 相補入力型ソース接地アンプ

値となる.また、この回路では M1p 及び M2p で使用されたバイアス電流 I_{bias} を M1n 及び M2n でも再利用しているため、N 入力のソース接地回路と同じバイアス電流で動作することができる.したがって、 G_{m} に関する電力効率は二倍に改善されると言える. $g_{\text{mln}} = g_{\text{mln}}$ かつ $g_{\text{dln}} = g_{\text{dlp}}$ とすると、最終的な利得は、

$$A = \frac{g_{m1n} + g_{m1p}}{g_{d1n} + g_{d1p}} = G_{i1}$$
(3.69)

と表される.ここで、全バイアス電流に対して得られる G_m の比率を電力効率と定義する.相補入力型ソース接地アンプでは、

$$\frac{G_{\rm m}}{I_{\rm total}} = \frac{2g_{\rm m}}{2I_{\rm bias}} = \frac{2}{V_{\rm eff}} \tag{3.70}$$

となる. 一方, N 入力型のソース接地アンプとして, 図 3.2 の回路で $R_{\rm L} \rightarrow \infty$ とすると,

$$G_{\rm m} = g_{\rm m1} \tag{3.71}$$

$$r_{\rm out} = \frac{1}{g_{\rm d1} + g_{\rm d3}} \tag{3.72}$$

$$A = \frac{g_{\rm m1}}{g_{\rm d1} + g_{\rm d3}} = \frac{G_{\rm i1}}{2} \tag{3.73}$$

となるため, N入力の場合は,

$$\frac{G_{\rm m}}{I_{\rm total}} = \frac{g_{\rm m}}{2I_{\rm bias}} = \frac{1}{V_{\rm eff}} \tag{3.74}$$

となり,相補入力化によって二倍の電力効率が達成されていることがわかる.また, (3.69) 式と (3.73) 式の比較から,相補入力化による *G*_m の増加がそのまま利得の改善に



図 3.15: 相補入力型フォールデッドカスコードオペアンプ [10]

も結びついていることが確認できる.このように,相補入力化は g_m に対する電力効率 の改善のみならず,利得の改善にも効果がある.詳細な解析は省くが,相補入力化は雑 音特性も大幅に改善することができる [2].

ただし,相補入力型ソース接地回路は電力効率に優れるが,利得が低いという問題がある.そのため実際には,図 3.15 に示す相補入力型フォールデッドカスコードオペアンプがよく用いられる.この回路は相補入力による高い電力効率と,カスコード抵抗による高利得を同時に達成できる回路として知られている.バイアス電流は,入力トランジスタに *I*_{bias} を供給し,M5と M6 に 0.5*I*_{bias} を供給するため,合計で 5*I*_{bias} となる.それぞれの値は,

$$G_{\rm m} = \frac{g_{\rm m5p} + g_{\rm d5p}}{g_{\rm m5p} + g_{\rm d5p} + g_{\rm d1p} + g_{\rm d3p}} g_{\rm m1p} + \frac{g_{\rm m5p} + g_{\rm d5p}}{g_{\rm m5p} + g_{\rm d5p} + g_{\rm d1p} + g_{\rm d3p}} g_{\rm m1n}$$
$$= \frac{g_{\rm m5} + g_{\rm d5}}{2g_{\rm m1}} 2g_{\rm m1} \approx 2g_{\rm m1} \qquad (3.75)$$

$$g_{m5} + g_{d5} + g_{d1} + g_{d3}$$

$$(0.10)$$

$$1 \qquad G_{i5} \qquad 1 \qquad (2.76)$$

$$r_{\rm out} \approx \frac{1}{\frac{g_{\rm d1n} + g_{\rm d3n}}{G_{\rm tr}} + \frac{g_{\rm d1p} + g_{\rm d3p}}{G_{\rm tr}}} = \frac{3}{2} \frac{1}{g_{\rm d1} + g_{\rm d3}}$$
(3.76)

$$A = \frac{G_{i5}}{2} \frac{2g_{m1}}{g_{d1} + g_{d3}} = \frac{G_i^2}{1 + \frac{g_{d3}}{g_{d1}}} = \frac{2G_i^2}{5}$$
(3.77)

で与えられる.ただし,全てのトランジスタの V_{eff} 及び V_A は等しいとする.この回路では N 入力のカスコードオペアンプと同様の,固有利得の二乗オーダーの利得が得られ

ている. 電力効率は,

$$\frac{G_{\rm m}}{I_{\rm total}} = \frac{2g_{\rm m}}{5I_{\rm bias}} = \frac{4}{5V_{\rm eff}} \tag{3.78}$$

であり,同じオーダーの利得を持つ N 入力のフォールデッドカスコードオペアンプの場合は,

$$\frac{G_{\rm m}}{I_{\rm total}} = \frac{g_{\rm m}}{4I_{\rm bias}} = \frac{1}{2V_{\rm eff}} \tag{3.79}$$

であるため、相補入力化によって電力効率は1.6倍となる.

3.3.2.2 カスコード型オペアンプの高効率化

相補入力型フォールデッドカスコードオペアンプは比較的良好な電力効率を持つが, NMOS と PMOS の入力トランジスタそれぞれに個別のバイアス電流を供給するため, 必要なバイアス電流はどうしても増えてしまう. 全バイアス電流 I_{total} に占める入力ト ランジスタの消費するバイアス電流は 80%にも及び,殆どの電流が入力部分で消費され ている. これは,オペアンプの G_m を決めるトランジスタが入力トランジスタであり, その g_m を増やすために多くのバイアス電流を流す必要が有るためである. 一方,利得 を改善する観点では, $r_{out} \propto g_d^{-1} \propto I_D^{-1}$ であるから,出来る限りバイアス電流を減らす ほうが都合が良い. これらをまとめると,

- 入力トランジスタには多くのバイアス電流を流し、相補入力型ソース接地回路のように再利用する
- 出力抵抗を決めるトランジスタのバイアス電流は極力減らす

とするのが、電力効率や高利得化の観点で望ましい.

そこで,図 3.16 のようなオペアンプ構成を検討する.まず入力側は相補入力型のソース接地回路となっており,ここで信号電流を作成する.バイアス電流は *I*_S とし,M1p で使用したバイアス電流をそのまま M1n で再利用して電力効率の改善を図る.M7 及び M8 はそれぞれゲート接地回路であり,入力側で生成した信号電流を Z から X または Y に移す役割と,入力側のインピーダンスを切り離す役割を担う.M5 及び M6 は,フォールデッドカスコードの場合と同様に,いずれもカスコードトランジスタである.出力側の各トランジスタには *I*_L が供給されるように M3n 及び M3p から電流を流し,Zを境にバイアス電流を分断する.



図 3.16: 高電力効率オペアンプ

X から入力側を見ると, M1n と M7p はカスコード抵抗となっていることに気付く. 同様に Y から入力側を見ると, M1p と M7n はカスコード抵抗となっている.したがっ て出力抵抗は,

$$r_{\rm out} \approx \frac{G_{\rm i5}}{2} \frac{1}{g_{\rm d3} + \frac{g_{\rm d1}}{G_{\rm i7}}}$$
(3.80)

と表され、 g_{d1} の影響を軽減することができる.これは G_m を増加させた際に生じる g_{d1} 増加をによる出力抵抗の劣化を防ぐことに役立つ.一方、

$$G_{\rm m} \approx \frac{2g_{\rm m1}g_{\rm m7}}{g_{\rm d1} + g_{\rm m7}}$$
 (3.81)

であるから,利得は,

$$A \approx \frac{G_{i5}g_{m1}g_{m7}}{g_{d1} + g_{m7}} \frac{1}{g_{d3} + \frac{g_{d1}}{G_{i7}}} = \frac{G_i^2}{\left(\frac{1}{G_i} + \frac{1}{M_{\rm SL}}\right) \left(\frac{M_{\rm SL}}{G_i} + 2\right)}$$
(3.82)

となり、 G_{i}^{2} オーダーかそれ以上の利得を実現することができる.ただし、 $M_{SL} = I_{S}/I_{L}$ である.電力効率は、

$$\frac{G_{\rm m}}{I_{\rm total}} = \frac{g_{\rm m1}g_{\rm m7}}{g_{\rm d1} + g_{\rm m7}} \frac{1}{I_{\rm S} + 2I_{\rm L}} = \frac{1}{V_{\rm eff}} \frac{2}{\left(\frac{M_{\rm SL}}{G_{\rm i}} + 1\right) \left(\frac{2}{M_{\rm SL}} + 1\right)} \\
\leq \frac{1}{V_{\rm eff}} \frac{2}{\left(\sqrt{\frac{2}{G_{\rm i}}} + 1\right)^2}$$
(3.83)



図 3.17: 固有利得と信号電流損失

となる.最大電力効率を達成するための条件は,

$$M_{\rm SL} = \sqrt{2G_{\rm i}} \tag{3.84}$$

である. $G_{\rm i}$ は 10 を越える大きな値であると考えられるため, $M_{\rm SL}$ は 5 程度の値を持つ. したがって, $I_{\rm S}$ は $I_{\rm L}$ よりも大きく設計し,M1 及び M2 の入力側に多くの電流を割くこ とが電力効率の改善につながる.

ところで、同様に入力トランジスタにバイアス電流を多く割くことでN入力のフォー ルデッドカスコードオペアンプなどでも電力効率の改善を行うことができる.したがっ て、同様の解析をN入力 (N-Folded) と相補入力型 (C-Folded) に対して行うと,

$$\frac{G_{\rm m}}{I_{\rm total}}\Big|_{\rm N-Folded} \le \frac{1}{V_{\rm eff}} \frac{G_{\rm i}+1}{\left(\sqrt{G_{\rm i}+3}+1\right)^2} \tag{3.85}$$

$$\left. \frac{G_{\rm m}}{I_{\rm total}} \right|_{\rm C-Folded} \le \frac{2}{V_{\rm eff}} \frac{G_{\rm i} + 1}{\left(\sqrt{2\left(G_{\rm i} + 2\right)} + 1\right)^2} \tag{3.86}$$

という数式が得られる.いずれの数式も最終的な電力効率は *G*_i に依存する点に特徴がある.

 V_{eff} を一定とした場合, $G_{i} \propto V_{A}$ が成立するため, G_{i} が大きいほど g_{d} は小さくなる. 図 3.17に示すように,カスコード接続では信号経路に接続される g_{d} が信号電流の損失を引き起こすため, g_{d} が大きい場合は G_{m} の減少につながってしまう.高い固有利得を持つ場合は g_{d} によるロスが減少するため,信号電流の大部分がそのまま出力端子に到達し, G_{m} は上昇する.したがって,微細化による固有利得の低下はオペアンプの利得低下のみならず,電力効率の劣化をも招いてしまう.

ここで、各アーキテクチャの電力効率を比較する. $V_{\text{eff}} = 0.1 \text{ V}$ とし、 G_i を変数としてその時の最大の電力効率をプロットする. 図 3.18(a) に計算結果を示す. ソース接地

	高電力効率	C-Folded	N-Folded	C-Source	N-Source
DC 利得	$49.7\mathrm{dB}$	$37.7\mathrm{dB}$	$35.7\mathrm{dB}$	$18.1\mathrm{dB}$	$15.7\mathrm{dB}$
$M_{\rm SL}$	5	2	4	N/A	N/A
$G_{\rm m}/I_{\rm total}$	$5.1 { m V}^{-1}$	$3.9 \mathrm{V}^{-1}$	$3.2 \mathrm{V}^{-1}$	$14.3 \mathrm{V}^{-1}$	$6.3 \mathrm{V}^{-1}$

表 3.1: オペアンプの性能比較

系の回路(C-Source, N-Source)はカスコード抵抗のような信号電流の損失を引き起こ すパスが存在しないため,最大の電力効率を常に達成することができる.カスコード系 の三種のオペアンプは*G*_iの上昇に伴い,電力効率が改善される.なかでも高電力効率 オペアンプは*G*_iに対する伸びがよく,*G*_i > 6 では最も良い電力効率となった.ただし, *G*_i = 20 付近でも相補入力型ソース接地回路の約半分の電力効率しか達成できない.こ のように,カスコード化は利得の改善というメリットをもたらすが,低電源電圧かつ微 細プロセスでは電力効率の劣化が避けられない.

図 3.18(b) は,最大電力効率を達成する時の *M*_{SL} を示している.いずれも *G*_i に対し て単調増加となっており, *G*_i = 10 付近では,高電力効率オペアンプは 4.5 程度,相補 入力型フォールデッドカスコードオペアンプでは 2.5 程度の値となっている.したがっ て高い電力効率を実現するためには,入力トランジスタ側により多くのバイアス電流を 割かなければならない.この傾向は,相補入力化による入力トランジスタの増加と併せ て,入力寄生容量を増加させてしまう要因となる.

表 3.1 に,シミュレーションで求めた各オペアンプの性能を示す. このシミュレー ションは 65nm CMOS プロセスを用い,電源電圧は 1.2 V とした. *M*_{SL} は図 3.18(b) よ り,このプロセスの典型的な固有利得の値である *G*_i = 10 付近の値を使用した. DC 利 得は高電力効率オペアンプが最も高く,フォールデッドカスコード系のオペアンプより も 10 dB 以上高い利得を実現している. 一方,ソース接地系のオペアンプは 20 dB 以下 の利得となった. 電力効率を表す *G*_m/*I*_{total} は図 3.18(a) の結果を下回るものの,相対的 な関係は自体は保たれている. シミュレーション結果によると,高電力効率オペアンプ は相補入力型フォールデッドカスコードオペアンプよりも 30%程度高い電力効率を実現 している.



(b) 最大電力効率を達成する *M*_{SL}

図 3.18: 固有利得に対する最大電力効率

3.4 一段オペアンプの帯域制限

3.2.4 節で述べたように,広帯域な用途では一段オペアンプを用いるのが望ましい.図 3.9 に示した一段オペアンプの場合,ドミナントポールは *C*_L によって制御される.した がって,出来る限りオペアンプの帯域を広くするのであれば,*C*_L は可能な限り小さくす るべきである.しかしながら,オペアンプの内部極や入力寄生容量による極により,*C*_L は位相余裕の観点で制限されることになる.

3.4.1 オペアンプの内部極

ここでは図 3.19(a) に示したテレスコピック型カスコードオペアンプを題材に考える. ただし、小信号等価回路には M3p や M3n などのゲートソース間容量 C_{GS} を主とする寄 生容量 C_p, C_n を加えた. これらの寄生容量はトランジスタのゲートサイズに比例し、ト ランジスタの W はバイアス電流に比例するため、 $C_n, C_p \propto I_{\text{bias}}$ が成立する.

まず $G_{\rm m}$ は,



図 3.19: 寄生容量を考慮した相補入力型テレスコピックカスコードオペアンプ

より,

$$G_{\rm m}(s) \approx \frac{g_{\rm m1n}}{1 + \frac{sC_{\rm n}}{g_{\rm m3n}}} + \frac{g_{\rm m1p}}{1 + \frac{sC_{\rm p}}{g_{\rm m3p}}}$$
(3.88)

である. 一方, 出力抵抗は NMOS 側と PMOS 側を分けて考える. NMOS 側は,

$$r_{\text{out,n}}(s) = \frac{g_{\text{dln}} + g_{\text{d3n}} + g_{\text{m3n}} + sC_{\text{n}}}{g_{\text{d3n}}(g_{\text{dln}} + sC_{\text{n}})}$$

$$\approx \frac{G_{\text{i3n}}}{g_{\text{dln}}} \frac{1 + \frac{sC_{\text{n}}}{g_{\text{m3n}}}}{1 + \frac{sC_{\text{n}}}{g_{\text{dln}}}}$$
(3.89)

と表される. サフィックスの n を p と読み替えれば, PMOS 側の出力抵抗 $r_{\text{out,p}}$ が算出 される. 出力端の負荷容量 C_{L} を考慮した時の最終的な利得は,

$$A(s) = G_{\rm m}(s) \left\{ r_{\rm out,n}(s) / / r_{\rm out,p}(s) / / sC_{\rm L} \right\} = \frac{G_{\rm m}(s)}{\frac{1}{r_{\rm out,n}(s)} + \frac{1}{r_{\rm out,p}(s)} + sC_{\rm L}}$$
$$\approx \frac{g_{\rm m1n} \left(1 + \frac{sC_{\rm p}}{g_{\rm m3p}} \right) + g_{\rm m1p} \left(1 + \frac{sC_{\rm n}}{g_{\rm m3n}} \right)}{\frac{g_{\rm d1n}}{G_{\rm i3n}} + \frac{g_{\rm d1p}}{G_{\rm i3p}} + sC_{\rm L} \left(1 + \frac{sC_{\rm n}}{g_{\rm m3n}} \right) \left(1 + \frac{sC_{\rm p}}{g_{\rm m3p}} \right)}$$
(3.90)

と近似される. ここで各 g_{m} が等しいと仮定して整理する. A(s)は,

$$A(s) \approx \frac{2g_{m1}\left(1 + s\frac{C_{n} + C_{p}}{2g_{m3}}\right)}{\frac{g_{d1n}}{G_{i3n}} + \frac{g_{d1p}}{G_{i3p}} + sC_{L}\left(1 + \frac{sC_{n}}{g_{m3}}\right)\left(1 + \frac{sC_{p}}{g_{m3}}\right)} \approx \frac{A(0)\left(1 + s\frac{C_{n} + C_{p}}{2g_{m3}}\right)}{\{1 + sC_{L}r_{out}(0)\}\left(1 + \frac{sC_{n}}{g_{m3}}\right)\left(1 + \frac{sC_{p}}{g_{m3}}\right)}$$
(3.91)

と表される. ただし, ドミナントポールとセカンドポールは十分離れているとして近似 した. ここで,

$$A(0) = \frac{g_{m1n} + g_{m1p}}{\frac{g_{d1n}}{G_{i3n}} + \frac{g_{d1p}}{G_{i3p}}} = G_{i1}G_{i3}$$
(3.92)

である.

(3.91)式を見ると、ドミナントポールの他に C_n, C_p に関する二つの極が存在することが確認できる.本論文では、これらの寄生容量による極を「オペアンプの内部極」と呼ぶ.ただし、分子を見ると二つの非主要極の中間にゼロ点が挿入されており、最終的には二次の減衰特性となることが予想される.通常、同じ電流を流すためには PMOS の方が大きなゲートサイズとなるため、 $C_p > C_n$ となる.したがって、極及びゼロ点を低い順に並べると次のようになる.

$$\omega_{\rm p1} = \frac{1}{C_{\rm L} r_{\rm out}(0)} \tag{3.93}$$

$$\omega_{\rm p2} = \frac{g_{\rm m3p}}{C_{\rm p}} \tag{3.94}$$

$$\omega_{\rm z} = \frac{g_{\rm m3n} + g_{\rm m3p}}{C_{\rm n} + C_{\rm p}} \tag{3.95}$$

$$\omega_{\mathrm{p3}} = \frac{g_{\mathrm{m3n}}}{C_{\mathrm{n}}} \tag{3.96}$$

これらをまとめたボード線図を図 3.20 に示す. ω_{p1} の次は ω_{p2} であるが,近傍に ω_z が存在するため,位相の回転はやや緩くなる.ただし,すぐ近くに ω_{p3} も存在するため, 少し高い周波数で –180° に到達する. C_L が大きい場合と小さい場合を比較すると, ω_{p1} の位置だけが変化し,結果としてユニティゲイン周波数が変化する. C_L が十分大きく, ω_{p3} よりも低い周波数で利得が1になる場合(図の実線)は発振しない.一方, C_L が小さい場合は利得が1に至る前に –180° 付近まで到達する(図の破線).このような状況では位相余裕が確保できないため, C_L にはある程度の大きさの容量が必要となる.不足した C_L を補うために意図的に負荷容量を増やすことを,一段オペアンプの位相補償と呼ぶ.

上記の計算結果から必要な $C_{\rm L}$ を見積もる. 楽観的な近似として $\omega_{\rm p2} \approx \omega_{\rm z}$ を仮定し, (3.91) 式を二次の伝達関数と見る. $\omega_{\rm p1} \ll \omega_{\rm p3}$ であるから, $\omega_{\rm p3}$ 近傍では,

$$A(s) \approx \frac{G_{\rm m}(0)}{sC_{\rm L}} \frac{1}{1 + \frac{s}{\omega_{\rm p3}}}$$
 (3.97)

である. $H_{\text{open}}(s)$ に関するユニティゲイン角周波数 ω_{u} は,

$$\omega_{\rm u} = \frac{\omega_{\rm p3}}{\sqrt{2}} \sqrt{\sqrt{1 + \left(\frac{2FG_{\rm m}(0)}{\omega_{\rm p3}C_{\rm L}}\right)^2} + 1}$$
(3.98)



図 3.20: 相補入力型オペアンプのボード線図

となる.したがって位相余裕は,

$$PM = 180^{\circ} + \angle H_{\text{open}}(\omega_{\text{u}}) \approx 90^{\circ} - \tan^{-1} \sqrt{\frac{\sqrt{1 + \left(\frac{2FG_{\text{m}}(0)}{\omega_{\text{p3}}C_{\text{L}}}\right)^2 + 1}{2}}}{2}$$
(3.99)

と表され, $G_{\rm m}(0)/(\omega_{\rm p3}C_{\rm L})$ によって推測することができる.ところで,この値は GB 積 を用いて,

$$\frac{G_{\rm m}(0)}{\omega_{\rm p3}C_{\rm L}} = \frac{\rm GBW}{f_{\rm p3}} \tag{3.100}$$

と変形することができる.ただし, $\omega_{p3} = 2\pi f_{p3}$ である.すなわち,位相余裕と GB 積は トレードオフの関係にあると言える.これを解決するためには, f_{p3} をより高い周波数へ 移さなければならない.ところが, ω_{p3} を決める寄生容量 C_n と g_{m3n} はいずれも I_{bias} に 比例するため,常に一定値を取る.結果として, f_{p3} が指定するポール付近がユニティ ゲイン周波数の上限となり,そこに合わせて GB 積を削るように C_L を設定しなければ ならない.

上記のオペアンプの内部極に関する問題は,カスコード抵抗を持つ全てのオペアンプ に共通すると考えられる.一例として,表 3.2 に,相補入力型フォールデッドカスコー ドオペアンプの極とゼロ点の周波数をまとめる.ただし,設計には 65nm CMOS を用 表 3.2: 相補入力型フォールデッドカスコードの極とゼロ点の周波数

$f_{\rm p2}$	$7.9\mathrm{GHz}$		
$f_{\rm z}$	$9.8\mathrm{GHz}$		
$f_{\rm p3}$	$13.5\mathrm{GHz}$		

い,電源電圧は 1.2 V とした.いずれも 10 GHz 付近に存在し, ω_{p2} と ω_{p3} の間に ω_z が存在する.

図 3.21 に,各オペアンプトポロジにおける GB 積と位相余裕の関係を示す.このシ ミュレーションは負荷容量 *C*_L をスイープして GB 積を変化させ,その時の位相余裕を プロットしている.ただしいずれも *F* = 1 とし, *H*_{open}(*s*) = *A*(*s*) の条件でシミュレー ションを行った.カスコード系の *M*_{SL} は,表 3.1 で使用した値を用いた.位相余裕が 60° となる GB 積は,高電力効率オペアンプと N 入力のフォールデッドカスコードオペ アンプが約 5 GHz,相補入力型フォールデッドカスコードオペアンプが 7 GHz である. 参考としてプロットしたソース接地系のオペアンプ二種はカスコード抵抗のポールを持 たないため,常に十分な位相余裕を持つ.

ところで、図 3.21 に示した位相余裕は $F \neq 1$ でも殆ど変化しないと考えられる.な ぜなら、位相余裕を劣化させている ω_{p2}, ω_{p3} はオペアンプの内部の極であり、F の設定 に不感であると考えられるためである.この時の横軸の GB 積は、 $H_{open}(s)$ の GB 積と 読み替えて良い.すなわち、線形性の改善に費やされる余剰利得 A_0F_0 を 10 とした時、 高電力効率オペアンプは 500 MHz の帯域しか確保できないことになる.

3.4.2 入力寄生容量の影響

オペアンプの入力寄生容量 C_{in} を考慮して,図 3.3(a) に示した反転増幅回路について F(s)を求める.このとき図 3.22 のように,入力寄生容量 C_{in} は, R_1 と並列に挿入され るように見えるため,

$$F(s) = \frac{\frac{1}{G_1 + sC_{\text{in}}}}{R_2 + \frac{1}{G_1 + sC_{\text{in}}}} = \frac{1}{\frac{R_1 + R_2}{R_1} + sC_{\text{in}}R_2} = \frac{R_1}{R_1 + R_2} \frac{1}{1 + \frac{sC_{\text{in}}R_1R_2}{R_1 + R_2}}$$
$$= \frac{F_0}{1 + sC_{\text{in}}(R_1//R_2)}$$
(3.101)



図 3.21: オペアンプの内部極を考慮した GB 積と位相余裕

と表される.ここで、 $G_1 = 1/R_1$ であり、

$$F_0 = \frac{R_1}{R_1 + R_2} \tag{3.102}$$

である. $H_{\text{open}}(s)$ は,

$$H_{\text{open}}(s) = A(s)F(s) = \frac{F_0}{1 + sC_{\text{in}}(R_1//R_2)}A(s)$$
(3.103)

となり、 $C_{\rm in}$ は R_1, R_2 と共に、

$$\omega_{\rm f} = \frac{1}{C_{\rm in} \left(R_1 / / R_2 \right)} \tag{3.104}$$

という極を作る. 3.2.3 節で指摘したように,オペアンプが適切な利得を維持するために は *Z*_f を構成する *R*₁, *R*₂ は大きく設定するべきである. しかしながらそのような設定で



図 3.22: オペアンプの入力寄生容量を考慮した負帰還
はω_fは劣化し, A(s)の持つ極ともに位相余裕を劣化させる要因となってしまう.

今,一段オペアンプを用いて負帰還増幅器を設計したと仮定する.オペアンプの利得 低下を防ぐために, $Z_{\rm f} = k_{\rm f}r_{\rm out}$ として設計する.反転増幅回路の最終的な利得を $G_{\rm V}$ と すると, $F_0 = 1/(G_{\rm V}+1)$ であり,

$$R_1 = \frac{1}{G_{\rm V} + 1} k_{\rm f} r_{\rm out} \tag{3.105}$$

$$R_2 = \frac{G_{\rm V}}{G_{\rm V}+1} k_{\rm f} r_{\rm out} \tag{3.106}$$

と設定される. この時の $\omega_{\rm f}$ は,

$$\omega_{\rm f} = \frac{1}{C_{\rm in}} \frac{R_1 + R_2}{R_1 R_2} = \frac{1}{C_{\rm in} F_0 R_2} = \frac{(G_{\rm V} + 1)^2}{k_{\rm f} G_{\rm V}} \frac{1}{C_{\rm in} r_{\rm out}}$$
(3.107)

と表される.

ここで, *C*_{in} はオペアンプの入力寄生容量であるため,オペアンプの消費電流や*G*_m に対して相関があると予想される.そこで,

$$C_{\rm in} = K_{\rm C} I_{\rm total} = K_{\rm C}' G_{\rm m} \tag{3.108}$$

と仮定する. (3.107) 式は,

$$\omega_{\rm f} = \frac{(G_{\rm V}+1)^2}{k_{\rm f}G_{\rm V}} \frac{1}{K_{\rm C}'G_{\rm m}r_{\rm out}} = \frac{(G_{\rm V}+1)^2}{K_{\rm C}'k_{\rm f}G_{\rm V}A}$$
(3.109)

と変形される.

この式において, Gv が十分大きいとき,

$$\omega_{\rm f} \approx \frac{1}{K'_{\rm C}k_{\rm f}} \frac{G_{\rm V} + 1}{A} \tag{3.110}$$

となり, $A/(G_V+1)$ に反比例する.この値は,図 3.5 に示した線形性改善に費やされる オペアンプの余剰利得 A_0F_0 に相当する.したがって,線形性と ω_f はトレードオフであ るといえる.

一方, K'_Cを小さくすることは入力寄生容量を小さくすることを意味するため, 極を 高くすることに役立つ. ところが 3.3.2 節で述べたように, オペアンプの電力効率を改 善するためには相補入力構成を採用し,入力トランジスタのバイアス電流を増やすこと が必要である. その結果,入力トランジスタのゲートサイズは大きくなり, K'_C は大き くなってしまう. K'_C は,

$$K_{\rm C}' = \frac{C_{\rm in}}{G_{\rm m}} \tag{3.111}$$



図 3.23: オペアンプの入力寄生容量 C_{in} による極

であるから,広帯域化の観点では大きな $G_{\rm m}$ を小さい $C_{\rm in}$ で達成することが重要である. ここでいくつかの回路トポロジについて, $\omega_{\rm f}$ の値を算出する.ただし,平等な比較を 行うため,余剰利得 $A/(G_{\rm V}+1) = 10$ を固定し, $G_{\rm V}$ を変化させた時の極の位置を調べ る.このとき,Aの劣化は,

$$A' = 10 \left(G_{\rm V} + 1 \right) \tag{3.112}$$

まで許容される.このときの $k_{\rm f}$ は, (3.39) 式より,

$$A' = \frac{G_{\rm m} r_{\rm out}}{1 + Y_{\rm f} r_{\rm out}} = \frac{A}{1 + \frac{1}{k_{\rm f}}}$$
(3.113)

であるから,

$$k_{\rm f} = \frac{1}{\frac{A}{A'} - 1} = \frac{10 \left(G_{\rm V} + 1\right)}{A - 10 \left(G_{\rm V} + 1\right)} \tag{3.114}$$

となる.

図 3.23 に計算結果をまとめたものを示す. 横軸は G_V であり, 縦軸は $f_f = \omega_f/2\pi$ である. 設計条件は表 3.1 に示した最大電力効率の条件と,表 3.3 に示した典型的な設計値の条件を二つを使用した. 相補入力型フォールデッドカスコードオペアンプは表 3.1 と表

3.3 で同じ *M*_{SL} となっているため,プロットは一本のみである.ただし,ソース接地系のオペアンプは利得が足りないため,余剰利得 *A*₀*F*₀ は 10 ではなく 3 として設定した.

ソース接地系のオペアンプは余剰利得を抑えている(線形性の劣化を許容している) にも関わらず、5dBを下回る非常に低い*G*_Vしか達成できない.したがって、利得を持 つ負帰還増幅回路を設計するのであれば、DC 利得の高いカスコード系のオペアンプを 選択せざるを得ない.最大電力効率のN入力フォールデッドカスコードオペアンプは、 10dB 付近の利得設定まで2GHz を越える極を実現するが、以降は急激に劣化する.相 補入力型のオペアンプニ種はいずれも似たような特性を示すが、相補入力型フォール デッドカスコードオペアンプの方が劣化が早く、13dB 付近では1GHz を下回ってしま う. 典型的な設計値を使用した高電力効率オペアンプ(赤の実線)は20dB まで1GHz を超える極を持つが、低利得側でも極は殆ど改善されず、6dB の利得でも3GHz となっ てしまう.

このような特性が得られる理由を考察する.まず,*C*_{in}の極がどのように与えられるか,順に整理する.

- 1) ある G_V を実現するためには、オペアンプに G_V 以上の利得が必要である
- 2) 線形性を改善するには,更に A₀F₀の余剰利得をオペアンプで稼ぐ必要があり, オペアンプには更に高い利得が必要である
- 3) オペアンプの利得は Z_f (R₁, R₂) が小さいと劣化してしまう
- 4) したがって, 1) 及び 2) の要求に併せて Z_f を大きくしなければならない
- 5) *C*_{in} のノードに対する抵抗成分が増加するため, ω_f の極が劣化する

この論に従えば, ω_f に関連するオペアンプの重要な要素は,オペアンプの利得と入力寄 生容量 *C*_{in} の二つとなる.

オペアンプが出せる利得が 1) 及び 2) の要求する利得と一致するとき、 $Z_{\rm f} \rightarrow \infty$ とな

入 3.3: 典空的な設計値を使用した場合の住能						
	高電力効率	C-Folded	N-Folded	C-Source	N-Source	
DC 利得	$44.8\mathrm{dB}$	$37.7\mathrm{dB}$	$33.1\mathrm{dB}$	$18.1\mathrm{dB}$	$15.7\mathrm{dB}$	
$M_{\rm SL}$	2	2	1	N/A	N/A	
$G_{\rm m}/I_{\rm total}$	$4.6 \mathrm{V}^{-1}$	$3.9 \mathrm{V}^{-1}$	$2.6 \mathrm{V}^{-1}$	$14.3 \mathrm{V}^{-1}$	$6.3 \mathrm{V}^{-1}$	

表 3.3: 典型的な設計値を使用した場合の性能

り, ω_f は 0 に向かって急激に劣化する.例えば,N 入力のフォールデッドカスコードオ ペアンプが 10 dB と 12 dB 付近からそれぞれ急激に劣化しているのは,この利得の制約 によるものと考えられる.

次に $G_{\rm m}$ あたりの $C_{\rm in}$ の大きさによって, $\omega_{\rm f}$ が決まる. ここで $r_{\rm out}$ が不感となるのは, 1) 及び 2) の制約で利得が決まったとき, $G_{\rm m}$ によって $Z_{\rm f}$ が決まるためである. $r_{\rm out}$ は オペアンプの最大の利得を決めるが,ここでは 1) 及び 2) で指定する利得だけを実現す れば良いため,実際に利得を決めているのは $r_{\rm out}$ よりも小さい $Z_{\rm f}$ であり,これは $G_{\rm m}$ と要求利得から求めることができる. オペアンプの利得の制約が緩い $G_{\rm V} \leq 6$ dB におい て,N入力フォールデッドカスコードオペアンプが相補入力型のオペアンプよりも高い $\omega_{\rm f}$ を有するのは,入力寄生容量が小さく, $G_{\rm m}$ あたりの $C_{\rm in}$ が小さいためと考えられる.

3.4.3 一段オペアンプの上限周波数

これまでの議論により、十分な利得を持つ一段オペアンプにおいて、寄生容量による 帯域制限が実際の GB 積の上限を決めることが明らかとなった。特に図 3.23 に示した $C_{\rm in}$ による極 $\omega_{\rm f}$ は周波数が非常に低く、10 GHz 付近に存在するオペアンプの内部極よ りも影響が大きいと推測される。そこでセカンドポールを $\omega_{\rm f}$ としたとき、特定の $\omega_{\rm f}$ に 対して 60° の位相余裕を確保できる最大の GB 積を求める。ドミナントポールの周波数 $f_{\rm p1}$ は、 $H_{\rm open}(s)$ の GB 積と余剰利得 A_0F_0 を用いて、

$$f_{\rm p1} = \frac{\rm GBW}{A_0 F_0} \tag{3.115}$$

と表される. $H_{\text{open}}(s)$ は,

$$H_{\rm open}(s) = \frac{A_0 F_0}{\left(1 + \frac{\omega}{\omega_{\rm p1}}\right) \left(1 + \frac{\omega}{\omega_{\rm p2}}\right)} \tag{3.116}$$

である. $A_0F_0 = 10$ とすると,位相余裕が十分なとき $f_u \approx 10 f_{p1}$ であると予想される. したがって,

$$\angle H_{\rm open}(f_{\rm u}) \approx 180^{\circ} - \tan^{-1} \frac{10\omega_{\rm p1}}{\omega_{\rm p1}} - \tan^{-1} \frac{10\omega_{\rm p1}}{\omega_{\rm f}}$$
$$= 95.7^{\circ} - \tan^{-1} \frac{\rm GBW}{f_{\rm f}} = 60^{\circ}$$
(3.117)

より,

$$GBW = f_{\rm f} \cdot \tan 35.7^{\circ} \approx 0.72 f_{\rm f} \tag{3.118}$$

と計算できる. この時のドミナントポール f_{n1} は,

$$f_{\rm p1} \approx 0.072 f_{\rm f} \tag{3.119}$$

となり,図 3.23 の *f*_f の 14 分の 1 程度の値となってしまう.したがって,例えば 6 dB の 反転増幅回路を設計した場合,高電力効率オペアンプで線形性が保たれる周波数はわず か 200 MHz 程度となり,N入力型フォールデッドカスコードオペアンプでも同様にたか だか 200 MHz 程度である.これらの計算にはオペアンプの内部極によるサードポールの 影響は含まれていないため,実際の位相余裕は更に厳しい.

3.5 電流帰還型オペアンプ

電圧帰還型オペアンプにおける周波数特性の問題を解決するために、電流帰還型の回路が提案されている [11,12]. 電圧帰還型ではオペアンプの入力端子を高インピーダンス で受けていたが、電流帰還型では低入力インピーダンスで受けるのが特徴である.本節 では電流帰還型オペアンプの基本原理を述べ、利点と欠点について整理する.

3.5.1 基本原理

電流帰還型オペアンプを用いた回路のモデルを図 3.24 に示す. このモデルは一倍の バッファ,トランスインピーダンスアンプ (TIA),帰還抵抗 R_1, R_2 などから構成され る.まず $V_{\rm in}$ は一倍のバッファに接続されており, $V_{\rm in} = V_{\rm x}$ となる. このとき, R_1, R_2 を流れる電流はそれぞれ,

$$I_1 = \frac{V_{\rm in}}{R_1}$$
(3.120)

$$I_2 = \frac{V_{\rm out} - V_{\rm in}}{R_2}$$
(3.121)

と表される. Vin 側のバッファに流れる電流 Io は、キルヒホッフの電流則により、

図 3.24: 電流帰還型オペアンプのモデル

となる. この電流は TIA に流れ込み, 負荷インピーダンス Z_A で V_{out} に変換される. したがって,

$$V_{\text{out}} = I_0 Z_{\text{A}} = \left(\frac{1}{R_1} + \frac{1}{R_2}\right) Z_{\text{A}} V_{\text{in}} - \frac{Z_{\text{A}}}{R_2} V_{\text{out}}$$

$$\therefore V_{\text{out}} = \frac{1}{1 + \frac{R_2}{Z_{\text{A}}}} \left(1 + \frac{R_2}{R_1}\right) V_{\text{in}}$$
(3.123)

と整理される. $Z_A/R_2 \gg 1$ のとき,

$$V_{\rm out} \approx \left(1 + \frac{R_2}{R_1}\right) V_{\rm in}$$
 (3.124)

が成立し,電圧帰還型の正転増幅回路と同じ伝達関数を得ることができる. ここで Z_A を,

$$Z_{\rm A}(s) = \frac{R_{\rm A}}{1 + sC_{\rm A}R_{\rm A}} = \frac{R_{\rm A}}{1 + \frac{s}{\omega_{\rm A}}}$$
(3.125)

とする.このとき、一巡伝達関数 $H_{\text{open}}(s)$ は、

$$H_{\rm open}(s) = \frac{Z_{\rm A}(s)}{R_2} = \frac{R_{\rm A}}{R_2} \frac{1}{1 + \frac{s}{\omega_{\rm A}}}$$
(3.126)

と表され, *R*₁ に依存しない値となる.したがって,電流帰還型では *R*₁ を変更すること で一巡伝達関数に影響をあたえること無く系の利得を調整することが可能とされる.こ れは,系の最終的な利得とオープンループゲインがトレードオフであった電圧型と対照 的である.

ところで R_2 は最終的な利得に関わる値であり、 $H(0) = G_V$ を用いて

$$R_2 = R_1 \left(G_{\rm V} - 1 \right) \tag{3.127}$$

と表されることから, (3.126) 式は,

$$H_{\rm open}(s) = \frac{R_{\rm A}}{R_1 (G_{\rm V} - 1)} \frac{1}{1 + \frac{s}{\omega_{\rm A}}}$$
(3.128)

と変形できる.したがって電流帰還型でオープンループゲインを上げるためには, R_1 の 低減と R_A の増加が有効である.ただし R_A の増加は ω_A の劣化を招くため, GB 積その ものは改善されない.一方, R_1 の低減にも次節で述べる限界が存在する.

3.5.2 NMOS 入力型電流帰還型オペアンプ

電流帰還型オペアンプでは、一倍のバッファを二箇所で使用する. この内 *V*_{in} 側のバッファは帰還のループに含まれていないため、この部分に非線形性が存在すると、直接線形性を劣化させてしまう要因となる. 一倍のバッファを簡単に構成する方法として、ソースフォロワバッファがよく用いられる. しかしながら、ソースフォロワバッファはソース側の負荷が小さい場合、利得が変動してしまうという問題がある.

そこでソースフォロワバッファを用いた電流帰還型オペアンプとして,図 3.25 のような回路を考える.なお,図中の –1 倍アンプは差動対称の回路から接続すれば実現できるため,差動構成であれば省略される. M1 はソースフォロワバッファとしての役割の他に,TIA の入力としての役割を果たす [13].図 3.25(b) に示す小信号等価回路より,次の三式を得る.

$$g_{\rm m1}v_{\rm in} + \frac{1}{R_2}v_{\rm out} = \left(g_{\rm m1} + \frac{1}{R_1} + \frac{1}{R_2}\right)v_{\rm s}$$
(3.129)

$$\frac{1}{Z_{\rm A}}v_{\rm d} + g_{\rm m1}v_{\rm in} = g_{\rm m1}v_{\rm s} \tag{3.130}$$

$$v_{\rm out} \approx -v_{\rm d} \tag{3.131}$$

ただし簡単のため $g_{m2} \gg 1/R_2$ とし、チャネル長変調効果を無視した. v_s は、

$$v_{\rm s} = -\frac{\frac{1}{R_1} + \frac{1}{R_2}}{\frac{1}{R_2} + \frac{1}{Z_{\rm A}}} v_{\rm d} \approx \frac{1 + \frac{R_2}{Z_{\rm A}}}{G_{\rm V}} v_{\rm out}$$
(3.132)



図 3.25: NMOS 入力型電流帰還型オペアンプ

となる. 一方 vout は,

$$v_{\text{out}} \approx \frac{g_{\text{m1}}}{\frac{1}{Z_{\text{A}}} + \frac{g_{\text{m1}}}{G_{\text{V}}} \left(1 + \frac{R_2}{Z_{\text{A}}}\right)} v_{\text{in}} = \frac{G_{\text{V}}}{1 + \frac{1}{Z_{\text{A}}} \left(R_2 + \frac{G_{\text{V}}}{g_{\text{m1}}}\right)} v_{\text{in}}$$
(3.133)

と表される. (3.123) 式と比較すると, R_2 が変化していることがわかる. この R_2 の変化は,後述する v_s ノードからのロスに起因している.

ところで,

$$v_{\rm s} = \frac{1 + \frac{R_2}{Z_{\rm A}}}{1 + \frac{R_2}{Z_{\rm A}} \left(1 + \frac{G_{\rm V}}{g_{\rm m1}R_2}\right)} v_{\rm in}$$
(3.134)

より,

$$v_{\rm in} - v_{\rm s} = \frac{\frac{G_{\rm V}}{g_{\rm m1}Z_{\rm A}}}{1 + \frac{R_2}{Z_{\rm A}} \left(1 + \frac{G_{\rm V}}{g_{\rm m1}R_2}\right)} v_{\rm in}$$
(3.135)

となるため、 $Z_A \to \infty$ の条件で $(v_{in} - v_s) = 0$ となり、M1の V_{GS} は不変となる.すなわち、電流帰還型オペアンプは入力振幅を減らすアプローチではなく、トランジスタパラメータの変動を抑えることで線形性を高めるアプローチを採用している.



図 3.26: 寄生容量を考慮した開ループ回路

■一巡伝達特性 続いて、この回路の一巡伝達関数 $H_{\text{open}}(s)$ を求める. 各ノードの寄生 容量を考慮した図 3.26 の回路を考える. 出力短絡時の $G_{\text{m}}(s)$ を求める.

$$\left(g_{\rm m2} + sC_{\rm L} + \frac{1}{R_2}\right)v_1 = \frac{v_{\rm s}}{R_2} + g_{\rm m2}v_{\rm in} \tag{3.136}$$

$$\left(g_{\rm m1} + \frac{1}{R_1} + \frac{1}{R_2} + sC_{\rm in}\right)v_{\rm s} = \frac{v_1}{R_2} \tag{3.137}$$

$$i_{\rm out} = g_{\rm m1} v_{\rm s} \tag{3.138}$$

より,

$$G_{\rm m}(s) = \frac{i_{\rm out}}{v_{\rm in}} \\ \approx \frac{1}{R_2} \frac{g_{\rm m1}}{g_{\rm m1} + \frac{1}{R_1} + \frac{1}{R_2}} \frac{g_{\rm m2}}{g_{\rm m2} + \frac{1}{R_2}} \frac{1}{\left(1 + \frac{sC_{\rm L}}{g_{\rm m2} + \frac{1}{R_2}}\right) \left(1 + \frac{sC_{\rm in}}{g_{\rm m1} + \frac{1}{R_1} + \frac{1}{R_2}}\right)} (3.139)$$

を得る. g_{m2} の係数部分は v_1 ノードのロスを示しており,前述の解析における $g_{m2} \gg 1/R_2$ の条件で無視することができる. 同様に g_{m1} の係数部分は v_s ノードのロスに対応しており,ロスを防ぐためには $g_{m1} \gg 1/R_1, 1/R_2$ が必要である. 一方,出力インピーダンスは,

$$r_{\rm out}(s) \approx Z_{\rm A} = \frac{R_{\rm A}}{1 + sC_{\rm A}R_{\rm A}} \tag{3.140}$$

である.一巡伝達関数は,

$$H_{\text{open}}(s) = G_{\text{m}}(s)r_{\text{out}}(s) \\\approx \frac{H_{\text{open}}(0)}{\left(1 + sC_{\text{A}}R_{\text{A}}\right)\left(1 + \frac{sC_{\text{L}}}{g_{\text{m}2} + \frac{1}{R_2}}\right)\left(1 + \frac{sC_{\text{in}}}{g_{\text{m}1} + \frac{1}{R_1} + \frac{1}{R_2}}\right)}$$
(3.141)

となる.ただし,

$$H_{\text{open}}(0) = \frac{R_{\text{A}}}{R_2} \frac{g_{\text{m1}}}{g_{\text{m1}} + \frac{1}{R_1} + \frac{1}{R_2}} \frac{g_{\text{m2}}}{g_{\text{m2}} + \frac{1}{R_2}}$$
$$= \frac{R_{\text{A}}}{R_2} \frac{1}{1 + \frac{G_{\text{V}}}{g_{\text{m1}}R_2}} \frac{1}{1 + \frac{1}{g_{\text{m2}}R_2}}$$
(3.142)

である. (3.142) 式によれば R_2 を減らすことによってある程度まで $H_{open}(0)$ を大きくで きるが,同時に g_{m1} 及び g_{m2} を大きくしなければ G_m の損失が大きくなってしまう.特 に v_s ノードからのロスは厳しく, G_V を大きく取っている場合は R_1 が小さくなってい るため,影響が大きい. 一方, R_A は能動負荷を用いることで大きく設定できる. PMOS を使用した場合,トランジスタパラメータが同一であると仮定すると,

$$R_{\rm A} \approx \frac{1}{g_{\rm d1}} = \frac{G_{\rm i1}}{g_{\rm m1}}$$
 (3.143)

となる. ここで $g_{m2} = k_2 g_{m1}$ とし, $N_1 = g_{m1} R_2$ とすると, $H_{open}(0)$ は次のように整理できる.

$$H_{\rm open}(0) \approx \frac{G_{\rm i1}}{N_1} \frac{1}{1 + \frac{G_{\rm V}}{N_1}} \frac{1}{1 + \frac{1}{k_2 N_1}}$$
(3.144)

この利得が最大になる条件は、 $N_1 = \sqrt{G_V/k_2}$ である.このときの最大値は、

$$\max H_{\text{open}}(0) \approx \frac{G_{\text{i1}}}{\left(\sqrt{G_{\text{V}}} + \frac{1}{\sqrt{k_2}}\right)^2} \le \frac{G_{\text{i1}}}{G_{\text{V}}}$$
(3.145)

と表される. すなわち,系の最終的な利得 G_V が大きい場合はオープンループゲイン が殆ど得られないことが確認できる. 右辺の不等式で等式が成立するための条件は $k_2 \gg 1/G_V$ であり, k_2 が小さい場合は更に線形性が劣化する.

ここで C_A の極がドミナントポールであると仮定して $H_{open}(s)$ の GB 積を求める. C_A は M1 と M2 それぞれの寄生容量を加算した値である.そこで,

$$C_{\rm A} = K_{C_{\rm A}1}g_{\rm m1} + K_{C_{\rm A}2}g_{\rm m2} \tag{3.146}$$

とおく. GB 積は,

$$GBW = \frac{H_{open}(0) \cdot \omega_{A}}{2\pi} = \frac{H_{open}(0) \cdot g_{m1}}{2\pi C_{A} G_{i1}}$$
$$= \frac{1}{2\pi G_{i1}} \frac{H_{open}(0)}{K_{C_{A}1} + k_{2} K_{C_{A}2}}$$
(3.147)

となり, $H_{\text{open}}(0)$ 以外に g_{m1} を含まない形に変形される.このとき,上記の最大値の検 討が適用できるため, N_1 を変数とした時の最大値は,

$$\max \text{GBW} \approx \frac{1}{2\pi} \frac{1}{K_{C_{A}1} + k_2 K_{C_{A}2}} \frac{1}{\left(\sqrt{G_{V}} + \frac{1}{\sqrt{k_2}}\right)^2}$$
(3.148)

と表される. GB 積を最大化するための k2 は,

$$k_2 = \left(\frac{K_{C_{\rm A}1}}{K_{C_{\rm A}2}\sqrt{G_{\rm V}}}\right)^{\frac{2}{3}} \tag{3.149}$$

で与えられる.

図 3.27 に $H_{open}(s)$ の GB 積を最大に設計した場合の性能を示す. G_V に対し, GB 積 及び $H_{open}(0)$ は減衰する. $G_V = 2$ においても GB 積は 5 GHz を下回り, $H_{open}(0)$ は 4 を下回る.

■寄生容量の影響 (3.141) 式から各極を整理すると、次のようになる.

$$\begin{cases} \omega_{p1} = \omega_{A} = \frac{g_{m1}}{G_{i1}C_{A}} \\ \omega_{p2} = \frac{k_{2}g_{m1}}{C_{L}} \left(1 + \frac{1}{k_{2}N_{1}}\right) \\ \omega_{p3} = \frac{g_{m1}}{C_{in}} \left(1 + \frac{G_{V}}{N_{1}}\right) \end{cases}$$
(3.150)

それぞれの極の周波数をまとめると図 3.28 のようになる.ただし,設計条件は図 3.27 と同様に H_{open}(s) の GB 積が最大となる条件を使用した.また,C_L は電流帰還型オペ アンプ内部の寄生容量のみを考慮しており,外部の負荷容量を含んでいない.電圧帰還



図 3.27: *H*_{open}(*s*) の GB 積最大設計時の性能

型では C_{in} による極が 10 GHz を下回っていたのに対し,電流帰還型では 100 GHz 付近 にまで改善されている.この改善は, C_{in} と共に極を作る抵抗成分が g_{m1} になり,電圧 帰還型よりも抵抗成分が大幅に小さくなったことによって生じたと考えられる.電流帰 還型では入力部分を低入力インピーダンスで帰還信号を受け取るため,このような改善 が生じる.

3.5.3 帰還利得の改善手法

図 3.25 で示した電流帰還型オペアンプは良好な周波数特性を持つが,帰還利得が低い という欠点が挙げられる.そこで *H*_{open}(0) を大きくする手段について考える.

(3.142) 式の解析結果をみると、トランスインピーダンスアンプの利得 R_A を大きくすることによって H_{open}(0) は改善される.ここでは具体的な方法として図 3.29 に示す二つの手法を考える.

■カスケード接続 図 3.29(a) はカスケード接続を利用する方法である. M1 で回収され た電流は M3 のドレイン抵抗で電圧に変換され,更に M4 及び M5 で構成されるソース 接地回路で増幅されて M2 のソースフォロワバッファに送られる. したがってこのとき



図 3.28: 電流帰還型オペアンプにおける極の周波数

の $R_{\rm A}$ は,

$$R_{\rm A} \approx \frac{G_{\rm i}}{2g_{\rm d3}} \tag{3.151}$$

となり、ソース接地回路の利得によって増幅される.ただし、カスケード接続を行うと 新たな極が追加されてしまう.この時の追加された極は (3.150) 式で示した ω_A と同程度 の値となるため、位相余裕を著しく劣化させてしまう要因となる.したがって多段オペ アンプで構成された電圧帰還型と同様に、位相余裕を確保するための位相補償が必要と なってしまう.

■カスコード抵抗 図 3.29(b) はカスコード抵抗によるアプローチである.電圧帰還型 オペアンプで示したようにカスコード抵抗は出力抵抗を大きくすることができるため, トランスインピーダンスアンプの利得を大きくする用途に適している.電流帰還の経路 は入力トランジスタのソース側を利用すれば良いため,N入力フォールデッドカスコー ドオペアンプを応用し,M1のソース端子に帰還をかけることで構成することができる. この場合の *R*_A は,

$$R_{\rm A} \approx \frac{1}{\frac{g_{\rm d3}}{G_{\rm i4}} + \frac{g_{\rm d5}}{G_{\rm i6}}} \approx \frac{G_{\rm i}}{3g_{\rm d1}}$$
(3.152)

と表される.ただし、 $G_{i4} = G_{i6} = G_i$ かつ $g_{d5} = 2g_{d1} = 2g_{d3}$ とした. この手法は電圧帰還型オペアンプと同様にカスコード抵抗の内部極が問題となる.そ



図 3.29: トランスインピーダンスアンプの R_A の改善手段

の周波数は 10 GHz 付近に存在するため,図 3.21 に示したように 10 GHz 付近の GB 積 では適切な位相余裕が確保できない.

3.5.4 電流帰還型オペアンプのまとめ

最後に電流帰還型オペアンプの利点と問題点を整理する.

入力寄生容量の影響を軽減

入力寄生容量の極は 100 GHz 付近に存在するため,電圧帰還型で問題となっていた GB 積の制限が大幅に緩和される.

$H_{\text{open}}(s)$ のGB積・利得が低い

最も帯域の広い設計では 5 GHz を下回る GB 積しか実現できない上に, $H_{\text{open}}(0)$ は 4 を下回る.

内部極が GB 積を制限

カスコード抵抗を用いる方法で *H*_{open}(0) を 4 倍程度改善できるが,カスコード抵抗の極が GB 積を制限する.適切な位相余裕確保のためには,5~6 GHz 程度の GB 積が限界となる.

系の最終的な利得 G_V によって $H_{open}(s)$ が劣化

帰還電流のロスにより、系の最終的な利得 G_V が大きい時 $H_{open}(s)$ の GB 積及び $H_{open}(0)$ が劣化する.

出力端の負荷容量によって安定性が劣化

電流帰還型オペアンプの出力端子に負荷容量が追加されると,セカンドポールの 周波数を劣化させる場合がある.

入力と出力の間に電圧シフトが存在

通常の CMOS でゲート入力とする場合,出力からの帰還パスは入力トランジス タのソース側となる.したがって図 3.30 に示すように,入出力の間に V_{GS} の電圧 シフトが発生する.これを吸収するためには,入出力のいずれかに別途レベルシ フト回路が必要となる.

大振幅出力が困難

出力端子の手前が一倍のソースフォロワバッファとなっているため、トランスイ



図 3.30: 電流帰還型オペアンプにおけるバイアス電圧の設定例と信号電圧の振幅

ンピーダンスアンプの出力端子にも出力振幅と同等の電圧振幅が発生する(図 3.30).更に出力端子側のソースフォロワバッファはゲート・ソースのいずれも大 振幅の電圧変動が生じるため,低電源電圧では大振幅出力が困難となる.

電流による帰還は低入力インピーダンスで受け取ることができるため,入力寄生容量の極を高周波側に移すことができるというメリットを持つ一方,帰還電流の一部が分流によって損失してしまうというデメリットを持つ.そのため上記のように,電流帰還型は電圧帰還型よりも広帯域用途に適しているが,*G*_Vに対する帰還利得と GB 積の劣化が大きな問題となってしまう.

3.6 まとめ

本章では,アナログベースバンド回路を構成する重要な回路技術の一つである,オペ アンプを用いた負帰還増幅回路について議論した.

■電圧帰還型オペアンプ 元来,トランジスタを用いた増幅回路は歪を持つ.負帰還増 幅回路では高利得なオペアンプに帰還をかけることで,負帰還増幅回路全体の利得に対 して余剰な利得が線形性を改善するように働く.そのため,オペアンプには高い利得が 必要となる.

電圧帰還型のオペアンプは入力寄生容量によってオペアンプの入力部分における極が 劣化し,オペアンプの内部極と併せて負帰還の安定性を劣化させる要因となってしまう. 65nm CMOS プロセスにおいて余剰利得を 10 程度確保すると,一段オペアンプで安定 して実現できる最大の GB 積は 2 GHz 程度であり,更なる広帯域化は困難であると結論 付けられる.

■電流帰還型オペアンプ 電流帰還型オペアンプは電流で帰還をかけるため、オペアン プの入力インピーダンスが低く、入力寄生容量の極の影響を排除できる.しかしなが ら帰還経路で分流が生じ、系の利得が高い場合には一巡伝達関数の劣化が問題となる. 65nm CMOS プロセスにおいて広帯域な設計を行った場合、GB 積は5GHz 以下となり、 オープンループゲインは4以下となってしまう.オープンループゲインはカスコード抵抗の内 部極によって4倍程度改善されるが、一巡伝達関数のGB 積はカスコード抵抗の内 部極によって6GHz 程度に制限されてしまう.

そこで次章では,更なる広帯域化・高線形化に向けて,グローバルな帰還を持たない オープンループアンプや電流増幅器について検討を行う.

参考文献

- [1] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [2] Behzad Razavi, 黒田 忠広 監訳,「アナログ CMOS 集積回路の設計 応用編」, 丸 善, 2003.
- [3] J. Ramos, and M. Steyaert, "Three stage amplifier with positive feedback compensation scheme," IEEE Custom Integrated Circuits Conference, pp. 333-336, May 2002.
- [4] A. Peña Perez and F. Maloberti, "Performance enhanced op-amp for 65nm CMOS technologies and below," IEEE International Symposium on Circuits and Systems, pp. 201-204, May 2012.
- S. Wong and C. A. T. Salama, "Impact of Scaling on MOS Analog Performance," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- K. Bult and G. Geelen, "A Fast-Settling CMOS Op Amp for SC Circuits with 90dB DC Gain," IEEE Journal of Solid-State Circuits, vol. 25, no. 6, pp. 1379-1384, Dec. 1990.
- Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR," IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp. 2139-2151, Dec. 2004.
- [8] F. Yang, P. Loumeau, and P. Senn, "Novel output stage for DC gain enhancement

of opamp and OTA," Electronics Letters, vol. 29, no. 11, pp. 958-959, May 1993.

- [9] J. Yan and R. L. Geiger, "A Negative Conductance Voltage Gain Enhancement Technique for Low Voltage High Speed CMOS Op Amp Design," Midwest Symposium on Circuits and Systems, pp. 502-505, Aug. 2000.
- [10] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, "A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifire for VLSI Cell Libraries," IEEE Journal of Solid-State Circuits, vol. 29, pp. 1505-1513, Dec. 1994.
- [11] A. M. Soliman, "Applications of the current feedback amplifier," Analog Integrated Circuits and Signal Processing, vol. 11, no. 3, pp. 265-302, Nov. 1996.
- [12] 鈴木 雅臣,「定本 続トランジスタ回路の設計」, CQ 出版, 1992.
- B. Razavi, "A 622 Mb/s 4.5 pA/\sqrt{Hz} CMOS transimpedance amplifier [for optical receiver front-end]," IEEE International Solid-State Circuits Conference, pp. 162-163, Feb. 2000.

第4章

局所的な負帰還技術

広帯域増幅回路を構成する連続時間系の増幅器は,3章で述べた負帰還増幅器,外部 で帰還をかけずに使用するオープンループアンプ,電流ドメインで信号をやり取りする 電流増幅器の三種類に分類することができる.

図 4.1 は,近年主要な学会や論文誌で報告されたアナログフロントエンド回路の構成 を大別し,プロットしたものである.負帰還増幅回路は主に低周波向けに用いられてお り,オープンループ型は1GHz以下の用途,電流増幅器は更に広帯域な用途が主流であ る.本章では,オープンループアンプ及び電流増幅器などの広帯域増幅器の基本的な検 討として,線形性,広帯域化,消費電力などの観点から考察する.



図 4.1: アナログフロントエンド回路とアーキテクチャ

4.1 広帯域化のアプローチ

オープンループアンプや電流増幅器の検討に移る前に,第3章の議論から負帰還増幅 回路の問題点を整理し,広帯域化のアプローチを示す.また高線形オープンループアン プと電流増幅器それぞれについて,負帰還回路のトポロジから見た基本原理を導く.

4.1.1 負帰還増幅器の極

第3章で述べたグローバルなフィードバックを持つ負帰還増幅器では、寄生容量の極 が広帯域化を厳しく制限していた.負帰還増幅器は、オペアンプの持つ利得から最終的 な系の利得 H(s) と、線形性改善のための余剰利得 A₀F₀ を同時に捻出しなければならな い.そのため、寄生容量による極を許容してでもカスコード系のオペアンプを使用しな ければらない.また、一巡伝達関数 H_{open}の経路が長く、オペアンプのみならず減衰器 F(s) を含むため、オペアンプの入力寄生容量も極を作り、一巡伝達関数に影響を及ぼす. 加えて、オペアンプで高い利得を実現するためには減衰器を構成する素子のインピーダ ンスを高くしなければならないため、入力寄生容量の極は周波数が低くなってしまう.

図 4.2(a) に正転増幅回路における三つの極を図示した. グローバルなフィードバック では減衰器からオペアンプの入力寄生容量までが帰還経路に含まれていたため,

ドミナントポール ω_{p1} オペアンプ出力部分の極 セカンドポール ω_{p2} オペアンプの入力寄生容量によって生じる極 サードポール ω_{n3} オペアンプ内部のカスコード抵抗の極



図 4.2: 負帰還増幅回路の極

の三つの極を一巡伝達関数に内包し、 ω_{p2}, ω_{p3} が H_{open} のGB積を制限する.

4.1.2 ユニティゲインバッファとしての利用

ここで、図 4.2(b) に示したような帰還抵抗 $R_2 = 0$ の場合を想定する.このとき、入 力寄生容量 C_{in1} と負荷容量 C_L は同じノードに接続されるため、容量を統合して考えて 良い.すなわち、 ω_{p1} と ω_{p2} は結合され、一つの極となる.その結果、 ω_{p2} による -90° を越える位相回転が生じなくなり、少なくともセカンドポールの問題は解消される.

ただし、 $R_2 = 0$ は負帰還増幅器としての利得を失うことを意味する.なぜなら、

$$F_0 = \frac{R_1}{R_1 + R_2} = 1 \tag{4.1}$$

となり、いかなる R_1 に対しても系の DC 利得 H(0) は、

$$H(0) = \frac{A(0)}{1 + A(0)F(0)} \approx \frac{1}{F_0} = 1$$
(4.2)

となるため,利得は0dBになってしまう.

実際にオペアンプの入出力を短絡した回路はユニティゲインバッファと呼ばれ,1倍 のバッファとして用いられる.このようなユニティゲインバッファの構成では,出力端 子にいかなるインピーダンスが接続された場合でも,オペアンプの利得Aによってオペ アンプの出力電圧が入力電圧に追従するように動作する.

また,ユニティゲインバッファでは実現する系の利得が低いため,オペアンプの利得 A₀は全て負帰還の精度向上に費やされることになる.したがって,第3章で検討した 利得を有す負帰還増幅回路と比較して,オペアンプに対する要求利得も緩和される.

4.1.3 高線形オープンループアンプへの拡張

ユニティゲインバッファは負帰還によって $V_{\text{out}} = V_{\text{in}}$ を精度よく実現するが, 増幅差 用を持たない.そこで, 図 4.2(b) における R_1 を流れる電流に着目する.

$$I_1 = \frac{V_{\text{out}}}{R_1} = \frac{1}{1 + \frac{1}{A(s)}} \frac{V_{\text{in}}}{R_1}$$
(4.3)

したがって R₁ には,負帰還によって V_{in} に比例した信号電流が流れている.オープン ループアンプではこの信号電流 I₁ を回収し,トランスインピーダンスアンプに流し込む



図 4.3: 負帰還回路から拡張した高線形性オープンループアンプ



図 4.4: ゲート接地回路を用いたトランスインピーダンスアンプ [1]

ことで利得を得る.

具体的な回路構成として、図 4.3 のような回路が考えられる. $G_{\rm m}$ はオペアンプ A の トランスコンダクタンスであり、簡単のため各種容量は省略した. M1 はゲート接地回 路であり、 $I_{\rm bias}$ の電流でバイアスされている. M1 のソース側からの入力インピーダン スは $1/g_{\rm m1}$ であり、信号電流を受け取り $R_{\rm L}$ に流し込むトランスインピーダンスアンプ として動作する. すなわち、(4.3) 式の $I_{\rm l}$ から、

$$V_{\rm out} \approx I_1 R_{\rm L} = \frac{1}{1 + \frac{1}{A(s)}} \frac{R_{\rm L}}{R_1} V_{\rm in}$$
 (4.4)

とすることで、抵抗の比のみで決まる線形性の良い利得を実現することを目指す.

図 4.3(b) を解く前に,図 4.4 に示したトランスインピーダンスアンプの解析を行う. 入力インピーダンス *r*_{in1},出力インピーダンス *r*_{out1},トランスコンダクタンス *G*_{m1} はそ れぞれ,

$$r_{\rm in1} = \frac{1}{g_{\rm m1} + g_{\rm d1}} \approx \frac{1}{g_{\rm m1}}$$
 (4.5)

$$r_{\text{out1}} = \frac{1}{\frac{1}{R_{\text{r}}} + g_{\text{d1}}} \approx R_{\text{L}} \tag{4.6}$$

$$G_{\rm m1} = g_{\rm m1} + g_{\rm d1} \approx g_{\rm m1}$$
 (4.7)

となる. ただし, $g_{m1} \gg g_{d1}$ かつ $r_{d1} \gg R_L$ を仮定した. これらの値を用いて, 図 4.3(b) の小信号等価回路を解析する.

$$\left(G_{\rm m} + \frac{1}{r_{\rm out}} + \frac{1}{R_1 + r_{\rm in1}}\right)v_1 = G_{\rm m}v_{\rm in} \tag{4.8}$$

$$v_{\rm out} = \frac{r_{\rm in1}}{R_1 + r_{\rm in1}} v_1 \cdot G_{\rm m1} r_{\rm out1}$$
(4.9)

であるから、vout までの利得は、

$$A_{\rm V} = \frac{v_{\rm out}}{v_{\rm in}} = \frac{r_{\rm out1}}{R_1} \frac{G_{\rm m1}r_{\rm in}}{\left(1 + \frac{1}{G_{\rm m}r_{\rm out}}\right) \left(1 + \frac{r_{\rm in1}}{R_1}\right)} \approx \frac{r_{\rm out1}}{R_1} \frac{1}{1 + \frac{r_{\rm in1}}{R_1}}$$
$$\approx \frac{R_{\rm L}}{R_1} \frac{1}{1 + \frac{1}{g_{\rm m1}R_1}} = \frac{R_{\rm L}}{R_1} \frac{1}{1 + \frac{1}{N}}$$
(4.10)

となる.ただし、 $G_{m}r_{out} \gg 1$ を仮定した.Nはソースデジェネレーションファクター と呼ばれる値であり、高線形オープンループアンプでは頻出するパラメータである.

$$N = g_{\rm m1} R_1 \approx \frac{R_1}{r_{\rm in1}} \tag{4.11}$$

であるから、 $N \gg 1$ のとき、 R_1 に対して r_{in1} は無視できるほど小さい状態となる.このとき $A_V \approx R_L/R_1$ となり、トランジスタパラメータに依存しない利得を実現ができ、 負帰還増幅回路と同様の高い線形性が実現される.この状況は (4.4) 式において、トランスインピーダンスアンプが I_1 を受け取っていると見なすための条件に相当する.

ユニティゲインバッファは入力寄生容量の極による帯域制限の問題を解決し,オペア ンプの要求利得を緩和できるが,負帰還増幅回路全体で利得が得られないという欠点を 持っていた.高線形オープンループアンプではこのハンデを,トランスインピーダンス アンプを用いることで解決していると考えることができる.または,回路全体の利得を 得る部分を分離することで負帰還のループを簡略化し,負帰還にまつわる利得と帯域の 問題を解決した,と考えることもできる.



図 4.5: 負帰還増幅回路の極

なお、ソースデジェネレーションなどの高線形オープンループアンプでは個別に差動 入力オペアンプAを用意せず、トランジスタ単体で実現する.このときトランジスタの gm がオペアンプのGm に相当し、トランジスタのゲート側を正入力端子、ソース側を負 入力端子と見なす.したがって高線形オープンループアンプでは、入力トランジスタの ソース側に信号を帰還させるのが特徴となり、電流帰還型オペアンプに類似した帰還方 法を取る.一方、トランスインピーダンスアンプの実現方法は様々であり、帯域を制限 する要素も回路により異なる.続く 4.2 節では、代表的なオープンループアンプについ て個別に検討を行う.

4.1.4 電流増幅器への拡張

反転増幅回路と正転増幅回路の関係のように,オペアンプを用いた負帰還増幅回路で は負入力端子側からも信号を入力することができる.図4.2(b)では正の入力端子からの 入力を想定したが,これは正転増幅回路で $R_2 = 0$ とした状態に相当する.そこで図4.5 のように,反転増幅回路において $R_2 = 0$ とする回路を考える.この回路では信号を電 流で受け取り,オペアンプに I_1 を流し込む.ユニティゲインバッファの構成の拡張であ るため,オペアンプの負帰還における入力寄生容量による極は結合され,広帯域化が可 能となる.

ただし、この構成ではオペアンプの出力部分に電圧振幅が存在しない.なぜなら、オペアンプの正の入力端子側が交流接地であるため、負入力側も仮想短絡によって交流接地状態となるためである.この回路ではオペアンプで吸収した電流 *I*₁ が信号成分となっているため、カレントミラー回路で *I*₁ をコピーし、電流源出力を行うことで広帯域な電

流増幅器を構成することができる.詳しい構成や原理,帯域制限については 4.3 節で議 論する.

4.2 オープンループアンプ

オープンループアンプは、オペアンプを用いた負帰還増幅回路と異なり、増幅器の出 力から入力へのフィードバックを行わない.そのため、負帰還にまつわる帯域制限の問 題を解決することができ、広帯域化に向いたアーキテクチャであるとされる.

最も基本的なオープンループアンプは第3章の図 3.2 に示したソース接地回路である が,線形性が悪いという課題があった.そこで本節では,線形性を高めるために増幅器 の内部で完結する局所的な帰還(ローカルなフィードバック)を持つオープンループアン プを検討する.まず線形性の良いオープンループアンプの基本回路であるソースデジェ ネレーションについて述べ,更に線形性の良いフリップトボルテージフォロワ (FVF)構 造を用いた増幅器について述べる.

なお,オープンループアンプは,Gm セルの出力端子に負荷抵抗 R_L を接続した構成 で表すことができる.出力から見込んだインピーダンスが R_L で決まる場合,理想的に はオープンループアンプと Gm セルの線形性は同一となる.解析にあたり,簡単のため 上記の条件を想定し,Gm セルとしてオープンループアンプを解析する.

4.2.1 ソースデジェネレーション

図 4.6(a) に示すソースデジェネレーション構成は最も基本的なオープンループアンプ の一種である [2,3]. この回路は入力トランジスタのソース側に抵抗が挿入されている. V_{inp} > V_{inn} の入力差動電圧が印加されると,図 4.6(a) に示すような差動電流 ΔI が生じ, R_S 及び R_L に流れ込む. この時,入力トランジスタのソース側の電位は,抵抗 R_S に差 動電流が流れ込んだことによって,入力差動電圧に追従するような差動電圧が生じる. またこの差動電流は R_L にも流れ込んでいるため,出力端にも差動電圧が生じ,利得を 得る. この回路はソース側の抵抗 R_S によって,入力トランジスタのゲート・ソース間 電圧を一定に保つようなフィードバックが生じ,トランジスタの動作点が殆ど変化しな いため,線形性が良いとされる.

4.2.1.1 小信号等価回路解析

図 4.6(b) はソースデジェネレーションの小信号等価回路である. この等価回路から, 利得を求める.

$$v_{\rm s}\left(g_{\rm m1} + g_{\rm d1} + \frac{1}{R_{\rm S}}\right) = v_{\rm out}g_{\rm d1} + v_{\rm in}g_{\rm m1}$$
 (4.12)

$$v_{\rm out}\left(g_{\rm d1} + \frac{1}{R_{\rm L}}\right) + v_{\rm s}\frac{1}{R_{\rm S}} = 0$$
 (4.13)

(4.13) 式より,

$$v_s = -v_{\rm out} \left(g_{\rm d1} + \frac{1}{R_{\rm L}}\right) R_{\rm S}.$$
(4.14)

(4.14) 式を (4.12) 式に代入する.

$$-v_{\rm out}\left\{g_{\rm d1} + \left(g_{\rm m1} + g_{\rm d1} + \frac{1}{R_{\rm S}}\right)\left(g_{\rm d1} + \frac{1}{R_{\rm L}}\right)R_{\rm S}\right\} = v_{\rm in}g_{\rm m1}$$
(4.15)

最終的に利得は、次のようになる.

$$A_{\rm V} = \frac{v_{\rm out}}{v_{\rm in}} = -\frac{g_{\rm m1}}{g_{\rm d1} + \left(g_{\rm m1} + g_{\rm d1} + \frac{1}{R_{\rm S}}\right) \left(g_{\rm d1} + \frac{1}{R_{\rm L}}\right) R_{\rm S}}$$
$$\approx \frac{R_{\rm L}}{R_{\rm S}} \frac{1}{1 + \frac{1}{g_{\rm m1}R_{\rm S}}}$$
(4.16)



図 4.6: ソースデジェネレーション

ただし, $g_{m1} \gg g_{d1}, 1/R_L \gg g_{d1}$ として近似した.また, (4.14) 式と (4.16) 式より, v_s は,

$$v_{\rm s} = A_{\rm V} v_{\rm in} \left(g_{\rm d1} + \frac{1}{R_{\rm L}} \right) R_{\rm S} \approx v_{\rm in} \frac{g_{\rm d1} R_{\rm L} + 1}{1 + \frac{1}{g_{\rm m1} R_{\rm S}}}$$

$$\approx v_{\rm in} \frac{1}{1 + \frac{1}{N}}$$
(4.17)

となり, $N = g_{m1}R_S$ が十分に大きい場合, v_{in} に精度よく追従することがわかる. 同様 に, Nが十分に大きい時, (4.16)式の右辺は抵抗の比のみとなり,トランジスタのパラ メータに依存しない利得を得ることができる. $N = g_{m1}R_S$ は,入力トランジスタのソー スに対するフィードバックの強さを決めているため,このような結果が得られる. ただ し R_S を大きくすると, (4.16)式によれば利得が小さくなってしまい, g_{m1} を大きくする には消費電力を増やす必要がある.したがって,線形性は利得及び消費電力との間にト レードオフを持つことになる.

4.2.1.2 歪の解析

続いて、実際にどの程度の線形性が確保できるかを解析する.まず入力電圧は、入力 コモン電圧 $V_{\rm com}$ と差動電圧 $\Delta V_{\rm in} > 0$ を用いて、

$$V_{\rm inp} = \Delta V_{\rm in} + V_{\rm com} \tag{4.18}$$

$$V_{\rm inn} = -\Delta V_{\rm in} + V_{\rm com} \tag{4.19}$$

とする.また,入力トランジスタのソース側の電位は,ある基準電圧 $V_{\rm scom}(\Delta V_{\rm in})$ を用いて,

$$V_{\rm sp} = \Delta I R_{\rm S} + V_{\rm scom} \left(\Delta V_{\rm in} \right) \tag{4.20}$$

$$V_{\rm sn} = -\Delta I R_{\rm S} + V_{\rm scom} \left(-\Delta V_{\rm in} \right) \tag{4.21}$$

と表す. なお、 $V_{\text{scom}}(\Delta V_{\text{in}})$ は差動回路に対して対称な点の電位を表すため偶関数である. $\Delta V_{\text{in}} = 0$ の時の M1,M2 を流れる電流 I_0 は、次のように表される.

$$I_0 = K(V_{\rm com} - V_{\rm th} - V_{\rm scom}(0))^2$$
(4.22)

ここで *K* は定数であり,また簡単のためチャネル長変調効果を無視している. M1,M2 それぞれの電流式は,次のように表される.

$$I_0 + \Delta I = K \left\{ \Delta V_{\rm in} + V_{\rm com} - V_{\rm th} - \Delta I R_{\rm S} - V_{\rm scom} \left(\Delta V_{\rm in} \right) \right\}^2 \tag{4.23}$$

$$I_0 - \Delta I = K \left\{ -\Delta V_{\rm in} + V_{\rm com} - V_{\rm th} + \Delta I R_{\rm S} - V_{\rm scom} \left(-\Delta V_{\rm in} \right) \right\}^2 \tag{4.24}$$

まず, (4.23) 式の両辺から (4.24) 式を引き,

$$\Delta I = 2K \left\{ V_{\rm com} - V_{\rm th} - V_{\rm scom} \left(\Delta V_{\rm in} \right) \right\} \left(\Delta V_{\rm in} - \Delta I R_{\rm S} \right)$$
(4.25)

を得る. また, (4.23) 式を,

$$I_{0} + \Delta I = K \left[\left(\Delta V_{\rm in} - \Delta I R_{\rm S} \right)^{2} + 2 \left(\Delta V_{\rm in} - \Delta I R_{\rm S} \right) \left\{ V_{\rm com} - V_{\rm th} - V_{\rm scom} \left(\Delta V_{\rm in} \right) \right\} + \left\{ V_{\rm com} - V_{\rm th} - V_{\rm scom} \left(\Delta V_{\rm in} \right) \right\}^{2} \right]$$

$$(4.26)$$

と展開すると、右辺第二項は (4.22) 式により ΔI に相当し、また第三項の $V_{\rm scom}(\Delta V_{\rm in}/2)$ は (4.22) 式を用いて消去できる.

$$I_0 = K \left[\left(\Delta V_{\rm in} - \Delta I R_{\rm S} \right)^2 + \frac{\Delta I^2}{4K^2 \left(\Delta V_{\rm in} - \Delta I R_{\rm S} \right)^2} \right]$$
(4.27)

この ΔI と ΔV_{in} の関係式からテイラー展開を用いて ΔI について解くと,次のようになる.

$$\Delta I \approx \frac{g_{\rm m}}{1 + g_{\rm m} R_{\rm S}} \Delta V_{\rm in} - \frac{g_{\rm m}}{2(1 + g_{\rm m} R_{\rm S})^4 V_{\rm eff}^2} \Delta V_{\rm in}^3 \tag{4.28}$$

ただし, $g_{
m m}=2I_0/V_{
m eff}$ である.最後に出力差動電圧 $\Delta V_{
m out}$ は,

$$\Delta V_{\text{out}} = \Delta I R_{\text{L}} \\\approx \frac{g_{\text{m}} R_{\text{L}}}{1 + g_{\text{m}} R_{\text{S}}} \Delta V_{\text{in}} - \frac{g_{\text{m}} R_{\text{L}}}{2(1 + g_{\text{m}} R_{\text{S}})^4 V_{\text{eff}}^2} \Delta V_{\text{in}}^3 \\\approx \frac{R_{\text{L}}}{R_{\text{S}}} \frac{1}{1 + \frac{1}{g_{\text{m}} R_{\text{S}}}} \Delta V_{\text{in}} - \frac{R_{\text{L}}}{R_{\text{S}}} \frac{1}{1 + \frac{1}{g_{\text{m}} R_{\text{S}}}} \frac{1}{2(1 + g_{\text{m}} R_{\text{S}})^3 V_{\text{eff}}^2} \Delta V_{\text{in}}^3$$
(4.29)

となる. ところで, (1.1) 式の定義によれば, 差動回路において $V_{\rm in} = 2\Delta V_{\rm in}, V_{\rm out} = 2\Delta V_{\rm out}$ であるから,

$$V_{\text{out}} \approx \frac{R_{\text{L}}}{R_{\text{S}}} \frac{1}{1 + \frac{1}{g_{\text{m}}R_{\text{S}}}} V_{\text{in}} - \frac{1}{8} \frac{R_{\text{L}}}{R_{\text{S}}} \frac{1}{1 + \frac{1}{g_{\text{m}}R_{\text{S}}}} \frac{1}{(1 + g_{\text{m}}R_{\text{S}})^{3} V_{\text{eff}}^{2}} V_{\text{in}}^{3}$$
(4.30)

となり,一次と三次の係数の比は,

$$\begin{vmatrix} a_3 \\ a_1 \end{vmatrix} = \frac{1}{8(1+g_{\rm m}R_{\rm S})^3 V_{\rm eff}^2} = \frac{1}{8(1+N)^3 V_{\rm eff}^2}$$
(4.31)

となる. ここで $N = g_{\rm m} R_{\rm S}$ である. (4.31) 式によると, N が大きいほど線形性の改善が 図れることがわかる. この結果は (4.16) 式の考察結果とも一致する.

図 4.7 に,ソースデジェネレーション構造を持つ電流増幅器の線形性を示す.シミュ レーション条件は表 4.1 のとおりである.理論計算及びシミュレーション結果は,Nの 上昇に対して線形性が向上する傾向を示す.

項目	設定値	備考		
電源電圧	$1.2\mathrm{V}$			
プロセス	$65 \mathrm{nm} \mathrm{CMOS}$			
$R_{ m S}$	60Ω			
$R_{ m L}$	0Ω	出力端子に到達する電流で調査		
$I_{ m bias}$	_	変数としてスイープ		
雑音帯域	1 GHz	雑音特性の調査で使用		
入力周波数	$90\mathrm{MHz},110\mathrm{MHz}$	IIP3 の測定で使用		

表 4.1: 比較のためのシミュレーション条件



図 4.7: ソースデジェネレーション構造を持つ Gm セルの線形性

4.2.1.3 ノイズ特性

ソースデジェネレーションのノイズソースは、回路を構成する全てのトランジスタと 抵抗である.この内トランジスタで生じるノイズは、図 4.8 に示すゲート電圧換算で、

$$\overline{v_{\rm n}^2} = \frac{4kT\gamma}{g_{\rm m}} \tag{4.32}$$

であり,あるいは電流源で換算すると,

$$\overline{i_{\rm n}^2} = 4kT\gamma g_{\rm m} \tag{4.33}$$

と表される [4]. ここで k はボルツマン定数で $k = 1.38 \times 10^{-23}$ J/K, T は絶対温度 (単位は K) であり、 γ は熱雑音係数を表す.また、 $\overline{v_n^2}$ 及び $\overline{i_n^2}$ の単位はそれぞれ、 V^2/Hz と



(a) 電圧源による表現



(b) 電流源による表現

図 4.8: トランジスタのノイズ



(a) 電圧源による表現



(b) 電流源による表現

図 4.9: 抵抗のノイズ

A²/Hz である.ただし,広帯域増幅器においてフリッカ雑音の影響はオフセットキャン セルの機構で除去されるとして,ここでは熱雑音のみを考慮している.しかしながら, 以下の計算はフリッカ雑音にも適用可能である.同様に抵抗 *R* の雑音は図 4.9 において,

$$\overline{v_{\rm n}^2} = 4kTR \tag{4.34}$$

または,

$$\overline{i_{n}^{2}} = \frac{4kT}{R} \tag{4.35}$$

である.

まず M1,M2 のノイズは、入力差動電圧と同様に増幅されて出力に生じるため、

$$\overline{v_{n,out}^2}\Big|_{M1,M2} = A_v^2 \left(\overline{v_{n,M1}^2} + \overline{v_{n,M2}^2}\right) = 8A_v^2 kT\gamma \frac{1}{g_{m1}}.$$
(4.36)

また, M3, M4の作る雑音電流は, RL に流れ込んで出力電圧を揺らすため,

$$\overline{v_{\rm n,out}^2}\Big|_{\rm M3,M4} = R_{\rm L}^2 \left(\overline{i_{\rm n,M3}^2} + \overline{i_{\rm n,M4}^2}\right) = 8kT\gamma g_{\rm m3}R_{\rm L}^2 \tag{4.37}$$

となる.一方, RLの雑音はそのまま出力に生じるため,

$$\overline{v_{\mathrm{n,out}}^2}\Big|_{2R_{\mathrm{L}}} = 2\overline{v_{\mathrm{n,}R_{\mathrm{L}}}^2} = 8kTR_{\mathrm{L}}.$$
(4.38)

同様に Rs 及び M5,M 6 のトランジスタの出すノイズの影響は,

$$\overline{v_{n,out}^2}\Big|_{2R_S} = \left(\frac{R_L}{1 + \frac{1}{g_{m1}R_S}}\right)^2 \cdot 2\overline{i_{n,R_S}^2} = \left(\frac{R_L}{1 + \frac{1}{g_{m1}R_S}}\right)^2 \cdot 8kT\frac{1}{R_S}$$
(4.39)

$$\overline{v_{n,\text{out}}^2}\Big|_{\text{M5,M6}} = \left(\frac{R_{\text{L}}}{1 + \frac{1}{g_{\text{m1}}R_{\text{S}}}}\right)^2 \left(\overline{i_{n,\text{M5}}^2} + \overline{i_{n,\text{M6}}^2}\right) = \left(\frac{R_{\text{L}}}{1 + \frac{1}{g_{\text{m1}}R_{\text{S}}}}\right)^2 \cdot 8kT\gamma g_{\text{m5}} \quad (4.40)$$

である.結果として出力に生じる全体の雑音は,

$$\overline{v_{n,\text{out}}^2} = \overline{v_{n,\text{out}}^2}\Big|_{\text{M1,M2}} + \overline{v_{n,\text{out}}^2}\Big|_{\text{M3,M4}} + \overline{v_{n,\text{out}}^2}\Big|_{\text{M5,M6}} + \overline{v_{n,\text{out}}^2}\Big|_{2R_{\text{S}}} + \overline{v_{n,\text{out}}^2}\Big|_{2R_{\text{L}}}$$
(4.41)

である.

ただし, 雑音は増幅器自身の利得で増幅されて出力されるため, 利得が大きい回路ほど $\overline{v_{n,out}^2}$ は大きくなってしまい, 比較には不適である.そこで, 出力における雑音を利得で割った入力換算雑音が, 雑音特性の評価によく用いられる.この回路の入力換算雑音は,

$$\overline{v_{n,in}^{2}} = \frac{v_{n,out}^{2}}{A_{v}^{2}} \\
= 8kT \left\{ \gamma \frac{1}{g_{m1}} + \left(\gamma g_{m3} + \frac{1}{R_{L}} \right) R_{S}^{2} \left(1 + \frac{1}{g_{m1}R_{S}} \right)^{2} + \gamma g_{m5}R_{S}^{2} + R_{S} \right\} \\
= \frac{8kT\gamma}{g_{m}} \left[1 + \left\{ \frac{1}{\gamma} + \frac{R_{S}}{\gamma R_{L}} \left(1 + \frac{1}{N} \right)^{2} \right\} N + \left\{ 1 + \left(1 + \frac{1}{N} \right)^{2} \right\} N^{2} \right] \quad (4.42)$$

と表される.ただし,簡単のため $g_{\rm m} = g_{\rm m1} = g_{\rm m3} = g_{\rm m5}$ とし, $N = g_{\rm m}R_{\rm S}$ とした.実際 に全てのトランジスタを流れる定常電流は同じであるため, $V_{\rm eff}$ によって多少値は異な るが,これらのトランスコンダクタンスの間に大きな値の違いは無い.

(4.42) 式は, g_m が大きいほど(回路の消費電力を増やすほど)入力換算雑音が小さく なることを示している.しかしながら,入力換算雑音は N に対して強い相関を持って いるため,線形性を向上させるために N を大きく設計すると,雑音特性は劣化してしま う.このような特性が得られる原因は,例えば g_m を一定として R_s を大きくすると,各 トランジスタからのノイズの量はほとんど変化しないが,差動電圧入力によって生じた 差動電流が減少してしまい,相対的に信号に対して雑音電力が増えたように見えるため と考えられる.したがって,線形性とノイズはトレードオフの関係にあり,特に高い線 形性を得たい場合は設計に気をつける必要がある.



図 4.10: ソースデジェネレーション Gm セルの雑音特性



図 4.11: オープンループアンプの SNDR 計算モデル

図 4.10 に,ソースデジェネレーション構造を持つ Gm セルの雑音特性を示す.理論 計算とシミュレーション結果は非常に近い傾向を示しており, *N* = 1 付近を境に雑音が 大きくなっていることが確認できる.

4.2.1.4 最大 SNDR

図 4.11 のような回路モデルにおいて,ソースデジェネレーションを用いた場合の最大 SNDR を求める. (1.22) 式を再掲すると,

$$\mathrm{SNDR}_{\mathrm{peak}} = -1.01 - \frac{20}{3} \log \left(\left| \frac{a_3}{a_1} \right| \cdot \overline{v_{\mathrm{n,in}}^2} f_{\mathrm{BW}} \right) [\mathrm{dB}]$$
(4.43)

であるから, $|a_3/a_1|$ と $\overline{v_{n,in}^2}$ の積を求めれば良い.

$$\left|\frac{a_{3}}{a_{1}} \cdot \overline{v_{n,in}^{2}}\right| = \frac{1}{8(1+N)^{3}V_{eff}^{2}} \cdot \frac{8kT\gamma}{g_{m}} \left[1 + \frac{N}{\gamma} + \left\{1 + \left(1 + \frac{1}{N}\right)^{2}\right\}N^{2}\right]$$
$$= \frac{kT\gamma}{(1+N)^{3}V_{eff}I_{bias}} \left\{1 + \left(1 + \frac{1}{2\gamma}\right)N + N^{2}\right\}$$
(4.44)

したがって、SNDRの最大値は次のように求まる.

$$SNDR_{peak} = -1.01 - \frac{20}{3} \log \left[\frac{kT\gamma f_{BW}}{(1+N)^3 V_{eff} I_{bias}} \left\{ 1 + \left(1 + \frac{1}{2\gamma} \right) N + N^2 \right\} \right]$$
$$\approx -1.01 - \frac{20}{3} \log \left(\frac{kT\gamma f_{BW}}{NV_{eff} I_{bias}} \right) [dB]$$
(4.45)

ただし, $N \gg 1$ として近似を行った.Nに含まれる I_{bias} を考慮すると,消費電力に対して SNDR はおよそ 13.3 dB/dec (2/3 乗)で改善されるという結果が得られる.また,N だけ大きくした場合でも 1/3 乗の改善効果が見込める.ただし,この近似が成立するためには $N \gg 1$ が必要であり,非常に大きな I_{bias} を必要とする.

なお、この SNDR_{peak} が得られるときの入力振幅は、(1.20) 式より、

$$V_{\rm a} = 2^{\frac{5}{6}} \left| \frac{a_1}{a_3} \right|^{\frac{1}{3}} \left(\overline{v_{\rm n,in}^2} f_{\rm BW} \right)^{\frac{1}{6}} \\ \approx \left\{ 16(1+N)^3 V_{\rm eff}^2 \right\}^{\frac{1}{3}} \cdot \left(\frac{16kT\gamma f_{\rm BW}}{g_{\rm m}} N^2 \right)^{\frac{1}{6}} \\ \approx 4 \left(kT\gamma R_{\rm S} f_{\rm BW} V_{\rm eff}^4 \cdot N^7 \right)^{\frac{1}{6}}$$
(4.46)

となる. すなわち, SNDR 改善のために *N* や *I*_{bias} を大きくすると, SNDR のピークを 得るために大きな振幅を入力しなければならない. これは *N* が上昇すると, 雑音特性 の劣化と線形性の改善が同時に生じるためと考えられる.

図 4.12 に,ソースデジェネレーション構造を持つ電流増幅器の SNDR の特性を示 す.理論計算とシミュレーション結果の誤差は非常に小さく,やはり N が上昇するほ ど SNDR_{peak} は高くなる傾向にある.

4.2.2 局所的な負帰還に利得を有する増幅器

更に高い線形性を必要とする場合は,図 4.13 に示す FVF 構造を持つ高線形 Gm セル [5,6] を用いた増幅器がよく用いられる.この回路もソースデジェネレーションと同



図 4.12: ソースデジェネレーション構造を持つ Gm セルの SNDR

様に、入力トランジスタのソース側に抵抗が挿入されており、また入力トランジスタを 囲うように入力トランジスタのドレインと NMOS 側電流源のトランジスタのゲートが 接続されている. M11~M14 は電流源であり、M7,M8 などは出力抵抗を稼ぐためのカス コードトランジスタである.また図中の *M* は M3 と M5, M4 と M6 のミラー比を表し ている.入力トランジスタ M1 及び M2 は、M13 及び M14 の電流源によってそれぞれ 一定電流でバイアスされている.そのため、入力された差動電圧に対して入力トランジ スタのソースの電位が追従し、V_{GS}を一定に保つようなフィードバックがかかる.その 結果、抵抗 *R*_Sの両端に、入力差動電圧とほぼ同等の差動電圧が生じ、差動電流が M3, *R*_S、M4 に流れる.この差動電流は、M3 と M5、M4 と M6 それぞれのカレントミラー によって出力側に移動し、抵抗 *R*_L に流れこむことによって利得を得る.

この回路が単なるソースデジェネレーションと比較して高い線形性が得られる理由に, 図 4.14 に示すような差動電流が流れるパスの違いが挙げられる.ソースデジェネレー ションでは,入力のトランジスタに差動電流が流れていたため,その差動電流によって トランジスタの動作点が変わってしまい(すなわち,V_{GS}が変化し),入力トランジスタ のソース側の差動電位が入力差動電圧に一致しなくなり,線形性を劣化させてしまって いた.一方,FVF 構造では差動電流が入力トランジスタには流れないため,理想的に は常に一定のV_{GS}を保ちながら動作することができる.そのため,入力トランジスタの ソース側に生じる差動電位の追従性が良く,入力差動電圧に比例した差動電流が得られ


図 4.13: FVF 構造を持つ高線形 Gm セルを用いた増幅器



図 4.14: 差動電流が流れるパス(青線)の比較

る.また,カレントミラーは M3 や M4 の二乗則によって生じる歪を M5,M6 でキャン セルしているため,出力振幅の飽和が無い限り入力側の回路で線形性が決まる.以上の 理由から,FVF 構造は高い線形性を有す.このような特性改善は,ループ内に挿入され ているトランジスタの固有利得によって生じた帰還利得の上昇が大きく影響している.

4.2.2.1 帯域

■小信号等価回路解析 この回路の片側小信号等価回路は図 4.15 のようになる.ここで PMOS は理想電流源として小信号等価回路上で省略した.図中の R_S は,実際の回路で



図 4.15: FVF 構造を持つ増幅器の小信号等価回路

は並列に r_{d3} が接続されるが、本解析では R_S に含まれているとして扱う. C_X はカレントミラーノードの寄生容量を表しており、 C_{in1} は M1 の C_{GS} を主とする寄生容量を示している.

ソースデジェネレーションと同様に,小信号等価回路から利得を求める.まず各ノー ドでキルヒホッフの法則を用いて式を立てる.

$$(G_{\rm S} + g_{\rm m1} + g_{\rm d1} + sC_{\rm in1})v_{\rm s} + g_{\rm m3}v_{\rm x} = g_{\rm m1}v_{\rm in} + g_{\rm d1}v_{\rm x}$$
(4.47)

$$(g_{d1} + sC_X)v_x + g_{m1}v_{in} = (g_{m1} + g_{d1})v_s$$
(4.48)

$$v_{\rm out} \approx -g_{\rm m5} R_{\rm L} v_{\rm x} \tag{4.49}$$

(4.48) 式を用いて (4.47) 式を変形すると,

$$v_{\rm s} = -\frac{g_{\rm m3} + sC_{\rm X}}{G_{\rm S} + sC_{\rm in1}} v_{\rm x}$$

$$v_{\rm x} = \frac{g_{\rm m1}}{g_{\rm m3} - g_{\rm d1} - (G_{\rm S} + g_{\rm m1} + g_{\rm d1} + sC_{\rm in1}) \frac{g_{\rm m3} + sC_{\rm X}}{G_{\rm S} + sC_{\rm in1}}} v_{\rm in}$$

$$\approx -\frac{G_{\rm S} + sC_{\rm in1}}{g_{\rm m3} + \frac{g_{\rm m3}}{G_{\rm i1}} \left(1 + \frac{1}{g_{\rm m3}R_{\rm S}}\right) + s\left\{\frac{C_{\rm in1}}{G_{\rm i1}} + C_{\rm X}\left(1 + \frac{1}{g_{\rm m1}R_{\rm s}}\right)\right\} + s^2 \frac{C_{\rm in1}C_{\rm x}}{g_{\rm m1}}} v_{\rm in}$$

$$(4.50)$$

となる. ただし, $g_m \gg g_d$ として近似を行った. ここで G_{i1} は M1 の固有利得を表しており, $G_{i1} = g_{m1}r_{d1}$ である. (4.51) 式の分母の極は,

$$\omega_{\rm p1}, \omega_{\rm p2} \approx \frac{g_{\rm m}}{2C_{\rm in1}} \left(1 + \frac{1}{N} \right) \left\{ 1 \pm \sqrt{1 - \frac{4C_{\rm in1}}{C_{\rm X}} \left(1 + \frac{1}{N} \right)^{-2}} \right\}$$
(4.52)

と表される.ただし、簡単のため $g_{m1} = g_{m3} = g_m$ とした.また、 $N = g_m R_S$ である. v_{out} と v_{in} の関係式は、(4.49) 式、(4.51) 式及び (4.52) 式により、次のようになる.

$$v_{\rm out} \approx \frac{g_{\rm m5}R_{\rm L}}{g_{\rm m3}R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{1}{N}\right)} \frac{1 + sC_{\rm in1}R_{\rm S}}{\left(1 + \frac{s}{\omega_{\rm p1}}\right) \left(1 + \frac{s}{\omega_{\rm p2}}\right)} v_{\rm in} \tag{4.53}$$

ここで M3 と M5 はミラー比 M のカレントミラー回路であるから,

$$g_{\rm m5} = M g_{\rm m3} \tag{4.54}$$

と表すことできる. 最終的な電圧利得は,

$$A_{\rm V} \approx M \frac{R_{\rm L}}{R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{1}{N}\right)} \frac{1 + sC_{\rm in1}R_{\rm S}}{\left(1 + \frac{s}{\omega_{\rm p1}}\right) \left(1 + \frac{s}{\omega_{\rm p2}}\right)}$$
(4.55)

であり、固有利得 G_{i1} の利得によってトランジスタパラメータの影響が抑制され、電圧 利得はミラー比 M と抵抗比によって制御される.ただし、実際は出力端子に負荷容量 $C_{\rm L}$ が付くため、出力端子側で最終的な帯域が定まる点に注意が必要である.またこの 時 $v_{\rm s}$ は、(4.50)式により、

$$v_{\rm s} \approx \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{1}{g_{\rm m3} R_{\rm S}}\right)} \frac{1 + s \frac{C_{\rm X}}{g_{\rm m3}}}{\left(1 + \frac{s}{\omega_{\rm p1}}\right) \left(1 + \frac{s}{\omega_{\rm p2}}\right)} v_{\rm in}$$
(4.56)

と表される.ここでs=0を代入すると,

$$v_{\rm s}|_{s=0} = \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{1}{g_{\rm m3}R_{\rm S}}\right)} v_{\rm in}$$
(4.57)

となり, N が十分大きい状況下で $v_{s} \approx v_{in}$ となることが期待される.ソースデジェネレーションの場合 ((4.17) 式) と比較すると,やはり M1 の固有利得分だけフィードバックの利得が改善されていることがわかる.

■一巡伝達関数 続いて,一巡伝達関数について調べる.図4.16は FVF 構造のループ 部分を取り出した等価回路である.キルヒホッフの電流則により,次の二式を得る.

$$(G_{\rm S} + g_{\rm m1} + g_{\rm d1} + sC_{\rm in1})v_{\rm s} + g_{\rm m3}v_{\rm in} = g_{\rm d1}v_{\rm out}$$

$$(4.58)$$

$$(g_{d1} + sC_X)v_{out} = (g_{m1} + g_{d1})v_s$$
(4.59)



図 4.16: FVF 構造の開ループ等価回路

v_sを消去して,次の式を得る.

$$\left\{g_{d1} - (G_{S} + g_{m1} + g_{d1} + sC_{in1})\frac{g_{d1} + sC_{X}}{g_{m1} + g_{d1}}\right\}v_{out} = g_{m3}v_{in}$$
(4.60)

したがって、一巡伝達関数 H_{open} は次のように求まる.

$$H_{\rm open}(s) \approx \frac{1}{\frac{1}{G_{\rm i1}g_{\rm m3}R_{\rm S}} + s\left\{\frac{C_{\rm in1}}{G_{\rm i1}g_{\rm m3}} + \frac{C_{\rm X}}{g_{\rm m3}}\left(1 + \frac{1}{g_{\rm m1}R_{\rm S}}\right)\right\} + s^2 \frac{C_{\rm in1}C_{\rm X}}{g_{\rm m1}g_{\rm m3}}}{\frac{G_{\rm i1}N}{\left(1 + \frac{s}{\omega_{\rm o,p1}}\right)\left(1 + \frac{s}{\omega_{\rm o,p2}}\right)}}$$
(4.61)

 $\omega_{o,p1}$ 及び $\omega_{o,p2}$ は次のようになる.

$$\omega_{\text{o,p1}}, \omega_{\text{o,p2}} \approx \frac{g_{\text{m}}}{2C_{\text{in1}}} \left\{ 1 + \frac{1}{N} \pm \sqrt{\left(1 + \frac{1}{N}\right)^2 - \frac{4}{G_{\text{i1}}N} \frac{C_{\text{in1}}}{C_{\text{X}}}} \right\}$$
$$\approx \frac{g_{\text{m}}}{2C_{\text{in1}}} \left(1 + \frac{1}{N}\right) \left[1 \pm \left\{ 1 - \frac{2}{G_{\text{i1}}N} \frac{C_{\text{in1}}}{C_{\text{X}}} \left(1 + \frac{1}{N}\right)^{-2} \right\} \right]$$
$$\approx \frac{g_{\text{m}}}{G_{\text{i1}}NC_{\text{X}}} \frac{1}{1 + 1/N}, \frac{g_{\text{m}}}{C_{\text{in1}}} \left(1 + \frac{1}{N}\right)$$
(4.62)

■最大帯域 実際にこの FVF 構造で利用できる最大の帯域について調べる.

各帯域を制限する寄生容量 C_{in1} 及び C_X は、トランジスタの C_{GS} によって定まる. C_{GS} はトランジスタのゲートサイズに比例するため、 V_{eff} を固定して設計する場合、ある係数を用いて、

$$C_{\rm in1} = K_{\rm C,M1} \cdot I_{\rm bias} \tag{4.63}$$

$$C_{\rm X} = (M+1) \cdot C_{\rm GS3} = (1+M) K_{\rm C,M3} \cdot I_{\rm bias}$$
(4.64)

と表すことができる.一方,

$$g_{\rm m} = \frac{2I_{\rm bias}}{V_{\rm eff}} \tag{4.65}$$

である.これらのパラメータを用いて整理する.

オープンループアンプとしての電圧利得の帯域を制限する FVF 構造内部の極は, (4.52) 式で表される. これらの極は $N \approx C_X$ などに依存して変化する. 判別式 D は,

$$D = 1 - \frac{4C_{\text{in1}}}{C_{\text{X}}} \frac{1}{\left(1 + \frac{1}{N}\right)^2}$$
(4.66)

であり,

$$N = \frac{1}{2\sqrt{\frac{C_{\rm in1}}{C_{\rm X}} - 1}}$$
(4.67)

を境に、小さい N に対しては実数解、大きい N に対しては虚数解となる.ただし、

$$C_{\rm X} \ge 4C_{\rm in1} \tag{4.68}$$

の場合は常に実数の解を持つ.この条件はミラー比が大きい状況を示しており、 C_X と C_{in1} の作るそれぞれの極が遠く離れる事によって実数解のみとなる.

まず N ≪ 1 を仮定すると, (4.51) 式は次のように近似できる.

$$\omega_{p1}, \omega_{p2} \approx \frac{g_{\rm m}}{2C_{\rm in1}} \left(1 + \frac{1}{N} \right) \left[1 \pm \left\{ 1 - \frac{2C_{\rm in1}}{C_{\rm X}} \left(\frac{1}{1 + 1/N} \right)^2 \right\} \right]$$

$$\approx \frac{g_{\rm m}}{C_{\rm X}} \left(1 + \frac{1}{1 + 1/N} \right), \frac{g_{\rm m}}{C_{\rm in1}} \left(1 + \frac{1}{N} \right)$$

$$= \frac{2}{(M+1) K_{\rm C,M3} V_{\rm eff}} \left(1 + \frac{1}{1 + 1/N} \right), \frac{2}{K_{\rm C,M1} V_{\rm eff}} \left(1 + \frac{1}{N} \right)$$
(4.69)

このように一定の N に対して, ω_{p1} 及び ω_{p2} は I_{bias} に依存しない一定の値を取る. 重解 は D = 0 より,

$$\omega_{\rm p1} = \omega_{\rm p2} = \frac{g_{\rm m}}{\sqrt{C_{\rm in1}C_{\rm X}}} = \frac{2}{\sqrt{(M+1)}\sqrt{K_{\rm C,M1}K_{\rm C,M3}}V_{\rm eff}}$$
(4.70)

となる.一方,虚数解は,

$$\omega_{\rm p1}, \omega_{\rm p2} = \frac{g_{\rm m}}{2C_{\rm in1}} \left(1 + \frac{1}{N}\right) \left\{ 1 \pm j \sqrt{\frac{4C_{\rm in1}}{C_{\rm X}}} \left(1 + \frac{1}{N}\right)^{-2} - 1 \right\}$$
(4.71)



図 4.17: FVF 構造の -3 dB 帯域

より,

$$|\omega_{\rm p1}| = |\omega_{\rm p2}| = \frac{g_{\rm m}}{\sqrt{C_{\rm in1}C_{\rm X}}} = \frac{2}{\sqrt{(M+1)}\sqrt{K_{\rm C,M1}K_{\rm C,M3}}V_{\rm eff}}$$
(4.72)

となり, *N* や *I*_{bias} に依存せず, 重解と同一半径の円上を回る. またいずれのケースにおいても, ドミナントポールはミラー比 *M* によって劣化する.

ただし,実際の -3 dB帯域はより複雑である.図 4.17 に FVF 構造を用いて Gm セル を設計した際の -3 dB帯域を示す.ただし,出力端子は短絡し,出力端子に到達する信 号電流に対して帯域を調べた.ミラー比は M = 1,3の二種類に設定した.N を変数と して見たとき,いずれのケースにおいても -3 dB帯域は単調増加となる.実際の伝達関 数には二つのポールの他に,(4.55)式の分子に存在するゼロ点が含まれている.このゼ ロ点は $R_{\rm S}$ に反比例するため,大きな N に対して低周波側に移動することになる.この ゼロ点の影響は非常に強く,最終的な帯域は 10 GHz 程度のオーダーとなる.実際は出 力に接続される負荷容量 $C_{\rm L}$ と出力抵抗 $R_{\rm L}$ によって作られる極がドミナントポールと なるが,少なくとも数 GHz の使用用途では FVF 構造内部の帯域制限は問題にならない と考えられる.

続いて閉ループの安定性を調べる. (4.61) 式及び (4.62) 式により, FVF 構造のループ 部分に関するラジアン表示の GB 積は次のように計算される.

$$H_{\rm open}(0) \cdot \omega_{\rm o,p1} = \frac{g_{\rm m}}{C_{\rm X}} \frac{1}{1+1/N} = \frac{2}{(M+1)K_{\rm C,M3}V_{\rm eff}} \frac{1}{1+1/N}$$
(4.73)

第二ポールとユニティゲイン周波数の比率を取ると,

$$\frac{\omega_{\rm o,p2}}{H_{\rm open}(0) \cdot \omega_{\rm o,p1}} \approx \frac{C_{\rm X}}{C_{\rm in1}} \left(1 + \frac{1}{N}\right)^2 = (M+1) \frac{K_{\rm C,M3}}{K_{\rm C,M1}} \left(1 + \frac{1}{N}\right)^2 \tag{4.74}$$

となる.この時の位相余裕は,

$$PM \approx 180^{\circ} - 90^{\circ} - \tan^{-1} \left(\frac{H_{\text{open}}(0) \cdot \omega_{\text{o,p1}}}{\omega_{\text{p2}}} \right)$$
$$= 90^{\circ} - \tan^{-1} \frac{C_{\text{in1}}}{C_{\text{X}}} \left(\frac{N}{N+1} \right)^2$$
(4.75)

となる. この位相余裕は N に対しても感度を持ち, N が大きくなるほど位相余裕は劣化する. そこで最も厳しい条件として N $\gg 1$ を仮定し, $PM \ge 60^{\circ}$ となる条件を求めると,

$$M \ge \sqrt{3} \cdot \frac{K_{\rm C,M1}}{K_{\rm C,M3}} - 1$$
 (4.76)

となる. $K_{C,M1} = K_{C,M3}$ と仮定すると, M = 1 においても十分な位相余裕が確保されている. したがって殆どの場合において, FVF 構造では位相補償を必要としない. この結果から, 電圧増幅器としての電圧利得の帯域は (4.55) 式で制限され,線形性を担保する利得の帯域は (4.61) 式で決まると考えて良い.

図 4.18 に, N を変化させた時の $H_{open}(s)$ の変化を示す. ミラー比は M = 1,3 の二種 類でシミュレーションを行った. FVF 構造の負帰還は, 10 GHz を越える GB 積に対し ても 90° を上回る位相余裕を持つ. 例えば N = 1, M = 1 のとき, 20 dB もの負帰還利 得が 1 GHz に渡り維持されるため,広帯域な用途においても安定した性能を維持するこ とができる. グローバルなフィードバックを持つ負帰還増幅回路の場合は 2 GHz 程度の GB 積に制限されていたため,実に 5 倍の帯域改善となる. ただし,ミラー比の増加は GB 積および -3 dB 帯域を劣化させるため,使用する用途に応じて設計を行わなければ ならない.

4.2.2.2 歪の解析

続いて,この回路の歪について詳しく解析する.FVF 構成はソースデジェネレーショ ンと異なり,入力のトランジスタを流れる電流が常に一定である.その結果,入力トラ ンジスタのゲート・ソース間電圧が一定となるが,実際はチャネル長変調効果によって



図 4.18: H_{open} と N の関係

ゲート・ソース間電圧は変動する. 図 4.19 は $V_{inp} > V_{inn}$ の入力が入った場合の,各点の電位変動を表している. M1, M2の有効ゲート電圧の変動をそれぞれ ΔV_{eff1} , ΔV_{eff2} とし,ドレイン・ソース間電圧の変動を ΔV_{DS1} , ΔV_{DS2} とした時,それぞれの電流式は次のようになる.

$$I_{0} = K (V_{\text{eff}} + \Delta V_{\text{eff}1})^{2} \left(1 + \frac{V_{\text{DS}} + \Delta V_{\text{DS}1}}{V_{\text{A}}} \right)$$
(4.77)

$$I_{0} = K (V_{\text{eff}} + \Delta V_{\text{eff2}})^{2} \left(1 + \frac{V_{\text{DS}} + \Delta V_{\text{DS2}}}{V_{\text{A}}} \right)$$
(4.78)



図 4.19: FVF 構造を持つ増幅器の各ノードの電位変動

ここで $V_{\text{eff}}, V_{\text{DS}}$ は差動入力が0の時の有効ゲート電圧とドレイン・ソース間電圧を示す. (4.77) 式及び (4.78) 式を $\Delta V_{\text{eff}}, \Delta V_{\text{eff}}$ について解くと,

$$\Delta V_{\rm eff} = -V_{\rm eff} \left(1 - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS}}{V_{\rm A} + V_{\rm DS}}}} \right)$$
(4.79)

となり, (V_A + V_{DS})が大きい(チャネル長変調効果が小さい)ほど,有効ゲート電圧の 変動が抑制されることがわかる.チャネル長変調効果を抑制する方法として,チャネル 長 *L* を長くして V_A を大きくする必要がある.しかしながらこの方法は素子面積の増加 や周波数特性の劣化を招くため,改善のアプローチとして望ましくない.ここで入力電 圧を次のように定義する.

$$V_{\rm inp} = \Delta V_{\rm in} + V_{\rm com} \tag{4.80}$$

$$V_{\rm inn} = -\Delta V_{\rm in} + V_{\rm com} \tag{4.81}$$

また,入力トランジスタのソース側の電位変動は,ある偶関数 ΔV_s(ΔI) を用いて,

$$V_{\rm sp} = \Delta I R_{\rm S} + \Delta V_{\rm s} \left(\Delta I \right) \tag{4.82}$$

$$V_{\rm sn} = -\Delta I R_{\rm S} + \Delta V_{\rm s} \left(-\Delta I \right) \tag{4.83}$$

とする. この時, 差動電流 ΔI は (4.79) 式により,

$$\Delta I = \frac{V_{\rm sp} - V_{\rm sn}}{2R_{\rm S}} = \frac{(\Delta V_{\rm in} - \Delta V_{\rm eff1}) - (-\Delta V_{\rm in} - \Delta V_{\rm eff2})}{2R_{\rm S}}$$
$$= \frac{\Delta V_{\rm in}}{R_{\rm S}} - \frac{V_{\rm eff}}{2R_{\rm S}} \left(\frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS1}}{V_{\rm A} + V_{\rm DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS2}}{V_{\rm A} + V_{\rm DS}}}} \right)$$
(4.84)

と表される. また $\Delta V_{
m s}(\Delta I)$ は,

$$\Delta V_{\rm s}(\Delta I) = \frac{V_{\rm sp} + V_{\rm sn}}{2} = \frac{(\Delta V_{\rm in} - \Delta V_{\rm eff1}) + (-\Delta V_{\rm in} - \Delta V_{\rm eff2})}{2}$$
$$= \frac{V_{\rm eff}}{2} \left(2 - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS1}}{V_{\rm A} + V_{\rm DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS2}}{V_{\rm A} + V_{\rm DS}}}} \right).$$
(4.85)

(4.84) 式の $\Delta V_{\text{DS1}}, \Delta V_{\text{DS2}}$ を $\Delta V_{\text{in}}, \Delta I$ で置き換えて、 ΔI と ΔV_{in} の関係式を導出する. まず、M3 及び M4 を流れる電流は、簡単のためチャネル長変調効果を無視して、

$$I_0 - \Delta I = K (V_{\text{eff}} + \Delta V_{\text{D1}})^2$$
 (4.86)

$$I_0 + \Delta I = K(V_{\text{eff}} + \Delta V_{\text{D2}})^2$$
 (4.87)

と表す. ここで ΔV_{D1} , ΔV_{D2} はそれぞれ, V_{dp} , V_{dn} の平衡状態からの変化量を示している. (4.86) 式及び (4.87) 式より, ΔV_{D1} , ΔV_{D2} をそれぞれ ΔI の関数として記述する.

$$\Delta V_{\rm D1} = \sqrt{\frac{I_0}{K}} \left(\sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) = V_{\rm eff} \left(\sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) \tag{4.88}$$

$$\Delta V_{\rm D2} = \sqrt{\frac{I_0}{K}} \left(\sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) = V_{\rm eff} \left(\sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) \tag{4.89}$$

(4.88)式により、 $\Delta V_{\rm DS}$ は次のように表される.

$$\Delta V_{\rm DS1} = \Delta V_{\rm D1} - \Delta I R_{\rm S} - \Delta V_{\rm s}(\Delta I)$$
$$= V_{\rm eff} \left(\sqrt{1 - \frac{\Delta I}{I_0}} - 1 \right) - \Delta I R_{\rm S} - \Delta V_{\rm s}(\Delta I)$$
(4.90)

更にテイラー展開を用いて右辺を三次の項まで展開すると,

$$\Delta V_{\rm DS1} \approx V_{\rm eff} \left(-\frac{\Delta I}{2I_0} - \frac{\Delta I^2}{8I_0^2} - \frac{\Delta I^3}{16I_0^3} \right) - \Delta I R_{\rm S} - \Delta V_{\rm s}(\Delta I)$$
(4.91)

となる. 同様に $\Delta V_{\rm DS2}$ について,

$$\Delta V_{\rm DS2} = \Delta V_{\rm D2} + \Delta I R_{\rm S} - \Delta V_{\rm s}(-\Delta I)$$

= $V_{\rm eff} \left(\sqrt{1 + \frac{\Delta I}{I_0}} - 1 \right) + \Delta I R_{\rm S} - \Delta V_{\rm s}(\Delta I)$
 $\approx V_{\rm eff} \left(\frac{\Delta I}{2I_0} - \frac{\Delta I^2}{8I_0^2} + \frac{\Delta I^3}{16I_0^3} \right) + \Delta I R_{\rm S} - \Delta V_{\rm s}(\Delta I).$ (4.92)

(4.85) 式の右辺の第二項及び第三項についてテイラー展開し, (4.91) 式及び (4.92) 式を 代入し, 三次の項まで計算すると,

$$2 - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS1}}{V_{\rm A} + V_{\rm DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS2}}{V_{\rm A} + V_{\rm DS}}}}$$

$$\approx 2 - \left(1 - \frac{1}{2(V_{\rm A} + V_{\rm DS})} \Delta V_{\rm DS1} + \frac{3}{8(V_{\rm A} + V_{\rm DS})^2} \Delta V_{\rm DS1}^2 - \frac{5}{16(V_{\rm A} + V_{\rm DS})^3} \Delta V_{\rm DS1}^3\right)$$

$$- \left(1 - \frac{1}{2(V_{\rm A} + V_{\rm DS})} \Delta V_{\rm DS2} + \frac{3}{8(V_{\rm A} + V_{\rm DS})^2} \Delta V_{\rm DS2}^2 - \frac{5}{16(V_{\rm A} + V_{\rm DS})^3} \Delta V_{\rm DS2}^3\right)$$

$$= \frac{\Delta V_{\rm DS1} + \Delta V_{\rm DS2}}{2(V_{\rm A} + V_{\rm DS})} - \frac{3(\Delta V_{\rm DS1}^2 + \Delta V_{\rm DS2}^2)}{8(V_{\rm A} + V_{\rm DS})^2} + \frac{5(\Delta V_{\rm DS1}^3 + \Delta V_{\rm DS2}^3)}{16(V_{\rm A} + V_{\rm DS})^3}$$

$$\approx - \left\{\frac{V_{\rm eff}}{8(V_{\rm A} + V_{\rm DS})} + \frac{3V_{\rm eff}^2}{16(V_{\rm A} + V_{\rm DS})^2} \left(1 + \frac{2I_0R_{\rm S}}{V_{\rm eff}}\right)^2\right\} \frac{\Delta I^2}{I_0^2} - \frac{\Delta V_{\rm s}(\Delta I)}{V_{\rm A} + V_{\rm DS}} \tag{4.93}$$

となる. したがって, $\Delta V_{
m s}(\Delta I)$ は,

$$\Delta V_{\rm s}(\Delta I) \approx -\frac{V_{\rm eff}}{2\left(1 + \frac{V_{\rm eff}}{2(V_{\rm A} + V_{\rm DS})}\right)} \left\{\frac{V_{\rm eff}}{8(V_{\rm A} + V_{\rm DS})} + \frac{3V_{\rm eff}^2}{16(V_{\rm A} + V_{\rm DS})^2} \left(1 + \frac{2I_0R_{\rm S}}{V_{\rm eff}}\right)^2\right\} \frac{\Delta I^2}{I_0^2} \\ \approx -\frac{V_{\rm eff}^2}{16(V_{\rm A} + V_{\rm DS})} \frac{\Delta I^2}{I_0^2}$$
(4.94)

と近似できる.ただし、 $(V_{\rm A} + V_{\rm DS}) > V_{\rm eff}$ とした. (4.94)式の結果より、(4.91)式及び (4.92)式の ΔI^2 の項に着目すると、

$$\frac{V_{\text{eff}}}{8} \frac{\Delta I^2}{I_0^2} \gg \frac{V_{\text{eff}}^2}{16(V_{\text{A}} + V_{\text{DS}})} \frac{\Delta I^2}{I_0^2} \approx |V_{\text{s}}(\Delta I)|$$

$$(4.95)$$

であり、ΔV_s(ΔI)の影響は殆ど無視できる. (4.84) 式についても同様に右辺の第二項に

ついてテイラー展開し, (4.91) 式, (4.92) 式を代入し, 三次の項まで計算すると,

$$\frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS1}}{V_{\rm A} + V_{\rm DS}}}} - \frac{1}{\sqrt{1 + \frac{\Delta V_{\rm DS2}}{V_{\rm A} + V_{\rm DS}}}} \\
\approx \left(1 - \frac{1}{2(V_{\rm A} + V_{\rm DS})} \Delta V_{\rm DS1} + \frac{3}{8(V_{\rm A} + V_{\rm DS})^2} \Delta V_{\rm DS1}^2 - \frac{5}{16(V_{\rm A} + V_{\rm DS})^3} \Delta V_{\rm DS1}^3\right) \\
- \left(1 - \frac{1}{2(V_{\rm A} + V_{\rm DS})} \Delta V_{\rm DS2} + \frac{3}{8(V_{\rm A} + V_{\rm DS})^2} \Delta V_{\rm DS2}^2 - \frac{5}{16(V_{\rm A} + V_{\rm DS})^3} \Delta V_{\rm DS2}^3\right) \\
= -\frac{\Delta V_{\rm DS1} - \Delta V_{\rm DS2}}{2(V_{\rm A} + V_{\rm DS})} + \frac{3(\Delta V_{\rm DS1}^2 - \Delta V_{\rm DS2}^2)}{8(V_{\rm A} + V_{\rm DS})^2} - \frac{5(\Delta V_{\rm DS1}^3 - \Delta V_{\rm DS2}^3)}{16(V_{\rm A} + V_{\rm DS})^3} \\
\approx \frac{V_{\rm eff}}{V_{\rm A} + V_{\rm DS}} \left(\frac{\Delta IR_{\rm S}}{V_{\rm eff}} + \frac{\Delta I}{2I_0} + \frac{\Delta I^3}{16I_0^3}\right) + \left(\frac{V_{\rm eff}}{V_{\rm A} + V_{\rm DS}}\right)^2 \left(\frac{3}{32}\frac{\Delta I^3}{I_0^3} + \frac{3R_{\rm S}}{16V_{\rm eff}}\frac{\Delta I^3}{I_0^2}\right) \\
\approx \frac{V_{\rm eff}}{2(V_{\rm A} + V_{\rm DS})} \left\{\left(\frac{2I_0R_{\rm S}}{V_{\rm eff}} + 1\right)\frac{\Delta I}{I_0} + \frac{1}{8}\left(1 + \frac{3V_{\rm eff}}{2(V_{\rm A} + V_{\rm DS})}\frac{2I_0R_{\rm S}}{V_{\rm eff}}\right)\frac{\Delta I^3}{I_0^3}\right\}$$
(4.96)

となる.これにより, (4.84) 式は,

$$(\beta_1 + 1)\Delta I + \beta_3 \Delta I^3 = \frac{\Delta V_{\rm in}}{R_{\rm S}}$$
(4.97)

と変形される. ただし,

$$\beta_{1} = \frac{V_{\text{eff}}}{2(V_{\text{A}} + V_{\text{DS}})} \left(1 + \frac{V_{\text{eff}}}{2I_{0}R_{\text{S}}}\right)$$
(4.98)

$$\beta_3 = \frac{V_{\text{eff}}}{2(V_{\text{A}} + V_{\text{DS}})} \left(\frac{V_{\text{eff}}}{2I_0 R_{\text{S}}} + \frac{3V_{\text{eff}}}{2(V_{\text{A}} + V_{\text{DS}})}\right) \frac{1}{8I_0^2}$$
(4.99)

である. また $g_{\rm m} = 2I_0/V_{\rm eff}, r_{\rm d} = (V_{\rm A}+V_{\rm DS})/I_0$ とおくと,次のように表すことも出来る.

$$\beta_1 = \frac{1}{g_{\rm m} r_{\rm d}} \left(1 + \frac{1}{g_{\rm m} R_{\rm S}} \right) \tag{4.100}$$

$$\beta_3 = \frac{1}{g_{\rm m} r_{\rm d}} \left(\frac{1}{g_{\rm m} R_{\rm S}} + \frac{3}{g_{\rm m} r_{\rm d}} \right) \frac{1}{2g_{\rm m}^2 V_{\rm eff}^2} \tag{4.101}$$

(4.97) 式について ΔI を ΔV_{in} の関数として考え, $\Delta V_{in} = 0$ 近傍で微分すると,

$$\frac{\partial(\Delta I)}{\partial(\Delta V_{\rm in})}\Big|_{\Delta V_{\rm in}=0} = \frac{1}{(\beta_1 + 1)R_{\rm S}}$$
(4.102)

$$\frac{\partial^2(\Delta I)}{\partial (\Delta V_{\rm in})^2}\Big|_{\Delta V_{\rm in}=0} = 0 \tag{4.103}$$

$$\frac{\partial^3(\Delta I)}{\partial(\Delta V_{\rm in})^3}\Big|_{\Delta V_{\rm in}=0} = -\frac{6\beta_3}{\beta_1+1} \left(\frac{\partial(\Delta I)}{\partial(\Delta V_{\rm in})}\Big|_{\Delta V_{\rm in}=0}\right)^3 = -\frac{6\beta_3}{(\beta_1+1)^4 R_{\rm S}^3}.$$
 (4.104)

上記の三式を用いて、 ΔI は、

$$\Delta I \approx \frac{\partial (\Delta I)}{\partial (\Delta V_{\rm in})} \Big|_{\Delta V_{\rm in}=0} \Delta V_{\rm in} + \frac{1}{2} \left. \frac{\partial^2 (\Delta I)}{\partial (\Delta V_{\rm in})^2} \right|_{\Delta V_{\rm in}=0} \Delta V_{\rm in}^2 + \frac{1}{6} \left. \frac{\partial^3 (\Delta I)}{\partial (\Delta V_{\rm in})^3} \right|_{\Delta V_{\rm in}=0} \Delta V_{\rm in}^3 \\ = \frac{1}{(\beta_1 + 1)R_{\rm S}} \Delta V_{\rm in} - \frac{\beta_3}{(\beta_1 + 1)^4 R_{\rm S}^3} \Delta V_{\rm in}^3$$
(4.105)

と近似される. 図 4.13 における M3 と M5, M4 と M6 のカレントミラーが理想的であるとし、出力抵抗が $R_{\rm L}$ によってほぼ決まると仮定すると、出力の変動 $\Delta V_{\rm out}$ は

$$\Delta V_{\text{out}} \approx M \Delta I R_{\text{L}} \approx M \frac{R_{\text{L}}}{R_{\text{S}}} \frac{1}{\beta_1 + 1} \Delta V_{\text{in}} - M \frac{R_{\text{L}}}{R_{\text{S}}} \frac{\beta_3}{(\beta_1 + 1)^4 R_{\text{S}}^2} \Delta V_{\text{in}}^3 \qquad (4.106)$$

と表される.まず ΔV_{in} の項について見ると, (4.100) 式により,

$$M\frac{R_{\rm L}}{R_{\rm S}}\frac{1}{\beta_1 + 1} = M\frac{R_{\rm L}}{R_{\rm S}}\frac{1}{1 + \frac{1}{g_{\rm m}r_{\rm d}}\left(1 + \frac{1}{g_{\rm m}R_{\rm S}}\right)}$$
(4.107)

であり,小信号等価回路解析による利得である (4.55) 式と一致している.更に一次と三次の係数の比は,

$$\begin{aligned} \left|\frac{a_{3}}{a_{1}}\right| &= \frac{\beta_{3}}{4(\beta_{1}+1)^{3}R_{S}^{2}} = \frac{1}{8g_{m}^{3}r_{d}R_{S}^{2}V_{eff}^{2}} \frac{\frac{1}{g_{m}R_{S}} + \frac{3}{g_{m}r_{d}}}{\left\{1 + \frac{1}{g_{m}R_{S}}\right\}^{3}} \\ &= \frac{1}{8G_{i}N^{3}V_{eff}^{2}} \frac{1 + \frac{3N}{G_{i}}}{\left\{1 + \frac{1}{G_{i}}\left(1 + \frac{1}{N}\right)\right\}^{3}} \\ &\approx \frac{1}{8G_{i}N^{3}V_{eff}^{2}} \frac{1}{\left(1 + \frac{1}{G_{i}N}\right)^{3}} \end{aligned}$$
(4.108)

となる.ただし,Nはソースデジェネレーションの場合と同様に $N = g_{\rm m}R_{\rm S}$, $G_{\rm i}$ はトランジスタの固有利得を表し,

$$G_{\rm i} = g_{\rm m} r_{\rm d} = \frac{2(V_{\rm A} + V_{\rm DS})}{V_{\rm eff}}$$
 (4.109)

であり,理想的には電流との相関を持たない.やはり FVF 構造を持つ増幅器の場合も, N が大きいほど線形性が向上するという結果が得られる.また,(4.31)式と比較すると, トランジスタの固有利得の分だけ |*a*₃/*a*₁| が小さくなっていることがわかる.差分とな



図 4.20: FVF 構造を持つ Gm セルの線形性

る固有利得は M1, M2 によるものであり,フィードバックの利得が向上した分だけソー スデジェネレーションよりも線形性が向上したと考えられる.

ただし、上記の解析には M3, M4 のチャネル長変調効果と PMOS 電流源の変動など が含まれていない. N を大きくするためには $R_{\rm S}$ か $I_{\rm bias}$ を増やさなければならないが, いずれのケースにおいても $R_{\rm S}$ に対して並列に接続される $g_{\rm d3}$ の影響は大きくなってし まう. このため、線形性の改善には限りがある. PMOS 側の電流源による歪について は、5.1.1 節に詳しく記載する.

図 4.20 に、FVF 構造を持つ Gm セルの線形性を示す.シミュレーション条件は表 4.1 のとおりであり、ミラー比は1とした.N < 1の範囲において、シミュレーション結果 と理論計算の結果はよく一致しているが、シミュレーション結果では N = 1.2 でピーク を持ち、N > 1.2 以降は特性が大きく異なる.N が大きい領域では $R_{\rm S}$ に含まれる M3 のドレイン抵抗の影響が強くなり、その歪は FVF 構造が本来持つ歪と逆方向に作用し、 N = 1.2 付近で歪キャンセルが生じたと考えられる.したがって、N > 1.2 における歪 は符号が反転しており、別の要因で決まっている.ただし、その効果は上記の議論に含 まれていないため、理論計算との誤差が大きくなったと推測される.

4.2.2.3 ノイズ特性

FVF 構造を持つ増幅器について、ノイズ特性を計算する.



図 4.21: FVF 構造を持つオープンループアンプの雑音源

図 4.21 は、片側回路における主要な雑音源を図示したものである。各雑音源から *i*_{n,out} に至るまでの係数を求め、入力換算雑音を導出する。M1のノイズは、入力差動電圧と 同様に増幅されて出力に生じるため、

$$\overline{i_{n,out}^2}\Big|_{M1} = \left(\frac{A_v}{R_L}\right)^2 \cdot \overline{v_{n,M1}^2} \approx \left(\frac{M}{R_S}\right)^2 \cdot \overline{v_{n,M1}^2}.$$
(4.110)

同様に R_s 及び M3 のトランジスタの出すノイズの影響は,

$$\overline{i_{n,out}^2}\Big|_{R_S} = \left(\frac{M}{1 + \frac{1}{g_{m1}r_{d1}g_{m3}R_S}}\right)^2 \cdot \overline{i_{n,R_S}^2} \approx M^2 \cdot \overline{i_{n,R_S}^2}$$
(4.111)

$$\overline{i_{\rm n,out}^2}\Big|_{\rm M3} = \left(\frac{M}{1 + \frac{1}{g_{\rm m1}r_{\rm d1}g_{\rm m3}R_{\rm S}}}\right)^2 \cdot \overline{i_{\rm n,M3}^2} \approx M^2 \cdot \overline{i_{\rm n,M3}^2}$$
(4.112)

である.ただし、簡単のため $g_{m1}r_{d1}g_{m3}R_S \gg 1$ として近似した.また、M13の作る雑音

電流は,

$$\overline{i_{n,out}^{2}}\Big|_{M13} = \left\{ \frac{M\left(1 + \frac{1}{(g_{m1} + g_{d1})R_{S}}\right)}{1 + \frac{1}{(g_{m1}r_{d1} + 1)g_{m3}R_{S}}} \right\}^{2} \cdot \overline{i_{n,M13}^{2}}$$

$$\approx M^{2}\left(1 + \frac{1}{g_{m1}R_{S}}\right)^{2} \cdot \overline{i_{n,M13}^{2}}$$
(4.113)

となる.一方,出力段側のノイズを考えると, $R_{\rm L}$ の雑音はそのまま出力に生じるため, $\overline{i_{\rm n,out}^2}\Big|_{R_{\rm I}} = \overline{i_{\rm n,R_{\rm L}}^2}.$ (4.114)

であり、M5,M6 及び M11,M12 の作る雑音電流は、 R_L まで到達し出力を揺らすため、

$$\overline{i_{n,out}^2}\Big|_{M5} = \overline{i_{n,M5}^2}$$

$$(4.115)$$

$$\overline{i_{n,out}^2}\Big|_{M11} = \overline{i_{n,M11}^2}$$
(4.116)

となる. M7 ~ M10 のトランジスタはいずれもカスコードトランジスタであるため,有 効なノイズ源にはならない.したがって,出力に生じるノイズの総量は,

$$\overline{i_{n,out}^{2}} \approx \overline{i_{n,out}^{2}}\Big|_{M1} + \overline{i_{n,out}^{2}}\Big|_{M3} + \overline{i_{n,out}^{2}}\Big|_{M5} + \overline{i_{n,out}^{2}}\Big|_{M11} + \overline{i_{n,out}^{2}}\Big|_{M13} + \overline{i_{n,out}^{2}}\Big|_{R_{S}} + \overline{i_{n,out}^{2}}\Big|_{R_{L}}$$
(4.117)

と表される. 差動構成の入力換算雑音は,

$$\begin{aligned} \overline{v_{n,in}^{2}} &\approx \left(\frac{R_{\rm S}}{M}\right)^{2} \cdot 2\overline{i_{n,out}^{2}} \\ &\approx 2 \cdot \overline{v_{n,M1}^{2}} + 2\left(\frac{R_{\rm S}}{M}\right)^{2} \left(\overline{i_{n,M5}^{2}} + \overline{i_{n,M11}^{2}} + \overline{i_{n,R_{\rm L}}^{2}}\right) + 2R_{\rm S}^{2} \left(\overline{i_{n,M3}^{2}} + \overline{i_{n,R_{\rm S}}^{2}}\right) \\ &\quad + 2R_{\rm S}^{2} \left(1 + \frac{1}{g_{m1}R_{\rm S}}\right)^{2} \cdot \overline{i_{n,M13}^{2}} \\ &\approx 8k\gamma T \left[\frac{1}{g_{m1}} + R_{\rm S}^{2} \left\{g_{m3} + \frac{1}{R_{\rm S}} + \left(1 + \frac{1}{g_{m1}R_{\rm S}}\right)^{2} g_{m13}\right\} + \left(\frac{R_{\rm S}}{M}\right)^{2} \left(g_{m5} + g_{m11} + \frac{1}{R_{\rm L}}\right)\right] \\ &\approx \frac{8k\gamma T}{g_{\rm m}} \left[1 + N^{2} \left\{1 + \frac{1}{\gamma N} + \left(1 + \frac{1}{N}\right)^{2}\right\} + \left(\frac{N}{M}\right)^{2} \left(2M + \frac{1}{\gamma g_{\rm m}R_{\rm L}}\right)\right] \\ &= \frac{16kT\gamma}{g_{\rm m}} \left\{1 + N \left(\frac{1}{2\gamma} + 1 + \frac{1}{2\gamma M^{2}} \frac{R_{\rm S}}{R_{\rm L}}\right) + N^{2} \left(1 + \frac{1}{M}\right)\right\} \end{aligned}$$

$$(4.118)$$



図 4.22: FVF 構造を持つ Gm セルの雑音特性

である.入力換算雑音は電圧性であり, g_m に反比例する特性となる.ただし, N の上 昇は著しく雑音特性を劣化させる.N は線形性にも関わるパラメータであるため, N を 介して線形性と雑音特性はトレードオフの関係にある.線形性の劣化を防ぎつつ雑音特 性を改善するためには, N を一定に保ちつつ g_m を増加させなければならないため, 消 費電力の増加を避けることができない.

図 4.22 に, FVF 構造を持つ電流増幅器の雑音特性を示す. N = 0.8 付近で最も低くなり,その後緩やかに上昇する特性となった.理論計算とシミュレーション結果は,Nが小さい範囲ではよく一致しているが,それ以降はやや特性が異なっている.Nが大きい領域において, $R_{\rm S}$ に含まれる M3 のドレイン抵抗の影響が強くなり, $I_{\rm bias}$ 増加によって $R_{\rm S}$ が減少したように見えるため,設計値よりもN が小さくなった結果雑音特性が良くなったと考えられる.

4.2.2.4 最大 SNDR

続いて, FVF 構造を持つ増幅器の最大 SNDR について考察する. ここではオープン ループアンプを Gm セルとして使用した図 4.11 の回路を用いる. (4.108) 式及び (4.118) 式より,

$$\left|\frac{a_3}{a_1} \cdot \overline{v_{n,in}^2}\right| \approx \frac{1}{8G_i N^3 V_{\text{eff}}^2} \frac{1}{\left(1 + \frac{1}{G_i N}\right)^3} \cdot \frac{16kT\gamma}{g_{\text{m}}} \left\{1 + N\left(\frac{1}{2\gamma} + 1\right) + N^2\left(1 + \frac{1}{M}\right)\right\}$$
$$\approx \frac{kT\gamma}{G_i N^3 V_{\text{eff}} I_{\text{bias}}} \cdot \left\{1 + N\left(\frac{1}{2\gamma} + 1\right) + N^2\left(1 + \frac{1}{M}\right)\right\}$$
(4.119)

となる.ただし、簡単のため $G_iN \gg 1$ を仮定した.SNDRの最大値は、

$$\mathrm{SNDR}_{\mathrm{peak}} \approx -1.01 - \frac{20}{3} \log \left[\frac{kT\gamma f_{\mathrm{BW}}}{G_{\mathrm{i}}N^{3}V_{\mathrm{eff}}I_{\mathrm{bias}}} \left\{ 1 + N\left(\frac{1}{2\gamma} + 1\right) + N^{2}\left(1 + \frac{1}{M}\right) \right\} \right] [\mathrm{dB}]$$

$$(4.120)$$

となる. SNDR の最大値は, N を大きくすることによって改善することができる他, I_{bias} にも依存する.また (4.55) 式により,

$$G_{\rm m} \approx \frac{M}{R_{\rm S}}$$
 (4.121)

であるから, Nは,

$$N \approx \frac{g_{\rm m}}{G_{\rm m}} M = \frac{2I_{\rm bias}}{G_{\rm m} V_{\rm eff}} M \tag{4.122}$$

と変形することができる.

(4.120) 式によれば, *I*_{bias} 以外のパラメータを固定した場合, *N* に含まれる *I*_{bias} を考慮して少なくとも *I*_{bias} によって 2/3 乗の改善効果を見込むことができる. *N* は線形性と雑音特性のトレードオフを制御するパラメータである. *N* の増加によって SNDR の改善が見込めるということは, *N* 上昇による線形性の改善というメリットが, 雑音特性の劣化というデメリットを上回ることを意味する. また消費電力を固定した場合, すなわち *I*_{bias} 及びミラー比 *M* を固定した時, 大きな *G*_m 値を確保するためには *N* を減らす必要があるため, SNDR を犠牲にしなければならない. 一方, 局所的な負帰還による利得 *G*_i による SNDR 改善効果は 1/3 乗のオーダーである. この固有利得を再掲すると,

$$G_{\rm i} = \frac{g_{\rm m}}{g_{\rm d}} = \frac{2(V_{\rm A} + V_{\rm DS})}{V_{\rm eff}}$$
(4.123)

であるため、トランジスタのドレイン・ソース間電圧を高くすることで固有利得を増や し、線形性を改善させることができる.具体的な手法として、後述するレベルシフト回 路がある.詳しくは次章で述べる.



図 4.23: FVF 構造を持つ Gm セルの SNDR

ところで、SNDR_{peak}が得られる時の V_a は、(1.20)式より、

$$V_{a} = 2^{\frac{5}{6}} \left| \frac{a_{1}}{a_{3}} \right|^{\frac{1}{3}} \left(\overline{v_{n,in}^{2}} f_{BW} \right)^{\frac{1}{6}} \\ \approx \left(16G_{i}N^{3}V_{eff}^{2} \right)^{\frac{1}{3}} \cdot \left[\frac{16kT\gamma}{g_{m}} \left\{ 1 + N\left(\frac{1}{2\gamma} + 1\right) + N^{2}\left(1 + \frac{1}{M}\right) \right\} \right]^{\frac{1}{6}} \\ = 2 \left[kT\gamma G_{i}^{2}R_{S}V_{eff}^{4} \cdot N^{5} \left\{ 1 + N\left(\frac{1}{2\gamma} + 1\right) + N^{2}\left(1 + \frac{1}{M}\right) \right\} \right]^{\frac{1}{6}}$$
(4.124)

と表される.ただし, $G_iN \gg 1$ とした.したがって N を大きくして SNDR_{peak} を改善 する場合,非常に大きな入力振幅を必要としてしまうという問題がある.しかしながら, オープンループ型の回路において大きな振幅を入力するのは非常に困難である.このよ うな回路が正常な動作を行うためには,全てのトランジスタが飽和領域で動作していな ければならない.FVF 構造において,M1 はソース電圧は入力差動電圧とほぼ同等の電 圧変動が生じる.このとき,M1 や M3 などのトランジスタが線形領域に入る可能性が あり,これまでの議論の前提が崩れることで大きな歪が生じてしまう.特に近年の微細 プロセスでは電源電圧が低くなっており,十分な電圧マージンの確保が難しい.

図 4.23 に, FVF 構造を持つ電流増幅器の SNDR の特性を示す. やはり N が上昇する ほど SNDR_{peak} は高くなる傾向にある. 理論計算とシミュレーション結果は, 1 < N の 範囲ではよく一致しているが, N > 1.2 からは別の傾向を捉えている. N = 1.2 付近に 存在するピークは, 図 4.20 と同様に歪キャンセルによるものであると推測され, 以降は M3のドレイン抵抗によって歪が生じていると解釈される.

4.2.3 スーパーソースフォロワ

スーパーソースフォロワ (SSF) [7,8] は, FVF と同様に局所的な帰還を持つ比較的帯 域の広い回路構成である. 図 4.24(a) に基本構成を示す. FVF と同様に, SSF において も入力トランジスタ M1 の固有利得がオープンループゲインを押し上げる. ただし, M1 のドレイン端子は PMOS のゲートに接続されており, NMOS のゲートに接続する FVF とは対照的である.

この回路の出力端子に負荷抵抗 *R*_L を接続した場合の小信号等価回路を図 4.24(b) に示す.キルヒホッフの法則により,次の二式を得る.

$$(g_{m1} + g_{d1})v_{out} = g_{d1}v_x + g_{m1}v_{in}$$
(4.125)

 $g_{d1}v_{x} + g_{m1}v_{in} = (G_{L} + g_{m1} + g_{d1} + g_{d3})v_{out} + g_{m3}v_{x}$ (4.126)

この二式を足し合わせて、vxを導出する.

$$v_{\rm x} = -\frac{G_{\rm L} + g_{\rm d3}}{g_{\rm m3}} v_{\rm out} \tag{4.127}$$



図 4.24: Super Source Follower 構造



図 4.25: SSF 型 Gm セル

これを (4.125) 式に代入する.

$$v_{\text{out}} = \frac{g_{\text{m1}}}{g_{\text{m1}} + g_{\text{d1}} + g_{\text{d1}} \cdot \frac{G_{\text{L}} + g_{\text{d3}}}{g_{\text{m3}}}} v_{\text{in}}$$

$$\approx \frac{1}{1 + \frac{1}{G_{\text{i1}}} \left(1 + \frac{1}{g_{\text{m3}} R_{\text{L}}}\right)} v_{\text{in}} \qquad (4.128)$$

ただし, *G*_L ≫ *g*_{d3} として近似した.FVF 構造の場合と同様に, M1 のソース側の電位 はゲート電圧の変動に精度良く追従するという数式が得られる.*V*_{OUT} に負荷抵抗 *R*_L が 接続された場合においても,固有利得 *G*_{i1} によってその影響を小さくするように動作す る.このとき,信号電流の大部分は M2 から供給される.このような特性により,小さ い負荷抵抗をドライブする用途において,バッファとして用いられることが多い.

Gm セルとして使用する場合は図 4.25 のように、一対の SSF 構造の間に抵抗 $R_{\rm S}$ を差 し込み、カレントミラーによって電流を出力する. ミラー比を M とすると、 $G_{\rm m}$ 値は $M/R_{\rm S}$ で近似できる.また、歪に関しても FVF と同様の解析が成立するため、 $\alpha = 1$ の 場合は FVF 構造と同程度の線形性が期待できる.

図 4.25 において、SSF 構造では M1 のドレイン側のバイアス電圧を M3 の V_{GS} で制御 する.一方、M3 のドレイン側バイアス電圧は M1 の V_{GS} が制御する.実際に 1.2 V 電源 を用いて、65nm CMOS でこの回路を設計すると、M3 の V_{DS} は 0.8 V 程度、M1 の V_{DS} は 0.4 V 程度確保することができる.そのため、FVF 構造よりも g_{d3} による歪が生じに くく、比較的振幅の大きい入力に対しても精度を保ちやすいというメリットが有る.

しかしながら、バイアス電流の供給量の合計は $2(M+1+\alpha) \cdot I_{\text{bias}}$ となり、 αI_{bias} の

分だけオーバーヘッドが生じる.見方を変えれば,FVF 構造は M1 及び M3 を縦に接続 することで,別々に供給していたバイアス電流を一本にまとめ,消費電流を少なくした 回路と言える.したがって,一般的に同程度の線形性を実現する場合は FVF 構造のほ うが低消費電力で構成できるケースが多い.加えて SSF 構造では,信号電流が NMOS と PMOS の両方を経由するため,周波数の高い回路では帯域の劣化が問題になる場合 がある.このような理由により,広帯域かつ低消費電力な用途では FVF 構造の方が適 している.

4.3 電流増幅器

電流増幅器は電圧ではなく電流ドメインで信号をやり取りする増幅器である.理想的 には入力インピーダンスが0で,無限大の出力インピーダンスを持ち,吸い込んだ電流 を定数倍して電流出力する素子として表される.電流増幅器は電流受けが必要なソフト ウェア無線向けフィルタの他,光学センサのアナログフロントエンド回路や後述する電 流型フィルタなどに用いられる.

図 4.26 に電流増幅器を用いた電圧出力の増幅器を示す.通常は図 4.26(a) のように電流で信号を入力し、出力側で抵抗に流し込むことによって電圧振幅を得る.

$$V_{\rm out} = -G_{\rm I}R_2I_{\rm in} \tag{4.129}$$

この回路を通して $I \to V$ 変換が行われることから、トランスインピーダンスアンプと も呼ばれる.

一方,図 4.26(b)のように,入力側に抵抗を挿入することで電圧入力・電圧出力のアンプとして使用することもできる.このとき,Vout は

$$V_{\rm out} = -G_{\rm I} \frac{R_2}{R_1} V_{\rm in} \tag{4.130}$$

となり,抵抗比と電流利得 G_{I} によって決まる.ここで, $G_{i} = 1$ を仮定すると,(3.26)式 で表される反転増幅回路の利得と一致する電圧利得が得られる.電流増幅器の場合は次 段に接続する回路の入力抵抗に依存して利得が変化してしまう点に欠点があるものの, 積分器やミキサなどの様々な機能を実現する負帰還増幅回路を模擬することができる. ただし,実際の電流増幅器には入力インピーダンスが存在する.図 4.26(b)において入 力インピーダンス r_{in} を想定すると,(4.130)式は

$$V_{\rm out} = -G_{\rm I} \frac{R_2}{R_1 + r_{\rm in}} V_{\rm in} \tag{4.131}$$

と修正され,入力インピーダンスに依存して利得が変化してしまう.このため,電流増 幅器の入力インピーダンスは小さく,かつ信号電流の流入などによって変化しないこと が望ましい.

4.3.1 電流増幅器の基本原理

電流増幅器の主な原理を図 4.27 に示す.電流増幅器を取り巻く重要な技術として,低入力インピーダンス技術と,電流増幅技術の二つを挙げることができる.

■低入力インピーダンス技術 低入力インピーダンスを実現する方法として,トランジ スタのトランスコンダクタンスを利用する方法と,ゲインブースト技術が併用される. 図 4.27(b) において,入力インピーダンスは,

$$r_{\rm in} = \frac{1}{Ag_{\rm m1}} \tag{4.132}$$

と表される.この構成では、 I_{in} に微小な電圧振幅が入力されると、アンプAの利得に よって V_{G} に大きな電圧変動が生じ、M1のトランスコンダクタンス g_{m1} を利用して大き な電流を引き込むため、入力インピーダンスが低くなる.結果として g_{m1} はAだけ増幅 されるため、 g_{m} ブースト技術とも表現できる.すなわち、アンプの利得Aを上げるか、 トランジスタのバイアス電流 I_{bias} を増やすことにより、電流増幅器の入力インピーダン







(a) 基本構成



(b) 小信号等価回路

図 4.27: 電流増幅回路の基本技術

スを低減させることができる.特にアンプの利得 A を稼ぐ方法は消費電力の増加を抑え つつ入力インピーダンスを改善できるため,非常に重要な回路技術である.

■電流増幅技術 一方,電流増幅技術にはカレントミラー回路がよく用いられる.カレントミラー回路は二つのトランジスタ対のゲートを短絡し,同じ V_{eff} を共有することによって,正確な電流比率を得る回路である.通常,トランジスタを用いて $V \rightarrow I$ 変換または $I \rightarrow V$ 変換を行う場合,トランジスタパラメータの変動によって歪が生じてしまう.図 4.27 のカレントミラー回路においても, $I \rightarrow V$ 変換を $1/g_{m1}$ で行い, $V \rightarrow I$ 変換を g_{m2} で行うため,それぞれの変換過程で歪が生じている.しかしながら,M1及びM2の V_{eff} を共有することにより,この歪をキャンセルすることができる. I_{D1} 及び I_{D2} はそれぞれ,

$$I_{\rm D1} = \frac{1}{2} \mu C_{\rm ox} \frac{W}{L} V_{\rm eff}^2$$
(4.133)

$$I_{\rm D2} = \frac{1}{2} \mu C_{\rm ox} \frac{MW}{L} V_{\rm eff}^2 = M I_{\rm D1}$$
(4.134)

であるため,

$$g_{\rm m2} = M \cdot \frac{2I_{\rm D1}}{V_{\rm eff}} = Mg_{\rm m1}$$
 (4.135)

となる.ここで i_{in} と i_{out} の比を求めると,

$$i_{\text{out}} = g_{\text{m2}} v_{\text{g}} = \frac{g_{\text{m2}}}{g_{\text{m1}}} i_{\text{in}} = M \cdot i_{\text{in}}$$
 (4.136)

となり、トランジスタパラメータに依存しない電流利得を得ることができる.この性質 により、電流増幅器は出力電流を帰還させること無く線形性の高い電流増幅動作を実現 している.

4.3.2 オペアンプを用いた電流増幅器

図 4.27 の電流増幅器におけるアンプ A を高利得オペアンプと読み替えれば,電流増幅器はオペアンプを用いた負帰還回路の一種として表現することもできる.図 4.28 は, 二段オペアンプを用いた電流増幅器の例である.閉ループに含まれていないアンプ A_3 は A_2 と同様の構成となっており,図 4.28(b) に示すように各トランジスタがカレントミ ラーとして振る舞い.信号電流 $\Delta I_{\rm in}$ は A_2 の出力端子から流れ込み, A_3 と A_2 のカレン トミラーを介して出力側に移動する. ここで有限の出力インピーダンスを持つ電流源を入力に接続した際の周波数特性を考える.図 4.29 は二段オペアンプを用いた電流増幅器の等価回路モデルである. *C*_{in1} は*A*₁の入力寄生容量を表し,*C*_{L1} は*A*₁の出力端子から見える全容量を示している. キルヒホッフの電流則により,次の三式を得る.

$$\left(G_{\rm S} + \frac{1}{r_{\rm out2}} + sC_{\rm in1}\right)v_1 = G_{\rm m2}v_2 - i_{\rm in} \tag{4.137}$$

$$\left(\frac{1}{r_{\rm out1}} + sC_{\rm L1}\right)v_2 = -G_{\rm m1}v_1 \tag{4.138}$$

$$i_{\rm out} + G_{\rm m3} v_2 = 0 \tag{4.139}$$

v1 を消去すると,

$$v_{2} = \frac{G_{\rm m1}r_{\rm out1}(r_{\rm out2}//R_{\rm S})}{(1 + sC_{\rm L1}r_{\rm out1})\left\{1 + sC_{\rm in1}(r_{\rm out2}//R_{\rm S})\right\} + G_{\rm m1}G_{\rm m2}r_{\rm out1}(r_{\rm out2}//R_{\rm S})} \cdot i_{\rm in}(4.140)$$

11-

となるため, 電流利得は,

$$G_{\rm I}(s) = -\frac{G_{\rm m3}}{G_{\rm m2}} \frac{A_1 A_2}{\left(1 + \frac{s}{\omega_{\rm c1}}\right) \left(1 + \frac{s}{\omega_{\rm c2}}\right) + A_1 A_2}$$
(4.141)

と表される.ただし,

$$\begin{cases}
A_{1} = G_{m1}r_{out1} \\
A_{2} = G_{m2}(r_{out2}//R_{S}) \\
\omega_{c1} = \frac{1}{C_{L1}r_{out1}} \\
\omega_{c2} = \frac{1}{C_{in1}(r_{out2}//R_{S})}
\end{cases}$$
(4.142)



図 4.28: 二段オペアンプを用いた電流増幅器



図 4.29: 二段オペアンプを用いた電流増幅器の等価回路モデル

とした. (4.141) 式において, s = 0 かつ $A_1A_2 \gg 1$ とすると,

$$G_{\rm I}(0) = -\frac{G_{\rm m3}}{G_{\rm m2}} \frac{A_1 A_2}{1 + A_1 A_2} \approx -\frac{G_{\rm m3}}{G_{\rm m2}}$$
(4.143)

となり, A₂ 及び A₃ で構成されているカレントミラーのミラー比に一致する.電流増幅 器の入力インピーダンスは,

$$r_{\rm in}(s) = \frac{1 + \frac{s}{\omega_{\rm c1}}}{A_1 G_{\rm m2}} \tag{4.144}$$

と表される.低周波における入力インピーダンスは A_1G_{m2} で決まり、 ω_{c1} のカットオフ周波数から上昇が始まる.一方、閉ループ部分の一巡伝達関数は、

$$H_{\rm open}(s) = \frac{A_1 A_2}{\left(1 + \frac{s}{\omega_{\rm c1}}\right) \left(1 + \frac{s}{\omega_{\rm c2}}\right)} \tag{4.145}$$

となり、オペアンプ内部の極 ω_{c1} と入力寄生容量による極 ω_{c2} により、閉ループ内に二 つの極が存在することが確認できる.したがって、負帰還増幅回路と同様に適切な位相 補償が必要となり、電力効率の悪化を招き、広帯域化は困難を伴う.

4.3.3 局所的な負帰還技術を用いた電流増幅器

帯域に関する問題を解決するため,前述のオープンループアンプと同様に局所的な負 帰還技術を用いた電流増幅器が提案されている.図4.30に局所的な負帰還を持つ代表的 な電流増幅器を示す.FVF型電流増幅器ではM1が,SSF型電流増幅器ではM5がそ れぞれゲインブースト部分のアンプ*A*に相当しており,トランジスタの固有利得*G*_iに よって入力インピーダンスの低減を図っている.これらの回路では二段オペアンプを用 いた電流増幅器とは異なり,ゲインブースト部分のアンプがゲート接地回路となってい る点に特徴がある.この結果,閉ループ内部でゲート受けとなる箇所はカレントミラー ノードのみ(二段オペアンプにおける ω_{c1}に相当)となり,およそ一次の一巡伝達特性 を有す.したがって,二段構成のような位相補償は不要となり,広帯域に渡り帰還利得 を維持することが期待される.

■小信号等価回路解析 小信号等価回路解析を用いて,局所的な負帰還を有す電流増幅 器の周波数特性を調べる.図4.29と同様に,有限の出力インピーダンスを持つ電流源



(a) Flipped Voltage Follower (FVF) [9,10]

(b) Supre Source Follower (SSF)



図 4.30:局所的な負帰還を持つ電流増幅器

図 4.31: FVF 型電流増幅器の小信号等価回路モデル

 i_{in} を入力とし,接地された出力端子に到達する小信号電流を i_{out} と定義する.図 4.31 に FVF 型電流増幅器の小信号等価回路モデルを示す.ただし,図中の C_X はカレントミ ラーノード X の寄生容量を, C_{in1} は電流増幅器の入力端子から見える寄生容量をそれぞ れ示している.なお,SSF 型電流増幅器の小信号等価回路も同じ回路となるため,解析 は省略する. v_1 及び v_2 について次の方程式を得る.

$$(G_{\rm S} + g_{\rm m1} + g_{\rm d1} + g_{\rm d3} + sC_{\rm in1})v_{\rm s} + g_{\rm m3}v_{\rm x} = i_{\rm in} + g_{\rm d1}v_{\rm x}$$

$$(4.146)$$

$$(g_{d1} + sC_X) v_x = (g_{m1} + g_{d1}) v_s \qquad (4.147)$$

$$i_{\rm out} \approx -g_{\rm m5} v_{\rm x} \tag{4.148}$$

 v_1 は v_x を用いて,

$$v_{\rm s} = \frac{g_{\rm d1} + sC_{\rm X}}{g_{\rm m1} + g_{\rm d1}} v_x \tag{4.149}$$

であるから,

$$v_{\rm x} = \frac{1}{g_{\rm m3} - g_{\rm d1} + (G_{\rm S} + g_{\rm m1} + g_{\rm d1} + sC_{\rm in1}) \frac{g_{\rm d1} + sC_{\rm X}}{g_{\rm m1} + g_{\rm d1}}} i_{\rm in}$$

$$\approx \frac{i_{\rm in}}{g_{\rm m3}} \frac{1}{1 + \frac{1}{G_{\rm i1}g_{\rm m3}R_{\rm S}} + s \left\{ \frac{C_{\rm in1}}{G_{\rm i1}g_{\rm m3}} + \frac{C_{\rm X}}{g_{\rm m3}} \left(1 + \frac{1}{g_{\rm m1}R_{\rm s}}\right) \right\} + s^2 \frac{C_{\rm in1}C_{\rm x}}{g_{\rm m1}g_{\rm m3}}}$$
(4.150)

となる. ただし, $g_{m1}, g_{m3} \gg g_{d1}$ として近似した. (4.150) 式において, 一次の C_{in1} 項は M1の固有利得 G_{i1} によって抑制されており, C_X 項が支配的であることが確認できる. $C_X \geq C_{in1}$ はいずれもゲート容量が主であり, 基本的に $C_X > C_{in1}$ であることが予想さ れるため,

$$v_{\rm x} \approx \frac{i_{\rm in}}{g_{\rm m}} \frac{1}{1 + \frac{1}{G_{\rm i1}N} + s\left\{\frac{C_{\rm X}}{g_{\rm m}}\left(1 + \frac{1}{N}\right)\right\} + s^2 \frac{C_{\rm in1}C_{\rm x}}{g_{\rm m}^2}}$$
(4.151)

として考える.ただし、簡単のため $g_{m1} = g_{m3} = g_m$ とし、 $N = g_m R_S$ とした. v_s は、

$$v_{\rm s} \approx \frac{i_{\rm in}}{G_{\rm i1}g_{\rm m}} \frac{1 + s\frac{C_{\rm X}}{g_{\rm d1}}}{1 + \frac{1}{G_{\rm i1}N} + s\left\{\frac{C_{\rm X}}{g_{\rm m}}\left(1 + \frac{1}{N}\right)\right\} + s^2 \frac{C_{\rm in1}C_{\rm x}}{g_{\rm m}^2}}$$
(4.152)

と表される.入力インピーダンスが低減している範囲において,電流増幅器の入力端子の電圧振幅は非常に小さくなる.この特性は,電圧入力型のFVF回路における $v_{\rm in} \approx v_{\rm s}$ の近似に相当する.図4.15において $v_{\rm in}$ の接続されている箇所は,電流増幅器(図4.31)においては交流接地となっており, $v_{\rm in} \approx v_{\rm s}$ の代替として $0 \approx v_{\rm s}$ が成立したと見ることができる.

入力インピーダンスは,

$$r_{\rm in}(s) = \frac{v_{\rm s}}{i_{\rm in}} \approx \frac{1}{G_{\rm i1}g_{\rm m}} \frac{1 + s\frac{C_{\rm X}}{g_{\rm d1}}}{1 + \frac{1}{G_{\rm i1}N} + s\left\{\frac{C_{\rm X}}{g_{\rm m}}\left(1 + \frac{1}{N}\right)\right\} + s^2\frac{C_{\rm in1}C_{\rm x}}{g_{\rm m}^2}}{(4.153)}$$

となる.入力インピーダンスが上昇を始める周波数は,

$$\omega_z = \frac{g_{\rm d1}}{C_{\rm X}} \tag{4.154}$$

で表される.s=0とすると,

$$r_{\rm in}(0) = \frac{1}{G_{\rm i1}g_{\rm m3}} \tag{4.155}$$

であり,固有利得 *G*_{i1} によって入力インピーダンスが抑制される様子が確認できる.一方,極は次のようになる.

$$\omega_{\rm p1}, \omega_{\rm p2} = \frac{g_{\rm m}}{2C_{\rm in1}} \left(1 + \frac{1}{N}\right) \left\{ 1 \pm \sqrt{1 - \frac{4C_{\rm in1}}{C_{\rm X}} \left(1 + \frac{1}{N}\right)^{-2}} \right\}$$
(4.156)

これらの極は入力インピーダンスそのものの低減によるものではなく,寄生容量により信号電流の一部がカレントミラーに到達しなくなったことによる v_sの減少が原因である.したがって (4.153) 式に含まれる零点及び極は,いずれも許容できない.また,(4.156) 式は (4.52) 式と同型となっている.

(4.148) 式により,出力電流は,

$$i_{\text{out}} \approx -\frac{g_{\text{m5}}}{g_{\text{m3}}} \frac{1}{1+s\left\{\frac{C_{\text{X}}}{g_{\text{m}}}\left(1+\frac{1}{N}\right)\right\} + s^2 \frac{C_{\text{in1}}C_{\text{x}}}{g_{\text{m}}^2}} \cdot i_{\text{in}}}$$
 (4.157)

となる.したがって電流利得は次の式のようになる.

$$G_{\rm I}(s) \approx M \cdot \frac{1}{\left(1 + \frac{s}{\omega_{\rm p1}}\right) \left(1 + \frac{s}{\omega_{\rm p2}}\right)} \tag{4.158}$$

DC 側の電流利得はミラー比 *M* に定まっているが,高周波側では二つの寄生容量により 電流利得は劣化する.



図 4.32: FVF 構造の開ループ等価回路(電流増幅器)

■一巡伝達関数 FVF 構造を持つ電流増幅器の閉ループ部分について,開ループの等価 回路は図 4.32 のようになる. この回路は図 4.16 と等しいため, (4.61) 式より,

$$H_{\rm open}(s) \approx \frac{G_{\rm i1}g_{\rm m}N}{\left(1 + \frac{s}{\omega_{\rm o,p1}}\right)\left(1 + \frac{s}{\omega_{\rm o,p2}}\right)} \tag{4.159}$$

とあらわされる.ただし,

$$\omega_{\rm p1}, \omega_{\rm p2} \approx \frac{g_{\rm m}}{G_{\rm i1}NC_{\rm X}} \frac{1}{1+1/N}, \frac{g_{\rm m}}{C_{\rm in1}} \left(1+\frac{1}{N}\right)$$
(4.160)

である.これらの特性は、図 4.18 で示した特性と一致する.

■最大帯域 帰還部分の安定性は電圧入力型 FVF 構造と同一であり,電流増幅器においても十分な安定性が確保されていると考えられる.そこで,ここでは入力インピーダンスと電流利得の帯域制限についてのみ考察する.

入力インピーダンスの上昇はωzから始まる. (4.154) 式について, 変数を整理すると,

$$\omega_{\rm z} = \frac{g_{\rm d1}}{C_{\rm X}} \approx \frac{1}{(M+1) \, K_{\rm C,M3} V_{\rm A}} \tag{4.161}$$

となり、 I_{bias} に依存しない値となる.また、通常このゼロ点は極 ω_{p1} よりも低い周波数になる. $\omega_{\text{p1}}, \omega_{\text{p2}}$ が重解及び虚数解を持つとき、(4.70)式または (4.72)式より、

$$\frac{\omega_{\rm p1}}{\omega_{\rm z}} \approx \frac{C_{\rm X}}{g_{\rm d1}} \cdot \frac{g_{\rm m}}{\sqrt{C_{\rm in1}C_{\rm X}}} = G_{\rm i1}\sqrt{\frac{C_{\rm X}}{C_{\rm in1}}} = G_{\rm i1}\sqrt{\frac{(M+1)K_{\rm C,K3}}{K_{\rm C,K1}}}$$
(4.162)

となる. $G_{i1} \gg 1$ により,明らかに $\omega_{p1} > \omega_z$ が成立する.

図 4.33 にミラー比 *M* を変えた時の入力インピーダンスと電流利得の周波数特性を示す.図 4.33(a)の縦軸の入力インピーダンス上昇比率は次のように定義する.

$$H_{\rm r}(s) = \frac{r_{\rm in}(s)}{r_{\rm in}(0)} \tag{4.163}$$



図 **4.33**: ミラー比と周波数特性 (*M* = 1, 2, · · · , 6)

ただし, グラフのプロットは 20 log $|H_r(s)|$ [dB] で行った. 図 4.33(a) において, 3 dB の 地点が (4.161) 式の ω_z に相当する. ミラー比 *M* を増やすと入力インピーダンスの周波 数特性は低周波側にそのままシフトする様子が確認できる. 図 4.33(b) は規格化された 電流利得をプロットしたものである. こちらの周波数特性もミラー比の増加に対して低 周波側にシフトしていく様子が見られる. ただし, いずれのケースにおいても, 電流利 得の 3 dB 帯域は明らかに入力インピーダンスのゼロ点周波数よりも高い.

図 4.34 にこれらの周波数特性について、3 dB 帯域をまとめたものを示す.入力イン ピーダンスのゼロ点に対し、利得の -3 dB 帯域は 10 倍以上高く、M = 4 においても 10 GHz もの利得帯域を維持している.一方、M = 3 付近で入力インピーダンスのゼロ 点は 1 GHz 付近にまで劣化しており、1 GHz 付近の用途においてはこのゼロ点を考慮す る必要がある.ただし、この周波数以上ですぐに影響が出るとは限らない.直列に挿入 される抵抗 $R_{\rm S}$ が存在する場合、入力インピーダンス $r_{\rm in}(s)$ の影響は、

$$R'_{\rm S} = R_{\rm S} + r_{\rm in}(s) \approx R_{\rm S} \left\{ 1 + \frac{r_{\rm in}}{R_{\rm S}} \left(1 + \frac{s}{\omega_{\rm z}} \right) \right\}$$
$$\approx R_{\rm S} \left(1 + \frac{s}{\omega_{\rm z}} \frac{r_{\rm in}}{R_{\rm S}} \right) \tag{4.164}$$

となるため、 $R_{\rm S}$ が $r_{\rm in}$ に対して十分に大きい場合は、その比率に応じて $\omega_{\rm z}$ は高周波側 に移動する.しかしながら、後述のように $r_{\rm in}$ の影響が大きくなれば、それは線形性の



図 4.34: FVF 構造を持つ電流増幅器の帯域

劣化につながってしまう.したがって, ω_z はオープンループアンプとしての FVF 構造 における H_{open}(s) の利得帯域に相当すると考えられる.広帯域に渡り高い線形性を維持 するならば, ω_z は使用する帯域よりも高くしておかなければならない.

4.3.3.1 歪の解析

線形性について考察する.電流増幅器はカレントミラーによって電流増幅を行うため, 帯域内であれば一定の電流利得が期待できる.しかしながら,カレントミラー部分に流 入する信号電流が入力インピーダンスを変動させると,歪を生じさせる要因となる.

図 4.35 のような電流増幅器のモデルを考える. ここで $r_{\rm in}$ (ΔI) は、電流増幅器に流入 する信号電流 ΔI を考慮した入力インピーダンスを表している. 図より、

$$\Delta I = \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in} \left(\Delta I\right)} \Delta I_{\rm in} \tag{4.165}$$

であるから, $\Delta I_{\rm in}$ から $\Delta I_{\rm out}$ までの正味の電流利得は,

$$G_{\rm I}(\Delta I_{\rm in}) = \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in} \left(\Delta I\right)} \tag{4.166}$$

となる. $r_{in}(\Delta I)$ が十分小さいか,ほぼ一定の値を保つ場合利得の変動は生じない.しかしながら,入力インピーダンスが変動すると ΔI_{in} から R_{s} に抜ける信号電流の量が変化し,それが全体の利得変動を引き起こし,歪を生じさせてしまう.

ここで,

$$r_{\rm in}(\Delta I) = r_{\rm in}(0) \left\{ 1 + \alpha_1 \cdot \frac{\Delta I}{I_{\rm bias}} + \alpha_2 \cdot \left(\frac{\Delta I}{I_{\rm bias}}\right)^2 \right\}$$
(4.167)

とおくと, ΔI_{in} と ΔI の関係式は次のようになる.

$$\Delta I_{\rm in} = \left(1 + \frac{r_{\rm in}(0)}{R_{\rm S}}\right) \cdot \Delta I + \alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{\Delta I^2}{I_{\rm bias}} + \alpha_2 \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{\Delta I^3}{I_{\rm bias}^2} \tag{4.168}$$

この式から $\Delta I_{\rm in} = 0$ 近傍で ΔI について解く.

$$\left. \frac{\partial(\Delta I)}{\partial(\Delta I_{\rm in})} \right|_{\Delta I_{\rm in}=0} = \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in}} \tag{4.169}$$

$$\frac{\partial^2(\Delta I)}{\partial(\Delta I_{\rm in})^2}\Big|_{\Delta I_{\rm in}=0} \approx -2\alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{1}{I_{\rm bias}}$$
(4.170)

$$\frac{\partial^3(\Delta I)}{\partial (\Delta I_{\rm in})^3}\Big|_{\Delta I_{\rm in}=0} \approx -6\left(\alpha_2 - \frac{2\alpha_1}{I_{\rm bias}}\right) \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{1}{I_{\rm bias}}$$
(4.171)

ただし, $\Delta I \ll I_{\text{bias}}$ かつ $r_{\text{in}}(0) \ll R_{\text{S}}$ として近似を行った. したがって,

$$\Delta I \approx \frac{\partial (\Delta I)}{\partial (\Delta I_{\rm in})} \bigg|_{\Delta I_{\rm in}=0} \Delta I_{\rm in} + \frac{1}{2} \left. \frac{\partial^2 (\Delta I)}{\partial (\Delta I_{\rm in})^2} \right|_{\Delta I_{\rm in}=0} \Delta I_{\rm in}^2 + \frac{1}{6} \left. \frac{\partial^3 (\Delta I)}{\partial (\Delta I_{\rm in})^3} \right|_{\Delta I_{\rm in}=0} \Delta I_{\rm in}^3 \approx \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in}} \Delta I_{\rm in} - \alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{\Delta I_{\rm in}^2}{I_{\rm bias}} - \left(\alpha_2 - \frac{2\alpha_1}{I_{\rm bias}} \right) \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{\Delta I_{\rm in}^3}{I_{\rm bias}}$$
(4.172)

となる. (4.167) 式を $\Delta I_{\rm in}$ を用いて整理する.

$$r_{\rm in}(\Delta I_{\rm in}) \approx r_{\rm in}(0) \left[1 + \alpha_1 \left\{ \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in}(0)} \frac{\Delta I_{\rm in}}{I_{\rm bias}} - \alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}} \right)^2 \right\} + \alpha_2 \left(\frac{R_{\rm S}}{R_{\rm S} + r_{\rm in}(0)} \right)^2 \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}} \right)^2 \right] \approx r_{\rm in}(0) \left[1 + \alpha_1 \frac{\Delta I_{\rm in}}{I_{\rm bias}} + \left(\alpha_2 - \alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \right) \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}} \right)^2 \right] = r_{\rm in}(0) \left\{ 1 + \alpha_1' \cdot \frac{\Delta I_{\rm in}}{I_{\rm bias}} + \alpha_2' \cdot \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}} \right)^2 \right\}$$
(4.173)

ただし,

$$\begin{cases} \alpha_1' = \alpha_1 \\ \alpha_2' = \alpha_2 - \alpha_1 \frac{r_{\rm in}(0)}{R_{\rm S}} \end{cases}$$

$$(4.174)$$

である. $G_{\rm I}(\Delta I_{\rm in})$ は,

$$G_{\rm I}(\Delta I_{\rm in}) = -\frac{\frac{R_{\rm S}}{r_{\rm in}(0)}}{1 + \frac{R_{\rm S}}{r_{\rm in}(0)} + \alpha_1' \cdot \frac{\Delta I_{\rm in}}{I_{\rm bias}} + \alpha_2' \cdot \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}}\right)^2} \\ \approx \frac{\frac{R_{\rm S}}{r_{\rm in}(0)}}{1 + \frac{R_{\rm S}}{r_{\rm in}(0)}} - \frac{\alpha_1' \frac{R_{\rm S}}{r_{\rm in}(0)}}{\left(1 + \frac{R_{\rm S}}{r_{\rm in}(0)}\right)^2 \frac{\Delta I_{\rm in}}{I_{\rm bias}}} + \frac{\alpha_1'^2 - \left(1 + \frac{R_{\rm S}}{r_{\rm in}(0)}\right) \alpha_2'}{\left(1 + \frac{R_{\rm S}}{r_{\rm in}(0)}\right)^3} \frac{R_{\rm S}}{r_{\rm in}(0)} \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}}\right)^2 \\ \approx \frac{R_{\rm S}}{R_{\rm S} + r_{\rm in}(0)} - \alpha_1' \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{\Delta I_{\rm in}}{I_{\rm bias}} + \left(\alpha_1'^2 - \alpha_2' \frac{R_{\rm S}}{r_{\rm in}(0)}\right) \left(\frac{r_{\rm in}(0)}{R_{\rm S}}\right)^2 \left(\frac{\Delta I_{\rm in}}{I_{\rm bias}}\right)^2 \\ = b_1 + b_2 \Delta I_{\rm in} + b_3 \Delta I_{\rm in}^2 \tag{4.175}$$

と整理される. ここで電圧入力型の回路と比較を揃えるために,

$$\Delta I_{\rm in} = \frac{\Delta V_{\rm in}}{R_{\rm S}} = \frac{V_{\rm in}}{2R_{\rm S}} \tag{4.176}$$

とする. この時, (1.1) 式で定義される各係数は次のようになる.

$$\begin{cases}
a_{1} = b_{1} = \frac{R_{S}}{R_{S} + r_{in}(0)} \\
a_{2} = \frac{b_{2}}{2R_{S}} = -\frac{\alpha_{1}r_{in}(0)}{2}\frac{1}{R_{S}I_{bias}} \\
a_{3} = \frac{b_{3}}{4R_{S}^{2}} = \frac{1}{4}\left(\alpha_{1}^{2} + \alpha_{1} - \alpha_{2}\frac{R_{S}}{r_{in}(0)}\right)\left(\frac{r_{in}(0)}{R_{S}}\right)^{2}\frac{1}{R_{S}^{2}I_{bias}^{2}}
\end{cases}$$
(4.177)

これら特性は (4.131) 式のような電圧源入力の場合においても共通である.したがって, 歪の特性を調べるためには入力インピーダンスの大きさ *r*_{in}(0) と係数 *α*₁, *α*₂ について調 べれば良い.

再び電流増幅回路の基本構成に戻り、 $r_{in}(0), \alpha_1, \alpha_2$ を求める. 図 4.36 において、入力 インピーダンス $r_{in}(\Delta I)$ は、

$$r_{\rm in}\left(\Delta I\right) = \frac{1}{Ag_{\rm m1}}\tag{4.178}$$

である.また,

$$I_{\rm D1} = I_{\rm bias} + \Delta I = K \left(V_{\rm eff} + \Delta V_{\rm eff} \right)^2 \tag{4.179}$$

である.ただし、簡単のためチャネル長変調効果は無視している.ただし、

$$I_{\text{bias}} = K V_{\text{eff}}^2 \tag{4.180}$$

である. ΔI が存在する場合のトランスコンダクタンス $g_{m1}(\Delta I)$ は次のように表される.

$$g_{\rm m1}(\Delta I) = \frac{\partial I_{\rm D1}}{\partial V_{\rm GS}} = \frac{\partial}{\partial V_{\rm eff}} \Delta I = 2K(V_{\rm eff} + \Delta V_{\rm eff})$$
(4.181)

一方, (4.179)式から ΔI と ΔV_{eff} の関係式を求めると次のようになる.

$$\Delta V_{\rm eff} = \sqrt{\frac{I_{\rm bias} + \Delta I}{K}} - V_{\rm eff} \tag{4.182}$$

これを(4.181)式に代入すると,

$$g_{m1}(\Delta I) = 2K \cdot \sqrt{\frac{I_{\text{bias}} + \Delta I}{K}} = 2\sqrt{KI_{\text{bias}}\left(1 + \frac{\Delta I}{I_{\text{bias}}}\right)}$$
$$= g_{m1}\sqrt{1 + \frac{\Delta I}{I_{\text{bias}}}}$$
(4.183)

となる. ただし, $g_{m1} = g_{m1}(0)$ である. (4.178) 式の g_{m1} を $g_{m1}(\Delta I)$ と読み替えて次の式 を得る.

$$r_{\rm in}(\Delta I) = \frac{1}{Ag_{\rm m1}(\Delta I)} = \frac{1}{Ag_{\rm m1}} \frac{1}{\sqrt{1 + \frac{\Delta I}{I_{\rm bias}}}} = \frac{r_{\rm in}(0)}{\sqrt{1 + \frac{\Delta I}{I_{\rm bias}}}}$$
$$\approx r_{\rm in}(0) \left\{ 1 - \frac{1}{2}\frac{\Delta I}{I_{\rm bias}} + \frac{3}{8}\left(\frac{\Delta I}{I_{\rm bias}}\right)^2 \right\}$$
(4.184)

したがって,

$$r_{\rm in}(0) = \frac{1}{Ag_{\rm m1}}$$

$$\alpha_1 = -\frac{1}{2}$$

$$\alpha_2 = \frac{3}{8}$$

$$(4.185)$$

となる. (4.185) 式の結果を (4.177) 式に代入し, 差動回路を想定した際の三次歪を求め ると次のようになる.

$$\left| \frac{a_3}{a_1} \right| \approx \left(1 + \frac{r_{\rm in}(0)}{R_{\rm S}} \right) \left(\alpha_1^2 + \alpha_1 - \alpha_2 \frac{R_{\rm S}}{r_{\rm in}(0)} \right) \left(\frac{r_{\rm in}(0)}{R_{\rm S}} \right)^2 \frac{1}{4R_{\rm S}^2 I_{\rm bias}^2} \approx \alpha_2 \frac{r_{\rm in}(0)}{R_{\rm S}} \frac{1}{4R_{\rm S}^2 I_{\rm bias}^2} \\ \approx \frac{3}{32} \frac{1}{Ag_{\rm m1}R_{\rm S}} \frac{1}{R_{\rm S}^2 I_{\rm bias}^2} = \frac{3}{64} \frac{V_{\rm eff}}{AR_{\rm S}^3 I_{\rm bias}^3}$$
(4.186)


図 4.35: 入力インピーダンスを考慮した電流増幅器モデル

本解析では A を定数として扱ったが,実際の回路ではトランジスタの固有利得によって 実現されるため,厳密には A も値が変動する.

(4.186) 式によれば、次の方法で電流増幅器の線形性を改善することができる.

- (a) R_Sの増加
- (b) 利得 A の向上
- (c) *I*_{bias}の増加
- (d) 入力インピーダンスの変動係数 *α*₂ の抑制

(a) 及び (b) のアプローチは, $R_{\rm s}$ 側に漏れる信号電流成分そのものを減らす方法である. $R_{\rm s}$ を大きくすることと A を向上し入力インピーダンスを低減することは等価であり, 歪に対しては一次の改善効果が見込める. しかしながら, $R_{\rm s}$ は前段回路の出力インピー ダンスに依存するため,自由な設定が難しい.そのため,A を改善する目的で FVF 構 造に更に補助アンプを追加する電流増幅器なども検討されている. 詳しくは次章に記載 する.一方,(c) は入力インピーダンスの低減に加えて $\Delta I_{\rm in}/I_{\rm bias}$ を小さくする効果があ り,三次の改善効果が期待できる.ただし, $I_{\rm bias}$ は後述する雑音とのトレードオフがあ り,消費電力も増加してしまう.(d) の手法は相補入力化などのアーキテクチャ改善に よって α_2 を小さくする方法である.第7章では (d) のアプローチによって性能改善を 図っている.

図 4.37 に, FVF 構造を持つ電流増幅器の IIP3 を示す.シミュレーション条件は表 4.1 のとおりであり、ミラー比は 1 とした.ここで理論式には、(4.186) 式と (4.108) 式 を用いた.後者は Gm セルまたはオープンループアンプとして使用した際の計算式であ るが、同じ FVF 構造を解析した数式であるため、比較対象として用いている.理論計 算とシミュレーション結果は同じ傾向を示しており、特に理論計算 (Gm セル) とよく一 致している.このような結果になる理由として、電流増幅器の解析では A (FVF 構造で は *G*_i)を定数とした点が挙げられる.実際の回路では *G*_i もわずかながら値が変動する



図 4.36: 電流増幅器の入力部分



図 4.37: FVF 構造を持つ電流増幅器の線形性

ため,その点を考慮した解析を行った (4.108) 式の方がより厳密な解析である.以降は, (4.108) 式を元に考察する.

電流増幅器では、Nの上昇に対して IIP3 は素直に向上しており、歪キャンセルにより ピークを持っていた図 4.20 とは対称的である. Gm セルにおける歪キャンセルは、M3 の g_d が原因で発生していたが、電流増幅器では M3 のドレイン端子は殆ど電圧変動が発 生しないため、歪キャセルが生じなかったと考えられる.

4.3.3.2 雑音特性

図 4.38 に, FVF 構造を持つ電流増幅器の雑音源を示す.ただし,差動構成を想定し, 片側部分の回路のみを記載した.主な雑音源はカレントミラー部分のトランジスタ,バ イアス電流を供給する M9 及び M11,利得低減のためのトランジスタ M1 などである.



図 4.38: FVF 構造を持つ電流増幅器の雑音

各雑音源から出力端子に到達する雑音電流を求める. M1, Rs からの雑音電流は,

$$\overline{i_{\mathrm{n,out}}^2}\Big|_{\mathrm{M3},R_{\mathrm{S}}} \approx G_{\mathrm{I}}^2 \left(\overline{i_{\mathrm{n,M3}}^2} + \overline{i_{\mathrm{n,R_S}}^2}\right).$$
(4.187)

M11 及び M5 の雑音電流は全て出力端子に到達する.

$$\overline{i_{n,out}^2}\Big|_{M5,M11} \approx \overline{i_{n,M5}^2} + \overline{i_{n,M11}^2}$$

$$(4.188)$$

M1 及び M9 から出力端子に到達する雑音電流はそれぞれ,次のように表される.

$$\left. \frac{\overline{i_{n,out}^2}}{g_{m3}} \right|_{M1} \approx \left(\frac{g_{m5}}{g_{m3}} \right)^2 \frac{1}{R_S^2} \overline{v_{n,M1}^2} \approx \frac{G_I^2}{R_S^2} \cdot \overline{v_{n,M1}^2}$$
(4.189)

$$\overline{i_{\rm n,out}^2}\Big|_{\rm M9} \approx \left(\frac{g_{\rm m5}}{g_{\rm m3}}\right)^2 \left(1 + \frac{1}{g_{\rm m1}R_{\rm S}}\right)^2 \overline{i_{\rm n,M9}^2} \approx G_{\rm I}^2 \left(1 + \frac{1}{N}\right)^2 \overline{i_{\rm n,M9}^2} \tag{4.190}$$

出力雑音電流の合計は,

$$\overline{i_{n,out}^2} = \overline{i_{n,out}^2}\Big|_{M1} + \overline{i_{n,out}^2}\Big|_{M3} + \overline{i_{n,out}^2}\Big|_{M5} + \overline{i_{n,out}^2}\Big|_{M9} + \overline{i_{n,out}^2}\Big|_{M11} + \overline{i_{n,out}^2}\Big|_{R_S}$$
(4.191)

となる.したがって差動構成を考慮した入力換算雑音電流は次のようになる.

$$\overline{i_{n,in}^{2}} = 2 \cdot \frac{i_{n,out}^{2}}{G_{I}^{2}}
\approx \frac{2\overline{v_{n,M1}^{2}}}{R_{S}^{2}} + 2 \cdot \overline{i_{n,M3}^{2}} + 2 \cdot \left(1 + \frac{1}{N}\right)^{2} \overline{i_{n,M9}^{2}} + 2 \cdot \overline{i_{n,RS}^{2}} + 2 \cdot \frac{\overline{i_{n,M5}^{2}} + \overline{i_{n,M11}^{2}}}{G_{I}^{2}}
\approx \frac{8kT\gamma g_{m}}{(g_{m}R_{S})^{2}} + 8kT\gamma g_{m} \left(1 + \frac{1}{N}\right)^{2} + 8kT\gamma g_{m} \left(1 + \frac{2}{M}\right) + \frac{8kT}{R_{S}}
= 8kT\gamma g_{m} \left\{\frac{1}{N^{2}} + \left(1 + \frac{1}{N}\right)^{2} + 1 + \frac{2}{M} + \frac{1}{\gamma N}\right\}
= 16kT\gamma g_{m} \left\{1 + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right)\frac{1}{N} + \frac{1}{N^{2}}\right\}$$
(4.192)

ただし, $g_{m1} = g_{m3} = g_{m9} = g_m$ かつ $g_{m11} = g_{m5} = Mg_m$ とした.

電流増幅器の雑音電力は電流性であるため,同じNに対して g_m が大きいほど雑音電力は大きくなる.また電圧入力型ではNが大きいほど雑音が上昇したのに対し,電流増幅器では逆の傾向となっている. g_{m1} 一定条件において R_s が上昇すると, R_s による雑音電流は減少し,M1による雑音電流は抑制されるため,このような傾向が得られる.しかしながら R_s は r_{d3} との並列抵抗であるため,実際には上限値が存在する.

図 4.30(b) に示す SSF 型の電流増幅器では α*I*_{bias} の電流源からの雑音も計上される. FVF 構造同様に SSF 構造についても雑音を計算すると,次のようになる.

$$\overline{i_{n,in}^2} \approx \frac{8kT\gamma g_m}{\alpha (g_m R_S)^2} + 8kT\gamma \alpha g_m \left(1 + \frac{1}{\alpha N}\right)^2 + 8kT\gamma g_m \left(2 + \alpha + \frac{2}{M}\right) + \frac{8kT}{R_S}$$
$$= 16kT\gamma g_m \left\{1 + \alpha + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right)\frac{1}{N} + \frac{1}{\alpha N^2}\right\}$$
(4.193)

このケースにおいても g_m の増加によって雑音電力が増加し, N の増加によって抑制される傾向が得られる.

図 4.39 に, FVF 構造を持つ電流増幅器の雑音特性を示す.理論計算とシミュレーション結果はほぼ一致しており, N = 0.8 付近で最も低い値となり,以降緩やかに劣化していく.

4.3.3.3 最大 SNDR

歪及び入力換算雑音の解析結果を用いて,最大 SNDR の予測を行う.図 4.40 において, $V_{\rm in}$ における入力換算の雑音電圧は, $i_{\rm n,in}$ に $R_{\rm S}$ を乗じたものに等しい.したがって,



図 4.39: FVF 構造を持つ電流増幅器の雑音特性



図 4.40: 電流増幅器の SNDR 計算モデル

(1.22) 式により, 最大 SNDR は,

$$\mathrm{SNDR}_{\mathrm{peak}} \approx -1.01 - \frac{20}{3} \log \left| \frac{a_3}{a_1} \cdot R_{\mathrm{S}}^2 \cdot \overline{i_{\mathrm{n,in}}^2} f_{\mathrm{BW}} \right| [\mathrm{dB}]$$
(4.194)

となる.

ここでは一例として, FVF 構造を持つ電流増幅器で最大 SNDR を算出する. (4.186) 式及び (4.192) 式より,

$$\left| \frac{a_3}{a_1} \cdot \overline{i_{n,\text{in}}^2} \right| \approx \frac{3}{32} \frac{1}{G_{\text{i1}}g_{\text{m}}R_{\text{S}}} \frac{1}{R_{\text{S}}^2 I_{\text{bias}}^2} \cdot 16kT\gamma g_{\text{m}} \left\{ 1 + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right) \frac{1}{N} + \frac{1}{N^2} \right\}$$

$$= \frac{3kT\gamma}{2G_{\text{i1}}R_{\text{S}}^3 I_{\text{bias}}^2} \left\{ 1 + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right) \frac{1}{N} + \frac{1}{N^2} \right\}$$

$$(4.195)$$



図 4.41: FVF 構造を持つ電流増幅器の SNDR

である. 最大 SNDR は,

$$\begin{aligned} \text{SNDR}_{\text{peak}} &\approx -1.01 - \frac{20}{3} \log \left[\frac{3kT\gamma f_{\text{BW}}}{2G_{\text{i1}}R_{\text{S}}I_{\text{bias}}^2} \left\{ 1 + \frac{1}{M} + \left(\frac{1}{2\gamma} + 1\right) \frac{1}{N} + \frac{1}{N^2} \right\} \right] \\ &= -1.01 - \frac{20}{3} \log \left[\frac{3kT\gamma f_{\text{BW}}}{G_{\text{i1}}N^3 V_{\text{eff}}I_{\text{bias}}} \left\{ 1 + \left(\frac{1}{2\gamma} + 1\right)N + \left(1 + \frac{1}{M}\right)N^2 \right\} \right] \end{aligned}$$
(4.196)

となる.ただし、単位は [dB] である. $N \ll 1$ の領域では、

$$\mathrm{SNDR}_{\mathrm{peak}} \approx -1.01 - \frac{20}{3} \log \left(\frac{3kT\gamma V_{\mathrm{eff}}^2 f_{\mathrm{BW}}}{8G_{\mathrm{i1}}R_{\mathrm{S}}^3 I_{\mathrm{bias}}^4} \right) [\mathrm{dB}]$$
(4.197)

となり、N ≫1の領域では次のように近似される.

$$\mathrm{SNDR}_{\mathrm{peak}} \approx -1.01 - \frac{20}{3} \log \left\{ \frac{3kT\gamma f_{\mathrm{BW}}}{2G_{\mathrm{i1}}R_{\mathrm{S}}I_{\mathrm{bias}}^2} \left(1 + \frac{1}{M}\right) \right\} [\mathrm{dB}]$$
(4.198)

電流増幅器において, SNDR は *I*_{bias} に対して少なくとも 2/3 乗の改善効果が予想される. 一方, *G*_{i1} は 1/3 乗程度の改善効果となる.

図 4.41 に, FVF 構造を持つ電流増幅器の SNDR を示す. 理論計算 (Gm セル) とシ ミュレーション結果は精度良く一致しており, N の増加に対して素直に SNDR が改善 される様子が示されている.

4.4 比較

ここではソース接地回路と、本章で解析を行ったソースデジェネレーション、FVF 構 造を持つオープンループアンプ、及び電流増幅器を比較する.表4.2、表4.3、表4.4 は それぞれ、理論解析の結果をまとめたものである.表を比較すると、ソース接地を除く 回路は、いずれの性能についても同じようなトレードオフ関係が存在している.雑音特 性と線形性は N を介してトレードオフ関係となっており、また SNDR と消費電力もト レードオフとなっている.なお、シミュレーション結果の比較から、FVF 構造を持つ二 つの回路の挙動は同じ理論式で記述できると考えられる.

4.4.1 最小 G_m 値を揃えた比較

実際にこれらの回路をオープンループアンプとして使用する場合,出力端子に接続される負荷容量 $C_{\rm L}$ を考える必要がある.出力端子間の抵抗 $R_{\rm L}$ に対して $C_{\rm L}$ が並列に挿入 されると,それがドミナントポールとなるため,帯域を制約する.これは第2章で述べ た,A/D 変換器のサンプリング問題にも関連する. $C_{\rm L}$ は後段の回路で決まり,必要な 帯域 $f_{\rm S}$ もシステム側の要求によって決まる.そのため,

$$R_{\rm L} < \frac{1}{2\pi f_{\rm S} C_{\rm L}} \tag{4.199}$$

構成	$SNDR_{peak} + 1.01 [dB]$		
ソース接地回路	$-\frac{20}{3}\log\left(\frac{kT\gamma f_{\rm BW}}{V_{\rm eff}I_{\rm bias}}\right)$		
SD Gm セル	$-\frac{20}{3}\log\left[\frac{kT\gamma f_{\rm BW}}{(1+N)^3 V_{\rm eff}I_{\rm bias}}\left\{1+\left(1+\frac{1}{2\gamma}\right)N+N^2\right\}\right]$		
FVF Gm セル	$-\frac{20}{3}\log\left[\frac{kT\gamma f_{\rm BW}}{G_{\rm i}N^3 V_{\rm eff}I_{\rm bias}}\left\{1+\left(\frac{1}{2\gamma}+1\right)N+\left(1+\frac{1}{M}\right)N^2\right\}\right]$		
FVF 電流増幅器	$-\frac{20}{3}\log\left[\frac{kT\gamma f_{\rm BW}}{G_{\rm i1}N^3 V_{\rm eff}I_{\rm bias}}\left\{1+\left(\frac{1}{2\gamma}+1\right)N+\left(1+\frac{1}{M}\right)N^2\right\}\right]$		

表 4.2: SNDR_{peak}の比較

構成	$\overline{v_{ m n,in}^2}$	
ソース接地回路	$\frac{16kT\gamma}{g_{\rm m}}$	
SD Gm セル	$\frac{16kT\gamma}{g_{\rm m}} \left\{ 1 + \left(1 + \frac{1}{2\gamma}\right)N + N^2 \right\}$	
FVF Gm セル	$\frac{16kT\gamma}{g_{\rm m}} \left\{ 1 + \left(\frac{1}{2\gamma} + 1\right)N + \left(1 + \frac{1}{M}\right)N^2 \right\}$	
FVF 電流増幅器	$\frac{16kT\gamma}{g_{\rm m}} \left\{ 1 + \left(\frac{1}{2\gamma} + 1\right)N + \left(1 + \frac{1}{M}\right)N^2 \right\}$	

表 4.3: 入力換算雑音の比較

構成	$ a_3/a_1 $	
ソース接地回路	$\frac{1}{8V_{\rm eff}^2}$	
SD Gm セル	$\frac{1}{8(1+N)^{3}V_{\text{eff}}^{2}}$	
FVF Gm セル	$\frac{1}{8G_{\rm i}N^3V_{\rm eff}^2}$	
FVF 電流增幅器	$\frac{1}{8G_{i}N^{3}V_{\text{off}}^{2}}$	

表 4.4: 線形性の比較

という条件で出力抵抗は制限される.オープンループアンプの要求利得が A_V の場合, $A_V = G_m R_L$ であるから,

$$G_{\rm m} = \frac{A_{\rm V}}{R_{\rm L}} > 2\pi f_{\rm S} C_{\rm L} A_{\rm V} \tag{4.200}$$

となり, *G*_mの下限値が決まる.同様に,入力振幅は前段回路や後段回路の条件によって 決まるため,自由に設定できるとは限らない.したがって,表 4.2 で示した最大 SNDR を達成する設計が消費電力に対して最適ではない場合がある.

そこで各解析で得られた理論式を用いて、必要な G_m 値を実現し、目標 SNDR を達成 する最小の消費電力を比較する.計算には回路シミュレータを用いず、プログラミング



図 4.42: 出力抵抗 R_L と負荷容量 C_L

言語を使用して最小電力を計算した. 図 4.43 に, $G_{\rm m} > 5 \, {\rm mS} \ge G_{\rm m} > 20 \, {\rm mS}$ の二つの 条件で計算を行った結果を示す. 雑音有効帯域 $f_{\rm BW}$ は 1 GHz, SNDR は 50 dB, 40 dB, 30 dB で設定したそれぞれの条件で入力振幅に対して必要な最小消費電流をプロットし ている.

まず,*G*_m > 5 mS の結果を見る.基本的に低入力振幅ではノイズを下げるために消費 電力が割かれ,大振幅入力側では線形性を上げるために消費電力が上がる.SNR が支配 的な領域では,振幅の低下に対して代償となる消費電流の増加が非常に激しく,およそ 二乗のオーダーで推移する.これは電圧性の雑音電力がバイアス電流に反比例する関係 から導かれるものである.一方,線形性で決まる領域では消費電流の増加は緩やかであ り,入力振幅レベルの増加に対しておよそ 3/4 乗で推移している.アーキテクチャ間を 比較すると,FVF 構造は雑音が大きく,線形性に優れる特性となっている.雑音特性で 決まる領域ではおよそ 2 倍の消費電流が必要であり,線形性で決まる領域では最小電流 の比率は 0.8 倍程度となった.

グラフの特徴として,ソースデジェネレーションの構成では *G*_m の制約によって最小 消費電流が決まっている区間が存在する点が挙げられる.ソースデジェネレーションで *g*_m が非常に小さいとき,

$$G_{\rm m} = \frac{1}{R_{\rm S}} \frac{1}{1 + \frac{1}{g_{\rm m}R_{\rm S}}} \approx g_{\rm m}$$
 (4.201)

となるため,特定の $G_{\rm m}$ を実現するためにはある程度の $g_{\rm m}$ が必要であり,そのため必要な消費電流が下がりきらない.M=1とした FVF 構造に同じ仮定を与えると,

$$G_{\rm m} = \frac{1}{R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i}} \left(1 + \frac{1}{g_{\rm m} R_{\rm S}}\right)} \approx G_{\rm i} g_{\rm m}$$
(4.202)



図 4.43:最低 $G_{\rm m}$ に対する最小電力の比較

となり,固有利得 G_i によって g_m が増幅され,少量のバイアス電流でも高い G_m を実現 することができる.そのため,雑音特性や線形性に余裕のある SNDR = 30 dB において は,0.01 Vrms 付近で非常に低い消費電力を達成するという結果を得た.

次に同じアーキテクチャ間の SNDR を比較する. SNR が支配的な低振幅側では, SNDR の差に対して消費電力の差は非常に大きい. 雑音電力は消費電流に反比例するた め, 10 dB の SNDR 改善には 10 倍の消費電力が必要となる. 高い SNDR を低消費電力 で実現するためには, このような SNR で決まる領域を用いず,線形性と切り替わる領 域付近で使用するのが望ましい. ただし,そのためにはある程度振幅を大きくして入力 しなければならない. 振幅が小さい入力では,ソースデジェネレーション(またはソー ス接地回路)に大きなバイアス電流を流して使用するのが適切である.

図 4.43(b) に示した $G_{\rm m} > 20 \, {\rm mS}$ においても同様の傾向が得られている.ここでは比較対象として, FVF 構造で $G_{\rm m} = 5 \, {\rm mS}$ かつ SNDR = 50 dB のプロットを重ね書きした. SNR で決まる領域では $G_{\rm m}$ 値が変わった場合でも消費電流は変わっていない.この領域ではソースデジェネレーションファクターはほぼ 0 であり,ソース接地回路のような状態となっているため, $G_{\rm m}$ は設計パラメータに影響を与えない. $G_{\rm m} = 5 \, {\rm mS}$ と比較して,変化が大きいのは線形性で決まる大振幅入力側である.この領域では $G_{\rm m}$ 値の増加に比例して消費電力が増加している.その結果,FVF 構造において 50 dB を達成する最小の消費電流は約 2.5 倍に上昇しており,そのときの入力振幅も低振幅側に移動している.高い $G_{\rm m}$ を実現するためには $R_{\rm S}$ を小さくしなければならないが,ソースデジェネレーションファクター $N = g_{\rm m}R_{\rm S}$ も同時に小さくなってしまう.これを補填するためには消費電流を増やさなければならないため, $G_{\rm m}$ と消費電力はトレードオフとなる.

比較結果をまとめると,次のようになる.

- 低振幅側はGmに依存せず、入力振幅の減少に対して二乗の消費電力増加となり、
 雑音の低減に多くの消費電力が必要である
- 低振幅側ではソースデジェネレーション(ソース接地回路)の方が優勢である
- 大振幅側の消費電力増加は緩やかであるが、Gm と消費電力は比例関係にある
- SNR で決まる領域を過ぎると、FVF 構造のほうが優勢となる

4.4 比較

4.4.2 出力抵抗に関する考察

2.6.2 節で指摘したように,高速なサンプリングを行うためには出力抵抗 R_Lを小さく 設定しなければならない.広帯域増幅器の利得と R_L が決まっている場合,G_m 値をあ る値以上に設定しなければならないため,消費電力の増加が問題となる.

そこで $A_{\rm V} = 2$ とし、上記の手法を流用して出力抵抗 $R_{\rm L}$ に対する最小消費電流を取得する.ここでは FVF 構造を使用し、広帯域用途を想定して雑音帯域は 3 GHz とした.ただし、入力振幅は 0.1 Vrms(= 280 mV_{pp})で固定している.

図 4.44 に計算結果を示す.大きな R_L が許容できる場合は雑音特性によって必要電力 が決まる.一方, R_L が小さい領域では,必要 G_m の増加に伴って消費電力は大きく増加 する.結局 R_L に対して消費電力は反比例となり, $R_L = 50 \Omega$ かつ SNDR = 50 dB の条 件では,10 mA 以上の消費電流が要求されることになる.アナログベースバンド回路に おいてこの消費電力は無視することができず,高速なサンプリングを行う場合は消費電 力の著しい増加が問題となる.

この問題を解決するためは,消費電力の増加を伴わない線形性改善手法の検討が必要 となる.例えば図 4.43 のケースでは,ソースデジェネレーションよりも FVF 構造の方 が消費電力が低くなった.これは FVF 構造が固有利得によって高い帰還利得持ってい



図 4.44: 負荷抵抗 $R_{\rm L}$ と必要最小電流の関係 (SNDR = $30, 40, 50 \, \mathrm{dB}$)

るためであり,高い線形性が消費電流の減少に結びついている.ソースデジェネレー ションファクター N を増やすことでも線形性は改善されるが,電力効率の観点では,そ れ以外の方法で線形性を改善することが重要である.

4.4.3 オープンループアンプと電流増幅器の比較

FVF 構造を持つオープンループアンプ(Gm セル)と電流増幅器は電圧入力の増幅器 として使用した場合,ほぼ同程度の性能が期待される.ただし図 4.45(a)に示したよう に,オープンループアンプでは入力トランジスタのソース側の電位が大きく動き,その 結果 g_{d3} による歪が性能に影響を与える.電流増幅器の構成ではこのノードの電位変動 はほとんど生じないため,ほぼ理論式の通りの特性を得ることができ,オープンループ アンプよりも高い線形性が実現できる.

ただし、二つの方式は入力インピーダンスの点で大きな違いがある. 図 4.46 に前段回路の出力抵抗 rout を考慮した入力部分を示す. Gm セルやオープンループアンプとして使用する場合、入力はトランジスタのゲート受けとなるため、前段回路のインピーダンスを分離することができる. ただし、前段回路の出力抵抗とオープンループアンプの入力寄生容量が極を作るため、しばしば帯域を制限する. 第7章で指摘する Gm-C フィルタでは、この入力寄生容量が非常に大きな影響を与える.

一方,電流増幅器の場合は r_{in} と入力寄生容量が並列となるため,この問題は緩和される.ただし, r_{out} は R_{S} の一部となるため, $r_{out} \leq R_{S}$ の条件下でしかGmセルの場合と同じ信号電流を作ることができない.

この問題の理由は,図4.47のようなカスケード接続を考えると理解しやすい.Gm セ ルやオープンループアンプでは抵抗を使用して電圧振幅を得て,そこから再度電流に変 換するため,前段回路に大きな負荷抵抗を用いることで電圧利得を稼ぐことができる. 具体的には,

$$A_{\rm V} = G_{\rm m1} R_{\rm L1} \cdot G_{\rm m2} R_{\rm L2} \cdot G_{\rm m3} R_{\rm L3} \tag{4.203}$$

となるため, *G*_m だけでなく, *R*_L でも利得を制御できる. 図 4.43(b) で示したように, SNDR 一定の条件において *G*_m は消費電力に比例するため, *R*_L で利得を上げることが できるこの構成のメリットは非常に大きい.

一方、電流増幅器ではインピーダンスが分離されていないため、前段回路が抵抗に信



図 4.45: オープンループアンプと電流増幅器の比較

号電流を流し込んで得た電圧振幅は意味を持たず,前段回路が作成した信号電流の一部 を受け取ることになる.最大の利得を稼ぐ条件は $R_{S1} = R_{S2} = R_{S3} = 0$ とした状態であ るが,その場合の利得は,

$$A_{\rm I} = \beta_1 \beta_2 \beta_3 \tag{4.204}$$

となり,電流増幅器の電流利得 β のみが系全体の利得となる.電流利得はカレントミラーで得ているが,大きなミラー比は帯域を制限する要因となるため,広帯域かつ高利得を実現するのは極めて困難である.

この問題から,電流増幅器はトランスインピーダンスアンプのような信号を電流で受け取ることを前提とする用途以外ではあまり用いられていない.例えば,第6章で検討するループフィルタでは高い DC 利得が必要となるため,電流増幅器の応用は難しい.しかしながら,第7章で紹介する電流型フィルタでは,電流増幅器に求められる利得は比較的低く,入力寄生容量の観点で Gm セルよりも利点があることから,有効な選択肢となっている.



図 4.46: 電流出力を持つ前段回路の出力抵抗を考慮した入力部分



図 4.47: カスケード接続

4.5 まとめ

本章の内容についてまとめる.

■局所的な負帰還のアイデア 電圧帰還型の負帰還増回路では入力寄生容量の極とオペ アンプの内部極によって帯域が制限されていた.一方,高線形オープンループアンプで は帰還のループを短くすることで帯域を制限する極の数を減らし,広帯域化を図ること ができる.加えて,利得を得る部分と線形性改善を図る部分を分離することで,帰還に 求められるオープンループゲインの要求仕様を緩和することができる.

■オープンループアンプ(Gm セル) 局所的な負帰還を持つ回路として,ソースデ ジェネレーション構成と FVF 構造について説明した.ソースデジェネレーションはソー ス側に挿入した抵抗によって負帰還を作り,線形性を改善する.ただし,線形性の改善 は雑音の劣化とトレードオフであり,SNDR を改善していくためには消費電力の増加が 避けられない.FVF 構造では,ソースデジェネレーションの負帰還にトランジスタの固 有利得が追加され,ソースデジェネレーションよりも高い線形性を実現することができ る.この回路は負帰還の安定性も良好であり,一巡伝達関数が 10 GHz の GB 積を有す る場合でも 90° 近い位相余裕を確保することができるため,広帯域な用途でも線形性が 保たれる.

■電流増幅器 4.3 節では,更に帯域の広い用途で使用される電流増幅器について述べた.電流増幅器では低入力インピーダンスを実現するために局所的な負帰還技術が使用される.代表的な広帯域電流増幅器として,FVF構造を持つ電流増幅器がある.オープンループアンプの場合と同様に,非常に帯域の広い負帰還を有し,トランジスタの固有利得によって低い入力インピーダンスを実現する.ただし,電流増幅器は信号電流の流入によって入力インピーダンスが変化してしまうという問題がある.電流増幅器の入力インピーダンスが変化してしまうという問題がある.電流増幅器の入力インピーダンスが性能に変化を与えるような用途では,このインピーダンスの変化によって線形性が劣化してしまう.

■SNDR と消費電力のトレードオフ 4.4 節では,特定の G_m と SNDR を達成するため に必要な最小消費電流の比較を行った.入力振幅が低い状況では雑音特性が SNDR を決 める.しかしながら,雑音特性の改善は電力効率が悪く,消費電力が非常に大きくなっ てしまう.大振幅入力側では線形性が支配的になるため,線形性の高い FVF 構造は低 消費電力で構成できる.電力効率の観点では,ソースデジェネレーションファクター *N*の増加以外の方法で線形性を改善することが重要となる.

■カスケード構成 オープンループアンプと電流増幅器を比較すると,前段回路の出力 抵抗に対しての挙動に大きな違いがある.オープンループアンプではゲートで信号を受 けるため,入力寄生容量による極が生じる反面,前段回路とインピーダンスを分離する ことができる.一方,電流増幅器は信号を電流で受け取るため,前段回路の電圧振幅を 稼いでも信号成分の増幅につながらない.したがって,電流増幅器で得られる信号に対 する利得は,カレントミラーによって実現される電流利得のみであり,高い利得を必要 とする用途には適していない.

第6章では積分器としての高い利得が必要であるため,Gm セルをベースに検討を行う.第7章では,Gm セルの入力寄生容量がフィルタの特性に大きな影響を与えることから,電流増幅器を用いた電流型フィルタを検討する.

参考文献

- B. Razavi, "A 622 Mb/s 4.5 pA/√Hz CMOS transimpedance amplifier [for optical receiver front-end]," IEEE International Solid-State Circuits Conference, pp. 162-163, Feb. 2000.
- M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm² Analog Baseband Circuits for 60 GHz Wireless Transceiver in 40 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 495-498, June 2012.
- [3] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp.348-349, Feb. 2014.
- [4] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [5] H. Shen, G.M. Wu, L.-W. Yang, and X. Lv, "A 0.13µm CMOS Gm-C LPF for UWB Receiver," IEEE International Conference on ASIC, pp.399-402, Oct. 2007.
- [6] K. Okada, R. Minami, Y. Tsukui, S. Kawai, Y. Seo, S. Sato, S. Kondo, T. Ueno, Y. Takeuchi, T. Yamaguchi, A. Musa, R. Wu, M. Miyahara, and A. Matsuzawa, "A 64-QAM 60GHz CMOS Transceiver with 4-Channel Bonding," IEEE International Solid-State Circuits Conference, pp. 346-347, Feb. 2014.

- [7] M. D. Matteis, A. Pezzotta, S. D'Amico, and A. Baschirotto, "Area-Efficient Linear Regulator With Ultra-Fast Load Regulation," IEEE Journal of Solid-State Circuits, vol. 50, no. 7, pp. 1516-1524, July. 2015.
- [8] S. Wangtaphan and V. Kasemsuwan, "A 0.6 Volt Class-AB CMOS Voltage Follower with Bulk-Driven Quasi-Floating Gate Super Source Follower," 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, pp. 1-4, Aug. 2012.
- [9] C. Koliopoulos and C. Psychalinos, "A Comparative Study of the Performance of the Flipped Voltage Follower Based Low-Voltage Current Mirrors," International Symposium on Signals, Circuits and Systems, pp. 1-4, July 2007.
- [10] B. Aggarwal, M. Gupta, and A. K. Gupta, "A low voltage wide swing level shifted FVF based current mirror," International Conference on Advances in Computing, Communications and Informatics, pp. 880-885, Aug. 2013.

第5章

広帯域増幅器の高線形化手法

本章では第4章の検討を受けて,低消費電力においても高い線形性を実現する技術, 及びそれらの回路に関連する技術について検討を行う.

5.1 オープンループアンプの高線形化手法

本節ではオープンループアンプの線形性改善手法として提案されているいくつかの従 来手法について紹介する.

5.1.1 レベルシフト回路付き FVF 構造

第4章で述べたように、FVF 構造を持つ増幅器は比較的線形性の良い回路であるが、 回路に入力される振幅が大きくなると、増幅器を構成するトランジスタの一部が線形領 域に入ってしまい、急激な線形性の劣化が生じてしまう場合がある.図4.19に示したよ うに、差動電圧が入力されると、その差動電圧とほぼ同等の差動電圧が R_Sの両端に生 じる.図4.19の状況では、M4と M1の V_{DS} が減少しており、特に大きな振幅が入力さ れると、これらのトランジスタの V_{DS} が V_{eff} を下回ってしまう.また、M1の V_{DS} を大 きくすることでローカルフィードバックの利得を決める固有利得を増やすことができ、 M1のチャネル長変調効果によって生じる歪の問題を緩和することができる.

そこで図 5.1 に示す,レベルシフト回路を挿入した回路が提案されている [1–3]. この 回路は入力トランジスタのドレイン側のバイアス点 *V*_D を

$$V_{\rm D} = V_{\rm GS15} + V_{\rm GS17} \tag{5.1}$$

とすることが出来る.レベルシフト回路がない場合と比較すると,M17,M18のトランジ



図 5.1: レベルシフト回路を挿入した FVF 構造を持つ増幅器

スタの V_{GS} の分だけ入力トランジスタのドレイン側のバイアス点を押し上げることが出来る. なお, *C*_C は位相補償のための容量であり, 適切な容量を挿入することで, レベルシフト回路の消費電量 *I*_L を抑えつつレベルシフト回路を用いない場合とほぼ同等の周波数特性を得ることが出来る [3].

ただし、このレベルシフト回路は別の歪の問題を引き起こす。図 5.2 のとおり、 I_{bias} の電流源は PMOS で実現されるため、チャネル長変調効果によって ΔI_{p} の誤差電流が 生じる.この図より、

$$\Delta I_{\rm p} \approx \Delta V_{\rm D} \cdot g_{\rm d13} \approx \frac{\Delta V_{\rm in}}{N} \frac{I_{\rm bias}}{V_{\rm A} + |V_{\rm DS13}|} = \frac{\Delta V_{\rm in}}{N} \frac{I_{\rm bias}}{V_{\rm A} + V_{\rm DD} - V_{\rm D}}$$
(5.2)

となる.ここで V_{DD} は電源電圧である.この ΔI_{p} は M1 の V_{eff} を変動させる.M1 の チャネル長変調効果を無視した場合の ΔI_{p} による M1 の V_{eff} 変動を ΔV_{eff1} とすると,

$$I_{\text{bias}} + \Delta I_{\text{p}} = K \left(V_{\text{eff}} + \Delta V_{\text{eff1}} \right)^2 \tag{5.3}$$

より,

$$\Delta V_{\text{eff1}} = \sqrt{\frac{I_{\text{bias}}}{K} \left(1 + \frac{\Delta I_{\text{p}}}{I_{\text{bias}}}\right)} - V_{\text{eff}} = V_{\text{eff}} \left(\sqrt{1 + \frac{\Delta I_{\text{p}}}{I_{\text{bias}}}} - 1\right)$$
(5.4)



図 5.2: PMOS 電流源のチャネル長変調効果

である.この時の ΔI は,

$$\Delta I = \frac{(\Delta V_{\rm in} - \Delta V_{\rm eff1}) - (\Delta V_{\rm in} - \Delta V_{\rm eff2})}{2R_{\rm S}}$$

$$\approx \frac{\Delta V_{\rm in}}{R_{\rm S}} - \frac{V_{\rm eff}}{2R_{\rm S}} \left(\sqrt{1 + \frac{\Delta I_{\rm p}}{I_{\rm bias}}} - \sqrt{1 - \frac{\Delta I_{\rm p}}{I_{\rm bias}}} \right)$$

$$\approx \frac{\Delta V_{\rm in}}{R_{\rm S}} + \frac{V_{\rm eff1}}{2R_{\rm S}} \frac{\Delta V_{\rm D}}{V_{\rm A} + V_{\rm DD} - V_{\rm D}} + \frac{V_{\rm eff1}}{16R_{\rm S}} \left(\frac{\Delta V_{\rm D}}{V_{\rm A} + V_{\rm DD} - V_{\rm D}} \right)^3 \tag{5.5}$$

となり、 $\Delta V_{\rm D}$ によって三次歪が生じる. PMOS のチャネル長変調効果のみを考慮した際の $|a_3/a_1|$ を求めると、

$$\left|\frac{a_3}{a_1}\right| \approx \frac{V_{\text{eff1}}}{64N^3(V_{\text{A}} + V_{\text{DD}} - V_{\text{D}})^3}$$
(5.6)

となる. M1のチャネル長変調効果による歪と同様に N によって歪は低減される. これ $\Delta V_{\rm D}$ が減少し, チャネル長変調効果によって生じる電流変動が抑制されることによる. また $V_{\rm D}$ が大きくなると M13のチャネル変調効果が顕著になり,線形性を劣化させることが確認できる.

図 5.3 に、 $V_{\rm D}$ と線形性(IIP3)の関係を示したグラフを示す.シミュレーション条件 は表 5.1 のとおりである.またこのシミュレーションにおいて、レベルシフト回路は理 想電圧源を用いて再現した.レベルシフトを行わない通常の FVF 構造では $V_{\rm D}$ は 0.58 V 程度であり、IIP3 は約 1 dBV である.レベルシフト回路により $V_{\rm D}$ を大きくすると線形 性は改善されるが、0.8 V より高い $V_{\rm D}$ では PMOS 電流源側のチャネル長変調効果によっ



図 5.3: レベルシフトと線形性の関係

プロセス	65nm CMOS
電源電圧	$1.2\mathrm{V}$
M	2
$I_{\rm bias}$	80 µA
$R_{\rm S}$	$1\mathrm{k}\Omega$

表 5.1: 図 5.3 の設計条件

て線形性が劣化する. IIP3 のピーク値は $V_{\rm D} = 0.78$ V 付近に存在し, 3dBV を僅かに越 える程度である. 結果として,レベルシフトの挿入で最適設計が行えた場合でも線形性 の改善はわずか 2dB 程度に留まる.加えて,実際のレベルシフト回路はわずかながら ロスが存在するため,線形性改善に費やされるループ部分の利得は,わずかながら劣化 してしまう.

このように、レベルシフト回路による線形性の改善は非常に限定的であると言える. なお、図 5.3 にプロットしたカスコード FVF は、従来の FVF 構造を拡張した提案回路 であり、同じ設計パラメータに対して約 10 dBV の良好な線形性を実現することができ る.詳しくは次章に記載する.

5.1.2 FVF 構造の相補入力化

オペアンプにおいて相補入力化が電力効率改善のキーテクノロジーであったように, オープンループアンプも相補入力化によって電力効率を改善することができる.図 5.4 に,相補入力化した FVF 構造を示す [4].NMOS 側と PMOS 側は対称な回路となって おり,それぞれが FVF 構造を有す.PMOS 側 FVF 構造で使用したバイアス電流は,そ のまま NMOS 側 FVF 構造で再利用される.信号電流は PMOS 側及び NMOS 側でそれ ぞれ生成され,出力側で合流するため,同じパラメータでも二倍の利得を得ることがで きる.

この回路のバイアス電流は R_{shift} で制御される.

$$V_{\rm DD} = R_{\rm shift} I_{\rm bias} + V_{\rm GS3n} + |V_{\rm GS3p}| \tag{5.7}$$

したがって, *R*_{shift} や *V*_{th} などがプロセスばらつきによって変動すると, バイアス電流が 大きく変動してしまう. 相補入力型 FVF 構造を用いてオープンループアンプを設計し, コーナー条件での消費電流を表 5.2 にまとめた. TT に対し, SS 及び FF ではそれぞれ 4 割程度消費電流の増減が生じる. *I*_{bias} は線形性をも担保するため, 大きな *I*_{bias} 変動は 性能の劣化につながってしまう. そのため, 何らかの方法でバイアス電流を補償しなけ ればならない.



図 5.4: 相補入力型 FVF 構造

	_ /	жн сл.	
	TT	SS	FF
消費電流	$6.3\mathrm{mA}$	3.8 mA	$10.7\mathrm{mA}$

表 5.2: コーナー条件と消費電流

また,この回路では通常の FVF 構造と同様に,二つの R_S それぞれが入力差動電圧に 同期して変動する.通常の FVF 構造ではレベルシフト回路によってチャネル長変調効 果を抑制し線形性を改善することができたが,相補入力型では電圧に余裕がなく,M1 及び M2 の V_{DS} を大きくすることができない.以上の点を考慮すると,この回路は入力 電圧振幅が小さく,大きな利得が必要な回路で使用することが望ましいと考えられる.

5.1.3 歪キャンセル技術

線形性を改善する別の方法として,しばしば歪キャンセル技術が用いられる. 歪キャンセルは,あるシステムの伝達特性に対し逆特性の関数をかけることで,出力を線形に 補正する方法である.図 5.5 にコンセプトを示す.この時の出力 y は,

$$y = f^{-1}(f(x)) = x \tag{5.8}$$

となり, f(x) が非線形システムであっても, x から y までは線形システムとなる. この ようにコンセプトはシンプルであるが, 実際の回路においては $f^{-1}(x)$ の実現方法が問 題となる.

■同じパラメータを利用する方法 図 5.6(a) に,同じパラメータを用いた歪キャンセル の例を示す. M1 は入力信号電圧を g_{m1} によって信号電流に変換するが,3.1 節で述べた ように,この信号電流には高次の項が含まれる.そこで負荷として,トランジスタのダ イオード接続を用いる.チャネル長変調効果を無視して I_{D1} 及び I_{D2} について,

$$I_{\rm D1} = K_{\rm n} (V_{\rm effn} + \Delta V_{\rm in})^2 \tag{5.9}$$

$$I_{\rm D2} = K_{\rm p} (V_{\rm effp} + \Delta V_{\rm out})^2 \tag{5.10}$$

と数式を立てる. $I_{D1} = I_{D2}$ であるから,

$$K_{\rm n}(V_{\rm effn} + \Delta V_{\rm in})^2 = K_{\rm p}(V_{\rm effp} - \Delta V_{\rm out})^2$$
(5.11)

となる. $K_{\rm n} = K_{\rm p}$ かつ $V_{\rm effp} = V_{\rm effn}$ を仮定すると,

$$\Delta V_{\rm out} = -\Delta V_{\rm in} \tag{5.12}$$

となり,出力端では歪がキャンセルされる.図 5.6(a) に沿って考察するならば, $V \to I$ の変換を行う g_{m1} が f(x) であり, $I \to V$ の変換を行う $1/g_{m2}$ が $f^{-1}(x)$ に相当する.ただし,PMOS と NMOS の特性は完全には一致しないため,キャンセルしきれない成分は歪として残留する.

図 5.6(b) に示したカレントミラー回路も、同じ原理に基づく歪キャンセル回路と考えられる.ただし、この場合は電流と電圧の順序が反転しており、 $I \rightarrow V$ の変換を行う



図 5.5: 歪キャンセルのコンセプト



図 5.6: 同じパラメータを用いた歪キャンセルの例

 $1/g_{m1}$ が f(x) であり, $V \to I$ 変換を行う g_{m2} が $f^{-1}(x)$ に相当する. このような同じパ ラメータを利用する歪キャンセルは,プロセスばらつきや温度などに対するロバスト性 が比較的高く,利用しやすいという特長がある. ただし,デバイスミスマッチに対して は感度があるため,高精度な歪キャンセルが必要な場合は補正を行う必要がある. 詳し くは 5.2.2 節に記載する.

■違うパラメータを用いて擬似的にキャンセルする方法 しかしながら,上記のように 常に同じパラメータを用意できるとは限らない.仮に同じパラメータで歪キャンセルで きない場合は,擬似的に最も大きな歪をキャンセルするように逆関数を設計する.例え ば差動回路について,

$$f(x) = \alpha_1 x + \alpha_3 x^3 + \alpha_5 x^5 \tag{5.13}$$

$$h(x) = \beta_1 x + \beta_3 x^3 + \beta_5 x^5 \tag{5.14}$$

とし、二つを従属につなげると、

$$h(f(x)) = \beta_1 \left(\alpha_1 x + \alpha_3 x^3 + \alpha_5 x^5 \right) + \beta_3 \left(\alpha_1 x + \dots \right)^3 + \beta_5 \left(\alpha_1 x + \dots \right)^5 \\ \approx \alpha_1 \beta_1 x + \left(\alpha_3 \beta_1 + \alpha_1^3 \beta_3 \right) x^3 + \left(\alpha_5 \beta_1 + \alpha_1^5 \beta_5 + 6\alpha_1^2 \alpha_3 \beta_3 \right) x^5$$
(5.15)

となる.通常,差動回路では三次の項が歪の支配項となるため,三次の項が0となるように係数を選ぶ.すなわち,

$$\beta_3 = -\frac{\alpha_3}{\alpha_1^3} \beta_1 \tag{5.16}$$

とすることで、三次の歪をキャンセルすることができる. ところで、

$$\frac{\beta_3}{\beta_1} = -\frac{\alpha_3}{\alpha_1^3} \tag{5.17}$$



図 5.7: 異なるパラメータを用いた歪キャンセルの例

と変形すると、二つの関数の三次歪は正負が反転していることがわかる. 増幅器におい て、入力振幅が大きくなるほど利得は下がるため、三次の係数は多くの場合負数を取る. したがって、歪キャンセルを行うためには三次の係数が正となるような関数を作らなけ ればならない.

非常によく知られた歪キャンセル手法の一つに,図 5.7(a)のように線形領域のトラン ジスタを利用するソースデジェネレーション回路がある.この回路では MOS 抵抗で正 方向の三次歪を実現し,ソースデジェネレーションの持つ負の三次項をキャンセルする.

同様に,図 5.7(b) に示すクロスカップル技術もよく用いられる線形化手法である [5,6]. この回路は 3.1 節で述べた差動ソース接地回路をつなげたものであるから,ΔV_{in}の入力 に対して (3.20) 式より直ちに,

$$\begin{split} \Delta V_{\text{out}} &\approx \frac{2I_{\text{b1}}R_{\text{L}}}{V_{\text{eff1}}} \Delta V_{\text{in}} - \frac{I_{\text{b1}}R_{\text{L}}}{V_{\text{eff1}}^3} \Delta V_{\text{in}}^3 - \frac{I_{\text{b1}}R_{\text{L}}}{4V_{\text{eff1}}^5} \Delta V_{\text{in}}^5 \\ &- \left(\frac{2I_{\text{b3}}R_{\text{L}}}{V_{\text{eff3}}} \Delta V_{\text{in}} - \frac{I_{\text{b3}}R_{\text{L}}}{V_{\text{eff3}}^3} \Delta V_{\text{in}}^3 - \frac{I_{\text{b3}}R_{\text{L}}}{4V_{\text{eff3}}^5} \Delta V_{\text{in}}^5\right) \\ &= \left(1 - \sqrt{\frac{K_3I_{\text{b3}}}{K_1I_{\text{b1}}}}\right) g_{\text{m1}}R_{\text{L}} \Delta V_{\text{in}} - \left(1 - \sqrt{\frac{K_3^3I_{\text{b1}}}{K_1^3I_{\text{b3}}}}\right) \frac{g_{\text{m1}}R_{\text{L}}}{2V_{\text{eff1}}^2} \Delta V_{\text{in}}^3 \\ &- \left(1 - \sqrt{\frac{K_3^5I_{\text{b1}}^3}{K_1^5I_{\text{b3}}^3}}\right) \frac{g_{\text{m1}}R_{\text{L}}}{8V_{\text{eff1}}^4} \Delta V_{\text{in}}^5 \end{split}$$
(5.18)

と求まる. ただし, それぞれのトランジスタについて,

$$V_{\rm b1} = K_1 V_{\rm eff1}^2 \tag{5.19}$$

$$I_{\rm b3} = K_3 V_{\rm eff3}^2 \tag{5.20}$$

である.三次の項をキャンセルするための条件は,

$$K_1^3 I_{\rm b3} = K_3^3 I_{\rm b1} \tag{5.21}$$

となる. $K_1 = mK_3$ を仮定すると,

$$I_{\rm b3} = \frac{I_{\rm b1}}{m^3} \tag{5.22}$$

となり,適切な設計を行うことで三次歪の項をキャンセルすることが可能となる.ただし, *a*₁ 及び *a*₅ はそれぞれ,

$$a_1 = \left(1 - \frac{1}{m^2}\right) g_{\rm m1} R_{\rm L} \tag{5.23}$$

$$a_5 = \left(1 + m^2\right) \frac{g_{\rm m1} R_{\rm L}}{128 V_{\rm eff}^4} \tag{5.24}$$

となるため *m* が小さい場合は利得が減少し, *m* が大きい場合は 5 次歪が大きくなって しまう.

このような歪キャンセルにおいても,デバイスミスマッチは問題となる.特に MOS 抵抗は線形領域を利用するため,図 5.7(a)の回路はしきい値のミスマッチに対する感度 が非常に高い.加えて,大きな三次の係数に対して打ち消しを行う場合,わずかなパラ メータの誤差によって生じる打ち消しきれなかった残留成分が大きな歪となってしまう. 図 5.7(b)に示したクロスカップル技術は,数式上三次の係数をゼロにできるが,打ち消 す対象がソース接地回路の三次歪であり,誤差成分の影響を大きく受ける.

そこで,ソースデジェネレーションにクロスカップル技術を用いた図 5.8 のような回路が提案されている [7]. M1 及び M2 側のソースデジェネレーション回路がメイン回路であり,ここで生じた歪を M3 及び M4 のクロスカップル回路でキャンセルする.ソースデジェネレーション回路はソース接地回路よりも線形性が良いため,クロスカップル回路でキャンセルする歪の量は小さくなり,ミスマッチへの耐性が向上する.加えてクロスカップル側の回路もソースデジェネレーション構成を持つため,細かな歪の制御がしやすいと考えられる.上記の手順に沿って各係数を調べる.

$$\Delta V_{\text{out}} \approx \left(\frac{g_{\text{m1}}R_{\text{L}}}{1+g_{\text{m1}}R_{\text{S1}}} - \frac{g_{\text{m3}}R_{\text{L}}}{1+g_{\text{m3}}R_{\text{S3}}}\right) \Delta V_{\text{in}} - \left(\frac{3g_{\text{m1}}R_{\text{L}}}{\left(1+g_{\text{m1}}R_{\text{S1}}\right)^4 V_{\text{eff1}}^2} - \frac{3g_{\text{m3}}R_{\text{L}}}{\left(1+g_{\text{m3}}R_{\text{S3}}\right)^4 V_{\text{eff3}}^2}\right) \Delta V_{\text{in}}$$
(5.25)

より,

$$\frac{g_{\rm m1}}{(1+N_1)^4 V_{\rm eff1}^2} = \frac{g_{\rm m3}}{(1+N_3)^4 V_{\rm eff3}^2}$$
(5.26)

である.

$$g_{\rm m1} = \frac{2I_{\rm b1}}{V_{\rm eff1}^2} = 2K_1 V_{\rm eff1} = 2\sqrt{K_1 I_{\rm b1}}$$
(5.27)

$$g_{\rm m3} = \frac{2I_{\rm b3}}{V_{\rm eff3}^2} = 2K_3 V_{\rm eff3} = 2\sqrt{K_3 I_{\rm b3}}$$
(5.28)

より,

$$\frac{K_1^{\frac{3}{2}}}{(1+N_1)^4 I_{\rm b1}^{\frac{1}{2}}} = \frac{K_3^{\frac{3}{2}}}{(1+N_3)^4 I_{\rm b3}^{\frac{1}{2}}}$$
(5.29)

となる.ここで, $N_1 = N_3$ を仮定し,更に $K_1 = mK_3$ とすると, $I_{
m b3} = rac{I_{
m b1}}{I_{
m b3}}$

$$I_{\rm b3} = \frac{I_{\rm b1}}{m^3} \tag{5.30}$$

となる. 一方 $N_1 = N_3$ より,

$$R_{\rm S3} = R_{\rm S1} \sqrt{\frac{K_1 I_{\rm b1}}{K_3 I_{\rm b3}}} = m^2 R_{\rm S1} \tag{5.31}$$

とすることで,上記の条件をすべて満たす.再び (5.25) 式に戻り,一次の係数を求めると,

$$a_{1} = \frac{2\sqrt{K_{1}I_{b1}} - 2\sqrt{K_{3}I_{b3}}}{1 + N_{1}}R_{L} = \frac{g_{m1}R_{L}}{1 + N_{1}}\left(1 - \frac{1}{m^{2}}\right)$$
(5.32)



図 5.8: クロスカップル技術を用いたソースデジェネレーション

となり、利得は (5.23) 式と同様に 1/m² で減衰する特性となる.

図 5.9 に歪キャンセル技術による線形性改善の効果を示す.設計条件は表 5.3 のとお りである.図 5.9(a)は、ミスマッチを考慮していない線形性の比較である.MOS 抵抗を 用いたソースデジェネレーションの線形性改善は限定的であり、広い領域では歪キャン セルの効果をほとんど得られていない.このように、異なるパラメータを用いた歪キャ ンセルでは完全な線形性の改善が難しい.一方、ソースデジェネレーション構成にクロ スカップル技術を応用した回路は、FVF 構造とほぼ同等の線形性を実現しており、広い 入力振幅範囲において良好な線形性を実現している.

図 5.9(b) は,モンテカルロ・シミュレーション 100 回分の IIP3 を比較したものである.ソースデジェネレーションはほぼ一定の線形性だが,MOS 抵抗はミスマッチの影響を受けて非常に広範囲にばらついている.FVF 構造とクロスカップル構成を持つソー スデジェネレーションの分布は近いが,やや FVF 構造のほうが劣化分が大きい.

図 5.8 の歪キャンセル技術は通常のソースデジェネレーション構成よりも良好な線形 性が実現できるが,出力インピーダンスが小さくなってしまう点に注意が必要である. クロスカップル手法はメイン回路の利得を犠牲にして成り立つため,通常のソースデ ジェネレーションよりも小さな *R*_s を採用しなければならない.このとき,*R*_L を除く ソースデジェネレーションの出力インピーダンスは,

$$r_{\rm out} \approx \frac{1}{g_{\rm dp} + \frac{g_{\rm d1}}{g_{\rm m1}R_{\rm S}}} \tag{5.33}$$

と表される.ただし、 g_{dp} は図 5.8 において $(I_{b1} + I_{b3})$ を供給する電流源のインピーダンスである. R_{S} が十分小さいとき、出力インピーダンスは R_{S} 側が支配的となり、 $r_{out} \propto R_{S}$ が成立するようになる.すなわち、クロスカップル手法で R_{S} が小さい場合は、それに応じて出力インピーダンスも低下してしまうことになる.

電源電圧	$1.2\mathrm{V}$	
プロセス	65nm CMOS	
消費電力	$2.6\mathrm{mW}$	
利得	$6\mathrm{dB}$	
出力抵抗 R _L	500Ω	

表 5.3: 図 5.9 の設計条件



(b) モンテカルロシミュレーション



表 5.4 に,今回の設計における出力インピーダンスを比較したものを示す. FVF 構造 は出力側のカスコード構成によって非常に高い出力インピーダンスを持つが,ソースデ ジェネレーション構成の出力インピーダンスはかなり低い.更にクロスカップル技術を 用いた回路は従来のソースデジェネレーション構成よりも 20%以上出力インピーダンス が低下している.したがって,クロスカップル技術は今回比較を行った低倍率の利得を 持つオープンループアンプの用途には適しているが,出力インピーダンスが伝達関数に 大きな影響を与える回路にはあまり適していないと言える.例えば Gm-C フィルタを構

	SD	FVF	SD + MOS 抵抗	SD+クロスカップル	
-	$1.51\mathrm{k}\Omega$	$11.1\mathrm{k}\Omega$	$1.52\mathrm{k}\Omega$	$1.17\mathrm{k}\Omega$	

表 5.4: 出力インピーダンスの比較

成する Gm-C 積分器などでは,Gm セルの出力抵抗によって DC 利得が決まるため,高 い出力抵抗を持つことが望ましいとされる.この出力抵抗の問題は Gm-C フィルタの周 波数特性に大きな影響を及ぼす.詳しくは第7章で指摘する.

また,一段の回路で高い利得を実現したい場合も高い出力インピーダンスが求められる.出力インピーダンスが低い場合,トランジスタパラメータを内包する出力インピー ダンスが回路の利得に影響を与えるため,出力端での線形性劣化が生じる.

この問題は、図 5.10(a) に示した OIP3 の比較が理解しやすい. このグラフにおいて, *R*L は利得を変化させるための変数としてスイープされている. ソースデジェネレーショ ン系の回路は出力インピーダンスが低く,上限利得は 16 dB から 18 dB 程度となってい る.一方,FVF 構造は 30 dB を越える高い利得を実現することができる. OIP3 を見る と,クロスカップル技術を応用したソースデジェネレーションは 7 dB の利得を境に急 激に線形性が劣化していく様子が見られる. FVF 構造でも同様に 5 dB 以上の利得では OIP3 は単調減少であるが,20 dB もの利得まで約 14 dBV の OIP3 を維持することがで きる.グラフによれば,10 dB を越える利得を実現する場合は出力インピーダンスの高い FVF 構造の方が有利となり,歪キャンセルを用いたソースデジェネレーションは 10 dB を下回る低利得な用途で効果を発揮する.

続いて, SNDR の最大値で比較を行う.ソースデジェネレーション系の回路は雑音特性に優れるため, SNDR の最大値は図 5.10(b) のように FVF 構造と遜色無い結果が得られる.特にクロスカップル技術を用いたソースデジェネレーションは 10 dB 付近まで非常に高い SNDR を達成しているため,低振幅な用途では非常に有効な選択肢となる.



図 5.10: R_L スイープ時の利得と性能変化

5.2 電流増幅器の高線形化手法

続いて電流増幅器の関連回路技術について述べる.

5.2.1 gm ブーストによる低入力インピーダンス化

第4章で述べたように, FVF 構造を持つ電流増幅器では (4.132) 式に含まれる Aを大 きくすることで入力インピーダンスの低減を実現した.更なる改善のアイデアとして, Aの利得を更に大きくする手法が考えられる.そこで,図 5.11(a) のように,FVF 構造 に補助アンプを追加する方法が検討されている [8].ここでは,補助アンプ Aの入力ア ドミタンス Y_{in A} 及び出力抵抗 r_{out A} を考慮して考える.

図 5.11(b) は, M1 及び補助アンプ部分の小信号等価回路である. ここではノートンの 定理を元に解析する. v_{out} を接地した際に流れ出る電流を i_{out} とすると,

$$i_{\rm out} = (g_{\rm m1} + g_{\rm d1})v_{\rm in} - g_{\rm m1}v_{\rm a} \tag{5.34}$$

である.一方,

$$v_{\rm a} = -\frac{G_{\rm m,A}r_{\rm out,A}}{1 + sC_{\rm L1}r_{\rm out,A}}v_{\rm in} = \frac{A}{1 + \frac{s}{\omega_{\rm p,A}}}v_{\rm in}$$
(5.35)

である.ここで,

$$\omega_{\rm p,A} = \frac{1}{C_{\rm L1} r_{\rm out,A}} \tag{5.36}$$



図 5.11: 補助アンプを用いた入力インピーダンス低減

とした. (5.34) 式及び (5.35) 式より,この等価回路のコンダクタクタンス Gml は,

$$G_{\rm m1} = \left(1 + \frac{A}{1 + \frac{s}{\omega_{\rm p,A}}} \right) g_{\rm m1} + g_{\rm d1}$$
(5.37)

と表される. 一方, v_{out} から見込んだインピーダンス r_{out1} は,

$$r_{\rm out1} = r_{\rm d1} \tag{5.38}$$

となる. この回路の入力インピーダンス r_{in1} は,

$$r_{\rm in1} = \frac{1}{Y_{\rm in,A} + G_{\rm m1}} \tag{5.39}$$

である.

以上を踏まえて,電流増幅器としての特性を求める.図 4.31 に示した, FVF 構造を 持つ小信号等価回路において,

$$g_{m1} \rightarrow G_{m1}$$

 $R_{S} \rightarrow \frac{1}{G_{S} + Y_{in,A}}$

と修正する. また, 簡単のため C_{in1} を無視する. (4.150) 式から,

$$v_{\rm x} = \frac{1}{g_{\rm m3} - g_{\rm d} + (G_{\rm S} + Y_{\rm in,A} + G_{\rm m1}) \frac{g_{\rm d1} + C_{\rm X}}{G_{\rm m1}}} i_{\rm in}$$
(5.40)

$$\approx \frac{G_{\rm m1}}{G_{\rm m1}g_{\rm m3} + G_{\rm S}g_{\rm d1} + Y_{\rm in,A}g_{\rm d1}}i_{\rm in} \tag{5.41}$$

である. (4.50) 式は,

$$v_{\rm s} = \frac{g_{\rm d1} + sC_{\rm X}}{G_{\rm m1}} v_{\rm x}$$

$$\approx \frac{1 + \frac{sC_{\rm X}}{g_{\rm d1}}}{\left(1 + \frac{A}{1 + \frac{s}{\omega_{\rm p,A}}}\right)} G_{\rm i1}g_{\rm m3} + G_{\rm S} + Y_{\rm in,A}} i_{\rm in}$$

$$\approx \frac{1}{(1+A)G_{\rm i1}g_{\rm m3}} \frac{\left(1 + \frac{s}{\omega_{\rm z}}\right)\left(1 + \frac{s}{\omega_{\rm p,A}}\right)}{1 + \frac{s}{\omega_{\rm p,A}} \frac{1 + Y_{\rm in,A}R_{\rm S}}{AG_{\rm i1}N}} i_{\rm in}$$
(5.42)


図 5.12: 補助アンプの実現手段

と表される.したがって入力インピーダンスは,

$$r_{\rm in}(s) \approx \frac{1}{(1+A)G_{\rm i1}g_{\rm m3}} \frac{\left(1+\frac{s}{\omega_{\rm z}}\right)\left(1+\frac{s}{\omega_{\rm p,A}}\right)}{1+\frac{s}{\omega_{\rm p,A}}\frac{1+Y_{\rm in,A}R_{\rm S}}{AG_{\rm i1}N}}$$
(5.43)

となる. (4.153) 式と比較すると,入力インピーダンスが補助アンプ A の利得によって 低減していることがわかる.一方,入力インピーダンスには新たなゼロ点が挿入されて おり,帯域は (5.36) 式で決まる.

ここで具体的な A の実現方法を考察する.図 5.12(a) はソース接地回路を利用する方法である.トランジスタ M1A の固有利得によって A を実現する.一方,図 5.12(b) はゲート接地回路を利用する方法であり,同様に M1A の固有利得で A を実現する.-1のバッファは,差動対称の回路では反対側のノードを接続すれば実現できるため,実際には挿入されない.いずれの回路においても,

$$r_{\rm out,A} = \frac{1}{g_{\rm d1A} + g_{\rm d3A}} = \frac{1}{2g_{\rm dA}} \tag{5.44}$$

であり,

$$A = \frac{g_{m1A}}{g_{d1A} + g_{d3A}} = \frac{G_{i1A}}{2}$$
(5.45)

となる. ただし, 簡単のため $g_{d1A} = g_{d3A} = g_{dA}$ とした. 補助アンプ A に供給されるバ

イアス電流が cIbias と表されるとき,

$$C_{\rm L1} \approx K_{C_{\rm L1}} I_{\rm bias} \tag{5.46}$$

$$g_{\rm dA} = \frac{cI_{\rm bias}}{V_{\rm A}} \tag{5.47}$$

と表すことができる. したがって (5.36) 式は,

$$\omega_{\rm p,A} = \frac{2g_{\rm dA}}{C_{\rm L1}} \approx \frac{c}{K_{C_{\rm L1}}V_{\rm A}} \tag{5.48}$$

となり, cに強く依存するようになる.入力インピーダンスのゼロ点の劣化を防ぐので あればcを1程度の値に設定し, $\omega_{p,A} > \omega_z$ としておかなければならない.そのため,補 助アンプにもメイン回路部分とほぼ同等のバイアス電流を供給する必要があり,消費電 流が大きくなってしまう.

ただし,図 5.12(b)の回路では cI_{bias} を M3 に流し込み,再利用することができる.もっ とも、この方法も帯域とトレードオフである.M3 を流れるバイアス電流が増加したこ とにより、 V_{eff} 一定の設計ではトランジスタサイズが増加するため、カレントミラーの寄 生容量 C_{X} が増加する.これに対し g_{d1} のバイアス電流は変化しないため、 $\omega_{\text{z}} = g_{\text{d1}}/C_{\text{X}}$ は劣化していく.加えて M3 のドレイン電流が増加するということは、M5 へのカレン トミラーのミラー比が減少することを意味する.ミラー比を保つという観点では、 cI_{bias} は再利用ではなく、M1 に供給していたバイアス電流の一部を cI_{bias} として補助アンプ側 に割り振ったと解釈するのが自然である.

従来の FVF 構造と図 5.12(b) の回路をシミュレーションで比較する. 図 5.13(a) は, それぞれ全体の消費電力を 1.4 mW として設計した際の周波数特性を示している. DC 側における入力インピーダンスはゲート接地回路の利得により, 31.5 Ω から 5 Ω まで減 少した. 一方高周波側では, $g_{\rm m}$ ブーストを用いた回路の入力インピーダンスの上昇が早 くなっており, c に対して相関を持つことが読み取れる. ただし,従来の FVF に対して 十多分高い周波数においても低い入力インピーダンスを維持している. 図 5.13(b) は, c = 1 における全消費電流とその点における SNDR の最大値をプロットしたグラフであ る. シミュレーション条件は表 4.1 のとおりであり,ミラー比は 1 としている. ゲート 接地回路付き FVF 構造を持つ電流増幅器は,同じ消費電力における SNDR の最大値を, 1 ~ 2 dB 程度改善することができる.

この手法は入力インピーダンスを低減することができるものの, N が小さい領域で は補助アンプを構成する各回路の雑音が SNR を劣化させる要因となる.更に入力イン



図 5.13: シミュレーション結果

ピーダンス自体は小さくできるが,入力インピーダンスの変動そのものを抑えることが 出来ない.そのため,最大 SNDR の改善量自体は小さくなってしまう.一方,第4章で 述べる相補入力型電流増幅器は入力インピーダンスの変動が非常に小さい回路である. その結果,バランス状態における入力インピーダンスが2倍程度高いにも関わらず,従 来の FVF 構造を持つ電流増幅器よりも 5.5 dB 高い SNDR_{peak} を実現している.SNDR 改善のためには図 5.11(a) のような低入力インピーダンスだけでは不十分であり,一定 の入力インピーダンスを実現する技術も必要である.

5.2.2 カレントミラー補正手法の検討

5.1.3 節で指摘したように, カレントミラー回路も歪キャンセルを利用した回路であ る. そのため, デバイスミスマッチによってキャンセルの精度が悪くなり, 非理想成分 が生じてしまう [11,12]. 電流増幅器においてカレントミラー回路は必須の要素となって いるため, カレントミラー回路の精度は非常に重要である. 例えば第7章で述べる電流 型フィルタでは, カレントミラーの作る電流利得の誤差がカットオフ特性に影響を与え てしまう. ここでは, カレントミラーに対するデバイスミスマッチの影響と, その補正 技術について検討する.

5.2.2.1 カレントミラーにおけるしきい値ミスマッチの影響

集積回路におけるトランジスタのデバイスミスマッチは、 β ミスマッチと V_{th} ミスマッ チの二つに分類される [10]. β ミスマッチは $\mu C_{\text{ox}} W/L$ に関するばらつきであり、トラ ンジスタの電流式に係数としてかかる. 一方、 V_{th} ミスマッチは基盤へのドーピング分 布によって生じるばらつきとされ、後述のように V_{eff} との比率で回路に影響を与える. 近年の微細プロセスでは、電源電圧の低下によって V_{eff} が低下しており、 V_{th} ミスマッ チの影響が相対的に大きくなっているとされる [13]. したがって、ここではしきい値ミ スマッチを対象に、その影響の解析と補正手法を検討する.

図 5.14 のような,トランジスタ M1 と M2 の間にしきい値誤差 ΔV_{th} を持つ回路を考える.今,M1 側に ΔI が入力されたと仮定する.

$$I_{\rm D1} = I_{\rm bias} + \Delta I = K(V_{\rm eff} + \Delta V_{\rm G})^2 \tag{5.49}$$

$$I_{\rm D2} = MK(V_{\rm eff} + \Delta V_{\rm G} - \Delta V_{\rm th})^2$$
(5.50)



図 5.14: オフセットを考慮したカレントミラー回路

ただし、簡単のためチャネル長変調効果は無視している.

$$I_{\text{bias}} = K V_{\text{eff}}^2 \tag{5.51}$$

を用いて, (5.49) 式を $\Delta V_{\rm G}$ について解くと,

$$\Delta V_{\rm G} = \sqrt{\frac{I_{\rm bias} + \Delta I}{K}} - V_{\rm eff}$$
$$= V_{\rm eff} \left(\sqrt{1 + \frac{\Delta I}{I_{\rm bias}}} - 1 \right)$$
(5.52)

となる. これを (5.50) 式に代入する.

$$\begin{split} I_{\rm D2} &= MK(V_{\rm eff} + \Delta V_{\rm G})^2 + MK\Delta V_{\rm th}^2 - 2MK(V_{\rm eff} + \Delta V_{\rm G})\Delta V_{\rm th} \\ &= M(I_{\rm bias} + \Delta I) + MI_{\rm bias} \frac{\Delta V_{\rm th}^2}{V_{\rm eff}^2} - 2MI_{\rm bias} \frac{\Delta V_{\rm th}}{V_{\rm eff}} \sqrt{1 + \frac{\Delta I}{I_{\rm bias}}} \\ &\approx MI_{\rm bias} + MI_{\rm bias} \frac{\Delta V_{\rm th}^2}{V_{\rm eff}^2} - 2MI_{\rm bias} \frac{\Delta V_{\rm th}}{V_{\rm eff}} + M\Delta I \\ &- MI_{\rm bias} \frac{\Delta V_{\rm th}}{V_{\rm eff}} \left\{ \frac{\Delta I}{I_{\rm bias}} - \frac{1}{4} \left(\frac{\Delta I}{I_{\rm bias}} \right)^2 + \frac{1}{8} \left(\frac{\Delta I}{I_{\rm bias}} \right)^3 \right\} \\ &= M \left\{ I_{\rm bias} \left(1 - \frac{\Delta V_{\rm th}}{V_{\rm eff}} \right)^2 + \left(1 - \frac{\Delta V_{\rm th}}{V_{\rm eff}} \right) \Delta I + \frac{\Delta V_{\rm th}}{4V_{\rm eff}} \frac{\Delta I^2}{I_{\rm bias}} - \frac{\Delta V_{\rm th}}{8V_{\rm eff}} \frac{\Delta I^3}{I_{\rm bias}^2} \right\}$$
(5.53)

ただし,途中で $\Delta I/I_{\text{bias}} \ll 1$ としてテイラー展開を行った.入力換算オフセット電流を I_{offset} ,各次数の係数を b_1, b_2, b_3 とおくと,

$$I_{\text{offset}} = \frac{\Delta V_{\text{th}}}{V_{\text{eff}}} I_{\text{bias}}$$
(5.54)

$$b_1 = 1 - \frac{\Delta V_{\rm th}}{V_{\rm eff}} \tag{5.55}$$

$$b_2 = \frac{\Delta V_{\rm th}}{4V_{\rm eff}} \frac{1}{I_{\rm bias}} \tag{5.56}$$

$$b_3 = -\frac{\Delta V_{\rm th}}{8V_{\rm eff}} \frac{1}{I_{\rm bias}^2} \tag{5.57}$$

となる. $\Delta V_{\text{th}} = 0$ では I_{offset} や b_2, b_3 は 0 となるが、 $|\Delta V_{\text{th}}|$ が大きいほどこれらの非理 想成分は大きくなる. また、いずれの ΔV_{th} も V_{eff} との比率で出現する.

シミュレーションを用いてこれらの傾向を確認する.ただし,チャネル長変調効果を 排除するため,図 5.15 のようなスーパーカスコード構成を使用した.図 5.16 に ΔV_{th} を 考慮したシミュレーション結果を示す.シミュレーション条件は表 5.5 の通りである. 三次歪はやや理論計算と離れているが,利得及び二次歪は理論式とほぼ一致している. 理論式とのずれは,トランジスタの二乗則の前提が崩れていることが原因と考えられる.

電源電圧	$1.2\mathrm{V}$
プロセス	$65\mathrm{nm}\ \mathrm{CMOS}$
ミラー比 <i>M</i>	2
$I_{\rm bias}$	120 µA
入力電流	$80\mu A_{\rm pp}$
入力周波数	$10\mathrm{MHz}$
L	$80\mathrm{nm}$
W	$800\mathrm{nm}$ $\times 6$

表 5.5: 図 5.16 のシミュレーション条件



図 5.15: スーパーカスコードカレントミラー

5.2.2.2 従来の補正手法

トランジスタペア間のミスマッチに対し,電流 DAC [14],増幅器 [15], A/D 変換器に 用いる比較器 [16,17] など,アプリケーションに応じた様々な補正手法が検討されてい る.ただし,多くの場合はトランジスタのしきい値誤差そのものは補正せず,外部でミ スマッチによる影響を打ち消す方法で対策を行っている.例えば [16,17] では,ロード 容量を調整することでミスマッチによって生じた遅延時間誤差を打ち消している. [14] では,自身の持つしきい値誤差成分を容量でサンプリングして打ち消す方法を提案して いる.しかしながら,このような方法は他の回路への応用が難しく,特に電流増幅器の ように連続時間系で動作し,DC 付近から高周波までの信号を通す回路には適用が困難 である.



図 5.16: ΔV_{th} を考慮したシミュレーション結果

連続時間系カレントミラー回路に関する補正手法の検討には [11] や [12] などがあ る. [11] は図 5.17(a) に示したフローティングゲート手法を用いて,トランジスタペアの V_{GS} を個別に制御する手法を提案している.容量は DC 信号を遮断し,DAC などの外部 電源によってしきい値誤差を吸収するように V_{GS} を指定する.一方,高周波信号は容量 を介してゲート端子まで到達するため,高周波用途で使用することができる.ただし, 低周波側の信号は遮断されてしまうという問題がある.

[12] は図 5.17(b) に示したバックゲート効果を利用する方法を提案している. バック ゲート効果は,

$$V_{\rm th} = V_{\rm th0} + \gamma \left(\sqrt{2\phi_{\rm f} - V_{\rm BS}} - \sqrt{2\phi_{\rm f}}\right) \tag{5.58}$$



図 5.17: しきい値調整手法

という形でしきい値電圧を制御することができる [18]. ここで γ は基板バイアス効果係数, $\phi_{\rm f}$ はフェルミポテンシャル, $V_{\rm th0}$ は $V_{\rm BS} = 0$ におけるしきい値電圧である. この手法は DC 側の低周波信号を阻害せず,メインパスとなるカレントミラーノードにも追加素子が入らないという特長がある.ただし, [12] ではミスマッチ検出の方法に理想電源を用いており,実装には適していない.

5.2.2.3 参照電流源を用いた補正手法

そこで図 5.18 に示す補正手法を検討する. M1 及び M2 によって構成されるカレント ミラー回路が補正対象の回路であり、参照電流源、検出回路、及び補正回路によって補 正を実現する.

参照電流源は,正確な電流比 *M* を持つ電流源であり,実際は PMOS トランジスタな どで構成される.この参照電流は M1 及び M2 にそれぞれ流れ込む.M1 側はダイオー ド接続となっているため, I_{bias} に対応した V_{X} を生じさせる.M2 のゲート電圧は V_{X} と なっているため,M2 は電流源として動作しようとする.ところが *MI_{\text{bias}}* も電流源とし て動作しているため,二つの電流源の内より大きな電流を流そうとするトランジスタを 線形領域に落とすように V_{Y} の電圧が変動する. $V_{\text{th2}} < V_{\text{th1}}$ のとき,すなわち $\Delta V_{\text{th}} < 0$ のとき,M2 が流そうとする電流は $I_{\text{D2}} > MI_{\text{bias}}$ となるため,M2 の電流を減らすた めに V_{Y} は V_{SS} 側に接近する.-f, $V_{\text{th2}} > V_{\text{th1}}$ のとき,すなわち $\Delta V_{\text{th}} > 0$ のとき, $I_{\text{D2}} < MI_{\text{bias}}$ となるため, V_{Y} は V_{DD} 側に接近する.

実際の特性は図 5.19 に示したとおりである. すなわち, Vx と Vy の大小を比較するこ



図 5.18: 提案補正回路



 \boxtimes 5.19: $\Delta V_{\rm th} \geq V_{\rm X}, V_{\rm Y}$

とで、 ΔV_{th} の符号を検出することができる.しきい値ミスマッチの直接的な補正は、[12] と同様にバックゲート効果を用いる.比較器の出力はカウンタ回路を介して DAC1、ま たは DAC2 に作用する.負電源が用意できる場合は片側の DAC のみで良いが、単電源 の回路では $V_{\text{BS}} \ge 0$ の領域しか利用できないため、それぞれのトランジスタに DAC を 必要とする.

図 5.20 に、補正時における各ノードの時間波形を示す. このケースでは $\Delta V_{\rm th} < 0$ を 補正している. 7 µsec 付近で補正動作が完了し、 $V_{\rm X} \approx V_{\rm Y}$ となる.



図 5.20: 各ノードの時間波形

	補正前		補正後	
	$27^{\circ}\mathrm{C}$	$27^{\circ}\mathrm{C}$	$-40^{\circ}\mathrm{C}$	$80^{\circ}\mathrm{C}$
Worst $HD2 [dBc]$	-43.4	-61.8	-57.7	-60.9
Worst HD3 $[dBc]$	-68.2	-79.8	-75.2	-82.6
電流利得の σ [mdB]	399.3	33.7	52.7	47.5
最小利得 [dB]	4.717	5.867	5.852	5.831
最大利得 [dB]	7.046	6.088	6.156	6.102

表 5.6: モンテカルロ・シミュレーション(200回)の結果

5.2.2.4 シミュレーション結果

表 5.6 に,提案補正手法のモンテカルロ・シミュレーションの結果を示す.シミュレー ション条件は表 5.5 のとおりである.DAC の分解能は 6 bit とし,参照電流源は図 5.21 の回路で作成した.この参照電流源はややサイズが大きいものの,補正対象の全てのカ レントミラーで共通して使用することができるため,実際の面積オーバーヘッドは少な



図 5.21: 参照電流源

い.シミュレーションではまず 27°C で補正を行い,その後温度を変化させて各性能を 調査した. HD2 及び HD3 は補正によって大幅に改善されており,特に HD2 は 18 dB 以 上性能が改善された.また,補正時と異なる温度においても安定した性能が得られてい る.電流利得のばらつきも劇的に改善されており,常温における標準偏差は 0.4 dB から 0.03 dB まで減少するという結果が得られた.この補正手法により,電流利得やカレン トミラー回路の利得精度と線形性を確保することが可能となる.

ところで,残留する歪及び電流利得の誤差はβミスマッチによるものと推測される. 更に高い精度を必要とする用途では, [12] で検討されているβミスマッチに関する補正 を行わなければならないが,補正回路の規模が大きくなってしまう点に注意しなければ ならない.

5.3 まとめ

本章では,第4章に続き,いくつかの広帯域増幅器について高線形化手法と関連回路 技術について検討した.

■オープンループアンプの高線形化技術 オープンループアンプで線形性を改善する他 の手法として、レベルシフト回路付き FVF 構造を紹介した.入力トランジスタの V_{DS} を大きくすることで擬似的に固有利得を増やすことができるため、ある程度線形性を改 善することができる.ただし、PMOS 側の V_{DS} が減少するため、IIP3 の改善は 2 dB 程 度に留まる.

・ 金キャンセル技術は逆特性の歪を与えることで線形性を改善する技術である.ただし、 打ち消す三次歪の絶対値が大きいとき、ばらつきによって精度が大きく劣化してしまう. そのため、ソースデジェネレーションなどの高線形化技術との併用が望ましい.線形性の比較シミュレーションでは、クロスカップル技術を用いたソースデジェネレション回路はFVF構造に匹敵する高い線形性を実現した.

■電流増幅器の高線形化技術 電流増幅器の線形性を改善する手法として, g_m ブーストによる入力インピーダンス低減手法を紹介した.この手法により,入力インピーダンスは 31.5 Ω から 5 Ω に低減した.しかしながら,この手法は信号電流の流入による入力インピーダンス変動の問題を解決することができない.そのため,同消費電力におけるSNDR 改善は 1 ~ 2 dB 程度に留まる.

■カレントミラー補正技術 電流増幅器では線形性の高い電流増幅を行うために,カレ ントミラー回路が用いられる.ただし,カレントミラー回路は歪キャンセル手法の一種 であり,ばらつきによって利得変動や線形性の劣化が生じてしまう.この問題を解決す る手法として,参照電流源を利用したミスマッチ検出とバックゲート効果による補正手 法を提案し,検討を行った.補正を行うことでワーストケースにおける HD2 は 18 dB 改 善され,電流利得の標準偏差は 0.4 dB から 0.034 dB まで改善された.

参考文献

- I. Mehr and D. R. Welland, "A CMOS Continuous-Time Gm-C Filter for PRML Read Channel Applications at 150 Mb/s and Beyond," IEEE Journal of Solid-State Circuits, vol. 32, no. 4, pp. 499-513, Apr. 1997.
- H. Shen, G. Wu, L.-W. Yang, and X. Lv, "A 0.13µm CMOS Gm-C LPF for UWB Receiver," 7th International Conference on ASIC, pp. 399-402, Oct. 2007.
- [3] 金子 徹, 横溝 真也, 宮原 正也, 松澤 昭, "レベルシフト回路を用いた高線形 Gm セルの周波数特性に関する検討,"電子情報通信学会 学生・若手研究会, (26), 2014 年12月.
- [4] 金子 徹, 宮原 正也, 松澤 昭, "CMOS 入力演算増幅器の高利得化の検討," 電子情報
 通信学会 2013 年総合大会, C-12-47, 2013 年 3 月.
- S. Szczepanski, A. Wyszynski, and R. Schaumann, "Highly linear voltagecontrolled CMOS transconductors," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 40, no. 4, pp. 258-262, Apr. 1993.
- [6] A. Nedungadi and T. Viswanathan, "Design of linear CMOS transconductance elements," IEEE Transactions on Circuits and Systems, vol. 31, no. 10, pp. 891-894, Oct. 1984.
- T. Y. Lo and C. C. Hung, "A 40-MHz Double Differential-Pair CMOS OTA With -60-dB IM3," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 1, pp. 258-265, Feb. 2008.

- [8] N. Retdian, D. Horii and S. Takagi, "Linear voltage-to-current converters with current reuse technique," Analog Integrated Circuits and Signal Processing, vol. 72, no. 3, pp. 549-556. Sep. 2012.
- [9] I. P.-Cantoya and P. M. Furth, "High performance voltage follower with very low output resistance for WTA applications," IEICE Electronics Express, vol. 11, no. 17, pp. 1-7, Aug. 2014.
- [10] R. J. Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd Edition, Wiley-IEEE Press, 2010.
- [11] T. Datta and P. Abshire, "Mismatch Compensation of CMOS Current Mirrors Using Floating-Gate Transistors," IEEE International Symposium on Circuits and Systems, pp. 1823-1826, May 2009.
- [12] S. W. Milam and P. E. Allen, "Accurate Two-Transistor Current Mirrors," Proceedings of the 37th Midwest Symposium on Circuits and Systems 1994, vol. 1, pp. 151-154, Aug. 1994.
- P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," IEEE Journal of Solid-State Circuits, vol. 40, no. 6, pp. 1212-1224, Jun. 2005
- [14] D. W. J. Groeneveld, H. J. Schouwnaars, H. A. H. Termeer, and C. A. A. Bastiaansen, "A Self-Calinration Technique for Monolithic High-Resolution D/A Converters," IEEE Journal of Solid-State Circuits, vol. 24, no. 6, pp. 1517-1522, Dec. 1989.
- [15] J. H. Atherton and H. T. Simmonds, "An Offset Reduction Technique for Use with CMOS Integrated Comparators and Amplifiers," IEEE Journal of Solid-State Circuits, vol. 27, no. 8, pp. 1168-1175, Aug. 1992.
- [16] D. G. Chen and A. Bermak, "A Low-Power Dynamic Comparator with Digital Calibration for Reduced Offset Mismatch," IEEE International Symposium on Circuits and Systems, pp. 1283-1286, May 2012.

- [17] D. Li, Q. Meng, F. Li, and L. Wang, "An Analysis of Offset Calibration Based Additional Load Capacitor Imbalance for Two-stage Dynamic Comparator," International Conference on Information Communication and Management, pp. 264-267, Oct. 2016.
- [18] D. Wu, R. Huang, W. Wong, and Y. Wang, "A 0.4-V Low Noise Amplifier Using Forward Body Bias Technology for 5 GHz Application," IEEE Microwave and Wireless Components Letters, vol. 17, no. 7, pp. 543-545, July 2007.

第6章

連続時間型 $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器

本章では,アナログフロントエンド回路の一形態である連続時間型 ΔΣ A/D 変換器 について述べる.

6.1 連続時間型 $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器

A/D 変換器で SNR を劣化させる要因として、サンプリング時に混入するサンプリン グ雑音や、量子化雑音などがある. 第2章の 2.6.2 節で述べたように、サンプリング雑音 を低減するためには大きなサンプリング容量をドライブする必要があるため、ドライバ 回路の設計が困難になる. 量子化雑音を低減するためには多数のコンパレーターや複数 回の変換が必要となるため、消費電力や動作速度の点で望ましくない. 連続時間型 ΔΣ A/D 変換器は、これらのサンプリングや量子化雑音の問題を解消することができるオー バーサンプリング A/D 変換器の一種である.

図 6.1 に連続時間型 A/D 変換器の基本構成を示す. この A/D 変換器は, ループフィ ルタ,量子化器(Quantizer), D/A 変換器(DAC)などで構成される. ループフィルタ は伝達関数 H(s)を持つ連続時間系のフィルタであり,主に積分器などで構成される高 い利得を持つ回路である. ループフィルタの出力電圧は量子化器でサンプリングされ, ディジタル出力 D_{OUT} へと変換される. 更にこの D_{OUT} は D/A 変換器を介して入力側 にフィードバックされる.

6.1.1 $\Delta \Sigma$ 変調と SQNR

連続時間型 $\Delta\Sigma$ A/D 変換器の動作を理解するために,図 6.2 に示したブロック線図に ついて考える.ただし,X を入力,Y を出力とし, Q_n は量子化を行う際に混入する量 子化雑音を表す.

$$Y = (X - Y) H(s) + Q_{n}$$
(6.1)

より,

$$Y = \frac{H(s)}{1 + H(s)}X + \frac{1}{1 + H(s)}Q_{n}$$

= STF(s) \cdot X + NTF(s) \cdot Q_{n} (6.2)

を得る.ただし,信号成分と量子化雑音成分に対する伝達関数(STF 及び NTF)はそれぞれ,

$$\begin{cases} STF(s) = \frac{H(s)}{1 + H(s)} \\ NTF(s) = \frac{1}{1 + H(s)} \end{cases}$$
(6.3)

である.ここで $|H(s)| \gg 1$ とすると,

$$\begin{cases} \text{STF}(s) \approx 1\\ \text{NTF}(s) \approx \frac{1}{H(s)} \end{cases}$$
(6.4)

となり, X の信号振幅は変化しないが, Q_n は H(s) によって小さくなることがわかる. この現象は, A/D 変換を行う前に利得 H(s) が挿入されていることで生じる. 負帰還を



図 6.1: 連続時間型 $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器の基本構成

考慮しない場合, X の振幅は H(s) によって大きく増幅され,その後に Q_n が混入する ため,相対的に Q_n の影響を減じることができる.しかしながら,単純に H(s) を挿入し ただけでは Y における振幅が非常に大きくなってしまう.そこで Y における振幅を制 限するために, X への負帰還が行われる.H(s) が十分に高い利得を持つとき,第3章 で述べたような負帰還動作によって Y の振幅が X に一致するようになる.このように して, $\Delta\Sigma$ A/D 変換器では量子化雑音の影響を抑えている.ただし,A/D 変換器全体 が負帰還のシステムとなっているため,安定性の評価が必須である.

ここで *H*(*s*) に, ω₁ のユニティゲイン角周波数を持つ *n* 次の積分器を想定する. すな



図 6.2: 連続時間型 $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器のブロック線図





わち,

$$H_{\rm n}(s) = \left(\frac{\omega_{\rm I}}{s}\right)^n \tag{6.5}$$

とする. このとき (6.4) 式により, NTF は次のようになる.

$$\operatorname{NTF}(s) \approx \left(\frac{s}{\omega_{\mathrm{I}}}\right)^n$$
(6.6)

図 6.3 に,積分器のユニティゲイン周波数で規格化を行った際の NTF を示す.周波数 が低い領域では NTF の値は非常に小さくなり,また積分器の次数が高いほど抑制効果 は高くなる.一方で高い周波数では,積分器の利得低下によって抑制効果が薄くなって しまい,高い SNR が期待できなくなってしまう.そのため,使用したい (A/D 変換を 行いたい)信号帯域に対して,NTF が十分に低くなるように設計を行う必要がある.帯 域外の信号は A/D 変換後のオーバーサンプリング処理によって除去できるため,ここ では帯域内に混入する雑音成分について考察する.信号帯域を f_{BW} とおくと,Q_n に関 する有効雑音帯域は,

$$f_{\rm BW,eq} = \int_0^{f_{\rm BW}} |\rm{NTF}(s)| \cdot df \approx \int_0^{f_{\rm BW}} \left(\frac{f}{f_{\rm I}}\right)^n \cdot df$$
$$= \frac{1}{n+1} \left(\frac{f_{\rm BW}}{f_{\rm I}}\right)^n \cdot f_{\rm BW}$$
(6.7)

となる.ただし、 $f_{\rm I} = \omega_{\rm I}/2\pi$ である.それぞれの周波数は、図 6.4 のような関係にある. 一方量子化雑音 $Q_{\rm n}$ は、量子化器の量子化電圧 $V_{\rm q}$ 及びサンプリング周波数 $F_{\rm sample}$ に対して、

$$Q_{\rm n} \cdot \frac{F_{\rm sample}}{2} = \frac{V_{\rm q}^2}{12} \tag{6.8}$$

という関係がある [1]. また、A/D 変換器のフルスケール電圧を $V_{\rm FS}$,量子化器の分解 能を N bit とすると、

$$V_{\rm q} = \frac{V_{\rm FS}}{2^N} \tag{6.9}$$

であるから,

$$Q_{\rm n} = \frac{V_{\rm q}^2}{6F_{\rm sample}} = \frac{1}{3 \cdot 2^{2N+1}} \frac{V_{\rm FS}^2}{F_{\rm sample}}$$
(6.10)

と表される.したがって,量子化雑音による帯域内の雑音電力 PQn は次のようになる.

$$P_{Q_{n}} = \int_{0}^{f_{BW}} Q_{n} df = Q_{n} \cdot f_{n,BW} \approx \frac{1}{3 \cdot 2^{2N+1}} \frac{V_{FS}^{2}}{F_{sample}} \frac{1}{n+1} \left(\frac{f_{BW}}{f_{I}}\right)^{n} \cdot f_{BW}$$
$$= \frac{1}{3 \cdot 2^{2N+2}} \frac{1}{OSR} \frac{V_{FS}^{2}}{n+1} \left(\frac{f_{BW}}{f_{I}}\right)^{n}$$
(6.11)

ここでOSRはオーバーサンプリング比を表しており,

$$OSR = \frac{f_{\rm BW}}{F_{\rm sample}/2} \tag{6.12}$$

で定義される.一方,フルスケール電圧 V_{FS} に対して最大の信号電力 P_S を求めると,

$$P_{\rm S} = \left(\frac{V_{\rm FS}}{2\sqrt{2}}\right)^2 = \frac{V_{\rm FS}^2}{8} \tag{6.13}$$

であるから,量子化雑音に対する信号電力の比率 Signal to Quantization Noise Ratio (SQNR) は次のようになる.

$$SQNR = \frac{P_S}{P_{Q_n}} = 3 \cdot 2^{2N-1} \cdot OSR \cdot (n+1) \left(\frac{f_I}{f_{BW}}\right)^n$$
(6.14)

このように $\Delta\Sigma$ A/D 変換器においては,量子化器のビット数 N,積分器の次数 n,積分 器の利得 $\omega_{\rm I}$,オーバーサンプリング比率 OSR などを増やすことによって量子化雑音の 影響を抑えることができる.これらの技術により, $\Delta\Sigma$ A/D 変換器は他の A/D 変換 器では達成が難しい高い SNDR を実現することを可能とする.

しかしながら,量子化器のビット数増加やオーバーサンプリング比率の増加は,量子 化器の消費電力の増加を招いてしまうという問題がある.また,ΔΣ 変調は負帰還のシ ステムであるため,位相補償を施すことで適切な位相余裕を確保する必要がある.高次 の積分器では位相補償が困難になってしまうため,実際には3次から4次程度の構成が よく用いられている.最後の改善手法である積分器の利得増加は,後述するディジタル 回路の遅延問題と密接な関係を持つため,位相余裕とトレードオフの関係にある.

6.1.2 連続時間型と離散時間型

 $\Delta \Sigma A/D$ 変換器には、連続時間型構成と離散時間型の構成が存在する. 図 6.5(a) にそれぞれの構成を示す.



図 6.5: $\Delta \Sigma \mathbf{A} / \mathbf{D}$ 変換器の連続時間型と離散時間型

■離散時間型 離散時間型の構成では,はじめに入力信号をサンプリングし, ∆Σ 変調 のループに標本化された信号を入力する.ループフィルタ *H*(*z*) はオペアンプを用いた スイッチトキャパシタ回路などで構成され,離散時間系のフィルタとして動作する.量 子化器の出力からのフィードバック部分も全て離散時間で構成される.

離散時間型の最大のメリットは, PVT ばらつきやミスマッチに対する耐性の高さで ある. ループフィルタはオペアンプの負帰還回路で構成されるため非常にロバストであ り, 伝達関数は容量比によって決定される. 高次の ΔΣ 変調では発振のおそれがあるも のの, 伝達関数が容量の比率のみで決まる離散時間系のフィルタは伝達関数が変化しに くいため, 設計値通りの安定した動作が期待できる. この特長から高次のループフィル タを分割する MASH 技術 [1,2] も用いやすく, 良好な SQNR が実現できる.

しかしながら、離散時間型の構成ではサンプリング周波数が上げにくいという欠点が



図 6.6: サンプリング雑音の比較

ある.離散時間系の回路では、サンプリング周波数に同期してループフィルタのセトリ ングが完了していなければならない.この問題により、オペアンプの負帰還で構成され るスイッチトキャパシタ回路は動作周波数が低くなり、サンプリング周波数を制限して しまう要因となってしまう.また理三時間型では入力部分でサンプリングを行うため、 サンプリングを行う過程で混入するサンプリング雑音や、サンプリングジッタなどの影 響を防ぐことができない.このような問題から、高くても1MHz 程度の比較的周波数の 低いオーディオなどのアプリケーションで用いられている [3,4].

■連続時間型 連続時間型では前述のとおり、ループフィルタを連続時間系の回路で構成し、量子化器の直前でサンプリングを行う.

連続時間型のメリットは、離散時間型と比較して高速動作が可能なことと、サンプリ ングに関する諸問題を解決できることである.連続時間型のループフィルタはサンプリ ング周波数に同期せず、連続時間系のフィルタとして動作している.したがって、離散 時間型のようにサンプリング周波数毎にセトリングを要求されることがないため、サン プリング周波数を高く設定することが可能である.また、サンプリング時に混入する雑 音成分は、出力結果にほとんど影響を与えない.連続時間型構成では、*H(s)*の利得で増 幅された後に ΔΣ 変調のループ内でサンプリングを行うため、サンプリングで混入する 雑音成分に対する伝達関数は *Q*_n と同様に NTF で表される.そのため、多くの場合は サンプリング雑音は量子化器の寄生容量だけでも十分に低い値とすることができる.こ の作用は入力部でサンプリングを行う離散時間型と対照的である(図 6.6).加えて A/D 変換器のサンプリング容量をドライブするための A/D ドライバや、エイリアシングを 防ぐためのアンチエイリアスフィルタを省略できるというメリットもある.実際に通常 のナイキスト A/D 変換器と比較した場合、A/D ドライバやフィルタ回路などを考慮す ると、連続時間型 $\Delta\Sigma$ A/D 変換器の方が電力効率が良いとする報告もある [5].

一方,連続時間型のデメリットは PVT ばらつきに対する耐性である. ループフィル タを構成する積分器の時定数は,抵抗や容量などの複数のパラメータによって決定さ れる.単一パラメータの比によって伝達特性が決まる離散時間型と比較して,*H*(*s*) は PVT ばらつき(特にプロセスばらつき)の影響を受けやすいと言える.この問題の解決 には,フィルタ回路のチューニング技術 [6,7] が有効であると考えられる.

本研究では広帯域が重要なファクターであるため、本章では連続時間型を前提に議論 を進める.

6.1.3 ディジタル遅延と位相余裕

図 6.25 に示したモデルでは、出力 Y から入力 X まで瞬時にフィードバックされてい るが、実際の回路では量子化器や倫理回路などで遅延が生じる.このディジタル領域の 遅延を Excess Loop Delay (ELD) と呼ぶ.ここでは一例として、量子化器の出力が確定 するまでの遅延時間を考える.

遅延時間をT_{delay}とおくと、伝達関数は、

$$H_{\text{delay}}(s) = e^{-sT_{\text{delay}}} \tag{6.15}$$



図 6.7: 遅延時間 T_{delav} と位相回転



図 6.8: ディジタル遅延を考慮したブロック線図

と表される. $s = j\omega$ より、利得と位相は次のように表される.

$$|H_{\rm delay}(j\omega)| = 1 \tag{6.16}$$

$$\angle H_{\text{delay}}(j\omega) = -\omega T_{\text{Delay}}$$

$$(6.17)$$

図 6.7 に,遅延時間と位相の関係をまとめたものを示す.遅延時間による位相回転は遅 延時間と周波数に比例する.

これらの位相回転は, $\Delta \Sigma A/D$ 変換器の一巡伝達関数に影響を与える. 図 6.8 に, ディジタル遅延を考慮したブロック線図を示す. この図から,

$$\angle H_{\text{open}}(s) = \angle H(s) + \angle H_{\text{delay}}(s)$$
(6.18)

となり、ELDによる位相は開ループの位相特性に直結することが読み取れる。特に高速 な連続時間型 $\Delta\Sigma$ A/D 変換器では、SQNR を稼ぐためにループフィルタを構成する積 分器の利得を高くするため、|H(s)| = 1となる周波数が高くなり、ELDによる位相劣化 が深刻な問題となる。

この問題について理解するために, SQNR と ELD による位相劣化の関係式を導出す る. $|H(\omega_u)| = 1$ となるループフィルタを有す A/D 変換器の SQNR を基準とし,そこか ら積分器の利得を変化させた際に生じる差分を Δ SQNR と定義する. 各積分器の利得を k 倍すると, (6.14) 式により,

$$\Delta \text{SQNR} = 10 \log k^n = 10n \cdot \log k \quad [\text{dB}] \tag{6.19}$$

となる.一方, ω_u は $k\omega_u$ となるため,ELDによる位相劣化の差分 $\Delta\theta$ は(6.17)式により,

$$\Delta \theta = \angle H_{\text{delay}}(jk\omega_{\text{u}}) - \angle H_{\text{delay}}(j\omega_{\text{u}}) = -(k-1)\omega_{\text{u}}T_{\text{Delay}} \tag{6.20}$$



図 6.9: n = 3, $T_{\text{delay}} = 500 \, \text{ps}$ における $\Delta SQNR$ と $\Delta \theta$ の関係

と表される. (6.19) 式を用いて k を消去すると,

$$\Delta \theta = -(10^{\frac{\Delta SQNR}{10n}} - 1)\omega_{\rm u} T_{\rm Delay}$$
(6.21)

となり、 Δ SQNR と $\Delta \theta$ にトレードオフが存在することが確認できる.

ここでn = 3, $T_{delay} = 500 \text{ ps}$ を想定すると、 $\Delta SQNR$ と $\Delta \theta$ の関係は図 6.9 のようになる. ただし、 $f_u = \omega_u/2\pi$ である. f_u が高い場合はSQNR改善に伴う位相劣化が大きくなり、 $f_u = 200 \text{ MHz}$ では、およそ3dBのSQNR改善を満たすために約 9°の位相劣化を許容しなければならない. あるいは、ELDによって生じた 9°の位相劣化を回復させるためには、SQNRを3dB劣化させる必要がある. このように、SQNRと位相劣化は密接な関係を持つ.

このような位相特性の劣化に対応するため,連続時間型 $\Delta\Sigma$ A/D 変換器では n 個の極 に対して n 個のゼロ点を挿入するのが一般的である. この n 個目のゼロ点挿入を ELD 補償と呼び,高い SQNR を実現しつつ適切な位相余裕をもたらす重要な技術となってい る [8].

もっとも, ELD による位相劣化を防ぐ最も良い方法は遅延時間 *T*_{delay} の削減である. この遅延時間はディジタル領域の遅延であることから,量子化器や論理回路などの高速 化によって ELD に関する位相の問題を緩和することができる.その為,量子化器には 高速動作かつ低レイテンシ出力が可能なフラッシュ型 A/D 変換器が用いられることが 非常に多い.ただし,狭帯域を中心に非同期逐次比較型 A/D 変換器を使用している報 告もある [9,10].

6.2 ループフィルタ

高速な連続時間型 ΔΣ A/D 変換器に用いられるループフィルタは, Active-RC フィル タと Gm-C フィルタの二種類に大別できる. 図 6.10 にそれぞれの構成を示す.

6.2.1 Active-RC フィルタ

Active-RC フィルタは、オペアンプを用いた積分器で構成されるフィルタであり、狭 帯域の受信機向けのフィルタなどでよく用いられているアーキテクチャである.

第3章で議論したように、オペアンプの負帰還を利用した負帰還増幅回路は、オペア ンプの利得によって良好な線形性を実現することができる.加えて、積分器の時定数を $R \geq C$ によってほぼ正確に定めることができるため、伝達関数の変動に敏感な連続時間 型 $\Delta\Sigma$ A/D 変換器においても使用しやすいというメリットが有る.これらの利点によ り、今日の連続時間型 $\Delta\Sigma$ A/D 変換器では、Active-RC フィルタが主流なアーキテク チャとなっている [5,11–15].

その一方で、広帯域化を行う場合はオペアンプの消費電力と位相特性の劣化が問題と なる.図 6.11 にオペアンプ積分器の等価回路を示す.ここでは簡単のため、オペアンプ



図 6.10: ループフィルタのアーキテクチャ



図 6.11: オペアンプ積分器の等価回路

の入力寄生容量 C_{in} を省略する.

$$\left(\frac{1}{R} + sC\right)V_{\rm X} = \frac{V_{\rm IN}}{R} + sCV_{\rm OUT} \tag{6.22}$$

$$G_{\rm m}V_{\rm X} + \left(\frac{1}{r_{\rm out}} + sC_{\rm L} + sC\right)V_{\rm OUT} = sCV_{\rm X}$$
(6.23)

より, 伝達関数は,

$$H(s) = \frac{1 - \frac{sC}{G_{\rm m}}}{\frac{1}{G_{\rm m}r_{\rm out}} + \frac{sC}{G_{\rm m}}\left(1 + \frac{R}{r_{\rm out}} + G_{\rm m}R + \frac{C_{\rm L}}{C}\right) + \frac{s^2CC_{\rm L}}{G_{\rm m}R}}$$
(6.24)

となる. ここで分母のゼロ次の項を落とし, $G_{\rm m}r_{\rm out}\gg 1, G_{\rm m}R\gg 1$ とすると,

$$H(s) \approx -\frac{1 - \frac{sC}{G_{\rm m}}}{sCR + \frac{s^2CC_{\rm L}}{G_{\rm m}R}} \approx -\frac{1}{sCR} \frac{1 - \frac{sC}{G_{\rm m}}}{1 + \frac{sC_{\rm L}}{G_{\rm m}}}$$
(6.25)

となる.分子には右半面に存在するゼロ点が挿入されており,この周波数以降は積分動 作が正常に行われない.加えてこのゼロ点は位相を遅らせるため,理想積分器の位相で ある –90°を超えて位相が回転する.分母にも極が含まれており,ゼロ点と同様に位相 を遅らせる要因となる.

これらの非理想成分の影響を排除するためには,積分器の使用する利得に対して十分 に高い位置にゼロ点と極を移さなければならない.まず分母の極はオペアンプの GB 積 を用いて,

$$\omega_{\rm p} = \frac{G_{\rm m}}{C_{\rm L}} \approx 2\pi \cdot \text{GBW} \tag{6.26}$$

と変形される.したがってこの極はオペアンプの GB 積に相当する極であり,第3章の 3.4 節で指摘した GB 積の制限を受けてしまう.そのため,この極の改善には限界が存 在することになる.

一方,分子のゼロ点は,

$$\omega_{\rm z} = -\frac{G_{\rm m}}{C} \tag{6.27}$$

であり、*G*_mを大きくする設計が有効である.ただし、*G*_mはトランジスタの *g*_mで実現 されることから、ゼロ点の影響軽減には消費電力の増加が必要となる.

このようにオペアンプを用いた積分器は高周波側において位相を遅らせる極とゼロ 点を内包しており,広帯域化を行う際の障害となる. ΔΣ A/D 変換器では A/D 変換器 そのものが負帰還を持つため,ループフィルタの位相劣化は A/D 変換器全体の位相余 裕劣化を招く.この位相劣化は図 6.7 で示した ELD による位相劣化と等価であるため, SQNR を制限する要因となってしまう.通常,積分器は多段にカスケード接続されるた め,一段あたりの位相劣化がわずかであっても,ループフィルタ全体では大きな位相劣 化につながってしまう.

6.2.2 Gm-Cフィルタ

Gm-C フィルタは, Gm セルと容量を用いたフィルタ形式である. グローバルな帰還 を持たない広帯域な Gm セルを用いることで, Active-RC フィルタよりも広帯域なフィ ルタを構成することできるため, 100 MHz を越えるフィルタなどの用途でよく用いられ ている [16,17]. 図 6.10(b) に示すように, 連続時間型 ΔΣ A/D 変換器では DAC から フィードバックされた成分を受け取る都合で, 初段にはオペアンプ型積分器を用いる.

この構成のメリットは、広帯域化が容易であることと、良好な位相特性を持つ点である [18,19]. オペアンプを用いた負帰還増幅回路とは異なり、グローバルな帰還を持たないため、積分器単体では位相補償を行う必要がない.そのため、広帯域化を行う際の電力効率は Gm-C フィルタの方が良好であると考えられる.また、第4章で議論したように、FVF 構造のような局所的な帰還を持つオープンループ型アンプであっても内部の極は GHz オーダーであり、負帰還増幅回路よりも位相特性の劣化が少ない.

図 6.12 は,典型的なオペアンプと後述するカスコード FVF 構造を持つ Gm セルを用いた積分器の周波数特性を比較したグラフである.ただし,設計条件は表 6.1 のとおり



図 6.12: 周波数特性の比較

2011・慎力品の以前木口		
プロセス	65nm CMOS	
電源電圧	$1.2\mathrm{V}$	
消費電力	$900\mu\mathrm{W}$	
f_{I}	$100\mathrm{MHz}$	

表 6.1: 積分器の設計条件

である. Active-RC フィルタは低周波においては理想積分器に近いものの,利得が0dB を下回る以前から位相が –90°を下回る様子が確認できる.通常,高次の積分器を有す る場合は位相補償が挿入される関係で,積分器のユニティゲイン周波数 $f_{\rm I}$ よりも高い周 波数で $H_{\rm open}$ が0dB となる.したがって Active-RC フィルタでは一段辺り,少なくと も5°程度の位相劣化が生じることになる.一方,Gm-C フィルタは 200 MHz 付近まで 位相を保っており,利得についても 3 GHz 付近までほぼ理想的な特性を保っている.こ のように,Gm-C フィルタを用いることにより,Active-RC フィルタで生じる位相劣化 の問題を改善することができる.



図 6.13: Gm-C フィルタの線形性と最大 SNDR の関係

しかしながら,Gm-Cフィルタは線形性が課題である.Gm-Cフィルタは Active-RC フィルタと比較して線形性が低く,歪による SNDR の劣化が度々問題となる.連続時間 型 ΔΣ A/D 変換器においても,高い SNDR を達成するためには Gm-Cフィルタに高い 線形性が要求される.図 6.13 は,Gm-Cフィルタの線形性(IIP3)と,後述する 20 MHz 帯域の A/D 変換器における SNDR 劣化の関係を示している.ただし,グラフ縦軸の「最 大 SNDR」は量子化雑音と Gm-Cフィルタの非線形性によって生じる歪による劣化のみ を考慮した値であり,熱雑音などは考慮されていない.グラフよれば,A/D 変換器の SNDR 劣化を防ぐためには,Gm-Cフィルタには 9 dBV を越える非常に高い線形性が要 求される.第4章で議論したように,ソースデジェネレーションや FVF 構造などで線 形性を改善するためには消費電力の増加が必要であるため,Gm-Cフィルタでは低消費 電力と高線形性の両立が困難である.

Gm-C フィルタは、位相特性の観点で Active-RC フィルタに対してメリットを有するに もかかわらず、この線形性の問題によって採用されているケースは例外的である [18,19]. そこで本研究では、第4章で議論したオープンループアンプの線形性向上技術を拡張し、 低消費電力で高い線形性を実現する Gm セルについて考察する.

6.3 Gm セルの高線形化

本節では、Gm セルの高線形化手法について検討する.はじめに第4章及び第5章の 検討内容について簡単にまとめ、その後提案回路を示す.

6.3.1 従来回路

第4章では、代表的な高線形オープンループアンプとしてソースデジェネレーション と FVF 構造について検討を行った.これらの回路では、線形性を高める手法として、

- デジェネレーション抵抗 R_s による帰還
- 固有利得 G_i による帰還

が採用されている.特に後者を用いる FVF 構成では良好な線形性が実現可能である. 他のアプローチとして 5.1.3 節で歪キャンセル技術を用いたソースデジェネレーション 回路を紹介したが,この用途では積分器として使用するため,出力インピーダンスが減 少する手法は除外する.

ローカルフィードバックは、その開ループ利得によって回路内部の電圧やトランジス タの動作点などの変動を抑制し、線形性の改善に貢献する. FVF 構造におけるオープン ループゲインは、(4.61) 式より、



図 6.14: FVF 構造を持つオープンループアンプの動作

(6.28)

と表された. この利得によって, 図 6.14 のように M1 のソース側電圧の変動 $\Delta V_{\rm S}$ が $\Delta V_{\rm in}$ に追従し, 精度の高い V-I 変換を実現している.

しかしながら, FVF 構造には次の三つの欠点が指摘された. 高い線形性を低消費電力 で実現するためには、これらの三つの問題点を同時に解決しなければならない.

■*N* と消費電力のトレードオフ $\Delta V_{\rm D}$ を抑制するためには *N* の増加が必要である.た だし, *N* = $g_{\rm m}R_{\rm S}$ により, $G_{\rm m} = M/R_{\rm S}$ を保ちつつ *N* を増やすためには, $I_{\rm bias}$ を大きく する必要がある.そのため,回路全体の消費電力が増えてしまう.

■ソース側電圧変動の問題 オープンループゲインの改善によりドレイン側の電圧変動 は抑制されるが、ソース側は、

$$\Delta V_{\rm in} \approx \Delta V_{\rm S} \tag{6.29}$$

が成立するため, N が十分に大きい状況においても,

$$\Delta V_{\rm DS} = \Delta V_{\rm D} - \Delta V_{\rm S} \approx -\Delta V_{\rm in} \tag{6.30}$$

となり、M1のチャネル長変調効果を完全に抑制することは不可能である。M1のチャネル長変調効果は $\Delta V_{\rm S} \approx \Delta V_{\rm in}$ の関係を乱すため、線形性を劣化させてしまう。

■PMOS 電流源の変動 ソース側電圧変動の問題を緩和する方法として、レベルシフト回路を挿入して $V_{\rm D}$ のバイアス電圧を釣り上げる方法がある.しかしながら、 $V_{\rm D}$ の電圧が上昇すると M13のチャネル長変調効果が顕著になってしまう.その結果、PMOS電流源が供給する $I_{\rm bias}$ が $\Delta V_{\rm D}$ によって変動し、線形性の劣化が生じる.

6.3.2 カスコード FVF 構造

FVF 構造を用いて線形性を改善していくためには、N の増加以外の方法で ΔV_D を抑制しつつ、 V_D のバイアス電圧を高く設定することが必要となる.そこで、図 6.15 に示すカスコード FVF 構造を提案し、検討を行う.

カスコード FVF 構造は,通常の FVF 構造のループ内にカスコードトポロジを取り入 れたものであり, M9, M10, M13, M14 はカスコードトランジスタとして動作する. こ の回路において,線形性の改善に大きく寄与するのは M9 及び M10 のカスコードトラン ジスタである. M9 のトランジスタは,自身の固有利得によって ΔV_D の電圧振幅を抑制



図 6.15: カスコード FVF 構造を持つ Gm セル

するように動作する.加えて M1 のドレイン側バイアス電圧 V_D は, M9 のゲートバイア ス電圧 V_{BP2} を用いて,

$$V_{\rm D} = V_{\rm BP2} - |V_{\rm GS9}| \tag{6.31}$$

と表されるため、 V_{BP2} と M9 によってレベルシフト動作を実現することができる.した がって、この構成は ΔV_D の抑制と V_D のバイアス電圧上昇を同時に達成できる.ただ し、M9 から M14 までのトランジスタには I_{bias} のバイアス電流を供給する必要が有るた め、消費電流のオーバーヘッドが生じる、この回路全体の消費電流は、

$$I_{\text{total}} = 2\left(M+2\right)I_{\text{bias}} \tag{6.32}$$

となり、従来の FVF 構造よりも 2Ibias だけ大きい.

6.3.2.1 小信号等価回路解析

図 6.16 に,カスコード FVF 構造を持つ Gm セルの小信号等価回路を示す.ここでは ドミナントポールのみを考慮して,カレントミラーノードの寄生容量 *C*x を計算に含め
る. r_{cas} は M11 及び M13 によるカスコード抵抗であり,

$$r_{\rm cas} \approx \frac{G_{\rm i13}}{g_{\rm d11}} \tag{6.33}$$

である. ただし, $G_{\rm i13} = g_{
m m13}/g_{
m d13}$ である.

キルヒホッフの電流則により,次の四式を得る.

$$(G_{\rm S} + g_{\rm m1} + g_{\rm d1})v_{\rm s} + g_{\rm m3}v_{\rm x} = g_{\rm m1}v_{\rm in} + g_{\rm d1}v_{\rm d}$$
(6.34)

$$(g_{d9} + g_{cas} + sC_X)v_x = (g_{m9} + g_{d9})v_d$$
(6.35)

$$(g_{d1} + g_{m9} + g_{d9})v_d + g_{m1}v_{in} = (g_{m1} + g_{d1})v_s + g_{d9}v_x$$
(6.36)

$$i_{\rm out} \approx -g_{\rm m5} v_{\rm x}$$
 (6.37)

ただし,
$$g_{cas} = 1/r_{cas}$$
 である.まず (6.34) 式及び (6.36) 式から v_{in} を消去する.
 $G_S v_s + (g_{m9} + g_{d9}) v_d = -(g_{m3} - g_{d9}) v_x$ (6.38)

(6.35) 式より,

$$v_{\rm d} = \frac{g_{\rm d9} + g_{\rm cas} + sC_{\rm X}}{g_{\rm m9} + g_{\rm d9}} v_{\rm x}$$
(6.39)

であるから, (6.38) 式は,

$$v_{\rm s} = -\frac{g_{\rm m3} + g_{\rm cas} + sC_{\rm X}}{G_{\rm S}} \cdot v_{\rm x} \tag{6.40}$$

となる. (6.36) 式, (6.39) 式及び (6.40) 式より,

図 6.16: カスコード FVF 構造を持つ Gm セルの小信号等価回路

を得る.したがって、この回路の Gm 値は次のように表される.

$$G_{\rm m,CFVF} = \frac{i_{\rm out}}{v_{\rm in}} \\ \approx \frac{g_{\rm m5}}{g_{\rm m3}R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i1}} + \frac{1}{g_{\rm m3}R_{\rm S}} \left(\frac{g_{\rm cas}}{g_{\rm m1}} + \frac{1}{G_{\rm i1}G_{\rm i9}}\right) + \frac{sC_{\rm X}}{g_{\rm m1}} (1 + g_{\rm m1}R_{\rm S})} \\ = \frac{M}{R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{2}{G_{\rm i9}N}\right) + \frac{sC_{\rm X}}{g_{\rm m}} (1 + N)}$$
(6.42)

ただし,簡単のためそれぞれのトランジスタの g_m 及び g_d は等しいと仮定した.第4章 の (4.55) 式より,従来の FVF 構造を持つ Gm セルの G_m 値は次のように表される.

$$G_{\rm m,FVF}|_{s=0} \approx \frac{M}{R_{\rm S}} \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{1}{N}\right)}$$
 (6.43)

両式共に*s* = 0 において,*G*_m 値は *M*/*R*_s で近似される.またカスコード FVF 構造は, *N* を *G*_{i9}/2 倍にする効果が得られている.この改善は,カスコードトランジスタを挿入 したことによる利得増加によってもたらされている.固有利得が半分になっているのは, M11 及び M13 で構成されるカスコード抵抗によって,カレントミラーノードから見込 んだ出力抵抗が半分になったように見えるためである.

一方, v_sは(6.40)式より,

$$v_{\rm s}|_{s=0} \approx \frac{1}{1 + \frac{1}{G_{\rm i1}} \left(1 + \frac{2}{G_{\rm i9}N}\right)} v_{\rm in}$$
 (6.44)

となり、小さい N に対しても $v_{\rm s} \approx v_{\rm in}$ の近似が精度良く成立する. 同様に $v_{\rm d}$ は、(6.39) 式より、次のように表される.

$$v_{\rm d} \approx \frac{1}{G_{\rm i9}N} \frac{1 + sC_{\rm X}r_{\rm d1}}{1 + \frac{sC_{\rm X}}{g_{\rm m}}(1+N)} v_{\rm in}$$
 (6.45)

 v_{d} についても同様に, G_{i9} によって小さくなる.これは ΔV_{D} が減少したことを示すため、PMOS 側電流源のチャネル長変調効果の抑制に貢献する.ただし、 v_{d} は

$$\omega_{\rm z} = \frac{g_{\rm d1}}{C_{\rm X}} = \frac{2}{G_{\rm i1}(M+1)K_{\rm C,M3}V_{\rm eff}} \tag{6.46}$$

のゼロ点を含むため、このゼロ点を越える周波数では抑制効果が劣化する. ミラー比 *M* が大きいケースではこの劣化が顕著になり、高周波における線形性は劣化すると考えられる. 一方、極は次のように表される.

$$\omega_{\rm p} = \frac{g_{\rm m1}}{C_{\rm X} (1+N)} = \frac{1}{1+N} \frac{2}{(M+1)K_{\rm C,M3}V_{\rm eff}} = \frac{G_{\rm i1}}{1+N} \omega_{\rm z}$$
(6.47)

したがって、 $N < (G_i - 1)$ の領域において、 $\omega_p > \omega_z$ となる. すなわち、 G_m 値の劣化よりも、 v_d の抑制効果の劣化の方が早く始まる. なお、これらの極やゼロ点についても、 I_{bias} に依存しないことを付け加えておく.

6.3.2.2 一巡伝達関数

図 6.17 の回路を用いてカスコード FVF 構造の安定性を調べる. $C_{\rm Y}$ は M9 の $C_{\rm GS}$ を 主とする寄生容量である. M9 は PMOS であり,通常 NMOS の 3 倍程度のトランジス タサイズとなる. そのため, M9 の $C_{\rm GS}$ は M1 の $C_{\rm GS}$ よりも 3 倍程度大きいと予想され る. したがって M1 の $C_{\rm GS}$ も極を作るが, $C_{\rm Y}$ よりも小さい容量値であるため,この解 析では省略する.

ここではノートンの定理を用いて解析を行う. vout から見込んだインピーダンス rout



図 6.17: カスコード FVF 構造を持つ Gm セルの小信号等価回路

	• • • • • • • • • • • • • • • • • • •
プロセス	65nm CMOS
電源電圧	$1.2\mathrm{V}$
$I_{\rm bias}$	80 µA
R _S	$1\mathrm{k}\Omega$

表 6.2: 図 6.18 の設計条件

は,

$$r_{\rm out} = \frac{1}{sC_{\rm X} + g_{\rm cas} + \frac{sC_{\rm Y} + \frac{1}{G_{\rm i1}R_{\rm S}}}{G_{\rm i9}}} = \frac{1}{g_{\rm cas} + \frac{1}{G_{\rm i1}G_{\rm i9}R_{\rm S}} + s\left(C_{\rm X} + \frac{C_{\rm Y}}{G_{\rm i9}}\right)}{sC_{\rm X} + \frac{1}{g_{\rm cas}} + \frac{1}{G_{\rm i1}G_{\rm i9}R_{\rm S}} + sC_{\rm X}}$$

$$(6.48)$$

となる.ここで、 $C_{\rm X} \gg C_{\rm Y}/G_{\rm i}$ として近似を行った.一方、 $v_{\rm out}$ を接地した際に流れ込 む信号電流 $i_{\rm out}$ は、

$$i_{\text{out}} \approx \frac{g_{\text{m9}}}{g_{\text{m9}} + \frac{1}{G_{\text{i9}}R_{\text{S}}} + sC_{\text{Y}}} g_{\text{m3}}v_{\text{in}}$$

$$\approx \frac{g_{\text{m3}}}{1 + \frac{sC_{\text{Y}}}{g_{\text{m9}}}} v_{\text{in}}$$
(6.49)

となる. ただし, $G_{i9}g_{m9}R_S \gg 1$ として近似した. したがって, 一巡伝達関数 $H_{open}(s)$ は,

$$H_{\text{open}}(s) \approx \frac{g_{\text{m}}r_{\text{out}}}{1 + \frac{sC_{\text{Y}}}{g_{\text{m}}}} \approx \frac{1}{\frac{1}{G_{\text{i}}^2} \left(1 + \frac{1}{N}\right) + \frac{sC_{\text{X}}}{g_{\text{m}}}} \frac{1}{1 + \frac{sC_{\text{Y}}}{g_{\text{m}}}}$$
$$\approx \frac{G_{\text{i}}^2}{1 + \frac{1}{N} \left(1 + \frac{s}{\omega_{\text{p1}}}\right) \left(1 + \frac{s}{\omega_{\text{p2}}}\right)} \tag{6.50}$$

と表される. ここで各 g_m 及び g_d が同じであると仮定した. 二つの極は次のようになる.

$$\begin{aligned}
\omega_{\rm p1} &= \frac{1 + \frac{1}{N}}{G_{\rm i}^2} \cdot \frac{g_{\rm m}}{C_{\rm X}} \\
\omega_{\rm p2} &= \frac{g_{\rm m}}{C_{\rm Y}}
\end{aligned} \tag{6.51}$$

 $|H_{\text{open}}(j\omega_{\text{u}})| = 1$ となる角周波数に対し、 $\omega_{\text{p2}} > \omega_{\text{u}}$ を仮定する.このとき、(6.50)式により、

$$|H_{\text{open}}(\omega_{u})| \approx \frac{G_{i}^{2}}{1 + \frac{1}{N}} \frac{\omega_{\text{p1}}}{\omega_{u}} = 1$$
(6.52)

であるから,

$$\omega_{\rm u} = \omega_{\rm p1} \cdot \frac{G_{\rm i}^2}{1 + \frac{1}{N}} = \frac{g_{\rm m}}{C_{\rm X}} \tag{6.53}$$

となる. $\omega_u > \omega_{p2}$ となるための条件は,

$$C_{\rm X} > C_{\rm Y}.\tag{6.54}$$

ミラー比 M を用いると,

$$(M+1)K_{\rm C,M3} > K_{\rm C,M9} \tag{6.55}$$

と表さる. ここで,

$$K_{\rm C,M9} = \frac{C_{\rm GS9}}{I_{\rm bias}} \tag{6.56}$$

である.したがって、ミラー比 *M* をある程度大きな値とすることで安定性の確保が可能となる. M9 は PMOS であるため、 $K_{C,M9}$ の値は $K_{C,M3}$ よりも大きい.しかしながら C_X は C_{GD} のミラー容量を含むため、実際は単純な C_{GS} よりも大きな値となる.

図 6.18(b) に M = 1 における一巡伝達関数を示す. シミュレーション条件は表 6.2 の通りである. この設計におけるカスコード FVF 構成の一巡伝達関数の DC 利得は 32 dB



図 6.18: 一巡伝達関数の比較

プロセス	65nm CMOS			
電源電圧	$1.2\mathrm{V}$			
$I_{\rm bias}$	80 µA			
$R_{\rm S}$	$1\mathrm{k}\Omega$			
N	0.9			
ミラー比 M	2			

表 6.3: 設計条件

となり,従来の FVF 構造よりも約 14 dB 高い.この利得の改善分が線形性の改善に寄 与することになる.一方,ユニティゲイン周波数は殆ど変化していない.ただし,0 dB を下回るとセカンドポールの影響によって周波数特性に大きな差が出る.

ミラー比と位相余裕のシミュレーション結果を図 6.18(b) 示す.カスコード FVF 構造 において十分な位相余裕を確保するためには、やや大きなミラー比 *M* を必要とする点 に注意が必要である.例えば、M = 1 での位相余裕は 48° 程度であるが、M = 2.5 では 56° まで回復する.

6.3.2.3 電圧変動の抑制効果

実際に従来の FVF 構造を持つ Gm セルと,カスコード FVF 構造を持つ Gm セルを設計し,各ノードの電圧変動がどのように変化しているかを調べる.ただし,設計の条件はいずれも表 6.3 の通りである.

■**DC 特性** 図 6.19 に DC 特性のシミュレーション結果を示す. 正負の入力端子にそれ ぞれ ± ΔV_{in} のオフセット電圧を印加し, $\Delta V_{in} = 0$ におけるバランス状態からの変化量 を $\Delta V_{s}, \Delta V_{D}, \Delta I_{p}$ とそれぞれ定義している.

まず図 6.19(a) の示す $\Delta V_{\rm S}$ はこれまでの議論のとおり, $\Delta V_{\rm S} \approx \Delta V_{\rm in}$ が成立している. カスコード FVF と従来の FVF を比較すると, カスコード FVF の方がこの近似の精度 が高くなっていることが確認できる.

次に図 6.19(b) をみると、 $\Delta V_{\rm D}$ について二つの回路には大きな差が存在することが確認できる.従来の FVF 構造では、 $N \approx 0.9$ より、

$$\Delta V_{\rm D} \approx \frac{\Delta V_{\rm in}}{N} \approx -1.1 \Delta V_{\rm in} \tag{6.57}$$

の近似となっており,およそ ΔV_{in} と同等の変動が生じている.一方,カスコード FVF では ΔV_D は殆どゼロに近い値となっており,カスコードトランジスタ M9・M10 の固有 利得によって電圧変動が抑制されている様子が確認できる.

一方,図 6.19(c) は $\Delta I_{\rm p}$ の様子を示している. この $\Delta I_{\rm p}$ は, $\Delta V_{\rm in}$ によって生じた $\Delta V_{\rm D}$ を介して出現している. $\Delta V_{\rm D}$ のケースと同様に,カスコード FVF の方が $\Delta I_{\rm p}$ の絶対 値は小さいが,従来の FVF に対して約半分程度の値にしか抑制されていない. 今回設 計したカスコード FVF は M1 のドレイン側バイアス電圧 $V_{\rm D}$ が約 1V であり,従来の FVF 構造の $V_{\rm D} \approx 0.6$ V よりも高いため, $I_{\rm bias}$ を供給する PMOS のドレイン抵抗が小さ くなっている. そのため, $\Delta V_{\rm D}$ が非常に小さいにも関わらず, $\Delta I_{\rm p}$ に対する改善効果は 薄くなっていると考えられる.

■AC 特性 続いて周波数特性について調べる.ここでは入力差動電圧の振幅を1とした際の ΔV_S 及び ΔV_D の差動振幅を取得し,プロットを行った.

図 6.20(a) は ΔV_S の周波数特性を示している. DC 特性と同様に, 従来の FVF 及びカ スコード FVF においてほぼ 0 dB となっている. また, 1 GHz を越える広い帯域におい てもこの特性は維持されており, カスコード FVF の帯域も十分広い.

一方,図 6.20(b) に示す $\Delta V_{\rm D}$ の周波数特性は様子が大きく異なる.従来の FVF 構造 は、 $\Delta V_{\rm S}$ と同等の広い帯域で振幅が一定となっているが、カスコード FVF 構造では 1 GHz を超える辺りから急激に振幅抑制効果が劣化している.これは (6.46) 式のゼロ点 による劣化に相当する. $\Delta V_{\rm D}$ の振幅が大きくなると、PMOS 電流源の変動 $\Delta I_{\rm p}$ による 歪が大きくなる.先述の通り、カスコード FVF では $V_{\rm D}$ が高く設定されており、 $\Delta I_{\rm p}$ に よる線形性劣化の影響は非常に大きい.したがって、十分な線型性の改善が期待できる 帯域は (6.46) 式で表される $\Delta V_{\rm D}$ のゼロ点に依存すると考えられる.

6.3.3 線形性の比較

最後に線形性の比較を行う.カスコード FVF, 従来の FVF, ソースデジェネレーショ ンを用いた Gm セルについて,線形性を比較したものを図 6.21 に示す.なお,クロス カップル技術を用いたソースデジェネレーションは,第4章で示した図 5.8 の回路であ る.設計条件は表 6.4 のとおりである.それぞれの *R*_s は,目標とする *G*_m 値が得られ るように設定した.



図 6.19: $\Delta V_{\rm in}$ に対する各ノードの電圧・電流変動(DC)



(b) ΔV_D の AC 特性

図 6.20: △V_{in} に対する各ノードの電圧・電流変動(AC)

低消費電力側について比較を行うと、カスコード FVF 構造を持つ Gm セルは線形性が 最も高く、クロスカップル技術を用いたソースデジェネレーション、従来の FVF 構成、 ソースデジェネレーション Gm セルと続く. この領域において、カスコード FVF Gm セルは従来の FVF よりも 7 ~ 8 dB 程度高い IIP3 を達成している. カスコード FVF 及 び従来の FVF Gm セルはピーク値を持ち、最大の IIP3 はいずれも約 15 dBV である. 図 6.13 のグラフで示した SNDR の劣化が生じない IIP3 の条件である 9 dBV を達成す るために必要な消費電力を比較すると、ソースデジェネレーション Gm セルは 1.5 mW, 従来の FVF Gm セルは 1.1 mW となっているが、カスコード FVF Gm セルではわず か 0.7 mW で達成することができる. したがって、従来の FVF 構造に対し、カスコー ド FVF 構造を持つ Gm セルを採用することで約 35%の消費電力削減が達成できると言 える.

プロセス	$65\mathrm{nm}\ \mathrm{CMOS}$
電源電圧	$1.2\mathrm{V}$
ミラー比 M ^{(*}	2
G_{m}	$1.8\mathrm{mS}$
入力周波数	$100\mathrm{MHz}$

表 6.4: 図 6.21 の設計条件

* カスコード FVF 及び従来の FVF のみ



図 6.21: 線形性の比較

続いて線形性の周波数特性について検討する.図 6.22 はカスコード FVF 構造を持つ Gm セル,及び従来の FVF 構造を持つ Gm セルについて,N = 0.9 における IIP3 の周波数特性を比較したグラフである.カスコード FVF 構造は高い線形性を実現するが、100 MHz を超える周波数では線形性が劣化し、約1 GHz で従来の FVF と同程度の IIP3 となる.今回の連続時間 $\Delta\Sigma$ A/D 変換器の用途では 100 ~ 200 MHz 付近に信号電力のピークが存在する.カスコード FVF ではやや線形性の劣化が生じているが、従来の FVF 構造と比較して十分高い線形性を維持している.

より広帯域な用途で使用場合は,カスコード FVF 構造の周波数特性を改善する必要がある.帯域の限界は*C*_X で決まるため,広帯域化を図るためにはミラー比 *M* を小さく



図 6.22: 線形性の比較

しなければならない.ただし,図 6.18(b) に示したように FVF 構造内の位相余裕を確保 するためには,ある程度の *M* が必要である.根本的な解決を図るためには *C*_Y の作る 極を高周波側に移動させなければならないため,更なる広帯域化は困難である.

6.4 20 MHz 帯域 連続時間型 $\Delta \Sigma A/D$ 変換器

本節では, 6.3 節で議論したカスコード FVF 構造を持つ Gm セルを用いて ΔΣ A/D 変換器を構成する.帯域は LTE への応用を想定し, 20 MHz 帯域とした.

6.4.1 実装

図 6.23 に開発した連続時間型 $\Delta\Sigma$ A/D 変換器の全体構成を示す. 実装は 65nm CMOS プロセスを用いた.

■ループフィルタ ループフィルタは三次構成となっており,初段はオペアンプ積分器 とし,後段に Gm-C フィルタを採用した. *G*_{m2} と *G*_{m3} はそれぞれ,図 6.15 に示したカ スコード FVF 構造を基本とした Gm セルを採用した.Gm-C フィルタ内部には位相補 償の為のフィードフォワードパスが挿入されており,抵抗 *R*_c と併せて二次の位相補償 を行う.このフィードフォワードパスは,*G*_{m2}の出力をカレントミラーで複製した出力 により構成されている.詳しい回路構成を図 6.24 に示す.マルチ出力 Gm セルは M3 と



図 6.23: A/D 変換器の全体構成



図 6.24: マルチ出力 Gm セル

M5 のカレントミラーを拡張し、M3 と M5_{FF} の間にもカレントミラーを作り、複数の出 力端子を作成することで実現される.別々の Gm セルを用意する場合と比較し、入力側 (カスコード FVF 構造)を共有することができるため、回路規模と消費電力の低減が可 能となる.それぞれのパスの Gm 値は、それぞれのミラー比 M 及び M_{FF} を用いて、

$$G_{\rm m2} \approx \frac{M}{R_{\rm S}}$$
 (6.58)

$$G_{\rm mFF} \approx \frac{M_{\rm FF}}{R_{\rm S}}$$
 (6.59)

と表され、ミラー比の調整によって独立なパラメータとして設計することができる.また、この構成はカスコード FVF 構造の安定性向上に寄与する.マルチ出力 Gm セルにおいて、安定性を決めるミラー比は $(M + M_{\rm FF})$ となる.今回の設計では、 $M = 2, M_{\rm FF} = 0.5$ であるため、図 6.18(b) によると位相余裕は約 56° となる.

■ELD 補償 ELD 補償は初段オペアンプ積分器に抵抗を挿入することで実現した [20]. 初段積分器の伝達関数 $H_{1st}(s)$ は次のように表される.

$$H_{1\text{st}}(s) \approx \frac{1}{R_{\text{in}}} \cdot \left(R_{\text{ELD}} + \frac{1}{sC_1} \right)$$
$$= \frac{R_{\text{ELD}}}{R_{\text{in}}} + \frac{1}{sC_1R_{\text{in}}}$$
(6.60)

R_{ELD}の挿入によりゼロ次の項が追加されており,積分器の利得に対して独立に設定することが可能となっている.この ELD 補償は,Gm-C フィルタ内のフィードフォワードパスを介して量子化器まで到達する.



図 6.25: ブロック線図

図 6.25 に、この A/D 変換器のシグナルフローを示す. ループフィルタ全体の利得 H(s) を求めると、次のようになる.

$$H(s) = \left(\frac{R_{\rm ELD}}{R_{\rm in}} + \frac{1}{sC_1R_{\rm in}}\right) \left(G_{\rm mFF}R_{\rm c} + \frac{G_{\rm m2}G_{\rm m3}R_{\rm c}}{sC_2} + \frac{G_{\rm m2}G_{\rm m3}}{s^2C_2C_3}\right)$$
$$= \frac{G_{\rm mFF}R_{\rm ELD}R_{\rm c}}{R_{\rm in}} + \frac{1}{s} \left(\frac{G_{\rm mFF}R_{\rm c}}{C_1R_{\rm in}} + \frac{G_{\rm m2}G_{\rm m3}R_{\rm c}R_{\rm ELD}}{C_2R_{\rm in}}\right)$$
$$+ \frac{1}{s^2} \left(\frac{G_{\rm m2}G_{\rm m3}R_{\rm c}}{C_1C_2R_{\rm in}} + \frac{G_{\rm m2}G_{\rm m3}R_{\rm ELD}}{C_2C_3R_{\rm in}}\right) + \frac{G_2G_3}{s^3C_1C_2C_3R_{\rm in}}$$
(6.61)

初段積分器の $R_{\text{ELD}}/R_{\text{in}}$ 項は $G_{\text{mFF}}R_{\text{c}}$ を経由し、H(s) においてもゼロ次の項を維持している.

ELD 補償は余剰な DAC を挿入し,量子化器の直前にフィードバックすることによっ ても実現できることが知られている [8].しかしながら,その方法は余剰な DAC による 面積増加と消費電力の増加が生じるという欠点がある.本研究で採用した初段積分器に 抵抗を挿入する方法は簡易ながら,同じ ELD 補償の効果を実現することができる.

図 6.26 に, ELD 補償による位相改善の結果を示す. ELD 補償の挿入によりわずかに ユニティゲイン周波数が増加しているものの,位相特性は大幅に改善されており,位相 余裕は約 30° 改善された.

■量子化器と DAC 量子化器には 3 bit フラッシュ型 A/D 変換器を用いた. この量子 化器の動作速度は 1 GSps である. したがってオーバーサンプリング比 *OSR* は 25 であ る. D/A 変換器にはサーモメータ型の RDAC を用いた. また,量子化器から D/A 変換



図 6.26: ELD 補償の効果

器更新までの遅延時間は0.5 ns とした.

6.4.2 測定結果

続いて A/D 変換器の測定結果を示す.

■面積と消費電力 図 6.27 に A/D 変換器のチップ写真を示す. ループフィルタが最も 大きな面積を占め,次いで量子化器, RDAC と続く. チップ面積はわずか 0.055 mm² で ある.

表 6.5 に消費電力の内訳を示す.カスコード FVF 構造を用いた Gm-C フィルタは 2.1 mW の消費電力であり,初段積分器と同程度の値となる. RDAC の消費電力は低く, わずか 0.4 mW である.最も消費電力が大きいのは量子化器と論理回路であり,2.8 mW に達する.量子化器と論理回路は主にサンプリング周波数に同期して動作するため,消 費電力はサンプリング周波数に比例する.この A/D 変換器では 1 GHz と高いサンプリ ング周波数を使用したため,消費電力が大きくなったと考えられる.消費電力の合計値



図 6.27: チップ写真

区分		消費電力
ループフィルタ	初段積分器	1.8 mW
	Gm-C フィルタ	$2.1\mathrm{mW}$
RDAC		$0.4\mathrm{mW}$
量子化器と論理回路		$2.5\mathrm{mW}$
合計		$6.8\mathrm{mW}$

表 6.5: 消費電力の内訳

は6.8mWとなった.

■SNDR と Dynamic Range 図 6.28 に, 3 MHz の正弦波を入力した際の Power Spectral Density (PSD) の測定結果を示す. この A/D 変換器は三次のループフィルタを 実装したため,高周波側のノイズシェーピングは 60 dB/dec の特性となっている. 信号 帯域である 20 MHz までを見ると,非常に低いノイズフロアに抑えられている. このノイ ズフロアの主要成分は量子化雑音ではなく,初段積分器に用いたオペアンプによる熱雑 音であると推測される. 三次の高調波も非常に低く抑えられており,SFDR は -87 dBc となった.入力振幅は -1.36 dBFS であり,このときの SNDR は 72.4 dB に達する.

図 6.29 に、ダイナミックレンジ (DR) の測定結果を示す. この A/D 変換器は、約



図 6.28: A/D 変換後の Power Spectral Density



図 6.29: ダイナミックレンジの測定

-77 dBFS の入力振幅において SNDR = 0 dB となり、-1 dBFS の入力付近まで正常な
 動作を続けることができる.したがって DR は約 76 dB となる.

■性能比較 表 6.6 に近い帯域を持つ連続時間型 ΔΣ A/D 変換器との性能比較を示す. 本研究で開発を行った A/D 変換器は 20 MHz の信号帯域を持ち,わずか 6.8 mW の消費 電力で 72.4 dB の SNDR を達成することができる.まず SNDR について比較を行うと, 本研究は [13] に次いで二番目の SNDR を達成しており,先行研究と比較して十分高い SNDR を実現できている.一方,消費電力に関しては表中で最も大きい値となった.こ れは本研究で開発した A/D 変換器のサンプリング周波数が 1 GHz と高く, [13,14] と比 較的してやや大きいプロセスを使用しているためと考えられる.

A/D変換器の電力効率として、二つの FoM を見る.本研究の FoM_{Walden} は 50 fJ と なっており、他と比較して良好な値である.一方、FoM_{Schreier} は、 $\Delta\Sigma$ A/D 変換器の ような SNDR が高い回路の比較でよく用いられる指標であり、本研究の A/D 変換器は 167.1 dB となった.この指標においても表中で二番目のスコアとなっており、良好な電 力効率を有すことが確認できる.

最後に実装面積の比較を行う.スケーリングファクターを考慮すると,表中で最も面 積が小さいのは [15] となるが,SNDR は本研究よりも6dB 低い.最も優秀な FoM を記 録した [13] は実装面積が面積が大きく,スケーリングファクターを考慮すると,本研究 で開発したものよりも約7.8 倍程度大きい.本研究で開発した A/D 変換器は,それぞれ の回路が十分な性能を保っており,複雑な補償を必要としないことから非常に簡素な構

	[11]	[13]	[14]	[15]	本研究
プロセス [nm]	130	28	16	130	65
面積 [mm ²]	1.2	0.08	0.115	0.086	0.055
消費電力 [mW]	20	3.9	6.2	5.1	6.8
帯域 [MHz]	20	18	19	20	20
サンプリング周波数 [GHz]	0.64	0.64	0.832	0.64	1.0
DR [dB]	80	78.1	78.5	74.6	75.8
$SNDR_{peak}$ [dB]	74	73.6	71.6	66.4	72.4
${\rm FoM}_{\rm Walden} \ [{\rm fJ/step}]^{(*1)}$	122	27.7	52.5	74.7	49.9
$\mathrm{FoM}_{\mathrm{Schreier}} \ [\mathrm{dB}]^{(*2)}$	164	170.2	166.5	162.3	167.1
^{*1} FoM _{Walden} = $\frac{\text{Power}}{2^{\text{ENOB}} \cdot \text{BW}}$, ENOB = $\frac{\text{SNDR} - 1.76}{6.02}$					

表 6.6: 性能比較表

 *2 FoM_{Schreier} = SNDR + 10 log $\frac{BW}{Power}$

259

成となっている. そのため, 他の研究と比較して実装面積が小さくなったと考えられる.

6.5 微細化の影響

最後に連続時間型 ΔΣ A/D 変換器における微細化の作用についてまとめる.ここで は微細化の影響が特に大きいループフィルタと量子化器,論理回路について考察する.

微細化を考慮する際,トランジスタの固有利得低下が問題となる.特に近年では極端 な短チャネル化によって生じるアーリー電圧降下が顕著であり,微細プロセスでは G_i の 劣化が激しい.図 6.30 は,あるファウンダリにおける微細化とパラメータ変化を示した グラフである.電源電圧のスケーリングはおよそ $\lambda^{-\frac{1}{2}}$ であり,固有利得の低下も準定電 圧スケーリングにおおよそ一致する $\lambda^{-\frac{1}{4}}$ であるが,65nm では一気に劣化している.

微細化を進める際のスケーリング則には様々な手法がある.いくつかのスケーリン グの方針を表 6.7 にまとめた.ただし, g_d には障壁低下効果 (Drain Induced Barrier Lowering: DIBL) は含まれていない.上記の点を踏まえて考察を行う.

6.5.1 各セクションに与えるスケーリングの影響

連続時間型 ΔΣ A/D 変換器を構成する要素の内,ループフィルタは連続時間系のア ナログ回路で構成され,量子化器と論理回路はダイナミック動作を行うディジタルベー

	L			
	定電界	準定電圧	定電圧	
電圧	λ^{-1}	$\lambda^{-rac{1}{2}}$	1	
L,W	λ^{-1}	λ^{-1}	λ^{-1}	
$t_{ m ox}$	λ^{-1}	λ^{-1}	$\lambda^{-rac{1}{2}}$	
ドーピング濃度	λ	λ	λ	
$g_{ m m}$	1	$\lambda^{rac{1}{2}}$	$\lambda^{rac{1}{2}}$	
$g_{ m d}$	1	$\lambda^{rac{3}{4}}$	λ	
$G_{ m i}$	1	$\lambda^{-rac{1}{4}}$	$\lambda^{-rac{1}{2}}$	
I_{D}	λ^{-1}	1	$\lambda^{rac{1}{2}}$	
C	λ^{-1}	λ^{-1}	$\lambda^{-rac{3}{2}}$	
遮断周波数 f _T	λ	$\lambda^{rac{3}{2}}$	λ^2	

表 6.7: スケーリングの方式 [21]

スの回路で構成される.ここでは、この二つの分類に基づき、それぞれの影響について 議論する.

6.5.1.1 ループフィルタ

連続時間型のループフィルタは、オペアンプやオープンループアンプなどの純粋なア ナログ回路で構成されるため、スケーリングによって性能が劣化する. 微細化に伴い、 低電源電圧化と固有利得の低下が生じている. したがって、

- 低電源電圧化による電圧振幅低減,カスコード段の段数低下
- 固有利得低下によるオペアンプの利得低減,オープンループアンプの線形性低減

などの影響が想定される.

■初段積分器の雑音 ループフィルタの初段積分器の雑音はそのままシステム全体の入 力換算雑音となる.そこでオペアンプに対する SNR を考察する.

V_{DD}に対して信号振幅がそのままスケーリングされると仮定すると,信号電力は,



 $P_{\rm S} \propto V_{\rm DD}^2$

(6.62)

図 6.30: 微細化による電源電圧と固有利得の低下 [22]

		定電界	準定電圧	定電圧
	電圧	λ^{-1}	$\lambda^{-rac{1}{2}}$	1
	$g_{ m m}$	1	$\lambda^{rac{1}{2}}$	$\lambda^{rac{1}{2}}$
	G_{i}	1	$\lambda^{-rac{1}{4}}$	$\lambda^{-rac{1}{2}}$
	SNR	λ^{-2}	$\lambda^{-rac{1}{2}}$	$\lambda^{rac{1}{2}}$
${\rm SNR} \propto g_{\rm m} V_{\rm DD}^2$	消費電流 (1	λ^2	$\lambda^{rac{1}{2}}$	1
	消費電力 (1	λ	1	1
	SFDR	1	$\lambda^{rac{5}{2}}$	λ^2
${ m SFDR} \propto g_{ m m}^6 G_{ m i}^{2}$ (2	消費電流 (1	λ^{-1}	$\lambda^{-rac{5}{12}}$	$\lambda^{rac{1}{6}}$
	消費電力 (1	λ^{-2}	$\lambda^{-rac{11}{12}}$	$\lambda^{rac{1}{6}}$
	SFDR	1	λ^3	λ^3
${ m SFDR} \propto g_{ m m}^{6}$ (3	消費電流 (1	λ^{-1}	$\lambda^{-rac{1}{2}}$	1
	消費電力 (1	λ^{-2}	λ^{-1}	1

表 6.8: ループフィルタの SNR, SFDR とスケーリング

¹ SNR, SFDR を一定に保った場合の設計

² FVF 構造の場合

³ ソースデジェネレーション構造の場合

となる.オペアンプの雑音電力は $P_{
m N} \propto g_{
m m}^{-1}$ であるから,

$$\frac{P_{\rm S}}{P_{\rm N}} \propto g_{\rm m} V_{\rm DD}^2 \tag{6.63}$$

となる. なお, ソース接地系に近い状態のオープンループアンプも同様のスケーリング となる.

■線形性 二段目以降の積分器では,線型性の要件が問題となる. FVF 構造の線形性は,

$$\left|\frac{a_3}{a_1}\right| \propto \frac{1}{N^3 G_{\rm i} V_{\rm eff}^2} \tag{6.64}$$

となる. この内 V_{eff} は入力信号振幅と共にスケーリングされるため, N^3G_i のみを考察 すれば良い. SFDR は,

SFDR
$$\propto \left(N^3 G_{\rm i}\right)^2 \propto g_{\rm m}^6 G_{\rm i}^2$$
 (6.65)

となる.

■消費電力の考察 これらをまとめると,表 6.8 のようになる.いずれの特性も gm に よって改善されており,特に線形性は gm に対する依存度が非常に高い.SNR における 定電界スケーリングで必要な電力が上昇する以外は,いずれもほぼ同等か低消費電力と なる.

ただし, 準定電圧スケーリング及び定電圧スケーリングは $g_{\rm m}$ の増加が前提となってい る点に注意しなければならない.近年の微細プロセスではキャリアの速度飽和が問題と なってきており, $g_{\rm m}$ の増加は $I_{\rm D}$ や $V_{\rm eff}^{-1}$ に対して鈍くなってきている.また図 6.30(b) で指摘したように, 65nm 付近のプロセスでは $G_{\rm i}$ の劣化が激しい.そこで $G_{\rm i}$ に含まれ るアーリー電圧 $V_{\rm A}$ を,

$$V_{\rm A} \propto \frac{1}{\lambda^{\alpha}} \tag{6.66}$$

として再考する. ただし,図 6.30(b) における 65nm 付近では α ≈ 1 である.

$$G_{\rm i} = \frac{g_{\rm m}}{g_{\rm d}} \approx \frac{2V_{\rm A}}{V_{\rm eff}} \tag{6.67}$$

であるから,

$$G_{i} \propto \begin{cases} \lambda^{1-\alpha} : 定電界スケーリング \\ \lambda^{\frac{1}{2}-\alpha} : 準定電圧スケーリング \\ \lambda^{-\alpha} : 定電圧スケーリング \end{cases}$$
(6.68)

と整理される.したがって、定電界スケーリング以外では G_i の劣化が顕著になり、性能を劣化させる要因となりうる. G_i の劣化を補填するためには、 g_m を大きくする必要がある.ただし、 G_i に対して g_m は三乗の改善効果があるため、 g_m の飽和を考慮しない場合の電流増加はたかだか $\lambda^{\frac{\alpha}{3}}$ 程度である.

一方, *G*_i に依存しないソースデジェネレーションでは,見かけ上線形性の問題は生じない.しかしながら,実際はソースデジェネレーションの出力抵抗が大幅に低下するため,局所的な負帰還以外の部分で大きな歪が生じると考えられる.

■帯域の考察 FVF 構造やオペアンプの負帰還において,GB 積を制限する極はトラン ジスタの遮断周波数 *f*_T に比例する.再び表 6.7 に戻ると,いずれのスケーリング手法で も *f*_T は改善するという傾向が得られる.したがって,より小さい*L*においては更に帯 域の広い負帰還が期待できるということになる.

一方,帯域のメリットを潰して固有利得の改善に割り振るというアプローチも考えられる.アーリー電圧は一般的に,

$$V_{\rm A} \propto L$$
 (6.69)

の関係が成立するため、 V_{eff} を一定とすれば、 $G_{i} \propto L$ の関係を導くことができる.ただ しそのためには W/Lを一定に保たなければならない. f_{T} はトランジスタサイズに対 して、

$$f_{\rm T} \propto \frac{1}{LW} \tag{6.70}$$

の関係を持つ. そこでこの式から Lを排除して G_i について解くと,

$$G_{\rm i} \propto \frac{1}{\sqrt{f_{\rm T}}}$$
 (6.71)

と表される. すなわち, $f_{\rm T}$ を減らすことで $G_{\rm i}$ を改善することができる. このアプローチの概要を図 6.31 にまとめる.

表 6.9 に, $\alpha = 1$ とした時の $f_{\rm T}$ 一定スケーリングの様子を示す.いずれの場合におい ても, $f_{\rm T}$ を一定としてトランジスタサイズを調整することで,固有利得の劣化分を吸収 することができる.ただし,ここで考慮する容量には線間容量が含まれていないため, 実際の $f_{\rm T}$ 劣化は更に大きい.しかしながら,微細なプロセスにおいてもトランジスタ サイズを小さくしないことによって,ある程度まではアナログ回路の性能を保つことが 可能となる.

■低電源電圧化 最も深刻なのは低電源電圧化による回路トポロジの制限である.オペ アンプにおいてはカスコードトランジスタが使用できるか,オープンループアンプでは FVF 構造が使用できるかどうかが大きな境目となる.特に先端プロセスでは電源電圧の 低下に対してトランジスタのしきい値電圧が下がりにくくなっており,カスコードを使 用する際にはある程度の昇圧が必要となる場合がある.

上記をまとめると、ループフィルタにおいて性能を保つために、

		- /1 · -		
		定電界	準定電圧	定電圧
	L,W	λ^{-1}	λ^{-1}	λ^{-1}
通常のスケーリング	G_{i}	1	$\lambda^{-rac{1}{2}}$	λ^{-1}
	遮断周波数 f _T	λ	$\lambda^{rac{3}{2}}$	λ^2
	L, W	$\lambda^{-rac{1}{2}}$	$\lambda^{-rac{1}{4}}$	1
<i>f</i> _T 一定スケーリング	G_{i}	$\lambda^{rac{1}{2}}$	$\lambda^{rac{1}{4}}$	1
	遮断周波数 f _T	1	1	1

表 6.9: $\alpha = 1$ における G_i と f_T 一定スケーリング



図 6.31: f_T 一定設計の考え方

- 定電界スケーリングは雑音特性を劣化させ、電源電圧の低下はトポロジを制限するため不適
- 固有利得の低下が問題となる場合は *f*_T を犠牲にして長チャネルのトランジスタ を使用する
- 1Vを下回る低電源電圧化は固有利得を活用する回路トポロジを制限するため、
 回路トポロジの採用を妨げない電源電圧を使用する
- gd の低下が問題となる場合はゲインブーストなどのアーキテクチャを使用する

といった方法が有効となる.

■定電圧スケーリングの追加検討 1Vを下回るような電源電圧が困難であれば、以降 のスケーリングで電源電圧の低下は期待できない.その場合、表 6.7 に示した定電圧に 近いスケーリングが予想される.そこで表 6.9 に示した $f_{\rm T}$ 一定の条件で設計を行った 場合の、定電圧スケーリングの影響を検討する.定電圧スケーリング後の L,W に対し、 $f_{\rm T}$ 一定とした時のチャネル設計を $k_{\rm L}L, k_{\rm L}W$ とおくと、

$$f_{\rm T} \propto \frac{1}{k_{\rm L}^2} \tag{6.72}$$

となる. k_Lは f_Tを微細化前の水準に戻すと考えると,

$$k_{\rm L} = \lambda \tag{6.73}$$

である. ここで (6.68) 式に遡り, α を用いて $f_{\rm T}$ 一定下における $G_{\rm i}$ は,

$$G_{\rm i} \propto \lambda^{1-\alpha}$$
 (6.74)

と表される.

図 6.32 に検討結果を示す.ただし,各グラフの横軸はλの逆数となっており,グラ フの左側がより微細化されたプロセスである.図 6.32(a) は固有利得に関する検討結果



図 6.32: 定電圧スケーリング下における α を考慮した $f_{\rm T}$ 一定設計

である. $\alpha \leq 1$ ではスケーリングによる固有利得の劣化は防がれており,線形性の維持 が期待できる. 一方, $\alpha = 2$ では固有利得が大きく劣化している様子が確認できる. 図 6.32(b) は,線形性を一定とする条件において,固有利得の増加又は劣化を消費電力で補 填した際の特性を表している. $\alpha = 1$ では固有利得の増減がないため消費電力も一定と なるが, $\alpha = 0.5$ では固有利得が増加した分 $g_{\rm m}$ を小さく設定でき,その結果消費電力は 減少する. 固有利得が劣化する $\alpha = 2$ では $g_{\rm m}$ 増加による補填が必要となるため,消費 電力の増加が必要である. この消費電力の増加は,

$$\frac{\Delta P_{\rm D}}{P_{\rm D}} = \frac{1}{\lambda^{\frac{1-\alpha}{3}}} - 1 \tag{6.75}$$

と表される.

したがって,スケーリングファクター λ に対し, $G_{i} \propto \lambda^{-\alpha}$ で定義される α が1以上で あれば消費電力の増加が発生する.図 6.30(b)で示したグラフでは,65nm 付近で $\alpha \approx 1$ と考えられるため,定電圧スケーリングにおいても消費電力の増加は生じないと推測さ れる.

6.5.1.2 論理回路と量子化器

■論理回路 V_{DD}/V_{th} 一定の場合, 論理回路の遅延は次のように表される [23,24].

$$t_{\rm delay} \propto \frac{CV_{\rm DD}}{I_{\rm D}}$$
 (6.76)

一方,クロックに同期する消費電力は動作周波数に比例するため,A/D 変換器のサンプ リング周波数 F_{sample} を用いて,

$$P_{\rm D} \propto C F_{\rm sample} V_{\rm DD}^2$$
 (6.77)

と表される [25].

■量子化器 量子化器に用いるフラッシュ型 A/D 変換器は,コンパレータを並列に並べた構成を持つ.近年の A/D 変換器では低消費電力化を目的とし,定常的な電流を消費しないダイナミック動作を行うコンパレータが主流となっている.

コンパレータの動作速度はラッチ速度に大きく依存する. 図 6.33 のラッチ回路において t = 0 から変換を開始したと仮定すると,

$$v_{\rm x}(t) - v_{\rm y}(t) = \{v_{\rm x}(0) - v_{\rm y}(0)\} e^{\frac{t}{\tau}}$$
(6.78)

$$\tau = \frac{C}{g_{\rm m}} \propto f_{\rm T} \tag{6.79}$$

と表される.したがって、fr の改善によって量子器の遅延は減少すると考えられる.

ダイナミック動作を行うコンパレータの消費電力は,論理回路と同様に負荷容量と動 作周波数によって決まるため,論理回路の結論を流用することができる.

■微細化の影響 表 6.10 に上記の検討結果をまとめる.いずれの特性も微細化に対して ポジティブな特性を示すことが確認できる.定電圧スケーリングは高速動作寄り,定電 界スケーリングでは低消費電力寄りのチューニングとなっている.

6.5.2 ELD の軽減

表 6.10 の検討結果よれば,スケーリングによってディジタル側の遅延時間は軽減される.連続時間型 ΔΣ A/D 変換器において,これらの特性改善はそのまま ELD の改善に



図 6.33: ラッチ回路

	定電界	準定電圧	定電圧
電圧	λ^{-1}	$\lambda^{-rac{1}{2}}$	1
$I_{ m D}$	λ^{-1}	1	$\lambda^{rac{1}{2}}$
C	λ^{-1}	λ^{-1}	$\lambda^{-rac{3}{2}}$
遮断周波数 f _T	λ	$\lambda^{rac{3}{2}}$	λ^2
論理回路の遅延 $t_{\text{delay}} \propto CV_{\text{DD}}/I_{\text{D}}$	λ^{-1}	$\lambda^{-rac{3}{2}}$	λ^{-2}
量子化器の遅延 $t_{ m delay} \propto 1/f_{ m T}$	λ^{-1}	$\lambda^{-rac{3}{2}}$	λ^{-2}
スイッチングエネルギー $CV_{ m DD}^2$	λ^{-3}	λ^{-2}	$\lambda^{-rac{2}{3}}$

表 6.10: 論理回路・量子化器の性能とスケーリング

相当し, A/D 変換器の位相余裕劣化の問題が大幅に緩和される. 図 6.9 で示したように ELD による位相劣化と SQNR は密接な関係を持ち, ELD による位相劣化が小さい場合 は SQNR を大きく設定することができる. (6.21) 式を ΔSQNR について解くと,

$$\Delta \text{SQNR} = 10n \log \left(1 - \frac{\Delta \theta}{\omega_{\text{u}} T_{\text{Delay}}} \right)$$
(6.80)

と表される.

n = 3とし、65nm CMOS において $T_{\text{Delay}} = 500 \text{ ps}$ を基準とすると、 Δ SQNR と λ の 関係は図 6.34 のようになる.ただし、スケーリングは最も遅延への改善効果が低い定電 界スケーリングを採用した。例えば ELD による位相劣化が -30° であるとき、 $\lambda = 2$ の スケーリングで SQNR は 5 dB 程度大きく設定できるようになる。信号帯域 f_{BW} が広い 場合は SQNR の確保が困難となるため、高速な用途では微細化による ELD の緩和は大 きなメリットをもたらすことになる。

6.5.3 消費電力と電力効率

続いて総合的な消費電力について考察する.アナログ回路で構成されるループフィル タでは微細化の恩恵は殆ど受けられないが,論理回路及び量子化器は大きな恩恵を受け ることができる.表6.5 に示したように,高速な F_{sample} を使用する連続時間型 ΔΣ A/D 変換器では,論理回路や量子化器の消費電力が大きくなりやすい. 微細化を進めること でこの部分の消費電力を小さくできるため, A/D 変換器の電力効率は改善されることに なる.ただし,上記検討ではリーク電流の影響が含まれていないため, 微細化を進める



図 6.34: n = 3, $f_u = 200 \text{ MHz}$ における $\lambda \ge \Delta SQNR$ の関係

と消費電力の低減効果は薄くなると予想される.

図 6.35 は連続時間型 ΔΣ A/D 変換器について FoM を整理したグラフである. プロセ スの微細化によって信号帯域は広帯域に, FoM は改善する方向に動いていることが読み 取れる. 180nm の世代から 90nm 以下の世代にかけて明確な微細化の流れが存在し, 各 帯域における最も良い FoM を達成している報告はいずれも 90nm 以下のプロセスとなっ ている. 同様に高速方についても, 100 MHz 付近のものはいずれも 55nm 以下の微細な プロセスを使用している.

ただし、上記の考察のようにアナログ回路は微細化の恩恵があまり受けられず、gm の飽和やG_iの低下などの影響により、低消費電力化には限界がある.帯域によっては 28nm 以下のプロセスと 55nm 以下のプロセスが同程度の FoM となっている箇所もあ り、これらのアナログ系の回路の消費電力がボトルネックになっていると予想される.

アナログ回路側の特性改善をもたらす技術として, FinFET の存在が挙げられる. FinFET は固有利得が高く,短チャネル化による固有利得劣化に対する有効な対策とな りうる [27].加えてリーク電流の低減も期待されるため,ディジタル側の消費電力削減 に対しても有効である.



(b) Walden FoM

図 6.35: 連続時間型 $\Delta\Sigma$ A/D 変換器の FoM 競争 [26]

6.6 まとめ

本章の内容をまとめる.

■ループフィルタの課題 連続時間型 ΔΣ A/D 変換器で用いられるループフィルタに は、Active-RC フィルタと Gm-C フィルタの二種類の構成方法が存在する. Active-RC フィルタはオペアンプの負帰還を応用した積分器で構成されるため、良好な線形性を容 易に実現することが出来、A/D 変換器の SNDR の劣化が起こりにくい. しかしながら、 Active-RC フィルタを広帯域化するためには多くの消費電力が必要であり、また積分器 の位相特性が劣化しやすいという問題がある.

もう一つの構成方法である Gm-C フィルタは,広帯域な用途に適したフィルタとして 知られており,理想特性に近い位相特性を持つ積分器を実現することができる.ただし, A/D 変換器の SNDR の劣化を防ぐためには,9dBV もの高い IIP3 を持つ Gm セルが必 要である.

■カスコード FVF Gm の提案 高い線形性を実現するためには,FVF 構造のような 局所的な帰還を持つ回路構成が有効である.しかしながら,従来の FVF 構造から更に 線形性を改善するためには消費電力の増加が必要であった.この問題に対し,FVF 構造 のループ内部にカスコードトランジスタを挿入したカスコード FVF 構造を提案し,検 討を行った.挿入されたカスコードトランジスタは負帰還の利得を 14 dB 改善し,線形 性の改善に寄与する.65nm CMOS プロセスで行った回路シミュレーションでは,カス コード FVF 構造を持つ Gm セルは,従来の FVF 構造を持つ Gm セルよりも 8 dB 高い IIP3 を実現した.

■LTE 向け 20 MHz 帯域を持つ $\Delta\Sigma$ **A/D 変換器の試作** 提案回路を用いて実装した 20 MHz 帯域三次連続時間 $\Delta\Sigma$ A/D 変換器は, 6.8 mW の消費電力で 72.4 dB の SNDR を達成した. FoM はそれぞれ 50 fJ/conv.-step と 167.1 dB であり,良好な電力効率を実 現した.更に本研究で開発した A/D 変換器は,個々の回路が十分な性能を持っており, 複雑な補償を必要としない.このため,比較的簡素な構成にも関わらず良好な性能を実 現し,実装面積は世界最小クラスとなった.

参考文献

- [1] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [2] K. Hosseini and M. P. Kennedy, "Maximum Sequence Length MASH Digital DeltaSigma Modulators," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 54, no. 12, pp. 2628-2638, Dec. 2007.
- Y. Yang, T. Sculley, and J. Abraham, "A Single-Die 124 dB Stereo Audio Delta-Sigma ADC With 111 dB THD," IEEE Journal of Solid-State Circuits, vol. 43, no. 7, pp. 1657-1665, July 2008.
- [4] G.-C. Ahn, D.-Y. Chang, M. E. Brown, N. Ozaki, H. Youra, K. Yamamura, K. Hamashita, K. Takasuka, G. C. Temes, and U.-K. Moon, "A 0.6-V 82-dB delta-sigma audio ADC using switched-RC integrators," IEEE Journal of Solid-State Circuits, vol. 40, no. 12, pp. 2398-2407, Dec. 2005.
- [5] S. Loeda, J. Harrison, F. Pourchet, and A. Adams, "A 10/20/30/40 MHz Feedforward FIR DAC Continuous-Time ΔΣ With Robust Blocker Performance for Radio Receiver," IEEE Journal of Solid-State Circuits, vol. 51, no. 4, pp. 860-870, April 2016.
- [6] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 応用編」, 培風館, 2010.
- [7] T.-Y. Lo and C.-C. Hung, 1V CMOS Gm-C Filters, Springer, 2009.

- [8] M. Keller, A. Buhmann, J. Sauerbrey, M. Ortmanns, and Y. Manoli, "A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time SigmaDelta Modulators," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 11, pp. 3480-3487, Dec. 2008.
- [9] H. C. Tsai, C. L. Lo, C. Y. Ho, and Y. H. Lin, "A 64-fJ/Conv.-Step Continuous-Time SigmaDelta Modulator in 40-nm CMOS Using Asynchronous SAR Quantizer and Digital DeltaSigma Truncator," IEEE Journal of Solid-State Circuits, vol. 48, no. 11, pp. 2637-2648, Nov. 2013.
- [10] C. Y. Ho, C. Liu, C. L. Lo, H. C. Tsai, T. C. Wang, and Y. H. Lin, "A 4.5 mW CT Self-Coupled *DeltaSigma* Modulator With 2.2 MHz BW and 90.4 dB SNDR Using Residual ELD Compensation," IEEE Journal of Solid-State Circuits, vol. 50, no. 12, pp. 2870-2879, Dec. 2015.
- [11] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20mW 640-MHz CMOS Continuous-Time ΣΔ ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB," IEEE Journal of Solid-State Circuits, vol. 41, no. 7, pp. 1578-1588, July 2006.
- [12] P. Witte, J. G. Kauffman, J. Becker, Y. Manoli, and M. Ortmanns, "A 72dB-DR ΔΣ CT Modulator Using Digitally Estimated Auxiliary DAC Linearization Achieving 88fJ/conv in a 25MHz BW," IEEE International Solid-State Circuits Conference, pp. 154-155, Feb. 2012.
- [13] Y.-S. Shu, J.-Y. Tsai, P. Chen, and T.-Y. Lo, "A 28fJ/conv-step CT ΔΣ Modulator with 78dB DR and 18MHz BW in 28nm CMOS Using a Highly Digital Multibit Quantizer," IEEE International Solid-State Circuits Conference, pp. 268-269, Feb. 2013.
- [14] T.-K. Kao, P. Chen, J.-Y. Tsai, and P.-C. Chiu, "A 16nm FinFet 19/39MHz 78/72dB DR noise-injected aggregated CTSDM ADC for configurable LTE advanced CCA/NCCA application," Symposium on VLSI Circuits, pp. C260-C261, June 2015.

- [15] C. Ding, Y. Manoli, and M. Keller, "A 5.1mW 74dB DR CT ΔΣ Modulator with Quantizer Intrinsic ELD Compensation Achieving 75fJ/conv.-step in a 20MHz BW," European Solid-State Circuits Conference, pp. 213-216, Sept. 2015.
- [16] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp. 348-349, Feb. 2014.
- [17] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [18] J.-W. Huang and Z.-Y. Chen, "A low-power 10MHz bandwidth continuous-time ΣΔ ADC with Gm-C filter," IEEE International Midwest Symposium on Circuits and Systems, pp. 853-856, Aug. 2014.
- [19] S.-W. Huang, Z.-Y. Chen, C.-C. Hung, and C.-M. Chen, "A fourth-order feedforward continuous-time delta-sigma ADC with 3MHz bandwidth," IEEE International Midwest Symposium on Circuits and Systems, pp. 33-36, Aug. 2010.
- [20] Y. Wang, C. Han, D. Li, and Z. Wang, "A 14b continuous-time delta-sigma modulator with 2MHz signal bandwidth," IEEE International Conference on Electron Devices and Solid-State Circuits, pp. 1-2, June 2014.
- [21] S. Wong and C. A. T. Salama, "Impact of Scaling on MOS Analog Performance," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.
- [22] J. Pekarik, D. Greenberg, B. Jagannathan, R. Groves, J. R. Jones, R. Singh, A. Chintahnkindi, X. Wang, M. Breitwisch, D. Coolbaugh, P. Cottrell, J. Florkey, G. Freeman, and R. Krishnasamy, "RFCMOS technology from 0.25µm to 65nm: the state of the art," IEEE Custom Integrated Circuits Conference, pp. 217-224, Oct.

2004.

- R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc,
 "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE
 Journal of Solid-State Circuits, vol. 9, no. 5, pp. 256-268, Oct. 1974.
- [24] G. Baccarani, M. R. Wordeman, and R. H. Dennard, "Generalized scaling theory and its application to a 1/4 micrometer MOSFET design," IEEE Transactions on Electron Devices, vol. 31, no. 4, pp. 452-462, Apr. 1984.
- [25] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen, "Low-power CMOS digital design," IEEE Journal of Solid-State Circuits, vol. 27, no. 4, pp. 473-484, Apr. 1992.
- [26] B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: http://web.stanford.edu/~murmann/adcsurvey.html.
- [27] M. Fulde, Variation Aware Analog and Mixed-Signal Circuit Design in Emerging Multi-Gate CMOS Technologies, Springer, 2010.

第7章

広帯域フィルタ

本章では、広帯域無線通信における広帯域フィルタについて議論する.

7.1 本章で想定する受信機システム

アナログベースバンド回路において,フィルタ回路は不要波を除去し,エイリアシン グによる性能劣化を防ぐために用いられる.本章で想定する 60GHz 帯のミリ波無線通 信では,各チャネルの信号帯域がベースバンドにおいて約1GHz となっており,非常 に広帯域な帯域が必要である.このような広帯域なアナログベースバンド回路では,後 続の A/D 変換器のサンプリング周波数に余裕がないケースが多く,フィルタには急峻 な遮断特性が要求される.2.5.1 節で言及したように,実際の 60GHz 帯ミリ波向け受信 機に関する先行研究では,3次から6次程度の次数のフィルタを実装しているケースが 多い [1–4].また,QPSK や 16QAM のような多値変調を達成するためには,より高い SNDR が要求される.表7.1 は,多値変調時に受信機全体に要求される SNDR を示した ものである.ただし,この SNDR は受信機全体の値であるため,フィルタ単体は更に高 い SNDR を達成している必要がある.

図 7.1 に本章で実現を目指す受信機システムの構成を示す. このうちベースバンド増 幅器(BB Amp.)までは,第2章の表 2.1 及び図 2.20 に示した受信機をそのまま使用す る.フィルタ直前までの SNDR_{peak} は 34.1 dB であり, 38.5 dB の SNDR が達成できれ ば,フィルタの前に VGA を挿入せずに 256QAM の貫通が可能となる.

表 7.2 に、本章で達成を目指すフィルタの性能をまとめた. SNDR は 256QAM から 10 dB マージンを取り、38.5 dB を目指す. カットオフ周波数は 880 MHz 以上が実現で きるようにする. ただし、カットオフ周波数を下げる方向に関しては SNDR に対してス
	$\mathrm{SNDR}\left[\mathrm{dB}\right]$	データレート [Gbps/ch]
QPSK	9.8	3.52
16QAM	16.5	7.04
64QAM	22.5	10.56
256QAM	28.5	14.08

表 7.1:多値変調とデータレート及び要求 SNDR の関係



図 7.1: 本章で実現を目指す受信機システム

ケーリングが可能であるため、構成の検討や設計などは1GHz で行うこととする.フィ ルタ次数は4次とし、バターワース特性を選択する.

雑音の要求仕様は 2.5.1 節の検討から導いた.表 2.1 によれば,受信機の入力からフィ ルタの入力までの利得は < 29.8 dB となる.この利得の設定には自由度があり,今回は フィルタの SNDR とフィルタ入力部分までの SNDR が同程度の入力電力でピークを迎 えるように設定する.そこで利得最大時に目標 SNDR に相当する SNR を算出し,そこ から入力換算雑音を逆算した.

我1.2. ノイルクの政府に称				
目標値・仕様	備考			
65nm CMOS				
$1.2\mathrm{V}$				
$38.5\mathrm{dB}$	256QAM を想定,10 dB マージン			
$> 880\mathrm{MHz}$	1GHz で検討			
4	バターワース			
1 mVrms	表 2.1 及び図 2.21 から推定			
$0\mathrm{dB}$	平等な性能比較のため			
	日標値・仕様 65nm CMOS 1.2 V 38.5 dB > 880 MHz 4 1 mVrms 0 dB			

表 7.2: フィルタの設計仕様

7.2 フィルタアーキテクチャの検討

上記の要求仕様を満たすフィルタ構成を検討する.ここでは第6章で示した Active-RC フィルタと Gm-C フィルタに加え、ソースフォロワフィルタと電流型フィルタを中心に 検討を行う.

7.2.1 Active-RC フィルタ

第6章で示した Active-RC フィルタも,無線通信のフィルタとして用いられる.図 7.2 に,Active-RC フィルタで構成されたバイカッドフィルタを示す.バイカッドフィル タは *Q* 値とカットオフ周波数 ω_c を用いて,次のような伝達関数を持つ.

$$H(s) = \frac{1}{1 + \frac{1}{Q} \cdot \frac{s}{\omega_{c}} + \frac{s^{2}}{\omega_{c}^{2}}}$$
(7.1)

図 7.2 より、このフィルタの伝達関数を求めると、

$$H(s) = \frac{1}{\frac{R_0}{R_3} + \frac{sC_2R_0R_2}{R_1} + s^2C_1C_2R_0R_2}$$
(7.2)



図 7.2: Active-RC 型バイカッドフィルタ [5]

であるから,

$$Q = R_1 \sqrt{\frac{C_1}{C_2 R_2 R_3}}$$
(7.3)

$$\omega_{\rm c} = \frac{1}{\sqrt{C_1 C_2 R_2 R_3}} \tag{7.4}$$

である.

オペアンプを用いた Active-RC フイルタは,オペアンプの利得によって良好な線形性 が期待できるため,高精度な回路に向いたアーキテクチャであると言える.また利得が 十分に高い場合は,トランジスタパラメータに依存しないカットオフ特性を実現するこ とができる.しかしながら,フィルタの帯域内で各オペアンプが利得を保つ必要があり, 帯域に比例した消費電力が必要である.特に広帯域なフィルタでは非常に高いユニティ ゲイン周波数が必要となるが,第3章で議論したように高い GB 積の確保と位相余裕の 両立は困難である.Active-RC フィルタを用いた広帯域フィルタの例として,例えば [1] では 880 MHz のカットオフ周波数を実現している.このフィルタで用いられているオペ アンプのユニティゲイン周波数は 3.1 GHz にも及ぶが,880 MHz のフィルタ帯域に対し て仮想接地の帯域が不十分であると述べられている.このような問題から 100 MHz を越 えるような用途ではほとんど用いられず,十分な仮想接地の精度が期待できる狭帯域な 用途での応用が盛んである.

7.2.2 Gm-Cフィルタ

Active-RC フィルタは広帯域化について問題が多いため、オペアンプを用いた負帰還 増幅回路がオープンループ型アンプに置き換わったように、フィルタについてもオープ ンループ型の回路を用いた構成が考案された.

第6章で述べたように,Gm-Cフィルタは広帯域な用途でよく用いられているフィ ルタである.実際に1GHzの広帯域を実現するGm-Cフィルタも多数報告されてい る[2,3,7,8].図7.3は,Gm-Cフィルタによるバイカッドフィルタである.4個のGm セルと容量により,二次のバイカッド特性が実現される.このフィルタの伝達関数は, 次のように表される.

$$H(s) = \frac{G_{\rm m1}}{G_{\rm m3}} \frac{1}{1 + \frac{sC_1G_{\rm m2}}{G_{\rm m3}G_{\rm m4}} + \frac{s^2C_1C_2}{G_{\rm m3}G_{\rm m4}}}$$
(7.5)

すなわち,

$$Q = \frac{1}{G_{\rm m2}} \sqrt{\frac{C_1 G_{\rm m3} G_{\rm m4}}{C_2}} \tag{7.6}$$

$$\omega_{\rm c} = \sqrt{\frac{G_{\rm m3}G_{\rm m4}}{C_1 C_2}} \tag{7.7}$$

となり、 $Q \ge \omega_c$ を独立に制御することができる.

この構成のメリットはチューニングが行いやすい点である. 全ての Gm セルが等しい G_m を持っていると仮定すると,

$$Q = \sqrt{\frac{C_1}{C_2}} \tag{7.8}$$

$$\omega_{\rm c} = \frac{G_{\rm m}}{\sqrt{C_1 C_2}} \tag{7.9}$$

と表され, QはGmに依存しなくなり, Cの比率によって決まるようになる. すなわち, プロセスばらつきで R や C などが変化した場合でも理論的には Q は変化せず, カット オフ周波数のみが変動する. このカットオフ周波数の変動は, Gm を一律に制御するこ とで吸収することができる. Gm セルの値を同時に変動させる最もよく知られた方法の 一つに, 図 7.4 に示した MOS 抵抗を用いたソースデジェネレーションがある [6]. MR1 及び MR2 は線形領域で動作しており, V_{TUNE} の値によって MOS 抵抗の抵抗値が変化 し, Gm 値を変えることができる.



図 7.3: Gm-C 型バイカッドフィルタ [6]



図 7.4: 可変抵抗を持つソースデジェネレーション Gm セル



図 7.5:寄生容量と出力抵抗を考慮した Gm セル

しかしながら,このフィルタは Gm セルの必要個数が多いという欠点を持つ.第4章 で述べたように,Gm セルは線形性と消費電力のトレードオフを持つことから,低消費 電力と高線形性を両立することが困難である.実際に報告されている1 GHz 付近の広帯 域 Gm-C フィルタでは,20 mW を上回る消費電力 [3,7] を必要とするか,あるいは線形 性が低い [8] といった問題がある.

7.2.2.1 寄生成分の影響

Gm-C フィルタでは、Gm セルの寄生容量・出力抵抗も大きな問題となる. ここで Gm セルについて、図 7.5 のようなモデルを考え、寄生成分によるカットオフ特性への影響 を調べる. $C_{\rm in}$ は入力寄生容量、 $C_{\rm out}$ は出力寄生容量、 $r_{\rm out}$ は出力抵抗を表している. こ れらの寄生成分を考慮した時、 C_1, C_2 及び $G_{\rm m2}$ は次のように修正される.

$$C'_{1} = C_{1} + (1 + k_{\rm G})C_{\rm in} + (2 + k_{\rm G})C_{\rm out}$$
(7.10)

$$C_2' = C_2 + C_{\rm in} + C_{\rm out} \tag{7.11}$$

$$G'_{\rm m2} = k_{\rm G}G_{\rm m} + \frac{2 + k_{\rm G}}{r_{\rm out}}$$
(7.12)



図 7.6: 電流源のインピーダンスを考慮したソースデジェネレーション Gm セルただし,

$$G_{\rm m2} = k_{\rm G} G_{\rm m} \tag{7.13}$$

とし, G_{m2} は k_{G} のスケーリングが行われていると仮定した. このとき, Q 及び ω_{c} は次のようになる.

$$Q' = \frac{1}{G'_{m2}} \sqrt{\frac{C'_{1}G_{m3}G_{m4}}{C'_{2}}} = \frac{Q}{k_{\rm G} + \frac{2 + k_{\rm G}}{G_{\rm m}r_{\rm out}}} \sqrt{\frac{1 + \frac{(1 + k_{\rm G})C_{\rm in} + (2 + k_{\rm G})C_{\rm out}}{C_{\rm 1}}}{1 + \frac{C_{\rm in} + C_{\rm out}}{C_{2}}}}$$
(7.14)
$$\omega_{\rm c}' = \sqrt{\frac{G_{m3}G_{m4}}{C'_{1}C'_{2}}} = \frac{\omega_{\rm c}}{\left(1 + \frac{1 + (1 + k_{\rm G})C_{\rm in} + (2 + k_{\rm G})C_{\rm out}}{C_{1}}\right) \left(1 + \frac{1 + C_{\rm in} + C_{\rm out}}{C_{2}}\right)}$$
(7.15)

Gm-C フィルタでは、特に C_1 及び G_{m2} のノードに接続される Gm セル数が多いため、 C_{in} や r_{out} に係数が付加されてしまう.

■出力抵抗の影響 (7.14) 式によれば, r_{out} が小さい場合は Q が減少してしまうことが読み取れる.特にこのフィルタでは, C_1 が接続されているノードに Gm セルの出力端子が3つ接続されているため,影響が出やすい. r_{out} の影響を排除するためには $G_m r_{out} \gg 1$ が必要である.ところが,この問題は線形性と深刻なトレードオフを持つ.一例として,

図 7.6 に示すソースデジェネレーション Gm セルについて考える. Gm 値及び rout は,

$$G_{\rm m} \approx \frac{1}{\left(1 + \frac{1}{N}\right) R_{\rm S}} \tag{7.16}$$

$$r_{\rm out} = \frac{1}{g_{\rm d5} + \frac{1}{G_{\rm i}R_{\rm S}}} \approx \frac{V_{\rm A}}{I_{\rm bias}} = \frac{1}{K_{g_{\rm out}}I_{\rm bias}}$$
(7.17)

である. ただし $G_i R_S \gg r_{d3}$ として近似した. ここで $K_{q_{out}}$ は一般化のための係数であり,

$$K_{g_{\text{out}}} = \frac{1}{r_{\text{out}}I_{\text{bias}}} \tag{7.18}$$

で定義される.また,線形性を制御するソースデジェネレーションファクター Nは,

$$N = g_{\rm m} R_{\rm S} \approx \frac{2I_{\rm bias}}{\left(1 + \frac{1}{N}\right) G_{\rm m} V_{\rm eff}}$$
(7.19)

である. このとき $G_{\rm m}r_{\rm out}$ は、次のように書き表される.

$$G_{\rm m}r_{\rm out} = \frac{2I_{\rm bias}}{\left(1+\frac{1}{N}\right)NV_{\rm eff}} \cdot \frac{1}{K_{g_{\rm out}}I_{\rm bias}} = \frac{2}{\left(1+N\right)V_{\rm eff}}\frac{1}{K_{g_{\rm out}}}$$
(7.20)

結局 $G_{\rm m}r_{\rm out}$ の項に $I_{\rm bias}$ は含まれず, N のみが残る.

第4章での解析により、ソースデジェネレーションの線形性と SNDR は N を大きく することで改善できる. ところが (7.20) 式によれば、N を大きくすると G_mr_{out} の値は 小さくなってしまうため、(7.14) 式における出力抵抗の影響は大きくなってしまう. 特 に高い SNDR を得るためには、消費電流を増やし高い N を確保する必要が有るため、 この問題はより顕著になる.

■寄生容量による影響 一方,寄生容量 C_{in} 及び C_{out} は, $Q \ge \omega_c$ の両方に影響を与えてしまう.この寄生成分を無視するためには, $C_1, C_2 \gg C_{in}, C_{out}$ が必要である.しかしながら,この寄生容量の影響はカットオフ周波数を高くする際に特に問題となる.

Gm-C フィルタでカットオフ周波数を高くするためには, C_1, C_2 を小さくするか, G_m 値を大きくする必要がある. C_1, C_2 を小さくすると,寄生成分の影響が大きくなってし まうのは (7.14) 式及び (7.15) 式より明らかである. 一方, $G_{\rm m}$ 値を大きくする最も簡単な方法は (7.16) 式より, $R_{\rm S}$ を小さくする方法である.しかしながら,(7.19) 式で表される N が減少してしまうため,線形性が劣化してしまう.そこで (7.19) 式を $G_{\rm m}$ について解くと,

$$G_{\rm m} \approx \frac{2I_{\rm bias}}{(1+N)V_{\rm eff}} \tag{7.21}$$

となる.線形性の観点から N を定数として考えると, G_m 値を大きくするためには I_{bias} を大きくしなければならない.この時,寄生容量 C_{in}, C_{out} はトランジスタサイズに比例 するため,大きな電流を流すためにトランジスタの W を大きくすると,寄生容量値も大 きくなってしまう.したがって,いずれの方法においても寄生容量の影響は大きくなっ てしまう.この問題を軽減するためには N を小さく設定し,線形性の劣化を受け入れ なければならない.

7.2.2.2 カットオフ周波数の限界

上記の寄生成分の影響を考慮し,Gm-Cフィルタで構成できるカットオフ周波数の限 界値を計算する.*C*_{in} 及び*C*_{out} はGm セルの各トランジスタに流れるバイアス電流に比 例すると考えると,ある定数を用いて,

$$C_{\rm in} = K_{C_{\rm in}} I_{\rm bias} \tag{7.22}$$

$$C_{\rm out} = K_{C_{\rm out}} I_{\rm bias} \tag{7.23}$$

と表すことができる. (7.10) 式, (7.11) 式及び (7.12) 式により, C_1, C_2, G_{m2} の下限値は 次のようになる.

$$C_1' > (1+k_{\rm G})C_{\rm in} + (2+k_{\rm G})C_{\rm out} = \{(1+k_{\rm G})K_{C_{\rm in}} + (2+k_{\rm G})K_{C_{\rm out}}\}I_{\rm bias} \quad (7.24)$$

$$C'_2 > C_{\rm in} + C_{\rm out} = (K_{C_{\rm in}} + K_{C_{\rm out}})I_{\rm bias}$$
(7.25)

(7.26)

一方, G_{m2}は,

$$G'_{\rm m2} = k_{\rm G}G_{\rm m} + \frac{2+k_{\rm G}}{r_{\rm out}} = k_{\rm G}G_{\rm m} + (2+k_{\rm G})K_{g_{\rm out}}I_{\rm bias}$$
(7.27)

である. $G_{\mathrm{m}3} = G_{\mathrm{m}4} = G_{\mathrm{m}}$ とすると,

$$Q = \frac{G_{\rm m}}{G_{\rm m2}'} \sqrt{\frac{C_1'}{C_2'}} = \frac{1}{k_{\rm G} + \frac{2 + k_{\rm G}}{G_{\rm m} r_{\rm out}}} \sqrt{\frac{C_1'}{C_2'}}$$
(7.28)

$$\omega_{\rm c} = \frac{G_{\rm m}}{\sqrt{C_1' C_2'}} \tag{7.29}$$

となる. (7.28) 式を C'₁ について解くと,

$$C_{1}' = Q^{2} \cdot \left(\frac{G_{m2}'}{G_{m}}\right)^{2} C_{2}'$$

> $Q^{2} \cdot \left\{k_{\rm G} + \left(1 + \frac{k_{\rm G}}{2}\right)(1+N)V_{\rm eff}K_{g_{\rm out}}\right\}^{2} \cdot \left(K_{C_{\rm in}} + K_{C_{\rm out}}\right)I_{\rm bias}$ (7.30)

となる. (7.24) 式と (7.30) 式は同時に満たす必要が有るため,両式の右辺で大きい方を 採用する. 上限角周波数は, (7.21) 式及び (7.25) 式より,

$$\omega_{\rm c}' < \frac{2}{(1+N)V_{\rm eff}} \frac{1}{\sqrt{(K_{C_{\rm in}} + K_{C_{\rm out}}) \cdot \frac{C_1'}{I_{\rm bias}}}}$$
(7.31)

と表される.したがって,

$$\omega_{\rm c}' < \frac{2}{(1+N)V_{\rm eff}} \frac{1}{\sqrt{\{(1+k_{\rm G})K_{C_{\rm in}} + (2+k_{\rm G})K_{C_{\rm out}}\}(K_{C_{\rm in}} + K_{C_{\rm out}})}}$$
(7.32)

かつ

$$\omega_{\rm c}' < \frac{2}{(1+N)V_{\rm eff}} \frac{1}{\sqrt{(K_{C_{\rm in}} + K_{C_{\rm out}})Q^2 \left\{ k_{\rm G} + \left(1 + \frac{k_{\rm G}}{2}\right)(1+N)V_{\rm eff}K_{g_{\rm out}} \right\}^2 (K_{C_{\rm in}} + K_{C_{\rm out}})}}{4}$$

 $= \frac{1}{\{2k_{\rm G} + (2+k_{\rm G})(1+N)V_{\rm eff}K_{g_{\rm out}}\}(1+N)V_{\rm eff}} \overline{Q(K_{C_{\rm in}} + K_{C_{\rm out}})}$ (7.33) が実際の上限となる.

これらの数式において, $k_{\rm G}$ を小さく取ることで上限周波数は改善されるが, $G_{\rm m2}$ による Qの制御性が損なわれる点に注意が必要である.極端な例として $k_{\rm G} = 0$ とすると, (7.12) 式によれば $G'_{\rm m2}$ は $r_{\rm out}$ のみで決定されることになる. $r_{\rm out}$ は PVT ばらつきの影響を強く受けるパラメータであり, そのような状態でカットオフの特性を制御するのは非常に困難である.ここでは一つの目安として, $k_{\rm G} = 1,0.5,0$ の三種類で上限周波数を算出する.

図 7.7 に、典型値を代入して求めた上限周波数を示す. ここでは 4 次のフィルタを想定し、Q = 1.31を実現することができる最大の周波数を算出した. グラフのとおり、上限周波数は全て (7.33) 式で決まっている. $k_{\rm G} = 0$ において上限周波数は数 GHz となるが、 $k_{\rm G} = 0.5$ では N = 1.5 付近で 1 GHz を下回ってしまう. 最も条件の緩い N = 0 についても $k_{\rm G} = 0.5$ では 2 GHz となり、マージンはほとんど存在しない. $k_{\rm G} = 1$ では常



図 7.7:4次 Gm-C フィルタの上限周波数

に1GHz を下回り,最大でも約 800 MHz のカットオフ周波数となる.このように,N が大きい範囲ではカットオフ周波数の上限が低くなってしまうため,線形性及び SNDR を改善する場合は,出力抵抗や寄生容量の影響を抑制する必要がある.

これらの非理想成分を緩和する手法として,負性抵抗を利用する方法や,容量キャン セルを行う手法が知られている [3,9].図 7.8 はミラー効果を用いた負性負荷の動作原理 を示している.補助アンプの利得が *A* > 1 のとき,この回路は通常の負荷とは逆方向の 電流を流す負荷となる.*V*_{IN} から見込んだ等価的なアドミタンス *Y*' は,

$$Y' = -(A-1)Y (7.34)$$

と表され,負のアドミタンスが得られる.ただし,回路で使用を想定する帯域に対して Aの利得が保たれている必要があるため,広帯域な用途では広帯域な増幅器を必要とす る.加えて,Aの持つ入力換算雑音は抑制されること無くメインパスに混入するため, SNRの観点でも不利である.このように,この方法は回路規模の増加のみならず,消費 電力の増加や雑音の劣化が生じてしまう.また,カットオフを定めるメインパスの*G*m や*C*の他に,複雑なパラメータ(補助アンプの利得*A*やアドミタンス*Y*など)でカッ トオフ周波数が決まるようになるため,チューニングの観点で望ましくない.

図 7.8: ミラー効果を用いた負性負荷

7.2.3 ソースフォロワフィルタ

ソースフォロワフィルタの原型は,図4.25に示すような回路で表される.このフィル タはソースフォロワを縦に並べて接続して構成される.チャネル長変調効果と寄生容量 を無視した場合の伝達関数は,

$$H(s) = \frac{1}{1 + s \left\{ \frac{C_1}{g_{m1}} + C_2 \left(\frac{1}{g_{m3}} - \frac{1}{g_{m1}} \right) \right\} + s^2 \frac{C_1 C_2}{g_{m1} g_{m3}}}$$
(7.35)

と表される. $g_{m1} = g_{m3} = g_m$ としたとき,

$$H(s) = \frac{1}{1 + \frac{sC_1}{g_{\rm m}} + \frac{s^2 C_1 C_2}{g_{\rm m}^2}}$$
(7.36)

となるため、Qとカットオフはそれぞれ、

$$Q = \sqrt{\frac{C_2}{C_1}} \tag{7.37}$$

$$\omega_{\rm c} = \frac{g_{\rm m}}{\sqrt{C_1 C_2}} \tag{7.38}$$

と表すことができる. この特性は, (7.8) 式及び (7.9) 式で示した Gm-C フィルタのカッ トオフ特性と酷似している. ただし, Gm-C フィルタでは Gm セルの Gm 値を用いてい たのに対し, ソースフォロワフィルタではトランジスタそのものの gm を用いている点 に注意が必要である. このようにソースフォロワフィルタは, 小規模な回路構成でバイ カッドフィルタを実現できるという特長があり, 低消費電力化に適しているアーキテ クチャとして近年注目されている. このフィルタはソースフォロワを元にしているが, FVF 構造や SSF 構造を応用したフィルタも提案・検討されている [11–13].

図 7.9(a) の基本構成の欠点は、入出力コモン電圧と電源電圧である. たとえば V_{inp} か ら V_{outp} にかけて、二つの NMOS のゲート・ソース間を信号が移動するため、低周波

図 7.9: ソースフォロワフィルタ [4,10]

では,

$$V_{\rm outp} \approx V_{\rm inp} - V_{\rm GS1} - V_{\rm GS4} \tag{7.39}$$

が成立する. V_{GS1} 及び V_{GS4} が 0.45 V 程度と仮定すると,入出力間のコモン電圧は 0.9 V 近くシフトしてしまうことになる. 更にこの入出力範囲をカバーするためには, 1.2 V を越える高い電源電圧が必要となる. この問題から,実際の実装では図 7.9(b) に示した フォールデッド構成がよく用いられる. フォールデッド構成は消費電力が二倍になり雑 音電力も大きくなるが,低電圧でも使用が可能であり,入出力のコモンレベルを一致さ せることも容易である. ただし,両者は同じ伝達関数を持つが, *g*_{m3} が PMOS のトラン スコンダクタンスとなっている点に注意しなければならない.

7.2.3.1 線形性

通常,伝達関数に $g_{\rm m}$ のようなトランジスタパラメータを直接使用すると,動作点が変動した際にトランジスタパラメータが変動し,歪が生じてしまう.例えば,あるトランジスタのゲート・ソース間電圧の変動を $\Delta V_{\rm GS}$ とし,ドレイン電流の変動量を $\Delta I_{\rm D}$ とおくと,

$$g_{\rm m} = \frac{I_{\rm D} + \Delta I_{\rm D}}{V_{\rm eff} + \Delta V_{\rm GS}} \tag{7.40}$$

となり, g_m が変動してしまう.しかしながらソースフォロワフィルタにおいて,少なく とも低周波側ではそれぞれのトランジスタがソースフォロワとして動作し, V_{GS} を一定 に保ちながら動作する.その結果,ソース接地回路などと比較するとトランジスタパラ メータの変動が起こりにくく,良好な線形性が実現される.

ただし、カットオフ周波数付近では様子が異なり、V_{GS} 変動の抑制効果が薄れてしまう. M1のソース側の小信号電圧を v_{1p} とおくと、入力小信号 v_{in} に対して、

$$v_{1p} = H(s) \cdot \left(1 + \frac{sC_2}{g_m}\right) v_{in} = H(s) \cdot \left(1 + \frac{sQ}{\omega_c}\right) v_{in}$$
(7.41)

となる.したがって、周波数特性を考慮した VGS1 及び VGS4 の変動成分は、

$$\Delta V_{\rm GS1}(s) = v_{\rm in} - v_{\rm 1p} = \frac{\frac{1}{Q} \cdot \frac{s}{\omega_{\rm c}} - \frac{sQ}{\omega_{\rm c}} + \frac{s^2}{\omega_{\rm c}^2}}{1 + \frac{1}{Q} \cdot \frac{s}{\omega_{\rm c}} + \frac{s^2}{\omega_{\rm c}^2}} \cdot v_{\rm in}$$
$$= H(s) \cdot \frac{s}{\omega_{\rm c}} \left(\frac{1}{Q} - Q + \frac{s}{\omega_{\rm c}}\right) \cdot v_{\rm in}$$
(7.42)

$$\Delta V_{\rm GS4}(s) = v_{\rm 1p} - v_{\rm out} = H(s) \cdot \frac{sQ}{\omega_{\rm c}} \cdot v_{\rm in}$$
(7.43)

と表される.s = 0において, $\Delta V_{\text{GS1}}(0) = 0, \Delta V_{\text{DS4}}(0) = 0$ となるが, $s \neq 0$ では振幅が存在するという結果が得られる.

図 7.10 に、 v_{in} に対するそれぞれの利得を示す.ただし、x 軸はカットオフ周波数で 規格化し、Q は二次及び四次バターワース特性を実現する 3 種類の値を選んだ.低周波 側の利得は十分低いが、カットオフ周波数付近でピークを迎え、その後 ΔV_{GS1} は 0 dB、 ΔV_{GS4} は 1 次の減衰特性となる.カットオフ周波数におけるそれぞれの振幅は、

$$H(\omega_{\rm c}) = Q \tag{7.44}$$

より,

$$\left|\frac{\Delta V_{\rm GS1}(\omega_{\rm c})}{v_{\rm in}}\right| = Q \cdot \sqrt{\left(\frac{1}{Q} - Q\right)^2 + 1} \tag{7.45}$$

$$\left|\frac{\Delta V_{\rm GS4}(\omega_{\rm c})}{v_{\rm in}}\right| = Q^2 \tag{7.46}$$

となり、いずれもQが大きいほど大きな振幅となってしまう.

今,シングルトーンの正弦波が入力されていると仮定し, I_{D1}を次のように表す.

$$I_{\rm D1} = K \left\{ V_{\rm eff} + \Delta V_{\rm GS1}(s) \right\}^2$$
(7.47)

ただし V_{eff} は有効ゲート電圧であり,係数 K に対して,

$$I_{\text{bias}} = K V_{\text{eff}}^2 \tag{7.48}$$

の関係がある.入力振幅及び周波数特性を考慮した gml は,

$$g_{m1}(s, v_{in}) = \frac{2I_{D1}}{V_{eff} + \Delta V_{GS1}(s)} = 2K \{ V_{eff} + \Delta V_{GS1}(s) \}$$
$$= g_{m1} \left(1 + \frac{\Delta V_{GS1}(s)}{V_{eff}} \right)$$
(7.49)

となる. ただし,この式において g_{m1} は定常状態における g_m を表しており,定数である. (7.49) 式は, (7.42) 式で示された $\Delta V_{GS1}(s)$ の振幅が,そのまま g_m 値を変動させ

図 7.10: $v_{\rm in}$ から $\Delta V_{\rm GS1}, \Delta V_{\rm DS4}$ までの利得

図 7.12:2 次ソースフォロワフィルタの IIP3

てしまうことを示している. 図 7.10 に示したように,特にカットオフ周波数付近では $\Delta V_{GS1}(s)$ の変動は非常に大きくなり, Qが高い場合は入力振幅をも上回る. 数式は省 略するが, ΔV_{GS4} についても同様の結果が得られる. 加えて (7.42) 式と (7.49) 式は, 消 費電流などの設計パラメータ変更による g_m 変動の抑制が難しいという事実をも示して いる. $Q や \omega_c$ などのカットオフパラメータはシステム側からの要求で定まっているた め, $\Delta V_{GS1}(s)$ の利得を小さくすることは不可能である. 唯一 g_{m1} に対する影響を軽減で きるのは, V_{eff} の設計パラメータのみである.

ソースフォロワフィルタにおいて g_m の変動が生じた場合,図 7.11 に示したような カットオフ周波数や Q の変動が生じる.このとき,カットオフ周辺の信号に対する利得 が著しく変動するため,線型性の劣化が生じる.

プロセス	65nm CMOS
電源電圧	$1.2\mathrm{V}$
消費電力	$1.6\mathrm{mW}$
カットオフ周波数	$100\mathrm{MHz}$
フィルタ次数	2

表 7.3: ソースフォロワフィルタのシミュレーション条件

図 7.12 に周波数に対するソースフォロワフィルタの IIP3 を示す.設計及びシミュ レーション条件は表 7.3 のとおりである.10 MHz を下回る周波数では 14 dBV の非常に 良好な線形性を実現しているが,それ以上の周波数では一気に線形性が劣化する.特に Q = 1.31 では非常に劣化が早く,カットオフ周波数付近では -15 dBV となり,DC か ら約 30 dB の線形性劣化となった.このグラフの傾向と図 7.10 を比較すると,Q = 1.31では V_{GS4} 側で線形性が劣化し,Q = 0.54, 0.71 では V_{GS1} 側の線形性劣化が支配的と見ら れる.この IIP3 の劣化特性はカットオフ周波数に対してスケーリングされるため,ど の帯域で設計した場合でも同じ問題が生じてしまう.加えて前述の様に,消費電力を増 やすことでも対応することができない.この線形性の問題は,伝達関数内にトランジス タの g_m を直接使用するフィルタでは避けがたい課題であり,ソースフォロワフィルタ と似た構成を持つ FVF 構造や SSF 構造を元にしたフィルタでも共通する.

7.2.3.2 寄生成分の影響

ソースフォロワフィルタにおいて、寄生容量やドレインコンダクタンスが及ぼすカットオフ特性への影響について評価する. 図 7.13 に非理想成分を考慮した小信号等価回路 を示す. C_{p1} は M1 の C_{GS} を主とする寄生容量であり、 C_{p2} は M3 の C_{GS} を主とする寄 生容量を示している. なお、式を簡単にするため、

$$C_1' = C_1 + C_{\rm p1} \tag{7.50}$$

$$C_2' = C_2 + C_{\rm p2} \tag{7.51}$$

として解析を行う.キルヒホッフの電流則より,

$$(g_{m1} + g_{d1} + g_{d3}sC'_1 - g_{m3})v_{1s} = g_{m1}v_{in} + (g_{m3} + g_{d3})v_{out}$$
(7.52)

 $(g_{\rm m3} + g_{\rm d3} + g_{\rm d5} + sC_2') = (-g_{\rm m3} + g_{\rm d3})v_{\rm 1s}$ (7.53)

図 7.13: 寄生成分を考慮したソースフォロワフィルタの小信号等価回路

である. (7.53) 式より,

$$v_{1s} = \frac{g_{m3} + g_{d3} + g_{d5} + sC'_2}{-g_{m3} + g_{d3}} v_{out}$$
(7.54)

となる. これを (7.52) 式に代入し, 伝達関数を整理する.

$$H(s) = \frac{g_{m1}(g_{m3} - g_{d3})}{(g_{m1} + g_{d1} + sC_1')(g_{m3} + g_{d3} + g_{d5} + sC_2') - g_{m3}(g_{d5} + sC_2')}$$

$$= \frac{g_m(g_m - g_d)}{g_m^2 + 2g_m g_d + 2g_d^2 + sC_1'g_m + 2sC_1'g_d + sC_2'g_d + s^2C_1'C_2'}$$

$$\approx \frac{1 - \frac{1}{G_i}}{1 + \frac{2}{G_i} + s\frac{C_1'}{g_m} \left(1 + \frac{2}{G_i} + \frac{1}{G_i} \cdot \frac{C_2'}{C_1'}\right) + s^2\frac{C_1'C_2'}{g_m^2}}{g_m^2}$$

$$\approx \frac{1 - \frac{1}{G_i}}{1 + \frac{2}{G_i} 1 + s\frac{C_1'}{g_m} \left(1 + \frac{Q^2}{G_i + 2}\right) + s^2\frac{C_1'C_2'}{g_m^2}}{g_m^2 \left(1 + \frac{2}{G_i}\right)}$$
(7.55)

ただし, $g_{m1} = g_{m3} = g_m$ 及び $g_{d1} = g_{d3} = g_{d5} = g_d$ とした. G_i は固有利得であり, $G_i = g_m/g_d$ である.途中で, $Q = \sqrt{C_2/C_1} \approx \sqrt{C_2'/C_1'}$ とした.カットオフ周波数及び

Qについて整理すると、次のようになる.

$$\omega_{\rm c}' = \frac{g_{\rm m}}{\sqrt{C_1' C_2'}} \cdot \sqrt{1 + \frac{2}{G_{\rm i}}}$$
(7.56)

$$Q' = \sqrt{\frac{C_2'}{C_1'}} \frac{1}{\left(1 + \frac{Q^2}{G_i + 2}\right)\sqrt{1 + \frac{2}{G_i}}}$$
(7.57)

ただし,元々の設計値と区別するため,ω_c,Q'として記述している.それぞれ,寄生容 量やドレインコンダクタンスの影響により,値が劣化する様子が確認できる.

これらの式を用いて、あるQに対して実現できるカットオフ周波数の最大値を示す. Q' = Qとなるように C'_2 を設定したと仮定する.このとき、

$$\sqrt{C_1'} = \frac{\sqrt{C_2'}}{Q\left(1 + \frac{Q^2}{G_i + 2}\right)\sqrt{1 + \frac{2}{G_i}}}$$
(7.58)

であるから,

$$\omega_{\rm c}' = \frac{g_{\rm m}Q}{C_2'} \cdot \left(1 + \frac{Q^2}{G_{\rm i} + 2}\right) \left(1 + \frac{2}{G_{\rm i}}\right) \tag{7.59}$$

となる. すなわち, 特定の ω_c とQに対し, C'_1, C'_2 は,

$$C_{1}' = \frac{g_{\rm m}}{\omega_{c}} \frac{1}{Q\left(1 + \frac{Q^{2}}{G_{\rm i} + 2}\right)}$$
(7.60)

$$C_2' = \frac{g_{\rm m}Q}{\omega_c} \cdot \left(1 + \frac{Q^2}{G_{\rm i}+2}\right) \left(1 + \frac{2}{G_{\rm i}}\right) \tag{7.61}$$

の条件を満たさなければならない. ここで *C*[']₁ 及び *C*[']₂ の下限値はトランジスタの寄生容 量によって決まることから,

$$C_1' \ge K_{\rm C1} I_{\rm bias} \tag{7.62}$$

$$C_2' \ge K_{\rm C2} I_{\rm bias} \tag{7.63}$$

(7.64)

とすると、上限周波数は次の二式のように表される.

$$\omega_c \le \frac{2}{K_{\rm C1}V_{\rm eff}} \frac{1}{Q\left(1 + \frac{Q^2}{G_{\rm i} + 2}\right)} \tag{7.65}$$

$$\omega_c \le \frac{2Q}{K_{\rm C2}V_{\rm eff}} \cdot \left(1 + \frac{Q^2}{G_{\rm i} + 2}\right) \left(1 + \frac{2}{G_{\rm i}}\right) \tag{7.66}$$

図 7.14: ソースフォロワフィルタの上限周波数

したがって、上限周波数は消費電力に依存せず、Qに対して一意に定まる.

図 7.14 に,フォールデッド構成のソースフォロワフィルタ(図 7.9(b))について,典型値を代入して求めた上限周波数を示す.(7.65)式は高い Q に対してカットオフ周波数 に制限をかける一方,(7.66)式は低い Q に対して制限をかける.4次バターワースフィ ルタでは Q = 0.54,1.31 を使用するが,この範囲では 2.2 GHz が上限周波数となっており,1 GHz のフィルタ用途でも構成できることが確認できる.ただし,いずれも寄生容量のみを考慮した値であるため,この値には設計マージンが含まれていない点に注意しなければならない.仮に 1 GHz のカットオフを設定したと仮定すると,寄生容量は C[']₂ に対して約 5 割を占めることになる.

7.2.4 電流型フィルタ

Gm-C フィルタは広帯域化に適したアーキテクチャとして知られていたが、広帯域化 と高い SNDR を両立することが困難である.また、ソースフォロワフィルタはカットオ フ周波数付近で著しく線形性が劣化し、カットオフ周波数にも余裕がない.

そこで、より広帯域化に適した増幅器である電流増幅器を用いたフィルタ構成を検討 する.電流増幅器は図 7.15 のように、オペアンプの負帰還増幅回路を置き換えることが できる.図 7.15(a)と図 7.15(b)の二つ回路は同じ伝達関数を実現している.オペアンプ は広帯域化が困難であったが,第4章で議論したように,局所的な帰還を有す電流増幅 器は GHz オーダーまで良好な特性を維持することができる.したがって,この置き換 えによってより広帯域なフィルタの実現が期待できる.

ただし,図 7.15 の置き換えにおいて,電流増幅器は出力端子におけるインピーダンスの分離が出来ない点に注意が必要である.ここで一例として,図 7.16 のような積分器を カスケード接続した回路について考える.オペアンプを用いた場合は,

$$V_{\rm out} \approx \frac{1}{sC_1R_1} \frac{1}{sC_2R_2} V_{\rm in}$$
 (7.67)

となり,後段側の入力抵抗 R₂ は初段の積分器に影響を与えない.一方,電流増幅器を 用いた図 7.16(b) は,

$$V_{\text{out}} = \frac{V_{\text{in}}}{R_1} \frac{\frac{1}{R_2}}{sC_1 + \frac{1}{R_2}} \frac{1}{sC_2} = \frac{R_2}{R_1} \frac{1}{sC_1R_1 + 1} \frac{1}{sC_2R_2} V_{\text{in}}$$
(7.68)

となり,初段積分器の周波数特性は,後段側の抵抗 R₂の影響によって不完全積分器に なってしまう.この問題は,オペアンプを用いたフィルタを電流増幅器で置換する際に 伝達関数の誤差として現れる.

図 7.17 に電流型フィルタの構成を示す. このフィルタは, 図 7.2 に示されたオペアン プを用いたバイカッドフィルタを電流増幅器で置き換えたものである. Gm-C フィルタ ではバイカッド特性のために 4 個の Gm セルを必要としたが, このフィルタでは 2 個の 電流増幅器で構成できる. 第 4 章で示したように, 高 SNDR を実現するためには各セル に流す消費電力が重要であり, さらに雑音源の数も減らすことができるため, 低消費電 力かつ高い SNDR が期待できる.

図 7.15: 電流増幅器を用いたオペアンプの置換

(b) 電流増幅器による表現

図 7.16: カスケード接続された増幅器

図 7.17: 二次電流型フィルタ

この電流型フィルタの伝達関数は,

$$H(s) = \frac{\beta_1 \beta_2}{1 + \beta_1 \beta_2} \frac{R_2}{R_0} \frac{1}{1 + s \frac{C_1 R_1 + C_2 R_2}{1 + \beta_1 \beta_2} + s^2 \frac{C_1 C_2 R_1 R_2}{1 + \beta_1 \beta_2}}$$
(7.69)

となる. ただし、 β_1, β_2 はそれぞれ、電流増幅器の電流利得を表している. (7.1)式で表

図 7.18: 寄生成分を考慮した電流増幅器のモデル

されるバイカッドフィルタに当てはめると、 $Q \ge \omega_c$ は次のようになる.

$$Q = \frac{\sqrt{(1+\beta_1\beta_2)C_1C_2R_1R_2}}{C_1R_1 + C_2R_2} \tag{7.70}$$

$$\omega_{\rm c} = \sqrt{\frac{1 + \beta_1 \beta_2}{C_1 C_2 R_1 R_2}} \tag{7.71}$$

(7.1) 式,(7.3) 式及び(7.4) 式と比較すると,通過帯域の利得は $\beta_1\beta_2/(1+\beta_1\beta_2)$ となり, $Q \ge \omega_c$ の独立制御ができなくなっている.また,オペアンプの利得はフィルタの特性に 影響を与えないのに対し,電流型では $\beta_1\beta_2$ がQ及び ω_c の式に含まれており,電流利得 の絶対精度が要求されている.ただし,電流増幅器の電流利得はカレントミラーによっ て精度良く実現することが可能であり,第5章で示したバックゲート効果を利用した補 正も行えることから,絶対精度は比較的取りやすい.

*R*及び*C*は,

$$\begin{cases} \omega_1 = \frac{1}{C_1 R_1} \\ \omega_2 = \frac{1}{C_2 R_2} \end{cases}$$

$$(7.72)$$

とすると, (7.70) 式及び (7.71) 式は, 次のように表現することができる.

$$Q = \sqrt{1 + \beta_1 \beta_2} \cdot \frac{\sqrt{\omega_1 \omega_2}}{\omega_1 + \omega_2} \tag{7.73}$$

$$\omega_{\rm c} = \sqrt{1 + \beta_1 \beta_2} \cdot \sqrt{\omega_1 \omega_2} \tag{7.74}$$

すなわち,二つのノードの極 $\omega_1 \ge \omega_2$ によってカットオフ特性が定まる.

7.2.4.1 寄生成分の影響

Gm-Cフィルタと同様に、寄生成分の影響を調査する.ただし、電流増幅器そのものの周波数特性は第4章で議論したため、ここでは図7.18のような電流増幅器のモデルを

図 7.19:寄生成分を考慮した R₁ 及び ω_2

フィルタに適用した場合について考察する.図において, r_{in} 及び r_{out} はそれぞれ動的入出力抵抗であり,理想的には $r_{in} = 0$ かつ $r_{out} = \infty$ である. C_{in} 及び C_{out} は入力端子および主力端子についている寄生容量を表している.

フィルタ全体の考察に入る前に,各寄生成分が伝達関数に与える影響について,図 7.19の回路を元に考える.まず入力側は,

$$i_{\rm in} = \frac{v_{\rm in}}{R_1 + \frac{1}{sC_{\rm in} + \frac{1}{r_{\rm in}}}} = \frac{v_{\rm in}}{R_1 + r_{\rm in}} \frac{1}{1 + sC_{\rm in}r_{\rm in}}$$
(7.75)

となり、入力抵抗によって R_1 が $(R_1 + r_{in})$ と修正され、 C_{in} によって周波数特性を持つ. R_1 に対して r_{in} は直列に挿入されたように見えるため、 r_{in} によってカットオフ特性の変 動が生じてしまう.特に r_{in} が入力依存性を持つ場合はカットオフ特性の変動が生じる ため、ソースフォロワフィルタと同様にカットオフ周波数付近で線形性が劣化する.そ のため、ローカルフィードバックを持つ電流増幅器のように r_{in} が十分に小さい電流増 幅器を用いることが重要である.そのようなケースでは $C_{in}r_{in}$ の極は周波数が高く、影 響は殆ど無視できる. C_{in} はフィルタそのものよりも、電流増幅器内部の周波数特性に 与える影響のほうが大きい.

一方,図7.19の出力側について整理すると,

$$v_{\text{out}} = \beta_1 i_{\text{in}} \cdot \frac{1}{\frac{1}{r_{\text{out}}} + \frac{1}{R_2} + sC_2 + sC_{\text{out}}}$$
$$\approx \beta_1 \frac{R_2//r_{\text{out}}}{R_1 + r_{\text{in}}} \frac{1}{1 + s(C_2 + C_{\text{out}})(R_2//r_{\text{out}})}$$
(7.76)

と表される.したがって, R_2 及び C_2 はそれぞれ, r_{out} 及び C_{out} が並列接続された状態 に修正される.

この考察により, ω_1 及び ω_2 は次のように表される.

$$\omega_1' = \frac{1}{(C_1 + C_{out}) \{(R_1 + r_{in})//r_{out}\}} \approx \omega_1 \cdot \frac{1}{1 + \frac{C_{out}}{C_1}} \frac{1 + \frac{R_1}{r_{out}}}{1 + \frac{r_{in}}{R_1}}$$
(7.77)

$$\omega_{2}' = \frac{1}{(C_{2} + C_{out}) \{(R_{2} + r_{in})//r_{out}\}} \approx \omega_{2} \cdot \frac{1}{1 + \frac{C_{out}}{C_{2}}} \frac{1 + \frac{R_{2}}{r_{out}}}{1 + \frac{r_{in}}{R_{2}}}$$
(7.78)

したがって、寄生成分の影響を無視するためには、

$$r_{\text{out}} \gg R_1, R_2$$
$$r_{\text{in}} \ll R_1, R_2$$
$$C_{\text{out}} \ll C_1, C_2$$

の三つの条件が必要となる.電流型フィルタでは,各ノードに接続される電流増幅器の数が一つであるため,寄生成分の係数はいずれも1となる.加えて,トランジスタの寄生容量の中でも特に大きい *C*_{GS} を主とする *C*_{in} の影響が少ない.

7.2.4.2 カットオフ周波数の限界

電流型フィルタで再現できる最大の周波数を見積もる. ω'_1 及び ω'_2 は,

$$\omega_1', \omega_2' < \frac{1}{(C_{\text{out}} + C_{\text{in}})r_{\text{in}}}$$
(7.79)

で制限される. 第4章の考察により, 典型的な電流アンプにおいて,

$$r_{\rm in} = \frac{1}{Ag_{\rm m}} = \frac{1}{K_{g_{\rm in}}I_{\rm bias}} \tag{7.80}$$

$$C_{\rm in} = K_{\rm C,in} I_{\rm bias} \tag{7.81}$$

$$C_{\rm out} = K_{\rm C,out} I_{\rm bias} \tag{7.82}$$

とおくことができるため,

$$\omega_1', \omega_2' < \frac{K_{g_{\rm in}}}{K_{\rm C,in} + K_{\rm C,out}} \tag{7.83}$$

と表され、やはりバイアス電流に依存しない. ここで (7.80) 式より、

$$K_{g_{\rm in}} = \frac{2A}{V_{\rm eff}} \tag{7.84}$$

となるため、入力インピーダンス低減のためのローカルアンプAの利得によって寄生 成分のみを考慮した上限周波数は上昇する.典型値を代入してこれらの数値を計算する と、30 GHz を越える帯域が得られる.したがってこの比較において、Gm-C フィルタや ソースフォロワフィルタよりも、電流型フィルタの方が広帯域なフィルタの構成に適し ていると言える.

ただし,実際の電流増幅器の入力インピーダンスや電流利得 β は周波数特性を持つた め,そちらによって電流型フィルタの上限周波数が制限されることになる.電流型フィ ルタに用いる電流増幅器の帯域については,続く 7.3 節で述べる.

7.2.4.3 電流増幅器の利得

再び*Q* と ω_c の検討に戻る.先述の通り,電流増幅器の利得 $\beta_1\beta_2$ は,*Q* と ω_c に含まれる.この時,*Q* を表す (7.73) 式の ω_1 と ω_2 は,相乗平均と相加平均の比になっている. すなわち,

$$\frac{\omega_1 + \omega_2}{2} \ge \sqrt{\omega_1 \omega_2} \tag{7.85}$$

であるから, (7.73) 式は,

$$Q \le \frac{\sqrt{1+\beta_1\beta_2}}{2} \tag{7.86}$$

となる. この式は, $\beta_1\beta_2$ の値によって, 実現できる最大の Q が制限されてしまうこと を示す. ある Q に対して $\beta_1\beta_2$ は,

$$\beta_1 \beta_2 \ge 4Q^2 - 1 \tag{7.87}$$

でなければならない.

図 7.20 に, $\beta_1\beta_2$ と *Q* の関係を示す.電流型フィルタで使用できる領域は,このグラ フの下側部分である.したがって,高い *Q* を実現するためにはより大きな電流利得が必 要となる.電流増幅器の電流利得はカレントミラーによって実現されるため,大きな電 流利得はミラー比の上昇による帯域劣化の問題を引き起こすことになる.

また, $\beta_1\beta_2$ が定まると,Q及び ω_c に対して ω_1 及び ω_2 は一意に定まる. (7.73)式及び (7.74)式より,

$$\omega_{c} = (\omega_{1} + \omega_{2}) \cdot Q$$

$$\therefore \omega_{1} = \frac{\omega_{c}}{Q} - \omega_{2}$$
(7.88)

図 7.20: $\beta_1\beta_2$ と Q の最大値

である. 一方, (7.74) 式より,

$$\omega_1 \omega_2 = \frac{\omega_c^2}{1 + \beta_1 \beta_2} \tag{7.89}$$

となる. (7.88) 式及び (7.89) 式から ω₁ を消去すると,

$$\omega_2^2 - \frac{\omega_c}{Q}\omega_2 + \frac{\omega_c^2}{1 + \beta_1\beta_2} = 0$$
(7.90)

を得る.また、この議論は ω_1 と ω_2 を入れ替えても成立する.したがって、

$$\omega_1 = \frac{\omega_c}{2Q} \left(1 - \sqrt{1 - \frac{4Q^2}{1 + \beta_1 \beta_2}} \right) \tag{7.91}$$

$$\omega_2 = \frac{\omega_c}{2Q} \left(1 + \sqrt{1 - \frac{4Q^2}{1 + \beta_1 \beta_2}} \right) \tag{7.92}$$

となる.ここで、 $\omega_1 \ge \omega_2$ の比を χ をおくと、

$$\chi = \frac{\omega_2}{\omega_1} = \frac{1 + \sqrt{1 - \frac{4Q^2}{1 + \beta_1 \beta_2}}}{1 - \sqrt{1 - \frac{4Q^2}{1 + \beta_1 \beta_2}}} = \frac{1 + \beta_1 \beta_2}{2Q^2} - 1$$
(7.93)

と表される.

(a) $\beta_1\beta_2 \succeq \chi$

(b) 規格化された ω₁ 及び ω₂

図 7.21: $\beta_1\beta_2$ と二つの極

図 7.21 に,これらの関係をまとめたグラフを示す.ある Q を実現する最小値から $\beta_1\beta_2$ を大きくしていくと, χ が大きくなり, ω_1 と ω_2 の距離は離れていくという結果が得ら れる.この現象は $\beta_1\beta_2$ の増加に伴い ω_1 が減少し, ω_2 が大きくなっていくことによって 生じている.(7.91) 式及び (7.92) 式において, $\beta_1\beta_2 \gg 4Q^2$ を仮定すると,

$$\omega_1 \approx \frac{Q}{\beta_1 \beta_2} \omega_c \tag{7.94}$$

$$\omega_2 \approx \frac{\omega_c}{Q} \tag{7.95}$$

となる.したがって、 ω_2 は頭打ちとなり、 ω_1 の減少が顕著となる.寄生成分の観点から、R や Cは可能な限り大きく設定したいという要請が存在する.そのため、 ω_2 はでき

図 7.22: $\beta_1\beta_2$ と通過帯の利得

るだけ小さくなるような設計が好ましい. 図 7.21(b) によれば, $\beta_1\beta_2$ が小さいほど,または Q が大きいほど ω_2 が小さくなる傾向が見られる.加えて $\beta_1\beta_2$ を小さくすると,電流増幅器内のカレントミラーノードの周波数特性劣化も改善できる.したがって, Q に対して必要な $\beta_1\beta_2$ が定まった時,必要以上に $\beta_1\beta_2$ は大きく設定するべきではないと言える.

ただし,通過帯の利得が,

$$H(0) = \frac{\beta_1 \beta_2}{1 + \beta_1 \beta_2} \frac{R_2}{R_0}$$
(7.96)

であるため,通過帯の利得を保つためにはある程度の $\beta_1\beta_2$ を稼ぐ必要がある.図 7.22 に, $R_0 = R_2$ とした際の通過帯域の利得と $\beta_1\beta_2$ の関係を示す.例えば,Q = 0.54 では $\beta_1\beta_2 = 0.2$ などの低い値が許容されるものの,この時の通過帯の利得はわずか –15.6 dB となってしまう.

7.2.4.4 電流増幅器の要求仕様

最後に、電流増幅器の要求仕様をまとめる.

■低入力インピーダンス 電流増幅器の入力インピーダンスは,カットオフ特性を乱す 原因となる.したがって,広帯域に渡り入力インピーダンスが抑えられていることが望

図 7.23: 入力インピーダンス変動と歪

ましい.また,図 7.23 に示したように,入力インピーダンスの変動はカットオフ特性を 変動させてしまうため,カットオフ周波数付近の線形性が劣化してしまう.このため, 入力インピーダンスは信号成分に依存せず,常に一定の値であることが求められる.

■低雑音 電流型フィルタにおいて,電流増幅器は主要な雑音源である.したがって, 可能な限り低雑音である必要がある.

■広帯域 フィルタで実現する信号帯域において、十分な帯域を持つ必要がある.特に 電流増幅器では入力インピーダンスが周波数特性を持つため、帯域内で低入力インピー ダンスが維持されている必要がある.

■電流利得 必要な *Q* に対し、十分な電流利得を実現しなければならない.

■低消費電力 回路全体の消費電力は、電流増幅器の消費電力によって決まる.電流型 フィルタは Gm-C フィルタよりも少ないコンポーネント数でフィルタを構成できるが、 各電流増幅器の消費電力が抑えられていなければフィルタの低電力化は達成されない.

7.3 高効率電流増幅器

電流型フィルタは電流増幅器の寄生成分がカットオフ周波数に影響しにくく,広帯域 なフィルタの構成に適している.しかしながら,フィルタの帯域内で電流増幅器の諸特 性が保たれている必要がある.また,第4章で述べたように,低入力インピーダンスを 実現するためには消費電力の増加も必要である.本節では,低入力インピーダンス特性 や周波数特性などを中心に,高効率電流増幅器について検討を行う.

7.3.1 従来の電流増幅器

帯域が広く、入力インピーダンスが比較的低い電流増幅器として、第4章では FVF 構造を持つ電流増幅器を検討した.差動構成の電流増幅器は図 7.24 のようになる. FVF 構造では、M1 及び M2 のトランジスタが持つ固有利得によって入力インピーダンスを 軽減する.また、局所的な帰還においても十分な位相余裕が確保されており、GHz オー ダーの帯域を実現することができる.

この回路の入力インピーダンスは,

$$r_{\rm in} = \frac{1}{G_{\rm i1}g_{\rm m3}} \tag{7.97}$$

と表された.この入力インピーダンスは g_{m3} を含むため,信号電流の流入によって入力 インピーダンスが変化してしまい,線形性を劣化させる要因となってしまう.ここでは 具体的に,図 7.25 のように I_{inp} から信号電流が流れ込む場合を $\Delta I > 0$ として考える.

図 7.24: FVF 構造を持つ差動電流増幅器 [14,15]

図 7.25: 信号電流 ∆*I* と g_{m3}

 $g_{
m m3}$ は $I_{
m bias}$ 及び ΔI を用いて,

$$g_{\rm m3} = \frac{2I_{\rm D3}}{V_{\rm eff}} = \frac{2}{V_{\rm eff}} \left(I_{\rm bias} + \Delta I \right)$$
 (7.98)

と表される.したがって、図 7.25 示すように、信号電流の方向によって g_{m3} の増減が変わってしまう.特に信号電流を吐き出す場合は I_{D3} が減少するため入力インピーダンスが上昇し、 $\Delta I = I_{\text{bias}}$ で $I_{\text{D}} = 0$ となるとリミットがかかってしまう.このような特性は、NMOS 入力または PMOS 入力の電流増幅器では共通であるため、5.2.1 節で述べた g_{m} ブースト技術を採用した FVF 構造を持つ電流増幅器でも問題となる.

第4章の解析によると、上記の入力インピーダンス特性を考慮した一次と三次の係数 の比率は、次のように表された.

$$\left|\frac{a_3}{a_1}\right| \approx \frac{3}{64} \frac{V_{\text{eff}}}{AR_{\text{S}}^3 I_{\text{bias}}^3} \tag{7.99}$$

ただし, $R_{\rm S}$ は電流増幅器の入力端子に直列に接続されている抵抗(電流型フィルタで は R_1 と R_2)である.したがって線形性を改善するためには、カットオフ特性を決める R_1, R_2 を大きくする, $I_{\rm bias}$ を大きくするなどが有効である.しかしながらカットオフ周 波数が高い場合, ω_1, ω_2 も大きくなるため, R_1, R_2 は自由に大きくすることができない. また $I_{\rm bias}$ を増やす方法は、消費電力の増加や雑音特性の劣化につながってしまう.この 回路の入力換算雑音電流は、

$$\overline{i_{n,in}^2} \approx 16kT\gamma g_m \left\{ 1 + \frac{1}{\beta} + \left(1 + \frac{1}{2\gamma}\right)\frac{1}{N} + \frac{1}{N^2} \right\}$$
(7.100)

このように各特性の間にはトレードオフが存在するため,低消費電力,高線形性,低 雑音を両立することは非常に困難である.

7.3.2 相補入力化

の増加は雑音電力の増加に直結する.

線形性の改善を低電力で実現するためには、ローカルフィードバックによる入力イン ピーダンス低減技術に加えて、入力インピーダンスの変動を抑える技術が必要である. そこで図 7.26 のような相補入力型の電流増幅器を検討する.この回路において、入力イ ンピーダンスは、

$$r_{\rm in} = \frac{1}{g_{\rm m3p} + g_{\rm m3n}} \tag{7.101}$$

と表される.ただし, g_{m3p} 及び g_{m3n} はそれぞれ.M3p及び M3nのトランスコンダ クタンスを表している.それぞれのトランジスタのバイアス電流を I_{bias} と仮定する. $g_{m3p} \approx g_{m3n}$ を仮定すると,信号電流 ΔI は半分ずつ PMOS 側と NMOS 側に流れる.こ のとき,M3nのドレイン電流 I_{D3n} と M3pのドレイン電流 I_{D3p} はそれぞれ,

$$I_{\rm D3n} \approx I_{\rm bias} + \frac{\Delta I}{2} \tag{7.102}$$

$$I_{\rm D3p} \approx I_{\rm bias} - \frac{\Delta I}{2}$$
 (7.103)

と近似できる. $\Delta I > 0$ のとき, M3n は $\Delta I/2$ 電流が流れ込むため, g_{m3n} は上昇する. 一方, M3p のドレイン電流は $\Delta I/2$ だけ減少するため, g_{m3p} は減少する. $\Delta I < 0$ のと

図 7.26:相補入力構成における信号電流 ΔI と $g_{\mathrm{m}3}$

き,M3p は信号電流を吐き出す際にドレイン電流が増加するため,g_{m3p} は上昇する. 方,M3n のドレイン電流減少するため,g_{m3n} は減少する.このように相補入力型の電流 増幅器では信号電流の方向によらず,片側のg_m が上昇し,反対側のg_m が減少する動作 をとる.この回路の入力インピーダンスは (7.101) 式にあるとおり,NMOS と PMOS の 二つのトランスコンダクタンスの和に依存している.上記のような相補的な動作を行う ことで,二つのトランスコンダクタンスの和が変化しにくくなり,結果として入力イン ピーダンスの変動を抑えることができる.

インピーダンス変動の改善効果を数式から導く.ドレイン電流を,

$$I_{\rm D} = K V_{\rm eff}^2 \tag{7.104}$$

とすると、 $g_{\rm m}$ は、

$$g_{\rm m} = \frac{2I_{\rm D}}{V_{\rm eff}} = 2\sqrt{KI_{\rm D}} \tag{7.105}$$

と変形される. M3n のトランスコンダクタンスは (7.102) 式より,

$$g_{\rm m3n} = 2\sqrt{KI_{\rm D3n}} = 2\sqrt{KI_{\rm bias}}\sqrt{1 + \frac{\Delta I}{2I_{\rm bias}}}$$
(7.106)

と表される. 同様に M3p について,

$$g_{\rm m3p} = 2\sqrt{KI_{\rm D3p}} = 2\sqrt{KI_{\rm bias}}\sqrt{1 - \frac{\Delta I}{2I_{\rm bias}}}$$
(7.107)

である.ただし簡単のため,PMOSと NMOS の K が同じであると仮定する.(7.101) 式より,入力インピーダンスは次のように表される.

$$r_{\rm in}(\Delta I) = \frac{1}{2\sqrt{KI_{\rm bias}}} \frac{1}{\sqrt{1 + \frac{\Delta I}{2I_{\rm bias}}}} + \sqrt{1 - \frac{\Delta I}{2I_{\rm bias}}}$$
$$\approx r_{\rm in}(0) \left\{ 1 + \frac{1}{32} \left(\frac{\Delta I}{I_{\rm bias}}\right)^2 \right\}$$
(7.108)

ここで $\Delta I \ll I_{\text{bias}}$ として近似した.NMOS 入力型電流増幅器の解析結果である (4.184) 式及び (4.185) 式と比較すると,

$$\alpha_1 : -\frac{1}{2} \to 0 \tag{7.109}$$

$$\alpha_2: \frac{3}{8} \to \frac{1}{32} \tag{7.110}$$

となり,いずれの係数も大幅に小さくなっている様子が確認できる.このように,相補 入力構成は入力インピーダンスの変動抑制に対して大きな効果がある.

7.3.3 SSF 構造を持つ相補入力型電流増幅器

しかしながら,図 7.26 の回路は局所的な帰還の利得が無いため,入力インピーダンス が高いという問題がある.そこで FVF 構造のような局所的な帰還に利得を持つ回路を 相補入力化する方法を考える.FVF 構造はフィードバックの利得を作るトランジスタの ソース側に入力端子が入るため,図 7.26 のような NMOS と PMOS の両ドレイン端子を 入力端子に接続することができない.

そこで FVF 構造と同じローカルフィードバックを持つ SSF 構造を用いて,相補入力型 電流増幅器を構成する.SSF 構造を用いた NMOS 側, PMOS 側の電流増幅器は図 7.27 のようになる.これらの入出力端子は, NMOS 側カレントミラーは NMOS のドレイン, PMOS 側カレントミラーは PMOS のドレイン端子側となっており,図 7.26 のようにド レイン側で貼り合わせることができる.このとき,カレントミラーの反対側の電流源は 省略され, PMOS 側で使用したバイアス電流はそのまま NMOS 側で再利用される.

SSF 構造を持つ相補入力型電流増幅器を図 7.28 に示す.入出力の線を境界に,上側が 図 7.27(b) の電流増幅器,下側が図 7.27(a) の電流増幅器となっている.バイアス電流は 縦方向のみに流れており,M9n と M1n,M1p と M9p の間に定常的な電流のやり取りは 存在しない.M1n,M1p,M2p,M2n,M7p,M7n,M7p,M8n,M8p のトランジスタはいず れもカスコードトランジスタとして動作し,各カレントミラー回路の $V_{\rm DS}$ を揃える役割 と,出力インピーダンスを高める役割を担う.回路全体の消費電流は $2(1 + \beta + \alpha)I_{\rm bias}$ と表され,図 7.27 に示した電流増幅器を差動化したものと同等である.

7.3.3.1 小信号等価回路解析

小信号等価回路解析を通して,入力インピーダンスを算出する. PMOS 側と NMOS 側が同一のトランジスタパラメータを持つと仮定すると,相補入力型電流増幅器内の PMOS 側及び NMOS 側の各電流増幅器は同じ動作を行うと考えられる. そこでここで では,図 7.29 に示した NMOS 側の SSF 構造を持つ電流増幅器の小信号等価回路を解析 する. FVF 構造を持つ電流増幅器の小信号等価回路(図 4.31)と比較すると,二つの回 路が類似した小信号等価回路を持つことがわかる. NMOS 側の入力インピーダンスは

図 7.27: SSF 構造 [16,17] を持つ電流増幅器(単相回路)

図 7.28: SSF 構造を持つ相補入力型差動電流増幅器

(4.153) 式より,

$$r_{\rm in,N}(s) \approx \frac{1}{G_{\rm i9}g_{\rm m3n}} \frac{1 + s \frac{C_{\rm Xn}}{g_{\rm d9p}}}{1 + \frac{sC_{\rm Xn}}{g_{\rm m3n}} + \frac{s^2 C_{\rm in1} C_{\rm Xn}}{g_{\rm m3n} g_{\rm m9p}}}$$
(7.111)


図 7.29: SSF 構造を持つ電流増幅器の小信号等価回路



図 7.30: 入力インピーダンスの DC 特性

と表される. 同様に r_{in.P(s)} を定義すれば,相補入力型の入力インピーダンスは,

$$r_{\rm in}(s) = \frac{r_{\rm in,N}(s) \cdot r_{\rm in,P}(s)}{r_{\rm in,N}(s) + r_{\rm in,P}(s)}$$
(7.112)

となる.

■DC 状態における入力インピーダンス *s* = 0 の場合を想定する.相補入力型の電流 増幅器の入力インピーダンスは,

$$r_{\rm in}(0) \approx \frac{1}{G_{\rm i9} \left(g_{\rm m3n} + g_{\rm m3p}\right)}$$
(7.113)

となる. (7.101) 式と同様に NMOS 側と PMOS 側のトランスコンダクタンスの和によっ て入力インピーダンスが決まる.また,FVF 構造と同様に M9 の固有利得により入力イ

プロセス	65nm CMOS
電源電圧	$1.2\mathrm{V}$
消費電力	$2.5\mathrm{mW}$
α	0.8
β	1

表 7.4: 図 7.30 及び図 7.32 の設計条件

ンピーダンスは低減される.

図 7.30 に、 ΔI を入力した際の入力インピーダンスを示す.シミュレーション条件は 表 7.4 に示したとおりである.ここでは NMOS 型の FVF 構造を持つ電流増幅器,SSF 構造を持つ電流増幅器,及び相補入力型の電流増幅器の三種類を比較する.まず $\Delta I = 0$ の点で比較すると、NMOS 型 FVF 構造が最も入力インピーダンスが低く、次いで相補 入力型 SSF 構造,NMOS 型 SSF 構造と続く.FVF 構造では αI_{bias} を流す必要が無く、 多くの電流を I_{bias} に割くことができるため、入力インピーダンスを低くすることがで きる.しかしながら、入力インピーダンスの変動を見ると、NMOS 型の電流増幅器で は $\Delta I < 0$ において入力インピーダンスが大幅に上昇している.グラフの範囲において、 入力インピーダンスの変動量は NMOS 型 FVF 構造で約 9 Ω ,NMOS 型 SSF 構造で約 12 Ω .相補入力型 SSF 構造ではわずか 1 Ω となる.

このように, SSF 構造を持つ相補入力型電流増幅器は,低入力インピーダンスと一定の入力インピーダンスを両立することができる.

■入力インピーダンスの周波数特性 入力インピーダンスが上昇を始める周波数は g_{d9p}/C_{Xn} または g_{d9n}/C_{Xp} で決まる.相補入力型では、PMOS 側のゲートサイズが大き く、 $C_{Xp} > C_{Xn}$ となる.FVF構造を持つ電流増幅器の場合と同様に、カレントミラーの ミラー比(ここでは β と表記されている)が大きくなることによって C_{Xp} は上昇するた め、入力インピーダンスを抑制する帯域は低くなる.入力インピーダンスのゼロ点を ω_z とすると、M9 は αI_{bias} でバイアスされているため、

$$\omega_{\rm z} = \frac{g_{\rm d9n}}{C_{\rm Xp}} = \frac{\alpha}{(\beta+1)K_{\rm C,M9p}V_{\rm A}} \tag{7.114}$$

となる.ただし,

$$C_{\rm Xp} = (\beta + 1) K_{\rm C,M9p} I_{\rm bias} \tag{7.115}$$



図 7.31: C_{Xp} による入力インピーダンスゼロ点周波数



図 7.32: 入力インピーダンスの周波数特性

として整理した. (7.114) 式によると、入力インピーダンスのゼロ点は I_{bias} に依存せず、 $\alpha や \beta$ に関して強い相関を持つ.

図 7.31 に,典型値を代入して求めた ω_z を示す. α が大きい場合, g_{m9n} が上昇するため,このゼロ点は高い周波数に移動する.このとき,消費電力と入力インピーダンスの 帯域はトレードオフであると言える.一方,β が大きくなると負荷容量 C_{Xp} が上昇し,



図 7.33: SSF 構造の開ループ等価回路

帯域が狭くなってしまう.この周波数特性は、大きな電流利得を必要とする場合に問題 となる.

図 7.32 は、 $\beta = 1$ における各電流増幅器の入力インピーダンス周波数特性を比較した ものである.ただし、入力インピーダンスの上昇比率 $H_r(s)$ の定義は (4.163) 式の通り である.グラフの縦軸は、 $20 \log |H_r(s)|$ [dB] でプロットを行った.設計条件は表 7.4 と 同様である.いずれの電流増幅器も、1 GHz を超えた付近から入力インピーダンスの上 昇が始まり、以降はほぼ一次の特性で入力インピーダンスが増加する.相補入力型 SSF 構造の電流増幅器は、図 7.31 によれば $f_z = 1.6$ GHz となっており、実際に図 7.32 にお いても 1.8 GHz 付近で 3 dB の上昇となった.

■出カインピーダンス 出力インピーダンスはカスコード抵抗の並列回路となるため,

$$r_{\rm out} \approx \frac{g_{\rm m7p}}{g_{\rm d5p}g_{\rm d7p}} / / \frac{g_{\rm m7n}}{g_{\rm d5n}g_{\rm d7n}} = \frac{G_{\rm i7}}{2g_{\rm d5}}$$
(7.116)

と表される.

7.3.3.2 一巡伝達関数

FVF 構造では一巡伝達関数の解析により、カレントミラーノードの寄生容量 C_x がド ミナントポールを作り、セカンドポールは固有利得を作るトランジスタの C_{GS} が主で あった.相補入力型 SSF 構造においても、FVF 構造と類似した性質が得られると考え られる.

図 7.33 は NMOS 側 SSF 構造の開ループ等価回路である.ただし, r_{d11n} は, αI_{bias} を供給する電流源の動的抵抗を表す.通常は NMOS トランジスタで再現されるため, $g_{d11n} \propto \alpha I_{bias}$ である.ここではノートンの定理を用いて一巡伝達関数を導出する. v_{out} を接地した際に出力端に到達する信号電流 iout は,

$$i_{\text{out}} \approx \frac{g_{\text{m9p}} + g_{\text{d9p}}}{\frac{g_{\text{d1p}}g_{\text{d3p}}}{g_{\text{m1n}}} + g_{\text{m9p}} + g_{\text{d9p}} + sC_{\text{in1}}} \cdot g_{\text{m3n}}v_{\text{in}} \approx \frac{g_{\text{m3n}}}{1 + \frac{sC_{\text{in1}}}{g_{\text{m9p}}}}v_{\text{in}}$$
(7.117)

である.一方,出力端子から見込んだインピーダンスは,

$$r_{\rm out} \approx \frac{1}{g_{\rm d11n} + sC_{\rm Xn}} \tag{7.118}$$

と表される.したがって、一巡伝達関数は次のように求まる.

$$H_{\rm open}(s) \approx \frac{g_{\rm m3n}}{g_{\rm d11n}} \frac{1}{1 + \frac{sC_{\rm Xn}}{g_{\rm d11n}}} \frac{1}{1 + \frac{sC_{\rm in1}}{g_{\rm m9p}}}$$
$$= \frac{\frac{G_{\rm i3}}{\alpha}}{\left(1 + \frac{sC_{\rm Xn}}{\alpha g_{\rm d}}\right) \left(1 + \frac{sC_{\rm in1}'}{g_{\rm m}}\right)}$$
(7.119)

ここで、 $g_{m9p} = \alpha g_m, g_{d11n} = \alpha g_d$ とした.また、 C_{in1} は M9 の C_{GS} を主とする寄生容量 であるため、 $C_{in1} = \alpha C'_{in1}$ として整理した.SSF構造において α を大きくすると、開 ループ利得が減少するという傾向が得られる.また、セカンドポールは α に依存しない が、ドミナントポールは α に比例する.ユニティゲイン周波数は、

$$\omega_{\rm u} \approx G_{\rm i3} \frac{g_{\rm d}}{C_{\rm Xn}} \tag{7.120}$$



図 7.34: 相補入力型 SSF 構造を持つ電流増幅器の一巡伝達関数特性

と表される. 相補入力型の SSF 構造も, これらと同様の傾向が得られると考えられる. 表 7.4 の条件で設計した相補入力型 SSF 構造を持つ電流増幅器について, ミラー比 β を変数として位相余裕を調べる. 図 7.34 にシミュレーション結果を示す. 図 7.34(a) は, $\beta = 1$ における一巡伝達関数の特性を示している. $\alpha = 0.8$ について, DC 利得は 26 dB ほど確保されており, 600 MHz 付近から利得の低下が始まる. セカンドポールの 周波数は十分高く, 0 dB 付近まできれいな一次減衰特性が得られている. 一方, $\alpha = 1.6$ での DC 利得は (7.119) 式の通り, $\alpha = 0.8$ から 6 dB 程度劣化している. ただし, ドミ ナントポールはあまり伸びていない. 図 7.34(b) に示した位相余裕のグラフを見ると, $\alpha = 0.8, \beta = 1$ においても約 57° の位相余裕が得られており, それ以上の α, β では 60° を越える十分な位相余裕が確保されている.

7.3.3.3 歪の解析

相補入力型 SSF 構造の入力インピーダンスは, (7.113) 式で表された. これを元に, (7.108) 式を書き直すと, 次のように表される.

$$r_{\rm in}(\Delta I) = \frac{1}{2G_{i9}g_{\rm m}} \left\{ 1 + \frac{1}{32} \left(\frac{\Delta I}{I_{\rm bias}} \right)^2 \right\}$$
(7.121)

ただし,ここで $g_{\rm m}$ は $\Delta I = 0$ における $g_{\rm m3}$ とする.入力端子に抵抗 $R_{\rm S}$ が付いた場合の a_3/a_1 は,

$$\left|\frac{a_3}{a_1}\right| \approx \frac{1}{128G_{i9}g_{\rm m}R_{\rm S}} \frac{1}{I_{\rm bias}^2} = \frac{1}{4 \cdot 64} \frac{V_{\rm eff}}{G_{i9}R_{\rm S}^3 I_{\rm bias}^3}$$
(7.122)

と表される. (4.186) 式によれば, NMOS 型 FVF 構造では,

$$\left|\frac{a_3}{a_1}\right| \approx \frac{3}{64} \frac{V_{\text{eff}}}{G_{\text{i}1} R_{\text{S}}^3 I_{\text{bias}}^3} \tag{7.123}$$

と表された.相補入力化により,同じ *I*_{bias} において |*a*₃/*a*₁| は 12 分の 1 になる.これを IIP3 に換算すると,10.8 dB の改善に相当する.

7.3.3.4 ノイズ特性

相補入力型 SSF 構造のノイズ特性について調べる. 図 7.35 に示した NMOS 側の SSF 構造についてノイズを計算し,最後に全電力を求める. M3からの雑音電流は,

$$\overline{i_{n,out}^2}\Big|_{M3} \approx \beta^2 \overline{i_{n,M3}^2}.$$
(7.124)

M5の雑音電流は全て出力端子に到達する.

$$\overline{i_{\rm n,out}^2}\Big|_{\rm M5} \approx \overline{i_{\rm n,M5}^2} \tag{7.125}$$

M9 及び αI_{bias} から出力端子に到達する雑音電流はそれぞれ,次のように表される.

$$\overline{i_{\rm n,out}^2}\Big|_{\rm M9} \approx \beta^2 \frac{g_{\rm d3}^2}{G_{\rm i1}^2 g_{\rm m9}^2} \cdot \overline{i_{\rm n,M9}^2}$$
(7.126)

$$\overline{i_{\mathrm{n,out}}^2}\Big|_{\mathrm{M11}} \approx \beta^2 \cdot \overline{i_{\mathrm{n,M11}}^2} \tag{7.127}$$

出力雑音電流の合計は,

$$\overline{i_{n,out}^{2}} = \overline{i_{n,out}^{2}}\Big|_{M3} + \overline{i_{n,out}^{2}}\Big|_{M5} + \overline{i_{n,out}^{2}}\Big|_{M9} + \overline{i_{n,out}^{2}}\Big|_{M11}$$

$$\approx \beta^{2}\overline{i_{n,M3}^{2}} + \overline{i_{n,M5}^{2}} + \beta^{2}\frac{g_{d3}^{2}}{G_{i1}^{2}g_{m9}^{2}} \cdot \overline{i_{n,M9}^{2}} + \beta^{2} \cdot \overline{i_{n,M11}^{2}}$$

$$\approx 4kT\gamma\left(\beta^{2} \cdot g_{m} + \beta \cdot g_{m} + \frac{\beta^{2}}{\alpha^{2}G_{i1}^{4}} \cdot \frac{1}{\alpha} \cdot \alpha g_{m} + \beta^{2} \cdot \alpha g_{m}\right)$$

$$\approx \beta^{2} \cdot 4kT\gamma g_{m}\left(1 + \frac{1}{\beta} + \alpha\right)$$
(7.128)

となる. 差動構成及び相補入力を考慮した入力換算雑音は,

$$\overline{i_{n,in}^2} = 4 \cdot \frac{i_{n,out}^2}{\beta^2}$$

$$\approx 16kT\gamma g_m \left(1 + \frac{1}{\beta} + \alpha\right)$$
(7.129)



図 7.35: SSF 構造の雑音源



図 7.36: 相補入力型 SSF 構造を持つ電流増幅器の雑音特性

となり、おおよそ消費電流に対して比例した入力換算雑音電流となる. FVF 構造を持つ 電流増幅器の入力換算雑音電流は、(4.192) 式より、 $N \to \infty$ とすると、

$$\overline{i_{n,in}^2} \approx 16kT\gamma g_m \left(1 + \frac{1}{\beta}\right) \tag{7.130}$$

であるため、SSF 構造では α の増分が雑音電力の劣化分となる.線形性及び入力イン ピーダンス改善のために I_{bias} を増やすと、FVF 構造と同様に雑音特性の劣化が生じる. また、帯域に関する解析結果のみを考えれば、 α が大きいほど帯域は広くなるが、一方 で雑音特性を劣化させてしまうという問題を持つ.図 7.36 に、 α と雑音の関係を示す. シミュレーション条件は α を除き、表 7.4 のとおりである.(7.129) 式に示したように、 α と雑音電力には相関が存在する.今回は 1 GHz の帯域を目指すため、図 7.31 に示した 入力インピーダンスのゼロ点周波数も考慮して、 $\alpha = 0.8$ を基準に設計を行う.

7.3.3.5 性能比較

最後に,NMOS型 FVF 構造を持つ電流増幅器との SNDR の比較を行う.シミュレーションの条件は表 7.5 のとおりである. *R*_S は入力端子に接続された抵抗であり,電圧源から抵抗 *R*_S を挟んで信号を入力する.

図 7.37 に, それぞれの SNDR と入力振幅の関係を示す. なお, ブースト (ゲート接

プロセス	65nm CMOS			
電源電圧	$1.2\mathrm{V}$			
消費電力	$2.5\mathrm{mW}$			
雑音積分帯域消費電力	$2\mathrm{GHz}$			
α	0.8			
β	1			
R _S	500Ω			
入力周波数	$100\mathrm{MHz}$			

表 7.5: 図 7.37 の設計条件

地)は第5章の g_m ブーストで述べたゲート接地回路付き FVF 構造を持つ電流増幅器で ある(図 5.12(b)).まず低入力振幅側を見ると、いずれの電流増幅器も同じ SNDR 特性 をたどることが確認できる.今回の比較では、両者の消費電流を揃えたため、

$$(1+\beta) \cdot I_{\text{bias}}|_{\text{N-FVF}} = (1+\beta+\alpha) \cdot I_{\text{bias}}|_{\text{C-SSF}}$$
(7.131)

が成立しており, (7.129) 式及び (7.130) 式に示した入力換算雑音は,ほぼ同等の値を持つ.したがって,雑音特性で SNDR が決まる範囲では両者の値は一致する.一方,大きな振幅を入力した際の挙動は大きく異なる.相補入力型 SSF 構造では-10 dBV 入力付近まで SNDR が上昇するが,NMOS 型 FVF 構造は-15 dBV から SNDR の劣化が始まる.結果として,相補入力型 SSF 構造を持つ電流増幅器の SNDR_{peak} は約 51.5 dB,NMOS 型 FVF 構造を持つ電流増幅器の SNDR_{peak} は 46 dB となり,同じ消費電力で設計しているにも関わらず 5.5 dB の差となった. $g_{\rm m}$ ブーストの最大 SNDR は最も低いが,大振幅入力では NMOS 型 FVF 構造よりも高い線形性を実現している.NMOS 型 FVF 構造を持つ電流増幅器では,最大 SNDR 付近で歪キャンセルが生じているものと推定される.

相補入力化による SNDR の改善は線形性の改善によってもたらされており,図 7.30 に示した特性の改善がそのまま SNDR の改善につながっている.消費電力の増加を伴 わない線形性の改善は雑音特性の観点から非常に重要である.なぜなら,(7.129)式な どで示したように,入力換算雑音電力は消費電流に比例するため,線形性と雑音特性は トレードオフの関係にあるからである.第4章の解析によると,線形性と雑音特性のト レードオフを考慮した場合,SNDR ∝ I^{2/3} が成立する.したがって,ある電流増幅器で



図 7.37: SNDR の比較

5.5 dBの SNDR 改善を果たすためには約 2.6 倍もの消費電力が必要となる. この相補入 力型電流増幅器を用いることによって,高 SNDR を達成する低消費電力なフィルタを実 現することが可能となる.

7.4 ミリ波向け 4次 1GHz 帯域のフィルタ

本節では,60 GHz 帯ミリ波向けのフィルタとして,1 GHz の帯域を持つ4次の LPF を電流型フィルタで構成する.

7.4.1 フィルタの構成

図 7.38 に、4 次電流型フィルタの全体構成を示す. このフィルタには電流増幅器が4 つ用いられており、前段側がQ = 0.54、後段側がQ = 1.31である. $R \approx C$ の具体値は 表 7.6 のとおりである. β_1 から β_4 までの電流増幅器には、7.3.3 節で議論した相補入力 型 SSF 構造を持つ電流増幅器を用いた. ただし、 β_3 は電流利得が3 と高いため、後述す るソースフォロワバッファを挿入した電流増幅器を用いている. 最も小さい抵抗は R_0 の 160 Ω であるが、 R_0 はフィルタのカットオフ特性に影響を与えず、入力差動電圧を信 号電流に変換する役割を担っている. 次いで小さい抵抗は R_1 であり、こちらは 410 Ω となっており、図 7.30 で示した入力抵抗 21 Ω に対して十分大きい.

前段バイカッドフィルタ		後段バイカッドフィルタ		
Q	0.54	Q	1.31	
$f_{ m c}$	$1\mathrm{GHz}$	$f_{ m c}$	$1\mathrm{GHz}$	
β_1	1	β_3	3	
β_2	1.5	β_4	2	
R_0	160Ω	R_{2s}	$1.37\mathrm{k}\Omega$	
R_1	410Ω	R_3	490Ω	
R_{2f}	$1.73\mathrm{k}\Omega$	R_4	560Ω	
C_1	$240\mathrm{fF}$	C_3	$320\mathrm{fF}$	
C_2	$500\mathrm{fF}$	C_4	1.31 pF	

表 7.6: 各素子の設定値



図 7.38:4次電流型フィルタ

7.4.1.1 バイカッドフィルタの縦続接続

図 7.38 のフィルタにおいて, *R*_{2f} と *R*_{2s} の関係はやや特殊である.先述の通り電流増 幅器はインピーダンスの分離が行えないため,前段バイカッドフィルタと後段バイカッ ドフィルタを接続する時,後段バイカッドフィルタの抵抗 *R*_{2s} によって前段バイカッド フィルタの周波数特性(主に ω₂)が変化する.この影響について整理する.

 $\blacksquare R_2$ の修正 図 7.17 における β_2 からの帰還抵抗 R_2 は,

$$R_2 = R_{\rm 2f} / / R_{\rm 2s} \tag{7.132}$$

と修正される.

■β₂の修正 β₂の出力する信号電流の一部は後段バイカッドフィルタに行くため,β₁ に帰還される電流はその分を差し引く必要がある.そこで,帰還に費やされる電流に対 する β2 の正味の利得 β2 を算出する.

$$\beta_{2}' = \beta_{2} \frac{\frac{1}{R_{2f}}}{\frac{1}{R_{2f}} + \frac{1}{R_{2s}}} = \frac{\beta_{2}}{1 + k_{FB}}$$
(7.133)

ただし,

$$k_{\rm FB} = \frac{R_{\rm 2f}}{R_{\rm 2s}}$$
 (7.134)

とおいた.したがって, Qを実現するために要求される $\beta_1\beta_2$ に対して, k_{FB} によるロス を考慮してやや大きめの電流利得を用意しておかなければならない.この分流作用を考 慮すると,前段は $\beta_1\beta_2$ の下限要求値が低い Q = 0.54 とするのが望ましい.

■通過帯の利得 前段から後段に移動する電流量は、*R*_{2f} と *R*_{2s} の比率によって決定される.したがって、通過帯の利得は次のように修正される.

$$H(0) = \frac{\beta_1 \beta_2'}{1 + \beta_1 \beta_2'} \cdot \frac{\frac{1}{R_{2s}}}{\frac{1}{R_{2f}} + \frac{1}{R_{2s}}} \cdot \frac{\beta_3 \beta_4}{1 + \beta_3 \beta_4} \frac{R_4}{R_0}$$
$$= \frac{\beta_1 \beta_2}{1 + k_{FB} + \beta_1 \beta_2} \frac{\beta_3 \beta_4}{1 + \beta_3 \beta_4} \frac{k_{FB}}{1 + k_{FB}} \frac{R_4}{R_0}$$
(7.135)

なお, H(0)を最大とする $k_{\rm FB}$ は,

$$k_{\rm FB} = \sqrt{1 + \beta_1 \beta_2} \tag{7.136}$$

と表されるため, 設計における目安となる. この時の H(0) は,

$$H(0) = \frac{\beta_1 \beta_2}{\left(1 + \sqrt{1 + \beta_1 \beta_2}\right)^2} \frac{\beta_3 \beta_4}{1 + \beta_3 \beta_4} \frac{R_4}{R_0}$$
(7.137)

となる.

7.4.1.2 ソースフォロワバッファによる広帯域化

このフィルタにおいて,後段側は高い*Q*を担うためにそれぞれの電流利得はやや高く 設定されている.特に β₃ = 3 であり,図 7.31 で示したように入力インピーダンスのゼ ロ点が1GHz を下回ってしまい,フィルタ特性への影響が懸念される.このインピーダ ンスの上昇は, (7.114) 式に示したカレントミラーノードの寄生容量 *C*_{Xp} 増加によるものである.

そこで β₃ には, 図 7.39 のようなソースフォロワを挿入した電流増幅器を採用した. ソースフォロワは1倍の利得を持つバッファとして機能し,入力インピーダンスのゼロ点 を作っていた C_{Xp} と g_{d9n} を分離する.ただし,新たなゼロ点として g_{m13p}/C_{Xp} が挿入さ れる.ソースフォロワバッファの挿入により V_{GS} のレベルシフトが発生するため, M9n から M13p に, M9p から M13n にそれぞれ結線し,レベルシフト分を吸収する.M13p と M13n のドレイン端子はフロートであるため,差動対称の同じノードに接続した.

図 7.40 に, バッファ挿入前後の一巡伝達関数特性を示す. ソースフォロワバッファを 挿入する前は 300 MHz 付近から利得の低下が始まっているが, ソースフォロワバッファ の挿入によって 700 MHz 付近まで改善される. 1 GHz 付近においても 20 dB を上回る 利得が維持されており, 5 GHz 付近で二つの特性は合流する. このときの位相余裕は, ソースフォロワバッファ無しのときに約 75°, ソースフォロワバッファ挿入時は 62° と なっており, ソースフォロワバッファ挿入後においても十分な位相余裕を持つことが確 認できる.



図 7.39: ソースフォロワバッファを挿入した相補入力型 SSF 構造を持つ電流増幅器



図 7.40: ソースフォロワバッファと一巡伝達関数特性の変化

図 7.41 に, ソースフォロワバッファ挿入前後の入力インピーダンス特性を比較したものを示す.ただし,各 *H*_r(*s*)は (4.163)式の定義に従う.ソースフォロワバッファ挿入前はゼロ点の周波数が 0.9 GHz となっているが,バッファの挿入により 1.8 GHz 付近まで改善されている.この技術により,フィルタの帯域である 1 GHz 付近まで入力インピーダンスの上昇を避けることが可能となる.

7.4.1.3 レイアウト

図 7.42 は 4 次 LPF のレイアウトである.各バイカッドフィルタの大きさは同程度で あり,バイアス回路まで含めた面積は 0.065 mm² と非常に小さい.カットオフを決め る容量には MIM を用い, MIM のプロセスばらつきを補償するための可変容量として MOM が用いられている.



図 7.41: ソースフォロワバッファによる入力インピーダンス周波数特性の改善



図 7.42: LPF のレイアウト

7.4.2 性能評価

設計した LPF の性能を評価する.ただし,65nm CMOS プロセスを用い,電源電圧 は 1.2 V として設計した.

図 7.43 に, この LPF の周波数特性を示す.利得は通過帯においてほぼ 0 dB となって おり,1GHz 付近から 4 次のオーダーで減衰特性が得られている.一方,群遅延特性に ついては概形は似ているものの,理想特性からやや劣化している様子が見られる.この 劣化は,電流増幅器の位相特性によるものであると考えられる.位相特性の改善を行う ためには,カレントミラー部分の容量を減らす必要がある.したがって,可能な限りミ ラー比を小さくするか,小さいプロセスノードを採用するなどの方法が有効となる.



図 7.43: 設計した LPF のシミュレーション結果

表 7.7 に,性能をまとめた比較表を示す.本研究で設計したフィルタは,4次の次数 を持ち,カットオフ特性は1GHz である.比較対象として,比較的近い帯域を持つフィ ルタを用意した.本研究では,1.2Vという低い電源電圧を用いながら,1.2dBVの良 好な IIP3 を実現しており,表においても二番目の線形性となった.この線形性の改善 は,電流増幅器の相補入力化による入力インピーダンスの変動抑制によるものである. 表中で最も良い線形性を記録した [3] はGm-Cフィルタの構成を採用しているが,電源 電圧は 1.5V と高く,雑音特性も犠牲になっている.本研究のフィルタは入力換算雑音 は 0.6 mVrms とやや大きいながら,この良好な線形性により 40.8 dB の最大 SNDR を達 成した.この SNDR は比較表において,最も良い値である.256QAM の要求 SNDR が 28.5 dB であったことから,このフィルタは他の回路の影響を除き,12 dB 近いマージン

	[3]	[13]	[4]	本研究(1
 プロセス [nm]	180	40	90	65
アーキテクチャ	Gm-C	$SSFF^{(6)}$	$SFF^{(6)}$	Current
電源電圧 [V]	1.5	1.1	1	1.2
フィルタ次数	4	5	6	4
カットオフ周波数 [GHz]	1	0.88	0.915	1
	-43		NI / A	-38.8
	$@0.35V_{\rm pp}$	N/A	N/A	$@0.35V_{\rm pp}$
IIP3 [dBV]	$3.4^{(2)}$	-16.7	$-4.4^{(2)}$	$1.3^{(2)}$
入力換算雑音 [mVrms]	1.39	0.32	$1.7^{(5)}$	0.6
$\mathrm{SNDR}_{\mathrm{peak}}\left[\mathrm{dB}\right]$	37.4	32.5	28.1	40.8
消費電力 [mW]	$174^{(3)}$	27.5	9.5	13
$\operatorname{FoM}_{\mathrm{F}}[\mathrm{dB}]^{(4)}$	147.0	151.5	153.5	161.7

表 7.7: フィルタの性能比較表

*1 LPE 抽出を行ったシミュレーション結果

^{*2} IM3 [dBc] または IIP3 [dBm] から算出

*3 自動チューニング機構を含む

^{*4} FoM_F = SNDR_{peak} + 10 log
$$\left(\frac{f_{\text{cut}} \cdot \text{order}^2}{\text{Power}}\right)$$

^{*5} IRN = -135 dBm/Hz として算出

 *6 SSFF: Super Source Follower Filter, SFF: Source Follower Filter

を確保することができる.一方,消費電力はわずか 13 mW と表中で二番目に小さい値 となっている.消費電力が最も小さい [10] は 6 次の次数を実現しているものの SNDR が非常に低く, FoM は 153.5 dB にとどまる.本研究の SNDR に対する FoM は 161.7 dB を達成し,表中で最も良い値を記録した.

Rx	LNA RF Amp. Mixer, BB Amp L		LPF	合計	
利得 [dB]	17.2	2.0	6.2	0	07 1
累計利得 [dB]	17.2	19.2	25.4	25.4	27.1
NF [dB]	5.0	13.9	10.7	27.1	7.0
累計 NF [dB]	5.0	5.6	5.76	7.2	(.2
IIP3 [dBm]	-8.9	11	0.6	11.3	20.4
累計 IIP3 [dBm]	-8.9	-10.8	-19.3	-20.4	-20.4
消費電力 (IQ 合計) [mW]		39.5	27.2	26.0	92.7

表 7.8: フィルタ挿入後のレベルダイアグラム

7.4.3 レベルダイアグラムの検討

表 7.8 に最終的なレベルダイアグラムを示す.フィルタの挿入により生じた線形性 及び NF の劣化はごく僅かであり,消費電力の増分も IQ 併せて 26 mW にとどまった. 図 7.44 は,最終的な SNDR の特性である.受信機全体の SNDR_{peak} は 32.3 dB となり, 256QAM に対応していることが確認できる.フィルタの出力振幅は 0.17 V_{pp} とやや小さ いため, A/D 変換器の前に 2 倍程度の利得を持つ VGA(または A/D ドライバ)を挿入 する必要がある.

なお,このレベルダイアグラムはフィルタの前の増幅器(BB Amp)が一定の利得を 持つことを想定している.この状態で SNDR 特性のピークを揃えているため,フィル タの雑音によって受信感度がやや劣化している.BB Amp が可変利得機構を持つ場合, フィルタ挿入による NF の劣化及び線形性の劣化は更に小さくなり,フィルタ挿入前(図 7.44 の破線)の水準付近の特性が得られると予想される.



図 7.44: 受信回路の入力電力と SNDR(破線は LPF 挿入前)

7.5 微細化の影響

6.5 節と同様に,広帯域電流型フィルタについても微細化の影響を考察する.電流型 フィルタにおいては電流増幅器の SNDR が重要であるため,各スケーリング手法に対す る電流増幅器の SNDR の変化を追う.ただし,大まかな特性は 6.5 節のループフィルタ に関する考察と一致すると考えられる.

第4章の検討結果において, N が十分大きいと仮定すると,

$$\text{SNDR}_{\text{peak}} \propto \left(G_{\text{i}}N^2 V_{\text{eff}}^2\right)^{\frac{2}{3}}$$

$$(7.138)$$

となる.この数式を元にスケーリングの効果を整理すると、表 7.9 のようになる.

■広帯域化と消費電力 遮断周波数 *f*_T については,いずれのスケーリング手法においても大きく改善されている.この改善は広帯域フィルタにおいて,

- フィルタ構成のカットオフ周波数上限の向上
- 局所的な負帰還の帯域改善

などのメリットをもたらすことが期待される.

表 7.9: スケーリングの方式 [18] と SNDR_{peak} に対する影響

		定電界	準定電圧	定電圧
	電圧	λ^{-1}	$\lambda^{-\frac{1}{2}}$	1
	L, W	λ^{-1}	λ^{-1}	λ^{-1}
	$t_{ m ox}$	λ^{-1}	λ^{-1}	$\lambda^{-rac{1}{2}}$
	$g_{ m m}$	1	$\lambda^{rac{1}{2}}$	$\lambda^{rac{1}{2}}$
	$G_{ m i}$	1	$\lambda^{-rac{1}{4}}$	$\lambda^{-rac{1}{2}}$
	I_{D}	λ^{-1}	1	$\lambda^{rac{1}{2}}$
	遮断周波数 f _T	λ	$\lambda^{rac{3}{2}}$	λ^2
	$\mathrm{SNDR}_{\mathrm{peak}}$	$\lambda^{-\frac{4}{3}}$	$\lambda^{-rac{1}{6}}$	$\lambda^{rac{1}{3}}$
$\mathrm{SNDR}_{\mathrm{peak}} \propto \left(G_{\mathrm{i}} N^2 V_{\mathrm{eff}}^2\right)^{\frac{2}{3}}$	消費電流 (1	λ	$\lambda^{rac{1}{8}}$	$\lambda^{rac{1}{4}}$
消費電力(1	$\lambda^{-rac{3}{8}}$	$\lambda^{rac{1}{4}}$

¹SNDR_{peak}を一定に保った場合の設計

準定電圧スケーリングにおいて消費電力は減少し,定電圧スケーリングでは消費電力 が増加するという傾向が得られる.前者はgmの増加に加え,電源電圧の低下によって 生じた消費電力の減少が低電力化に寄与していると見られる.スケーリングによって生 じる FoM の変化を考えると,微細プロセスを使用しても電源電圧が低下していなけれ ば電力効率は改善されないという結果となる.

■定電圧スケーリングと $f_{\rm T}$ 一定設計 準定電圧スケーリングは僅かな消費電力の減少 を許容するが、低電源電圧化は回路トロポジの採用を制限するという問題が指摘される. 加えて、短チャネル化による固有利得の急激な劣化を考慮すると、微細化による $G_{\rm i}$ の 劣化は更に激しいと予想される.そこで 6.5 節と同様に $G_{\rm i} \propto \lambda^{-\alpha}$ を想定した定電圧ス ケーリングを考える.

*f*_T 一定条件において,

$$G_{\rm i} \propto \lambda^{1-\alpha}$$
 (7.139)

であるから, $g_m^2 G_i$ を一定に保つためには,

$$\frac{\Delta P_{\rm D}}{P_{\rm D}} = \frac{1}{\lambda^{\frac{1-\alpha}{2}}} - 1 \tag{7.140}$$

の消費電力増加が求められる.

図 7.45 に検討結果を示す. ただしグラフは λ⁻¹ を横軸としており, 左側が微細化の 進んだプロセスとなっている. 図 7.45(a) は固有利得に関するグラフであり, 図 6.32(a)



図 7.45: 定電圧スケーリング下における α を考慮した $f_{\rm T}$ 一定設計

と同一である. 図 7.45(b) は SNDR_{peak} を一定とした場合の消費電力の変動率を示して いる. やはり $\alpha > 1$ において消費電力の増加が生じており, $\alpha = 2, \lambda = 2$ においては 40%の電力増加となる.

このように、微細化に対する固有利得の劣化がどの程度であるかがアナログ回路の性能を大きく左右することになる. α が大きな微細化では、スケーリングによって得られる $f_{\rm T}$ の改善を犠牲にした場合でも SNDR の特性は改善されず、FoM の劣化は避けられない. 大まかな損益分岐点は $\alpha = 1$ と考えられ、短チャネル化による利得劣化が顕著なプロセスでは電力効率の劣化を覚悟しなければならない.

7.6 まとめ

本章では、ミリ波向け受信機の広帯域フィルタを題材として、広帯域なフィルタの アーキテクチャについて検討を行った.

■従来の広帯域フィルタの問題点 Gm-Cフィルタは広帯域化に適しているものの,フィ ルタを構成する際に必要となる Gm セルの個数が多く,寄生容量や出力抵抗によるフィ ルタ特性の変動が課題となる.これらの非理想成分を考慮した場合のフィルタの上限周 波数は2GHz を下回り,寄生成分が周波数特性や線形性に大きな影響を与えていること が判明した.ソースフォロワフィルタは,低周波においては良好な線形が期待できるが, カットオフ周波数付近では線形性が著しく劣化するという問題が有り,またカットオフ 周波数の設定にも余裕がない.

■電流型フィルタと電流増幅器 電流型フィルタはオペアンプを用いた Active-RC フィ ルタを電流増幅器で置き換えたアーキテクチャであり,寄生成分の影響を受けにくいと いう特長がある.ただし,電流増幅器の入力インピーダンスがフィルタの周波数特性に 影響をあたえるため,一定かつ低い入力インピーダンスを広帯域で実現できる電流増幅 器が必要である.そこで相補入力型 SSF 構造を持つ電流増幅器を提案し,検討を行っ た.相補入力構造により,入力インピーダンスの変動量を9Ωから1Ωまで改善し,電流 増幅器単体の SNDR を 5.5 dB 改善した.広帯域フィルタを構成する際に障害となる入 カインピーダンスのゼロ点劣化は,ソースフォロワバッファを挿入することで解決した.

■ミリ波向け 4 次 1 GHz 電流型フィルタの設計 提案回路を用いて, 1 GHz の帯域を 持つ 4 次の LPF を電流型フィルタで設計した.使用プロセスは 65nm CMOS プロセス であり,電源電圧は 1.2 V とした.このフィルタの SNDR_{peak} は報告されている 1 GHz 付近のフィルタと比較して,非常に高い 40.8 dB を記録した.SNDR を改善することが できた大きな要因は相補入力型電流増幅器による線形性の改善であり,1.2 V の低電源 電圧において 1.3 dBV もの良好な IIP3 が実現されている.フィルタの消費電力はわず か 13 mW であり,フィルタの電力効率を示す FoM についても最も良いスコアを記録し た.また,本研究のフィルタは RF フロントエンドと接続した場合でも 256 QAM の水準 に到達しており,従来の 256 QAM 対応受信機では未搭載であったアンチエイリアス機 能の実現が見込まれる.

参考文献

- A. Pezzotta, M. De Matteis, S. D'Amico, and A. Baschirotto, "A CMOS-28nm 880-MHz 4th-order low-pass active-RC filter for 60 GHz transceivers," Conference on Ph.D. Research in Microelectronics and Electronics, pp. 261-264, June 2013.
- [2] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe, and T. Itakura, "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, pp. 348-349, Feb. 2014.
- [3] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [4] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschirotto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 1-4, June 2011.
- [5] 浅田 邦博, 松澤 昭 共編,「アナログ RF CMOS 集積回路設計 基礎編」, 培風館, 2010.
- [6] T.-Y. Lo and C.-C. Hung, 1V CMOS Gm-C Filters, Springer, 2009.
- J. Yan and R. L. Geiger, "Design of a Tunable Fully Differential GHz Range Gm-C Lowpass Filter in 0.18 µm CMOS for DS-CDMA UWB Transceivers," IEEE

International Symposium on Circuits and Systems, pp.2377-2380, May. 2006.

- [8] H. Mei and W. Li, "A low power 1.5GHz Gm-C filter with 0-40dB variable gain in 65-nm CMOS technology," IEEE International Conference on ASIC, pp.1-4, Nov. 2015.
- M. Miyahara, H. Sakaguchi, N. Shimasaki, and A. Matsuzawa, "An 84 mW 0.36 mm² analog baseband circuits for 60 GHz wireless transceiver in 40 nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 495-498, June 2012.
- [10] S. D'Amico, M. Conta, and A. Baschirotto, "A 4.1-mW 10-MHz Fourth-Order Source-Follower-Based Continuous-Time Filter With 79-dB DR," IEEE Journal of Solid-State Circuits, vol. 41, no. 12, pp. 2713-2719, Dec. 2006.
- [11] C. Sawigun and P. Pawarangkoon, "0.6-V, Sub-nW, second-order lowpass filters using flipped voltage followers," IEEE Asia Pacific Conference on Circuits and Systems, pp. 254-257, Oct. 2016.
- [12] M. De Matteis, A. Pezzotta, S. D'Amico, and A. Baschirotto, "A 33 MHz 70 dB-SNR Super-Source-Follower-Based Low-Pass Analog Filter," IEEE Journal of Solid-State Circuits, vol. 50, no. 7, pp. 1516-1524, July 2015.
- P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," European Solid-State Circuits Conference, pp. 350-353, Sep. 2010.
- [14] C. Koliopoulos and C. Psychalinos, "A Comparative Study of the Performance of the Flipped Voltage Follower Based Low-Voltage Current Mirrors," International Symposium on Signals, Circuits and Systems, pp.1-4, July 2007.
- [15] B. Aggarwal, M. Gupta, and A. K. Gupta, "A low voltage wide swing level shifted FVF based current mirror," International Conference on Advances in Computing, Communications and Informatics, pp.880-885, Aug. 2013.
- [16] M. D. Matteis, A. Pezzotta, S. D'Amico, and A. Baschirotto, "Area-Efficient Linear

Regulator With Ultra-Fast Load Regulation," IEEE Journal of Solid-State Circuits, vol. 50, no. 7, pp. 1516-1524, July. 2015.

- [17] S. Wangtaphan and V. Kasemsuwan, "A 0.6 Volt Class-AB CMOS Voltage Follower with Bulk-Driven Quasi-Floating Gate Super Source Follower," International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, pp. 1-4, Aug. 2012.
- [18] S. Wong and C. A. T. Salama, "Impact of Scaling on MOS Analog Performance," IEEE Journal of Solid-State Circuits, vol. SC-18, no. 1, pp. 106-114, Feb. 1983.

第8章

結論

8.1 まとめ

■研究背景 近年,通信端末やクラウドサービスなどの普及により,通信容量の逼迫が 問題となってきており,無線通信の高速化が要求されている.通信容量は,QPSKや QAM などの多値変調化と,通信に使用する帯域の広帯域化によって達成することがで きる.しかしながら,多値変調化のためには送受信機を通して高い SNDR が必要であ り,通信帯域の広帯域化はアナログベースバンド回路の広帯域化が必須である.このよ うな要求に対応していくためには,フィルタや A/D 変換器などのアーキテクチャレベル の検討のみならず,それらを構成する基本的な回路である増幅器の検討が重要である.

■高速無線通信の課題 60GHz 帯ミリ波無線通信は Gbps 級の通信が可能であるが,実際に報告されているアナログベースバンド回路を含む成果報告では,1ch かつ 16QAM が限界となっており,アナログベースバンド回路側の設計技術改善が求められている.特に広帯域なアナログベースバンド回路では,アンチエイリアス機能を実現するフィルタの設計が課題である.1GHz の帯域と 256QAM の貫通を可能とする先行研究のフィルタは,フィルター次当たりの消費電力が 40 mW を上回っており,低消費電力化のボトルネックとなっている.したがって,高い SNDR を低消費電力達成できる広帯域フィルタが求められている.

LTE の受信機では近接妨害波の影響により,A/D 変換器に 60 dB を越えるような高い ダイナミックレンジ (DR) が要求される.A/D 変換器が更に高い DR を持つ場合,VGA の要求仕様を簡略化または省略することが可能となる.そのような高い性能を有す A/D 変換器は消費電力の増加が問題となるため,良好な電力効率と高い SNDR を両立する A/D 変換器が求められている.

■負帰還増幅回路と帯域制限 第3章では,古くからアナログベースバンド回路を構成 する基本技術であったオペアンプを用いた負帰還増幅回路について議論した.この負帰 還増幅回路では,オペアンプの利得によって良好な線形性が期待できる.ただし,オペ アンプの負帰還増幅回路では最終的な系の利得をオペアンプの利得から捻出し,残りの 余剰利得が線形性改善に費やされるため,高いDC利得を必要とする.加えてオペアン プを用いた負帰還増幅回路は帰還に減衰器を含めるため,帰還パスが長く,オペアンプ の入力寄生容量が極を作り,オペアンプの内部極と併せて負帰還の位相余裕を劣化させ る要因となってしまう.これらの寄生容量による極を考慮すると,一巡伝達関数のGB 積は2GHz程度に制限されてしまうため,広帯域な用途では高い線形性が期待できない.

一方,電流帰還型では入力寄生容量の問題を回避できるが,系の利得を高くすると帰 還電流のロスが大きくなり,高い帰還利得の実現が困難である.

■局所的な負帰還を持つ広帯域増幅器 第4章では,局所的な負帰還を持つオープン ループアンプについて検討を行った.この負帰還はパスが短いため寄生容量による極の 影響を受けにくく,負帰還の系で利得を得ないユニティゲインの負帰還であるため,低 いオープンループゲインでも精度の良い仮想短絡を実現できる.代表的なアーキテク チャとして,ソースデジェネレーションと FVF 構造を示し,解析を行った.FVF 構造 では負帰還のパスにトランジスタの固有利得が含まれるため,ソースデジェネレーショ ン構成よりも高い線形性を実現することができる.加えてこれらの負帰還は帯域が広く, 10 GHz もの GB 積に対しても約 90°の位相余裕を確保することができる.

同じく,局所的な負帰還を持つ広帯域な増幅器として,電流増幅器についても議論した.電流増幅器では,局所的な負帰還の利得は入力インピーダンスの低減に費やされ, オープンループアンプと同程度の SNDR を達成することができる.

図 8.1 に利用可能な一巡伝達関数の最大値を示す. FVF 構造およびソースデジェネ レーション (SD) はそれぞれ $N \to \infty$ とし,オペアンプ系は系の最終的な利得を H(0) = 2として設定した.局所的な帰還に利得を有す FVF 構造は非常に良好な負帰還を実現可 能であるが,十分な帰還利得を得るためには $N \propto I_{\text{bias}}$ の増加が必要である.したがっ て,広帯域なアナログベースバンド回路の SNDR 改善,消費電力の低減を進めるために は,消費電力の増加を抑えつつ線形性を改善する技術が重要である.



図 8.1: 第3章及び第4章で検討した広帯域増幅器の性能領域(オペアンプ はカスコード構成を使用)

■カレントミラー補正技術 電流増幅器では精度の良い電流利得を得るためにカレント ミラー回路を用いるが,ミスマッチによってカレントミラーの利得精度や線形性が劣化 するという問題がある.この問題に対し,参照電流源とバックゲート効果を用いた補正 手法を提案し,検討を行った.補正を行ったところ,HD2はワーストケースで18dB改 善され,電流利得ばらつきの標準偏差は0.4dBから0.03dBに削減された.

■連続時間型 ΔΣ A/D 変換器 第6章では,アナログベースバンド回路の一形態とし て連続時間型 ΔΣ A/D 変換器について検討を行った.連続時間型 ΔΣ A/D 変換器は, エイリアシングやサンプリング雑音などのサンプリングにまつわる諸問題を緩和し,ア ナログベースバンド回路の構成を簡略化できることから,LTE/LTE-A などの高速無線 通信向けに研究が行われている.しかしながら,オープンループアンプをベースとした ループフィルタは線形性が不十分であり,A/D 変換器の SNDR を劣化させてしまうと いう問題があった.

そこで局所的な負帰還回路技術の議論に基づき, FVF 構造にカスコードトポロジを 取り入れた新規回路を提案し,線型性の改善を図った.図 8.2 に帰還利得と線形性の 比較を示す.提案回路ではカスコードトランジスタによって帰還利得が14dB向上し, 同じソースデジェネレーションファクター N に対して線形性が大幅に改善される.そ の結果, A/D 変換器の SNDR の劣化を防ぐことが可能となった.提案回路を使用した 20 MHz 帯域の A/D 変換器は,72.4 dB の SNDR を 6.8 mW の低消費電力で実現した. 電力効率を示す二つの FoM は,それぞれ 50 fJ/conv.-step と 167 dB となり,非常に良好 なスコアを記録した.図 8.3 に示した先行研究との比較においても,本研究の A/D 変換 器が良好な電力効率を有すことが確認できる.

■広帯域フィルタ 第7章では、60GHz帯ミリ波無線通信向けの広帯域フィルタを検 討した。60GHz帯ミリ波向けのフィルタには、1GHzもの広帯域が必要である。広帯域 フィルタとしてよく用いられる Gm-C フィルタは、Gm セルの出力抵抗や入力寄生容量 により、1GHzの帯域を実現するのが困難である。また、フィルタを構成するために要 するセルの数が多く、消費電力が大きい、ソースフォロワフィルタは少ない素子数で構 成できるが、カットオフ周波数付近で急激に線形性が劣化するという欠点があり、高い SNDRを実現することが難しい。加えて、ソースフォロワフィルタでも帯域の制限が厳 しく、65nm CMOS プロセスでは 2.2 GHz 付近が上限と考えられる。



一方,電流型フィルタは寄生容量や出力抵抗がカットオフ特性に殆ど影響を与えない ため,広帯域なフィルタの構成に適している.しかしながら,フィルタを構成する電流

図 8.2: 提案回路による帰還利得と線形性の改善



図 8.3: 本研究で開発した連続時間型 △∑ A/D 変換器と先行研究との比較 [1]

増幅器の入力インピーダンスがカットオフ特性に影響を及ぼすことから,低入力イン ピーダンスを広帯域に渡り維持する必要がある.加えて電流増幅器の入力インピーダン ス変動が大きい場合,カットオフ周波数付近で線形性が劣化してしまうという問題があ る.そこで局所的な負帰還による低入力インピーダンス技術を元に,相補入力化を行っ た高効率電流増幅器を提案し,検討を行った.提案回路は信号電流に対しプッシュプ ル動作を行うため,入力インピーダンスの変動が少なく,従来回路よりも 5.5 dB 高い SNDR を実現することを可能にする.

図 8.4 に広帯域フィルタの成果をまとめた.本研究で設計した 4 次 1 GHz 帯域のフィ ルタは、256QAM の通信を十分可能とする 40.8 dB の SNDR を、13 mW の低消費電力 で達成した.フィルタの電力効率を示す FoM_F は 161.7 dB を記録し、同帯域で最も良 い電力効率を実現した.これまでに報告されている LPF や VGA 等のアナログベース バンド回路を含む 60GHz ミリ波無線通信のデータレートを、図 8.4(b) にまとめた.従 来研究では 16QAM (7 Gbps)の報告が限界であったが、本研究のフィルタは 256QAM の 14 Gbps まで対応することができる.フィルタと同様に、256QAM の水準に対応した VGA や A/D 変換器が必要となるが、本研究の成果により、通信高速化に対するボトル ネックの一つを解決するに至った.



図 8.4: フィルタの研究成果

今後の展望 8.2

微細化の影響 8.2.1

6.5節や7.5節で考察したように、アナログベースバンド回路は微細化による恩恵を 享受できるとは限らない.特に負帰還を利用する回路はトランジスタの固有利得を使用 するため、プロセスの微細化によって影響を受けやすい、電界一定スケーリングのよう な電源電圧の低下を伴うスケーリングが行われてきた時代では、短チャネル化による固 有利得の急激な劣化はあまり現れていなかった、しかしながら、現代のナノスケール CMOS では固有利得の劣化が激しく、アナログベースバンド回路も大きな影響を受ける、

■スケーリングと電力効率の劣化 図 8.5 に,スケーリングによる影響の概要をまとめ た. ただし α は, $G_i \propto \lambda^{-\alpha}$ で求まる値である (λ はスケーリングファクターを表す). グローバルな帰還や局所的な帰還は、トランジスタの固有利得によって良好な帰還利得 を実現している。その負帰還によって高い線形性を実現し、電力効率の改善を図ってき た.これは第4章の4.4.1節で検討したように、雑音特性の改善は電力効率が悪く、線 形性の改善で SNDR を高める方が良好な電力効率を達成しやすいためである. 電圧低 下を伴うスケーリング下においては、電源電圧低下による消費電力の減少によって、ア ナログ回路の電力効率は緩やかに改善される.しかしながら,極端な短チャネル化の影 響によって固有利得が急激に劣化する現代の CMOS プロセスでは α > 1 となり,6.5 節 や 7.5 節で示したように、固有利得を利用する回路の電力効率は急速に劣化していく.



プロセスノード

図 8.5: アナログ回路とスケーリングによる電力効率の劣化


図 8.6: スケーリングのあゆみと今後の見通し [6]

ただし、これは負帰還の恩恵が失われていくことによって生じる効率劣化に相当するため、固有利得を利用しない回路には当てはまらない. FinFET は通常の CMOS と比較して固有利得が高いとされており、この問題をある程度緩和できる可能性がある. 更に微細化が進むと、今度はキャリア速度の飽和によって生じる gm の飽和が深刻な問題となり、アナログ回路の電力効率は更に劣化すると予想される.

増幅器に関する今後の課題の一つに、低電源電圧への対応が挙げられる.第4章で述 べたように、局所的な負帰還による線形性の改善は雑音特性とトレードオフである.本 研究で議論を進めてきた高線形増幅器の回路技術は、線形性を改善し大振幅入力に対応 することで高い SNDR を達成するアプローチを採用している.ところが電源電圧が低 下すると、電圧振幅を確保することが困難になるため、雑音特性の悪い高線形な回路は 不利になる場合がある.加えて十分な V_{DS} が確保できなくなり、トランジスタを縦に積 むことができる個数が減少するといった問題も生じる.図 8.6 はこれまでのスケーリン グのあゆみと、今後の見通しをまとめたグラフである.現代においてもプロセスの微細 化は進行しており、2020 年には 10nm 相当にまで進行すると予想されている.一方、図 8.6(b) はプロセスに対する電源電圧の予測を示したものである.75nm 世代から電源電圧 のスケーリングは緩くなっているが、30nm 以下の世代では 1V を下回るとされている. このような低電源電圧化ではカスコードのようなトポロジの採用も困難であり、電圧振 幅の低下も避けられず,アナログ回路の電力効率は大幅に劣化していくと考えられる.

■今後の設計指針 上記を踏まえると、今後のアナログベースバンド回路の在り方にはいくつかのアプローチが考えられる.

- (a) 線形性を改善し,高い SNDR を目指す
- (b) 低雑音化を優先し,高速化を目指す
- (c) タイムドメインの活用のように,異なる方法で性能を伸ばす

(a) は固有利得をかせぐために大きめのプロセスを選択する、小さなプロセスでも大 きめのチャネル長を利用する、などのアプローチである.加えて、回路トポロジを制限 しないように、アナログ回路にやや高めの電源電圧を使用するといった工夫も考えられ る.ディジタル側で微細プロセスを使用したい場合は、別々のチップで作成し、貼り合 わせるといった技術も解決策の一つとなり得る.固有利得そのものを改善する FinFET も、このアプローチに分類できる.

高速化・広帯域化を優先する (b) のケースは、 $f_{\rm T}$ の高い微細プロセスで小さいトラン ジスタサイズを使用するアプローチである.カスコード抵抗や FVF 構造などの固有利 得を利用しない方法であれば、低い電源電圧が採用しやすく、同じ消費電力に対して多 くのバイアス電流を供給することができるようになる.このアプローチでは線形性の確 保が困難であるため、 $g_{\rm m}$ を大きくする低雑音化が優先される.SNDR に対する電力効率 は (a) よりも劣化するが、電源の問題が解決される利点は信頼性や SoC 化の観点で大き い.ただし、キャリア速度の制限による $g_{\rm m}$ の飽和は深刻な問題となることが予想され る.バイアス電流に対する $g_{\rm m}$ の上昇が鈍くなれば、更に電力効率は劣化していく.た だし、この問題は (a) のアプローチも同様であるため、固有利得の低下の先にある課題 として認識しておかなければならない.

このほか,(c)のアプローチであるタイムドメインの活用も有効とされており,リン グ系の回路の研究も盛んに行われている.ただし,ディジタル的な動作(ダイナミック 動作)を行う回路に関しては,電源電圧や参照電圧などの揺れが課題になることが予想 される.現在最も高速に動くベースバンド用の回路の一つである D/A 変換器では,イ ンバータの貫通電流や消費電流のコード依存性が線形性に影響を与えることが知られて いる.そもそもミックスドシグナル LSI において,アナログとディジタルの電源を分け た理由の一つは,ディジタル回路のようなダイナミックな動作を行う回路から漏れるス パイク状の電圧の揺れを,アナログ回路から遠ざけるためであった.リングオシレータ のようなダイナミック動作を行う回路を搭載した回路で,高い SNDR を実現するアナロ グベースバンド回路を構成できるかどうかは,普段あまり検討されないコア回路の周り に目を向けて慎重に検討を行わなければならない.

8.2.2 今後の検討課題

連続時間型 ΔΣ A/D 変換器の研究では,更なる広帯域化と省電力化の検討が今後の 課題として挙げられる.より広帯域な用途では,初段のオペアンプ積分器を電流増幅器 で置き換えたオペアンプレス構成も選択肢に入る.また,微細化によって生じるアナロ グ回路の不利益をディジタル回路で緩和する手法の検討も必要であろう.

電流型フィルタ回路に関しては、より実用的なチューニング方法の検討が必要である. 第4章で述べたカレントミラーの補正は電流型フィルタに有効であるが、実際にどの程 度カットオフの精度が取れるのかなどの検証が求められる.必要であれば、追加の補正 方法も検討しなければならない.また、電流型フィルタの最適設計手法の確立も今後の 課題である.電流増幅器では線形性と雑音特性が密接に関連しており、電流利得の選び 方にも自由度があることから、多次元的な解析が必要になるであろう.

無線通信の高速化に関しては,更なる広帯域化の検討が必要である.例えば本研究で は 60GHz 帯ミリ波無線通信向けのフィルタとして 1 GHz のフィルタを設計したが,同 通信帯域ではチャネルボンディングによって最大 4 GHz のベースバンド帯域を使用す ることができる.そのような広帯域では更に制約が増え,NMOS だけで高い SNDR を 実現する回路技術や,負性容量技術なども深く議論しなければならない.今回検討した フィルタに加え,同じくアナログベースバンド回路を構成する VGA や A/D 変換器も含 めて,詳細な検討が求められる.

参考文献

- B. Murmann, "ADC Performance Survey 1997-2017," [Online]. Available: http://web.stanford.edu/~murmann/adcsurvey.html.
- [2] T.-Y. Lo and C.-C. Hung, "A 1 GHz Equiripple Low-Pass Filter With a High-Speed Automatic Tuning Scheme," IEEE Transactions on VLSI Systems, vol.19, no.2, pp.175-181, Feb. 2011.
- [3] P. Wambacq, V. Giannini, K. Scheir, W. V. Thillo, and Y. Rolain, "A fifth-order 880MHz/1.76GHz active lowpass filter for 60GHz communications in 40nm digital CMOS," European Solid-State Circuits Conference, pp. 350-353, Sep. 2010.
- [4] S. D'Amico, A. Spagnolo, A. Donno, P. Wambacq, and A. Baschirotto, "A 9.5mW analog baseband RX section for 60GHz communications in 90nm CMOS," IEEE Radio Frequency Integrated Circuits Symposium, pp. 1-4, June 2011.
- [5] X. Zhu, Y. Sun, and J. Moritz, "A CMOS 750MHz fifth-order continuous-time linear phase lowpass filter with gain boost," IEEE International Symposium on Circuits and Systems, pp. 900-903, May 2008.
- [6] International Technology Roadmap for Semiconductors, "ITRS Reports," [Online]. Available: http://www.itrs2.net/

本研究に関連する主な論文及び学会発表

論文発表

- <u>Tohru Kaneko</u>, Masaya Miyahara, and Akira Matsuzawa, "A Circuit Technique for Enhancing Gain of Complementary Input Operational Amplifier with High Power Efficiency," IEICE TRANSACTIONS on Electronics, vol. E98-C, no. 4, pp. 315-321, Apr. 2015.
- <u>Tohru Kaneko</u>, Yuya Kimura, Masaya Miyahara, and Akira Matsuzawa, "A Wide Bandwidth Current Mode Filter Technique Using High Power Efficiency Current Amplifiers with Complementary Input," IEICE TRANSACTIONS on Electronics, vol. E100-C, no. 6, pp. 539-547, June 2016.
- <u>Tohru Kaneko</u>, Koji Hirose, and Akira Matsuzawa, "A Consideration of Threshold Voltage Mismatch Effects and a Calibration Technique for a Current Mirror," IEICE TRANSACTIONS on Electronics. (Accepted)
- <u>Tohru Kaneko</u>, Yuya Kimura, Masaya Miyahara, and Akira Matsuzawa, "A 72.4dB-SNDR 20MHz-Bandwidth Continuous-Time ΔΣ ADC with High-Linearity Gm-Cells," IEICE TRANSACTIONS on Electronics. (Accepted)

国際学会発表

【口頭発表,査読有り】

5. <u>Tohru Kaneko</u>, Yuya Kimura, Koji Hirose, Masaya Miyahara, and Akira Matsuzawa, "A 76-dB-DR 6.8-mW 20-MHz Bandwidth CT $\Delta\Sigma$ ADC with a High Linearity Gm-C Filter," European Solid-State Circuits Conference, pp. 253-256, Sept. 2016.

国内学会発表

【口頭発表,査読無し】

- 金子 徹, 宮原 正也, 松澤 昭, "CMOS 入力演算増幅器の高利得化の検討," 電子情報通信学会 2013 年総合大会, C-12-47, 2013 年 3 月.
- 金子 徹, 宮原 正也, 松澤 昭, "CMOS 入力高線形アンプの検討," 電子情報通信学
 会
 2013 年ソサイエティ大会, C-12-25, 2013 年 9 月.
- 金子 徹, 宮原 正也, 松澤 昭, "広帯域可変利得アンプの高線形化に関する検討,"
 電子情報通信学会 2015 年総合大会, C-12-1, 2015 年 3 月.
- 9. 金子 徹, 木邨 友弥, 広瀬 倖司, 宮原 正也, 松澤 昭, "広帯域デルタシグマ A/D 変換器向け高線形 Gm セルに関する検討,"電子情報通信学会 学生・若手研究会, 2016 年 12 月.

【ポスター発表,査読無し】

10. 金子 徹, 横溝 真也, 宮原 正也, 松澤 昭, "レベルシフト回路を用いた高線形 Gm セルの周波数特性に関する検討,"電子情報通信学会 学生・若手研究会, 2014 年 12 月.

謝辞

本研究を進めるにあたり,多くの方のご助力を賜りました.

まずはじめに,学士課程4年から博士後期課程まで長きに渡り,懇切丁寧にご指導を 賜りました,工学院 電気電子系 松澤 昭 教授に感謝いたします.右も左もわからない私 に,CMOS 集積回路の基礎的な知識だけでなく,研究の進め方や考え方に至るまで,熱 心にご指導下さいました.また,数多くの共同研究の機会を与えてくださり,ただ大学 にいるだけでは得難い貴重な経験をさせていただきました.心より感謝の意を表すると ともに,厚く御礼申し上げます.

工学院 電気電子系 岡田 健一 准教授には副指導教員として,研究内容のみならず,論 文の書き方や研究発表のポイントなど,多岐にわたりご指導をいただきました.研究者 として多くのことを教えていただいたことに,心より感謝を申し上げます.

高エネルギー加速器研究機構 素粒子原子核研究所 宮原 正也 准教授 には,回路設計 の多くの具体的なアドバイスや問題を解決するための考え方などをご指導いただき,研 究で行き詰まった際に何度も助けていただきました.大変感謝しております.

ご多忙の中,審査を担当して頂いた科学技術創成研究院未来産業技術研究所 益 一哉教授,工学院情報通信系 高木 茂孝教授,科学技術創成研究院未来産業技 術研究所 伊藤 浩之 准教授,東京大学 大規模集積システム設計教育研究センター 飯塚 哲也 准教授 に心より感謝申し上げます.

同じ研究グループに所属されました横溝 真也氏(現三菱電機株式会社),木邨 友弥氏 (現ソニー株式会社),広瀬 倖司氏,松下 広弥氏には,回路設計や測定などの多くの面 でご協力いただきました.また,松澤・岡田研究室の皆様,同研究室の卒業生の皆様に も,多くの知識や示唆を賜りました.ここに感謝の意を表します.

事務手続き等で研究生活を滞りなく支えてくださった秘書の春日 美乃氏,綱島 真紀子氏 に深く感謝申し上げます. 最後に,私の学生生活を陰ながら支えて下さいました家族に対して,心より感謝いた します.