

論文 / 著書情報
Article / Book Information

題目(和文)	Si表面原子レベル平坦化技術およびHf系MONOS型不揮発性メモリへの応用に関する研究
Title(English)	
著者(和文)	工藤聡也
Author(English)	Sohya Kudoh
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10862号, 授与年月日:2018年3月26日, 学位の種別:課程博士, 審査員:大見 俊一郎,宗片 比呂夫,筒井 一生,渡辺 正裕,飯野 裕明,浅野 種正
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10862号, Conferred date:2018/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	要約
Type(English)	Outline

Si 表面原子レベル平坦化技術および Hf 系 MONOS 型不揮発性メモリへの応用に関する研究

工藤 聡也

本論文は「Si 表面原子レベル平坦化技術および Hf 系 MONOS 型不揮発性メモリへの応用に関する研究」と題し、6 章から構成されている。

第 1 章「序論」

現代の情報化社会における携帯端末の発展により、不揮発性メモリの需要が増大している。現在の浮遊ゲート型不揮発性メモリでは、微細化および高集積化に課題があり、高集積化に適した Metal/Oxide/Nitride/Oxide/Si (MONOS) 型不揮発性メモリの研究が盛んに行われている。薄膜化による MONOS 型不揮発性メモリの低電圧動作化には Si 基板表面のラフネスを低減することが重要となる。そこで、本研究では Hf 系 MONOS 型不揮発性メモリの高性能化を目的として、Si 表面原子レベル平坦化に関する検討を行う。

第 2 章「試料作製方法および評価方法」

本章では、本研究で用いた平坦化のための熱処理方法および堆積方法などの試料作製方法を述べるとともに、電気特性および表面モフォロジーなどの評価方法について説明する。

第 3 章「Si 表面原子レベル平坦化プロセスによるデバイス特性の改善」

本章では、Si 表面の原子レベル平坦化のための熱処理条件による比較およびデバイス特性への効果について検討する。

まず、図 1 に Ar および Ar/4%H₂ 雰囲気中における 600 - 1100°C/5 min の熱処理後の SiO₂ 膜厚を示す。図 1 に示すように、Ar/4%H₂ 雰囲気中での熱処理においては、600 - 900°C では Ar 雰囲気中と同様に熱処理温度に依存して SiO₂ 膜厚が増加している。一方、950 - 1100°C では SiO₂ 膜厚が減少し、さらに熱処理温度に依存せず 1.0 - 1.3 nm の SiO₂ が形成されることが分かった。Ar/4%H₂ 雰囲気中の熱処理においては、600 - 900°C では残留酸素による酸化が生じ、熱処理温度の増加とともに酸化レートが上昇した。一方、950 - 1100°C では残留酸素により形成された SiO₂ 膜がエッチングされ、膜厚が低減したと考えられる。

次に、図 2 に Ar/4%H₂ 雰囲気中で 1050°C /10 - 60

min の熱処理を行い、SiO₂ 膜をエッチングした後の表面ラフネスの熱処理時間依存性を示す。10 - 60 min の熱処理において表面に原子ステップが形成され、図 2 に示すように熱処理時間の増加と共に表面ラフネスが低減した。これは、熱処理時間を増加させることで、熱処理の初期段階に生じる数マイクロメートル周期の表面ラフネスが低減しているためだと考えられる。

さらに、Si 表面平坦化による Hf 系絶縁膜をゲート構造に有するデバイスの電気特性や信頼性に与える影響を、作製したデバイスの移動度や絶縁破壊電界などをもとに議論する。

第 4 章「Hf 系 MONOS 構造作製プロセスの検討」

本章では、HfN_{0.5}(M)/HfO₂(O)/HfN_{1.0}(N)/HfO₂(O) 積層構造の形成プロセスおよび MONOS ゲート構造を有するダイオードの表面平坦化プロセスによる効果について検討する。

まず、Hf 系 MONOS 構造の成膜条件および熱処理条件による電気特性に与える効果について C-V 特性などをもとに議論する。

次に、図 3 に Hf 系 MONOS 構造ダイオードの J-V 特性における平坦化の効果を示す。図 3 に示すように、Si 表面原子レベル平坦化を行うことにより endurance 測定前だけでなく 85°C での endurance 測定後のリーク電流も 2.1×10^{-5} A/cm² から 2.0×10^{-6} A/cm² (V_G = -8 V) と 1 桁以上低減することが分かった。これは、HfO₂/Si 界面のラフネスが低減したことにより、絶縁膜の信頼性が改善したためであると考えられる。

第 5 章「Hf 系 MONOS 型不揮発性メモリの高性能化」

本章では、Hf 系 MONOS ゲート型不揮発性メモリの作製プロセスおよび Si 表面平坦化プロセスの影響について検討する。

まず、図 4 に Hf 系 MONOS デバイスの I_D-V_G 特性および断面模式図を示す。書き込み/消去電圧 (V_{PGM}/V_{ERS}) は 10 V/-10 V、パルス幅は 1 s、V_{DS} は 1.5 V である。図 4 に示すように、Hf 系 MONOS デバイスにおいて、4.2V のメモリウィンドウ

(MW)を得ることに初めて成功した。

さらに、Si 表面原子レベル平坦化プロセスによる Hf 系 MONOS 型不揮発性メモリへの効果について、動作条件や電荷捕獲位置などの比較をもとに議論する。

第 6 章「結論」では、本研究で得られた結果をまとめ、今後の課題と展望について説明する。

[発表状況]

(1) 学術雑誌等 (査読有 4 件(投稿中 1 件)、査読無 4 件、共著 1 件)

1. Sohya Kudoh et al., J. Electron. Mater., Vol.47, No.2, pp. 961 -965 (2018).
2. Sohya Kudoh et al., IEICE Trans. Electron., Vol.E101-C, No.05, (2018). [in press]
3. Sohya Kudoh et al., IEICE Trans. Electron., Vol.E99-C, No.05, pp. 505-509 (2016).

(2) 国際会議 (査読有 9 件、共著 2 件)

1. Sohya Kudoh et al., SSDM 2017, pp. 24-25 (2017).
2. Sohya Kudoh et al., AWAD2017, pp. 408-413 (2017).
3. Sohya Kudoh et al., 59th EMC, p. 57 (2017).
4. Sohya Kudoh et al., 75th DRC, pp. 119-120 (2017).

(3) 国内会議 (17 件、共著 4 件)

1. 工藤 聡也 他, SDM, pp. 15-19 (2017).
2. 工藤 聡也 他, 第 78 回応物, 8a-A411-8 (2017).

[表賞]

1. Young Researcher Award, S. Kudoh, and S. Ohmi, AWAD 2017, pp. 408-413 (2017).
2. Best paper award, S. Ohmi, S. Kudoh, and A. Nithi., ISSM 2014, PO-O-36 (2014).

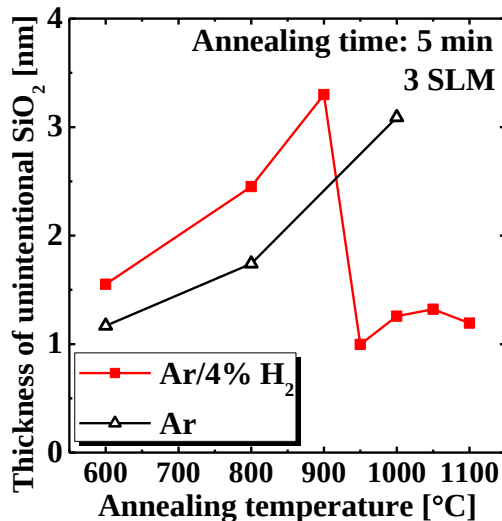


Fig. 1. Unintentional oxide layer thickness dependence on annealing condition.

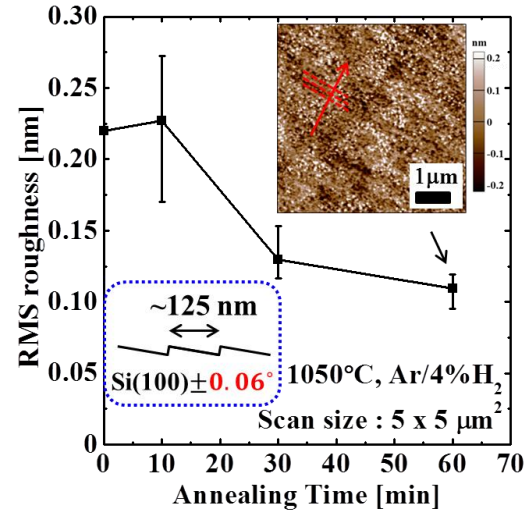


Fig. 2. Annealing duration dependence on Si surface RMS roughness and morphologies. Scan size is $5 \times 5 \mu\text{m}^2$.

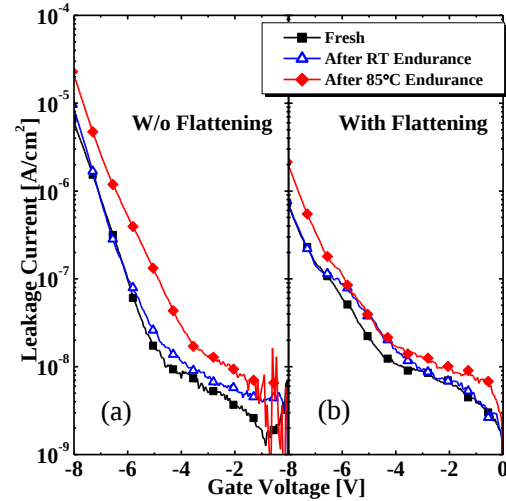


Fig. 3. J-V characteristics of Hf-based MONOS diodes after 10^3 P/E endurance. (a) W/o flattening, and (b) with flattening.

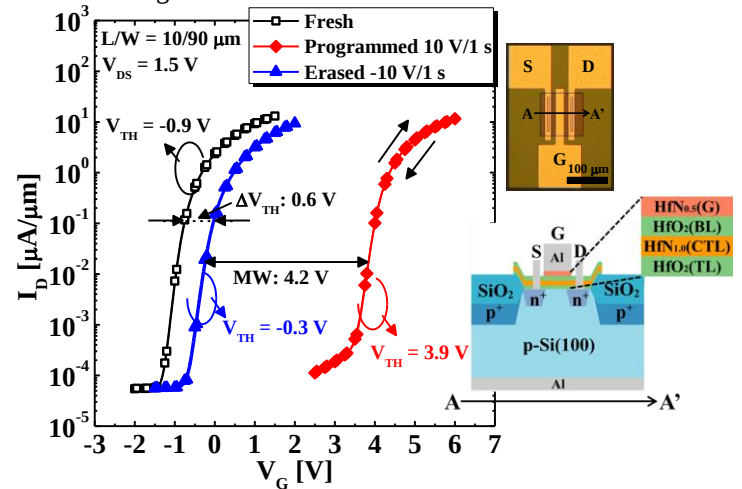


Fig. 4. I_D - V_G of in-situ formed Hf-based MONOS NVM. $V_{\text{PGM}}/t_{\text{PGM}}$ was 10 V/1 s and $V_{\text{ERS}}/t_{\text{ERS}}$ was -10 V/1 s.