

論文 / 著書情報  
Article / Book Information

|                   |                                                                                                                                                                                                 |
|-------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 題目(和文)            | Si表面原子レベル平坦化技術およびHf系MONOS型不揮発性メモリへの応用に関する研究                                                                                                                                                     |
| Title(English)    |                                                                                                                                                                                                 |
| 著者(和文)            | 工藤聡也                                                                                                                                                                                            |
| Author(English)   | Sohya Kudoh                                                                                                                                                                                     |
| 出典(和文)            | 学位:博士(工学),<br>学位授与機関:東京工業大学,<br>報告番号:甲第10862号,<br>授与年月日:2018年3月26日,<br>学位の種別:課程博士,<br>審査員:大見 俊一郎,宗片 比呂夫,筒井 一生,渡辺 正裕,飯野 裕明,浅野 種正                                                                 |
| Citation(English) | Degree:Doctor (Engineering),<br>Conferring organization: Tokyo Institute of Technology,<br>Report number:甲第10862号,<br>Conferred date:2018/3/26,<br>Degree Type:Course doctor,<br>Examiner:,,,,, |
| 学位種別(和文)          | 博士論文                                                                                                                                                                                            |
| Category(English) | Doctoral Thesis                                                                                                                                                                                 |
| 種別(和文)            | 論文要旨                                                                                                                                                                                            |
| Type(English)     | Summary                                                                                                                                                                                         |

## 論文要旨

THESIS SUMMARY

専攻：物理電子システム創造専攻 専攻  
Department of  
学生氏名：工藤 聡也  
Student's Name

申請学位(専攻分野)：博士 (工学)  
Academic Degree Requested Doctor of  
指導教員(主)：大見 俊一郎  
Academic Supervisor(main)  
指導教員(副)：  
Academic Supervisor(sub)

要旨(和文 2000 字程度)  
Thesis Summary (approx.2000 Japanese Characters)

近年のポータブル情報通信機器の発達に伴い、不揮発性メモリの需要が増大している。従来用いられてきた浮遊ゲート(FG)型不揮発性メモリデバイスでは、制御ゲートと浮遊ゲート間容量のカップリング比の低下や、セル間のディスタースなどの課題により、微細化および高集積化が困難となってきた。これらの課題を克服するために、近年 Metal/Oxide/Nitride/Oxide/Si(MONOS)構造を有する電荷蓄積型の不揮発性メモリデバイスに関する研究が盛んに行われている。先行研究により、電子サイクロトロン共鳴(ECR)プラズマスパッタ法を用いて 1 チャンバー内でプロセスガスを切り替えることで、Hf 系高誘電率薄膜(HfO<sub>2</sub>/HfN/HfO<sub>2</sub>)および Hf 系ゲート電極(HfN)を全て in-situ プロセスにより形成した、全 Hf 系 MONOS ダイオードの電気特性が劇的に改善することが報告されている。一方、MONOS 型不揮発性メモリの薄膜化による低電圧動作化に伴い、Si 基板表面のラフネスを原子レベルで低減することが重要となる。原子レベル平坦化プロセスとして、超高純度 Ar 雰囲気、H<sub>2</sub> 雰囲気および O<sub>2</sub> 雰囲気における熱処理プロセスが報告されている。しかし、たとえば Ar 雰囲気中熱処理では雰囲気中の酸素濃度を ppb レベルまで低減する必要があるなどの、それぞれのプロセスには課題がある。そこで本研究では、Si(100)基板表面の原子レベル平坦化による Hf 系 MONOS デバイスの電気特性の向上を目的として、高純度電気炉を用いた Ar/H<sub>2</sub> 雰囲気中熱処理による Si(100)表面の原子レベル平坦化および Hf 系 MONOS 構造への応用に関する検討を行った。

まず、Ar/H<sub>2</sub> 混合雰囲気中熱処理による Si(100)表面原子レベル平坦化プロセスの確立を目的として、高純度石英炉を用いて熱処理条件の検討を行った。Ar 雰囲気および Ar/4%H<sub>2</sub> 混合雰囲気中で 600 - 1100°C/5 min の熱処理を行い、Ar/4%H<sub>2</sub> 混合雰囲気中での熱処理においては、600 - 900°C では Ar 雰囲気中と同様に熱処理温度に依存して、熱処理雰囲気中の残留酸素により意図せずに形成される SiO<sub>2</sub> 膜厚が増加することが分かった。一方、950 - 1100°C では SiO<sub>2</sub> 膜厚が減少し、さらに熱処理温度に依存せず 1.0 - 1.3 nm の SiO<sub>2</sub> が形成されることが分かった。Ar/4%H<sub>2</sub> 雰囲気中の熱処理においては、600 - 900°C では残留酸素による酸化が生じ、熱処理温度の増加とともに酸化レートが上昇した。一方、950 - 1100°C では残留酸素により形成された SiO<sub>2</sub> 膜がエッチングされ、膜厚が低減したと考えられる。さらに、Ar/4%H<sub>2</sub> 混合雰囲気中で 1050 - 1100°C/10 min の熱処理を行うことで、雰囲気中の残留酸素により形成される酸化膜をエッチングし Si(100)表面に部分的な原子ステップの形成を実現した。次に、

Ar/4%H<sub>2</sub> 雰囲気中で 1050°C/10 - 60 min の熱処理を行い、SiO<sub>2</sub> 膜をエッチングした後の表面ラフネスを評価し、10 - 60 min の熱処理において表面に原子ステップが形成され、熱処理時間の増加と共に表面 Root Mean Square(RMS)ラフネスが基板洗浄後の 0.22 nm から 60 min の平坦化により 0.10 nm に低減でき、テラス幅約 125 nm の原子レベル平坦表面を形成できることを明らかにした。これは、熱処理時間を増加させることで、熱処理の初期段階に生じる数マイクロメートル周期の表面ラフネスが低減しているためだと考えられる。

次に、Hf 系 MONOS 積層構造の形成プロセスおよび MONOS ゲート構造を有するダイオードの表面平坦化プロセスによる効果について検討を行った。原子レベル平坦化した Si(100)基板上に、ECR プラズマスパッタを用いて in-situ で HfN<sub>0.5</sub>(M)/HfO<sub>2</sub>(O)/HfN<sub>1.0</sub>(N)/HfO<sub>2</sub>(O)積層構造を形成し電気特性を評価した。Si 表面原子レベル平坦化により、書き込み条件 10 V/1 s、消去条件-8 V/1 s で測定した C-V 特性において、メモリウィンドウ(MW)が 1.9 V から 3.3 V に増加することが分かった。次に、室温での保持(retention)特性から、Si 表面原子レベル平坦化により外挿した 10 年後の MW が初期の MW と比較して 54%から 63%に増加することが分かった。Si 表面原子レベル平坦化により、界面のラフネスによる電界集中が緩和したため、局所的に放出する電子が減少し MW が増加したためであると考えられる。また、85°C で 10<sup>3</sup> 回の書き込み/消去(P/E)を行った疲労(endurance)特性から、P/E ストレスによる固定電荷および界面準位密度の増加が抑制され、MW の保持特性が初期の MW と比較して 78 %から 94 %まで増加することが分かった。さらに、疲労特性測定後に J-V 特性を評価した結果、リーク電流値が  $2.1 \times 10^{-5}$  A/cm<sup>2</sup> から  $2.0 \times 10^{-6}$  A/cm<sup>2</sup> (V<sub>G</sub>= -8 V)に低減することが分かった。これは、HfO<sub>2</sub>(Tunneling Layer: TL)/Si 界面のラフネスが低減したことにより、絶縁膜の信頼性が改善したためであると考えられる。

最後に、Hf 系 MONOS ゲート型不揮発性メモリ(Hf 系 MONOS NVM)の作製プロセスおよび Si 表面原子レベル平坦化プロセスの応用に関する検討を行った。まず、ゲートラストプロセスにより MISFET を作製するために、Hf 系 MONOS 積層構造を堆積後に RIE によりコンタクトホールを形成するプロセスを検討し、Ar/Cl<sub>2</sub> プラズマを用いたドライエッチングによりコンタクトホールの形成に成功した。さらに、ゲート長/ゲート幅(L/W)が 10 μm/90 μm のデバイスに対して、書き込み条件 10 V/1 s、消去条件-10 V/1 s、V<sub>DS</sub>1.5 V を用いて測定した Hf 系 MONOS NVM の I<sub>D</sub>-V<sub>G</sub> 特性から、4.2 V の MW を得ることに初めて成功した。また、書き込みメカニズムがソース/ドレイン端からの電子注入であることを明らかにし、チャネル方向に多値化出来ることを初めて示した。さらに、±6 V/2 ms でのメモリ特性を確認し、Hf 系 MONOS 型不揮発性メモリの高速・低電圧動作化の優位性を示した。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

## 論文要旨

### THESIS SUMMARY

専攻： 物理電子システム創造専攻 専攻  
Department of  
学生氏名： 工藤 聡也  
Student's Name

申請学位(専攻分野)： 博士 (工学)  
Academic Degree Requested Doctor of  
指導教員(主)： 大見 俊一郎  
Academic Supervisor(main)  
指導教員(副)：  
Academic Supervisor(sub)

要旨(英文 300 語程度)  
Thesis Summary (approx.300 English Words)

Recently, the Metal/Oxide/Nitride/Oxide/Silicon (MONOS) type non-volatile memory (NVM) with high-k gate insulator has attracted much attention to realize high performance NVM. We have reported that excellent electrical characteristics of in-situ formed Hf-based MONOS diodes utilizing electron cyclotron resonance (ECR) plasma sputtering. However, it is necessary to reduce the operation voltage by scaling down vertically, even for the Hf-based MONOS NVM. As scaling down the gate insulator thickness, Si surface flattening technology would be one of the key technologies to improve data reliability, operation voltage and speed. It has been reported that the atomically flat Si(100) surface is able to be obtained by annealing in Ar, H<sub>2</sub> and O<sub>2</sub> ambient. In this study, the electrical characteristics of Hf-based MONOS NVM on the atomically flat Si(100) surface formed by annealing in Ar/H<sub>2</sub> ambient were investigated.

First, the flattening process for Si(100) surface by annealing in Ar/H<sub>2</sub> mixture ambient utilizing the clean furnace was investigated. The thickness of the unintentionally formed oxide layer during annealing process was decreased by annealing from 950°C to 1100°C in Ar/4%H<sub>2</sub> ambient. Furthermore, it has been revealed that the atomically flat Si(100) surface was formed by annealing at 1050°C/60 min in Ar/4%H<sub>2</sub> ambient.

Next, the electrical characteristics of Hf-based MONOS diodes on the atomically flat Si(100) surface formed by annealing at 1050°C/60 min in Ar/4%H<sub>2</sub> ambient were investigated. It was found that the memory window (MW) by the program voltage and time ( $V_{\text{PGM}}/t_{\text{PGM}}$ ) of 10 V/1 s and the erase voltage and time ( $V_{\text{ERS}}/t_{\text{ERS}}$ ) of -8 V/1 s, respectively, was increased from 1.9 V to 3.3 V by flattening process.

Next, the metal-insulator-semiconductor field-effect transistor (MISFET) with in-situ formed Hf-based MONOS gate stacks structures (Hf-based MONOS NVM) were fabricated for the first time. It was found that the MW as large as 4.2 V was obtained by the  $V_{\text{PGM}}/t_{\text{PGM}}$  of 10 V/1 s and the  $V_{\text{ERS}}/t_{\text{ERS}}$  of -10 V/1 s, respectively. Furthermore, the low voltage and the short pulse operations, such as  $\pm 6$  V/2 ms were achieved.

In conclusion, atomically flat Si(100) surface was formed by annealing in Ar/H<sub>2</sub> mixture ambient and the effects of flattening process on Hf-based MONOS structure were investigated for the first time. The in-situ formed Hf-based MONOS NVM is promising for future scaling of charge trapping type NVM.

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note: Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1 copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).