

論文 / 著書情報
Article / Book Information

題目(和文)	無線通信用周波数シンセサイザの高性能化の研究
Title(English)	A study of high-performance frequency synthesizers for wireless communications
著者(和文)	池田翔
Author(English)	Sho Ikeda
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10533号, 授与年月日:2017年3月26日, 学位の種別:課程博士, 審査員:益 一哉,石原 昇,松澤 昭,若林 整,岡田 健一,伊藤 浩之,天川 修平
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10533号, Conferred date:2017/3/26, Degree Type:Course doctor, Examiner:,,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第			号	学位申請者氏名	池田翔	
論文審査 審査員		氏 名	職 名		氏 名	職 名	
	主査	益 一哉	教授	審査員	岡田健一	准教授	
	審査員	松澤 昭	教授		伊藤浩之	准教授	
		若林 整	教授		天川修平	准教授	
		石原 昇	特任教授				

論文審査の要旨（2000 字程度）

本論文は、将来の社会基盤にとって重要である無線通信システムに用いられる位相同期回路 (Phase-Locked Loop、PLL) の低消費電力化ならびに低位相雑音化について纏めたものであり、「無線通信用周波数シンセサイザの高性能化の研究 (Study of high-performance frequency synthesizers for wireless communications)」と題し、全文 6 章からなる。

第 1 章「序論」では、無線通信技術における PLL 技術の必要性和重要性について述べている。特に最近の無線通信において要求される PLL の性能指標について述べ、低位相雑音化と低消費電力化の二つが PLL の高性能化に必要であることを述べている。

第 2 章「周波数シンセサイザの原理」では、PLL の基本的な設計思想、および近年の研究開発の動向について述べている。PLL の位相雑音や安定性を決定するためのパラメータの設計手法を示し、それらの限界を打ち破る近年の研究開発の報告例の利点と欠点について述べている。

第 3 章「低電圧アナログ回路設計法」では、消費電力を低減させる手法としての低電源電圧動作に関する基本的事項および低電源電圧発振回路の高線形化技術について述べている。低電源電圧動作により消費電力の低減を可能にするが、雑音の悪化を招く。PLL の雑音をチャージポンプ回路と電圧制御発信器 (Voltage Controlled Oscillator, VCO) 回路に着目して解析した結果、PLL の消費電力は電源電圧の 2 乗にほぼ比例し、積分位相雑音は電源電圧の 2 乗にほぼ反比例することを示した。また、低電源電圧下で悪化するトランジスタのアナログ特性を改善する手法として、MOSFET への順方向バイアス印加手法についてその利点と欠点について議論している。さらに、順方向バイアス技術を周波数可変の観点から利用した 2 種類の高線形発振器を提案している。

第 4 章「PLL の低消費電力化技術」では、第 3 章で議論した設計方法論を基に設計、試作した PLL の性能について論じている。PLL の消費電力の主要因は VCO と分周器である。VCO として C 級動作する電流再利用型回路、分周器回路構成として注入同期型周波数分周器を利用することにより、消費電力を低減したことについて論じている。また、低電源電圧でサブサンプリング PLL 回路を実現するための位相比較器及びチャージポンプ回路技術についても述べている。

第 5 章「PLL の低位相雑音化技術」では、PLL の位相雑音を低減する手法について述べている。PLL の帯域内位相雑音は分周比の 2 乗に比例するため、基準周波数を高くすることで位相雑音を低減することが可能である。従来の基準周波数源であった数十 MHz の水晶振動子に代わり、GHz 程度の Bulk Acoustic Wave (BAW) 振動子を利用する技術について論じている。BAW 振動子の周波数精度を補正するためのチャンネル調整技術、及び周波数分解能を改善するためのカスケード PLL 構成について述べている。製造ばらつきを補正するためのフォアグラウンド動作、および温度ドリフトを補正するためのバックグラウンド動作によるチャンネル調整技術について論じている。

第 6 章「結論」では、本論文で得られた成果を総括し、今後の PLL 回路の低消費電力化・低位相雑音化に対する将来展望を述べている。VCO のさらなる低消費電力化のためのオンチップインダクタの高 Q 化、分周器の消費電力低減のための注入同期型分周器の高分周比化および広高ロックレンジ化技術について論じている。本論文で検討した高基準周波数の利用技術の今後の展開について、近年の主流となっているサブサンプリング PLL 回路構成に適用することで更なる低雑音化が実現できると論じている。

以上を要するに、本論文は将来の PLL の低消費電力化及び低位相雑音化に有用になると考えられる回路技術の提案及びその有用性を実証したものであり、学術上、工業上貢献するところが大きい。よって本論文を博士 (工学) の学位論文として十分価値あるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ (T2R2) にてインターネット公表されますので、公表可能な範囲の内容で作成してください。