T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	A STUDY OF SYNTHESIZABLE PHASE-LOCKED LOOP FOR CLOCK GENERATION
著者(和文)	YangDongsheng
Author(English)	Dongsheng Yang
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10565号, 授与年月日:2017年3月26日, 学位の種別:課程博士, 審査員:岡田 健一,松澤 昭,益 一哉,髙木 茂孝,伊藤 浩之,滝波 浩二
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第10565号, Conferred date:2017/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

Powered by T2R2 (Tokyo Institute Research Repository)

（博士課程）

論文審査の要旨及び審査員

報告番号	甲第　　号		学位申請者氏名		Yang Dongsheng	
論文審査 審査員		氏　名	職　名		氏　名	職　名
	主査	岡田　健一	准教授	審査員	伊藤　浩之	准教授
	審査員	松澤　昭	教授		滝波　浩二	パナソニック 課長
		益　一哉	教授			
		髙木　茂孝	教授			

論文審査の要旨（2000 字程度）

本論文は“A Study of Synthesizable Phase-Locked Loop for Clock Generation (自動合成可能なクロック生成用 PLL の研究)”と題し、英文八章からなっている。一般的なデジタル設計ツールにより位相同期回路(PLL: Phase-Locked Loop)の自動合成を可能とするため、要素回路を標準的な論理ゲートにより構成する方法を提案している。以下の各章では、PLL の基礎理論や自動合成に適した PLL の回路方式について論じている。

第一章“Introduction (序論)”では、無線通信技術に関する広範な技術背景について説明し、周波数シンセサイザに要求される性能や特徴について論じている。自動合成可能なアナログ回路の概念を定義しつつ、独自の観点からその重要性を説いている。

第二章“Fundamental of Clock Generation Circuit (クロック生成回路の基本理論)”では、電圧制御発振器(VCO: Voltage-Controlled Oscillator)や PLL の動作原理を詳述し、その評価指標である位相雑音やジッタについて説明している。また、デジタル PLL を構成するデジタル制御発振器(DCO: Digitally-Controlled Oscillator)等の要素回路についてそれらの動作原理を説明している。

第三章“A Fully Synthesizable PLL with a Current Output DAC and an Interpolative Phase-coupled Oscillator Using Edge Injection Technique (電流出力 DAC およびエッジ注入技術を用いた位相補間型発振器による自動合成可能 PLL)”では、二重ループ型の注入同期 PLL の要素回路である電流出力 DAC(Digital-to-Analog Converter)や位相補間型発振器について動作解析や詳細な設計方法を説明している。65nm CMOS プロセス技術により製造した提案型の PLL は、論理ゲートのみで構成されているため 110μm×60μm の非常に小さい面積での実装を可能としている。0.9GHz 出力時の消費電力は 0.78mW で、1.7ps のジッタ性能を達成している。

第四章“A Fully Synthesizable Injection-locked PLL with Feedback Current Output DAC (帰還型電流出力 DAC を用いた自動合成可能な注入同期 PLL)”では、第三章における電流出力 DAC に帰還構成を加えることで線形性を向上させる方法について提案している。提案する電流出力 DAC を用いたデジタル PLL を、28nm SOI プロセス技術により製造し、提案型 PLL の有効性を示している。

第五章“A Fully Synthesizable PLL Using Stochastic TDC (統計的 TDC を用いた合成可能 PLL)”では、時間デジタル変換器(TDC: Time-to-Digital Converter)を自動合成に適した統計的線形化技術により実現する方法を提案している。本 TDC では論理ゲートの統計的ばらつきにより等価的に時間差を設定することでデジタル変換を行っている。提案する統計的 TDC を用いたデジタル PLL を、28nm SOI プロセス技術により製造し、提案回路の有効性を実証している。

第六章“An LC-DCO Based Synthesizable Injection-locked PLL (LC 型 DCO を用いた注入同期 PLL)”では、PLL を論理ゲートだけで構成するのではなく、インダクタをマクロセルとして追加することで大幅な性能向上が果たせることを実証している。リング型 DCO の代わりにインダクタとキャパシタによる LC 共振器型 DCO を用いている。65nm CMOS プロセス技術により製造した提案型の PLL は、性能指標において-250.3dB の世界最高性能を達成している。

第七章“A Synthesizable Fractional-N PLL with a Soft Injection-locking Technique (ソフト注入による分数逓倍 PLL)”では、自動合成でも実現可能な多位相発振器により分数逓倍を実現する方法を提案している。多位相発振器に微弱な電荷注入を行うことにより、分数逓倍時のスプリアス発生を抑える回路構成を提案している。提案型の PLL を 65nm CMOS プロセス技術によりを製造し、世界で初めて自動合成による分数逓倍型 PLL を実現している。

第八章“Conclusions and Future Work (結論と展望)”では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。以上を要するに、本論文は自動合成可能な PLL の高性能化について論じたもので、工学上、学術上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。