

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	A Fast and Accurate Statistical Bus Model for Efficient Performance Estimation of Shared Bus Based MPSoC Architectures
著者(和文)	SHAFIQFARHAN
Author(English)	Farhan Shafiq
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10566号, 授与年月日:2017年3月26日, 学位の種別:課程博士, 審査員:一色 剛,上野 修一,高橋 篤司,原 祐子,中原 啓貴,伊藤 和人
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第10566号, Conferred date:2017/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

(2000字程度)

報告番号	乙 第 号	学位申請者	Farhan Shafiq	
論文審査員	氏 名	職 名	氏 名	職 名
	主査 一色 剛	教授	中原 啓貴	准教授
	上野 修一	教授	伊藤 和人	教授(埼玉大学)
	高橋 篤司	教授		
	原 祐子	准教授		

本論文は、A Fast and Accurate Statistical Bus Model for Efficient Performance Estimation of Shared Bus Based MPSoC Architectures (高速・高精度な統計学的バスモデルによる共有バス結合型マルチプロセッサシステムオンチップの効率的性能見積り手法)と題し、英文7章から構成されている。

第一章 Introduction (緒言) では、近年のスマートフォンに代表される高機能 SoC (システムオンチップ) は複数のプロセッサを搭載したマルチプロセッサ構成が主流となっている中、各プロセッサにおける演算処理時間とプロセッサ間通信時間を考慮したシステム性能見積りの複雑度が、システム規模とともに飛躍的に増加していることに着目し、特にシステム性能に大きな影響を与えるプロセッサ間通信競合に起因する通信遅延時間予測における技術課題について述べている。その中で、命令セットシミュレータとバスシミュレータを組合せたシステムシミュレーション手法は、システム規模の増加に伴うシミュレーション時間の増大が大きな問題であり、一方で、少ない計算量で通信遅延時間を見積るための従来の統計学的バスモデル化手法は、多様なバス通信統計量(通信データ長の確率分布)を正確にモデル化できないことによる精度の低下が問題であり、いずれの既存アプローチも現状のマルチプロセッサ SoC の通信モデル化手法として不十分であると指摘している。このような背景の下で、本論文は、マルチプロセッサ SoC のバス通信の実際の統計量からバス競合による通信遅延時間を高精度に予測するための新たな統計学的バスモデルを提案し、このバスモデルをトレース駆動型ワークロードシミュレータ上に実装し、マルチプロセッサ SoC の性能予測精度と計算時間における優位性を実証することが本論文の目的であると述べている。

第二章 Trace Driven Workload Simulation Flow with Statistical Bus Model (トレース駆動型ワークロードシミュレーションフローと統計学的バスモデル) では、マルチプロセッサ SoC の性能予測を実行するための従来のトレース駆動型ワークロードシミュレーション手法を概説し、バス通信遅延時間をシミュレーション手法で求める時に生じる大きな計算オーバーヘッドの原因を明らかにしている。さらに、ワークロードシミュレーションによってバス通信統計量を高速に計測する機構を活用し、これら統計量からバス通信遅延時間を予測する統計学的バスモデルを考案することによって、マルチプロセッサ SoC の性能予測を高精度で高速に実行するためのフレームワークが実現できることを述べている。

第三章 Single Blocking Model (単一ブロッキングモデル) では、統計学的バスモデルを構築するための単純化されたバスモデルである「単一ブロッキングモデル」を提案している。各プロセッサのバス要求が、高々一回だけブロックされる(バス要求が拒否される)ことを仮定する「単一ブロッキングモデル」は、2プロセッサ構成でバースト通信(DMAなどによる連続したバス通信)が発生しない通信モデルであり、バス通信統計量(バス要求発生確率、通信データ長の確率分布)から個々のバス要求に対するバス遅延時間の期待値を厳密に定式化することで、全体のバス遅延時間を高精度に予測する数学的モデルを導出している。

第四章 Burst Blocking Model (バースト型ブロッキングモデル) では、前章で述べた「単一ブロッキングモデル」を拡張し、2プロセッサ構成において、優先度の高いプロセッサにおけるバースト通信によって優先度の低いプロセッサのバス要求が連続的にブロックされる「バースト型ブロッキングモデル」を提案している。個々のバス要求遅延に寄与するバースト通信の確率過程をバースト通信発生確率から厳密に計算する手法を新たに導入することにより、「単一ブロッキングモデル」と等価な数学的モデルを導出している。

第五章 Multiple Blocking Model (複数ブロッキングモデル) では、前章で述べた「バースト型ブロッキングモデル」を3プロセッサ以上の構成における一般的バスモデルへ拡張した手法を提案している。ここでは、各プロセッサのバス通信統計量から、複数プロセッサのバス通信が連続的に発生する確率過程を計算する手法を新たに導入することにより、優先度の低いプロセッサのバス要求が複数のプロセッサによって連続的にブロッキングされる事象をモデル化することに成功し、バス要求遅延が頻繁に発生するマルチプロセッサシステムの高精度な統計学的バスモデルを導出している。

第六章 Experimental Results (実験結果) では、第三章から第五章で提案した三つの統計学的バスモデルについて、人工的に合成されたバストラフィックモデルと4つの並列計算ベンチマークで得られたバストラフィックデータについて計算機実験を行い、バス遅延時間の見積り精度と計算時間について評価している。2プロセッサ構成の合成バストラフィックモデルによる「単一ブロッキングモデル」と「バースト型ブロッキングモデル」の比較実験では、バースト通信発生確率の増加に伴い、前者では0.2%から7.3%へ見積り誤差が悪化するのに対し、後者では常に0.1%以下の見積り誤差が達成されることを示している。また、4~8プロセッサ構成の並列計算ベンチマークによる実験では、通信競合が頻発する場合に「バースト型ブロッキングモデル」が13.9%の見積り誤差に悪化するのに対し、「マルチブロッキングモデル」では2.7%の見積り誤差に改善されることを示している。シミュレーション技法と比較した計算時間は、

通信競合が比較的少ない場合で 6 倍程度、通信競合が頻発する場合で 60 倍程度の高速化が示されている。

第七章 Conclusion (結言) では、本論文で得られた結果をまとめ、残された課題を述べている。

以上を要するに、本論文はマルチプロセッサ SoC の実際のバス通信統計量からバス競合による通信遅延時間を高精度に予測するための新たな統計学的バスモデルを考案し、バス通信遅延を反映した高精度なシステム性能見積りの計算時間を飛躍的に短縮することを実証したものであり、工学上および学術上貢献することが大きい。よって、我々は本論文が博士 (学術) の学位論文として十分価値があるものと認める。

公表論文リスト

a. Journal Papers

- [1] Farhan Shafiq, Tsuyoshi Isshiki, Dongju Li, "An Accurate and Fast Trace-aware Performance Estimation Model For Prioritized MPSoC Bus With Multiple Interfering Bus-Masters", IPSJ Transactions on System LSI Design Methodology, Vol.10 February issue, pp13-27, 2017
- [2] Farhan Shafiq, Tsuyoshi Isshiki, Dongju. Li and Hiroaki Kunieda, "A Fast Trace Aware Statistical Based Prediction Model with Burst Traffic Modeling for Contention Stall in A Priority Based MPSoC Bus, IPSJ Transactions on System LSI Design Methodology, Vol.9 February issue, pp 1-12, 2016

b. International Conference

- [1] Farhan Shafiq, Tsuyoshi Isshiki, Dongju Li and Hiroaki Kunieda, "A Fast and Highly Accurate Statistical Based Model for Performance Estimation of MPSoC on- Chip Bus," in SASIMI, Yilan, Taiwan, 2015