

論文 / 著書情報
Article / Book Information

論題(和文)	ゲート付き4端子法によるMoS2 FET の電気特性評価
Title(English)	Gated Four-Probe Method for Evaluation of Electrical Characteristics in MoS2 Field-Effect Transistors
著者(和文)	大場智昭, 川那子高暢, 小田俊理
Authors(English)	T. Oba, T. Kawanago, S. Oda
出典	第79回応用物理学会秋季学術講演会 講演予稿集
講演番号	19a-311-6
発行日	2018, 9

ゲート付き 4 端子法による MoS₂ FET の電気特性評価

Gated Four-Probe Method for Evaluation of Electrical Characteristics in MoS₂ Field-Effect Transistors

東工大未来研 工学院電気電子系 ○大場智昭、川那子高暢、小田俊理

Tokyo Tech. QNERC and Dept of EE °T. Oba, T. Kawanago, S. Oda

E-mail: oba.t.ae@m.titech.ac.jp

【はじめに】

二硫化モリブデン(MoS₂)は天然の鉱物として存在し、バンドギャップが 1.2~1.8 eV の値を示す層状構造の無機単結晶半導体である。また膜厚を 1 分子層単位で調節できる、ダングリングボンドがないなどの層状構造特有の特徴をもつため、電界効果トランジスタ(FET)のチャネル材料として有望視されている。本研究ではバックゲート構造の MoS₂ FET を作製し、source と drain 電極の間に電圧測定端子を新たに形成することでチャネル内の電圧差を測定した。測定したチャネル電圧差と Drain-Source 電流から、MoS₂ FET のコンタクト抵抗やキャリア移動度を評価した。

【実験方法】SPM 及び 1%HF で洗浄した p⁺-Si 基板上に SiO₂ を作製し、その上に Al₂O₃ を原子層堆積法 (ALD) によって形成した。次に、Ti(10nm)/Au(40nm)の source/drain コンタクト及び電圧測定端子を作製した。Ti は Au と Al₂O₃ との密着層として用いた。基板裏面には、真空蒸着により Ti(30nm)/Au(20nm)を堆積し、バックゲートを作製した。その後、酸素プラズマを照射し、Al₂O₃ 表面にヒドロキシ基を形成し SAM を溶かした 2-プロパノールに浸漬することで SAM/Al₂O₃ 構造を作製した。ゲート絶縁膜作製後、MoS₂ を剥離法によって基板上に転写した。PDMS とマイクロマニピュレータを用いる事で、MoS₂ をパターニングした基板上に転写した[1]。最後に、窒素雰囲気中、150 °C、30 分間の熱処理を行った。図 1 に、作製したデバイスの構造を示す。

【実験結果】Si 基板を用いた MOS キャパシタの容量-電圧特性から SiO₂ の膜厚は 15.7 nm、Al₂O₃ の膜厚は 14 nm であり、SAM/Al₂O₃/SiO₂ 全体の容量値は 0.13 $\mu\text{F}/\text{cm}^2$ であった。図 2 に、ゲート付き 4 端子法によって測定した MoS₂ FET のコンタクト抵抗を示す。コンタクト抵抗は、 $10^2 \sim 10^3 \Omega \text{ cm}$ と低い値を示した。同様にゲート付き 4 端子法によって測定したチャネル移動度は、 $26 \text{ cm}^2/\text{Vs}$ であった。詳細は当日報告する。

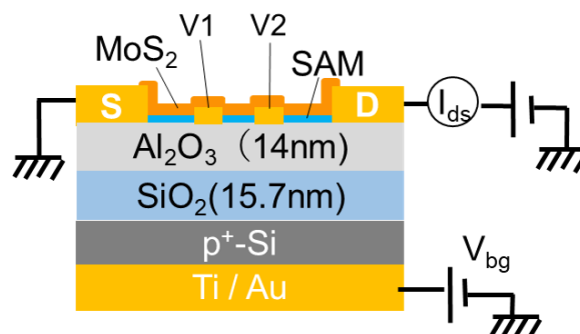


Fig.1 Device structure

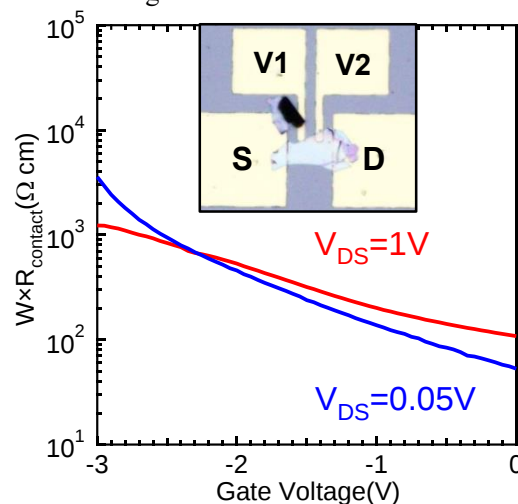


Fig.2 Contact Resistance of MoS₂ FET with SAM-based gate dielectrics and Microscope image of fabricated FET

【参考文献】

[1] A. C. Gomez et al., 2D Mater. 1, 011002 (2014).

【謝辞】

本研究に関して、ご協力頂いた東京工業大学の河野行雄准教授に感謝致します。

本研究は、JST-CREST(JPMJCR16F4)、科研費若手(B)(17K14662)および矢崎科学技術振興記念財団の支援により実施された。

デバイス作製は東京工業大学の角嶋邦之准教授、若林整教授、筒井一生教授にご協力いただいた。