

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Threshold voltage control technology in metal/high-k pFET consisting of high germanium content SiGe channel and fixed charge/oxygen vacancy control in gate stack
著者(和文)	山口晋平
Author(English)	Shimpei Yamaguchi
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10986号, 授与年月日:2018年9月20日, 学位の種別:課程博士, 審査員:若林 整,筒井 一生,渡辺 正裕,大見 俊一郎,角嶋 邦之
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10986号, Conferred date:2018/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名		山口 晋平	
		氏名	職名		氏名	職名
論文審査 審査員	主査	若林 整	教授	審査員	角嶋 邦之	准教授
	審査員	筒井 一生	教授			
		渡辺 正裕	准教授			
		大見 俊一郎	准教授			

論文審査の要旨 (2000 字程度)

本論文は「Threshold voltage control technology in metal/high-k p FET consisting of high germanium content SiGe channel and fixed charge/oxygen vacancy control in gate stack (高 Ge 濃度 SiGe チャンネルと固定電荷および酸素空孔制御による metal/high-k p FET の閾値制御技術)」と題し、英文 6 章から構成されている。

第 1 章「Research background and Introduction of this work」では、本研究の背景として、CMOS デバイスのスケーリングおよびその一要素である反転時ゲート絶縁膜厚(T_{inv})スケーリングの観点から、金属ゲート電極および高誘電率(High-k)ゲート絶縁膜の導入の背景について述べている。金属/高誘電率膜ゲート積層構造の実用化に際して、最大の課題である p 型 MISFET (p FET)におけるしきい値電圧(V_t)の絶対値の増加について解説し、これを克服するための p FET における V_t 制御技術について、従来提唱されてきた技術を述べている。以上の背景から本研究の目的および論文構成を示している。

第 2 章「 p FET effective work function control techniques in RMG」では、リプレースメント金属ゲート(RMG) Fin 型 FET における p FET における V_t 制御技術として極薄 T_{inv} 領域において、非晶質シリコン/窒化チタン犠牲膜成膜後アニール(WSA)によって実用的な p FET における V_t を実現できることを示している。また、その V_t 変動および信頼性を含むトランジスタ特性変動を、 HfO_2 膜中固定電荷・酸素空孔の制御などの物理メカニズムより明らかにしている。また従来技術との比較により本技術の CMOS インテグレーション上の優位性や複数しきい値電圧(Multi- V_t)プロセスへの適用などの今後の研究課題について述べている。

第 3 章「Process temperature impact on $Si_{1-x}Ge_x$ channel transistor」では、本研究で試作したゲートファースト(Gate-First)シリコンゲルマニウム(SiGe)混晶チャンネルをもつ p FET の素子構造とプロセスフローについて述べている。また、SiGe チャンネル p FET デバイス特性のプロセス温度依存性について、実験結果より議論している。その中でプロセス温度選択による種々のデバイス特性上のトレードオフを明らかにし、主目的である p FET における低い V_t を実現しつつ、他のトランジスタ特性へ悪影響を与えないために最適な SiGe チャンネル素子構造およびプロセス条件を示している。具体的には、イオン注入技術で形成したソース・ドレイン(S/D)領域を持たない Implant Free 構造によってプロセスを低温化し、SiGe チャンネルの結晶性を高く維持することで p FET における低い V_t と高移動度を同時に実現している。

第 4 章「Strain effect in $Si_{1-x}Ge_x$ channel p FET」では、SiGe チャンネル内に印可された歪みによる移動度変動について議論している。埋め込み SiGe (embedded SiGe: eSiGe)による応力印加構造とのプロセス統合時および狭チャンネルでの SiGe チャンネル内の歪み変動を議論し、それらによる移動度・デバイス特性の改善メカニズムをシミュレーション(TCAD)と実験により明らかにしている。eSiGe との組み合わせで移動度が改善するメカニズムとして、SiGe/Si ヘテロエピタキシャル構造に起因した 2 軸圧縮歪により、ピエゾ係数が増加した可能性について指摘している。eSiGe とのプロセス統合および狭チャンネル化による移動度改善によってプレーナー型 SiGe チャンネルとしては最高レベルの I_{off}/I_{on} 特性を得ている。

第 5 章「Scalability of $Si_{1-x}Ge_x$ channel p FETs」では、SiGe チャンネル素子のスケールビリティおよび交流特性について議論している。Sub-20-nm 世代でのゲート電極長 20 nm 程度への微細化をプレーナー型トランジスタで実現するには、せり上げ S/D エクステンション構造が必須であることを示している。

第 6 章「Conclusions and Future Direction」では、本論文で述べた各章をまとめ、WSA のさらなる物理メカニズムの解明のための諸提言や、SiGe チャンネル p FET のトランジスタ特性の更なる高性能化に向けた指針を示している。一方、Sub-5-nm 以降で導入の機運が高まっている RMG SiGe-FinFET を念頭に、本論文で示した WSA 技術と SiGe 技術の組み合わせ時に起こりうる課題について述べている。

以上を要するに、本論文は、ナノレベルに微細化された先端ロジック LSI 向けトランジスタの高速・低消費電力化技術について多くの知見を述べたものであり、工学上、工業上、貢献することが大きい。よって我々は、本論文が博士(工学)の学位論文として十分価値あるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。