

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Study of Digital-Intensive Ultra-Low-Power Wireless Transceiver
著者(和文)	Bangan Liu
Author(English)	Bangan Liu
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第11314号, 授与年月日:2019年9月20日, 学位の種別:課程博士, 審査員:岡田 健一,高木 茂孝,本村 真人,徳田 崇,伊藤 浩之,飯塚 哲也
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第11314号, Conferred date:2019/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Liu Bangan	
論文審査 審査員		氏名	職名		
	主査	岡田 健一	教授	伊藤 浩之	准教授
	審査員	高木 茂孝	教授	飯塚 哲也	東京大学 准教授
		本村 真人	教授		
		徳田 崇	教授		

論文審査の要旨 (2000 字程度)

本論文は“Study of Digital-Intensive Ultra-Low-Power Wireless Transceiver (デジタル型回路構成による超低消費電力無線機の研究)”と題し、英文六章からなっている。

第一章“Introduction (序論)”では、Internet-of-Things (IoT)に求められる無線技術の要件について広範に調査した結果をまとめ、特に、デジタル型回路構成が CMOS 集積回路の微細化により性能面で有利になっていることや、設計工数に関する要請について詳述している。

第二章“Basics of Low-Power Wireless Transceivers (低消費電力無線機の基礎)”では、低消費電力な無線機の具体的な回路構成を示した上で、そのシステム設計方法について概説している。電圧制御発振器の動作原理を詳述し、その評価指標である位相雑音やジッタについて説明している。特に無線機用の周波数シンセサイザとして用いる分数通倍型 PLL の方式や性能面での得失について議論し、デジタル型の PLL の優位性について論じている。また、IoT 向けの無線機における消費エネルギーの傾向について調査し、時分割複信型の無線機では PLL の消費電力や起動時間の影響が大きいことを示し、PLL の低エネルギー化の重要性について説明している。

第三章“Fully-Synthesizable Digital-Intensive Frequency Synthesizer (自動合成可能なデジタル型周波数シンセサイザ)”では、論理ゲートのみで PLL 回路を構成することで、ハードウェア記述言語でデジタル型 PLL の回路表現が可能であることを示し、標準的なデジタル回路向けの設計ツールを用いて、PLL のレイアウトの自動合成が可能であることを示している。また、注入同期方式の PLL により、広帯域かつ低ジッタな特性を実現する方法を示しており、対称構造を持つマルチプレクサや位相差検出器と、検出器自体が持つ位相差をキャンセルする回路方式について提案している。提案型の PLL を 65nm CMOS プロセス技術により製造し、消費電力は 1.2mW で、0.4ps の RMS ジッタ性能を達成している。また、論理ゲートによる Digital-to-Time Converter (DTC)回路を用いて分数通倍型 PLL を構成する際に、DTC の非線形性により PLL のスプリアス特性が劣化することについて論じている。非線形性の発生パターンに着目し、線形補償を行う方式を提案しており、シミュレーションおよび実測結果を通して、提案手法の有効性を示している。

第四章“Fully-Synthesizable Digital-Intensive Sub-GHz IoT Transceiver (自動合成可能なデジタル型 Sub-GHz IoT 無線機)”では、IoT 向け無線機に求められる性能について具体的な数値例とともに詳述しており、デジタル型無線機の優位性について述べるとともに、大部分が論理ゲートで構成可能な回路方式を提案している。65nm CMOS プロセス技術による試作機において、920MHz 帯の無線規格に準拠した無線通信が可能であることを示しており、GMSK 変調による 500kbps の通信速度を達成している。送信時の消費電力が 3.3mW、受信時の消費電力が 4.6mW であり、デジタル構成による低消費電力化が可能であることを実証している。

第五章“Digital-Intensive Differential Duobinary Modulator (デジタル型差動デュオバイナリ変調器)”では、従来のアナログ型無線機に用いるミキサ回路やデジタル-アナログ変換器の電力効率面での課題について説明し、差動型の回路構成を用いることでデュオバイナリ変調と FIR フィルタ動作を同時に実現する回路方式を提案している。65nm CMOS プロセス技術による試作機において、1.7Gbps 変調時に 24.3mW の世界最小の消費電力を達成している。

第六章“Conclusions and Future Work (結論と展望)”では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。

以上を要するに、本論文は IoT 向け無線機をデジタル構成で実現することにより、短い設計時間でも高性能を実現できる回路方式および設計手法を論じたもので、学術上、産業上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。