

論文 / 著書情報
Article / Book Information

題目(和文)	システムインパッケージ向け高密度・高信頼性の二次元 / 三次元集積を実現するチップ内蔵とファンアウトパッケージング技術
Title(English)	Embedded Die and Fan-Out Packaging Technologies Enabling High Density and Reliable 2D/3D Integration for System in Package
著者(和文)	森健太郎
Author(English)	Kentaro Mori
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第11756号, 授与年月日:2022年3月26日, 学位の種別:課程博士, 審査員:若林 整,筒井 一生,岡田 健一,角嶋 邦之,伊藤 浩之
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第11756号, Conferred date:2022/3/26, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第		号	学位申請者氏名		森 健太郎	
論文審査 審査員		氏 名		職 名		氏 名	職 名
	主査	若林 整		教授		伊藤浩之	准教授
	審査員	筒井一生		教授	審査員		
		岡田健一		教授			
		角嶋邦之		准教授			

論文審査の要旨 (2000 字程度)

本論文は、“Embedded Die and Fan-Out Packaging Technologies Enabling High Density and Reliable 2D/3D Integration for System in Package” (邦題「システムインパッケージ向け高密度・高信頼性の二次元/三次元集積を実現するチップ内蔵とファンアウトパッケージング技術」)と題し、英文7章で構成されている。

第1章の“Introduction”では、本研究の導入として半導体産業と Systems on a Chip (SoC)の潮流を述べ、実装技術の重要性について述べている。その上で、2次元(2D)および3次元(3D)構造を持つ System in a Package (SiP)技術について、高密度かつ高信頼性を実現する独自の中間プロセス技術とパッケージインテグレーション技術により実証することを目的とすることを述べている。

第2章の“A Package-on-Package Technology Using Coreless Substrate with Cu Posts”では、コアレス基板における銅ポストを用いた薄型 Package-on-Package (PoP)技術について述べている。特に、銅ポストをエッチングにより形成する際に、異方性噴き上げスプレー技術とマスクベンディング技術を用いることにより、低コストに銅ポストのアスペクト比を大きくすることができ、ピンのピッチを 0.5 mm から 0.4 mm に小さくすることができることを述べている。

第3章の“Embedded Active Die Package for High-Pin-Count LSI With Cu Plate”では、銅基板上に形成する埋め込みダイ実装技術について述べている。特に、銅基板を用いることにより、薄膜化した LSI チップの反りが小さくなること、また熱分布計算より FCBGA (Flip-Chip Ball-Grid Array)に比べてチップの高温化を抑制することができるために、ハンダボール不良を抑制できることを述べている。また、銅基板により磁気シールドの効果があることも述べている。

第4章の“5-in-1 Fan-Out Wafer-Level Packaging Technology with One Chip and Four Memory Chips for Internet of Things Modules”では、IoT モジュール向けに1つの人工知能(Artificial Intelligence: AI)チップと4つのメモリチップを統合する 5-in-1 ファンアウトウェーハレベルパッケージ(FOWLP)技術について述べている。特に、ガラス支持基板を用いた Die-first/face-down 技術について、低弾性係数モールド材料によりパッケージ歪みを抑制でき、複数のチップの二次元実装が可能となっていることを述べている。

第5章の“3D Integration Technology with Photosensitive Mold for Fan-Out Package”では、感光性モールド材料を用いたパッケージング技術について述べている。特に、モールド材料の Chemical-Mechanical Polishing (CMP)工程が必要なくなることから、Re-Distribution Layer (RDL)層形成におけるプロセスステップ数を大幅に低減できることを述べている。また、低弾性係数モールド材料により膜歪みを低減できることから、モールド膜厚が 150 μm 程度でも銅配線を信頼性高く形成できることを述べている。

第6章の“High Density and Reliable Packaging Technology with Non Conductive Film for 3D/TSV”では、フリップチップパッケー技術における銅ピラー間のハンダ圧着プロセスについて、非導電性フィルム(Non-Conductive Film: NCF)を使用することにより、Underfill 材料の流出を抑制しつつ、銅ピラー間のハンダの導通を確保できることを述べている。ただし、ハンダ間に挟まれた非導電膜の存在は依然問題であることも述べている。

第7章の”Conclusions”では、本研究で得られた結果をまとめ、今後の展望について述べている。特に、各章で述べた技術の得失についてまとめている。その上で、新しいハイブリッドボンディング技術には Through Silicon Via (TSV) 径の縮小と高アスペクト化によりスケーリングを期待できることを述べ、実現には、前工程と後工程の間に位置するプロセスの高度化が重要であることを述べている。

以上を要するに本論文は、高密度で信頼性の高いパッケージング技術を将来の AI エッジコンピューティングや大容量メモリモジュールに適用できることを示しており、SiP プロセス開発の方向性に関する検討を行ったもので、工学上並びに工業上寄与するところが多い。よって我々は本論文が博士(工学)の学位論文として十分価値あるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。