

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	A Study of Fractional-N Oversampling Frequency Synthesizers Using Digital-Assisted Calibration
著者(和文)	QiuJunjun
Author(English)	Junjun Qiu
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第12279号, 授与年月日:2022年6月30日, 学位の種別:課程博士, 審査員:岡田 健一,高木 茂孝,本村 真人,徳田 崇,伊藤 浩之,飯塚 哲也
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第12279号, Conferred date:2022/6/30, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Qiu Junjun		
論文審査 審査員		氏名	職名		氏名	職名
	主査	岡田 健一	教授		伊藤 浩之	准教授
	審査員	高木 茂孝	教授	審査員	飯塚 哲也	東京大学 准教授
		本村 真人	教授			
徳田 崇		教授				

論文審査の要旨 (2000 字程度)

本論文は“A Study of Fractional-N Oversampling Frequency Synthesizers Using Digital-Assisted Calibration (デジタル補償技術を用いた分数通倍型オーバーサンプリング周波数シンセサイザの研究)”と題し、英文七章からなっている。

第一章“Introduction (序論)”では、Internet-of-Things に求められる無線技術や低消費電力集積回路技術について広範に調査した結果をまとめ、周波数シンセサイザにおいて特に Phase-Locked Loop (PLL) に求められる技術的要件やデジタル PLL の利点について論じている。

第二章“Conventional Sampling PLL Design and Limitation (従来のサンプリング PLL の構成と課題)”では、分数通倍型のデジタル PLL について、その構成方法や課題点について説明している。デジタル PLL を構成する主要な回路ブロックとして、時間デジタル変換器、デジタル時間変換器、デジタル制御発振器等があり、それらの動作原理と PLL 全体の性能に与える影響について論じている。

第三章“Uniform Oversampling PLL Design (等間隔オーバーサンプリング PLL)”では、32kHz の低い基準信号を用いて動作するオーバーサンプリング PLL (OSPLL: Over-Sampling PLL) の構成方法について論じている。従来型の PLL では、基準信号の立ち上がりタイミングの情報のみを位相検出に利用しており、それによりループ帯域幅が基準周波数の 10% 程度となる制限がある。この制限を回避してループ帯域幅を広げるために、基準信号をオーバーサンプリングして実効的に基準信号の周波数を高く見せる OSPLL を提案している。基準信号の電圧情報も含めてサンプリングすることで、オーバーサンプリング動作を実現している。デジタルアナログ変換器とデジタル時間変換器を用いて、あらかじめ電圧補償と時間補償を行うことで比較器に必要な変換範囲を狭くし、量子化誤差を低減している。32kHz の基準信号から 2.4GHz を出力する分数通倍型の OSPLL を 65nm CMOS プロセス技術により試作評価し、200kHz のループ帯域幅と 5.8ps のジッタ性能を達成している。

第四章“Non-Uniform Oversampling PLL Design (不等間隔オーバーサンプリング PLL)”では、帯域内位相雑音のさらなる低減のため、不等間隔 OSPLL (NU-OSPLL: Non-Uniform OSPLL) を提案している。基準信号の傾きの大きい領域を集中的にサンプリングすることで、ジッタ特性の改善を実現している。ループ遅延の変動を補償するために、フィルタ特性をサンプリング点ごとに変化させ、なおかつ、フィルタの係数を自動的に最適化する技術を提案している。試作評価の結果、200kHz のループ帯域幅で 5.0ps のジッタ性能を達成している。

第五章“Reference-Switch Oversampling PLL Design (基準信号切り替え型オーバーサンプリング PLL)”では、基準信号の傾きの小さいサンプリング点によるジッタ特性の劣化を避けるため、基準信号を切り替えて利用する基準信号切り替え型 OSPLL (RS-OSPLL: Reference-Switch OSPLL) を提案している。水晶発振器の入出力で位相が 90 度程度ずれることを利用して、それらの信号のうち傾きの大きい信号を選択することで、ジッタ特性の改善を実現している。試作評価の結果、200kHz のループ帯域幅で 4.3ps のジッタ性能を達成している。

第六章“PLL Application in Receiver Baseband Circuit (受信ベースバンド回路への PLL 技術の応用)”では、デジタル PLL の回路技術を受信ベースバンド回路へ応用する方法について論じている。提案するデジタルベースバンド回路は、搬送波周波数との同期動作と、最適なサンプリング点の捕捉のためのタイミング同期動作を、PLL に用いる帰還制御により実現している。試作回路において、信号対雑音比 15dB の条件において 0.0001% 以下のビット誤り率を達成している。

第七章“Conclusion and Future Work (結論と展望)”では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。

以上を要するに、本論文は周波数シンセサイザにおいてオーバーサンプリングによる広ループ帯域化と低ジッタ化を可能とする回路構成方法を論じたもので、学術上、産業上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。

注意: 「論文審査の要旨及び審査員」は、東工大リサーチポータル(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。