

論文 / 著書情報  
Article / Book Information

|                   |                                                                                                                                                                                                |
|-------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 題目(和文)            | 高信頼性・大容量SRAMの微細化に向けた先端プロセス技術                                                                                                                                                                   |
| Title(English)    | Advanced Process Technologies for High-Reliability and High-Capacity SRAM Scaling                                                                                                              |
| 著者(和文)            | 石丸一成                                                                                                                                                                                           |
| Author(English)   | Kazunari Ishimaru                                                                                                                                                                              |
| 出典(和文)            | 学位:博士(工学),<br>学位授与機関:東京工業大学,<br>報告番号:甲第12273号,<br>授与年月日:2022年6月30日,<br>学位の種別:課程博士,<br>審査員:若林 整,筒井 一生,宮本 恭幸,菅原 聡,角嶋 邦之                                                                          |
| Citation(English) | Degree:Doctor (Engineering),<br>Conferring organization: Tokyo Institute of Technology,<br>Report number:甲第12273号,<br>Conferred date:2022/6/30,<br>Degree Type:Course doctor,<br>Examiner:,,,, |
| 学位種別(和文)          | 博士論文                                                                                                                                                                                           |
| Category(English) | Doctoral Thesis                                                                                                                                                                                |
| 種別(和文)            | 審査の要旨                                                                                                                                                                                          |
| Type(English)     | Exam Summary                                                                                                                                                                                   |

(博士課程)

## 論文審査の要旨及び審査員

| 報告番号        | 甲第  | 号     | 学位申請者氏名 |     | 石丸一成  |     |
|-------------|-----|-------|---------|-----|-------|-----|
| 論文審査<br>審査員 | 主査  | 氏 名   | 職 名     | 審査員 | 氏 名   | 職 名 |
|             |     | 若林 整  | 教授      |     | 角嶋 邦之 | 准教授 |
|             | 審査員 | 筒井 一生 | 教授      |     |       |     |
|             |     | 宮本 恭幸 | 教授      |     |       |     |
|             |     | 菅原 聡  | 准教授     |     |       |     |

### 論文審査の要旨 (2000 字程度)

本論文は、“Advanced Process Technologies for High-Reliability and High-Capacity SRAM Scaling” (邦題：「(高信頼性・大容量 SRAM の微細化に向けた先端プロセス技術)」)と題し、英文 7 章で構成されている。

第 1 章の“Introduction”では、本研究の導入として、今後の情報量の増大とそれによるエネルギー危機に対応するため、3D NAND フラッシュメモリに大容量 SRAM (Static Random Access Memory)を 1-chip 混載することが有効であることを述べ、フラッシュメモリ形成熱プロセスとの両立を図りつつ、高信頼性・大容量 SRAM の微細化に向けた先端プロセス技術の確立することを目的とした本研究の工学的価値を述べている。

第 2 章の“Layout and transistor structure design for high-reliability SRAM”では、SRAM セルレイアウトとトランジスタ設計技術について述べている。特に、90 nm ノード以下で顕著となる近接効果によるゲートパターン形状のばらつきの抑制が重要であることを述べている。また、薄型 SRAM セルにおいて、トレンチ素子分離(Shallow Trench Isolation: STI)に埋設する二酸化シリコン膜(SiO<sub>2</sub>)とシリコン基板の熱膨張係数差により生じるシリコンチャネルにおける長手方向の引っ張り応力が発生することを指摘し、セル高さの微細化要求とコンタクト歩留まり、トランジスタの活性領域とゲート電極のオーバーラップ長さを - 50 nm 程度にすることにより、応力境界条件として設定した 170 MPa 以下を実現することができることを述べている。これらにより、SRAM の良品ビット数を多く維持することができ、この技術が近年の SRAM 設計にも有効であることを述べている。

第 3 章の“Reliability of SRAM cell transistors”では、微細化プロセスが SRAM メモリセルを構成する CMOS トランジスタの電気特性並びに信頼性に与える影響と解決策について述べている。特に pMOSFET において、STI 埋め込み材起因の応力によりストレス初期の段階でゲート絶縁膜に捕獲されるチャージ量が増大することが劣化加速要因の一つであり、チャネル表面の応力が 150 MPa 以上占める割合と相関があることを述べている。また、この結果を元に埋め込み材の応力制御により、SRAM セルを構成するトランジスタの信頼性を満たすことが可能であることを述べている。

第 4 章の“FEOL and MOL process issues and optimization”では、3D NAND フラッシュメモリに大容量 SRAM を混載するための製造プロセス上の課題について述べている。特に、3D NAND フラッシュメモリのセルアレイ下に大容量 SRAM を形成する場合、NAND セル形成熱プロセスの影響を受けるため、ロジックで採用されているハフニウムシリケート(HfSiON)ゲート絶縁膜のデバイス信頼性を高く維持するには、Hf 濃度と側壁構造の最適化が必要であることを述べた上で、Hf 濃度の設定範囲の最適化について述べている。これにより、将来の NAND フラッシュメモリに 1-chip 混載する SRAM のゲートファーストプロセスに適用可能であることを述べている。次に、2 重ゲート電極側壁構造を持つ SRAM セル内のローカル配線にタングステンコンタクトプロセスの適用を検討し、NAND のローカル配線プロセスと親和性をとることが出来ることを述べている。この指針を用いる事により将来大容量 SRAM を 3D NAND フラッシュメモリに混載することが可能となることを述べている。

第 5 章の“BEOL process issue and optimization”では、メモリに必要な冗長素子プロセスについて述べている。メモリセルに不良がある場合、冗長回路により不良セルを正常セルに置き換えるが、上層配

線に形成したヒューズをレーザーによりブローする方式では、銅を用いた場合、ブロー歩留まりにレーザー波長依存性があり、ブロー後のヒューズ部に微少なリークが発生することを述べ、新しいヒューズ構造が必要であることについて述べている。

第6章の”Remaining issues for embedding high-capacity SRAM”では、サーバーの1chip/1package化を実現する上で必要なプロセス技術と現在の技術レベル、解決すべき課題について述べている。特に、貼り合わせ(Hybrid bonding)による3D積層 NAND フラッシュメモリの将来性とトランジスタレベルでの応力の評価の重要性について述べ、シミュレーションより Keep-out distance を 0.5 mm 程度以上に設定することが必要であることを述べている。

第7章の”Conclusions”では、本研究で得られた結果をまとめ、今後の展望について述べている。特に、第一に SRAM の微細化プロセスが電気特性や信頼性、歩留まりに与える影響を明らかにし、その解決方法となる製造プロセスの指針を述べている。第二に、3D NAND フラッシュメモリに搭載する SRAM の大容量化が可能となり、将来の SSD 製品の高性能化や 1chip 化/1package 化に必要な技術と解決すべき課題について述べて本論文をまとめている。

以上を要するに本論文は、高信頼性・大容量 SRAM の微細化に向けた先端プロセス技術について検討を行ったもので、工学上並びに工業上寄与するところが大きい。よって我々は本論文が博士(工学)の学位論文として十分価値あるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。