T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

論文 / 著書情報
Article / Book Information

題目(和文)	CMOS/Beyond-CMOSデバイスを用いた超低消費電力SRAMおよびロジックシステム技術に関する研究
Title(English)	Study on ultralow-power SRAM and logic-system technologies using CMOS/Beyond-CMOS devices
著者(和文)	塩津勇作
Author(English)	Yusaku Shiotsu
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第12374号, 授与年月日:2023年3月26日, 学位の種別:課程博士, 審査員:菅原 聡,中川 茂樹,山田 明,若林 整,間中 孝彰,飯野 裕明,高木 信一
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第12374号, Conferred date:2023/3/26, Degree Type:Course doctor, Examiner:,,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	要約
Type(English)	Outline

Powered by T2R2 (Tokyo Institute Research Repository)

論文要約

■題目

Study on ultralow-power SRAM and logic-system technologies using CMOS/Beyond-CMOS devices
(CMOS/Beyond-CMOSデバイスを用いた超低消費電力SRAMおよびロジックシステム技術に関する研究)

■要約

本論文は「Study on ultralow-power SRAM and logic-system technologies using CMOS/Beyond-CMOS devices (CMOS/Beyond-CMOSデバイスを用いた超低消費電力SRAMおよびロジックシステム技術に関する研究)」と題し，全6章から構成される．

第1章「Introduction: Challenges and Prospects for Mobile-Edge and Wearable Computing-Systems」では，将来のスマート社会に用いられるコンピューティングシステムにおけるモバイルエッジおよびウェアラブル階層の重要性を示し，これらの階層におけるロジックシステムにおける課題についてまとめ，本論文で開発する上記課題の解決策・技術について述べた．具体的には，このようなCMOSロジックシステムではさらなる低消費電力・低エネルギー化が要求されることから，パワーゲーティング(PG)による待機時電力の削減と，エネルギー最小点(EMP)となる駆動電圧による超低消費電力動作が必要になることを示し，これらの実現にはPGとEMP動作可能なSRAMが重要になることを示した．また，モバイルエッジ階層へのArtificial intelligence (AI)システムの導入のために，エネルギー効率が高く，演算性能も高いニューラルネットワーク(NN)アクセラレータの実現が重要になることを述べた．特にEMP動作とPG可能なSRAMを用いたprocessing-in-memory (PIM)型ハードウェアによる実装が有望になることを示した．さらに，ロジックシステムの徹底的な低消費電力化と高速化の両立には，超低電圧(ULV)において高い電流駆動能力と，遮断時における低リーク特性を有するBeyond-CMOSデバイス等の新規なトランジスタが必要となることを述べた．また，ウェアラブル階層では，マンマシンインターフェースとなるウェアラブルデバイス(WD)の電源技術が重要となることを示し，これにはヒトの体温を用いた熱電発電技術が有効になることを述べた．そして，本論文の目的が，将来のモバイルエッジおよびウェアラブル階層におけるロジックシステムで重要となる上記課題を解決できる回路・デバイス技術の開発であることを述べた．

第2章「Ultralow-Voltage-Retention SRAM Technology for EMP and PG Operations」では，まず，モバイルエッジおよびウェアラブルの各階層におけるCMOSロジックシステムのPGとEMP動作による消費エネルギー最小化の重要性と，メモリに用いられるSRAMの存在によってこれらの双方を同時に実装することが極めて困難であることを述べた．次に，所属研究室で提案されているULVリテンションSRAM (ULVR-SRAM) では通常電圧動作，EMP動作，ULVリテンションの3モード動作を実現できる可能性があることを述べ，ULVR-SRAMを用いれば上記課題を解決できることを示した．そして，本論文で検討するヘッダパワースイッチ(HPS)構成とヘッダ・フッタパワースイッチ(HFPS)構成のULVR-SRAMセルについて，それぞれの構成・駆動方法および特徴を述べた．次いで，トランジスタのしきい値ばらつきを考慮して，ノイズ耐性に関する指標(ノイズマージン: NM)を用いて，3モード動作が可能なULVR-SRAMセルの設計方法を開発した．最適設計したULVR-SRAMセルはULVリテンション，EMP動作どちらも必要十分なNMを示し，ローカルばらつきを考慮しても極めて小さな6σ不良率を満たすことを明らかにした．そして，この最適設計セルを用いたULVR-SRAMの8kBマクロを設計・構成し，PGとEMP動作の性能解析を行った．開発したマクロはULVリテンションを用いたPGによって待機時電力をHPS構成では90%，HFPS構成では99%削減できることを示し，また，EMP動作ではどちらの構成でも動作時電力を99%削減できることを明らかにした．

第3章「PIM-Type Neural Network Accelerator Technology Using ULVR-SRAM」では，はじめに，PGおよびEMP動作可能なULVR-SRAMを用いたPIM型ハードウェアがNNアクセラレータの高性能化に有効になることを示し，提案したULVR-SRAMを用いたPIM型2値化NNアクセラレータ(BNA)マクロの構成・動作について述べた．また，このBNAマクロを用いれば，任意のサイズ・形状のネットワークを複数マクロで構成できることを示した．開発したBNAマクロの詳細な解析から，ULVR-SRAMのEMP動作に基づく推論によって，エネルギー効率(TOPS/W)は最大化し，許容される積和演算の並列数も大幅に増大されることから，演算能力(TOPS)も飛躍的に向上できることを示した．全結合層を用いたベンチマークから，このBNAマクロを用いれば，並列数に応じて0.5-4TOPSの高い演算能力を61-65TOPS/Wの高いエネルギー効率で実現できることを明らかにした．さらに，BNAマクロをたたみ込み層に応用すれば，200TOPS/W以上の高いエネルギー効率を達成できる可能性があることを示した．

第4章「Ultralow-Voltage High-Performance Transistor Technology Using Beyond-CMOS Device」では，まず，従来のCMOSデバイスを用いたEMP動作などの低電圧動作では消費エネルギー削減効果と引き換えに，動作周波数(速度)の劣化が課題になることを述べた．高速動作を維持したまま低消費エネルギー化を実現するためにはULVのような低い駆動電圧化においても高い電流駆動能力を有し，また，遮断時には低リーク特性を有する新しいトランジスタが必要となることを示し，このようなデバイスにはpiezoelectronic transistor (PET)が有望であることを述べた．次いで，集積化にも適した新型PETについて，本論文で開発した所望のオン電流またはリーク電流からデバイス構造を最適化する設計方法について述べた．そして，設計した新型PETの性能解析から，わずか0.2VのULVでも数GHz程度の高速動作が可能であることを明らかにした．次に，設計したPETを用いてSRAMを構成しその性能を解析し，上述の設計方針（オン電流設計/リーク電流設計）に応じた性能が得られることを示した．PETで構成したSRAMは0.2Vの駆動電圧でも数百MHz-1GHzで動作し，従来のCMOSでは実現できないULV駆動・高速動作が可能であることを明らかにした．さらに，先端CMOS(10nm FinFET)と比較しても，50%-90%のエネルギー削減を実現できることを明らかにした．以上から，PETを用いれば，ULV駆動による高速・超低消費電力ロジックシステムを構成できることを示した．

第5章「Micro Thermoelectric Generator Module Technology Using Body Heat」では，まず，WDの電源に体温を用いたマイクロ熱電発電(μTEG)モジュールを用いることの利点と課題について指摘した．特に，WDの筐体をヒートシンクに用いた場合，従来のμTEGモジュールでは熱的なマッチングが取れず十分な出力が得られないことを述べ，熱的なマッチングを実現するためには，薄膜熱電材料に適したμTEGモジュールのデバイス構造と，VLSI技術に基づく薄膜熱電材料の微細加工の導入が重要になることを述べた．次に，本論文で用いた凸型ホットサイドプレートを用いた真空絶縁体ハイブリッドアイソレーション構造を導入した薄膜μTEGモジュールの構造とその特徴について述べた．本構造を用いることで，WD応用においても熱的マッチングをとることが可能となり高出力化できることを述べた．この薄膜μTEGモジュールの高精度集中定数回路(LCC)モデルを構築し，このLCCモデルを用いたデバイス構造の構造最適化アルゴリズムを開発した．最適設計された薄膜μTEGモジュールの性能解析から，本モジュールをリストバンド型(~100cm^2)に実装することで，WD応用可能な高い出力電力(~1mW)が得られることを明らかにし，本技術がWDの電源に応用できることを示した．

第6章「Summary and Conclusion」では，本論文で得られた結果を総括し，本論文の成果が，今後のモバイルエッジおよびウェアラブル階層におけるロジックシステムの消費エネルギー・電力に関する課題を解決するための基盤技術になると結論した．