

論文 / 著書情報
Article / Book Information

題目(和文)	GaN-HEMTにおけるモデリング及び高周波増幅器に関する研究
Title(English)	Research on Modeling and High-Frequency Amplifiers in GaN-HEMT
著者(和文)	山口 裕太郎
Author(English)	Yutaro Yamaguchi
出典(和文)	学位:博士(工学), 学位授与機関:東京科学大学, 報告番号:甲第12号, 授与年月日:2024年12月31日, 学位の種別:課程博士, 審査員:鈴木 左文,宮本 恭幸,岡田 健一,角嶋 邦之,白根 篤史
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Institute of Science Tokyo, Report number:甲第12号, Conferred date:2024/12/31, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

GaN-HEMT におけるモデリング 及び高周波増幅器に関する研究

Research on Modeling and High-Frequency Amplifiers in GaN-HEMT

東京科学大学 工学院 電気電子コース

山口裕太郎

2024 年 12 月

概要

本論文では GaN-HEMT におけるモデリング及び高周波増幅器に関する研究結果について述べる。モデリングに関してはトラップの非線形容量への影響を考慮した大信号トランジスタモデルを提案し、AM-AM だけでなく AM-PM についてもモデル精度が改善することを確認した。さらに本モデルを Si 基板上 GaN-HEMT に拡張し、Si 基板中電流の温度依存性を考慮できる物理式ベースの大信号トランジスタモデルを提案した。その結果、GaN-on-Si の大信号特性の温度依存性のモデル精度が改善することを確認した。高周波増幅器に関しては GaN 低雑音増幅器におけるトラップによる過渡的出力電力低下を抑制するためにアダプティブにゲート電圧が変化するトラップ補償回路を提案した。その結果、室温、高温両方においてトラップによる過渡的出力電力低下を抑制できることを確認した。また、GaN 高出力増幅器における効率的な多品種展開に向けて出力電力選択可能なセミカスタム高出力増幅器を提案し、セミカスタム高出力増幅器においてワイヤチューンのみで出力電力を選択できることを確認した。本論文の研究成果は GaN の開発効率化及び実用化の促進に寄与するものである。

目次

第 1 章. 序論.....	5
1.1 研究背景.....	5
1.2 研究課題.....	9
1.3 本論文の構成.....	10
1.4 参考文献.....	11
第 2 章. トラップの影響を考慮したトランジスタモデル.....	15
2.1 まえがき.....	15
2.2 提案モデル.....	17
2.3 モデルパラメータの抽出.....	23
2.4 検証結果.....	31
2.5 むすび.....	33
2.6 参考文献.....	34
第 3 章. Si 基板上 GaN-HEMT の半物理的トランジスタモデル.....	36
3.1 まえがき.....	36
3.2 TCAD シミュレーションを用いた解析.....	37
3.3 提案する大信号トランジスタモデル.....	42
3.4 提案モデルによるシミュレーション.....	50
3.5 検証結果.....	54
3.6 むすび.....	66
3.7 参考文献.....	67
第 4 章. トランジスタモデルに基づくトラップ補償回路を有する増幅器の 設計.....	71

4.1 まえがき	71
4.2 トラップ補償回路の提案	75
4.3 解析式による計算	81
4.4 トランジスタモデルを用いたトラップ補償回路の設計	85
4.5 測定結果	95
4.6 むすび	102
4.7 参考文献	103
第 5 章. トランジスタモデルに基づく出力電力選択可能な増幅器の設計	107
5.1 まえがき	107
5.2 セミカスタム GaN 増幅器のコンセプト	110
5.3 セミカスタム HPA の設計式の導出	110
5.4 トランジスタモデルを用いた高周波特性のシミュレーション	116
5.5 測定結果	119
5.6 むすび	125
5.7 参考文献	125
第 6 章. 結論と今後の展望	127

第1章.

序論

1.1 研究背景

安全安心な社会の実現は解決しなければいけない社会課題の一つである。Sustainable Development Goals(SDGs)においても安全安心な社会の実現に関連する項目が含まれており、世界的に取り組むべき重要な課題といえる[1.1]。そのような安全安心な社会の実現するためのキーテクノロジーの一つがレーダである。レーダはアンテナから電波を放射して、遠方のターゲットの距離、速度、方角、形状などを測定し、物体の位置や動きを検出・追跡することができる技術である。例えば、気象レーダは気象現象をリアルタイムで観測するためのレーダであり、大雨や台風などの自然災害を早期に予測することで、迅速な対策が可能になり、人的被害や資産の喪失を抑えることができる。また、船舶レーダは、視界の悪い状況でも自船の周囲の障害物を探知することができ、航空管制レーダは、航空機の位置や速度をリアルタイムで監視することができる。そのため、それぞれ海と空における船舶と航空機の安全な運航を支えることができる。合成開口レーダは航空機や人工衛星に搭載され、地上や海洋の緻密な画像を取得し、地震や津波等の自然災害を監視することができる。そのため、合成開口レーダは災害後の被害状況を早期に把握し、救助活動やインフラ復旧の優先順位を決める際に役立つ。このようにレーダは安全安心な社会の実現に貢献しており、さらなる安全安心な社会の実現に向けてレーダシステムの性能向上は必要不可欠な技術課題である[1.2]。

図 1-1 にレーダシステムにおける送受信 RF フロントエンドモジュール構成例を示す。レーダシステムは対象物に向けて飛ばす電波の直進性が求められるた

第1章

め、マイクロ波やミリ波といった高周波信号を送受信することが必須である。そのため、モジュールの送信部及び受信部の High Power Amplifier(HPA)と Low Noise Amplifier(LNA)は高周波で動作することが必要である。また、レーダシステムの性能向上に向けて送信部では探知距離の拡大が求められ、受信部では反射波を高感度でとらえるだけでなく、想定外の過入力信号に対する耐性等も求められる。そのため、HPA には高出力化が要求され、LNA には高耐電力化が要求される。

HPA と LNA の性能はその半導体材料に大きく依存するため、どの半導体材料を適用するかは非常に重要な検討項目である。表 1-1 に各半導体材料の物性値を比較した表を示す。HPA に関しては 1990 年代頃までは半導体材料として Gallium Arsenide(GaAs)が適用されてきたが、さらなる高出力が要求されるようになり、2000 年代頃から高いブレイクダウン電界を有する Gallium Nitride (GaN)の適用が検討されるようになった。GaN は高い飽和電子速度も有するため、高周波動作可能であり、高周波増幅器に適した半導体材料でもある。そのため、GaN HPA は世界的に活発に研究開発されており、多数の高性能な GaN HPA が報告され、実用化にも至っている[1.3]-[1.11]。一方、LNA に関してもこれまで低雑音な GaAs が主に適用されていたが、近年、高耐電力化も要求されるようになり、高いブレイクダウン電界を有する GaN を LNA に適用することが検討されている。多数の高耐電力かつ低雑音な特性を有する GaN LNA が報告されている[1.12]-[1.27]。このように GaN HPA と GaN LNA はともにレーダシステムの高性能化を実現するためのキーデバイスの一つであり、これまで研究開発が盛んに行われてきた。

GaN 増幅器(GaN HPA と GaN LNA の総称)開発の全体の流れを図 1-2 に示す。GaN 増幅器は GaN-High Electron Mobility Transistor(HEMT)と回路で構成されている。GaN 増幅器の開発はまず GaN-HEMT の開発から始まる。このフェーズでは GaN-HEMT 単体の高性能化や高信頼化に向けた開発が行われる。次に GaN-

第 1 章

HEMT のモデル開発が行われる。一般的にトランジスタモデルは容量や抵抗等で構成された等価回路モデルであり、GaN-HEMT の電気特性の実測値をシミュレータ上で再現することができる。モデル開発では主にそのモデリング精度の向上に向けた開発が行われる。次の GaN 増幅器回路開発では開発したトランジスタモデルを用いて回路設計を行い、試作・評価を行う。評価の結果、仕様を満たす性能が得られれば次のモジュール開発に移行する。図 1-2 に示すように GaN 増幅器開発の全体の流れにおいてトランジスタモデルはトランジスタと回路の橋渡しのような役割を担っている。モデリング精度が不十分な場合、回路設計精度が悪くなり、所望の増幅器の性能が得られずに開発手戻りが発生し、全体の開発期間が長期化する。そのため、トランジスタモデルは全体の開発効率化において極めて重要な役割を担っている。図 1-2 に示すように本論文における研究範囲は GaN-HEMT モデル技術とそのモデルを使った GaN 増幅器の回路設計技術である。

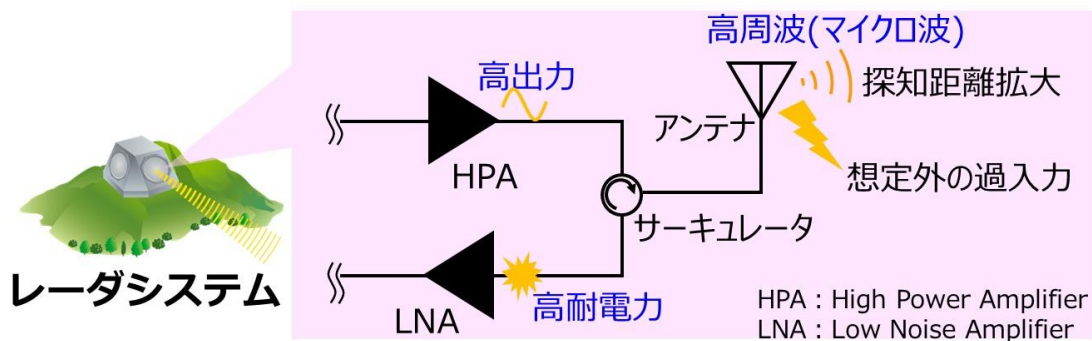


図 1-1 レーダシステムにおける送受信 RF フロントエンドモジュール構成例

第1章

表 1-1 各半導体材料の物性値の比較

Characteristic	Unit	Semiconductor			
		Si	GaAs	InP	GaN
Band gap	eV	1.1	1.42	1.35	3.49
Electron mobility	cm ² /Vs	1500	8500	5400	2000
Saturated electron velocity	10 ⁷ cm/s	1	1.3	1	2.5
Breakdown field	MV/cm	0.3	0.4	0.5	3.3
Thermal conductivity	Wcm/K	1.5	0.5	0.7	1.5

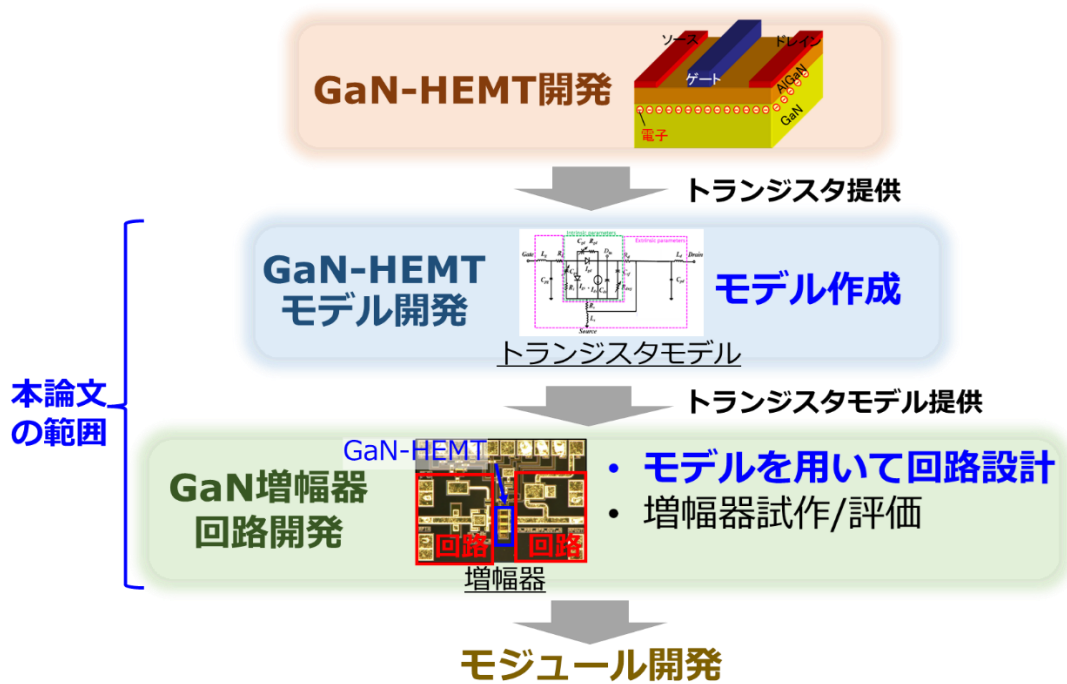


図 1-2 GaN 増幅器開発の全体の流れ

1.2 研究課題

トランジスタモデルに関しては GaAs 等の別の半導体材料でもこれまで研究開発が行われており、非線形性のモデリングやトランジスタサイズのスケーリングに関するモデリングについては報告がある[1.28]-[1.29]。しかし、半導体中の欠陥であるトラップや基板の影響等の GaN-HEMT 特有の物理現象に伴うモデリング精度に関しては改善の余地があり、GaN-HEMT モデルが不十分のため、開発手戻りが発生するケースがある。増幅器の GaN-LNA に関しては未だに実用化には至っておらず、それに関してもトラップが要因となっている。一方、GaN-HPA に関してはすでにレーダ用途等に実用化されているものの、その設計期間が長く、効率的な多品種展開が困難な状況である。本論文ではそれらの問題を解決するための技術課題に取り組む。図 1-3 に本論文における技術課題及び開発技術を示す。モデルに関してはトラップの影響のモデリング精度向上と基板材料の影響のモデリング精度向上の 2 つ技術課題に取り組む。増幅器の LNA に関してはトラップによる過渡的出力電力低下の補償に取り組む。HPA に関しては効率的な多品種展開に優位な出力電力選択可能な増幅器の実現に取り組む。本論文ではこれらの技術課題を解決するために下記の 4 つの技術を研究開発する。

開発技術①：トラップモデリング技術

開発技術②：基板材料モデリング技術

開発技術③：過渡的出力電力低下を補償する回路設計技術

開発技術④：セミカスタム増幅器の回路設計技術

これらの技術は GaN の開発効率化及び実用化の促進に寄与する技術である。

第 1 章

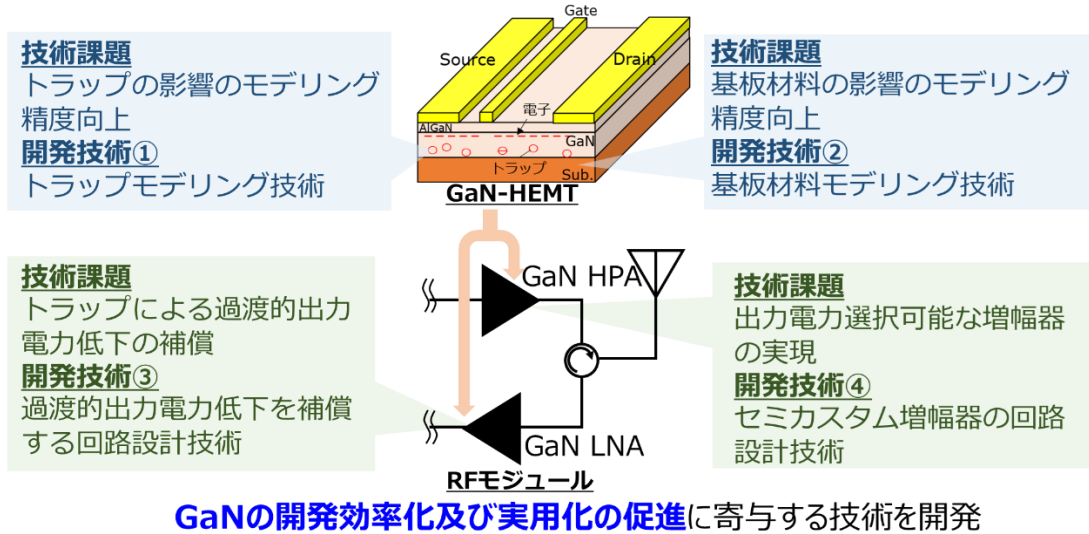


図 1-3 本論文における技術課題及び開発技術

1.3 本論文の構成

本論文は GaN-HEMT におけるモデリング及び高周波増幅器に関する研究を行った。本論文の構成について図 1-4 に示す。第 1 章では GaN-HEMT におけるモデリング及び高周波増幅器の研究背景、技術課題について述べた。第 2 章と第 3 章ではトランジスタモデリング技術について述べる。第 2 章ではトラップの影響を考慮したトランジスタモデルについて述べる。そして第 2 章で述べたモデルを Si 基板上 GaN-HEMT(GaN-on-Si)に拡張し、第 3 章では Si 基板上 GaN-HEMT の半物理的トランジスタモデルについて述べる。次に第 4 章と第 5 章では第 2 章で述べたトランジスタモデルをベースとした高周波増幅器の設計技術について述べる。第 4 章ではトランジスタモデルに基づくトラップ補償回路を有する増幅器の設計について述べる。第 5 章ではトランジスタモデルに基づく出力電力選択可能な増幅器の設計について述べる。最後に第 6 章で結論と今後の展望について述べる。

第 1 章

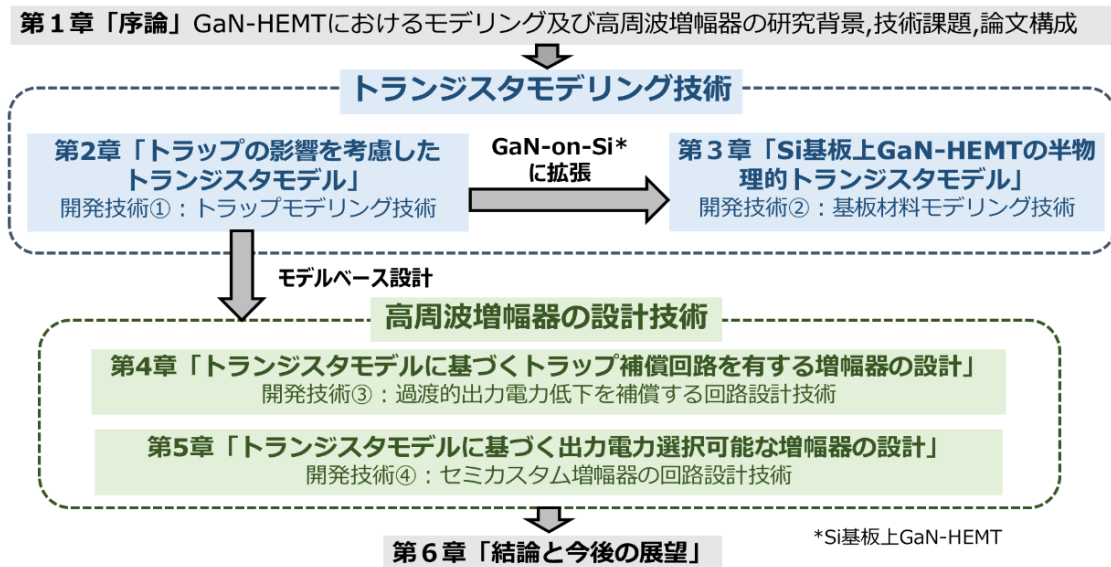


図 1-4 本論文の構成

1.4 参考文献

- [1.1] SDGs について | 日本 SDGs 協会 (japansdgs.net) <https://japansdgs.net/sdgs/>
- [1.2] 大内和夫、平木直哉、木寺正平、松田庄司、小管義夫、小林文明、松波勲、佐藤源之、”レーダの基礎-探査レーダから合成開口レーダまで-”、コロナ社
- [1.3] K. Motoi, K. Matsunaga, S. Yamanouchi, K. Kunihiro, and M. Fukaishi, “A 72 % PAE, 95-W, single-chip GaN FET S-band inverse class-F power amplifier with a harmonic resonant circuit,” IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-3.
- [1.4] J. Cheron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, P. Eudeline, and D. Floriot, “Wideband 50 W packaged GaN HEMT with over 60 % PAE through internal harmonic control in S-band,” IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-3.
- [1.5] K. Krishnamurthy, M. J. Poulton, J. Martin, R. Vetury, J. D. Brown, and J. B. Shealy, “A 250 W S-band GaN HEMT amplifier,” IEEE Compound Semiconductor Integrated Circuit Symp, 2007, pp.1-4
- [1.6] S. M. Wood, U. Andre, B. J. Millon, and J. Milligan, “Hybrid and monolithic GaN

- power transistors for high power S-band radar applications,” 7th European Microwave Integrated Circuits Conference, 2012, pp. 421-424.
- [1.7] H. Deguchi, N. Watanabe, A. Kawano, N. Yoshimura, N. Ui, and K. Ebihara, “A 2.6 GHz band 537 W peak power GaN HEMT asymmetric Doherty amplifier with 48 % drain efficiency at 7dB,” IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-4.
- [1.8] A. Alexander and J. Leckey, “A 120 Watt GaN power amplifier MMIC utilizing harmonic tuning circuits for S-band applications,” IEEE MTT-S Int. Microwave Symp., 2015, pp. 1-3.
- [1.9] K T. Yoshioka, N. Kosaka, M. Hangai, and K. Yamanaka, “An S-band 240 W Output / 54 % PAE GaN Power Amplifier with Broadband Output Matching Network for both Fundamental and 2nd Harmonic Frequencies,” IEEE MTT-S Int. Microwave Symp., 2016.
- [1.10] G. L. Matthaei, “ Tables of Chebyshev Impedance-Transforming Network of Low-Pass filter Form”, Proc. of IEEE, 1964, pp. 943-963.
- [1.11] K. Krishnamurthy, J. Martin, B. Landberg, R. Vetry, and M. J. Poulton, “Wideband 400 W pulsed power GaN HEMT amplifiers,” IEEE MTT-S Int. Microwave Symp., 2008, pp. 303-306.
- [1.12] A. Biondi, S. D'Angelo, F. Scappaviva, D. R., and V. A. Monaco, “Compact GaN MMIC T/R module Front-End for X-band pulsed radar,” *2016 11th European Microwave Integrated Circuit Conference*, October 2016.
- [1.13] D. Kim, D-H. Lee, S. Sim, L. Jeon, and S. Hong, “An X-Band Switchless Bidirectional GaN MMIC Amplifier for Phased Array Systems,” *IEEE Microwave and Wireless Components Letters*, Vol. 24, No. 12, pp. 878-880, December 2014.
- [1.14] E. Ture, F. Thome, D. Schwantuschke, M. Mikulla, and R. Quay, “E-Band Ultra-Low-Noise (4.5 dB) and High-Power (27 dBm) GaN T/R Front-End MMIC,” *2022 52nd European Microwave Conference*, September 2022.
- [1.15] O. Kazan, F. Kocer, and O. A. Civi, “An X-Band Robust GaN Low-Noise Amplifier MMIC with sub 2 dB Noise Figure,” *2018 13th European Microwave Integrated Circuit Conference*, September 2018.

第 1 章

- [1.16] R. Leblanc, N. S. Ibeas, A. Gasmi, F. Auvray, J. Poulain, F. Lecourt, G. Dagher, and P. Frijlink, “6 W Ka band power amplifier and 1.2dB NF X-band amplifier using a 100nm GaN/Si process,” 2016 *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, October 2016.
- [1.17] Y. Chen, W. Wang, Z. Chen, F. Guo, and G. Wang, “An 88~100 GHz High-Robustness Low-Noise Amplifier with 3.0~3.5 dB Noise Figure Using 0.1 μ m GaN-on-SiC process,” 2022 *IEEE MTT-S International Wireless Symposium (IWS)*, August, 2022.
- [1.18] T. Sonnenberg, A. Romano, S. Verploegh, M. Pinto, and Z. Popovic, “V- and W-Band Millimeter-Wave GaN MMICs,” *IEEE Journal of Microwaves*, Vol. 3, No. 1, pp. 878-880, January 2023.
- [1.19] M. Rudolph, R. Behtash, R. Doerner, K. Hirche, J. Würfl, W. Heinrich, and G. Tränkle, “Analysis of the Survivability of GaN Low-Noise Amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 55, No. 1, pp. 37-43, January 2007.
- [1.20] Z. O. Provost, L. Caillé, N. Tuffy, M. Camiade, M. Olivier, D. Leclerc, and C. Tolant, “High Robustness S-Band GaN Based LNA,” 2019 49th *European Microwave Integrated Circuit Conference*, October 2019.
- [1.21] B. Kim and W. Gao, “X-band Robust Current-Shared GaN Low Noise Amplifier for Receiver Applications,” 2016 *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, October 2016.
- [1.22] A. M. Elelimy Abounemra, M. Helaoui, and F. M. Ghannouchi, “A Highly Survivable C-band GaN HEMT LNA with Resistive Feedback Technique,” 2016 *IEEE 19th Mediterranean Microwave Symposium (MMS)*, October 2019.
- [1.23] E. M. Suijker, M. Rodenburg, J. A. Hoogland, M. van Heijningen, M. Seelmann-Eggebert, R. Quay, P. Bruckner, and F. E. van Vliet, “Robust AlGaIn/GaN Low Noise Amplifier MMICs for C-, Ku- and Ka-Band Space Applications,” 2009 *Annual IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, November 2009.
- [1.24] O. Axelsson, M. Thorsell, K. Andersson, and N. Rorsman, “The Effect of Forward Gate Bias Stress on the Noise Performance of Mesa Isolated GaN HEMTs,” *IEEE Transactions on Device and materials Reliability*, Vol. 15, No. 1, pp. 40-46, March 2015.

第 1 章

- [1.25] C. Andrei, R. Doerner, S. A. Chevtchenko, W. Heinrich, and M. Rudolph, "On the Optimization of GaN HEMT Layout for Highly Rugged Low-Noise Amplifier Design," *2017 12th European Microwave Integrated Circuit Conference*, October 2017.
- [1.26] E. Kaule, P. Luo, C. Andrei, S. A. Chevtchenko, and M. Rudolph, "Compact Stacked Rugged GaN Low-Noise Amplifier MMIC," *2021 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)*, September 2021.
- [1.27] C. Andrei, O. Bengtsson, R. Doerner, S. A. Chevtchenko, and M. Rudolph, "Robust Stacked GaN-Based Low-Noise Amplifier MMIC for Receiver Applications," *IEEE 2015 MTT-S International Microwave Symposium (IMS)*, May, 2015.
- [1.28] Ilcho Angelov, Lars Bengtsson, and Mikael Garcia, "Extensions of the Chalmers Nonlinear HEMT and MESFET Model," *IEEE Trans. Microw. Theory Techn.*, Vol. 44, No. 10, pp. 1664-1674, October 1996.
- [1.29] Ilcho Angelov, Herbert Zirath, and Niklas Rorsman, "A New Empirical on Model for HEMT and MESFET Devices," *IEEE Trans. Microw. Theory Techn.*, Vol. 40, No. 12, pp. 2258-2266, December 1992.

第2章.

トラップの影響を考慮したトランジスタモデル

2.1 まえがき

GaN 増幅器の高精度な回路設計を行うためには高精度な大信号トランジスタモデルが必要になる。モデルの高精度化を阻害する要因の一つとして半導体中の欠陥であるトラップの影響がある。図 2-1 に GaN-HEMT のトラップを示す。図 2-1 に示すようにトラップは主に GaN バッファ層や AlGaIn 表面に存在する。バッファ層のトラップはドーパした Fe や C が要因になるケースが多い。トラップが存在すると、トラップに電子が捕獲されてマイナスに帯電する。そのため、空乏層が伸びた状態になり、閾値電圧が上昇し、ゲートが閉まった状態に近づくことになる。図 2-2 にトラップによる RF 特性への影響を示す。非線形特性をもつトランジスタは入力電力 P_{in} が増大して小信号動作から大信号動作になると、利得 Gain が低下する。 P_{in} が増大するとトラップに電子が捕獲されて閾値電圧が上昇するため、利得がさらに低下するため、図 2-2 に示すようにトラップありの場合はトラップなしの場合よりも Gain が低下する。このようにトラップの影響はトランジスタの RF 特性に大きく影響を及ぼすため、モデリングの精度改善が重要な技術課題となっている。

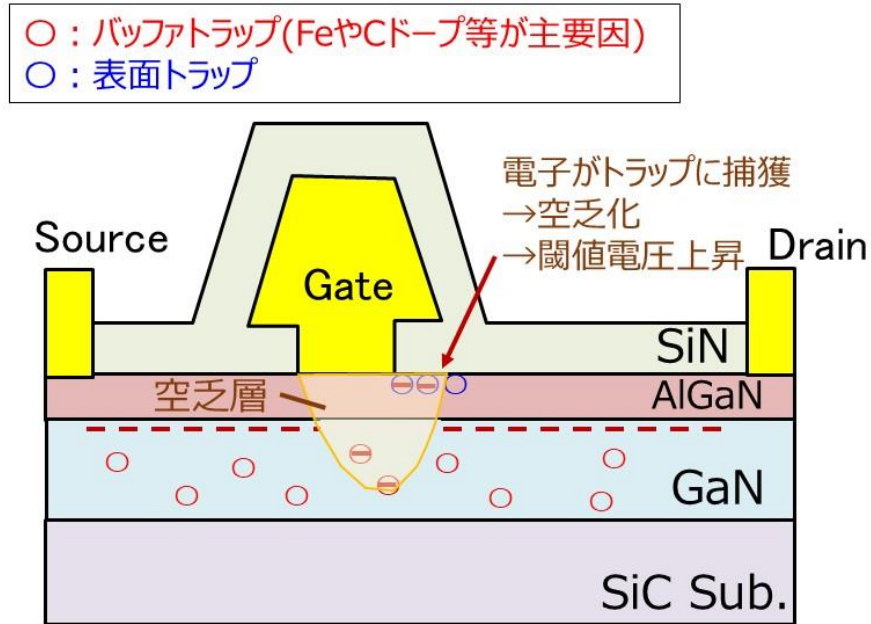


図 2-1 GaN-HEMT のトラップ

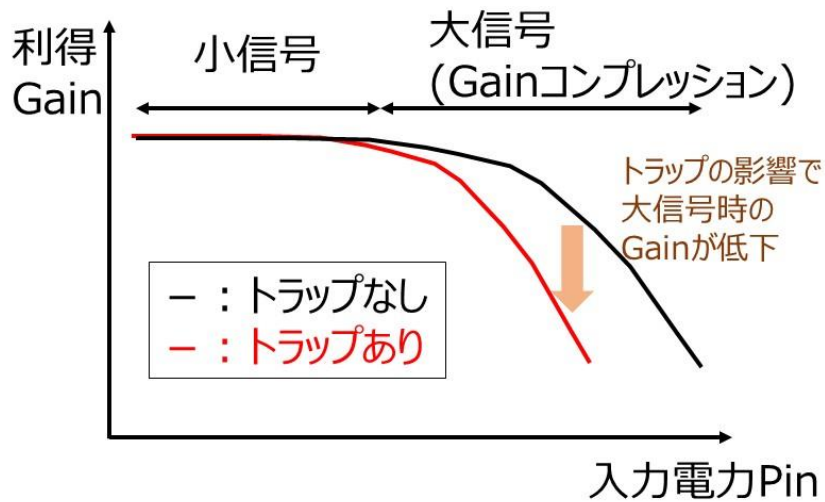


図 2-2 トラップによる RF 特性への影響

これまでトラップのメカニズム解析として低周波 Y パラメータ測定による解析結果が報告されている[2.1]。トラップの電子の放出時定数の逆数は kHz オーダーであるため、マイクロ波帯ではトラップの時定数の影響は見られないが、

第2章

kHz 帯の低周波の Y パラメータには影響を及ぼす。そのため、低周波の安定化等が必要なバイアス回路の設計にはトラップが影響する可能性がある。また、これまでトラップのドレイン電流への影響を考慮した大信号トランジスタモデルが報告されている[2.2]-[2.4]。それらの報告ではトラップのドレイン電流への影響を考慮することでパルス IV 特性、AM-AM 特性の精度改善が確認されている。

本章ではトラップの非線形容量への影響を考慮した GaN-HEMT の大信号トランジスタモデルを提案する。提案するトラップのモデルはダイオードのカソード端子に抵抗と容量の並列回路を直列に接続した回路で構成されており、ダイオードのカソード端子電圧をドレイン電流や相互コンダクタンスだけでなく非線形容量へもフィードバックした。トラップの非線形容量への影響を考慮することで AM-AM 特性だけでなく AM-PM 特性の精度を改善することができる。

2.2 提案モデル

トラップを考慮したモデルを作成するためにはトラップへの電子の充放電をモデリングする必要がある。トラップへの電子の充放電を評価する手法の一つとして電流過渡応答測定がある[2.5]。過渡応答測定は大信号動作時を想定してストレスバイアス直後の電気特性の過渡的な変化を計測し、トラップへの電子の充放電の影響を測定できる。ストレスバイアス印加時には高ドレイン電圧 V_d 、高ゲート電圧 V_g が印加されてトラップに電子が捕獲される。図 2-3 に提案モデルのベースとなるトラップの物理メカニズムを示す。本モデルでは GaN バッファ層のトラップに電子が捕獲されるモデルを想定している。提案モデルではトラップのドレイン電流への影響だけでなくゲートドレイン間容量への影響も考慮する。図 2-3(a)に過渡応答時のドレイン電流 I_d とゲートドレイン間容量 C_{gd} の時間変化を示す。過渡応答測定では Off-state($V_g = V_{gq}$ 、 $V_d = V_{dq}$)時のストレスバイアスから On-state($V_g = V_{gp}$ 、 $V_d = V_{dp}$)時に切り替わった後の電気特性を測定する。

第 2 章

I_{da} と C_{gda} はそれぞれ Off-state から ON-state に切り替わった直後の A 点(数 us オーダー後)でのドレイン電流とゲートドレイン間容量である。 I_{db} と C_{gdb} はそれぞれ Off-state から ON-state に切り替わって十分時間が経過した B 点(数十 ms オーダー後)でのドレイン電流とゲートドレイン間容量である。図 2-3 (b)、(c)は A 点と B 点でのデバイス内の空乏層と等価回路パラメータを示している。A 点は電子が捕獲された Off-state から On-state に切り替わった直後であるため、電子が GaN バッファ層のトラップに捕獲されたままであり、GaN バッファ層中の空乏層がドレイン側に伸びたままの状態になっている。B 点では捕獲されていた電子が放出されて捕獲によって生じていた空乏層がなくなり、定常状態に戻る。そのため On-state のとき、 I_d は時間経過で徐々に回復して I_{da} から I_{db} に増大する。一方、ゲートドレイン間容量に関しても空乏層の変化に伴い、 C_{gda} から C_{gdb} に増大する。

第2章

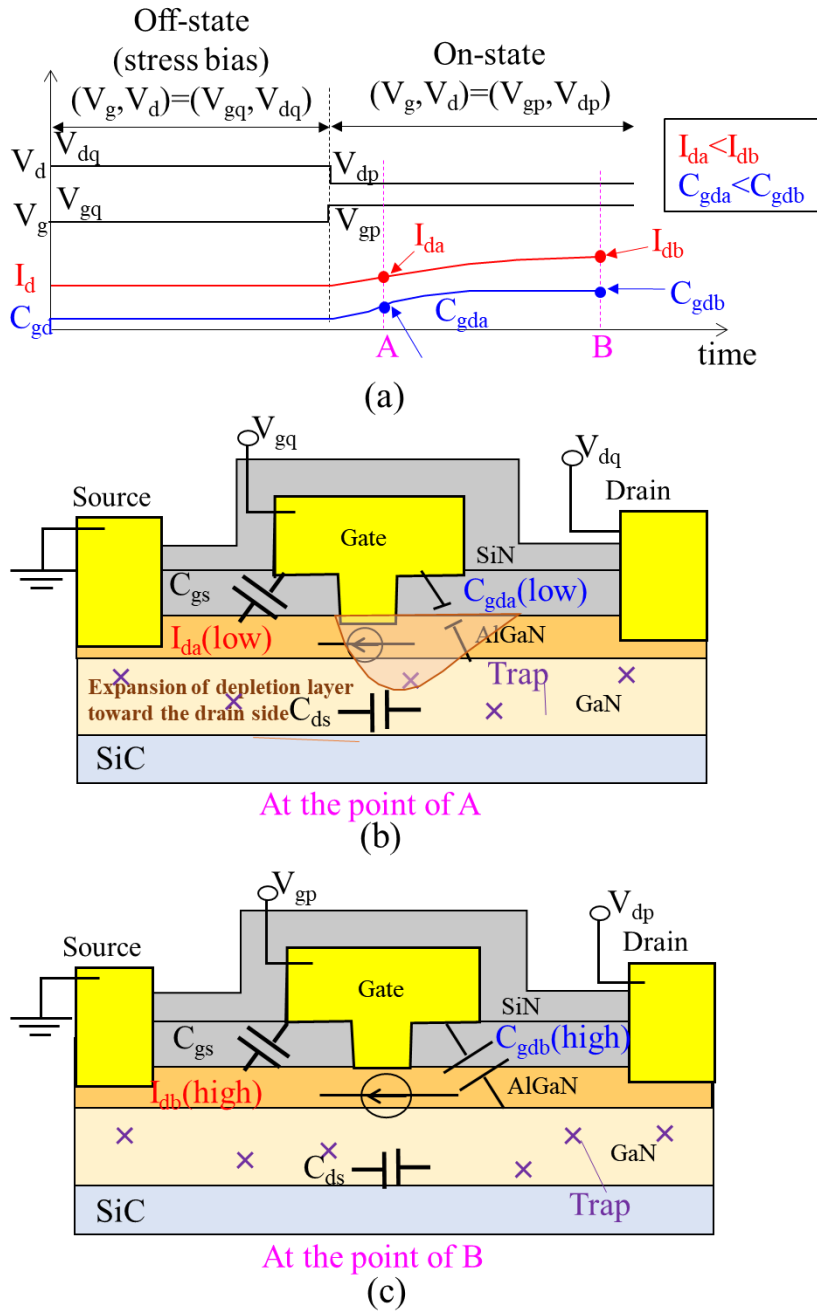


図 2-3 提案モデルのベースとなるトラップの物理メカニズム
 (a) V_d , V_g , I_d , C_{gd} のタイムチャート、(b) A 点での状態、(c) B 点での状態

次式に利得 Gain と通過位相 Phase を等価回路パラメータで表現した式を示す [2.6]。

第 2 章

$$Gain \propto \frac{g_m}{(C_{gd} (1 + g_m R_s))} \quad (2-1)$$

$$Phase = \arctan \{-\omega_0 R_g [C_{gs} + C_{gd} \cdot (1 + g_m R_L)]\} \quad (2-2)$$

g_m は相互コンダクタンス、 R_s はソース抵抗、 R_g はゲート抵抗、 C_{gs} はゲートソース間容量、 R_L は出力負荷抵抗を示す。Gain、Phase とともに C_{gd} が含まれており、トラップの C_{gd} への影響は AM-AM 特性だけでなく AM-PM 特性の精度にも影響する。図 2-3 に示したようにトラップが I_d のみならず C_{gd} に影響し、 C_{gd} は式(2-1)と(2-2)に示したように AM-AM と AM-PM の両方に影響する。そのため、AM-AM、AM-PM 特性の両方を高精度にモデリングするためには、大信号モデルでトラップの C_{gd} への影響を表現する必要がある。図 2-4 に提案モデルを示す。提案モデルのベースとなるモデルは Angelov-GaN であり[2.7]、図 2-4 に示すトラップモデルが本章で提案しているモデルである。Angelov-GaN の部分には図 2-4 に記載した回路モデル以外にゲート電流のモデル式や自己発熱によるドレイン電流低下を考慮したモデル式が含まれるが、図 2-4 では省略されている。Angelov-GaN はゲート幅スケールリングを考慮したモデルになっている。トラップモデルは Angelov-GaN のドレイン端子 D_{in} に装荷されており、ダイオード D_{trap} のカソード端子に抵抗 R_{trap} と容量 C_{trap} の並列回路を直列に接続した回路になっている。本モデルにおいてドレインの RF 信号が D_{trap} のアノード端子に入力される。 D_{trap} 、 C_{trap} 、 R_{trap} が整流器として機能するため、正弦波が整流されて D_{trap} のカソード端子電圧である V_{btrap} は DC 成分のみとなる。このトラップモデルでは RF ドレイン電圧の振幅が小さい小信号動作時は V_{btrap} が 0 V であるが振幅が大きくなる大信号動作時は V_{btrap} が増大する回路になっている。トラップの時定数 τ は図 2 に示すように $C_{trap} \cdot R_{trap}$ で表現している。また、提案モデルの特徴として V_{btrap} の電圧値は I_d や g_m だけでなく C_{gd} にもフィードバックされるモデルになっており、そのフィードバックの式を次式に示す。

第 2 章

$$I_d(V_{ds}, V_{gs}, V_{btrap}) = \frac{I_{pk0}}{1 + K_{tid} \cdot V_{btrap}} \cdot (1 + \tanh(\psi)) \cdot \tanh(\alpha \cdot V_{ds}) \cdot (1 + \lambda \cdot V_{ds} + LSB0 \cdot \exp(V_{ds} - VTR)) \quad (2-3)$$

$$\psi = P1 \cdot (V_{gs} - V_{pkmt}) + P2 \cdot (V_{gs} - V_{pkmt})^2 + P3 \cdot (V_{gs} - V_{pkmt})^3 \quad (2-4)$$

$$V_{pkmt} = V_{pkm} + K_{tgm} V_{btrap} \quad (2-5)$$

$$C_{gd}(V_{ds}, V_{gs}, V_{btrap}) = C_{gdi} + C_{gd0} (1 + \tanh(P30 - P31 \cdot (V_{ds} + K_{tcgd} \cdot V_{btrap}))) \cdot (1 + \tanh(P40 + P41 \cdot (V_{gd} - K_{tcgd} \cdot V_{btrap}))) \quad (2-6)$$

ここで I_{pk0} 、 α 、 λ 、 $LSB0$ 、 VTR 、 $P1$ 、 $P2$ 、 $P3$ 、 V_{pkm} 、 C_{gdi} 、 C_{gd0} 、 $P30$ 、 $P31$ 、 $P40$ 、 $P41$ は Angelov-GaN のモデルパラメータである。 K_{tid} 、 K_{tgm} 、 K_{tcgd} は提案モデルにおいて新たに定義したパラメータである。 K_{tid} 、 K_{tgm} 、 K_{tcgd} はそれぞれ I_d 、 g_m 、 C_{gd} へのトラップへの影響を考慮するためのパラメータであり、 V_{btrap} の電圧値をフィードバックする係数である。トラップの I_d への影響は式(2-3)で示している。式(2-3)で示すように V_{btrap} が大きくなると $K_{tid} > 0$ であるため最大ドレイン電流が低下する。トラップによる g_m の低下は式(2-3)-(2-5)で示すように閾値電圧の変化で表現している。式(2-5)に示すようにトラップを考慮した閾値電圧 V_{pkmt} は大信号動作時に V_{btrap} が大きくなると $K_{tgm} > 0$ であるため定常状態の閾値電圧 V_{pkm} よりも増大する。トラップの C_{gd} への影響は式(2-6)で示している。式(2-6)に示すように大信号動作時に V_{btrap} が大きくなると $K_{tcgd} > 0$ であるため C_{gd} が低下する。図 2-4 に示すようにモデルには熱の影響を考慮したモデルが含まれている。 V_{therm} は消費電力 $I_{d0} \times V_{d0}$ であり、 I_{d0} および V_{d0} はドレイン電流およびドレイン電圧の DC 成分である。 T は環境温度を表している。チャンネル温度 T_{chan} は以下の式で表される。

$$T_{chan} = T + V_{therm} \quad (2-7)$$

次式に τ を表現する式を示す。

$$\tau = C_{trap} \cdot R_{trap} = \frac{1}{\sigma_T v_{th} N_C} \exp\left[\frac{E_C - E_T}{kT_{chan}}\right] \quad (2-8)$$

第2章

τ は等価回路的には C_{trap} と R_{trap} の積で表される。一方、物理的には式(2-8)に示すようにトラップの準位 E_T 、コンダクションバンド E_C 、トラップの捕獲断面積 σ_T 、ボルツマン係数 k 、熱速度 v_{th} 、伝導体の有効状態密度 N_C 、チャネル温度 T_{chan} で表される。

v_{th} と N_C は次式で表される。

$$v_{\text{th}} = \sqrt{\frac{3kT_{\text{chan}}}{m_n}}, \quad N_C = 2 \left(\frac{2\pi m_n k T_{\text{chan}}}{h^2} \right)^{\frac{3}{2}} \quad (2-9)$$

ここで m_n は GaN の電子の状態密度有効質量であり、 h はプランク定数である。式(2-8)に式(2-9)を代入して計算した結果、 τ は次式で表される。

$$\tau = C_{\text{trap}} \cdot R_{\text{trap}} = \frac{1}{\sigma_T \gamma_n T_{\text{chan}}^2} \exp \left[\frac{E_C - E_T}{kT_{\text{chan}}} \right] \quad (2-10)$$

式(2-10)中の γ_n は式(2-11)で示す通り物理定数のみで表され、GaN の物理定数を考慮した場合、 γ_n は $6.52 \times 10^{24} \text{ cm}^{-2} \text{ s}^{-1} \text{ K}^{-2}$ となる。

$$\gamma_n = 2 \sqrt{\frac{3k}{m_n} \left(\frac{2\pi m_n k}{h^2} \right)^{\frac{3}{2}}} \quad (2-11)$$

式(2-10)中で τ の温度依存性をモデリングするために抽出が必要な物理パラメータは $E_C - E_T$ 及び σ_T である。 $E_C - E_T$ が大きいとトラップの準位が深くなるため、 τ が長くなる。 $E_C - E_T$ 及び σ_T はアレニウスプロットにより抽出することができる。モデル中の R_{trap} の値は DC ドレイン電流が流れないように十分高い $R_{\text{trap}} = 1 \text{ Gohm}$ に設定した。 C_{trap} は次式に示すように温度依存性を含む式で表現される。

$$C_{\text{trap}} = \frac{1}{R_{\text{trap}} \sigma_T \gamma_n T_{\text{chan}}^2} \exp \left[\frac{E_C - E_T}{kT_{\text{chan}}} \right] \quad (2-12)$$

式(2-10)-(2-12)に示すように T_{chan} が増大すると C_{trap} は小さくなり τ は短くなる。 T_{chan} にはゲート幅を拡大時の消費電力増大による発熱温度上昇の影響も含むため、ゲート幅拡大時の発熱温度上昇によるトラップの時定数の変化も考慮することができる。

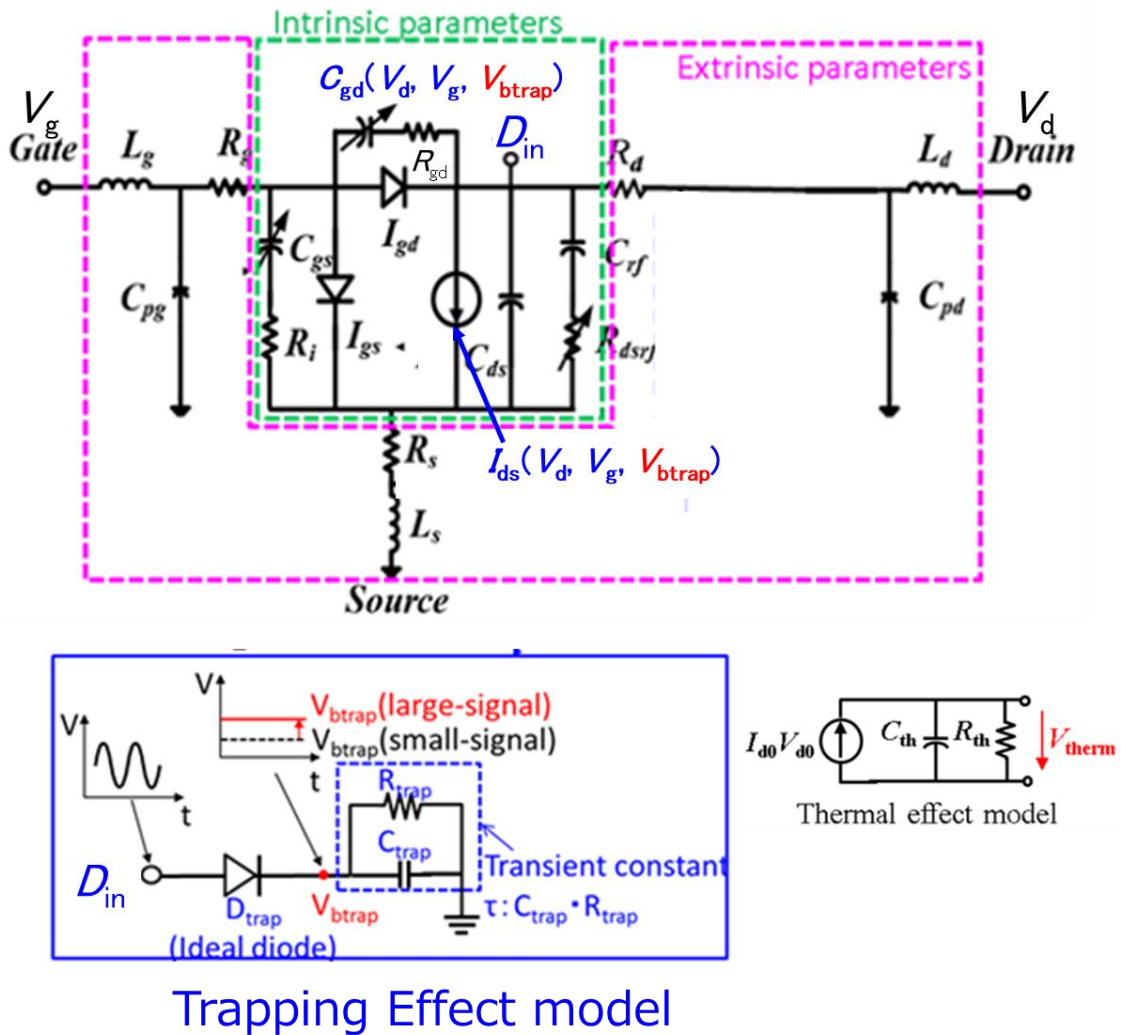


図 2-4 提案モデル

2.3 モデルパラメータの抽出

提案モデルのパラメータ抽出のためにドレイン電流及び S パラメータの過渡応答測定を行った。S パラメータの過渡応答測定を行うことにより、 I_d だけでなく g_m や C_{gd} に関するトラップのモデルパラメータを正確に抽出することができる。図 2-5 にドレイン電流及び S パラメータの過渡応答測定系を示す。図 2-5 に示すようにドレイン電流過渡応答測定には Pulse-IV system (AU4750、 Focus

第2章

社)を用いて測定した。Sパラメータ過渡応答測定にはネットワークアナライザ PNA-X(N5244A、Keysight社)及びパルスジェネレータ(8110A、8114A、Keysight社)を用いた。図2-6に過渡応答測定のタイムチャートを示す。ストレス時間 t_{st} 後の I_d とSパラメータの過渡応答が t 秒間測定された。Sパラメータの周波数 f_0 は1GHzで固定されている。過渡的に変化するSパラメータから等価回路パラメータ抽出を行う。 V_{gq} と V_{dq} はストレスバイアス時間におけるゲート電圧とドレイン電圧である。 V_{gp} と V_{dp} はそれぞれ測定時間中のゲート電圧とドレイン電圧である。モデルパラメータ抽出したトランジスタは三菱電機製のゲート長 $0.15\mu\text{m}$ のGaN-HEMTである。基板は $50\mu\text{m}$ 厚のSiCである。測定したGaN-HEMTは単位ゲート幅は $40\mu\text{m}$ でフィンガー数は10本である。

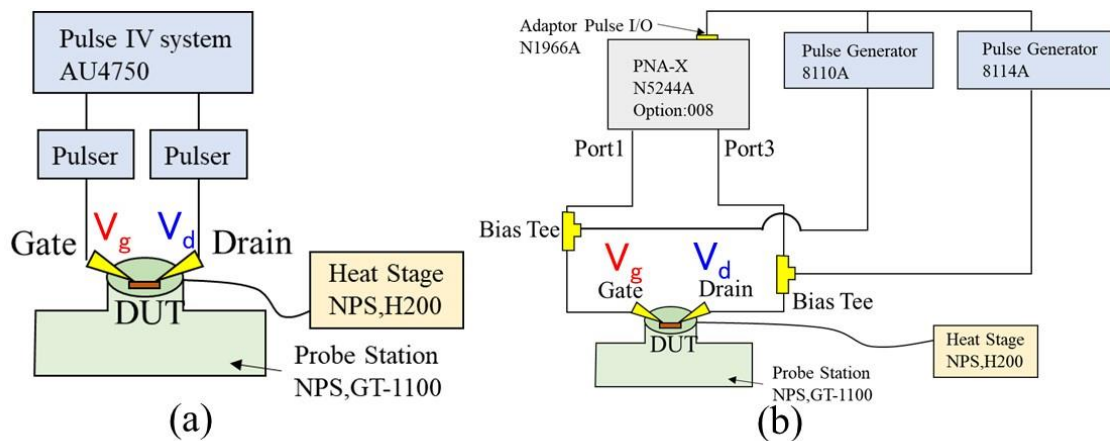


図2-5 ドレイン電流及びSパラメータ過渡応答測定系及びタイムチャート
(a)ドレイン電流、(b)Sパラメータ

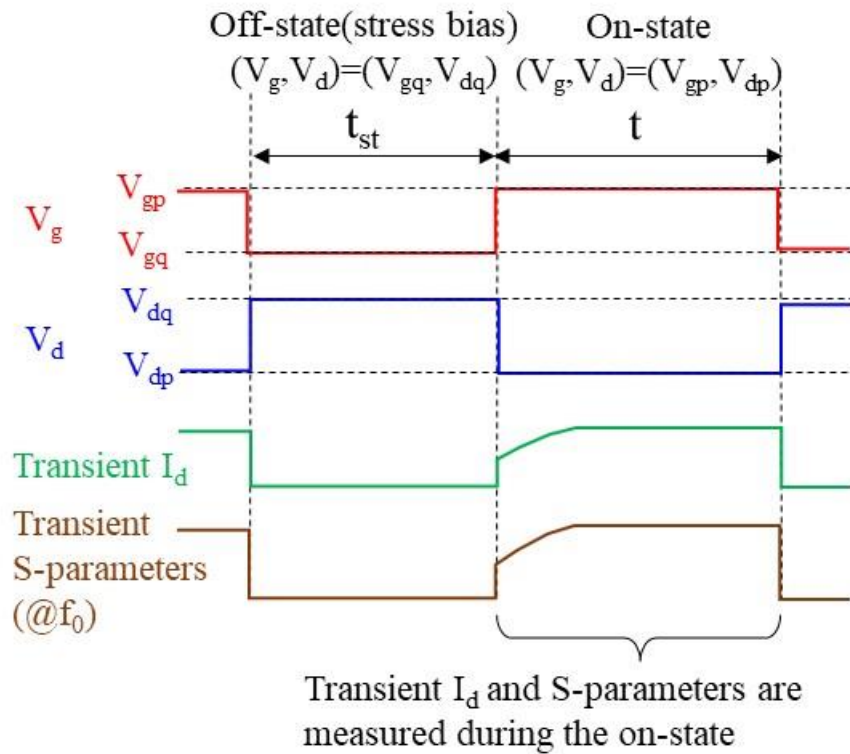


図 2-6 ドレイン電流及び S パラメータ過渡応答測定の時定数チャート

図 2-7 にドレイン電流過渡応答特性の実測とモデルを示す。 $(V_{gq}, V_{dq}) = (-5 \text{ V}, 50 \text{ V})$ 、 $(V_{gp}, V_{dp}) = (-1 \text{ V}, 5 \text{ V})$ に設定した。 t_{st} は 100 ms に設定した。図 2-7 に示すようにストレスバイアス直後の I_d は電子トラップの影響により定常状態よりも低下し、徐々に電子放出により時間経過で I_d が回復している。また、環境温度 T が増大すると時定数が短くなっている。図 2-7 に示すようにモデルは温度依存性も含めて実測によくあっていることが確認できる。トラップによるストレスバイアス直後の I_d の減少量から $K_{tid} = 0.5$ を抽出した。図 2-8 にトラップの時定数のアレニウスプロットを示す。 $E_C - E_T$ 及び σ_T に関しては図 2-8 にドレイン電流過渡応答の時定数のアレニウスプロットの傾き及び切片から $E_C - E_T = 0.53 \text{ eV}$ 、 $\sigma_T = 1.2 \times 10^{-15} \text{ cm}^2$ を抽出した。

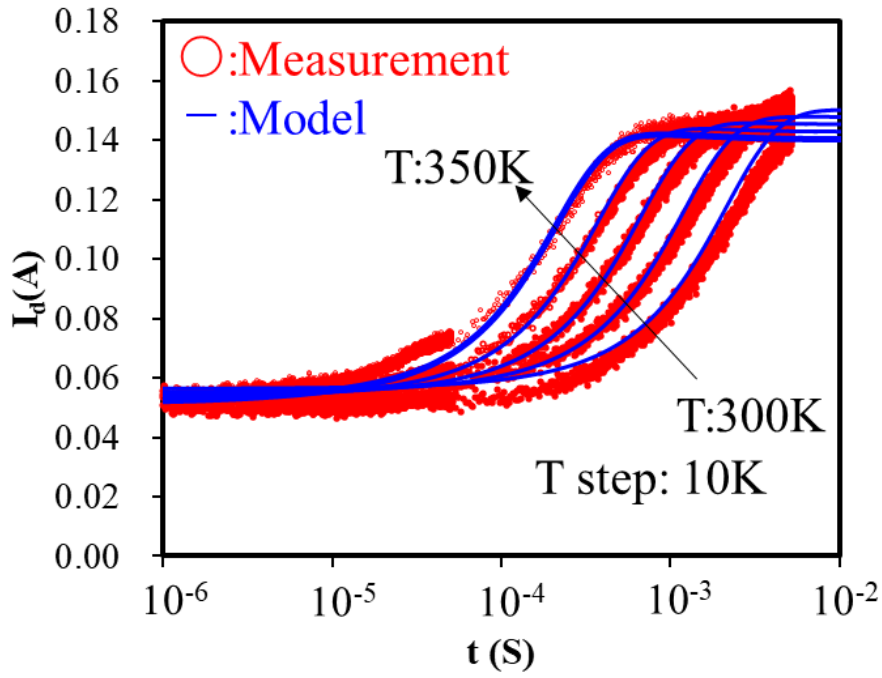


図 2-7 ドレイン電流過渡応答測定の実測とモデル

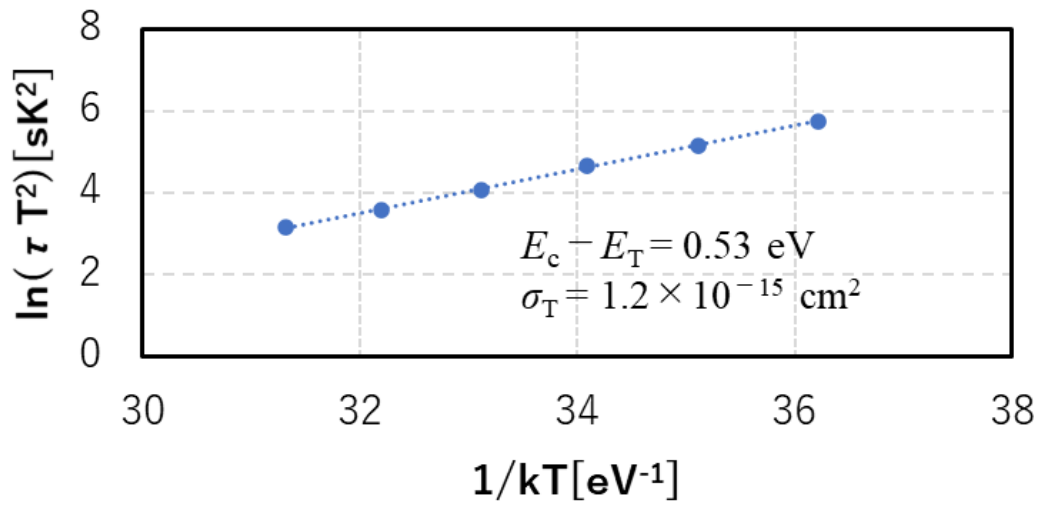


図 2-8 トラップの時定数のアレニウスプロット

図 2-9 に S パラメータの過渡応答測定結果を示す。 $(V_{gq}, V_{dq}) = (-5 \text{ V}, 50 \text{ V})$ 、

(V_{gp} , V_{dp}) = (1 V, 5 V)に設定した。周波数 f_0 は1 GHzに固定した。図 2-9 に示すようにストレスバイアス直後の S パラメータが時間経過で過渡的に変化していることがわかる。

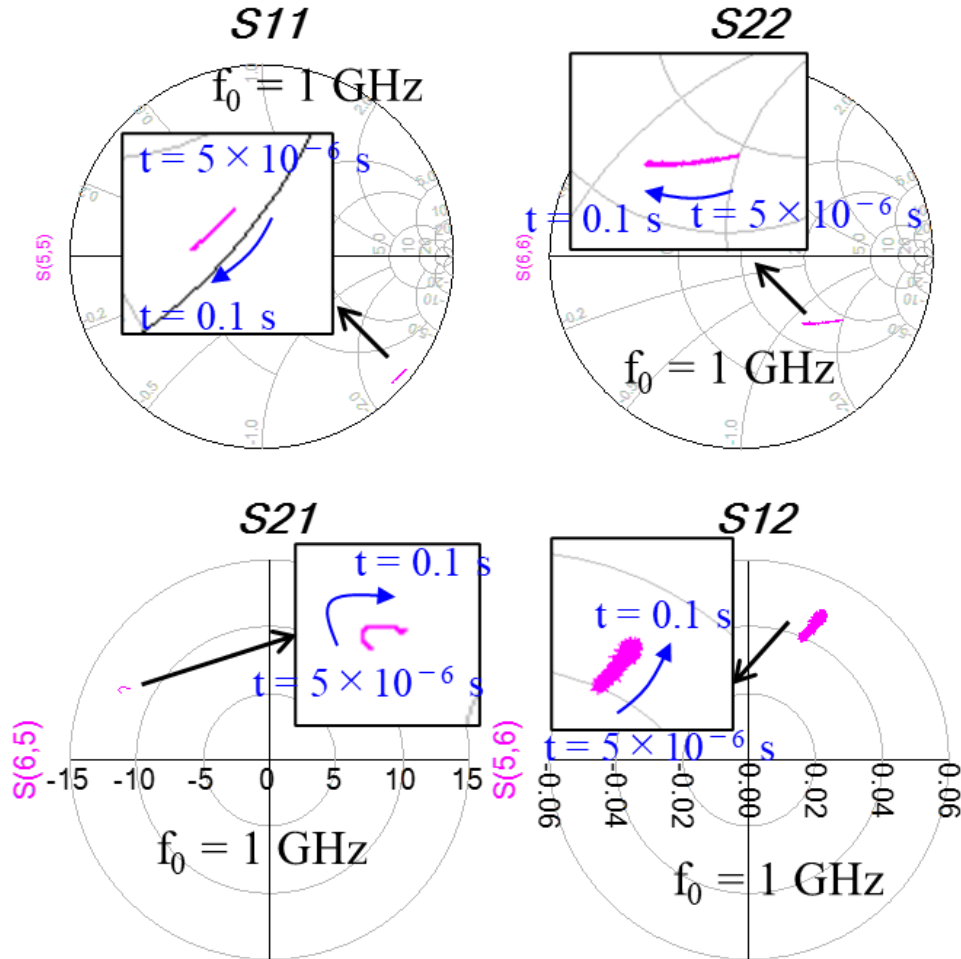


図 2-9 S パラメータ過渡応答測定結果

図 2-10 に S パラメータ過渡応答測定結果からトランジスタ真性部の等価回路パラメータを抽出した結果を示す。図 2-10 中の CW の点線は定常状態時($V_g = 1$ V、 $V_d = 5$ V)の抽出結果を示す。図 2-10 (a)、(b)、(c)に示すように C_{gd} 、相互コンダクタンス g_m は過渡的に増大し、ドレインソース間抵抗 R_{ds} は過渡的に減少している。それぞれ V_{dq} が高いほど変化量大きいことがわかる。図 2-3 で示した物

第2章

理メカニズムに示すようにストレスバイアス直後の C_{gd} はバッファ層のトラップの電子捕獲により、ドレイン側に空乏層が伸びているため、定常状態の C_{gd} よりも低く、電子放出とともに徐々に定常状態の C_{gd} に戻る。 g_m が過渡的に増大するのは式(2-3)-(2-5)で示したようにストレスバイアス印加によるトラップの電子捕獲の影響で閾値電圧が増大し、電子が徐々に放出されることで定常時の閾値電圧に戻るためである。 R_{ds} も過渡的に変化しているが、これについても式(2-3)-(2-5)で示したようにトラップによって閾値変化が生じるため、閾値変化に伴い R_{ds} も過渡的に減少したという説明ができる。図 2-10 (e)に示す通り、ゲートソース間容量 C_{gs} とソースドレイン間容量 C_{ds} に関しては時間に対してほとんど変化しないことが分かった。高ドレイン電圧(V_{dq})直後は電子がトラップされる領域がドレイン側に伸びると考えられたため、 C_{gd} よりも C_{gs} 方がトラップの影響が小さいと考えられる。SFP(Source Field Plate)を有しない GaN-HEMT の C_{ds} は一般的にドレインバイアス依存性がほとんどないため、ストレスバイアス直後においても、 C_{ds} はほとんどトラップの影響を受けないと考えられる。

第2章

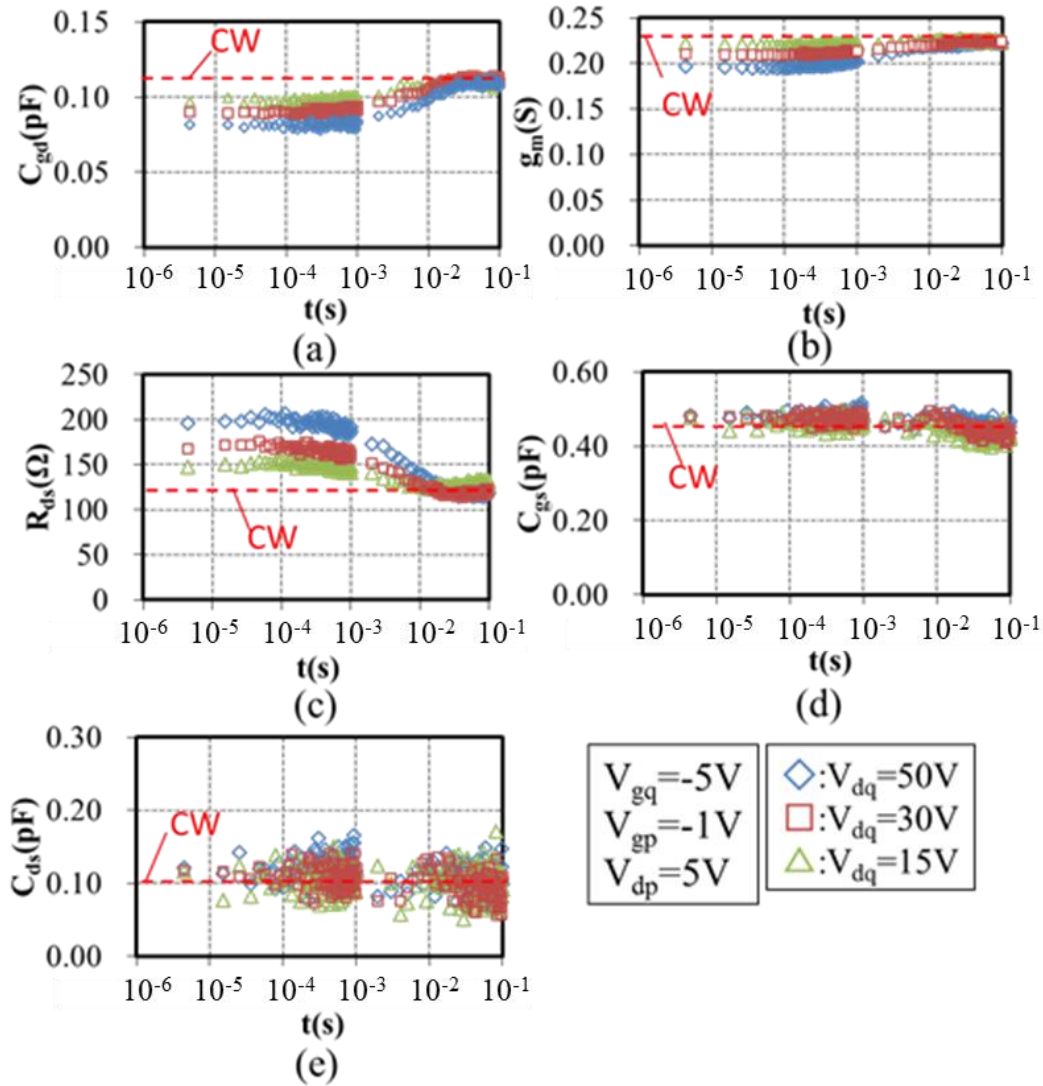


図 2-10 S パラメータ過渡応答測定から抽出した各等価回路パラメータの過渡応答特性(a) C_{gd} 、(b) g_m 、(c) R_{ds} 、(d) C_{gs} 、(e) C_{ds}

図 2-11 に $t = 0.1 \text{ s}$ の時と $t = 5 \times 10^{-6} \text{ s}$ の時の g_m - V_{gp} 特性の実測と $V_{\text{btrap}} = 0 \text{ V}$ と $V_{\text{btrap}} = 8 \text{ V}$ のときの g_m - V_{gp} 特性のモデルの比較を示す。実測のストレスバイアスは $(V_{gq}, V_{dq}) = (-5 \text{ V}, 50 \text{ V})$ である。図 2-10 でも示したように $t = 0.1 \text{ s}$ 時は g_m が定常状態に戻っている時間であり、 $t = 5 \times 10^{-6} \text{ s}$ の時はストレスバイアス直後で g_m がトラップの影響を受けている時間である。 $V_{\text{btrap}} = 0 \text{ V}$ は定常状態時を想定した

第2章

D_{trap} のカソード端子電圧であり、 $V_{\text{btrap}} = 8\text{ V}$ は飽和出力動作時を想定した D_{trap} のカソードの端子電圧である。図 2-11 に示すように $t = 5 \times 10^{-6}\text{ s}$ の時の g_m - V_{gp} 特性において g_m が立ち上がる V_{gp} が $t = 0.1\text{ s}$ の時に比べて正方向にシフトしている。これは式(2-4)、(2-5)で示したモデル式のようにストレスバイアス直後はトラップの影響でトランジスタの閾値電圧が変化していることを意味する。 $V_{\text{btrap}} = 8\text{ V}$ 時のモデルの g_m が $t = 5 \times 10^{-6}\text{ s}$ の時の実測の g_m にフィッティングするように $K_{\text{tgm}} (= 0.018)$ を抽出した。その結果、図 2-11 に示すようにモデルは実測とよく一致することを確認した。

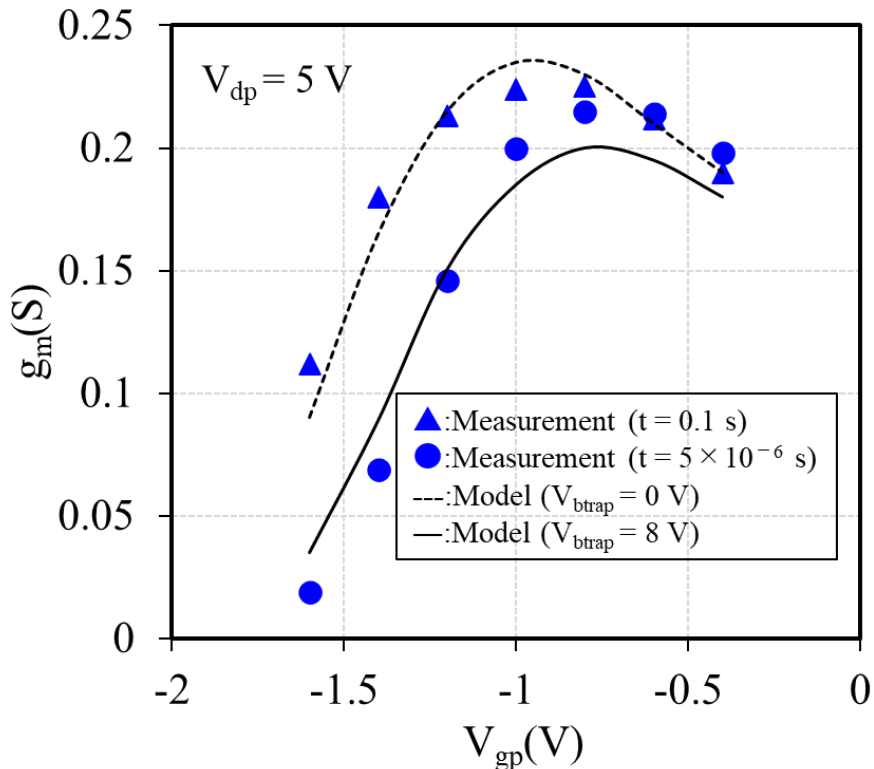


図 2-11 $t = 0.1\text{ s}$ の時と $t = 5 \times 10^{-6}\text{ s}$ の時の g_m - V_{gp} 特性の実測と $V_{\text{btrap}} = 0\text{ V}$ と $V_{\text{btrap}} = 8\text{ V}$ のときの g_m - V_{gp} 特性のモデルの比較

図 2-12 に $t = 0.1\text{ s}$ の時と $t = 5 \times 10^{-6}\text{ s}$ の時の C_{gd} - V_{dp} 特性の実測と $V_{\text{btrap}} = 0\text{ V}$ と $V_{\text{btrap}} = 8\text{ V}$ のときの C_{gd} - V_{dp} 特性のモデルの比較を示す。図 2-12 に示すように $t = 5 \times 10^{-6}\text{ s}$ の時の C_{gd} は低 V_{dp} 領域で $t = 0.1\text{ s}$ 時に比べて低い。これはスト

第2章

レスバイアス直後の状態ではトラップの影響で空乏層がドレイン側に伸びているためである。高 V_{dp} 領域では $t = 5 \times 10^{-6}$ s の時の C_{gd} は $t = 0.1$ s の時の C_{gd} とほぼ同じである。これは高 V_{dp} の場合、ストレスバイアス時のドレイン電圧 V_{dq} との差が小さく、ストレスバイアス時とトラップによる空乏層の変化がそれほど大きくないためである。 $V_{btrap} = 8$ V 時のモデルの C_{gd} が $t = 5 \times 10^{-6}$ s の時の実測の C_{gd} にフィッティングするように $K_{icgd}(=15)$ を抽出した。その結果、図 2-12 に示すようにモデルは実測とよく一致していることを確認した。

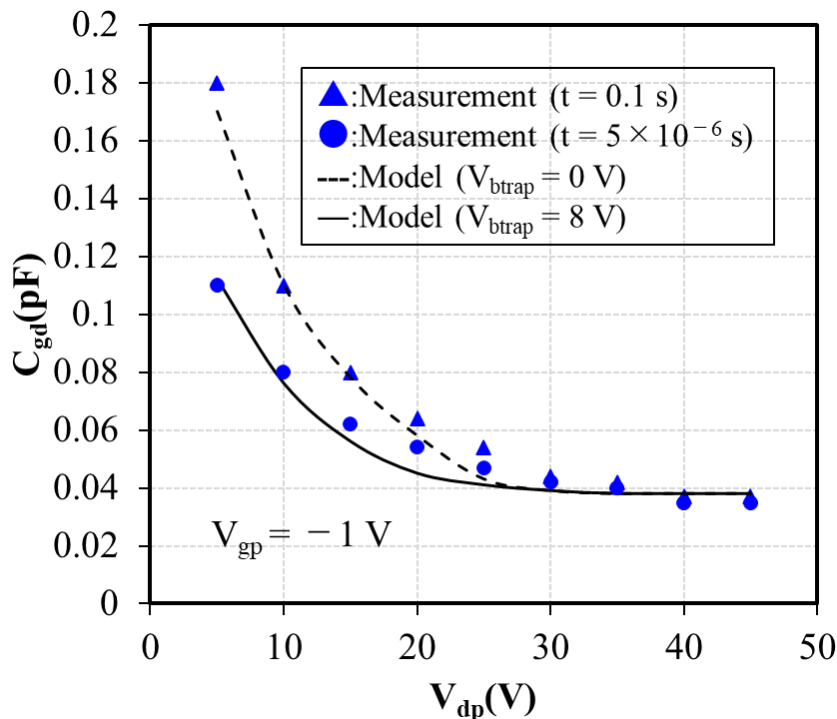


図 2-12 $t = 0.1$ s の時と $t = 5 \times 10^{-6}$ s の時の C_{gd} - V_{dp} 特性の実測と $V_{btrap} = 0$ V と $V_{btrap} = 8$ V のときの C_{gd} - V_{dp} 特性のモデルの比較

2.4 検証結果

提案モデルの妥当性を検証するために実測とモデルの比較を行った。図 2-13 に 28 GHz における電力付加効率(PAE)のロードプルコンターに関する実測とモデルの比較を示す。 V_d が 24 V、アイドルドレイン電流 I_{dq} が 50 mA/mm の時の比

第2章

較である。入力電力 P_{in} は 24 dBm である。図 2-13 示すようにトラップの C_{gd} への影響を考慮した提案モデルは従来モデルよりも実測とよく一致することがわかる。これは周波数が高いミリ波帯では大信号動作時の C_{gd} が出力インピーダンスに大きく影響を及ぼすためである。図 2-14 に利得、通過位相、ドレイン効率の実測とモデルの比較を示す。実測とモデルの入力インピーダンスはそれぞれ利得整合され、出力インピーダンスはそれぞれドレイン効率整合されている。図 2-14 に示すように提案モデルは従来モデルよりも実測によく一致することがわかる。特に AM-PM 特性の飽和動作近傍での精度の改善が大きい。これは提案モデルにおいて飽和出力動作時にロードラインが通る低ドレイン電圧領域のトラップの C_{gd} への影響をモデリングしているためである。

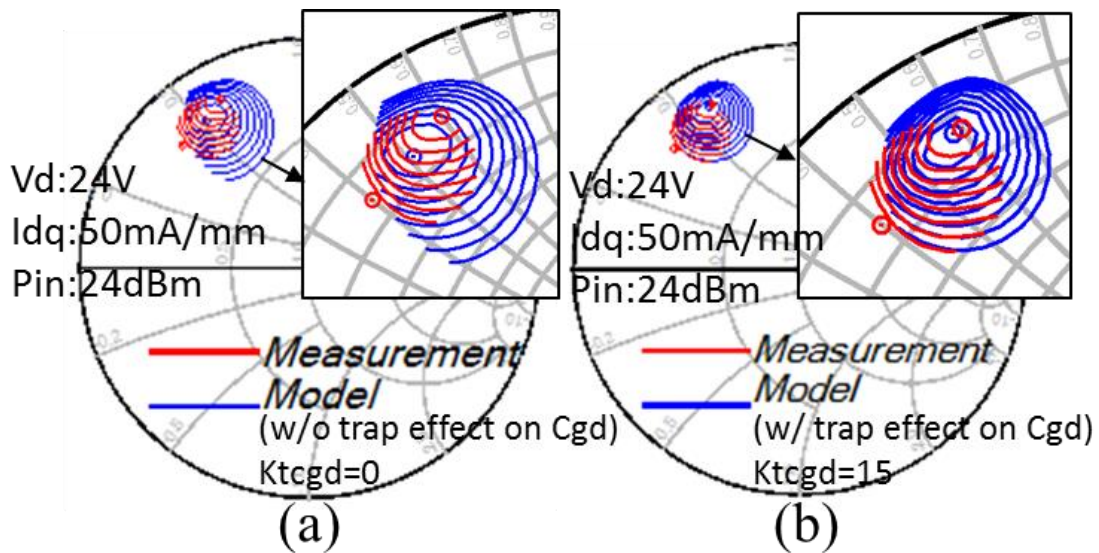


図 2-13 28GHz における PAE のロードプルコンターの実測とモデルの比較 (a) 実測 vs トラップの C_{gd} への影響を考慮しない従来モデル、(b) 実測 vs トラップの C_{gd} への影響を考慮する提案モデル

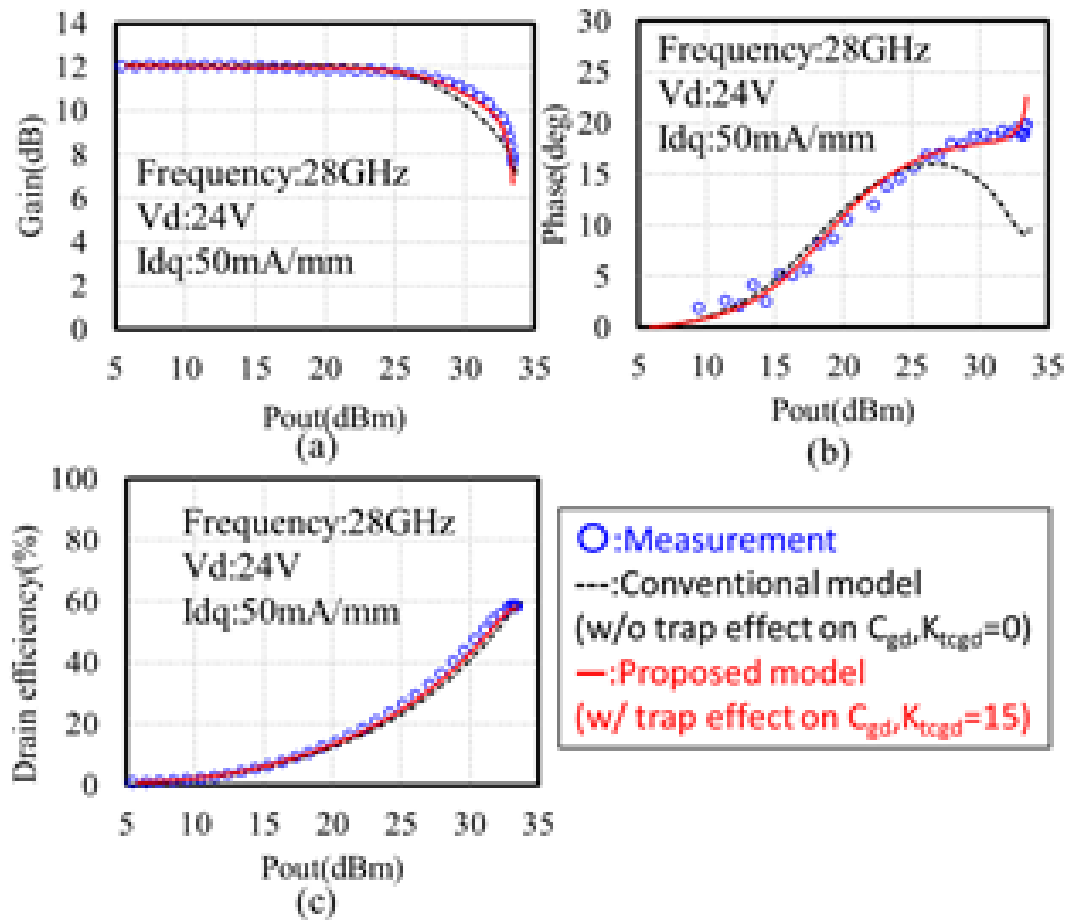


図2-14 利得、通過位相、ドレイン効率の実測とモデルの比較(a)利得、(b)通過位相、(c)ドレイン効率

2.5 むすび

トラップの非線形容量への影響考慮した GaN-HEMT 大信号トランジスタモデルを提案した。このモデル中のトラップモデルのモデルパラメータはドレイン電流及びSパラメータ過渡応答測定から正確に抽出された。非線形容量への影響を考慮することで提案モデルは 28 GHz で AM-AM 特性だけでなく AM-PM 特性に関しても実測とよく一致し、本モデルの有効性を確認した。本モデルを用いることで AM-AM 特性、AM-PM 特性を考慮した増幅器の回路設計が可能になると考えられる。さらに今後、レーダ用増幅器だけでなく通信向け増幅器の設計に

も本モデルを展開するためには通信増幅器で要求される歪特性におけるモデルの精度検証等を行う必要がある。

2.6 参考文献

- [2.1] T. Oishi, T. Otsuka, M. Tabuchi, Y. Yamaguchi, S. Shinjo and K. Yamanaka, "Bias Dependence Model of Peak Frequency of GaN Trap in GaN HEMTs Using Low-Frequency Y_{22} Parameters," IEEE Transactions on Electron Devices, vol. 68, no. 11, pp. 5565-5571, Nov. 2021.
- [2.2] Olivier Jardel, Fabien De Groot, Tibault Reveyrand, Jean-Claude Jacquet, Christophe Charbonniaud, Jean-Pierre Teyssier, Didier Floriot, and Raymond Quere, "An Electrothermal Model for AlGaIn/GaN Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR," IEEE Transactions on Microwave Theory and Techniques, Vol. 55, No. 12, pp. 2660-2669, Dec. 2007.
- [2.3] O. Jardel, F. De Groot, C. Charbonniaud, T. Reveyrand, J. P. Teyssier, R. Quéré, and D. Floriot, "A Drain-Lag Model for AlGaIn/GaN Power HEMTs," IEEE MTT-S International Microwave Symposium (IMS), July 2007.
- [2.4] Peng Luo, Olof Bengtsson, and Matthias Rudolph "Reliable GaN HEMT Modeling Based on Chalmers Model and Pulsed S-Parameter Measurements," 2016 German Microwave Conference, March 2016.
- [2.5] Donghyun Jin and Jesús A. del Alamo, "Methodology for the Study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors," IEEE Trans. Electron Devices, Vol. 60, No. 10, pp. 3190-3196, Oct. 2013.
- [2.6] P. Colantonio, F. Giannini, R. Giofré, L. Piasson, V. Camarchia, G. Ghione, M. Piola, R. Quaglia, A. Nanni, A. Pantellini, and C. Lanzieri, "Improved phase linearity in Source Field Plate AlGaIn/GaN HEMTs," 2014 44th European Microwave Conference, October 2014.
- [2.7] Ilcho Angelov, Lars Bengtsson, and Mikael Garcia, "Extensions of the Chalmers Nonlinear

第 2 章

HEMT and MESFET Model,” IEEE Transactions on Microwave Theory and Techniques.,
Vol. 44, No. 10, pp. 1664-1674, Oct. 1996.

第3章.

Si 基板上 GaN-HEMT の半物理的トランジスタモデル

3.1 まえがき

高出力・高効率な GaN 増幅器がこれまで多数報告されているが[3.1]-[3.5]、性能だけでなくデバイスのコストを削減することも求められる。SiC 基板よりも安価な Si 基板上に作製した GaN (GaN-on-Si) はデバイスのコストを抑えることができるため、これまで GaN-on-Si については多数の期間で研究開発されている[3.6]-[3.8]。さらに、近年 GaN と Si-CMOS を単一の Si 基板上に統合する技術も報告されており[3.9]、GaN-on-Si が再度注目されている。[3.10]-[3.16]では、GaN-on-Si デバイスを用いた増幅器を報告しているが、SiC 基板上に作製した GaN(GaN-on-SiC)と同等の性能を実現するにはいくつかの課題があり、その一つが高温条件下での Si 基板内の容量結合電流である[3.17]-[3.21]。GaN-on-Si は GaN と Si の界面近傍の基板中に電子が存在するため、オフ状態の S22 の抵抗成分が GaN-on-SiC よりも低い。そのため Si 基板中を容量結合電流が流れ、それが損失となり、飽和出力と効率が低下することが報告されている[3.17][3.18]。特に高温状態では基板中の電子濃度が増大するため、容量結合電流が増大し、飽和出力と効率の著しい低下を引き起こす。これらの現象を考慮した高精度な回路設計のためには温度依存性を考慮した物理的な容量結合電流のモデルが必要になる。電源向け GaN パワーデバイスの Si 基板内の DC 垂直リーク電流は、TCAD シミュレーションを用いたモデルが検討されている[3.19]。一方、高周波 GaN 増幅器

第3章

向けの容量結合電流の回路モデルに関しては、小信号等価回路モデルは報告されているものの[3.20]-[3.21]、容量結合電流の温度依存性を物理的に考慮可能なモデルは報告されていない。我々はこれまで TCAD シミュレーションを用いて基板中の容量結合電流の温度依存性の物理的メカニズムを報告した[3.22]。[3.22]では高温での基板中の容量結合電流の増加が、GaN バッファ層と Si 基板の界面における電子と正孔の両方によって引き起こされることを確認した。高周波で高出力高効率な特性を持つトランジスタや増幅器を設計するためには、基板中の容量結合電流の温度依存性を物理的に考慮した大信号トランジスタモデルが必要である。

本章では、第2章で述べたトラップを考慮したモデルを GaN-on-Si 向けに拡張して、Si 基板中の容量結合電流の温度依存性を半物理的に考慮した大信号トランジスタモデルを提案する。提案モデルでは、容量結合電流のパスを表現する C-R-C 回路を基板界面近傍の電子と正孔の濃度の物理式をベースにモデル化した。本モデルは物理的に容量結合電流の温度依存性を考慮することができ、ドレイン電極幅依存性等の物理構造依存性も考慮することも可能である。

3.2 TCAD シミュレーションを用いた解析

図 3-1 に容量結合電流の物理モデルを示す。図 3-1 に示すようにエピ構造は AlGaIn バリア層、GaN チャネル層、およびバッファ層で構成されている。GaN 層と Si 基板の間のバッファ層は、GaN および AlN 層で構成されている。エピタキシャル成長などの高温製造プロセスにより、バッファ層内の Ga または Al 原子が Si 基板に拡散する。そのため、拡散した Ga または Al 原子が Si 基板の上部にアクセプタ領域を形成し、Si 基板の上部には正孔が存在する。アクセプタの活性化エネルギーが非常に低いため、正孔の濃度はほぼアクセプタと同じである。高いドレイン電圧が加わると、ドレイン電極下のアクセプタ濃度が非常に低

くなり、バッファ層と Si 基板の界面に反転層が形成される。反転層内の電子とアクセプタ領域内の正孔が、Si 基板内で容量結合電流を引き起こす。GaN チャネルとバッファ層は、Si-MOS FET における絶縁体と同様に機能する。

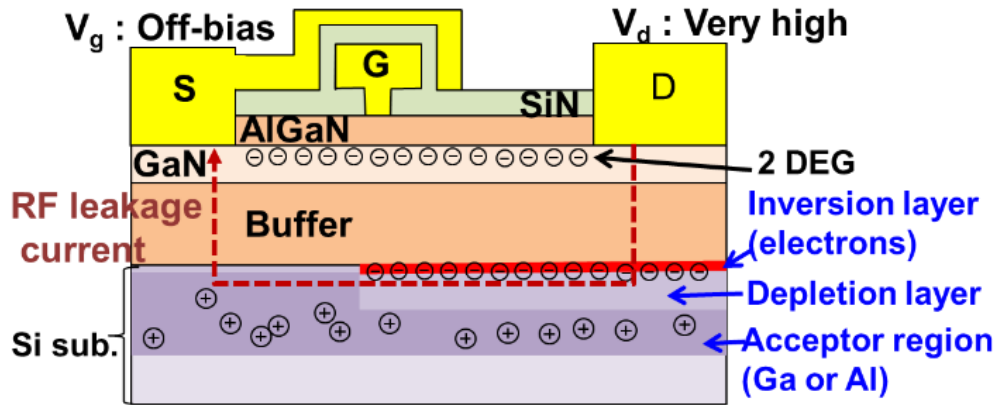


図 3-1 容量結合電流の物理モデル

容量結合電流の物理的メカニズムを明らかにするために、TCAD を用いて Si 基板内のキャリア濃度をシミュレーションした。TCAD のシミュレータは Silvaco 社の Atlas である[3.23]。TCAD シミュレーションでは、自己発熱効果を考慮したポアソン方程式と格子熱流方程式が自己無撞着に解かれて、物理的な特性がシミュレーションされる。TCAD シミュレーションにおいて Si 基板のアクセプタ濃度 N_A が $5 \times 10^{16} \text{ cm}^{-3}$ 、アクセプタ領域の拡散深さ d_A が $0.3 \mu\text{m}$ に設定されており、GaN 層のトラップ濃度は $6 \times 10^{16} \text{ cm}^{-3}$ である。トラップの種類はアクセプタ型であり、トラップ活性化エネルギーは 0.37 eV ある。図 3-2 にオフ状態における S パラメータ (S22) の温度依存性の TCAD シミュレーション結果を示す。図 3-2 に示されるように、GaN-on-Si と GaN-on-SiC の S22 を比較した。SiC 基板にはアクセプタ領域がなく、Si 基板にはアクセプタ領域が設定されている。GaN-on-Si および GaN-on-SiC の両方の構造で GaN 層内にアクセプタ型トラップを設定した。図 3-2 に示されているように、GaN-on-SiC の S22 は、GaN 層の DC 的なリーク電流の温度特性により、温度の上昇に伴いわずかに内側にシフトす

第3章

る。一方、GaN-on-Si の S22 は、高温状態では Si 基板内のキャリア濃度が増大し、容量結合電流が増加するため、温度上昇に伴い大幅に内側にシフトする。これらの結果は、GaN 層内の DC 的なリーク電流よりも、Si 基板内の容量結合電流の方が支配的であることを示唆する。

図 3-3 にオフ状態の電子濃度分布及びホール濃度分布の TCAD シミュレーション結果を示す。ゲート電圧 V_g は -5 V に設定した。図 3-3 に示されているように、ドレイン電圧 V_d が 1 V のとき、電子の反転層は存在せず、Si 基板内のアクセプタによって高濃度の正孔が生成される。 V_d が 50 V のとき、正孔は減少し、バッファ層と Si 基板の界面に電子の反転層が形成される。これは V_d が高くなると電気力線がドレイン電極下から Si 基板に達し、Si の伝導帯がフェルミ準位よりも低くなるためである。また、図 3-3(b) に示すように Si 基板内のキャリア濃度は GaN チャンネル内の濃度よりも高い。そのため、Si 基板内の電子とホールがオフ状態における S22 が内側にシフトすることの支配的な要因であると言える。図 3-4 に異なるアクセプタ濃度 N_A での電子濃度及びホール濃度の TCAD シミュレーション結果を示す。ゲート側のドレイン電極端下の Si 基板中の電子及びホール濃度を示している。図 3-4 に示すように電子の反転層と非常に低いホール濃度の層がバッファ層と Si 基板の界面に形成される。 N_A が高いと、反転層内の電子濃度が低下し、空乏層を除くアクセプタ領域内のホール濃度が増大する。図 3-5 に異なるアクセプタ領域の厚み d_A での電子濃度及びホール濃度の TCAD シミュレーション結果を示す。図 3-5 に示すように d_A が厚いほど、電子濃度は低くなりホール濃度が高くなる。図 3-6 に異なる温度での電子濃度及びホール濃度の TCAD シミュレーション結果を示す。図 3-6 に示すように温度が高いと、Si 基板内の電子とホールの両方の濃度が増加することが分かる。そのため、図 3-2 に示したように温度が高くなるとオフ状態の S22 が内側にシフトする。

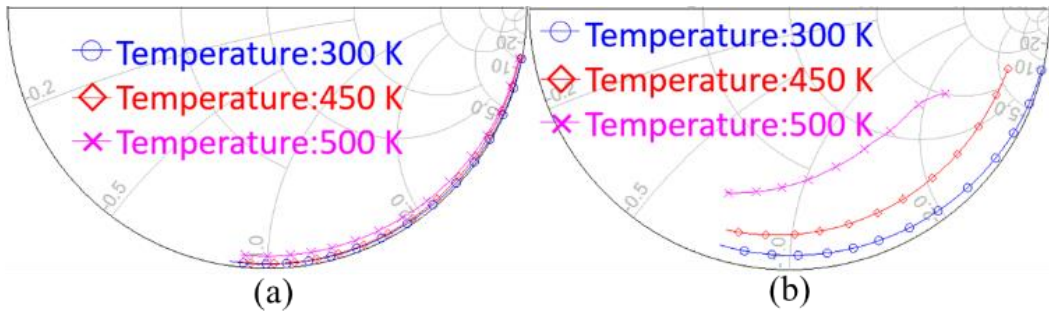


図 3-2 オフ状態における S パラメータ (S22) の温度依存性の TCAD シミュレーション結果、(a) GaN-on-SiC、(b) GaN-on-Si

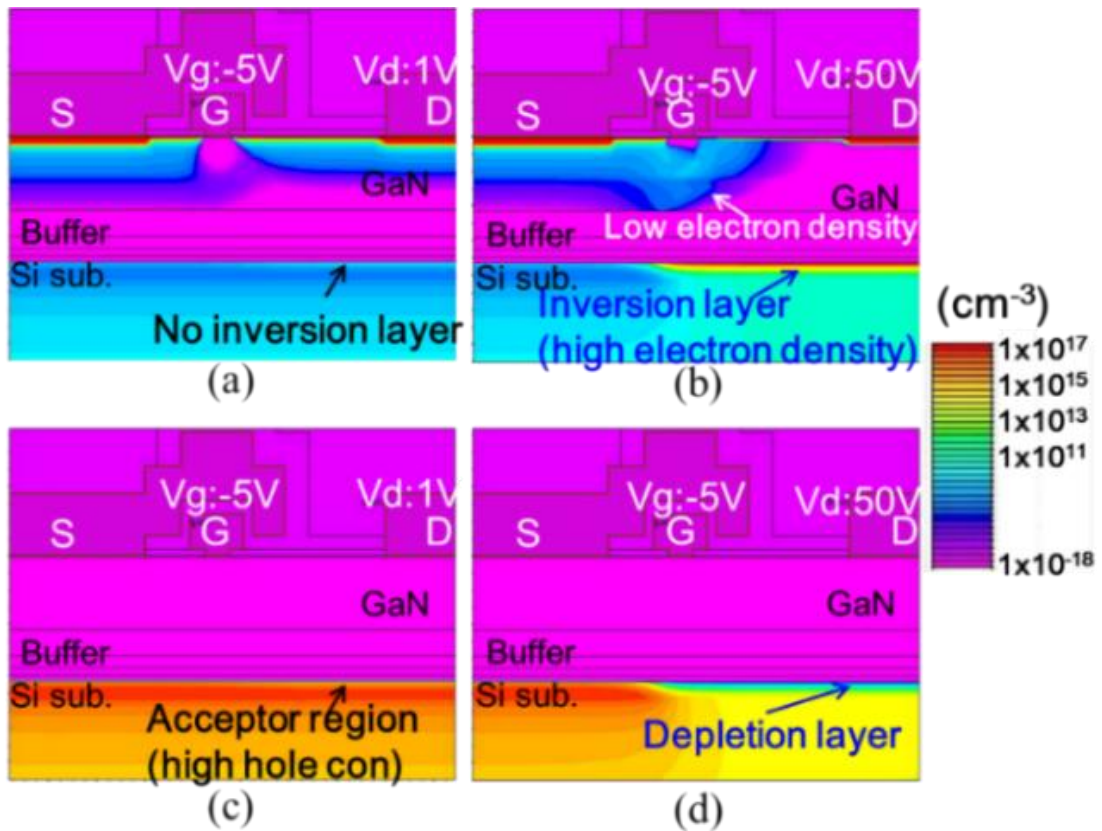


図 3-3 オフ状態の電子濃度分布及びホール濃度分布の TCAD シミュレーション結果、(a) $V_d = 1 \text{ V}$ での電子、(b) $V_d = 50 \text{ V}$ での電子、(c) $V_d = 1 \text{ V}$ でのホール、(d) $V_d = 50 \text{ V}$ でのホール

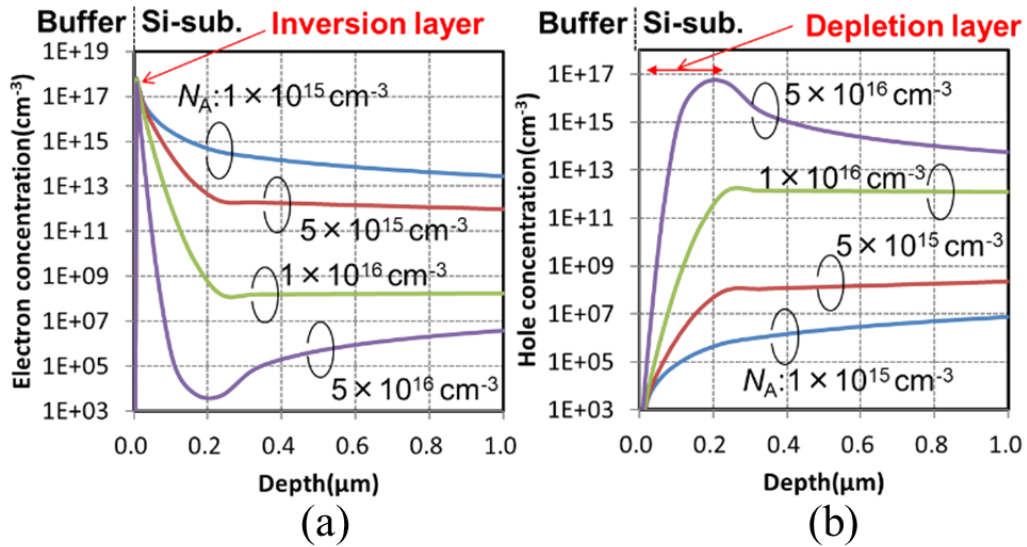


図 3-4 異なるアクセプタ濃度 N_A での電子濃度及びホール濃度の TCAD シミュレーション結果、 $V_d = 50$ V、 $V_g = -5$ V、(a)電子、(b)ホール

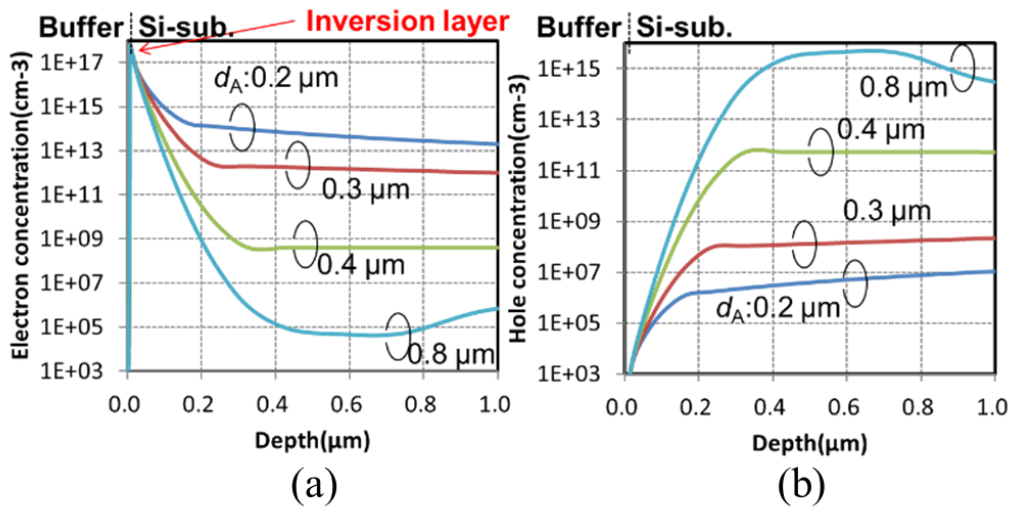


図 3-5 異なるアクセプタ領域の厚み d_A での電子濃度及びホール濃度の TCAD シミュレーション結果、 $V_d = 50$ V、 $V_g = -5$ V、(a)電子、(b)ホール

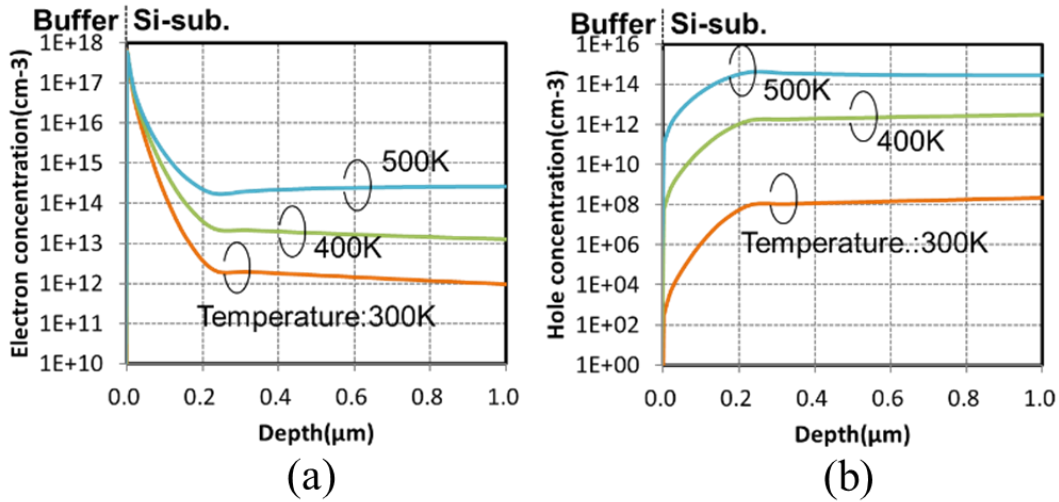


図 3-6 異なる温度での電子濃度及びホール濃度の TCAD シミュレーション結果、 $V_d = 50 \text{ V}$ 、 $V_g = -5 \text{ V}$ 、(a)電子、(b)ホール

3.3 提案する大信号トランジスタモデル

図 3-7 に容量結合電流を考慮した半物理モデルを示す。図 3-7 に示すように提案モデルではドレインとソース端子の間に、容量結合電流用を表現する回路が装荷されている。 R_{subh1} と R_{subh2} は、それぞれドレイン電極およびソース電極下のアクセプタ領域におけるホール起因の抵抗を表している。 R_{sube} は反転層内の電子起因の抵抗を表している。 R_{sub} は R_{subh1} 、 R_{subh2} 、および R_{sube} の合成抵抗である。また、 C_{subd} はドレイン電極と Si 基板内のキャリア間の容量を表し、 C_{subs} はソース電極と Si 基板内のキャリア間の容量を表す。 P_{leak} は $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路を通過する電力である。図 3-8 は提案モデルを装荷した大信号トランジスタモデルを示している。図 3-8 に示すようにベースモデルとして Angelov-GaN モデルを用いた[3.24][3.25]。Angelov-GaN モデルでは、ゲート下の GaN 層中のドレインリーク電流は考慮されているが、温度依存性を含む Si 基板内の容量結合電流は考慮されてない。提案モデルでは図 3-8 に示すように Si 基板内の容量結合電流を表現する $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路が Angelov-GaN モデルのドレイン端子とソース

第3章

端子の間に追加されている。 C_{subd} および R_{sub} は、Si 基板の温度 T_{sub} および V_d に依存する。 T_{sub} の基準面はバッファ層と Si 基板の界面である。 $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路は、ドレインからソースへの容量結合電流を引き起こし、この容量結合電流が出力電力や効率等の RF 性能を劣化させる。 $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路を ASM-GaN や MVSG モデルなどの Angelov-GaN 以外のベースモデルに追加しても、Si 基板中の容量結合電流を考慮することができる。ドレイン電流 I_{ds} 、ドレイン抵抗 R_d 、ソース抵抗 R_s 、ゲート-ソース間キャパシタンス C_{gs} 、およびゲート-ドレイン間キャパシタンス C_{gd} は、Angelov-GaN モデルのモデルパラメータである [3.24][3.25]。図 3-8 に示すようにモデルには熱の影響を考慮したモデルが含まれている [3.25]。 V_{therm} は消費電力 $I_{\text{d0}} \times V_{\text{d0}}$ であり、 I_{d0} および V_{d0} はドレイン電流およびドレイン電圧の DC 成分である。 T_{amb} は環境温度を表している。チャンネル温度 T_{ch} は以下の式で表され、 I_{ds} 、 R_d 、および R_s にフィードバックされる。

$$T_{\text{ch}} = T_{\text{amb}} + V_{\text{therm}} \quad (3-1)$$

図 3-8 に示すように、第2章で述べたトラップの影響を考慮したモデルを改良したモデルも含まれており、図 3-8 中のトラップモデルはトラップの捕獲時定数と放出時定数の両方を考慮できるモデルになっている。トラップモデルは抵抗 R_e 、抵抗 R_c 、キャパシタンス C_t 、およびダイオード D_{tr} で構成されており、ドレイン端子 D_{in} に接続される。トラップモデルの V_{btrap} は I_{ds} や非線形容量にフィードバックされる [3.27]。本提案モデルにおいて容量結合電流のモデルは物理ベースモデルであるが、それ以外のベースとなる Angelov-GaN モデルは回路ベースモデルであるため、本提案モデルは半物理モデルである。

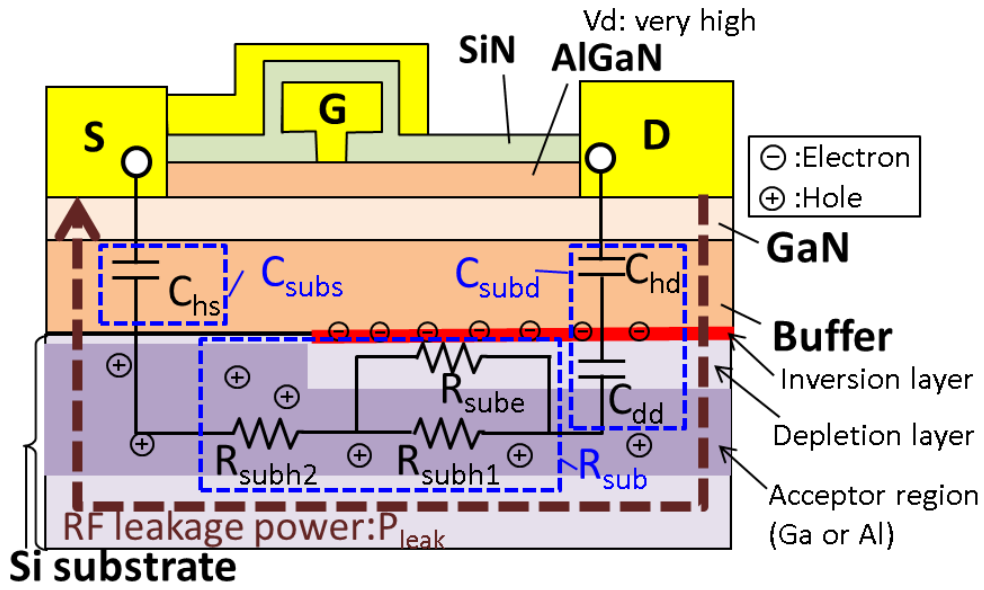


図 3-7 提案する容量結合電流を考慮した半物理モデル

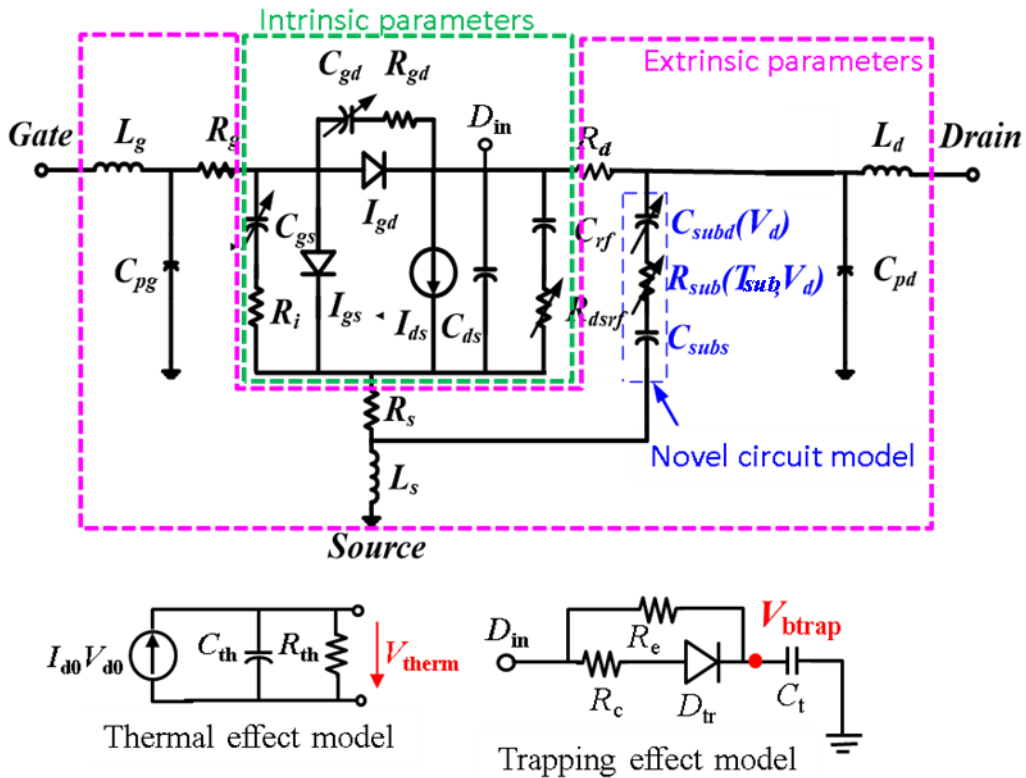


図 3-8 提案モデルを装荷した大信号トランジスタモデル

第3章

図 3-9 はモデリングした GaN-on-Si の断面構造を示す。図 3-9 に示すように GaN チャンネル層の厚さ d_{GaN} 、バッファ層の厚さ d_{buf} 、ソース電極の幅 W_s 、ドレイン電極の幅 W_d 、空乏層の厚さ d_{dep} 、アクセプタ領域の厚さ d_A 、ゲートソース間の長さ L_{ns} 、ゲートドレイン間の長さ L_{nd} 、およびオフセット長 ΔL_{nd} とする。オフセット長は、ドレイン電極下で容量結合電流が流れる部分の長さである。トータルゲート幅は W_{gt} とする。図 3-10 は高ドレインバイアス印加時の GaN-on-Si のエネルギーバンド図を示す。 q は電子の電荷、 E_i は真性半導体のフェルミレベル、 E_c と E_v は、それぞれ伝導帯と価電子帯のエネルギーバンドを示す。 ϕ_f はアクセプタ領域における E_i に対するフェルミポテンシャルである。 ϕ_s は、バッファ層と Si 基板の界面におけるポテンシャルを表す。ドレイン電極下の主なキャリアは、反転層内の電子と Si 基板内のアクセプタ領域の正孔の両方である。一方、ソース電極下の主なキャリアは、反転層がソース下に存在しないため、アクセプタ領域内のホールのみである。 $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路を図 3-9 および図 3-10 に示されたパラメータを用いて物理式ベースで表現することで容量結合電流の物理構造依存性や温度依存性を考慮することが可能である。

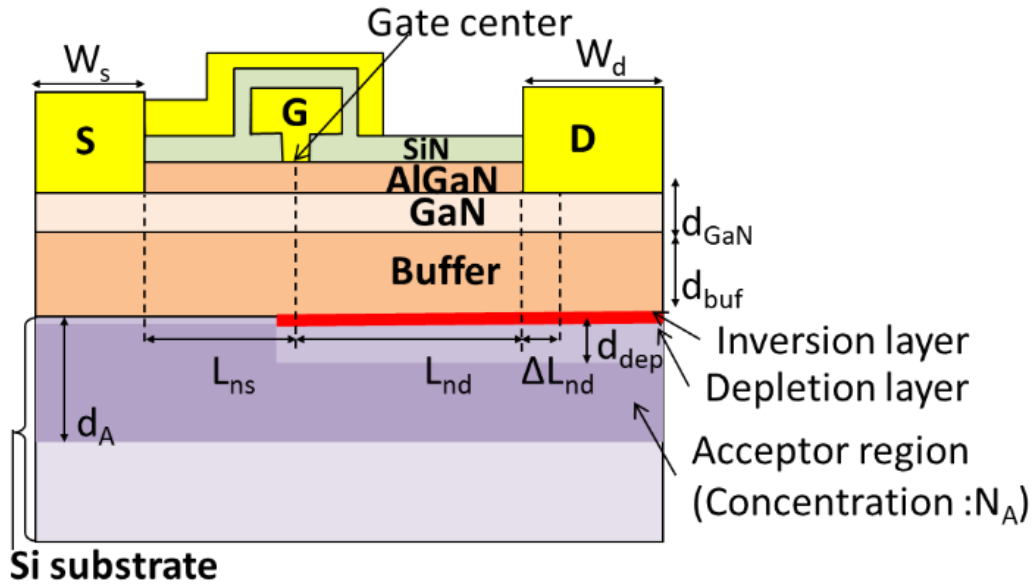


図 3-9 モデリングした GaN-on-Si の断面構造

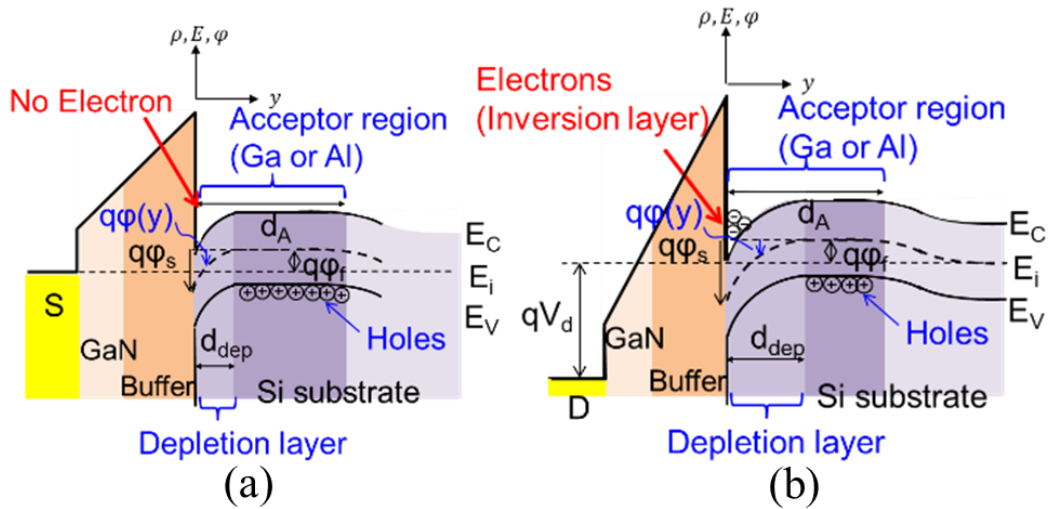


図 3-10 高ドレインバイアス印加時の GaN-on-Si のエネルギーバンド図 (a) ソース電極下、(b) ドレイン電極下

第3章

図 3-10 中の Si 基板の ρ 、 E 、および φ は、それぞれ電荷密度、電場、および電位である。 ρ と φ の関係は、ポアソン方程式によって次式に表される。

$$\frac{d^2\varphi}{dy^2} = -\frac{\rho(y)}{\varepsilon_{Si}} \quad (3-2)$$

ここで、 ε_{Si} は Si 基板の誘電率である。図 3-10 (b)に示されているように、空乏層内のイオン化アクセプタ密度が反転層内の電子密度より十分に低い場合、 ρ は次式で表される。

$$\rho(y) = -qn_0 \exp\left(\frac{q\varphi(y)}{kT_{sub}}\right) \quad (3-3)$$

$$n_0 = n_i \exp\left(-\frac{q\varphi_f}{kT_{sub}}\right) \quad (3-4)$$

ここで k はボルツマン定数、 n_i は真性キャリア濃度である。式(3-2)を式(3-3)に代入すると次式で表現される。

$$\frac{d^2\varphi}{dy^2} = -\frac{qn_0}{\varepsilon_{Si}} \exp\left(\frac{q\varphi(y)}{kT_{sub}}\right) \quad (3-5)$$

式(3-5)の左右両方の項に $d\varphi/dy$ をかけて積分する。左の項は次式で表される。

$$\begin{aligned} \int_0^{d_{dep}} \frac{d\varphi}{dy} \frac{d^2\varphi}{dy^2} dy &= \int_{\varphi_s}^0 \frac{d\varphi}{dy} \frac{d}{dy} \left(\frac{d\varphi}{dy}\right) dy = \int_{\varphi_s}^0 \frac{d\varphi}{dy} d\left(\frac{d\varphi}{dy}\right) \\ &= \int_{E_s}^0 E dE = \left[\frac{1}{2} E^2\right]_{E_s}^0 = -\frac{1}{2} E_s^2 \end{aligned} \quad (3-6)$$

ここで φ_s と E_s はそれぞれ $y = 0$ でのポテンシャルと電界であり、 $E = -d\varphi/dy$ であることを考慮して右の項を計算すると次式になる。

$$\begin{aligned} -\frac{qn_0}{\varepsilon_{Si}} \int_0^{d_{dep}} \exp\left(\frac{q\varphi(y)}{kT_{sub}}\right) \frac{d\varphi}{dy} dy &= -\frac{qn_0}{\varepsilon_{Si}} \int_{\varphi_s}^0 \exp\left(\frac{q\varphi}{kT_{sub}}\right) d\varphi \\ &= -\frac{qn_0 kT_{sub}}{\varepsilon_{Si}} \left[\exp\left(\frac{q\varphi}{kT_{sub}}\right)\right]_{\varphi_s}^0 = -\frac{qn_0 kT_{sub}}{\varepsilon_{Si}} (1 - \exp\left(\frac{q\varphi_s}{kT_{sub}}\right)) \end{aligned} \quad (3-7)$$

E_s は式(3-5)-(3-7)から導出することができる。 $\varphi_s > 0$ のとき $\varphi_s \gg 1$ とであることを考慮して E_s は次式で表現される。

第3章

$$E_s = \sqrt{\frac{2qn_0kT_{\text{sub}}}{\varepsilon_{\text{Si}}} \left(\exp\left(\frac{q\varphi_s}{kT_{\text{sub}}}\right) - 1 \right)} \approx \sqrt{\frac{2qn_0kT_{\text{sub}}}{\varepsilon_{\text{Si}}} \exp\left(\frac{q\varphi_s}{2kT_{\text{sub}}}\right)} \quad (3-8)$$

反転層における電子密度 Q_e は、次式で表される。ここで、 E_g は Si のバンドギャップエネルギーである。

$$|Q_e(T_{\text{sub}})| = |-\varepsilon_{\text{Si}}E_s| = \sqrt{2\varepsilon_{\text{Si}}n_ikT_{\text{sub}}} \exp\left(\frac{q(\varphi_s - \varphi_f)}{2kT_{\text{sub}}}\right) \quad (3-9)$$

式(3-8)中の φ_f と n_i はそれぞれ次式で表される。

$$\varphi_f = \frac{kT_{\text{sub}}}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (3-10)$$

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT_{\text{sub}}}\right) \quad (3-11)$$

ここで N_C と N_V は、それぞれ伝導帯と価電子帯における有効状態密度である。 N_C と N_V はそれぞれ次式で表される。

$$N_C = 2\left(\frac{2\pi m_e kT_{\text{sub}}}{h^2}\right)^{\frac{3}{2}}, \quad N_V = 2\left(\frac{2\pi m_h kT_{\text{sub}}}{h^2}\right)^{\frac{3}{2}} \quad (3-12)$$

これは、ドレイン電圧 V_d が φ_s によって分圧され、その電圧が GaN チャンネル層とバッファ層 φ_{GaN} に印加されるため、 φ_s は次式で表される。

$$\varphi_s = V_d - \varphi_{\text{GaN}} \quad (3-13)$$

φ_s を式(3-9)に代入すると Q_e は次式で表される。

$$|Q_e(T_{\text{sub}}, V_d)| = \sqrt{2\varepsilon_{\text{Si}}n_ikT_{\text{sub}}} \exp\left(\frac{q(V_d - \varphi_{\text{GaN}} - \varphi_f)}{2kT_{\text{sub}}}\right) \quad (3-14)$$

式(3-14)に示すように Q_e は V_d と T_{sub} に依存する。Si の電子移動度 μ_e とホール移動度 μ_h は、それぞれ次式で表される[3.30]。

$$\mu_e(T_{\text{sub}}) = a_e \left(\frac{m_e}{m_0}\right)^{-\frac{5}{2}} T_{\text{sub}}^{-\frac{3}{2}} \quad (3-15)$$

$$\mu_h(T_{\text{sub}}) = a_h \left(\frac{m_h}{m_0}\right)^{-\frac{5}{2}} T_{\text{sub}}^{-\frac{3}{2}} \quad (3-16)$$

上式の移動度モデルでは、高温時に格子散乱が支配的であると仮定している。 m_e と m_h はそれぞれ電子とホールの有効質量を示し、 m_0 は真空中の有効質量であ

第3章

る。 a_e と a_h は定数である。 V_d 、 N_A 、及び ϕ_{GaN} を用いて d_{dep} は次式で得られる。

$$d_{\text{dep}}(V_d) = \sqrt{\frac{2\varepsilon_{\text{Si}}(V_d - \phi_{\text{GaN}})}{qN_A}} \quad (3-17)$$

R_{sube} は次式で表される。

$$R_{\text{sube}}(T_{\text{sub}}, V_d) = \frac{L_{\text{nd}} + \Delta L_{\text{nd}}}{\mu_e(T_{\text{sub}}) |Q_e(T_{\text{sub}}, V_d)| W_{\text{gt}}} \quad (3-18)$$

R_{sub1} と R_{sub2} はそれぞれ次式で表される。

$$R_{\text{subh1}}(T_{\text{sub}}, V_d) = \frac{L_{\text{nd}} + \Delta L_{\text{nd}}}{\mu_h(T_{\text{sub}}) qN_A (d_A - d_{\text{dep}}(V_d)) W_{\text{gt}}} \quad (3-19)$$

$$R_{\text{subh2}}(T_{\text{sub}}) = \frac{L_{\text{ns}}}{\mu_h(T_{\text{sub}}) qN_A d_A W_{\text{gt}}} \quad (3-20)$$

空乏層が伸びて d_{dep} が長くなると、ホールが存在するアクセプタ領域が狭くなり、式(3-19)で示されるように、ドレイン電極下の R_{subh1} が増大する。特に、ソース電極下の R_{sub2} は、ソース電極下のアクセプタ領域が空乏化しないため、 d_{dep} に依存しない。式(3-18)-(3-20)を用いて R_{sub} は次式で表される。

$$R_{\text{sub}}(T_{\text{sub}}, V_d) = \frac{R_{\text{sube}} R_{\text{subh1}}}{R_{\text{sube}} + R_{\text{subh1}}} + R_{\text{subh2}} \quad (3-21)$$

ドレイン電極下の Si 基板中の空乏層部分の容量 C_{dd} は次式で表される。

$$C_{\text{dd}}(V_d) = \frac{\varepsilon_{\text{Si}} W_d W_{\text{gt}}}{d_{\text{dep}}} \quad (3-22)$$

GaN チャネル-バッファ層部分におけるドレイン電極下とソース電極下の容量を、それぞれ C_{hd} および C_{hs} とします。 C_{hd} および C_{hs} は GaN チャネル層とバッファ層の両方で形成されるため、それぞれ次式のように GaN チャネル層の容量とバッファ層の容量の直列接続で表すことができる。

$$C_{\text{hd}} = \frac{\alpha_{\text{GaN}} \varepsilon_{\text{GaN}} \alpha_{\text{buf}} \varepsilon_{\text{buf}} W_d W_{\text{gt}}}{d_{\text{GaN}} \alpha_{\text{buf}} \varepsilon_{\text{buf}} + d_{\text{buf}} \alpha_{\text{GaN}} \varepsilon_{\text{GaN}}} \quad (3-23)$$

$$C_{\text{hs}} = \frac{\alpha_{\text{GaN}} \varepsilon_{\text{GaN}} \alpha_{\text{buf}} \varepsilon_{\text{buf}} W_s W_{\text{gt}}}{d_{\text{GaN}} \alpha_{\text{buf}} \varepsilon_{\text{buf}} + d_{\text{buf}} \alpha_{\text{GaN}} \varepsilon_{\text{GaN}}} \quad (3-24)$$

第3章

ϵ_{GaN} と ϵ_{buf} は、それぞれ GaN チャンネル層およびバッファ層の誘電率である。 α_{GaN} と α_{buf} は、GaN チャンネル層およびバッファ層にドーピングを施した際の誘電率の変化を補正するための係数である。ドレイン電極下の合成容量である C_{subd} は C_{hd} と C_{dd} の直列接続で表される。式(3-22)と式(3-23)を用いて C_{subd} は次式で表される。

$$C_{\text{subd}}(V_d) = \frac{C_{\text{dd}}C_{\text{hd}}}{C_{\text{dd}} + C_{\text{hd}}} \quad (3-25)$$

ソース電極下には空乏層も反転層も存在しないため、次式のようにソース電極下の合成容量 C_{subs} は C_{hs} と等しくなる。

$$C_{\text{subs}} = C_{\text{hs}} \quad (3-26)$$

式(3-22)-(3-26)で示すように W_d 及び W_s が狭い場合、 C_{subd} 及び C_{subs} は減少する。その結果、 C_{subd} 及び C_{subs} の減少により、 $C_{\text{subd}}-R_{\text{sub}}-C_{\text{subs}}$ 回路を通る Si 基板中の容量結合電流は抑制される。 T_{offset} は Si 基板の温度 とチャンネル温度の差を表す。仮に T_{ch} と T_{sub} の差がある場合、 T_{offset} をオプションで設定することができる。その場合、 T_{sub} は次式で表される。

$$T_{\text{sub}} = T_{\text{ch}} + T_{\text{offset}} \quad (3-27)$$

3.4 提案モデルによるシミュレーション

提案モデルを用いて Si 基板中の各抵抗を計算した。図 3-11 に各抵抗の温度特性の計算結果を示す。式(3-18)で示されるように、温度が上昇すると反転層内の電子濃度が指数関数的に増大するため、 R_{sube} は減少する。また、 N_A が増大すると、 R_{sube} は増大する。これは、 ϕ_f が N_A の増大によって高くなり、反転層内の電子密度が減少するためである。一方、式(3-19)、(3-20)で示すように、 R_{subh1} と R_{subh2} は、Si 基板内のホールの移動度が高温で低下するため、温度上昇によって増大する。 N_A が増大すると、アクセプタ領域のホール濃度が増大するため、 R_{subh1} と R_{subh2} は減少する。図 3-12 は合成抵抗 R_{sub} の温度依存性の計算結果で

第3章

ある。 $T_{\text{amb}} < 350 \text{ K}$ では、 R_{sub} の支配的な抵抗は R_{subh1} であり、温度の上昇とともに R_{sub} が増加する。 $T_{\text{amb}} > 350 \text{ K}$ では、高温で減少する R_{sube} が R_{sub} に影響を与え、温度の上昇に伴い R_{sub} が減少する。Si 基板内の抵抗の温度特性を考慮するためには、反転層内の電子とアクセプタ領域のホールをモデル化する必要があることが分かる。表 3-1 には、Si 基板中の抵抗の計算に用いたモデルパラメータリストを示している。 T_{offset} は -12 K に設定した。これは[3.31]で TCAD で計算した格子温度分布を参照した値である。

第3章

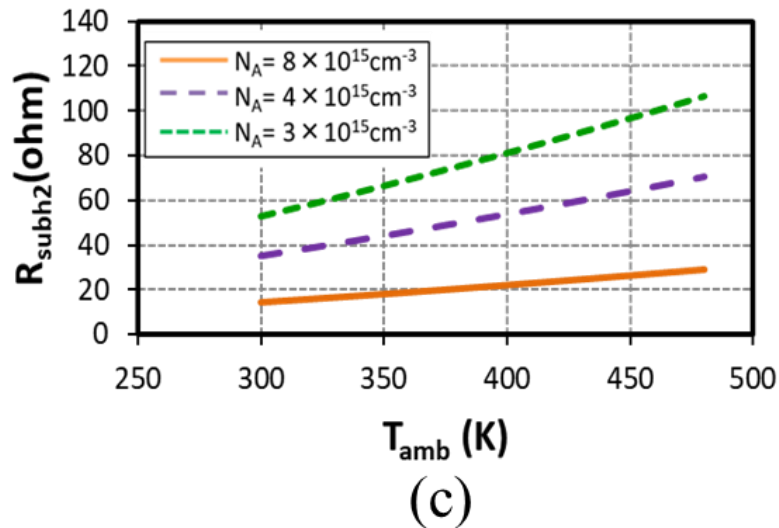
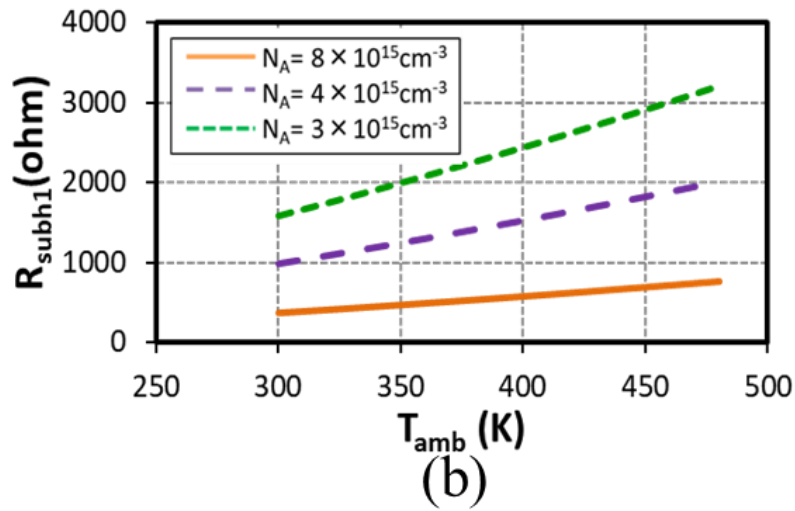
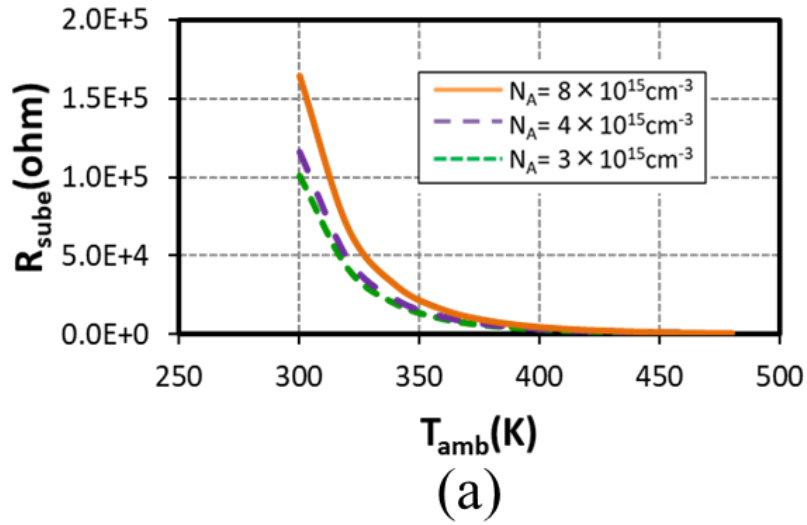


図 3-11 各抵抗の温度特性の計算結果 (a) R_{sube} 、(b) R_{subh1} 、(c) R_{subh2}

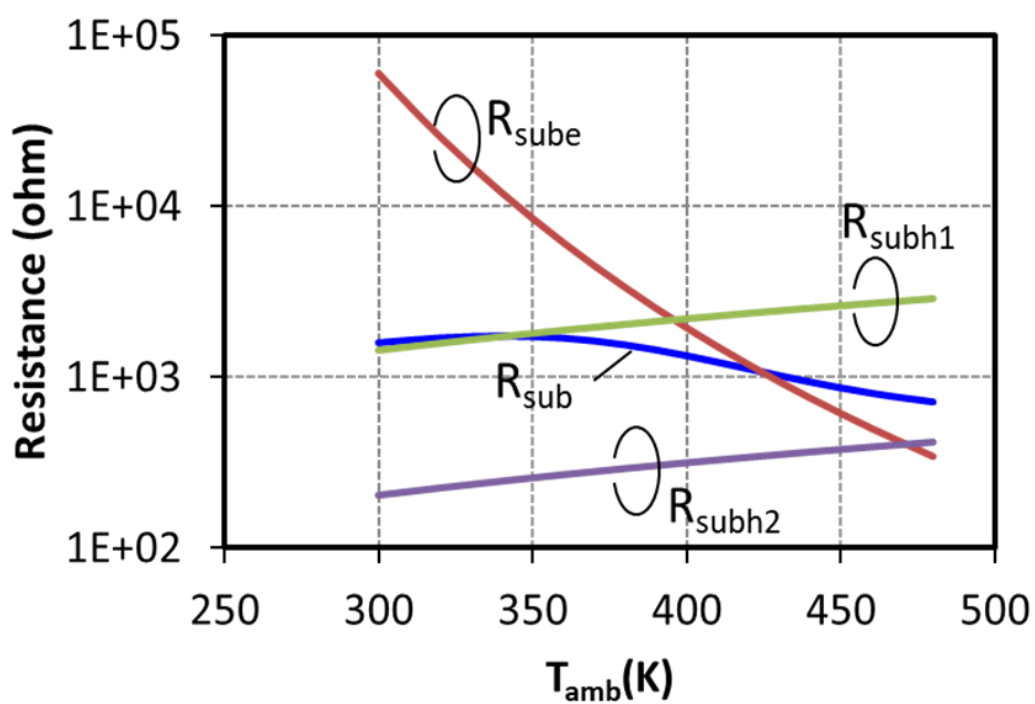


図 3-12 合成抵抗 R_{sub} の温度依存性の計算結果

第 3 章

表 3-1 Si 基板中の抵抗の計算に用いたモデルパラメータリスト

Parameter	Quantity	Value
$k(\text{J/K})$	Boltzmann's constant	1.4E-23
$q(\text{C})$	Elementary charge	1.6E-19
$E_g(\text{eV})$	Energy band gap	1.12
$\epsilon_{\text{Si}}(\text{F/m})$	Permittivity of Si	1.2E+01
$\epsilon_{\text{GaN}}(\text{F/m})$	Permittivity of GaN	8.7
$\epsilon_{\text{buf}}(\text{F/m})$	Permittivity of the buffer layer	9
α_{GaN}	Coefficient for doping in the GaN layer	1
α_{buf}	Coefficient for doping in the buffer layer	1
$\phi_{\text{GaN}}(\text{V})$	Voltage applied to the GaN and buffer layer	49.6
$m_0(\text{kg})$	Effective mass in vacuum	9.1E-31
$m_e(\text{kg})$	Effective mass of electrons in Si	3.0E-31
$m_h(\text{kg})$	Effective mass in vacuum	1.0E-30
α_e	Constant for electron mobility	5.0E+05
α_h	Constant for hole mobility	3.0E+06
$L_{\text{nd}}(\mu\text{m})$	Length between gate and drain electrodes	3.5
$L_{\text{ns}}(\mu\text{m})$	Length between gate and source electrodes	1.5
$\Delta L_{\text{nd}}(\mu\text{m})$	Offset length	7
$W_{\text{gt}}(\text{mm})$	Total gate width	1.2
$W_{\text{d}}(\mu\text{m})$	Drain electrode width	64
$W_{\text{s}}(\mu\text{m})$	Source electrode width	64
$d_{\text{GaN}}(\mu\text{m})$	GaN channel layer thickness	0.75
$d_{\text{buf}}(\mu\text{m})$	Buffer layer thickness	1.05
$d_{\text{A}}(\mu\text{m})$	Accptor region thickness	0.72

3.5 検証結果

提案モデルの妥当性を検証するため、実測結果との比較を行った。測定したデバイスは、ゲート長 $0.5 \mu\text{m}$ 、基板厚 $60 \mu\text{m}$ のソースフィールドプレート付き GaN-on-Si であり、ドレインおよびソース電極の幅は $64 \mu\text{m}$ である。ゲート幅は 10 フィンガー $\times 120 \mu\text{m}$ である。図 3-13 に実測とモデルの DC-IV 特性を示している。

第 3 章

図 3-13 に示すように実測とモデルは概ね一致していることが分かる。特に高 I_{ds} かつ高 V_{ds} 領域における自己発熱による I_{ds} 低下もモデルで高精度に再現できていることを確認した。図 3-14 は室温と高温時の実測とモデルの DC-IV 特性を示している。 $T_{amb} = 300\text{ K}$ と 450 K の両方でモデルは実測とよく一致していることを確認した。提案した C_{subd} - R_{sub} - C_{subs} は容量が直列入っているため、DC-IV 特性には影響を与えない。提案回路とは独立して Angelov-GaN モデルパラメータへ自己発熱の影響を問題なく考慮できることを確認した。図 3-15 にパルス IV 特性のゲート電圧及びドレイン電圧のタイムチャートを示す。 V_{gq} と V_{dq} はそれぞれ T_{st} 中のストレスゲート電圧とストレスドレイン電圧であり、パルスドレイン電流は T_m 中に V_{gs} 及び V_{ds} のゲート電圧及びドレイン電圧で測定された。 T_{st} と T_m はそれぞれ 1 ms と $1\text{ }\mu\text{s}$ である。図 3-16 に実測とモデルのパルス IV 特性を示す。 $(V_{gq}, V_{dq}) = (-5\text{ V}, 30\text{ V})$ のときは、 $(V_{gq}, V_{dq}) = (0\text{ V}, 0\text{ V})$ に比べてトラップの影響によってパルスドレイン電流が低下する。図 3-16 に示すように $T_{amb} = 300\text{ K}$ と 400 K の両方で実測とモデルが一致し、トラップモデルがパルス IV 特性の実測を再現することを確認した[3.26]。

第3章

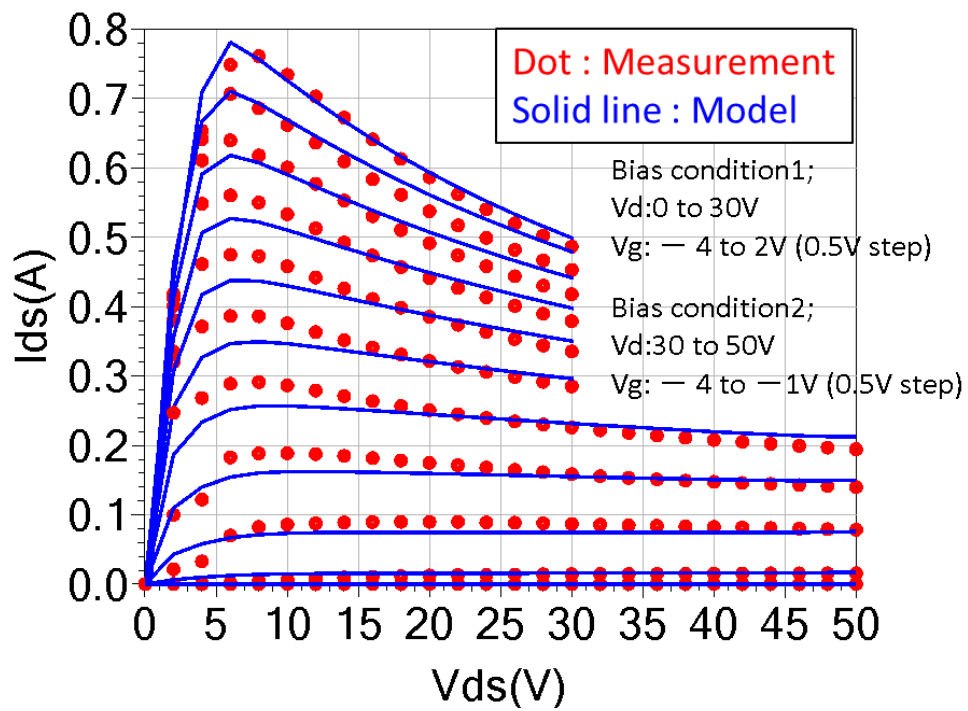


図 3-13 実測とモデルの DC-IV 特性

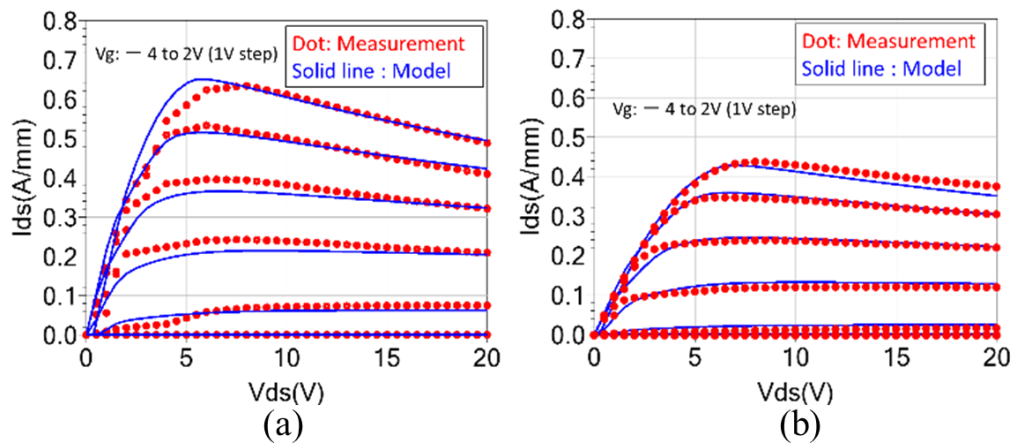


図 3-14 室温と高温時の実測とモデルの DC-IV 特性 (a) $T_{\text{amb}} = 300 \text{ K}$ 、(b) $T_{\text{amb}} = 450 \text{ K}$

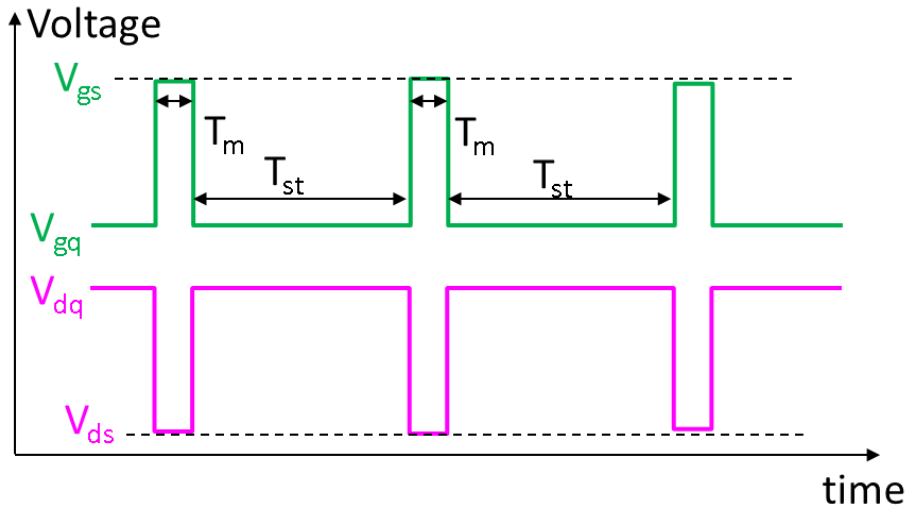


図 3-15 パルス IV 特性のゲート電圧及びドレイン電圧のタイムチャート

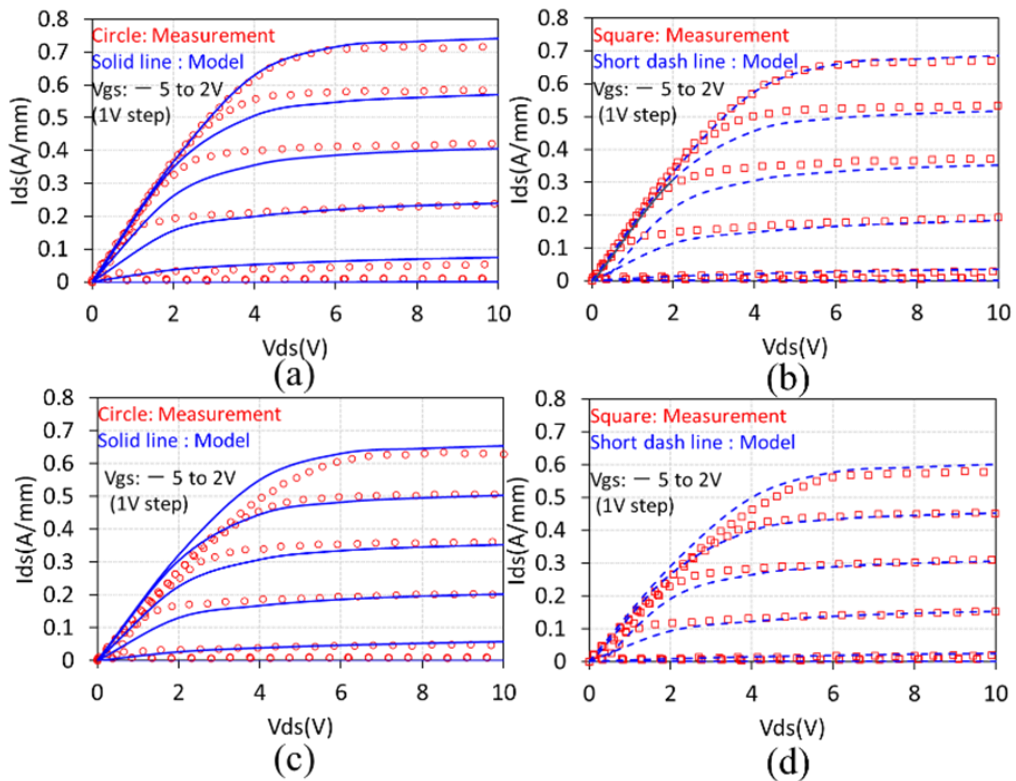


図 3-16 実測とモデルのパルス IV 特性 (a) $T_{amb} = 300 \text{ K}$, $(V_{gq}, V_{dq}) = (0 \text{ V}, 0 \text{ V})$, (b) $T_{amb} = 300 \text{ K}$, $(V_{gq}, V_{dq}) = (-5 \text{ V}, 30 \text{ V})$, (c) $T_{amb} = 400 \text{ K}$, $(V_{gq}, V_{dq}) = (0 \text{ V}, 0 \text{ V})$, (d) $T_{amb} = 400 \text{ K}$, $(V_{gq}, V_{dq}) = (-5 \text{ V}, 30 \text{ V})$

第 3 章

図 3-17 に実測とモデルのオン状態での S パラメータを示す。 V_d は 50 V であり、アイドルドレイン電流 I_{dq} は 30 mA/mm である。提案モデルは、オン状態での測定された S パラメータと概ね一致することを確認した。図 3-18 に実測とモデルのゲートソース間容量のゲート電圧依存性を示している。また、図 3-19 に実測とモデルのゲートソース間容量のゲート電圧依存性を示している。図 3-18 及び図 3-19 に示すようにモデルは実測の容量に概ね一致し、Angelov-GaN モデルの非線形容容量のパラメータを正確に抽出できていることを確認した。図 3-20 に実測とモデルのオフ状態の S22 の温度特性を示す。規格化インピーダンスは 400 Ω である。 V_d と V_g はそれぞれ 50 V、-5 V である。周波数範囲は 0.5 GHz から 6 GHz である。図 3-20 に示すように $T_{amb} = 298$ K と $T_{amb} = 433$ K の両方でモデルは実測と概ね一致しており、提案モデルは温度上昇時の R_{sub} 低下を考慮して実測を高精度に再現していることを確認した。図 3-21 に実測とモデルのオン状態の S22 の温度特性を示す。 V_d は 50 V であり、アイドルドレイン電流 I_{dq} は 30 mA/mm である。周波数範囲は 0.5 GHz から 6 GHz である。図 3-21 に示すように C_{subd} - R_{sub} - C_{subs} なしの場合、モデルは実測と一致しないが、 C_{subd} - R_{sub} - C_{subs} ありの場合、 $T_{amb} = 298$ K と $T_{amb} = 373$ K の両方で実測とモデルは概ね一致することが分かる。オフ状態では、 T_{ch} は T_{amb} と等しいが、オン状態では T_{ch} は T_{amb} よりも高くなる。提案モデルは T_{amb} だけでなくオン状態における T_{ch} の上昇の影響を考慮できるモデルであるため、オン状態においても実測を再現することができた。図 3-22 に実測とモデルの R_{sub} の温度特性を示す。 V_d と V_g はそれぞれ 50 V、-5 V である。 R_{sub} はオフ状態の S22 から抽出した。オフ状態では自己発熱がないため、 T_{ch} は T_{amb} とほぼ等しくなる。また、オフ状態での R_{dsf} は R_{sub} よりも十分に高いため、オフ状態での S22 のコンダクタンスは $1/R_{sub}$ にほぼ等しくなる。そのため、オフ状態の S22 から R_{sub} を抽出することができる。図 3-22 に示すように、提案モデルは実測の R_{sub} の温度特性と概ね一致していることが分かる。実測とモデルの R_{sub} は温度が上昇すると $T_{amb} = 350$ K 付近で最大となり、さ

第 3 章

らに温度が上がると R_{sub} は低下する。このような温度特性は図 3-12 で示したように Si 基板内の電子及びホールの方の影響を受けていることが原因であり、提案モデルの R_{sube} 、 R_{subh1} 、および R_{subh2} の合成によって表現することができる。

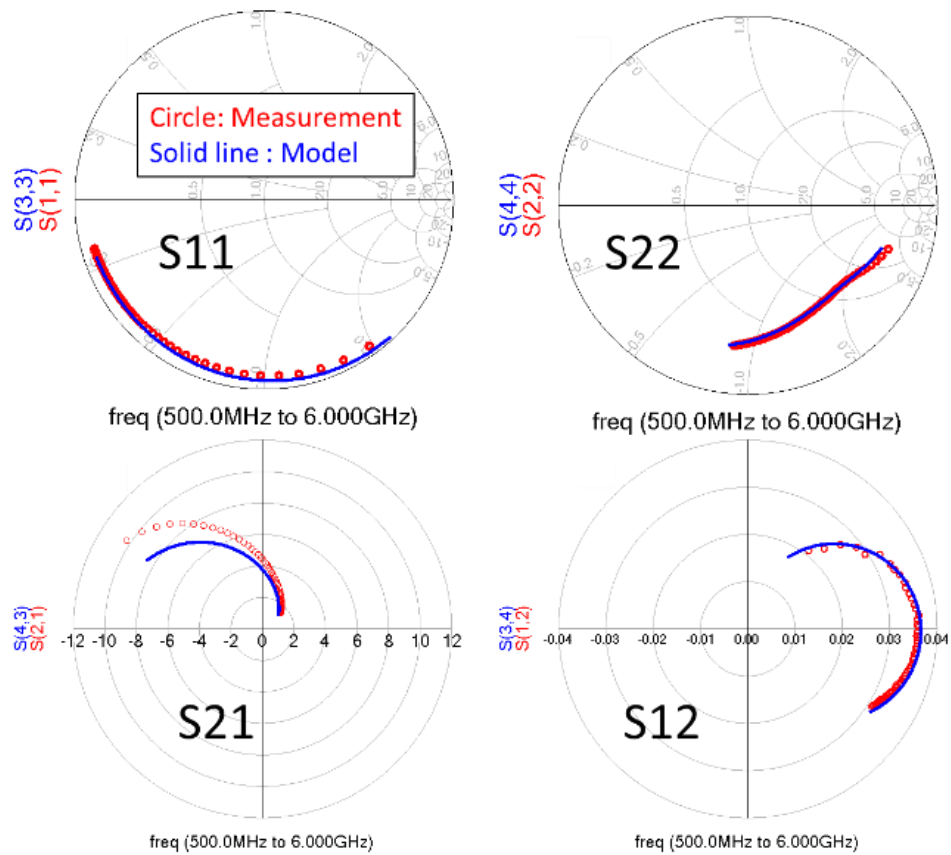


図 3-17 実測とモデルのオン状態での S パラメータ

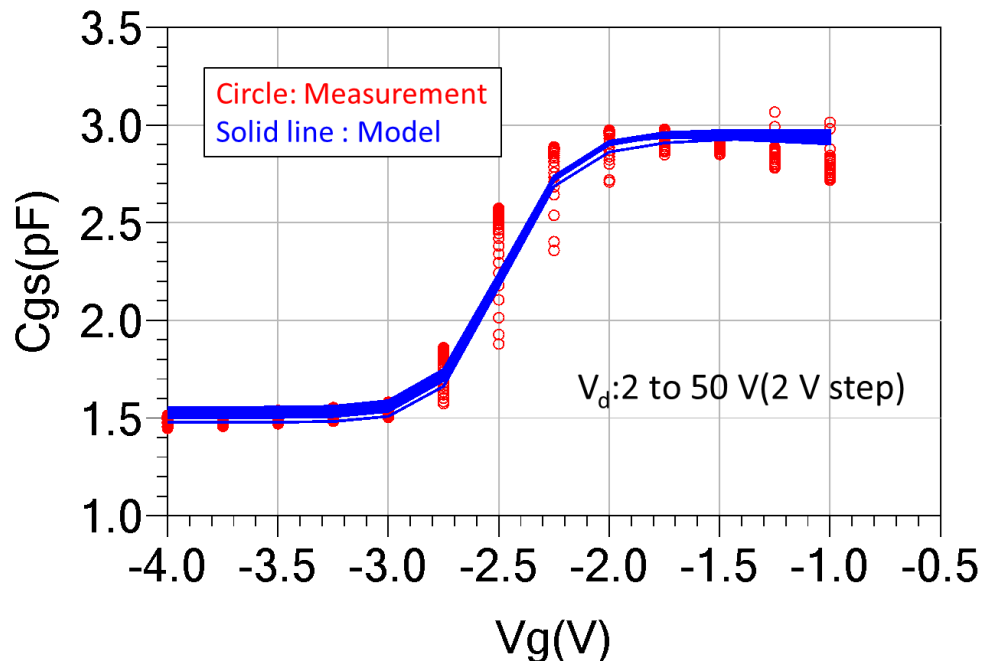


図 3-18 実測とモデルのゲートソース間容量のゲート電圧依存性

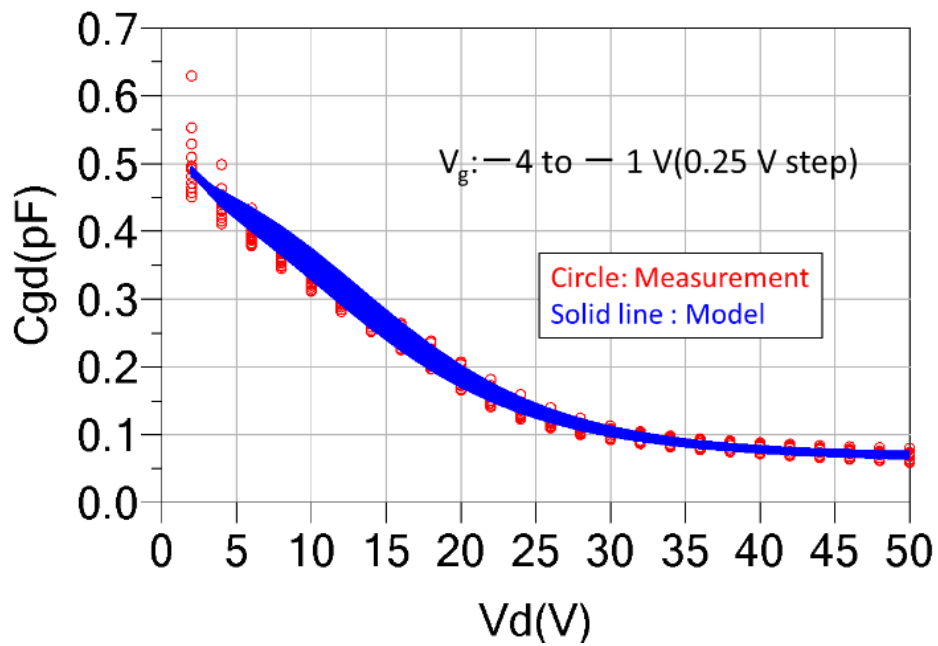


図 3-19 実測とモデルのゲートドレイン間容量のドレイン電圧依存性

第 3 章

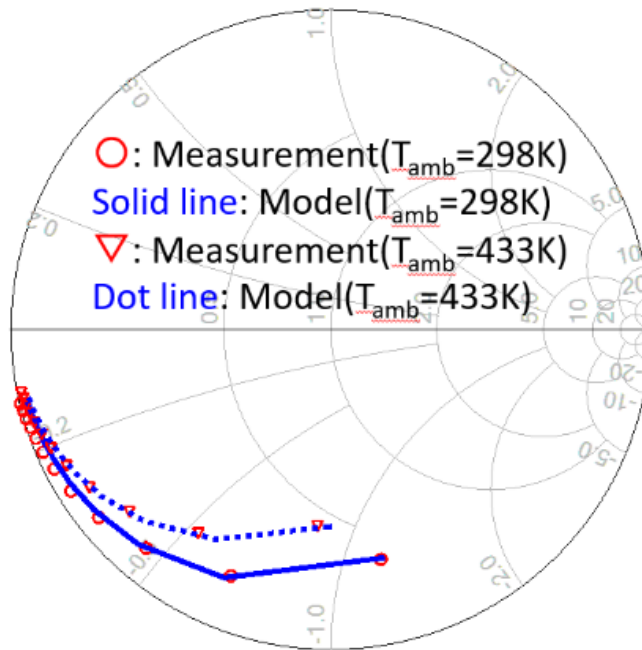


図 3-20 実測とモデルのオフ状態の S22 の温度特性

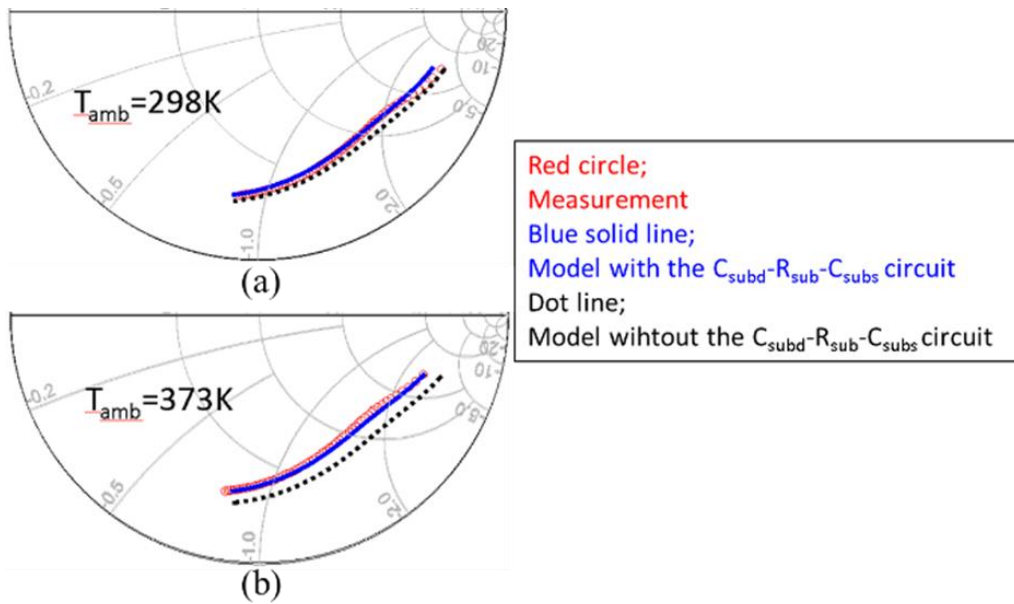


図 3-21 実測とモデルのオン状態の S22 の温度特性

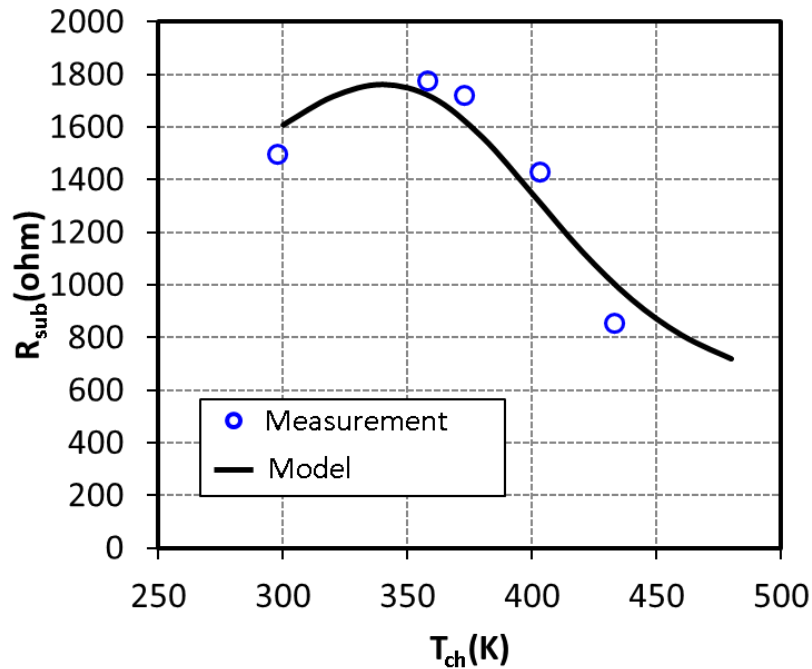


図 3-22 実測とモデルの R_{sub} の温度特性

図 3-23 に実測とモデルの PAE のロードプルコンターを示す。 V_d は 50 V であり、 I_{dq} は 30 mA/mm である。周波数は 2.7 GHz である。図 3-23 に示すようにモデルは実測と概ね一致することを確認した。図 3-24 に C_{subd} - R_{sub} - C_{subs} を通過する電力 P_{leak} のシミュレーション結果を示す。 V_d は 50 V であり、 I_{dq} は 30 mA/mm である。周波数は 2.7 GHz である。図 3-24 に示すように出力電力 P_{out} が增大すると T_{ch} が上昇し、それに伴い R_{sub} が減少するため、 P_{leak} が増大する。 P_{leak} の増大によって引き起こされる自己発熱の影響で T_{ch} はさらに上昇する。 T_{ch} が上昇することで R_{sub} が減少し、 P_{leak} は正のフィードバックによってさらに増大する。また、 T_{amb} が高いと R_{sub} が低下するため、より低い出力で P_{leak} が増大し始める。図 3-25 にチャンネル温度 T_{ch} のシミュレーション結果を示す。 V_d は 50 V であり、 I_{dq} は 30 mA/mm である。周波数は 2.7 GHz である。図 3-25 に示すように C_{subd} - R_{sub} - C_{subs} 回路なしのモデルと比較して C_{subd} - R_{sub} - C_{subs} 回路ありのモデルは P_{out} 増大時における T_{ch} の上昇が大きいことが分かる。特に T_{amb} が高いとき T_{ch} の上昇が大

第3章

きくなっている。 T_{ch} 上昇に伴う R_{sub} の低下で P_{leak} が増大すると、自己発熱の影響で T_{ch} はさらに上昇するため、正のフィードバックがかかり T_{ch} が上昇する。特に T_{amb} が高いと R_{sub} が低下するため、正のフィードバックが生じやすくなり、 T_{ch} が急激に上昇する。この急激な T_{ch} の上昇は P_{out} や PAE 等の RF 性能の低下を引き起こす。図 3-26 に異なる温度での実測とモデルのパワースweep特性を示している。 V_d は 50 V であり、 I_{dq} は 30 mA/mm である。周波数は 2.7 GHz である。チューナーを用いて入力側は Gain 整合し、出力側は PAE 整合している。図 3-26 に示すように実測に関して、 T_{amb} が高くなると P_{out} 、利得 Gain、および PAE はいずれも低下していることが分かる。モデルに関して C_{subd} - R_{sub} - C_{subs} 回路なしのモデルの $T_{amb} = 395$ K および 425 K での RF 性能は、ほぼ $T_{amb} = 300$ K と同じであり、実測結果とは一致しない。一方、基板中の容量結合電流を考慮した C_{subd} - R_{sub} - C_{subs} 回路ありモデルは、いずれの T_{amb} においてもパワースweep特性を高精度に再現していることが分かる。

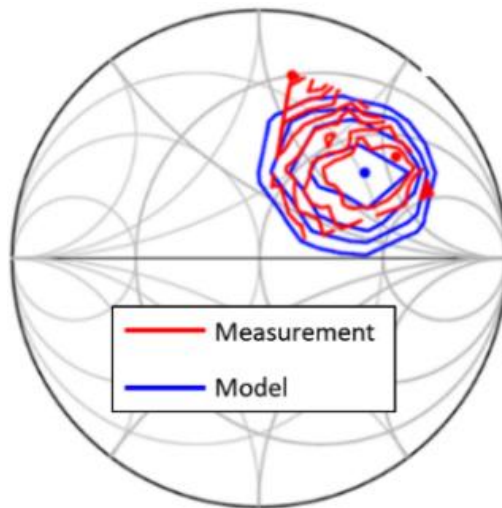


図 3-23 実測とモデルの PAE のロードプルコンター

第 3 章

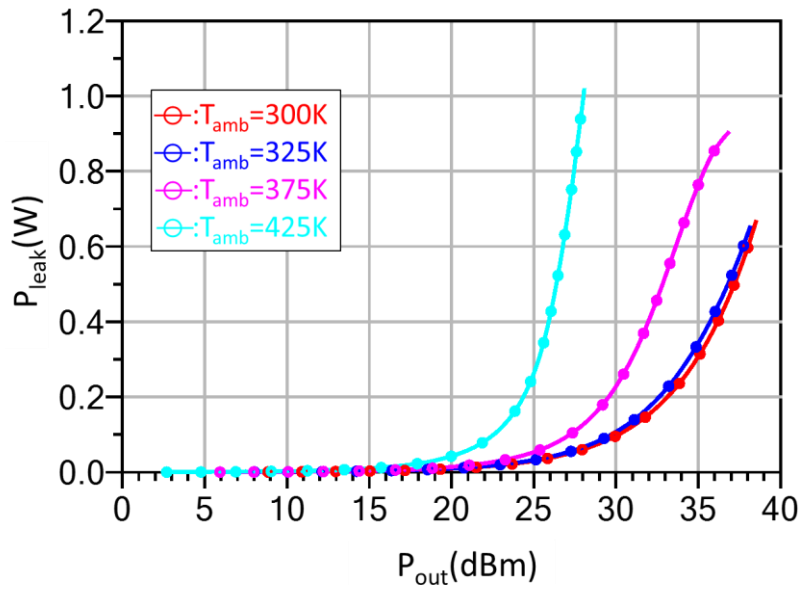


図 3-24 $C_{subd}-R_{sub}-C_{subs}$ を通過する電力 P_{leak} のシミュレーション結果

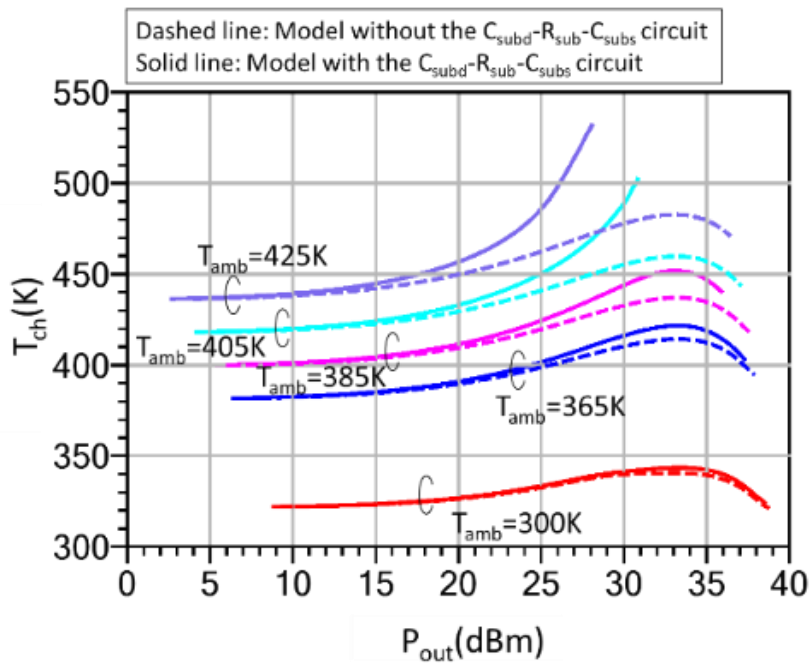


図 3-25 チャンネル温度 T_{ch} のシミュレーション結果

第3章

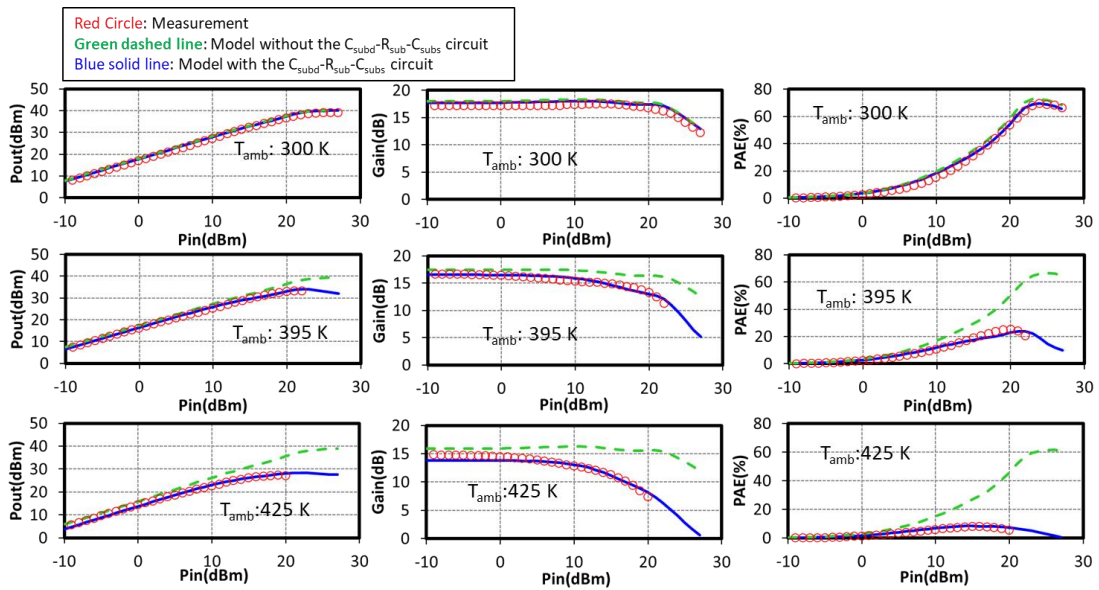


図 3-26 異なる温度での実測とモデルのパワースweep特性

図 3-27 に実測とモデルの大信号特性のドレイン電極幅依存性を示す。ドレイン電極下の容量 C_{subd} は、式(3-22)-(3-25)で示したように、ドレイン電極幅 W_d を狭くすることで減少する。そのため、図 3-27 に示すように W_d を狭くすると C_{subd} - R_{sub} - C_{subs} 回路を通過する容量結合電流が抑制され、電力密度 P_d と PAE が向上する。この傾向に関して提案モデルと実測は概ね一致することが分かる。提案モデルにおいて C_{subd} - R_{sub} - C_{subs} 回路は物理式ベースで表現しているため、温度特性に影響を与える電極幅などの物理構造パラメータを、提案モデルを用いて設計することが可能である。

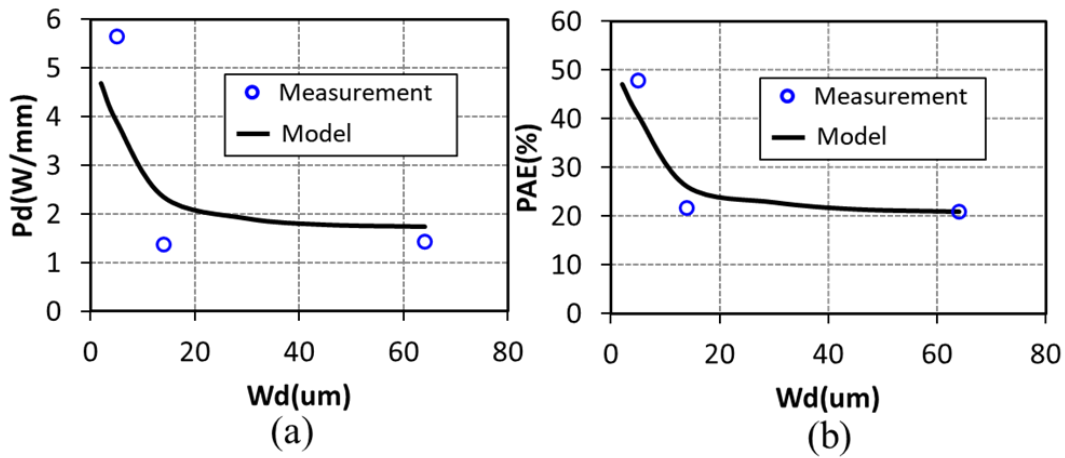


図 3-27 実測とモデルの大信号特性のドレイン電極幅依存性

3.6 むすび

本章では GaN-on-Si 向けに基板中の容量結合電流の温度依存性を半物理的に考慮した大信号トランジスタモデルを提案した。大信号特性における容量結合電流の影響をモデル化するために、ドレイン端子とソース端子の間に C-R-C 回路を追加した。この C-R-C 回路内の抵抗と容量は電子およびホールの濃度、移動度、電極幅などの物理的パラメータを用いた物理式ベースで表現した。提案モデルの妥当性を検証するために、モデルと測定結果を比較した。Si 基板内の抵抗の温度特性に関するモデルは、Si 基板内の電子と正孔の両方を考慮することで、測定結果と一致することを確認した。また、高温で劣化するパワースweep特性の温度特性に関して、提案モデルは測定結果を高精度に再現した。さらに、大信号特性のドレイン電極幅依存性に関しても提案モデルは測定結果と概ね一致した。提案モデルは温度特性を含めたトランジスタ構造や増幅器の設計に有用なモデルであることを確認した。今後、トランジスタ構造の設計において、さらにモデルの汎用性を高めるためには、ドレイン電極幅だけでなく他のトランジスタ構造パラメータに関してもモデル検証が必要である。

3.7 参考文献

- [3.1] Peter M. Asbeck, “Will Doherty continue to rule for 5G,” IEEE MTT-S International Wireless Symposium (IWS), May 2016.
- [3.2] Yutaro Yamaguchi, Jun Kamioka, Masatake Hangai, Shintaro Shinjo, and Koji Yamanaka, “A CW 20W Ka-band GaN high power MMIC amplifier with a gate pitch designed by using one-finger large signal models,” 2017 IEEE Compound Semiconductor Integrated Circuit Symposium, October 2017.
- [3.3] Yutaro Yamaguchi, Keigo Nakatani, and Shintaro Shinjo, “A Wideband and High Efficiency Ka-band GaN Doherty Power Amplifier for 5G communications,” IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS), November, 2020.
- [3.4] Shintaro Shinjo, Masatake Hangai, Yutaro Yamaguchi, and Moriyasu Miyazaki, “Advanced GaN HEMT Modeling Techniques and Power Amplifiers for Millimeter-Wave Applications,” IEEE MTT-S International Microwave Symposium (IMS), June, 2020.
- [3.5] Makoto Kimura Yukinobu Tarui, Hironobu Shibata, Eigo Kuwata, Jun Kamioka, Takumi Nagamine, Shunichi Abe, Katsumi Miyawaki, Tetsunari Saito, Yoshitaka Kamo, and Koichi Muroi, “An X-band High Power Tile-Type GaN TR Module for Low-Profile AESA,” IEEE MTT-S International Microwave Symposium (IMS), June, 2020.
- [3.6] Rocco Giofrè, Alessandro Del Guadio, and Ernesto Limiti, “A 28GHz MMIC Doherty Power Amplifier in GaN on Si Technology for 5G Applications,” IEEE MTT-S International Microwave Symposium (IMS), June, 2019.
- [3.7] Corrado Florian, Pier Andrea Taverso, and Alberto Santarelli, “A Ka-Band MMIC LNA in GaN-on-Si 100-nm Technology for High Dynamic Range Radar Receivers,” IEEE Microwave and Wireless Components Letters, Vol. 31, No. 4, pp. 370-380, February 2021.
- [3.8] R. Giofrè, F. Costanzo, A. Massari, A. Suriani, F. Vitulli, and E. Limiti, “A 20W GaN-on-Si Solid State Power Amplifier for Q-band Space Communication Systems,” IEEE MTT-S International Microwave Symposium (IMS), June, 2020.
- [3.9] Daniel S. Green, Carl L. Dohrman, Jeffery Demmin, Yan Zheng, and Tsu-His Chang, “A Revolution on the Horizon from DARPA: Heterogeneous Integration for Revolutionary

第 3 章

- Microwave/Millimeter-Wave Circuits at DARPA: Progress and Future Directions,” IEEE Microwave Magazine, vol. 18, no. 2, pp. 44-59, Mar.-Apr. 2017.
- [3.10] Shireen Warnock, Chang-Lee Chen, Jeffrey Knecht, Richard Molnar, Donna-Ruth Yost, Matthew Cook, Corey Stull, Ryan Johnson, Christopher Galbraith, Jeffrey Daulton, WeiLin Hu, Gianni Pinelli, Joshua Perozek, Tomas Palacios, Beijia Zhang, Jeffery Herd, and Craig Keast, “InAlN/GaN-on-Si HEMT with 4.5W/mm in a 200-mm CMOS Compatible MMIC Process for 3D Integration,” IEEE MTT-S International Microwave Symposium (IMS), June, 2020.
- [3.11] Hanlin Xie, Zhihong Liu, Yu Gao, Kenneth E. Lee, and Geok and Ing Ng, “100 nm T-gate GaN-on-Si HEMTs Fabricated with CMOS-Compatible Metallization for Microwave and mm-Wave Applications,” 2021 5th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), April 2021.
- [3.12] Sachin Yadav, Peter Cardinael, Ming Zhao, Komal Vondkar, Uthayasankaran Peralagu, Alireza Alian, Ahmad Khaled, Sergej Makovejev, Enrique Ekoga, Dimitri Lederer, Jean-Pierre Raskin, Bertrand Parvais, and Nadine Collaert, “CMOS compatible GaN-on-Si HEMT technology for RF applications: analysis of substrate losses and non-linearities,” 2021 International Conference on IC Design and Technology (ICICDT), September 2021.
- [3.13] Han Wui Then, M. Radosavljevic, P. Agababov, I. Ban, R. Bristol, M. Chandhok, S. Chouksey, B. Holybee, C. Y. Huang, B. Krist, K. Jun, T. Michaelos, R. Paul, J. Peck, W. Rachmady, D. Staines, T. Talukdar, N. Thomas, T. Tronic, P. Fischer, and W. Hafes, “GaN and Si Transistors on 300mm Si(111) Enabled by 3D Monolithic Heterogeneous Integration,” 2020 IEEE Symposium on VLSI Technology, June 2020.
- [3.14] T. E. Kazior, R. Chelakara, W. Hoke, J. Bettencourt, T. Palacios, and H. S Lee, “High Performance Mixed Signal and RF Circuits Enabled by the Direct Monolithic Heterogeneous Integration of GaN HEMTs and Si CMOS on a Silicon Substrate,” 2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), October 2011.
- [3.15] Matthew LaRue, Brian Dupaix, Shahriar Rashid, Taylor Barton, Todd James, Wil Gouty, Paul Watson, Tony Quach, and Waleed Khalil, “A Fully-Integrated S/C Band Transmitter in 45nm CMOS/ 0.2 μm GaN Heterogeneous Technology,” 2017 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), October 2017.

第 3 章

- [3.16] Han Wui Then, M. Radosavljevic, N. Desai, R. Ehlert, V. Hadagali, K. Jun, P. Koirala, N. Minutillo, R. Kotlyar, A. Oni, M. Qayyum, J. Rode, J. Sandford, T. Talukdar, N. Thomas, H. Vora, P. Wallace, M. Weiss, X. Weng, and P. Fischer, "Advances in Research on 300mm Gallium Nitride-on-Si(111) NMOS Transistor and Silicon CMOS Integration," 2020 IEEE International Electron Devices Meeting, December 2020.
- [3.17] Arijit Bose, Debaleen Biswas, Shigeomi Hishiki, Sumito Ouchi, Koichi Kitahara, Keisuke Kawamura, and Akio Wakejima, "A Temperature Stable Amplifier Characteristics of AlGa_N/Ga_N HEMTs on 3C-SiC/Si," IEEE Access, Vol. 9, pp. 57046-57053, April 2021.
- [3.18] Isao Takenaka, Kohji Ishikura, Kazunori Asano, Shinnosuke Takahashi, Yasuhiro Murase, Yuji Ando, Hidemasa Takahashi, and Chiaki Sasaoka, "High-Efficiency and High-Power Microwave Amplifier Using GaN-on-Si FET With Improved High-Temperature Operation Characteristics," IEEE Transactions on Microwave Theory and Techniques, Vol. 62, No. 3, pp. 502-512, January 2014.
- [3.19] Matteo Borga, Carlo De Santi, S. Stoffels, Benoit Bakeroot, Xiangdong Li, M. Zhao, M. Van Hove, S. Decoutere, Gaudenzio Meneghesso, Matteo Meneghini, and Enrico Zanoni, "Modeling of the Vertical Leakage Current in AlN/Si Heterojunctions for GaN Power Applications," IEEE Transactions on Electron Devices, Vol. 67, No. 2, pp. 595-599, February 2020.
- [3.20] Anwar Jarndal, Asdesach Z. Markos, and Günter Kompa, "Improved Modeling of GaN HEMTs on Si Substrate for Design of RF Power Amplifiers," IEEE Transactions on Microwave Theory and Techniques, Vol. 59, No. 3, pp. 644-651, March 2011.
- [3.21] Lyndon Pattison, Timothy Boles, Neal Tuffy, and Gary Lopes, "Improving GaN on Si Power Amplifiers through reduction of parasitic conduction layer," 2014 9th European Microwave Integrated Circuit Conference, March 2014.
- [3.22] Yutaro Yamaguchi, Jun Kamioka, Shintaro Shinjo, Koji Yamanaka, and Toshiyuki Oishi, "Physical Model of RF Leakage in GaN HEMTs on Si Substrates Based on Atomic Diffusion Analysis at Buffer/Substrate Interface," 2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), October 2016.
- [3.23] Atlas user manual, Ver.5.34.0.R. Silvaco, 2022.

第 3 章

- [3.24] Iltcho Angelov, Lars Bengtsson, and Mikael Garcia, "Extensions of the Chalmers Nonlinear HEMT and MESFET Model," *IEEE Trans. Microw. Theory Techn.*, Vol. 44, No. 10, pp. 1664-1674, October 1996.
- [3.25] Iltcho Angelov, Herbert Zirath, and Niklas Rorsman, "A New Empirical on Model for HEMT and MESFET Devices," *IEEE Trans. Microw. Theory Techn.*, Vol. 40, No. 12, pp. 2258-2266, December 1992.
- [3.26] Peng Luo, Olof Bengtsson, and Matthias Rudolph, "A Drain Lag Model for GaN HEMT based on Chalmers Model and Pulsed S-Parameter Measurements," *IEEE MTT-S International Microwave Symposium (IMS)*, June, 2017.
- [3.27] Yutaro Yamaguchi, Tomohiro Otsuka, Masatake Hangai, Shintaro Shinjo, and Toshiyuki Oishi, "Ka-band GaN Large-Signal Model Considering Trap Effect on Non-linear Capacitance by Using Transient-Sparameters Measurement," *IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, October, 2018.
- [3.28] Sourabh Khandelwal, Yogesh Singh Chauhan, Tor A. Fjeldly, Sudip Ghosh, Ahtisham Pampori, Dhawal Mahajan, Raghvendra Dangi, and Sheikh Aamir Ahsan, "ASM GaN: Industry Standard Model for GaN RF and Power Devices-Part 1: DC, CV, and RF Model," *IEEE Trans. Electron Devices*, Vol. 66, No 1, pp. 80-86, January 2019.
- [3.29] Ujwal Radhakrishna, Pilsoon Choi, Jesús Grajal, Li-Shiuan Peh, Tomás Palacios, and Dimitri Antoniadis, "Study of RF-circuit linearity performance of GaN HEMT technology using the MVSG compact device model," *2016 IEEE International Electron Devices Meeting*, December 2016.
- [3.30] S.M. Sze, "Semiconductor Devices: Physics and Technology, 2nd Edition," John Wiley & Sons, Inc., 2002.
- [3.31] Toshiyuki Oishi, Yutaro Yamaguchi, Hiroshi Otsuka, Koji Yamanaka, and Masahiro Nakayama, "Simulation study of gate leakage current under three terminal operation in AlGaIn/GaN HEMTs," *10th Topical Workshop on Heterostructure Microelectronics (TWHM)*, September 2013.

第4章.

トランジスタモデルに基づくトラップ補償回路を有する増幅器の設計

4.1 まえがき

レーダーシステムのモジュールにおいて送信側の HPA に GaN を適用するだけでなく、高耐電力特性を生かして受信側の LNA にも GaN を適用することが検討されている[4.1]-[4.3]。LNA が GaAs の場合、送信側からの漏れ電力や妨害波等の想定外の過入力から LNA を保護するために LNA の前段にリミッタを入れる必要がある。このリミッタは損失を持つためモジュール全体としての受信感度を低下させる。一方、LNA が GaN の場合、GaN は GaAs よりも高耐電力であるため、保護のためのリミッタが不要になり、全体としての受信感度を向上させることができると考えられる。図 4-1 に GaAs LNA と GaN LNA の NF 及び入力耐電力 P_{in_max} の文献調査結果を示す。X 帯 LNA に関して市販品のデータシートや IEEE 論文をベースに調査を行った[4.4]-[4.9]。図 4-1 に示すように GaN は GaAs よりも入力耐電力 P_{in_max} が高いことが分かる。調査の結果、GaAs の P_{in_max} の平均値は 25 dBm であり、GaN の P_{in_max} の平均値は 39 dBm であることが分かった。一方、NF に関しては GaN は GaAs よりも若干高いものの、ほぼ同等レベルであることが分かる。調査の結果、GaAs の NF の平均値は 1.5 dB であり、GaN の NF の平均値は 1.8 dB であることが分かった。表 4-1 に GaAs LNA 適用時と GaN LNA 適用時のモジュール MDL 性能の比較を示す。図 4-1 に示した GaAs 及び GaN の耐電力及び NF の平均値をもとに比較を行った。また、想定す

第4章

るリミッタは Qorvo 社製の X 帯リミッタ(TGL2201)である[4.10]。表 4-1 に示すように LNA 単体では GaN の方が GaAs よりも NF が 0.3 dB 程度悪いが、リミッタレス化によって GaAs から GaN へ置き換えた時の MDL 全体の NF は 2.5 dB から 1.8 dB に低減できることが分かる。MDL の耐電力についても GaAs と GaN でそれぞれ 37 dBm と 39 dBm であり、GaN LNA 適用時はリミッタ付き GaAs LNA 適用時と同等以上の耐電力を得ることが分かる。このように MDL 全体として考えた場合、LNA に GaAs を適用した場合よりも GaN を適用した方が受信感度が改善する。

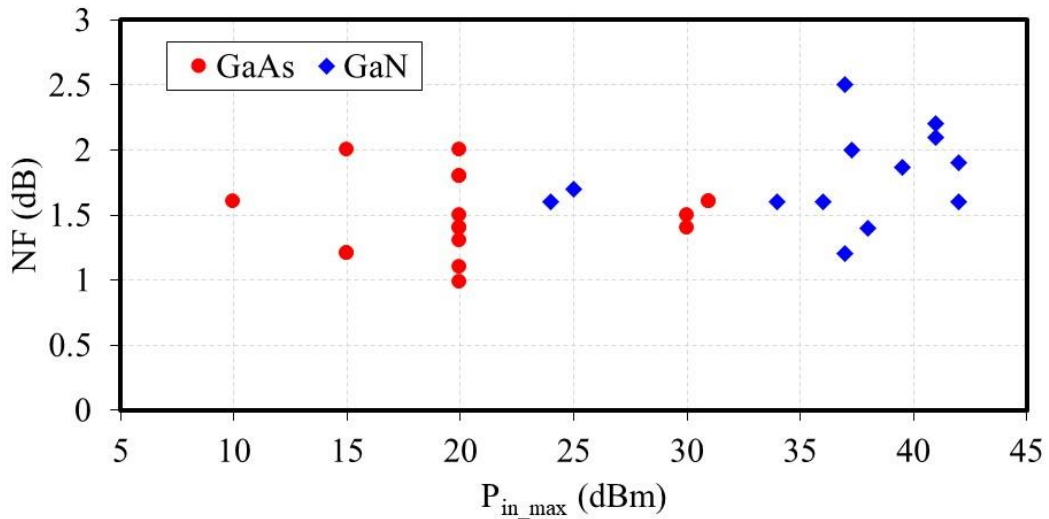
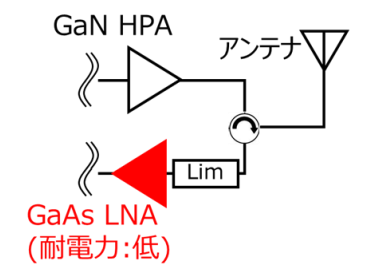
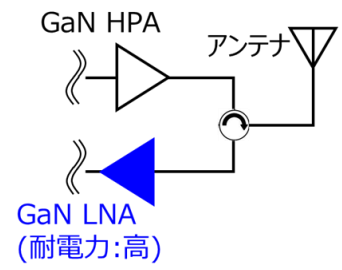


図 4-1 GaAs LNA と GaN LNA の NF 及び入力耐電力 P_{in_max} の文献調査結果

第 4 章

表 4-1 GaAs LNA 適用時と GaN LNA 適用時の MDL 性能の比較

MDL構成	 <p style="text-align: left; color: red; font-size: small;">GaAs LNA (耐電力:低)</p>	 <p style="text-align: left; color: blue; font-size: small;">GaN LNA (耐電力:高)</p>
LNA単体のNF(dB)	1.5	1.8
LNA単体の耐電力(dBm)	25	39
リミッタロス (dB)	>1	-
リミッタ耐電力 (dBm)	37	-
MDLのNF(dB)	>2.5	1.8
MDLの耐電力(dBm)	37	39

LNA における GaAs から GaN への置き換えのための主な課題には GaN LNA 自身の低 NF 化、高耐電力化、リカバリ特性の改善等がある。GaN LNA の低 NF 化に関しては[4.11]-[4.14]で報告されており、近年はサブ THz 帯での低 NF な GaN LNA が報告されている[4.13]-[4.14]。また、高耐電力化に関しても研究開発が進んでおり、[4.15]-[4.21]ではゲートバイアス回路中の直列抵抗の高抵抗化による GaN LNA の高耐電力化を報告している。高抵抗化により過電力が入力されたときに生じる順方向ゲート電流を抑制することで高耐電力化を実現している。[4.22]-[4.23]ではスタック構造により一つのトランジスタに入力される過電力を分割することで高耐電力化を実現している。リカバリ特性の改善に関しては [4.24]-[4.30]で報告されている。図 4-2 に LNA における入力電力と出力電力のタイムチャートを示す。図 4-2 に示すようにレーダモジュールには受信 Rx 時に過電力が入力されることがある。過電力が入力されると GaN 中のトラップの影響により過入力直後に LNA の P_{out} が低下し、徐々に過渡的に P_{out} が定常状態まで回復する。これがリカバリ特性であり、GaN 特有の課題である。[4.25]ではゲー

トバイアス回路に直列高抵抗を用いる高耐電力 GaN LNA において過入力時の大きなゲート電圧降下によりトラップによるゲートラグが生じるという解析結果を示している。また、[4.29]-[4.30]ではトランジスタの GaN 中のトラップの濃度を低減することで良好なリカバリ特性を得ているものの、回路でリカバリ特性を改善した報告はない。

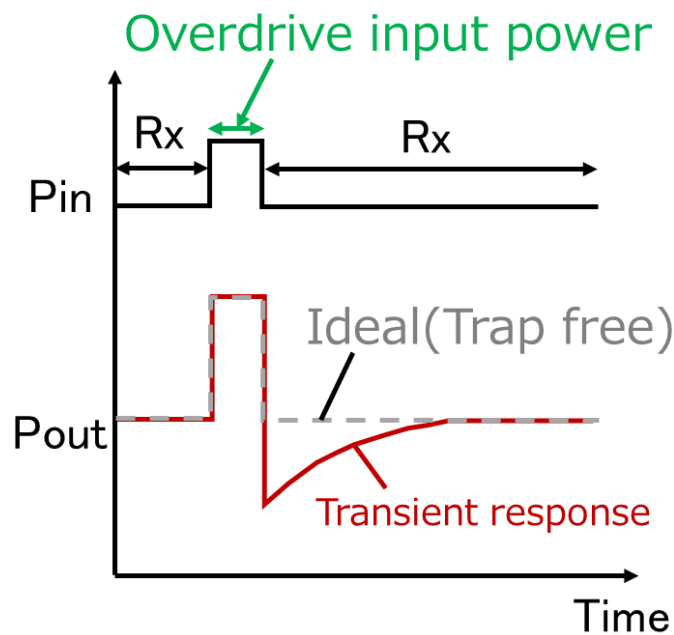


図 4-2 LNA における入力電力と出力電力のタイムチャート

本章では、GaN LNA の過入力直後のリカバリ特性を改善するトラップ補償回路について報告する。提案するトラップ補償回路は補償対象となるトランジスタと同じ構造で同じトラップを有するトランジスタをゲートバイアス回路に内蔵している点が特徴である。補償対象トランジスタに過入力されたとき、補償回路内トランジスタにも同様なストレス電圧が加えられ、補償対象トランジスタと同様に電子がトラップに捕獲される。そして、過入力直後は補償回路内のトランジスタも補償対象トランジスタとほぼ同じ時定数で電子が放出される。このときの補償回路内のトランジスタの過渡的なオン抵抗の変化を利用して補償

対象トランジスタのゲートバイアスをアダプティブに変化させることでリカバリ特性を改善することができる。さらに温度が変化したとき、補償回路内トランジスタのトラップの時定数は補償対象トランジスタと同様にトラップの時定数が変化するため、温度が変わったときもトラップ補償回路はリカバリ特性を改善できる。トラップ補償回路は第2章で述べたトランジスタモデルに基づいて設計した。

4.2 トラップ補償回路の提案

図 4-3 に提案するトラップ補償回路(Trapping Effect Compensation Circuit: TECC)を装荷した GaN LNA(低雑音増幅器)を示す。電圧レベル調整回路(Voltage-Level Adjustment Circuit)、各端子の電圧及び電力の波形が示されている。過入力時の間およびその後の時間は、それぞれ t_H と t_L として定義している。TECC がいない場合、LNA のゲートバイアス V_{g0} は t_H および t_L の間で一定である。そのため、TECC がいない場合、過入力直後、トラップの影響で LNA の出力電力 P_{out} が低下する。一方、TECC を使用すると、図 4-3 に示されているように、 P_{out} の低下を抑制するために V_{g0} が過渡的に変化する。TECC にはスイッチング用トランジスタ (Tr1) とストレス印加用トランジスタ (Tr2) が含まれている。 V_{env} は RF 経路から検出された電圧である。LNA 内の補償対象トランジスタ (Tr0) に過入力電力が入力されると、 V_{env} のレベルが変化する。図 4-4 に、TECC を装荷した GaN LNA の回路図を示す。図 4-4 に示すように Tr1 および Tr2 は Tr0 と同じ GaN チップ上に製造されるため、Tr0 と同じ種類のトラップをもつ。TECC では、 V_{ga} および V_{gb} が t_H の間にストレスバイアスとして Tr2 のドレインおよびゲートに印加され、 t_L の間に Tr2 のオン抵抗がトラップの影響により過渡的に変化する。この Tr2 のオン抵抗の変化を利用して、過渡的に変化する電圧 V_{g0} を生成することができる。さらに、 V_{gb} は Tr1 のゲートに適用され、スイッチングによって t_L の間の必要な V_{g0} を得ることができる。TECC から出力される過渡的な V_{g0}

は、図 4-3 に示したように、トラップの影響による Tr_0 の P_{out} の劣化を補償し、リカバリ特性を改善することができる。TECC を使用した場合の V_{g0} の時定数は、TECC を装荷しない状態での LNA の P_{out} の時定数とほぼ同じである。これは、 V_{g0} の過渡的变化を生み出す Tr_2 と LNA 内の Tr_0 が同じ種類のトラップを持っているためである。TECC の Tr_1 および Tr_2 に対する V_{ga} および V_{gb} の所望のレベルは、3つのオペアンプ（演算増幅器）で構成される電圧レベル調整回路によって V_{env} のレベルを調整することで得られる。 V_{env} は V_{ga} および V_{gb} の調整を容易にするために入力部のカプラから検出したが、カプラによって NF の劣化を引き起こす。そのため、提案された回路を実用化するには、NF の劣化を抑えるために V_{env} を出力部で検出する必要がある。出力からの検出でも入力と同様に過入力された瞬間の電力を検波できるため、提案された回路によるトラップ補償効果は得られると考えられる。

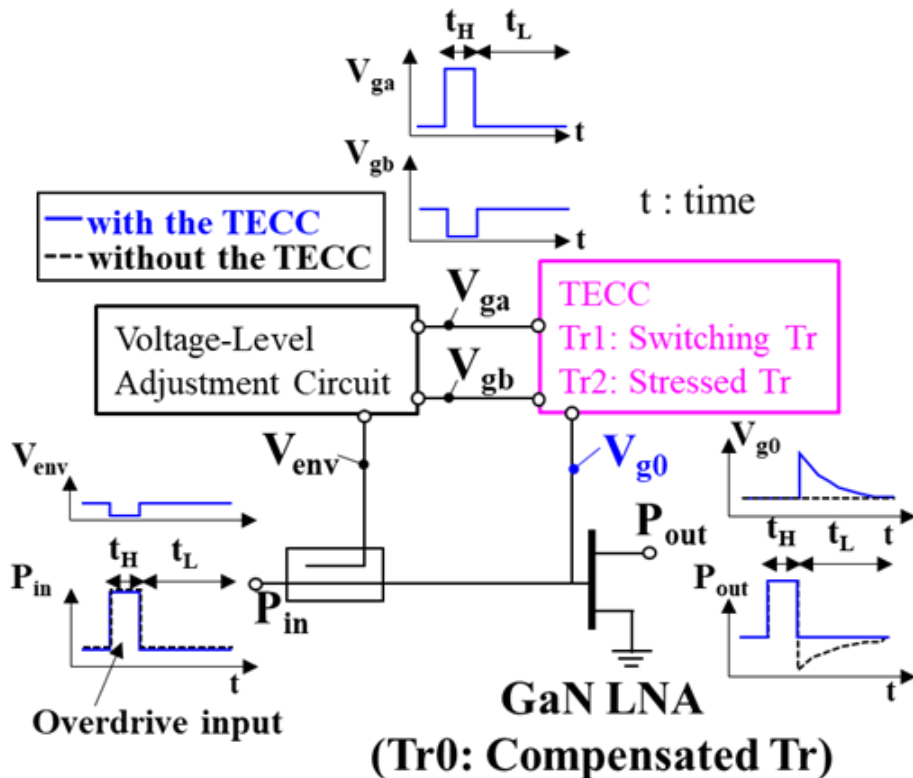


図 4-3 提案するトラップ補償回路を装荷した GaN LNA

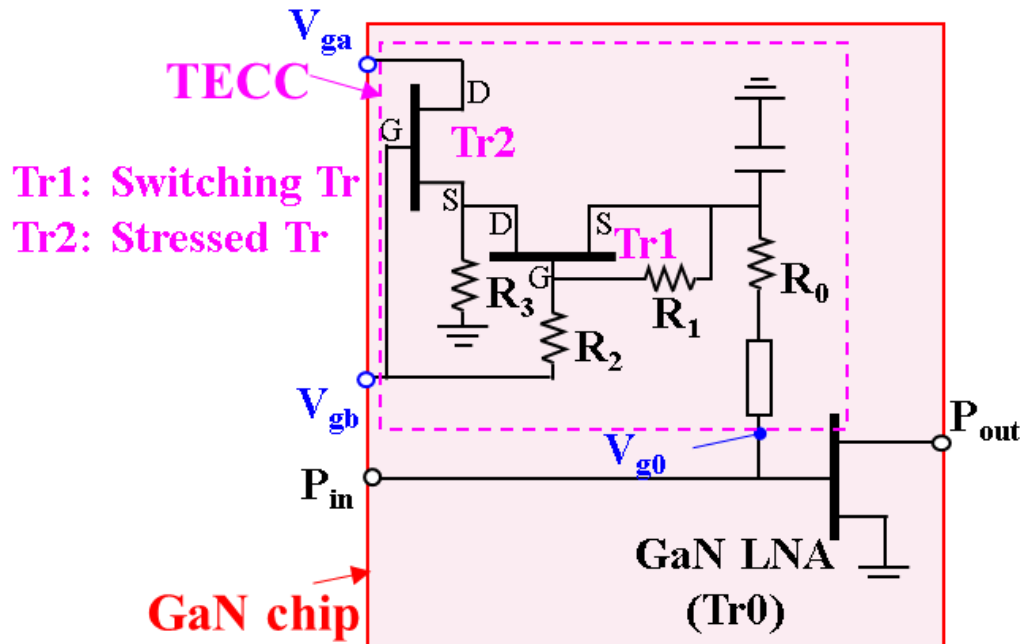


図 4-4 TECC を装荷した GaN LNA の回路図

図 4-5 は TECC の動作を示すタイムチャートである。 t_L の間の入力電力レベルは P_{in_L} であり、 t_H の間の過入力電力レベルは P_{in_H} である。また、 t_L の間の P_{out} の時間定数は τ_{e0} と定義する。

TECC を装荷しない場合、 V_{g0} は V_{g0_Lc} で固定されたバイアスである。 P_{in_H} が入力されると、電子が $Tr0$ のトラップに捕獲され、 $Tr0$ の実効的なしきい値電圧が高くなる。そのため、 P_{in_H} が入力された直後、 P_{out_Lt} は定常状態の出力電力 P_{out_Lc} よりも低く、 $Tr0$ のトラップから電子が放出されることにより、時間定数 τ_{e0} で P_{out_Lc} まで回復する。 ΔP_{out} は P_{out_Lc} と P_{out_Lt} の差であり、次式で表される。

$$\Delta P_{out} = P_{out_Lc} - P_{out_Lt} \quad (4-1)$$

TECC を装荷する場合、 V_{g0} は t_L の間に過渡的に V_{g0_Lt} から V_{g0_Lc} に変化する。 $Tr1$ と $Tr2$ はそれぞれ R_{tr1} と R_{tr2} に等価的に置き換えられる。次に、TECC の動作について t_H および t_L のそれぞれの時間に分けて説明する。

第4章

1) t_H における動作

P_{in_H} が Tr0 へ入力されて、電子は Tr0 のトラップに捕獲される。 V_{ga_H} と V_{gb_H} は、それぞれ Tr2 のドレインとゲートにストレス電圧として印加され、 V_{gb_H} はスイッチングのために Tr1 のゲートにも印加される。 t_H の間、Tr1 と Tr2 はともにオフ状態になる。この間、Tr2 にはストレス電圧が印加され、Tr2 のトラップに電子が捕獲される。Tr2 におけるトラップの影響を Tr0 にできるだけ近づけるように Tr2 のドレインとゲートに印加されるストレス電圧のレベルが調整される。Tr2 のトラップの影響によるドレインラグおよびゲートラグが Tr0 におけるトラップの補償に利用される。 t_H の間、TECC 内の Tr1 と Tr2 はオフ状態であり、そのときのそれぞれの抵抗は高抵抗 R_{off1} 及び R_{off2} で表現している。

2) t_L における動作

V_{ga_L} と V_{gb_L} はそれぞれ Tr2 のドレインとゲートに印加され、 V_{gb_L} は Tr1 のゲートに印加される。Tr1 と Tr2 はともにオン状態になり、そのときのそれぞれの抵抗は R_{on1} および R_{on2} で表現している。Tr2 のトラップに捕獲された電子が τ_{e2} の時間定数で放出されるため、 R_{on2} は過渡的に R_{on2t} から R_{on2c} に変化する。 R_{on2} によって生成される過渡的に変化する電圧 V_{g0} は Tr1 がオンになると TECC から出力される。

t_H の直後の V_{g0} は V_{g0_Lt} であり、その後、 τ_{e2} の時定数で過渡的に減少し、定常状態の V_{g0_Lc} になる。この過渡的な V_{g0} の変化は、トラップの影響による Tr0 の実効的なしきい値電圧の上昇分を補償し、 ΔP_{out} の増大を抑制することができる。 τ_{e2} の温度依存性は、Tr2 のトラップが Tr0 のトラップと同じ種類であるため、 τ_{e0} と同じであるため、温度が変化しても、TECC は Tr0 のトラップの影響を補償し、 ΔP_{out} の増大を抑制することができる。 V_{g0_Lt} と V_{g0_Lc} の差は、 V_{ga} と V_{gb} のレベルによって決まる。 V_{ga} と V_{gb} は、RF パスから検出されたエンベロープ電圧 V_{env} に基づき、 ΔP_{out} を最小化するように、電圧レベル調整回路を使用して V_{ga} と V_{gb} のレベルを調整する。

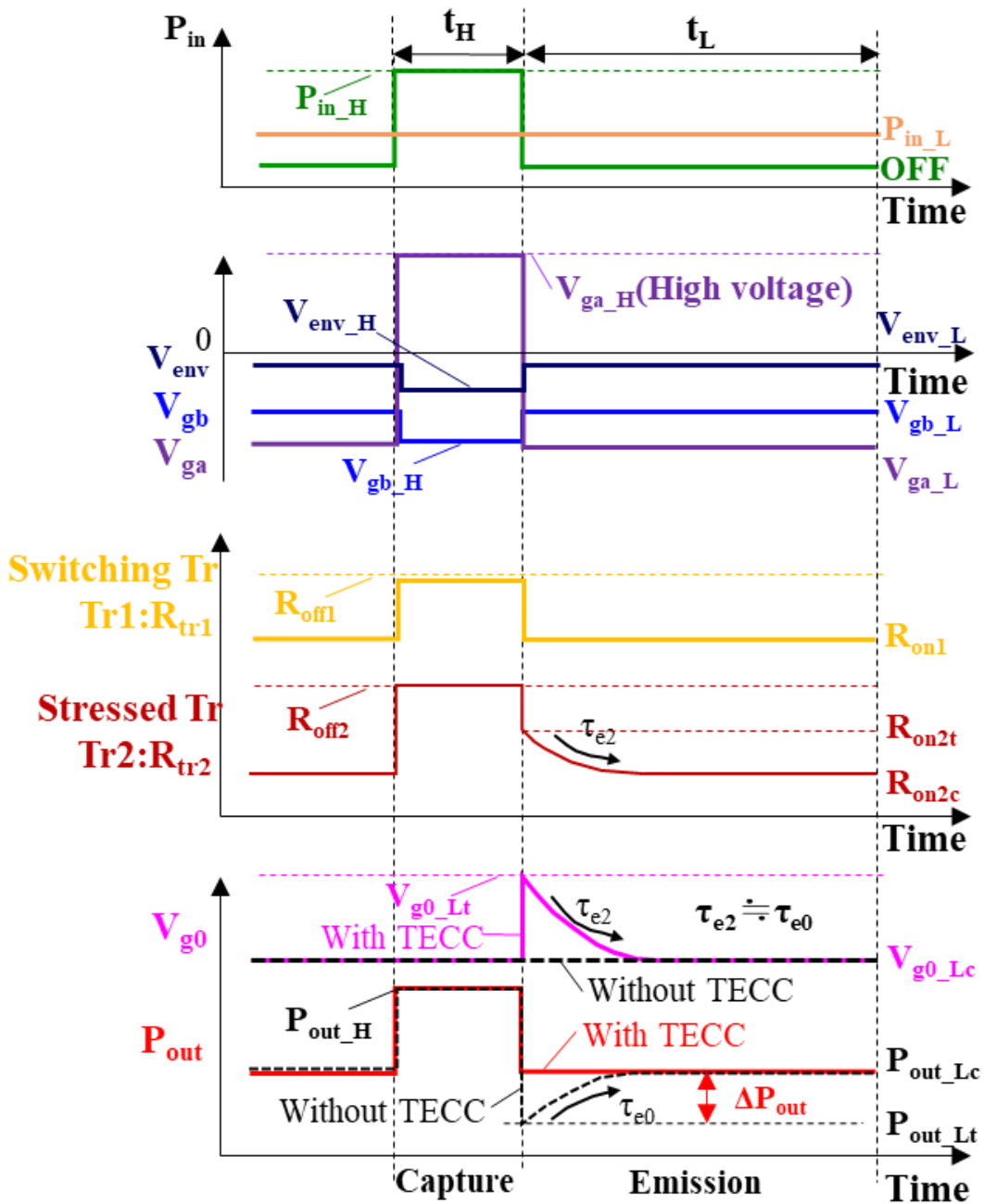


図 4-5 TECC の動作を示すタイムチャート

図 4-6 に補償されたトランジスタ $Tr0$ の t_L における実効的な g_m - V_{g0} 曲線の過渡的な変化を示している。 g_m は実効的なトランスコンダクタンスである。

第4章

TECC を装荷しない場合、 V_{g0} は V_{g0_Lc} に固定されたバイアスである。したがって、電子放出前の実効的なしきい値電圧 V_{th_eff} は高くなる。これは、 t_H の間に過電力が入力されると、電子がトラップに捕獲されるためである。この結果、電子放出前の g_m は、電子放出後の定常状態よりも低くなり、 ΔP_{out} が増大する。その後、トラップから電子が放出されると、 V_{th_eff} は過渡的に減少し、定常状態に戻る。それと同時に g_m は図 4-6 (a) に示されているように過渡的に変化し、 P_{out} は P_{out_Lt} から P_{out_Lc} に回復する。

TECC を装荷する場合、電子放出前の V_{g0} は V_{g0_Lt} であり、電子放出後の V_{g0_Lc} よりも高くなる。さらに、 V_{g0} は $Tr2$ のトラップからの電子放出により、 V_{g0_Lt} から V_{g0_Lc} に過渡的に変化する。電子放出前の V_{th_eff} は、 $Tr0$ におけるトラップの影響のため、電子放出後の V_{th_eff} よりも高くなる。電子放出前の V_{g0} が V_{g0_Lt} であり、電子放出後の V_{g0_Lc} よりも高いため、電子放出前の g_m は電子放出後の高い定常状態の g_m と同じレベルを維持することができ、 ΔP_{out} の増加を抑制することができる。その後、 $Tr0$ および $Tr2$ のトラップから電子が放出されると、 V_{th_eff} は定常状態に戻り、 V_{g0} は V_{th_eff} のシフトに合わせて V_{g0_Lt} から V_{g0_Lc} に過渡的に減少する。結果として、 t_L の間、 g_m は常に電子放出後の高い定常状態の g_m と同じレベルを維持することができ、出力電力も定常状態の P_{out_Lc} を維持し、リカバリ特性を改善することができる。

TECC は高抵抗 $R0$ を持つゲートバイアス回路に含まれており、LNA の整合回路とはほとんど独立しているため、LNA の安定性、直線性、帯域幅等の静的な RF 特性に影響を与えない。一方、TECC はトラップの影響によって過入力後の NF の過渡的な変化に影響を与える。NF は、ゲートバイアスに依存する g_m とゲート-ソース間容量 C_{gs} を含む[4.31]の式で表される。そのため、実効的なしきい値電圧 V_{th_eff} の変動により、NF は過渡的に変化すると予想されるが、TECC における V_{g0} は V_{th_eff} の変動に応じて過渡的に変化するため、TECC は P_{out} だけでなく NF の過渡的な変化も補償できると考えられる。

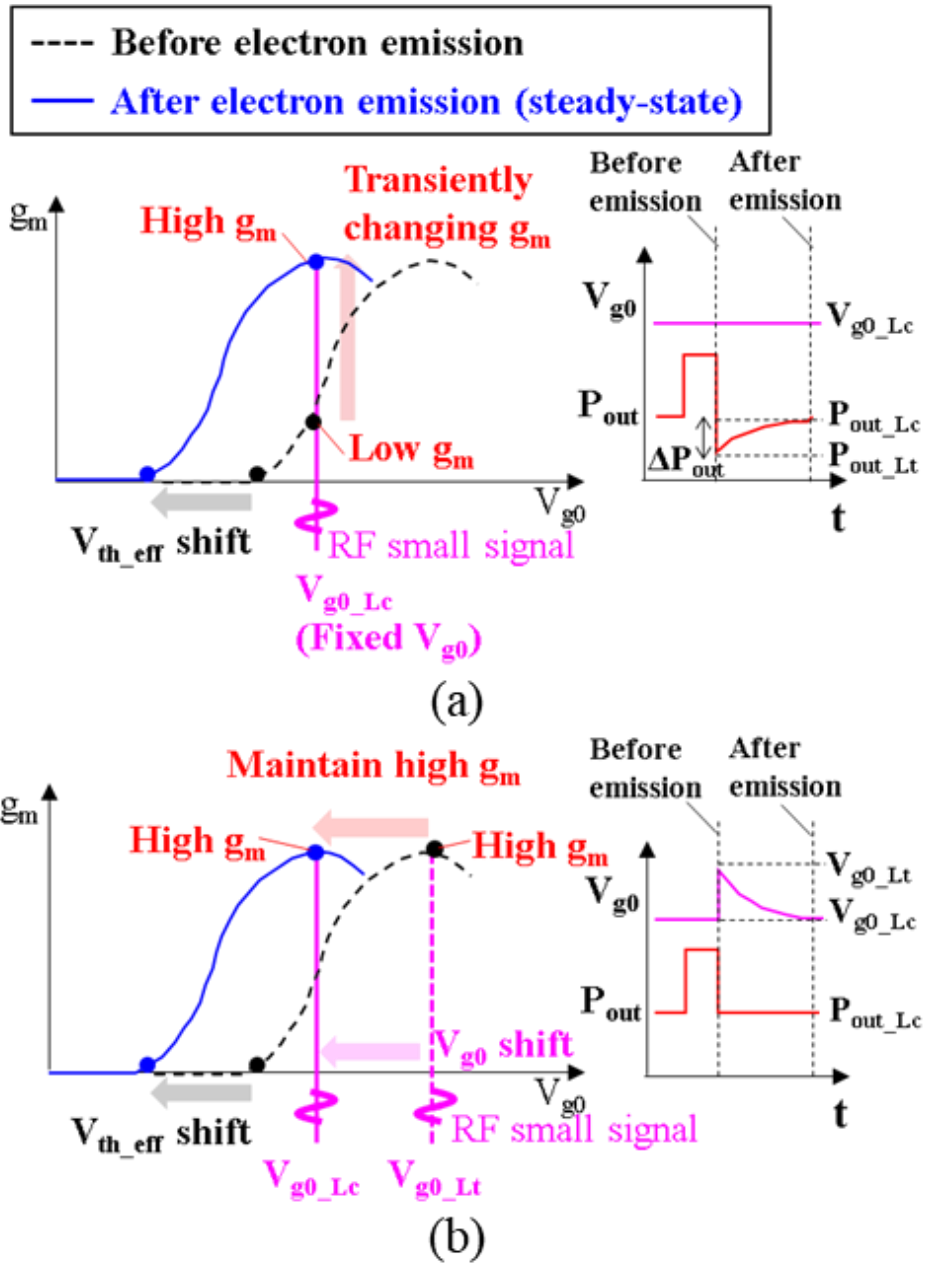


図 4-6 補償されたトランジスタ Tr_0 の t_L における実効的な g_m - V_{g0} 曲線の過渡的な変化 (a) TECC あり、(b) TECC なし

4.3 解析式による計算

TECC の特性を確認するために等価回路ベースで解析式を導出して TECC の特性を計算した。図 4-7 に TECC の等価回路を示す。 Tr_1 と Tr_2 はそれぞれ R_{tr1}

第 4 章

と R_{tr2} に置き換えられている。 R_{tr1} 、 R_{tr2} 、および R_3 を流れる電流は、それぞれ I_{g1} 、 I_{g2} 、および I_{g3} とする。 R_{tr2} と R_3 の接続点の電圧は V_{g3} と定義する。表 4-2 に TECC の t_H 時および t_L 時における等価回路パラメータの一覧を示す。例えば、 t_H 時と t_L 時の R_{tr1} はそれぞれ R_{off1} と R_{on1} となる。 I_{g2} は次の式で表される。

$$I_{g2} = \frac{R_3(V_{ga} - V_{gb}) + V_{ga}(R_{tr1} + R_1 + R_2)}{(R_{tr1} + R_1 + R_2)(R_{tr2} + R_3) + R_3 R_{tr2}} \quad (4-2)$$

I_{g1} は I_{g2} を用いて次の式で表される。

$$I_{g1} = -\frac{V_{ga} - (R_{tr2} + R_3)I_{g2}}{R_3} \quad (4-3)$$

V_{g3} と V_{g0} はそれぞれ次の式で表される。

$$V_{g3} = V_{ga} - I_{g2}R_{tr2} \quad (4-4)$$

$$V_{g0} = V_{g3} - I_{g1}R_{tr1} \quad (4-5)$$

t_H の間に $Tr2$ のトラップに捕獲された電子が放出され、 t_L の間に R_{on2} が放出時間定数 τ_{e2} とともに過渡的に R_{on2t} から R_{on2c} に変化する。この変化は次の式で表される。

$$R_{on2}(t_L) = R_{on2c} + (R_{on2t} - R_{on2c})\exp\left(-\frac{t_L}{\tau_{e2}}\right) \quad (4-6)$$

t_L の間に式(4-2)-(4-4)および(4-6)で表される I_{g2} 、 I_{g1} 、 V_{g3} 、および R_{on2} を式(4-10)に代入することで、 t_L の間の V_{g0_L} は式(4-7)-(4-9)のように表される。

$$V_{g0_L}(t_L) = \left(1 + \frac{R_{on1}}{R_3}\right)V_{ga_L} + V_{g0_L1}V_{g0_L2}(t_L) \quad (4-7)$$

$$V_{g0_L1} = R_{on1} \left[\frac{(V_{gb_L} - V_{ga_L})}{(R_{on1} + R_1 + R_2)} - \frac{V_{ga_L}}{R_3} \right] \quad (4-8)$$

$$V_{g0_L2}(t_L) = \frac{1 + \left(\frac{1}{R_{on1}} + \frac{1}{R_3}\right)R_{on2}(t_L)}{1 + \left(\frac{1}{R_{on1} + R_1 + R_2} + \frac{1}{R_3}\right)R_{on2}(t_L)} \quad (4-9)$$

図 4-5 に示すように、 $V_{ga_L} < V_{gb_L}$ かつ $V_{ga_L} < 0$ であるため、 $V_{g0_L1} > 0$ となる。 V_{g0_L2} に関しては、 $R_1 + R_2 > 0$ であるため、分子が分母よりも大きい。そのため、

第4章

t_L が増加し、 $R_{on2}(t_L)$ が減少するにつれて、 V_{g0_L} は過渡的に減少する。式(4-7)-(4-9)をもとに TECC を設計することが可能である。

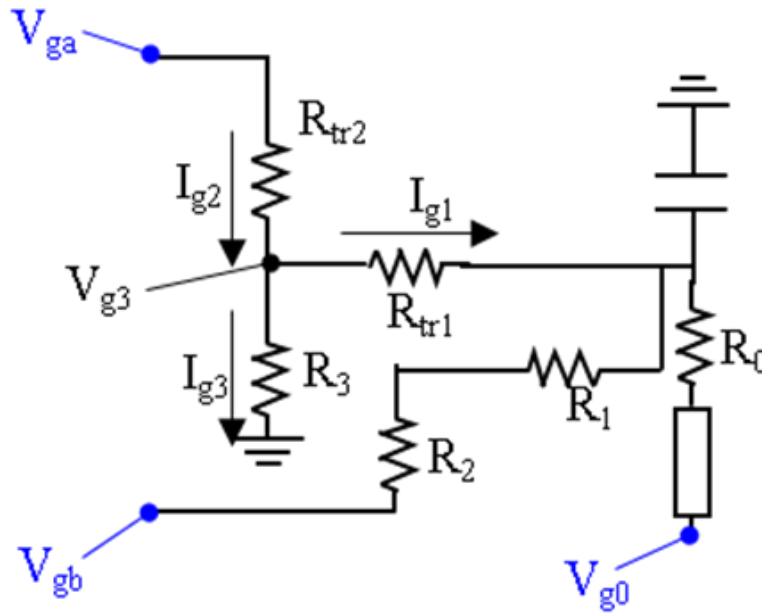


図 4-7 TECCの等価回路

表 4-2 TECCの t_H 時および t_L 時における等価回路パラメータ

time	R_{tr1}	R_{tr2}	V_{ga}	V_{gb}
t_H/t_L	R_{off1}/R_{on1}	R_{off2}/R_{on1}	V_{ga_H}/V_{ga_L}	V_{gb_H}/V_{gb_L}

time	I_{g3}	I_{g2}	I_{g1}	V_{g3}	V_{g0}
t_H/t_L	I_{g3_H}/I_{g3_L}	I_{g2_H}/I_{g2_L}	I_{g1_H}/I_{g1_L}	V_{g3_H}/V_{g3_L}	V_{g0_H}/V_{g0_L}

表 4-3 に解析式における各パラメータの値を示す。トラップの影響を補償するためには、 V_{g0_L} が約 0.1~0.2 V の範囲で過渡的に変化する必要がある。実際、過入力直後のトラップの影響による実効的なしきい値電圧の変動量も 0.1~0.2 V 程度である。したがって、 $R_{on2t}-R_{on2c}=5.6\Omega$ の場合、 V_{g0_L} が定常状態の-2.5 V に対して過渡的に約 0.1~0.2 V 変化するように、式(4-7)-(4-9)に基づいて V_{ga_L} 、

第 4 章

V_{gb_L} 、 R_1 、 R_2 、および R_3 の値を設定した。 R_{on1} と R_{on2c} は、TECC をシミュレーションするために用いた大信号モデルにおける各ゲート電圧でのオン抵抗の値を参照した。 $R_{on2t}-R_{on2c}$ および τ_{e2} についても、大信号モデルの値を参照した。

図 4-8 は、解析式を用いて計算した抵抗、電流、電圧の計算結果を示す。図 4-8 に示すように、 I_{g2_L} および V_{g0_L} は時定数 τ_{e2} で過渡的に減少し、最終的に定常状態になる。また、図 4-8 に示すように、 $Tr2$ におけるトラップの影響が大きくなることを想定して、 $R_{on2t}-R_{on2c}$ を増大させると、 I_{g2_L} および V_{g0_L} の過渡的な変化も大きくなる。 $Tr0$ のトラップの影響が大きい場合、 $Tr0$ と同じ種類のトラップを持つ $Tr2$ におけるトラップの影響も同様に大きくなる。したがって、原理的には TECC を適用すればトラップを持つ任意の GaN チップに対してリカバリ特性を改善することができる。

表 4-3 解析式における各パラメータの値

Parameters	V_{ga_L} (V)	V_{gb_L} (V)	R_{on1} (ohm)	R_{on2c} (ohm)	R_1 (ohm)	R_2 (ohm)	R_3 (ohm)	τ_{e2} (ms)
Value	-5.5	-0.5	22	56	1000	10	50	0.3

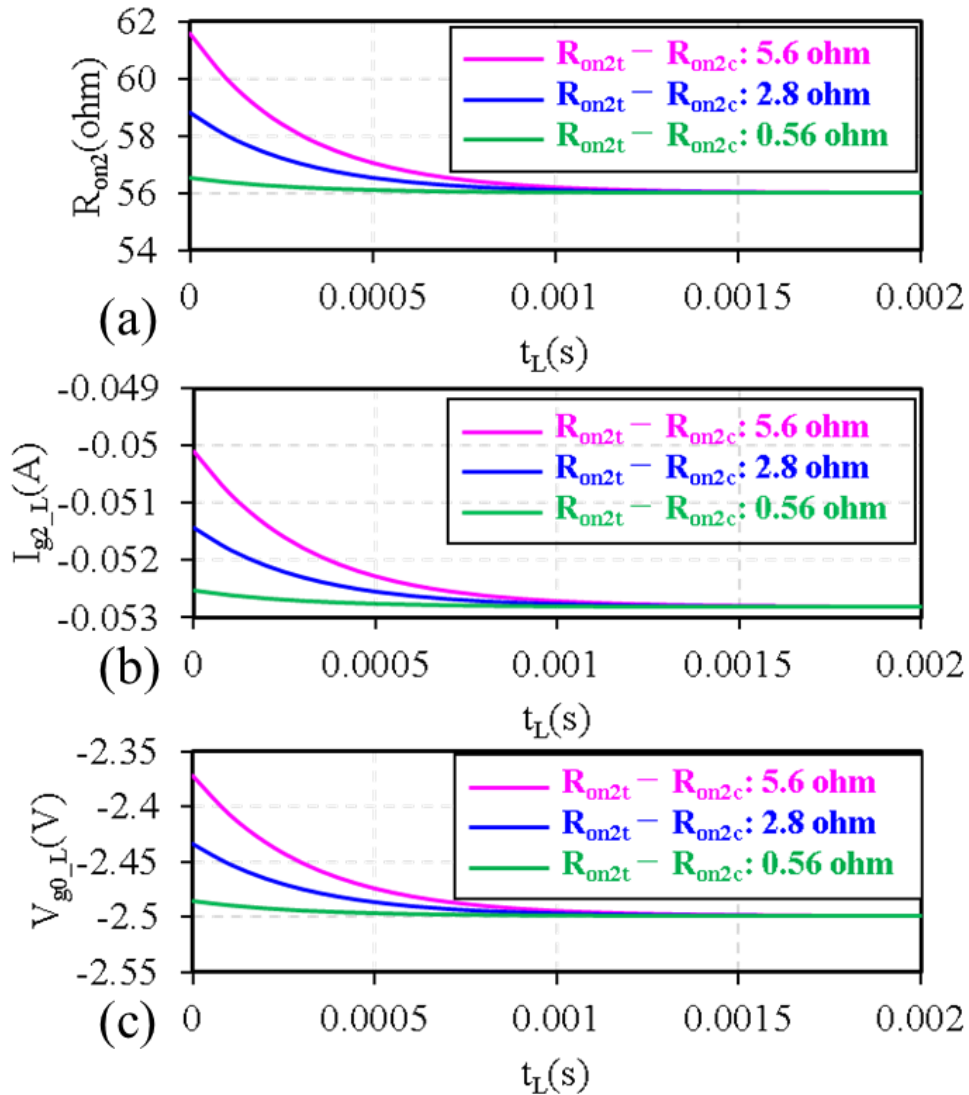


図4-8 解析式を用いて計算した抵抗、電流、電圧の計算結果(a) R_{on2} 、(b) I_{g2_L} 、(c) V_{g0_L}

4.4 トランジスタモデルを用いたトラップ補償回路の設計

トラップの影響を考慮した大信号トランジスタモデルを用いて TECC を設計した。ベースとなるコアモデルとして、[4.32]の Angelov-GaN モデルを使用した。モデル化したトランジスタは、三菱電機製のゲート長 $0.19 \mu\text{m}$ の GaN-HEMT である。モデル化したトランジスタのゲート幅は、 $8 \times 52 \mu\text{m}$ である。図 4-9 にト

第 4 章

ラップの影響を考慮したモデルを示す。第 2 章で述べたトラップモデルを改良してトラップの捕獲時定数と放出時定数をそれぞれ独立して設定できるモデルとなっている。図 4-9 に示されているように、このモデルは抵抗 R_{tr_c} および R_{tr_c} 、容量 C_{tr} 、ダイオード D_{tr_d} および D_{tr_g} で構成されており、これらは Angelov-GaN モデルのドレインおよびゲート端子に接続されている。電流 I_{tr_d} および I_{tr_g} はそれぞれ次の式で表される

$$I_{tr_d} = I_{tr_d0} \exp[(V_{tr_d1} - V_{tr_d2}) - V_{dio_d}] \quad (4-10)$$

$$I_{tr_g} = I_{tr_g0} \exp[(V_{tr_g2} - V_{tr_g1}) - V_{dio_g}] \quad (4-11)$$

ここで V_{dio_d} および V_{dio_g} はそれぞれダイオード D_{tr_d} および D_{tr_g} のしきい値電圧であり、 I_{tr_d0} および I_{tr_g0} は定数である。 V_{d_dc} および V_{g_dc} は、それぞれドレインとゲートの直流電圧である。大信号動作中に、 I_{tr_d} および I_{tr_g} が増加し、 C_{tr} に電子が充電されることで、 V_{tr_d2} および V_{tr_g2} が増加し、それに伴い、次式で表される V_{tr_d} および V_{tr_g} が増大する。

$$V_{tr_d} = V_{tr_d2} - V_{d_dc} \quad (4-12)$$

$$V_{tr_g} = V_{tr_g2} - V_{g_dc} \quad (4-13)$$

V_{tr_d} および V_{tr_g} は、 K_{vth_d} 、 K_{vth_g} 、 K_{rd_d} 、 K_{rs_d} 、および K_{rs_g} を介して、しきい値電圧 V_{th} 、ドレイン抵抗 R_d 、ソース抵抗 R_s にフィードバックされる。次式に V_{th} 、 R_d 、及び R_s を示す。

$$V_{th} = V_{th0} + \alpha_{Trap}(K_{vth_d}V_{tr_d} + K_{vth_g}V_{tr_g}) \quad (4-14)$$

$$R_d = R_{d0}(1 + \alpha_{Trap}K_{rd_d}V_{tr_d}) \quad (4-15)$$

$$R_s = R_{s0}[1 + \alpha_{Trap}(K_{rs_d}V_{tr_d} + K_{rs_g}V_{tr_g})] \quad (4-16)$$

V_{th0} 、 R_{d0} 、および R_{s0} は、それぞれ DC 動作時のしきい値電圧、ドレイン抵抗、およびソース抵抗を示しており、これらの式では DC 動作に対する大信号動作中のトラップの影響による特性変化を表現している。 α_{Trap} はトラップの影響度を示すパラメータであり、トラップの影響が変化する際のリカバリ特性の変化をシミュレーションで検証するために用いられる。

第 4 章

チャンネル温度 T_{ch} は、環境温度 T_{amb} と、大信号動作中の自己発熱による温度上昇 ΔT を用いて、次式で表される。

$$T_{ch} = T_{amb} + \Delta T \quad (4-17)$$

C_{tr} は T_{ch} に依存し、定数 C_{tr_a} および C_{tr_b} を用いて次式で表される[4.33]。

$$C_{tr} = C_{tr_a} \exp\left(-\frac{T_{ch}}{C_{tr_b}}\right) \quad (4-18)$$

捕獲および放出の時定数は、それぞれ $R_{tr_c} \times C_{tr}$ および $R_{tr_e} \times C_{tr}$ で表され、時定数が温度に依存して変化するモデルとなっている。

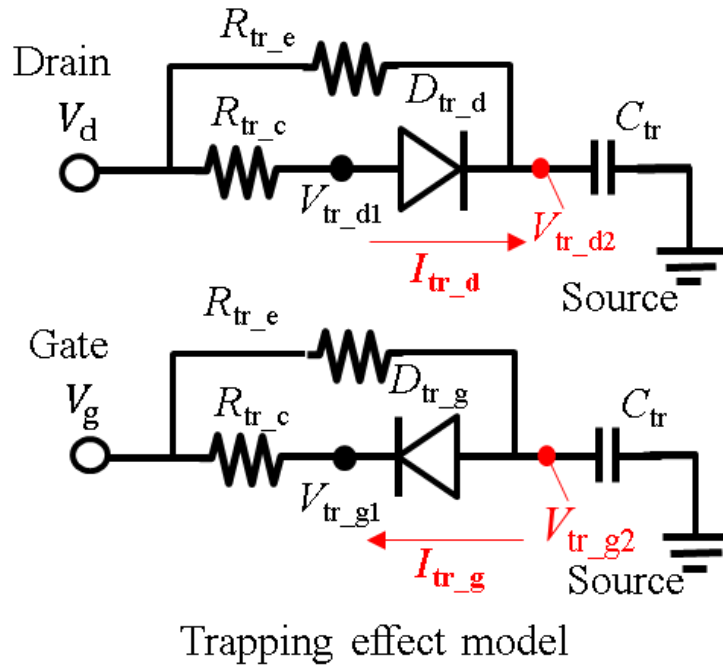


図 4-9 トラップの影響を考慮したモデル

図 4-10 は、補償対象トランジスタ Tr0 の大信号特性のシミュレーション結果である。大信号特性は周波数 28GHz でトラップの影響を考慮した大信号モデルを用いてシミュレーションした。Tr0 のゲート幅は $8 \times 52 \mu\text{m}$ であり、Tr0 には整合回路が接続されている。整合回路を備えた Tr0 は LNA ではなく、TECC の有効性を検証するために回復特性を測定するよう設計された Test Elementary

第4章

Group (TEG) である。整合回路は 28 GHz で利得整合になるように設計されている。ドレイン電圧 V_d は 24 V であり、アイドルドレイン電流 I_{dq} は 50 mA/mm である。今回は 28 GHz に対して検証するが、TECC は他の周波数でも有効である。

図 4-11 は、大信号モデルによる Tr0 のリカバリ特性のシミュレーション結果を示している。このシミュレーションでは、TECC は装荷されていない。トラップなしモデルの場合、 P_{out} は t_L で一定の 15.8 dBm を維持している。しかし、トラップありモデルの場合、 P_{in_H} 入力直後の t_L での P_{out} は定常状態の P_{out} よりも低くなる。その後過渡的に増大し、最終的にトラップなしモデルと同じ 15.8 dBm の電力レベルに回復する。

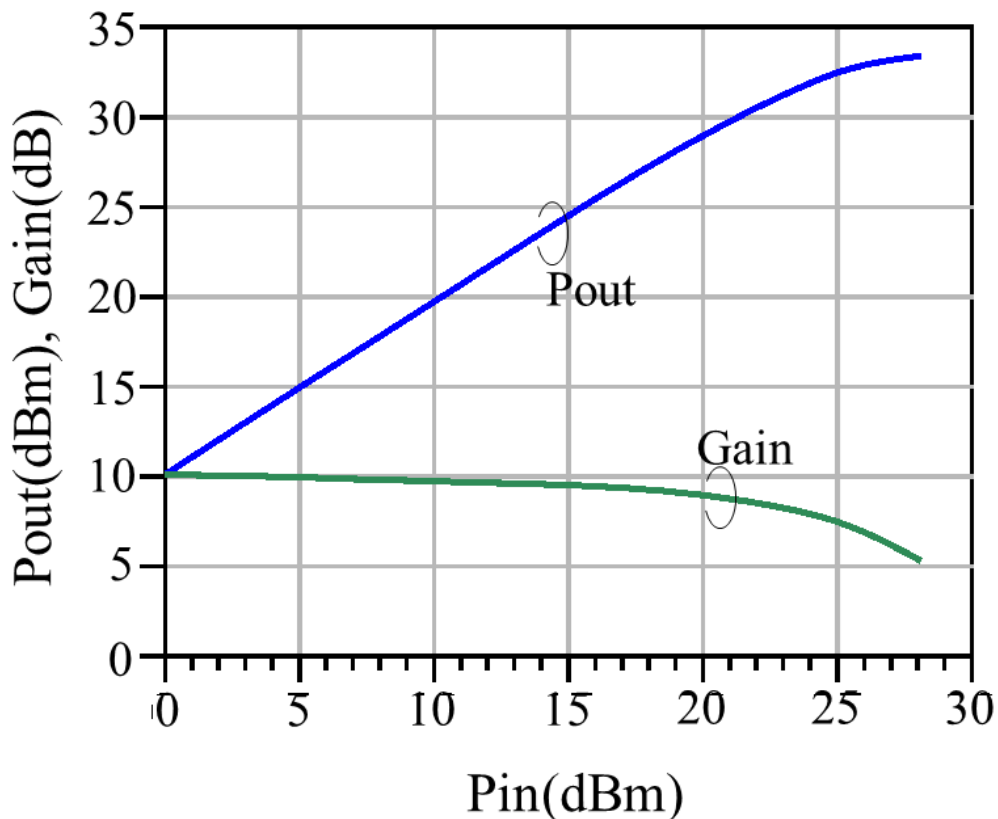


図 4-10 補償対象トランジスタ Tr0 の大信号特性のシミュレーション結果

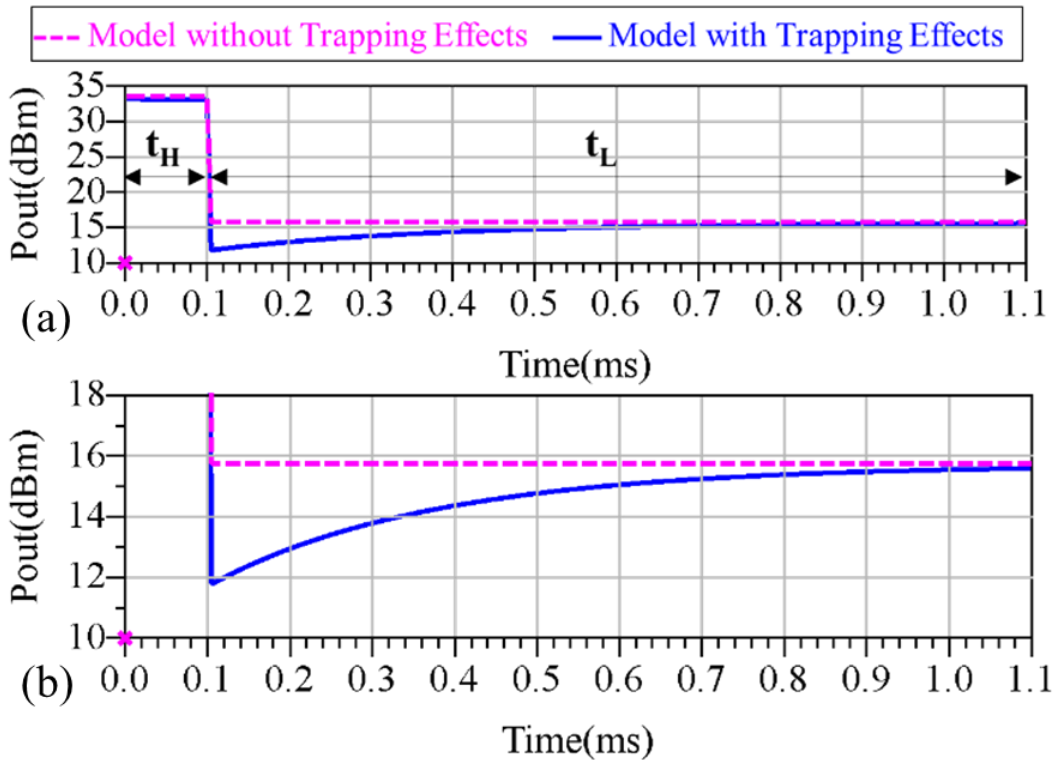


図 4-11 大信号モデルによる Tr_0 のリカバリ特性のシミュレーション結果
 (a) 全体、(b) P_{out} が過渡的に変化する部分を拡大

図 4-12 は TECC の Tr_1 及び Tr_2 に印加する電圧 V_{ga} 及び V_{gb} を示す。 t_H のとき、 (V_{ga_H}, V_{gb_H}) は $(13.3\text{ V}, -8.9\text{ V})$ であり、 t_L のとき、 (V_{ga_L}, V_{gb_L}) は $(-5.7\text{ V}, -1.95\text{ V})$ である。 t_H のとき、 V_{ga_H} と V_{gb_H} のストレス電圧がそれぞれ Tr_2 のドレインとゲートに印加され、 Tr_2 のトラップに電子が捕獲される。 Tr_0 におけるトラップの影響を補償するためには、大信号モデルを使用したシミュレーションで V_{g0_L} が過渡的に約 $0.1\sim 0.2\text{ V}$ 変化する必要がある。このシミュレーションでは、 V_{g0_L} が過渡的に約 $0.1\sim 0.2\text{ V}$ 変化するように、4.3 節で示した解析式をベースに V_{ga_H} 、 V_{gb_H} 、 R_1 、 R_2 、および R_3 の値を設定した。ストレス電圧である V_{ga_H} と V_{gb_H} は、 t_H における V_{g0} のレベルだけでなく、トラップモデルにおける R_{on2} の過渡的な変化にも影響を与える。そのため、所望の V_{g0_L} の過渡的な変化と t_H における所望の V_{g0} レベルを得るように、 V_{ga_H} と V_{gb_H} の値を調整した。 t_L 時にお

第4章

る所望の定常状態の V_{g0} を得るために、 V_{ga_L} と V_{gb_L} の値も調整した。図 4-13 に V_{g0} のシミュレーション結果を示している。 $(P_{in_H}, P_{in_L}) = (25 \text{ dBm}, 5 \text{ dBm})$ 、 $(t_H, t_L) = (0.1 \text{ ms}, 1 \text{ ms})$ 、 $T_{amb} = 300 \text{ K}$ に設定した。Tr1 と Tr2 のモデルは、Tr0 モデルと同じ種類のトラップの影響を考慮した大信号モデルである。TECC 内の Tr1 と Tr2 のゲート幅はどちらも $1 \times 52 \mu\text{m}$ である。電力消費を低減するために、Tr1 と Tr2 のゲート幅は可能な限り小さくし、製造可能な最小のゲート幅 $1 \times 52 \mu\text{m}$ にした。TECC がなしの場合、 V_{g0} は一定のままである。一方、TECC がある場合、 V_{g0} は t_L の間過渡的に減少し、最終的には TECC なしの場合と同じレベルに達する。電子が t_H で Tr2 のトラップに捕獲されると、 t_L の間に過渡的に放出され、その結果 Tr2 のオン抵抗 R_{on2} が過渡的に減少する。したがって、図 4-13 に示されているように、 V_{g0} も Tr2 のトラップの放出時定数 τ_{e2} で過渡的に変化する。図 4-14 は、TECC ありとなしの Tr0 のリカバリ特性のシミュレーション結果を示している。 $(P_{in_H}, P_{in_L}) = (25 \text{ dBm}, 5 \text{ dBm})$ 、 $(t_H, t_L) = (0.1 \text{ ms}, 1 \text{ ms})$ 、 $T_{amb} = 300 \text{ K}$ 、 $V_d = 24 \text{ V}$ 、 $I_{dq} = 50 \text{ mA/mm}$ に設定した。TECC がない場合、 t_H 直後に P_{out} は定常状態の P_{out} よりも低くなり、その後定常状態まで回復する。TECC がある場合、 t_H 直後でも P_{out} は低下せず、 t_L の間一定に保たれる。これらのシミュレーション結果は、TECC が回復特性の改善に有用であることを確認している。図 4-15 は異なる V_{ga_H} でのリカバリ特性のシミュレーション結果を示している。 $(P_{in_H}, P_{in_L}) = (25 \text{ dBm}, 5 \text{ dBm})$ 、 $(t_H, t_L) = (0.1 \text{ ms}, 1 \text{ ms})$ 、 $T_{amb} = 300 \text{ K}$ 、 $V_d = 24 \text{ V}$ 、 $I_{dq} = 50 \text{ mA/mm}$ に設定した。 V_{ga_H} の値が高いほど、TECC 内の Tr2 のドレインに対するストレス電圧が高くなり、 t_L における V_{g0} の変化が大きくなる。その結果、 t_L での ΔP_{out} が小さくなる。図 4-16 は、トラップの影響度 α_{Trap} が異なるときのリカバリ特性のシミュレーション結果を示している。TECC がない場合、 α_{Trap} が高いとき、 t_L での ΔP_{out} が大きくなる。これは、 V_{g0} が α_{Trap} に関係なく常に一定であるためである。一方、TECC がある場合、 α_{Trap} が高いときでも、 t_L での V_{g0} の変化も大きくなるため、 α_{Trap} に関係なく t_L での ΔP_{out} を抑制することができる。

第4章

これは、Tr0でのトラップの影響が強いつき、Tr2でのトラップの影響も強くなるためである。図4-17は、環境温度 T_{amb} が異なる時のリカバリ特性のシミュレーション結果を示している。TECCがない場合、 V_{g0} は T_{amb} に関係なく常に一定であり、 t_L の間の P_{out} の時定数は、トラップの放出時定数 τ_{e0} が短くなる高温時に減少する。TECCがある場合、 V_{g0} の時定数は T_{amb} が高くなると短くなり、高温でも ΔP_{out} を抑制することができる。TECCの P_{out} への影響だけでなく位相への影響を確認するために、位相のリカバリ特性のシミュレーションを行った。図4-18は位相のリカバリ特性のシミュレーション結果を示している。 $(P_{in_H}, P_{in_L}) = (25 \text{ dBm}, 5 \text{ dBm})$ 、 $(t_H, t_L) = (0.1 \text{ ms}, 1 \text{ ms})$ 、 $T_{amb} = 300 \text{ K}$ 、 $V_d = 24 \text{ V}$ 、 $I_{dq} = 50 \text{ mA/mm}$ に設定した。図4-18に示されているように、TECCなしの場合、 ΔPhase も P_{out} と同様にトラップの影響により過渡的に変化する。TECCがある場合、図4-18に示されているように、 t_L での ΔPhase はTECCなしの場合よりも小さくなる。TECCは位相特性も補償できることをシミュレーションで確認した。

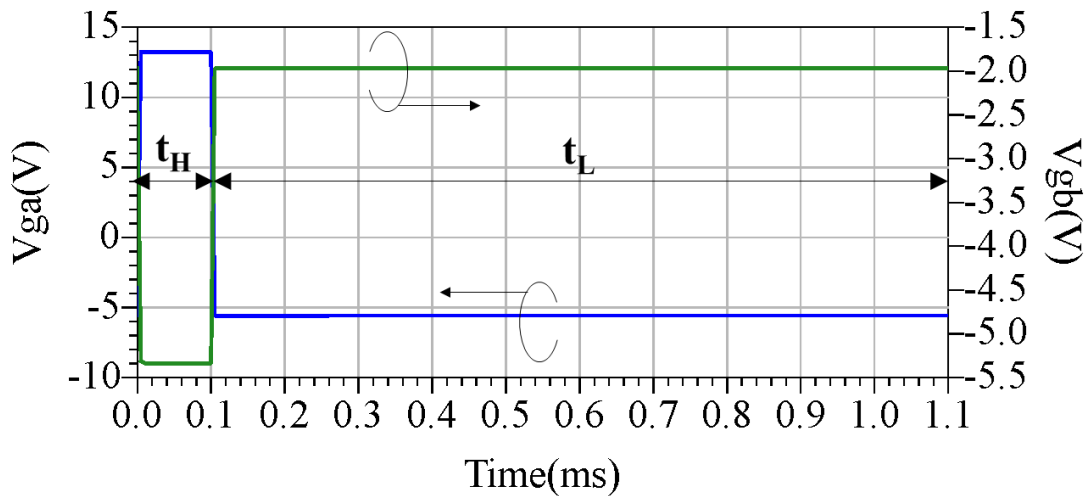


図4-12 TECCのTr1及びTr2に印加する電圧 V_{ga} 及び V_{gb}

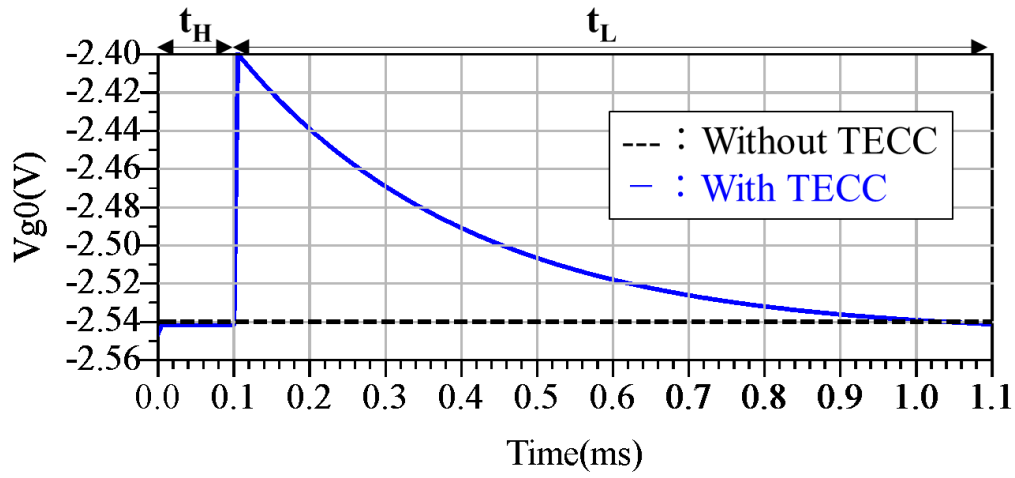


図 4-13 V_{g0} のシミュレーション結果

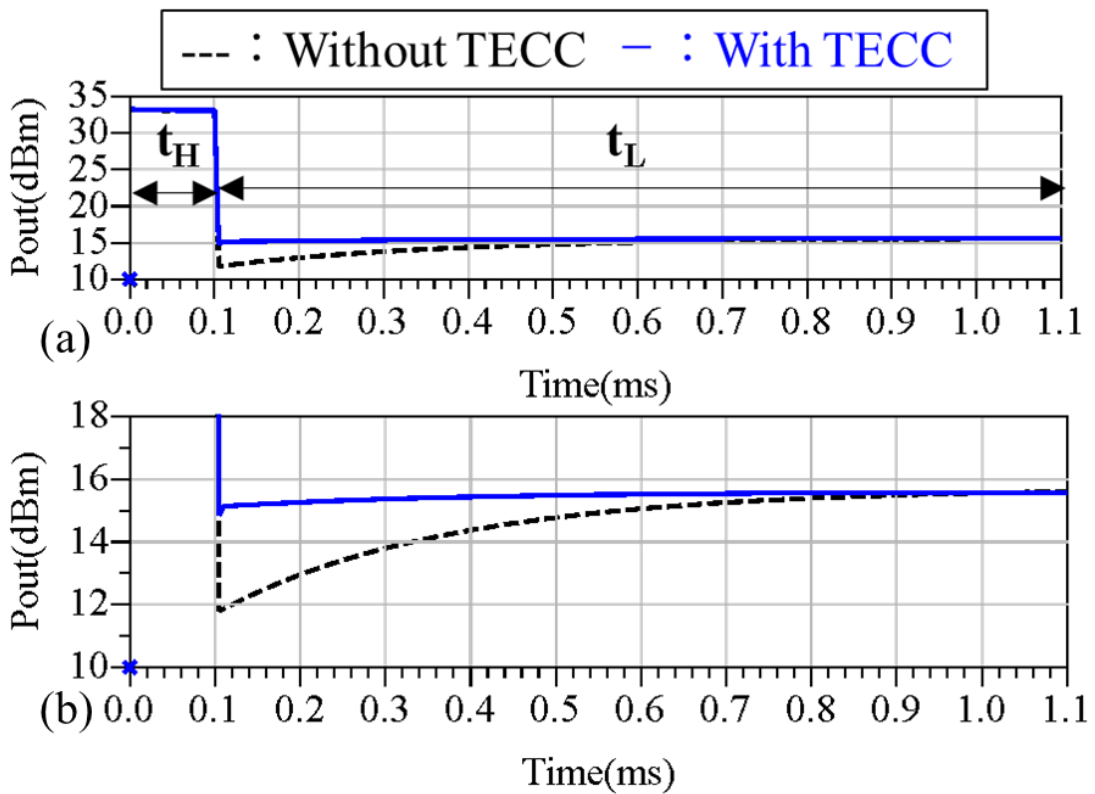


図 4-14 TECC ありとなしの Tr_0 のリカバリ特性のシミュレーション結果(a) 全体、(b) P_{out} が過渡的に変化する部分を拡大

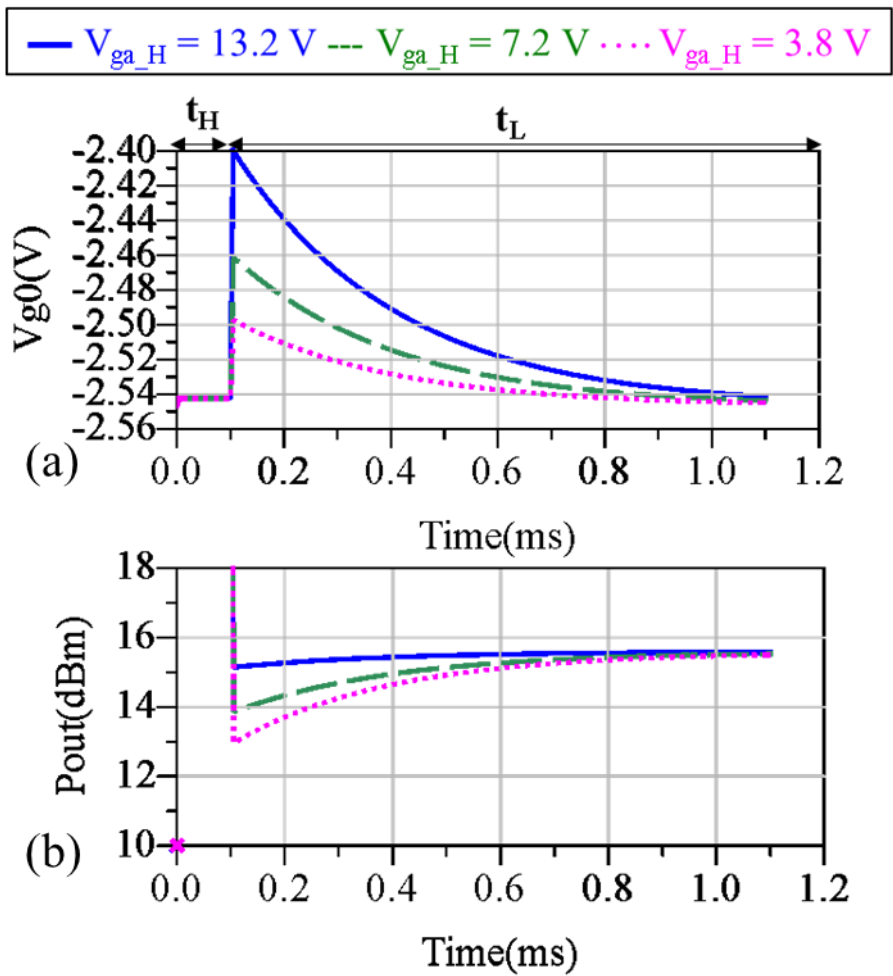


図 4-15 異なる V_{ga_H} でのリカバリ特性のシミュレーション結果 (a) V_{g0} 、(b) P_{out}

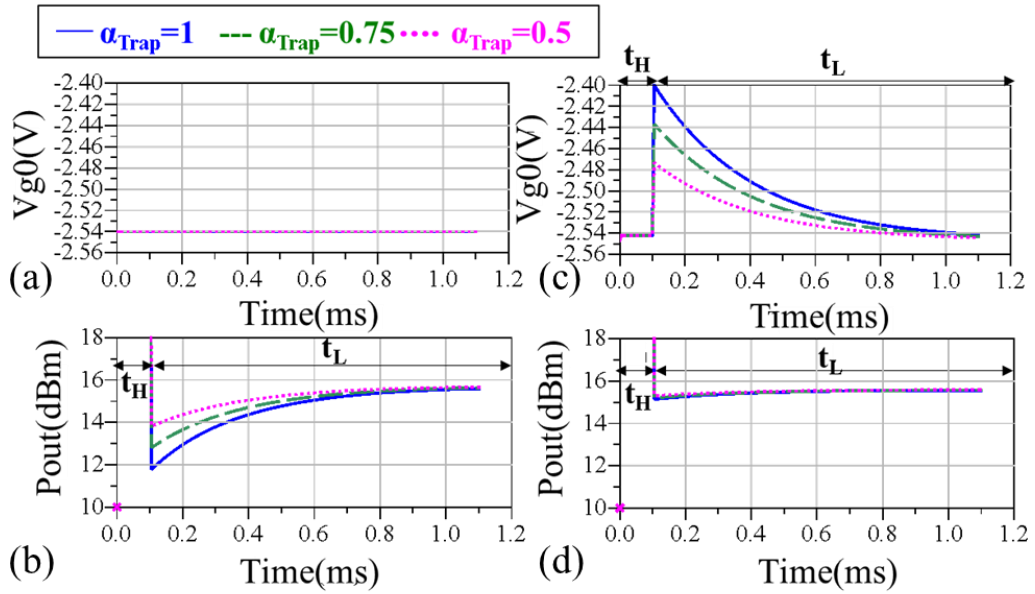


図 4-16 トラップの影響度 α_{Trap} が異なるときのリカバリ特性のシミュレーション結果 (a)TECC なしときの V_{g0} 、(b)TECC なしときの P_{out} 、(c)TECC ありのときの V_{g0} 、(d)TECC ありのときの P_{out}

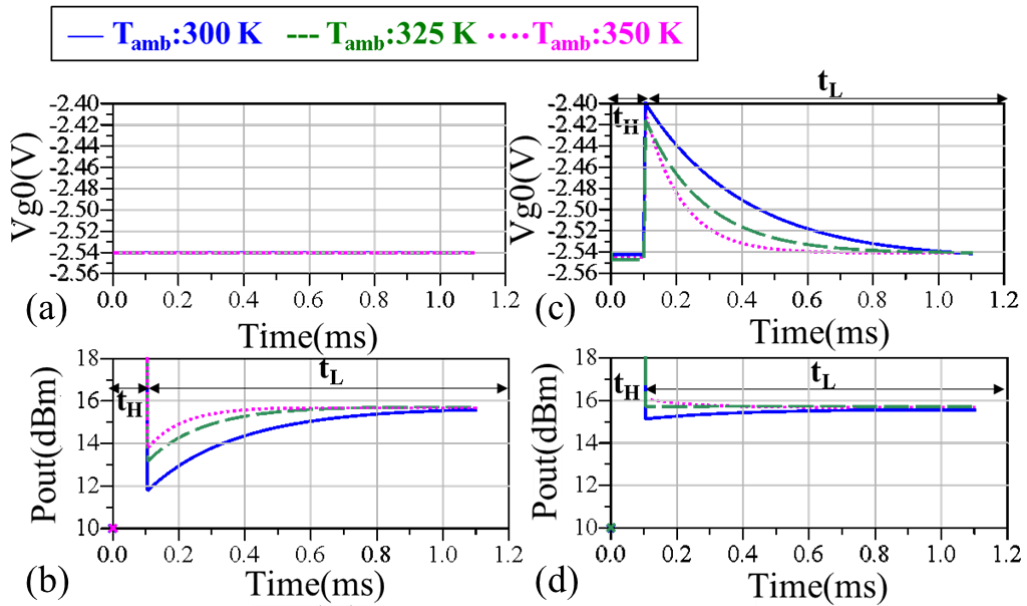


図 4-17 環境温度 T_{amb} が異なるときのリカバリ特性のシミュレーション結果 (a)TECC なしときの V_{g0} 、(b)TECC なしときの P_{out} 、(c)TECC ありのときの V_{g0} 、(d)TECC ありのときの P_{out}

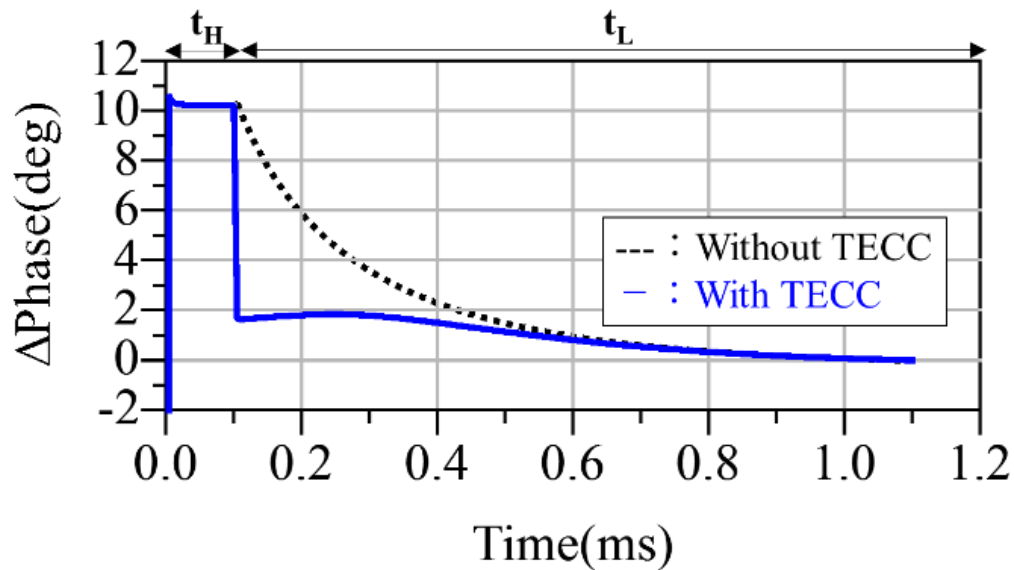


図 4-18 位相のリカバリ特性のシミュレーション結果

4.5 測定結果

TECC を装荷した TEG を製造し、そのリカバリ特性を測定して有効性を確認した。図 4-19 は、TECC 付き TEG の写真を示しており、トランジスタは三菱電機製のゲート長 $0.19 \mu\text{m}$ の GaN-HEMT である。基板は $50 \mu\text{m}$ 厚の SiC である。整合回路には薄膜抵抗、エピ抵抗、および金属絶縁体金属 (MIM) コンデンサを使用している。図 4-19 に示す TEG は Tr0 の入力と出力には利得整合の回路を装荷しており、LNA ではなく、リカバリ特性を測定するための TEG である。TECC はトランジスタの入力および出力に接続された整合回路などの外部回路とは独立したゲートバイアス回路であるため、LNA の NF 整合回路のような如何なる整合回路を装荷しても TECC の有効性は担保される。図 4-19 に示すように、Tr1 と Tr2 を含む TECC は、補償対象トランジスタ Tr0 と同じチップ上に製造され、Tr0 のゲートに接続されている。TECC には P_{in} のレベルに基づいて変化する電圧 V_{ga} と V_{gb} が TECC に入力される。 V_{g0} は TECC からの出力電圧であり、Tr0 のゲートに印加される。Tr0 のゲート幅は $8 \times 52 \mu\text{m}$ であり、TECC 内

第4章

の Tr1 と Tr2 のゲート幅は $1 \times 52 \mu\text{m}$ である。

図 4-20 は、電圧レベル調整用回路の回路図を示している。所望の V_{ga} および V_{gb} の電圧レベルを得るために、Analog Devices の AD797ANZ オペアンプを使用した 3 つのアンプ Amp0、Amp1、および Amp2 を含む電圧レベル調整回路を試作した。Amp0 は低電圧の V_{env} の電圧スケールリングを行うバッファアンプであり、スケールリングされた電圧 V_{sc} は Amp1 および Amp2 に入力され、それぞれのアンプによって所望の V_{ga} および V_{gb} レベルに調整される。同時に、 V_{gdc1} および V_{gdc2} が加えられ、それらのレベルが必要に応じて調整される。閾値電圧などのバラつきによる差分の影響は V_{ga} および V_{gb} の個別のレベル調整で吸収することができる。

図 4-21 は、電圧レベル調整用回路の写真を示している。電圧レベル調整用回路の面積は 22.5cm^2 である。現在、電圧レベル調整回路はブレッドボード上に組み立てられているため、そのサイズはかなり大きいですが、将来的には集積化によりサイズを縮小させることが可能である。

図 4-22 はリカバリ特性の測定系の構成を示している。 P_{in_H} と P_{in_L} はそれぞれ、Keysight N5244B および N5172B から出力され、コンバイナを使用して結合される。 V_{g0} は、Keysight のオシロスコープ (54852A) を使用して測定される。Device Under Test (DUT) は、プローブステーション NPS GT-1100 で測定され、ステージ温度を変えることが可能である。カプラと検波器を使用して入力部の経路から V_{env} を検波している。

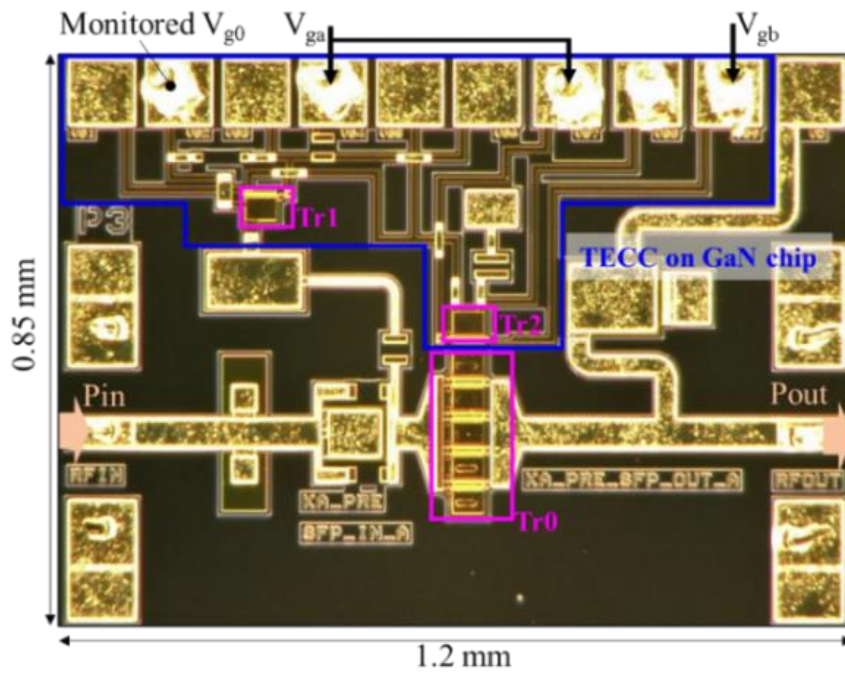


図 4-19 試作した GaN チップの写真

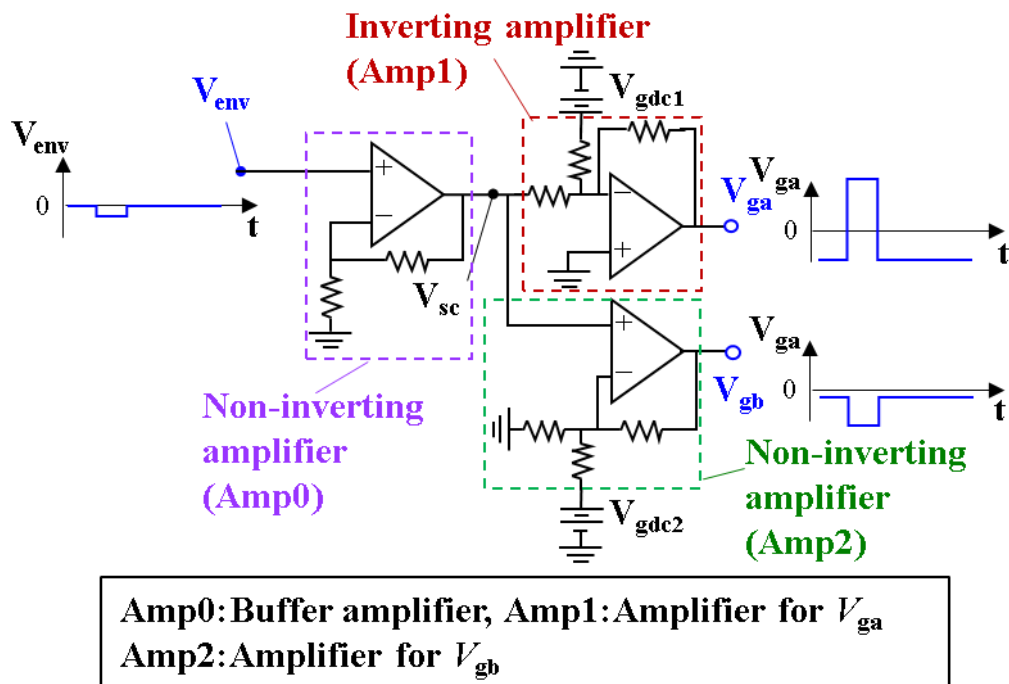


図 4-20 電圧レベル調整用回路の回路図

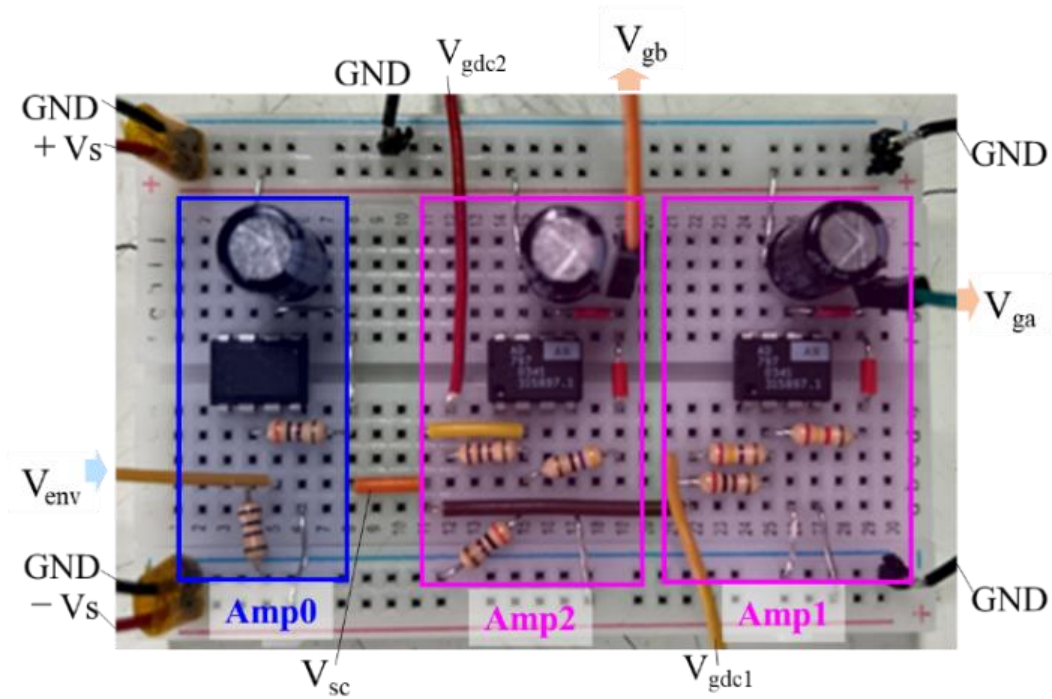


図 4-21 電圧レベル調整用回路の写真

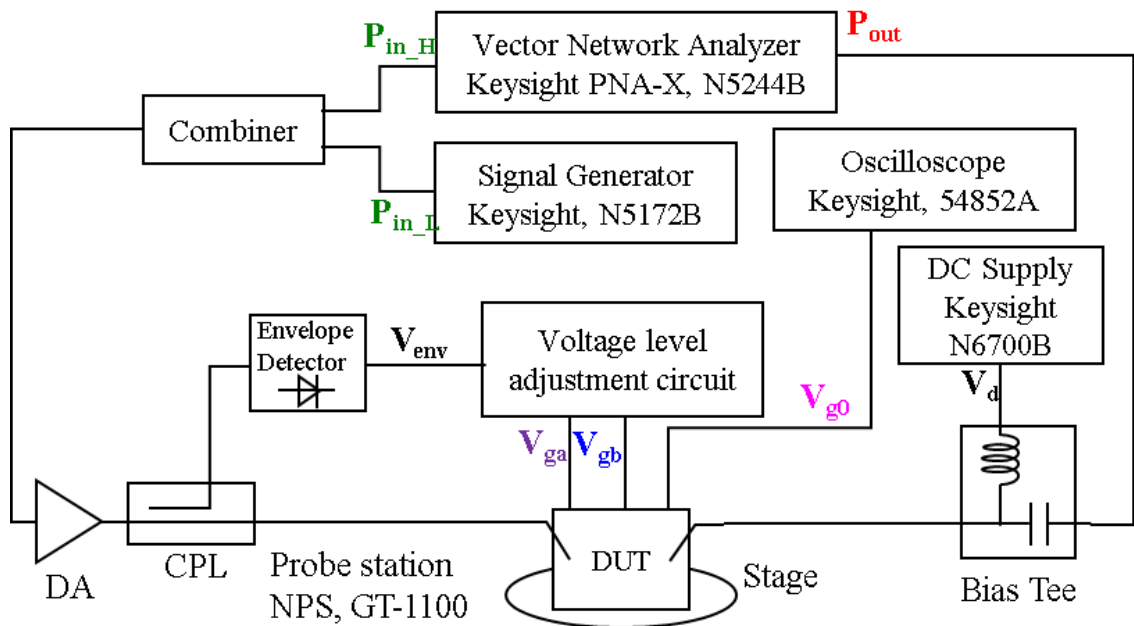


図 4-22 リカバリ特性の測定系の構成

第4章

図 4-23 は、 $T_{\text{amb}} = 300 \text{ K}$ におけるリカバリ特性の測定結果を示している。周波数は 28 GHz 、 V_d は 24 V 、 I_{dq} は 50 mA/mm 、 t_{H} は $150 \mu\text{s}$ である。 P_{in_H} と P_{in_L} はそれぞれ 25 dBm と 3 dBm に設定した。図 4-23 に示されているように、TECC を適用した場合の ΔP_{out} は、TECC を適用しない場合よりも小さくなっている。TECC を適用しない場合、 V_{g0} は常に一定である。TECC を適用した場合に見られる V_{g0} の過渡的な変化の時定数は、TECC を適用しない場合に見られる P_{out} の時定数とほぼ同じである。これは、 Tr0 と Tr2 が同じ種類のトラップを含んでいるためである。 V_{g0} の過渡的な変化が、 Tr0 におけるトラップの影響による実効的なしきい値電圧の変化を補償し、その結果、TECC を適用することで ΔP_{out} を低減することができる。

図 4-24 は、 $T_{\text{amb}} = 350 \text{ K}$ におけるリカバリ特性の測定結果を示している。図 4-24 に示されているように、高温でも TECC を適用した場合の ΔP_{out} は、TECC を適用しない場合よりも小さくなっている。高温ではトラップの放出時定数が短くなるため、TECC を適用しない場合の P_{out} の時定数は、 $T_{\text{amb}} = 300 \text{ K}$ の場合よりも短くなる。TECC を適用した場合の V_{g0} の時定数も同様に高温で短くなる。したがって、TECC は高温でも Tr0 におけるトラップの影響による実効的なしきい値電圧の変化を補償し、高温における時定数の変化にも対応することができる。

図 4-25 はリカバリ特性の実測とシミュレーションの比較結果を示す。測定結果はシミュレーション結果と概ね一致しており、シミュレーション通り TECC 適用によってリカバリ特性が改善されることを確認した。 $T_{\text{amb}} = 300 \text{ K}$ で TECC を適用しない場合の $t_{\text{L}} = 1 \times 10^{-5} \text{ s}$ 付近での測定とシミュレーションの差は、トラップモデルのパラメータの抽出精度が低かったためと考えられる。測定結果では、TECC 適用によって $T_{\text{amb}} = 300 \text{ K}$ のとき ΔP_{out} を 2.4 dB から 0.2 dB に低減し、 $T_{\text{amb}} = 350 \text{ K}$ のとき ΔP_{out} を 1.9 dB から 0.2 dB に低減した。これらの測定結果から提案した TECC の有効性を確認することができた。

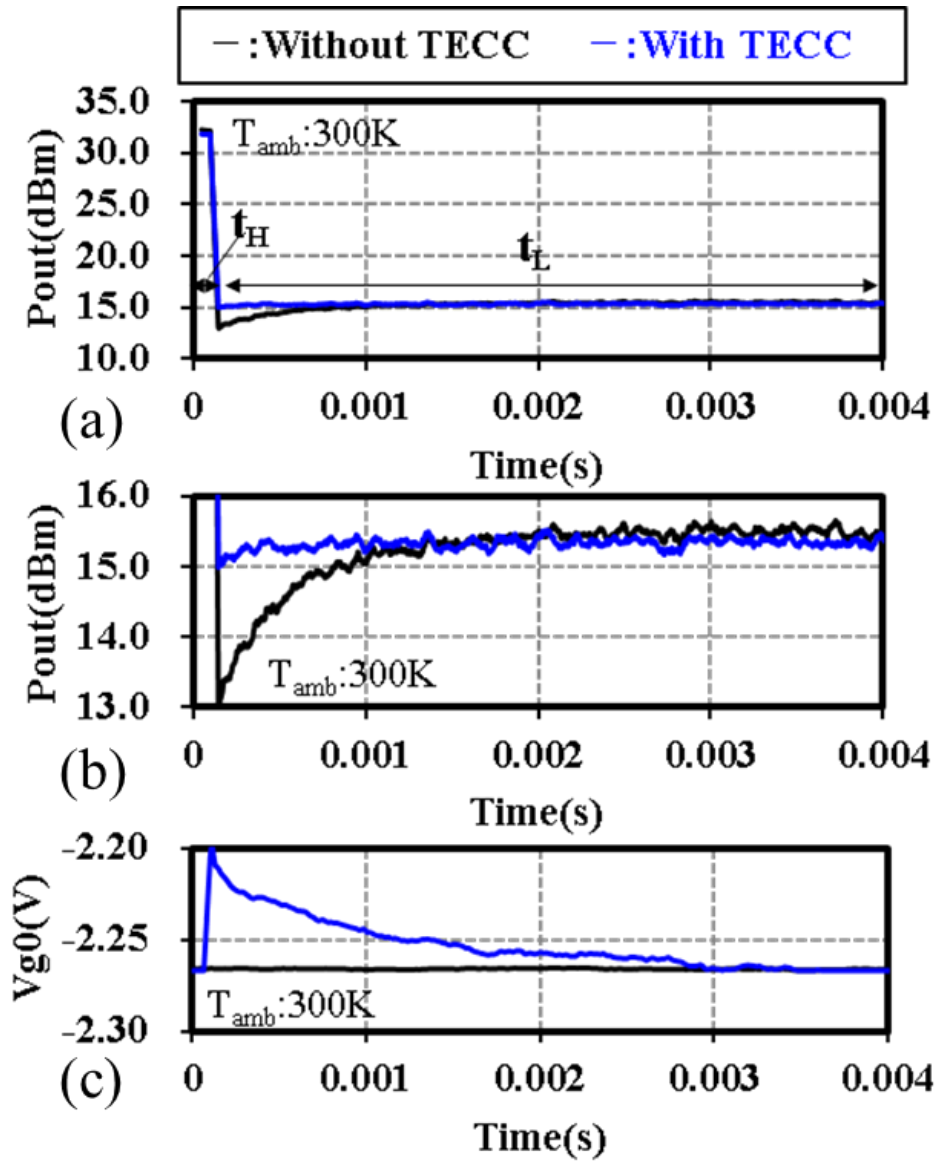


図 4-23 $T_{amb} = 300\text{K}$ におけるリカバリ特性の測定結果 (a) 全体、(b) P_{out} が過渡的に変化する部分を拡大、(c) V_{g0}

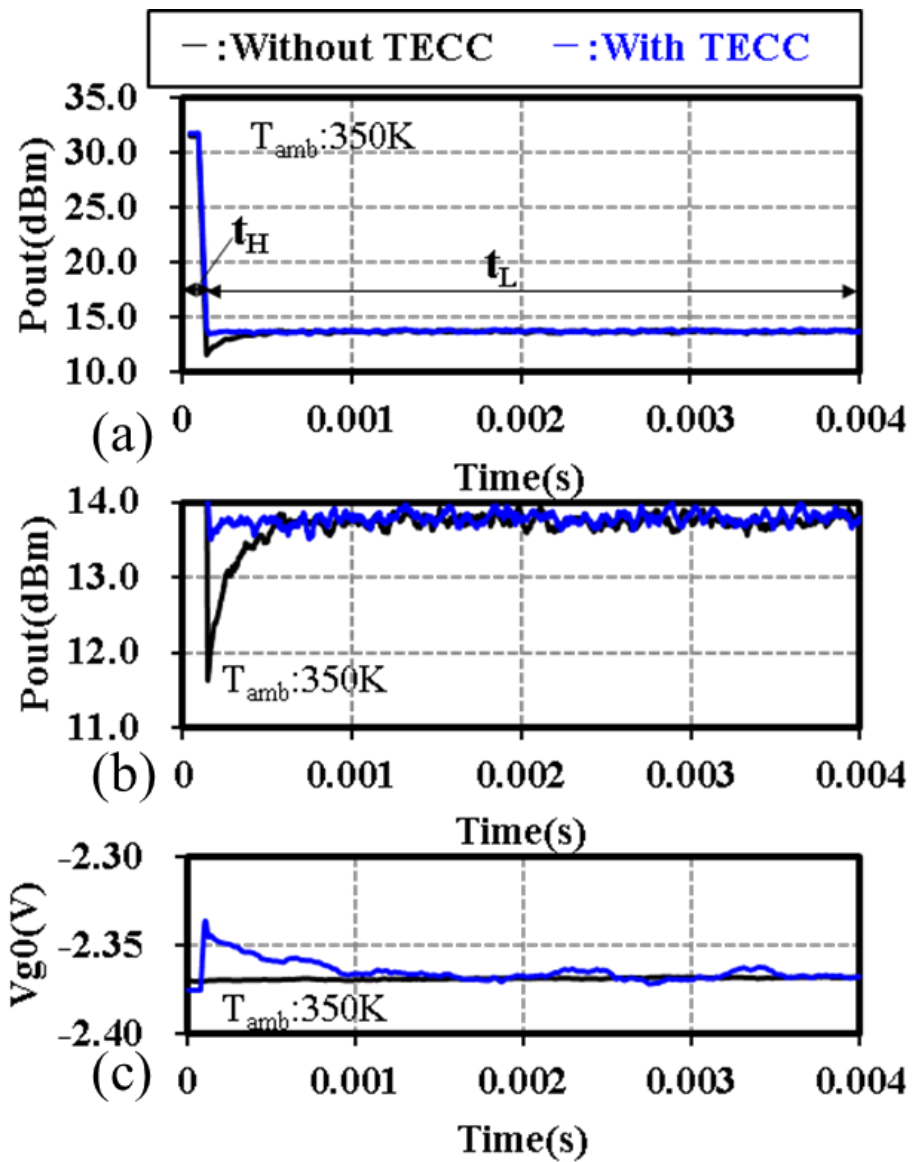


図 4-24 $T_{amb} = 350\text{ K}$ におけるリカバリ特性の測定結果(a)全体、(b) P_{out} が過渡的に変化する部分を拡大、(c) V_{g0}

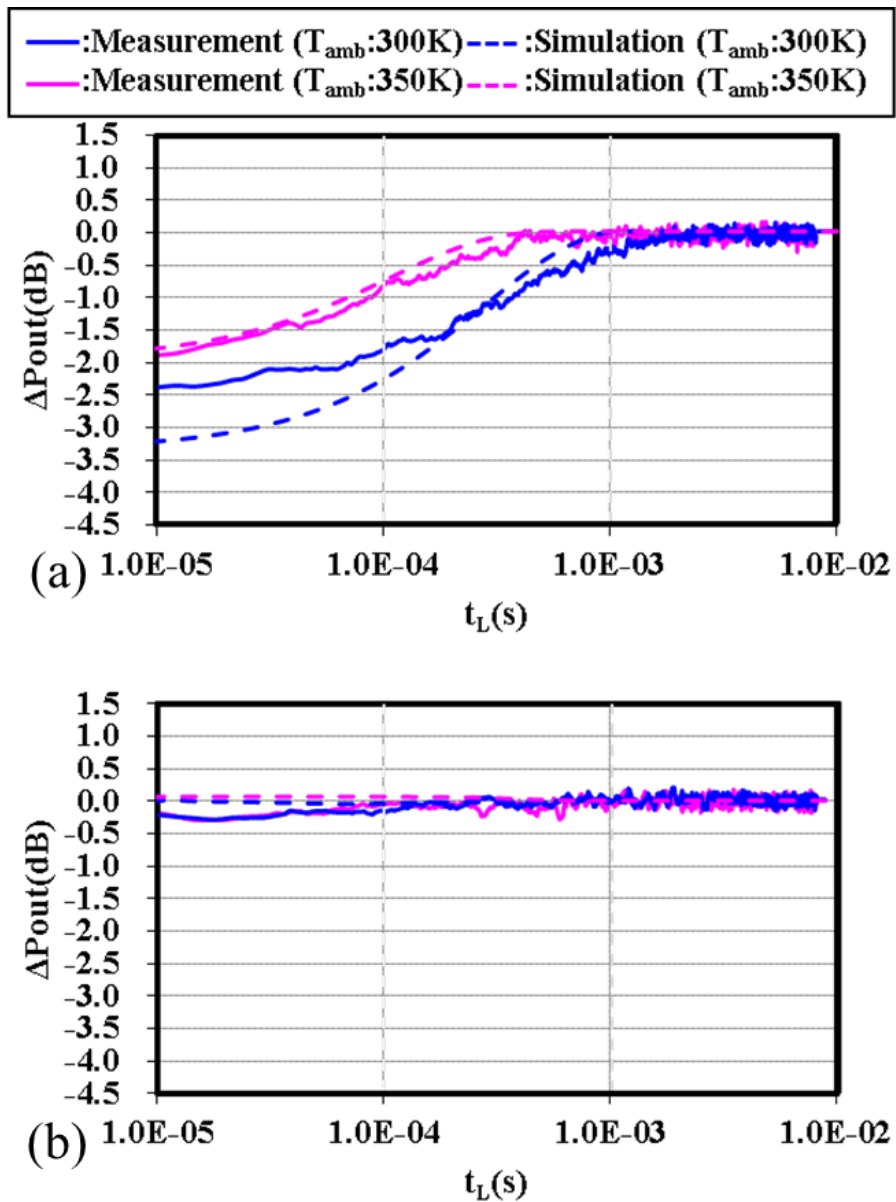


図 4-25 リカバリ特性の測定とシミュレーションの比較結果、時間軸ログ表示 (a)TECC なし、(b)TECC あり

4.6 むすび

GaN LNA 向けに過入力直後のトラップの影響を補償する回路(TECC)を提案した。TECC の動作原理を解析式を用いて説明し、トラップの影響を考慮したト

第4章

ランジスタモデルを用いて TECC を設計した。設計した TECC のシミュレーションの結果、TECC が GaN-HEMT のリカバリ特性を補償することを確認した。さらに、TECC を装荷した GaN-HEMT を製作し、そのリカバリ特性を測定した。測定の結果、TECC 適用によって環境温度 T_{amb} が 300 K のとき過渡的出力電力変化量 ΔP_{out} が 2.4 dB から 0.2 dB に低減し、 T_{amb} が 350 K のとき ΔP_{out} が 1.9 dB から 0.2 dB に低減することを確認した。TECC がトラップの影響によるリカバリ特性を室温だけでなく高温でも補償できることを確認した。提案した TECC は、GaAs LNA の GaN LNA への置き換えを可能にし、レーダ受信機の性能向上に貢献できるものと考えられる。一方、今回開発した TECC は閾値電圧の経年変化等には対応できない等の課題も残されており、今後は実環境における TECC の適用に向けて閾値電圧の経年変化も考慮したトラップ補償回路等の研究開発が必要である。

4.7 参考文献

- [4.1] A. Biondi, S. D'Angelo, F. Scappaviva, D. R., and V. A. Monaco, "Compact GaN MMIC T/R module Front-End for X-band pulsed radar," *2016 11th European Microwave Integrated Circuit Conference*, October 2016.
- [4.2] D. Kim, D-H. Lee, S. Sim, L. Jeon, and S. Hong, "An X-Band Switchless Bidirectional GaN MMIC Amplifier for Phased Array Systems," *IEEE Microwave and Wireless Components Letters*, Vol. 24, No. 12, pp. 878-880, December 2014.
- [4.3] E. Ture, F. Thome, D. Schwantuschke, M. Mikulla, and R. Quay, "E-Band Ultra-Low-Noise (4.5 dB) and High-Power (27 dBm) GaN T/R Front-End MMIC," *2022 52nd European Microwave Conference*, September 2022.
- [4.4] <https://www.qorvo.com/products/amplifiers/low-noise-amplifiers>
- [4.5] <https://www.macom.com/products/rf-microwave-mmwave/amplifiers/low-noise-amplifiers>
- [4.6] <https://www.ums-rf.com/products/>

第 4 章

- [4.7] <https://www.microchip.com/en-us/products/rf-and-microwave/mmhc/amplifiers>
- [4.8] <https://www.analog.com/en/parametricsearch/10675#/>
- [4.9] K. W. Kobayashi, V. Kumar, C. Campbell, S. Shen, Y. Cao, and J. Jimenez, “Robust-5W Reconfigurable S/X-band GaN LNA using a90nm T-gate GaN HEMT Technology”, IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS), 2020.
- [4.10] <https://www.qorvo.com/products/p/TGL2201>
- [4.11] O. Kazan, F. Kocer, and O. A. Civi, “An X-Band Robust GaN Low-Noise Amplifier MMIC with sub 2 dB Noise Figure,” *2018 13th European Microwave Integrated Circuit Conference*, September 2018.
- [4.12] R. Leblanc, N. S. Ibeas, A. Gasmi, F. Auvray, J. Poulain, F. Lecourt, G. Dagher, and P. Frijlink, “6 W Ka band power amplifier and 1.2dB NF X-band amplifier using a 100nm GaN/Si process,” *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, October 2016.
- [4.13] Y. Chen, W. Wang, Z. Chen, F. Guo, and G. Wang, “An 88~100 GHz High-Robustness Low-Noise Amplifier with 3.0~3.5 dB Noise Figure Using 0.1 μ m GaN-on-SiC process,” *2022 IEEE MTT-S International Wireless Symposium (IWS)*, August, 2022.
- [4.14] T. Sonnenberg, A. Romano, S. Verploegh, M. Pinto, and Z. Popovic, “V- and W-Band Millimeter-Wave GaN MMICs,” *IEEE Journal of Microwaves*, Vol. 3, No. 1, pp. 878-880, January 2023.
- [4.15] M. Rudolph, R. Behtash, R. Doerner, K. Hirche, J. Würfl, W. Heinrich, and G. Tränkle, “Analysis of the Survivability of GaN Low-Noise Amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 55, No. 1, pp. 37-43, January 2007.
- [4.16] Z. O. Provost, L. Caillé, N. Tuffy, M. Camiade, M. Olivier, D. Leclerc, and C. Tolant, “High Robustness S-Band GaN Based LNA,” *2019 49th European Microwave Integrated Circuit Conference*, October 2019.
- [4.17] B. Kim and W. Gao, “X-band Robust Current-Shared GaN Low Noise Amplifier for Receiver Applications,” *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, October 2016.

第 4 章

- [4.18] A. M. Elelimy Abounemra, M. Helaoui, and F. M. Ghannouchi, "A Highly Survivable C-band GaN HEMT LNA with Resistive Feedback Technique," 2016 *IEEE 19th Mediterranean Microwave Symposium (MMS)*, October 2019.
- [4.19] E. M. Suijker, M. Rodenburg, J. A. Hoogland, M. van Heijningen, M. Seelmann-Eggebert, R. Quay, P. Bruckner, and F. E. van Vliet, "Robust AlGaIn/GaN Low Noise Amplifier MMICs for C-, Ku- and Ka-Band Space Applications," 2009 *Annual IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, November 2009.
- [4.20] O. Axelsson, M. Thorsell, K. Andersson, and N. Rorsman, "The Effect of Forward Gate Bias Stress on the Noise Performance of Mesa Isolated GaN HEMTs," *IEEE Transactions on Device and Materials Reliability*, Vol. 15, No. 1, pp. 40-46, March 2015.
- [4.21] C. Andrei, R. Doerner, S. A. Chevtchenko, W. Heinrich, and M. Rudolph, "On the Optimization of GaN HEMT Layout for Highly Rugged Low-Noise Amplifier Design," 2017 *12th European Microwave Integrated Circuit Conference*, October 2017.
- [4.22] E. Kaule, P. Luo, C. Andrei, S. A. Chevtchenko, and M. Rudolph, "Compact Stacked Rugged GaN Low-Noise Amplifier MMIC," 2021 *IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)*, September 2021.
- [4.23] C. Andrei, O. Bengtsson, R. Doerner, S. A. Chevtchenko, and M. Rudolph, "Robust Stacked GaN-Based Low-Noise Amplifier MMIC for Receiver Applications," *IEEE 2015 MTT-S International Microwave Symposium (IMS)*, May, 2015.
- [4.24] A. Tomaz, S. Gerlich, M. Rudolph, and C. Andrei, "A Novel System for Recovery Time Measurements of GaN-Based Low-Noise Amplifiers," 2022 *14th German Microwave Conference (GeMiC)*, May, 2022.
- [4.25] S. Krause, P. Beleniotis, O. Bengtsson, M. Rudolph, and W. Heinrich, "Characterization of the Impairment and Recovery of GaN-HEMTs in Low-Noise Amplifiers under Input Overdrive," 2021 *IEEE MTT-S International Microwave Symposium (IMS)*, June, 2021.
- [4.26] M. Rudolph, M. Dewitz, A. Liero, I. Khalil, N. Chaturvedi, C. Wipf, R. M. Bertenburg, J. Miller, J. Wurfl, W. Heinrich, and G. Trankle, "Highly Robust X-Band LNA with Extremely Short Recovery Time," 2009 *IEEE MTT-S International Microwave Symposium (IMS)*, June, 2009.

第 4 章

- [4.27] O. Axelsson, N. Billström, N. Rorsman, and M. Thorsell, “Impact of Trapping Effects on the Recovery Time of GaN Based Low Noise Amplifiers,” *IEEE Microwave and Wireless Components Letters*, Vol. 26, No. 1, pp. 31-33, January 2016.
- [4.28] A. Liero, M. Dewitz, S. Kühn, N. Chaturvedi, J. Xu, and M. Rudolph, “On the Recovery Time of Highly Robust Low-Noise Amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 58, No. 4, pp. 781-787, April 2010.
- [4.29] T. Huang, O. Axelsson, J. Bergsten, M. Thorsell, and N. Rorsman, “Achieving Low-Recovery Time in AlGaN/GaN HEMTs With AlN Interlayer Under Low- Noise Amplifiers Operation,” *IEEE Electron Device Letters*, Vol. 38, No. 7, pp. 926-928, July 2017.
- [4.30] T. Huang, O. Axelsson, J. Bergsten, M. Thorsell, and N. Rorsman, “Impact of AlGaN/GaN Interface and Passivation on the Robustness of Low-Noise Amplifiers,” *IEEE Transactions on Electron Devices*, Vol. 67, No. 6, pp. 2297-2303, June 2020.
- [4.31] H. Fukui, “Optimal Noise Figure of Microwave GaAs MESFETs,” *IEEE Transactions on Electron Devices*, Vol. 26, No. 7, pp. 1032-1037, July 1979.
- [4.32] I. Angelov, L. Bengtsson, and M. Garcia, “Extensions of the Chalmers Nonlinear HEMT and MESFET Model,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 44, No. 10, pp. 1664-1674, October 1996.
- [4.33] Y. Yamaguchi, T. Otsuka, M. Hangai, S. Shinjo, and T. Oishi, “Ka-band GaN Large-Signal Model Considering Trap Effect on Non-linear Capacitance by Using Transient-Sparameters Measurement,” *IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, October, 2018.

第5章.

トランジスタモデルに基づく出力電力選択可能な増幅器の設計

5.1 まえがき

レーダ向けに 100 W クラスの HPA が報告されている[5.1]-[5.7]。一般的に HPA の開発では各レーダの仕様に応じて回路基板を新規で設計・製造するフルカスタム開発が行われる。フルカスタム HPA は各レーダで要求される仕様を満たす高性能な特性を有する反面、さまざまな HPA のラインナップを拡充するには開発コストがかかるという課題がある。この課題を解決するためにリコンフィギュラブル HPA が報告されている。リコンフィギュラブル HPA はバイアスやワイヤ等の調整により仕様変更に対応できるように HPA の特性を変化させることができる HPA である。表 5-1 にリコンフィギュラブル HPA における選択方法の比較結果を示す。200W クラスの HPA を想定して比較を行った。バイアス調整型のリコンフィギュラブル HPA は既に報告されており、スイッチング素子の ON/OFF を切り替えることで周波数範囲を切り替えることができる[5.8]-[5.9]。また、出力電力は 1-10W クラスを想定した HPA が多く報告されており、それらは Monolithic Microwave Integrated Circuit(MMIC)で構成されている。バイアス調整型は出力回路にスイッチ等のアクティブ素子を含むため、今回想定している 200W クラスの HPA には故障リスクの観点で不向きである。また、200W クラスの出力を得ようとするトランジスタサイズが大きくなるため、MMIC の場合回路を含めたチップサイズが実装不可能な面積になる。そのため、200W クラス

第 5 章

の場合、GaN チップと回路基板(アルミナ基板)が別々の基板になる **Internal Matching FET(IM-FET)**で構成する必要がある。IM-FET でバイアス調整型のリコンフィギュラブル HPA を作製する場合、スイッチ等のアクティブ素子を別で用意する必要があり、その分のコストが高くなる。また、バイアス調整型の場合、調整前の HPA において調整可能な回路構成にしておく必要があり、既存の出来合いの HPA に対して調整することができないため、フレキシビリティが低くなる。一方、ワイヤ調整型はワイヤで回路調整するため、アクティブ素子が不要であり、200W クラスを想定した場合の故障リスクやコストの観点でバイアス調整型よりも優位である。また、フレキシビリティの観点でもワイヤ調整型は既存の出来合いの HPA に対してもワイヤ調整可能であるため、フレキシビリティが高くなる。バイアス調整型はワイヤ調整型に対してリアルタイム制御が可能というメリットがあるが、今回は多品種展開が目的であり、リアルタイム制御が不要であるため、ワイヤ調整型の構成を採用した。本章ではワイヤ調整型リコンフィギュラブル HPA をセミカスタム HPA と呼ぶ。

図 5-1 にフルカスタム HPA と提案するセミカスタム HPA の比較を示している。図 5-1 に示すようにフルカスタム HPA は、レーダの要求出力電力に応じて標準 HPA のトランジスタのゲート幅 W_{go} を W_{gu} に変更した場合、それに対して新しい整合回路基板を設計・製造する必要がある。一方、セミカスタム HPA はゲート幅を変更したとしても、標準 HPA の外部基板を流用し、新規で整合回路基板を設計・製造することなく、ワイヤ等の調整のみで所望の出力電力を得ることができる。セミカスタム HPA ではゲート幅変更によるミスマッチによるロスを補償するために、ワイヤチューニングによって簡単に調整できる出力整合回路を適用している。本章ではまずセミカスタム HPA の回路の調整パラメータを決定するための設計式を導出した。そしてこの設計式と第 2 章で述べたトランジスタモデルを用いてセミカスタム HPA を設計した。設計したセミカスタム HPA の有効性を検証するために S 帯 HPA を試作・評価した。

表 5-1 リコンフィギュラブル HPA における選択方法の比較

選択方法	バイアス調整型 (電氣的)	ワイヤ調整型 (物理的)
想定出力電力	1~10W級	200W級
出力回路の故障リスク (200W級想定)	高(アクティブ素子含)	低(アクティブ素子含まない)
コスト	高	低
フレキシビリティ	低	高
リアルタイム制御	可能	不可能

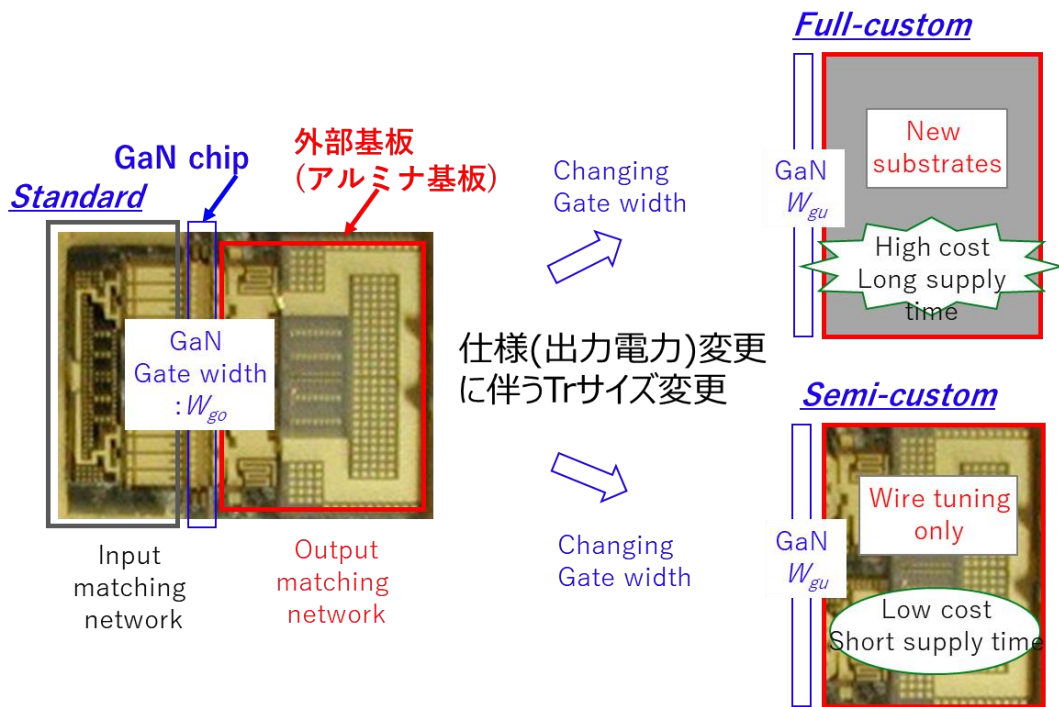


図 5-1 フルカスタム HPA とセミカスタム HPA の比較

5.2 セミカスタム GaN 増幅器のコンセプト

図 5-2 にセミカスタム HPA の出力整合回路図を示す。整合回路は、長さ調整可能な $\lambda/4$ 波長線路($\lambda/4$ 線路)、特性インピーダンス調整可能な $\lambda/4$ 線路、およびシャントインダクタで構成されている。トランジスタの出力インピーダンスは、容量 C_{opt} と抵抗 R_{opt} の並列回路として等価的に表される。第 1 段の $\lambda/4$ 線路の特性インピーダンスと電気長はそれぞれ Z_a および θ_a と定義し、第 2 段の $\lambda/4$ 線路の特性インピーダンスと電気長はそれぞれ Z_b および θ_b と定義した。インダクタのリアクタンスは L で表現した。ゲート幅変更によるトランジスタ内の C_{opt} と R_{opt} の変化を補償するために、 Z_b と θ_a はワイヤ配線調整によってチューニング可能である。図 5-2 に示すように θ_a は線路に Z_0 は HPA の出力負荷のインピーダンスである。

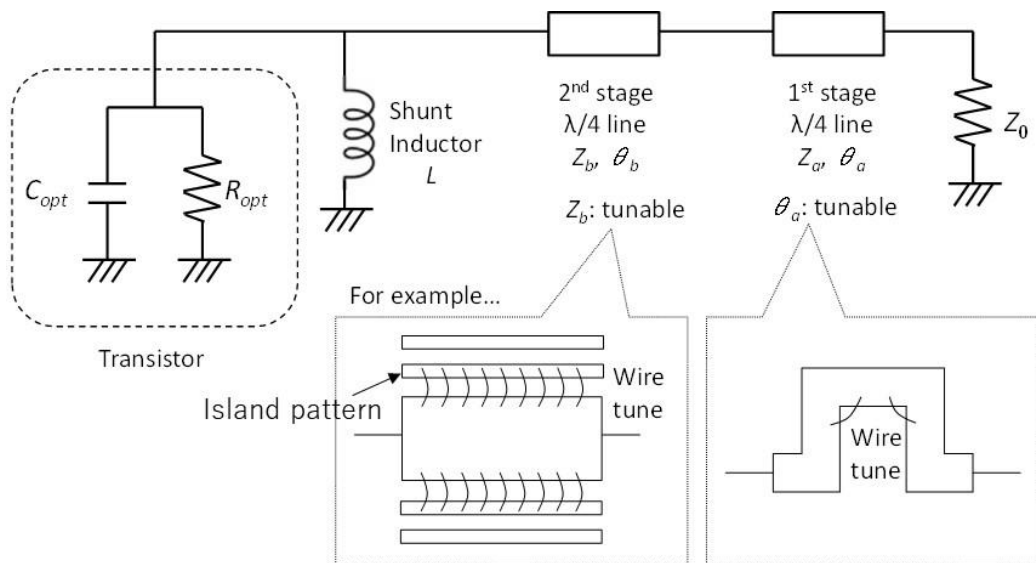


図 5-2 セミカスタム HPA の出力整合回路

5.3 セミカスタム HPA の設計式の導出

セミカスタム HPA の設計式を導出した。図 5-3 に標準 HPA とセミカスタム HPA の回路構成を示す。標準 HPA とはセミカスタムする前の基準となるゲート

第 5 章

幅のトランジスタを有する HPA である。図 5-3 (a)に示す標準 HPA おける Z_1 、 Z_2 、および Z_{FET} は、それぞれ次式で定式化される。

$$Z_1 = Z_a \frac{Z_0 + jZ_a \tan \theta_a}{Z_a + jZ_0 \tan \theta_a} = \frac{Z_a^2}{Z_0} \quad (5-1)$$

$$Z_2 = Z_b \frac{Z_1 + jZ_b \tan \theta_b}{Z_b + jZ_1 \tan \theta_b} = \frac{Z_b^2}{Z_1} \quad (5-2)$$

$$Z_{\text{FET}} = \frac{\omega^2 L^2 R_{\text{opt}} + j\omega L R_{\text{opt}}^2 (1 - \omega^2 L C_{\text{opt}})}{R_{\text{opt}}^2 (1 - \omega^2 L C_{\text{opt}})^2 + \omega^2 L^2} \quad (5-3)$$

ここで、 ω は動作周波数を表し、整合条件として $\theta_a = \theta_b = 90^\circ$ とする。また、多段の $\lambda/4$ 線路インピーダンス変換の原理によれば、すべての段のインピーダンス変換比が等しい場合、周波数帯域特性が最も広くなる[5.10]。したがって、 Z_0 、 Z_1 、 Z_2 の間の関係は次式で表される。

$$\frac{Z_1}{Z_2} = \frac{Z_0}{Z_1} \quad (5-4)$$

式(5-1),(5-2),(5-4)から Z_a と Z_b は次式で得られる。

$$Z_a = Z_0^{3/4} Z_2^{1/4} \quad (5-5)$$

$$Z_b = Z_0^{1/4} Z_2^{3/4} \quad (5-6)$$

この条件のもと周波数特性を広域にとるためには Z_{FET} は実数であるべきなので、式(5-3)の虚数部を 0 にするために、 L は次式で表される。

$$L = \frac{1}{C_{\text{opt}} \omega^2} \quad (5-7)$$

さらに、整合条件を満たすために Z_2 の実部と Z_{FET} の実部は等しくならなければならない。式(5-7)を満たすとき、次式に示すように Z_{FET} の実部は R_{opt} に等しくなり、 Z_2 は R_{opt} に等しくなる。

$$Z_2 = \frac{\omega^2 L^2 R_{\text{opt}}}{R_{\text{opt}}^2 (1 - \omega^2 L C_{\text{opt}})^2 + \omega^2 L^2} = R_{\text{opt}} \quad (5-8)$$

式(5-8)を式(5-6)、式(5-7)に代入すると、 Z_a と Z_b は次式で表される。

$$Z_a = Z_0^{3/4} R_{\text{opt}}^{1/4} \quad (5-9)$$

$$Z_b = Z_0^{1/4} R_{\text{opt}}^{3/4} \quad (5-10)$$

第 5 章

このように標準 HPA における $\lambda/4$ 線路の設計式は式(5-9)、(5-10)で表される。

次に図 5-3 (b)に示すように標準 HPA とは異なるゲート幅のトランジスタを選択した際のセミカスタム HPA におけるインピーダンス整合の設計式を導出する。1 段目の $\lambda/4$ 線路の長さとして 2 段目の $\lambda/4$ 線路の特性インピーダンスを調整する。すなわち、任意のゲート幅に対して最適なインピーダンスマッチングを得るための 1 段目の線路長さと 2 段目の特性インピーダンスは、式(5-7)、式(5-9)、 $\theta_b = 90^\circ$ の条件で導出される。標準 HPA のゲート幅を W_{go} とする。セミカスタム HPA で選択されたゲート幅 W_{gu} のトランジスタにおける出力インピーダンスを等価的に表す容量と抵抗は次式で表される。

$$C = \frac{W_{gu}}{W_{go}} C_{opt} = \frac{1}{\alpha} C_{opt} \quad (5-11)$$

$$R = \frac{W_{go}}{W_{gu}} R_{opt} = \alpha R_{opt} \quad (5-12)$$

ここで、 α はゲート幅縮小係数であり、標準 HPA に対するセミカスタム HPA のゲート幅比を表す。ここで、セミカスタム HPA の 2 段目の $\lambda/4$ 線路の特性インピーダンスを Z_b' とする。2 段目の $\lambda/4$ 線路の θ_a は $\theta_a = 90^\circ + \theta$ として表し、 θ は標準 HPA とセミカスタム HPA の電気的長さ θ_a の差である。 Z_b' と θ はセミカスタム HPA における調整パラメータである。 θ_a が $\lambda/4$ ($= 90^\circ$) に近い場合、 $\tan\theta_a$ は次のように近似できる。

$$\tan\theta_a = \tan(90^\circ + \theta) \cong -\frac{1}{\theta} \quad (5-13)$$

式(5-13)を式(5-1)、(5-2)に代入すると、 Z_1 と Z_2 は次式で表される。

$$Z_1 = Z_a \frac{Z_0 - \frac{jZ_a}{\theta}}{Z_a - \frac{jZ_0}{\theta}} \quad (5-14)$$

$$Z_2 \cong \frac{Z_b'^2}{Z_a^3} \{Z_0 Z_a + j\theta(Z_a^2 - Z_0^2)\} \quad (5-15)$$

ここで $\theta \cong 0$ とした。ここで整合条件を満たすとき Z_2 と Z_{FET}' の複素共役が一致するため、そのときの Z_b' と θ は式(5-3)、(5-15)より次式で表される。

第5章

$$Z_b'^2 = \frac{Z_a^2}{Z_0} \frac{\omega^2 L^2 R}{R^2(1 - \omega^2 LC)^2 + \omega^2 L^2} \quad (5-16)$$

$$\theta = -\frac{Z_a Z_0}{Z_a^2 - Z_0^2} \frac{R(1 - \omega^2 LC)}{\omega L} \quad (5-17)$$

さらに式(5-11),(5-12)を式(5-16)、(5-17)に代入し、式(5-7)、(5-9)、(5-10)を用いて式を整理すると Z_b' と θ は次式で表される。

$$Z_b' = Z_b \left(\frac{\alpha}{Q_{FET}^2 (\alpha - 1)^2 + 1} \right)^{1/2} \quad (5-18)$$

$$\theta = -\frac{\beta}{\beta^2 - 1} (\alpha - 1) Q_{FET} \quad (5-19)$$

ここで Q_{FET} と β は次式で表される。

$$Q_{FET} = \omega C_{opt} R_{opt} \quad (5-20)$$

$$\beta = \left(\frac{R_{opt}}{Z_0} \right)^{1/4} \quad (5-21)$$

これらの式は、調整パラメータ Z_b' と θ が任意の選択されたゲート幅 W_{gu} に対して一意に決定されることを意味する。

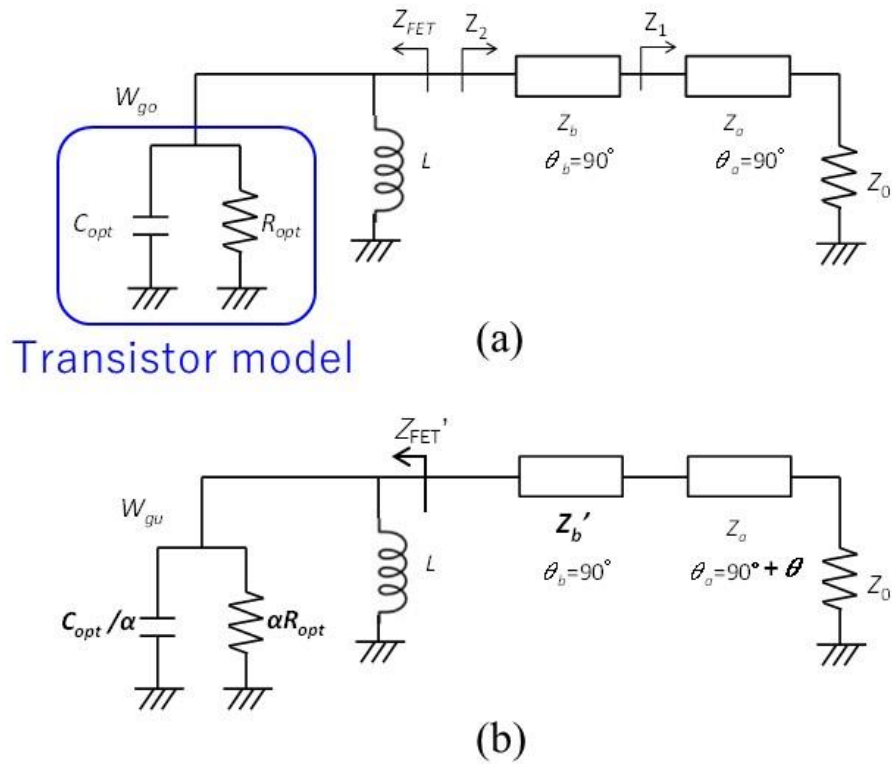


図 5-3 標準 HPA とセミカスタム HPA の回路構成 (a) 標準 HPA、(b) セミカスタム HPA

図 5-4 に標準 HPA($\alpha=1$)のリターンロスの計算結果を示す。 $f=3\text{ GHz}$ 、 $Z_0=50\ \Omega$ 、 $C_{opt}=9.6\text{ pF}$ 、 $R_{opt}=7.5\ \Omega$ が計算条件である。このとき、設計式より $L=2.35\text{ nH}$ 、 $Z_b=12.1\ \Omega$ 、 $Z_a=31.1\ \Omega$ が求まる。図 5-4 に示すように 3 GHz を中心周波数とした比帯域(RBW)13%においてリターンロスは 21 dB 以上であることを確認した。図 5-5 にセミカスタム HPA($\alpha=1.2$)の計算結果を示す。 3 GHz を中心周波数としたときの $\text{RBW}=13\%$ においてチューニングなしのときリターンロスは 12 dB 以上であるが、設計式に基づいて Z_b' と θ をチューニングした結果、リターンロスは 16 dB 以上であることを確認した。

第 5 章

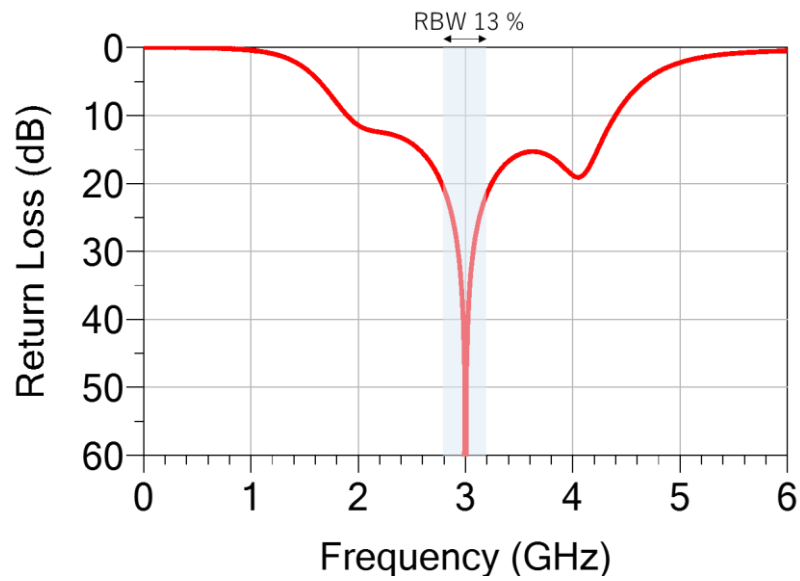


図 5-4 標準HPA($\alpha = 1$)のリターンロスの計算結果

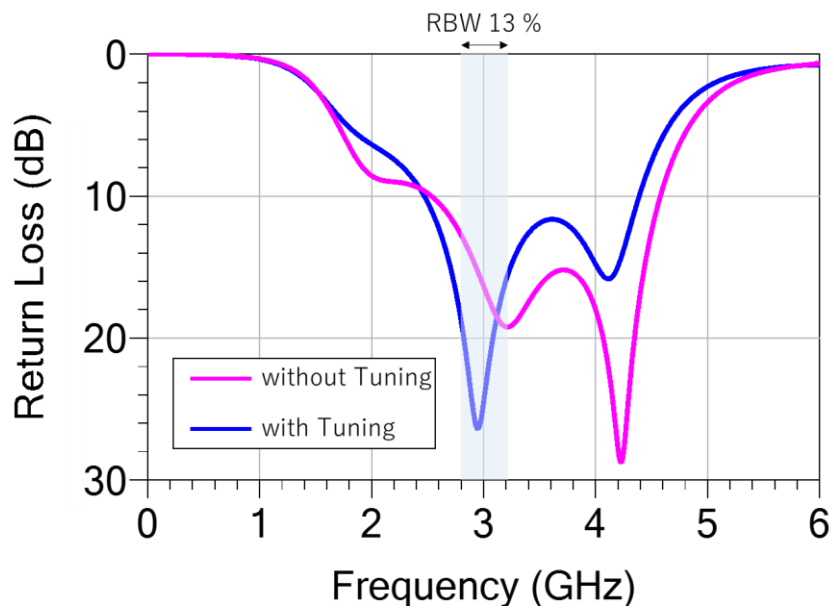


図 5-5 セミカスタム HPA($\alpha = 1.2$)のリターンロスの計算結果

5.4 トランジスタモデルを用いた高周波特性のシミュレーション

高周波特性をシミュレーションするために大信号トランジスタモデルを作成した。大信号モデルは第2章で述べたトラップを考慮したモデルをベースにしたものである。単体トランジスタの周波数 $f = 3 \text{ GHz}$ 、ドレイン電圧 $V_d = 50 \text{ V}$ 、アイドルドレイン電流 $I_{dq} = 30 \text{ mA/mm}$ である。ゲート幅は10フィンガー $\times 340 \mu\text{m}$ である。 P_{out} とPAEの両方のコンターにおいて実測とモデルはよく一致していることを確認した。図5-7に単体トランジスタのパワースweep特性の実測とモデルを示す。入力側は利得整合、出力側は P_{out} 整合になっている。パワースweep特性においても実測とモデルは概ね一致していることが分かる。

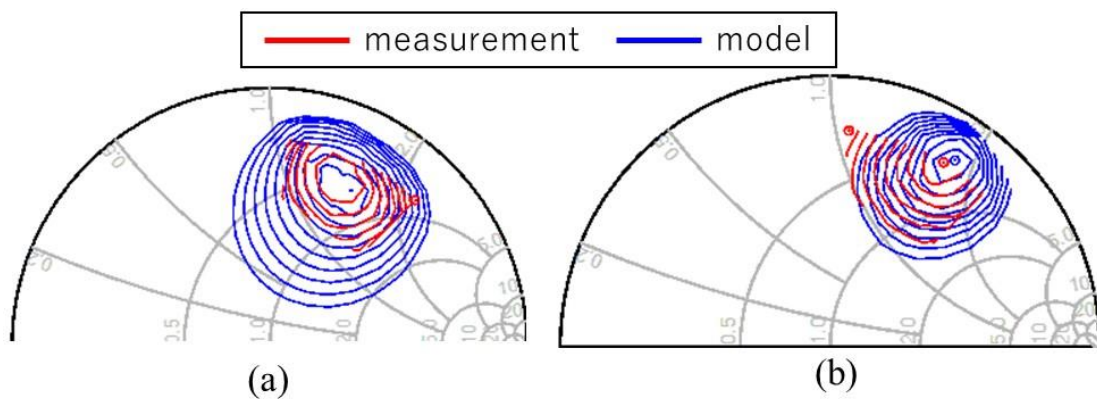


図5-6 単体トランジスタのロードプルコンターの実測とモデル (a) P_{out} 、
(b)PAE

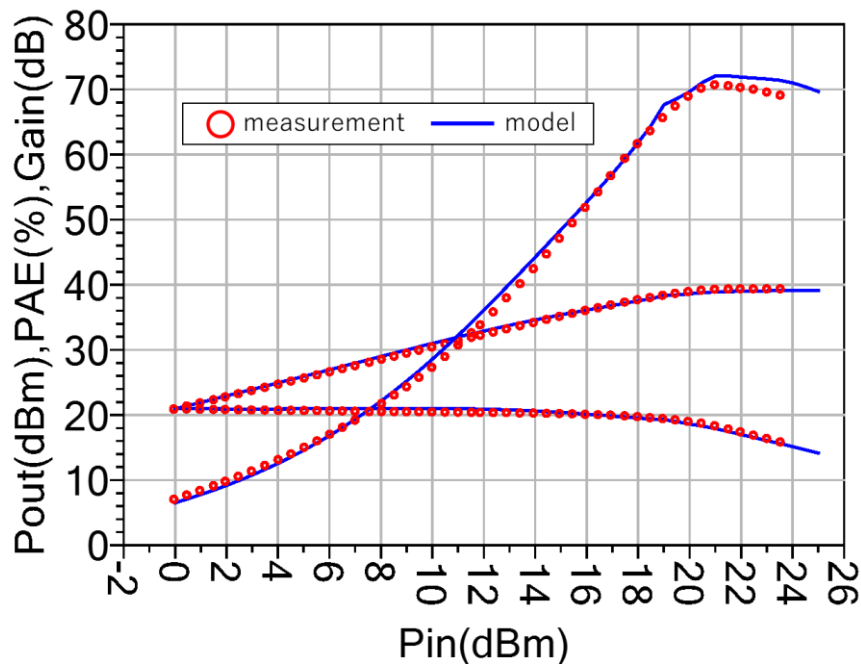


図 5-7 単体トランジスタのパワースイープ特性の実測とモデル

標準 HPA の高周波特性をシミュレーションした。標準 HPA のトータルゲート幅は $3.4 \text{ mm} \times 16$ セルで 54.4 mm である。トランジスタ部分は大信号モデルを用いて、回路部分は電磁界シミュレーションデータを用いた。 $\lambda/4$ 線路は標準 HPA のゲート幅に対して設計した線路である。第 1 段の $\lambda/4$ 線路の基板誘電率は 10 であり、第 2 段の $\lambda/4$ 線路の基板誘電率は 90 である。図 5-8 に大信号モデルを用いてシミュレーションした標準 HPA のパワースイープ特性を示す。 $f=3.1 \text{ GHz}$ 、ドレイン電圧 $V_d=50 \text{ V}$ 、アイドルドレイン電流 $I_{dq}=30 \text{ mA/mm}$ である。シミュレーションの結果、標準 HPA は 3.1 GHz において出力電力が 54.6 dBm 、PAE が 54.6% 、利得が 12.8 dB であることを確認した。

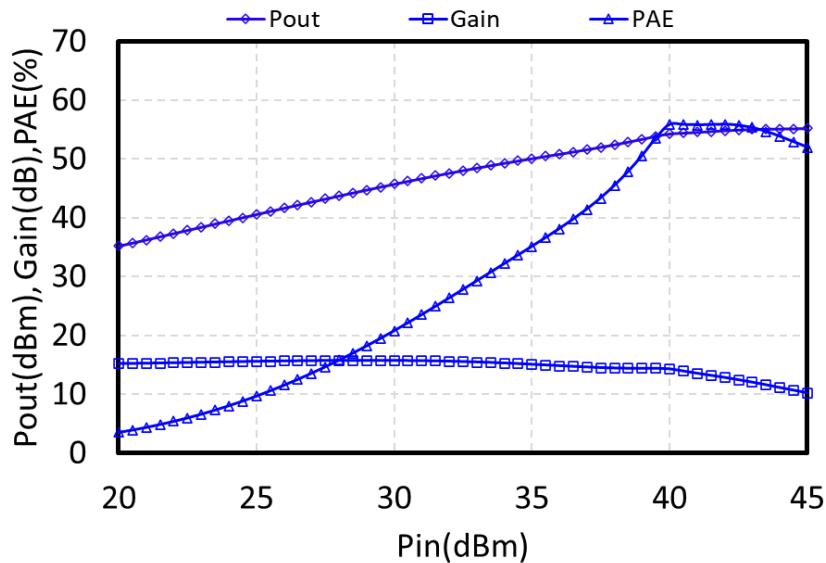


図 5-8 大信号モデルを用いてシミュレーションした標準 HPA のパワースweep特性

セミカスタム HPA の高周波特性をシミュレーションした。セミカスタム HPA のトータルゲート幅は $2.2 \text{ mm} \times 16$ セルで 35.2 mm である。セミカスタム HPA は標準 HPA の線路に対して設計式に基づいてワイヤで線路幅と長さをチューニングした。図 5-9 に大信号モデルを用いてシミュレーションしたセミカスタム HPA のパワースweep特性を示す。回路部分はワイヤチューニングした電磁界シミュレーションデータを用いた。 $f = 3.1 \text{ GHz}$ 、 $V_d = 50 \text{ V}$ 、 $I_{dq} = 30 \text{ mA/mm}$ である。図 5-9 に示すようにチューニングなしの場合、出力電力が 52.5 dBm 、PAE が 47.0% 、利得が 13.6 dB であり、チューニングありの場合、出力電力が 53.2 dBm 、PAE が 55.1% 、利得が 14.2 dB であることを確認し、チューニングによって高周波特性が改善することが分かる。

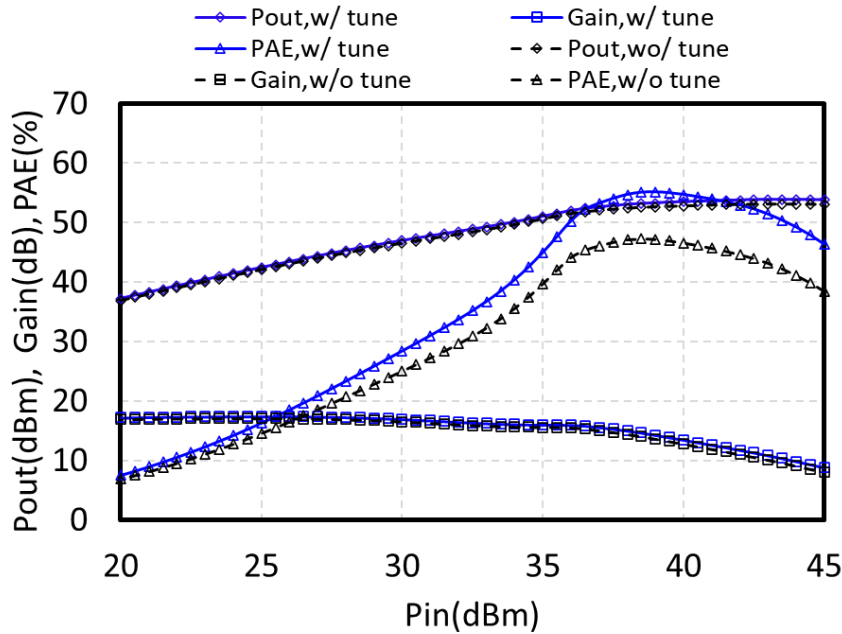


図 5-9 大信号モデルを用いてシミュレーションしたセミカスタム HPA のパワースweep特性

5.5 測定結果

図 5-10 に試作した標準 HPA の写真を示す。HPA はトータルゲート幅 54.4 mm の GaN-HEMT、誘電体基板上的入力および出力整合回路で構成されている。GaN-HEMT 及び回路は内部サイズ 13.0 mm × 15.2 mm の金属製パッケージの中に配置されている。シャントインダクタ、第 2 段の $\lambda/4$ 線路は高誘電基板の上に形成され、一方、第 1 段の $\lambda/4$ 線路はアルミナ基板の上に作製した。インダクタのリアクタンスおよび $\lambda/4$ 線路の特性インピーダンスは、設計式に基づいて設計された。図 5-11 に標準 HPA のパワースweepの測定結果を示す。 V_d は 47 V、パルス動作 (デューティ 10%) で測定した。図 5-11 に示すように 3.1 GHz で 270 W (54.3 dBm) の出力電力および 54.4% の PAE が得られた。図 5-12 に標準 HPA の周波数特性の測定結果を示す。標準 HPA の出力電力 P_{out} 、PAE、および線形利得 (GI) の周波数特性を示している。比帯域 27%(2.6-3.4 GHz) で出力電力 240 W (53.8 dBm)、PAE 54.4% であることを確認した。

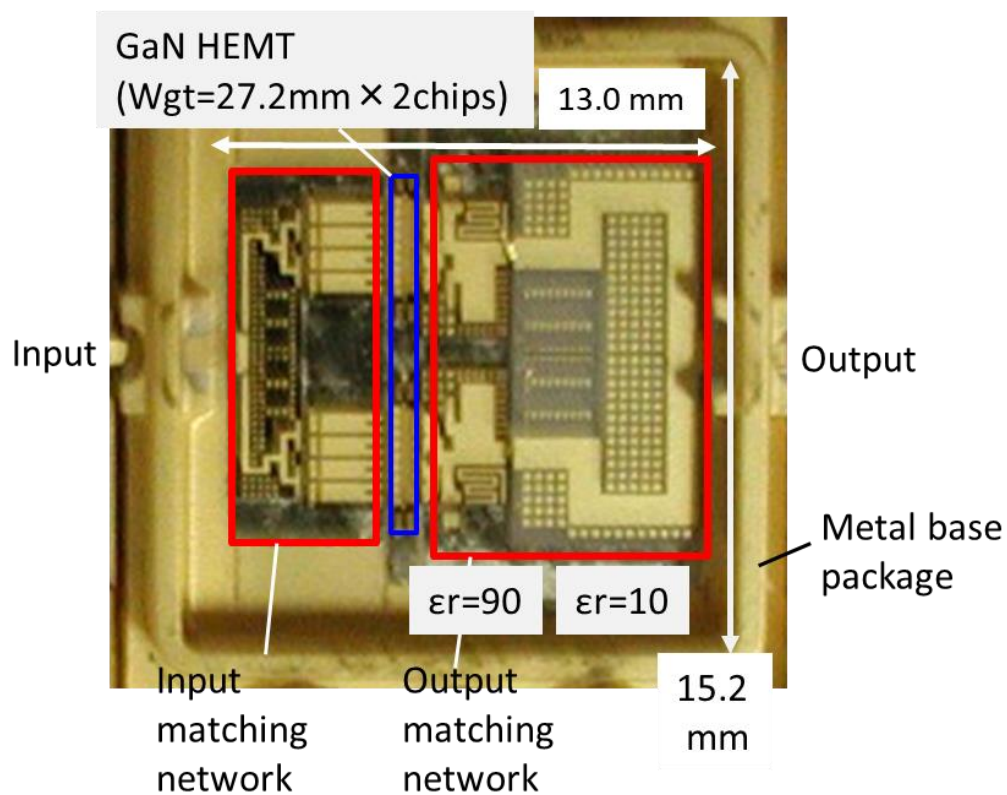


図 5-10 標準 HPA の写真

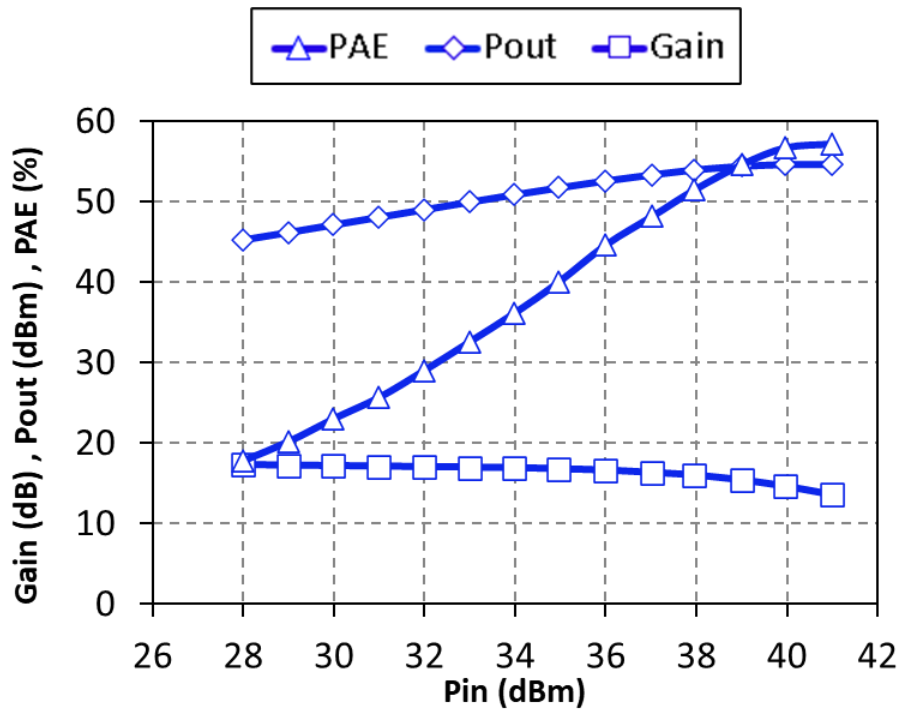


図 5-11 標準 HPA のパワースイープの測定結果

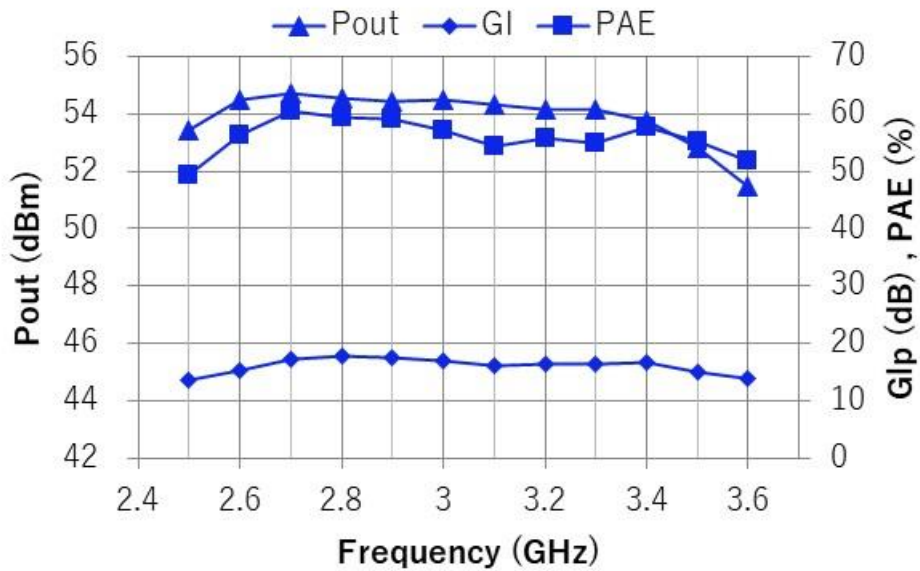


図 5-12 標準 HPA の周波数特性の測定結果

図 5-13 に試作したセミカスタム HPA の写真を示す。GaN-HEMT のトータル

第 5 章

ゲート幅は 35.2 mm である。回路基板は標準 HPA と同じであるが、図 5-13 に示すように第 1 段及び第 2 段の $\lambda/4$ 線路の線路長及び線路幅はワイヤチューニングで調整されている。図 5-14 にセミカスタム HPA のパワースweepの測定結果を示す。 V_d は 47 V、パルス動作 (デューティ 10%)、周波数 3.1 GHz で測定した。図 5-14 に示すように P_{in} 40 dBm においてチューニングなしのときは出力電力 190 W (52.6 dBm)、PAE 48.7 % であり、チューニングありの時は出力電力 191 W (52.8 dBm)、PAE 54.5 % である。3.1 GHz においてチューニングありのセミカスタム HPA は標準 HPA に対して標準 HPA と同等レベルの PAE であることを確認した。チューニングによって PAE は 5.8 pts 向上することを確認した。図 5-15 にセミカスタム HPA の周波数特性の測定結果を示す。図 5-15 に示すようにチューニングなしのときは比帯域 16.3 % (2.8-3.3 GHz) で出力電力 162 W 以上、PAE 43.2 % 以上であり、チューニングありのときは比帯域 16.3 % (2.8-3.3 GHz) で出力電力 158 W 以上、PAE 52.0 % 以上であることを確認した。チューニングによって比帯域 16.3 % の範囲で PAE が 8.8 pts 改善することを確認した。チューニングありのセミカスタム HPA は標準 HPA に対して比帯域が若干劣化するものの、標準 HPA と同等レベルの PAE であることを確認した。

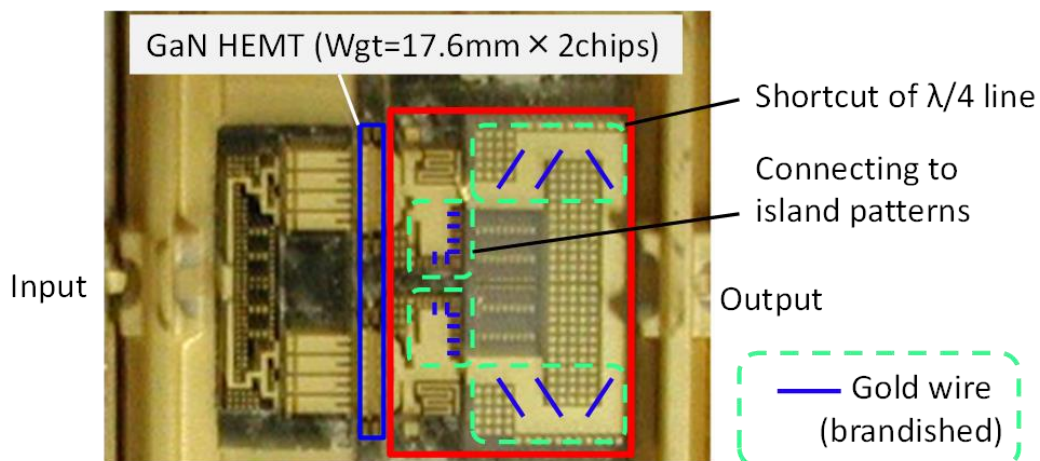


図 5-13 セミカスタム HPA の写真

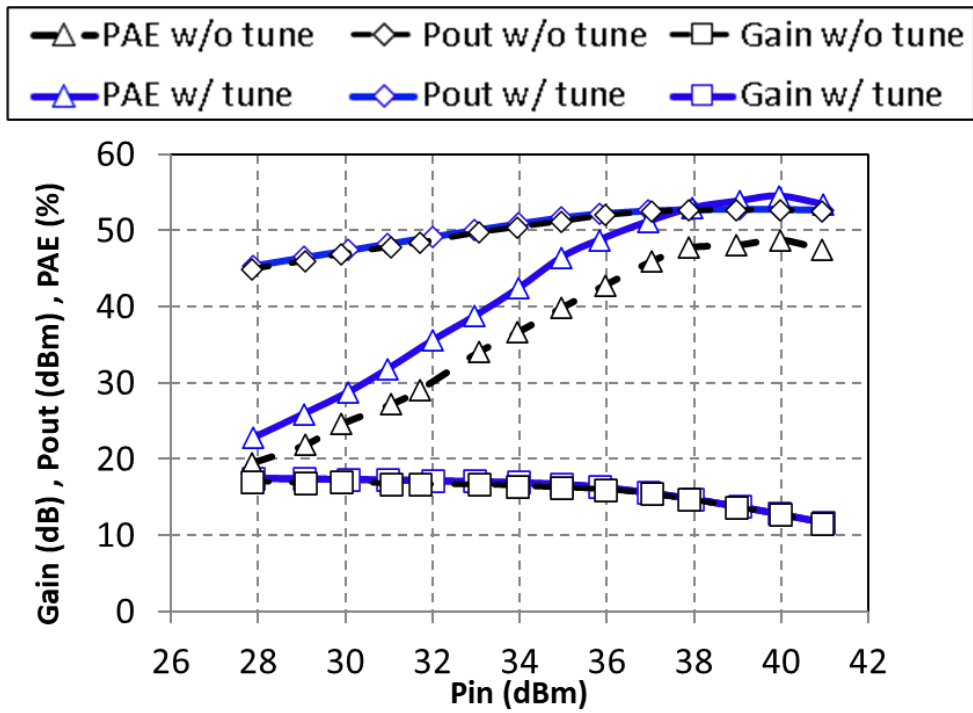


図 5-14 セミカスタム HPA のパワースweepの測定結果

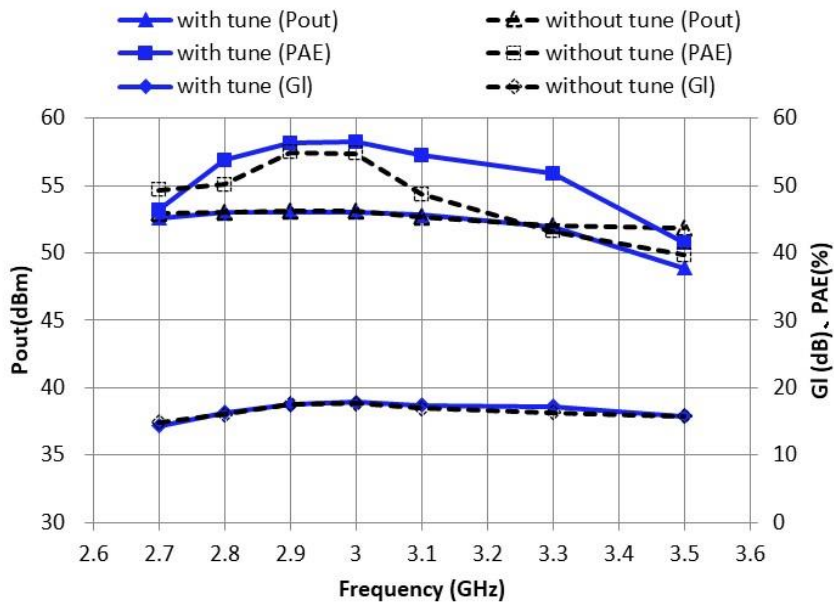


図 5-15 セミカスタム HPA の周波数特性の測定結果

第 5 章

表 5-2 に設計値と実測値の比較を示す。周波数 3.1 GHz、 V_d 47 V における比較である。トランジスタモデルを用いてシミュレーションした設計と実測の差は Pout に関しては 0.4dB 以内程度、PAE に関しては 1.7 pts 以内程度であることを分かる。トランジスタモデルを用いてシミュレーションした設計値は HPA においても実測値と概ね一致していることを確認した。また、標準 HPA とセミカスタム HPA の実測値の出力電力の差は 1.5 dB である。標準 HPA を 1.5 dB 出力電力バックオフ点で使う場合、効率が大きくなる。そのため、飽和点で高効率を得ることができるセミカスタム HPA が有効な回路構成である。

表 5-2 設計値と実測値の比較

HPA	Tune	トータル ゲート幅 (mm)	Pout(dBm)		PAE(%)	
			設計値	実測値	設計値	実測値
標準HPA	-	54.4	54.6	54.3	54.6	54.4
セミカスタムHPA	なし	35.2	52.5	52.6	47.0	48.7
セミカスタムHPA	あり	35.2	53.2	52.8	55.1	54.5

表 5-3 に高出力 S 帯 GaN HPA の性能比較表を示す。表 5-3 に示すように標準 HPA、セミカスタム HPA は P_{out} 、PAE においてトップレベルの性能であることを確認した。

表 5-3 高出力 S 帯 GaN HPA の性能比較表

Reference	Frequency(GHz)	RBW(%)	Pout(W)	PAE(%)
This work (Standard)	2.6-3.4	26.6	240	54.4
This work(Semi-custom)	2.8-3.3	16.3	158	52
[5.5]	2.4-2.7	11.7	320	56
[5.3]	2.14-2.5	15.51	252.5	46.8
[5.1]	2.5-2.8	11.3	80	58
[5.4]	2.7-3.1	13.8	243	52
[5.2]	2.9-3.7	24.2	45	55
[5.6]	2.7-3.5	25.8	100	47
[5.11]	2.9-3.5	18.75	400	42.4

5.6 むすび

本章では、セミカスタム HPA を提案した。セミカスタム HPA はレーダの要求出力電力に応じて各トランジスタのゲート幅を変更したとしても、ワイヤ等の調整のみで所望の出力電力を得ることができる。セミカスタム HPA ではゲート幅変更によるミスマッチによるロスを補償するために、ワイヤチューニングによって簡単に調整できる出力整合回路を適用した。本章では回路の調整パラメータを決定するための設計式を導出し、この設計式とトランジスタモデルを用いて S 帯セミカスタム HPA を設計した。試作及び評価した結果、3.1GHz においてゲート幅変更前の標準 HPA において出力電力 240 W 及び PAE 54.4%を確認し、ゲート幅変更後のセミカスタム HPA において出力電力 158 W 及び PAE 52.0%を確認した。いずれもトップレベルの性能でありセミカスタム HPA の有効性を確認した。今回は S 帯においてセミカスタム HPA の有効性を確認することができたが、今後さらにセミカスタム HPA を汎用的に活用するためには、さらに高い周波数帯での有効性等も検証していく必要がある。

5.7 参考文献

- [5.1] K. Motoi, K. Matsunaga, S. Yamanouchi, K. Kunihiro, and M. Fukaishi, "A 72 % PAE, 95-W, single-chip GaN FET S-band inverse class-F power amplifier with a harmonic resonant circuit," IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-3.
- [5.2] J. Cheron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, P. Eudeline, and D. Floriot, "Wideband 50 W packaged GaN HEMT with over 60 % PAE through internal harmonic control in S-band," IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-3.
- [5.3] K. Krishnamurthy, M. J. Poulton, J. Martin, R. Vetury, J. D. Brown, and J. B. Shealy, "A 250 W S-band GaN HEMT amplifier," IEEE Compound Semiconductor Integrated Circuit Symp, 2007, pp.1-4
- [5.4] S. M. Wood, U. Andre, B. J. Millon, and J. Milligan, "Hybrid and monolithic GaN power transistors for high power S-band radar applications," 7th European Microwave Integrated

第 5 章

- Circuits Conference, 2012, pp. 421-424.
- [5.5] H. Deguchi, N. Watanabe, A. Kawano, N. Yoshimura, N. Ui, and K. Ebihara, "A 2.6 GHz band 537 W peak power GaN HEMT asymmetric Doherty amplifier with 48 % drain efficiency at 7dB," IEEE MTT-S Int. Microwave Symp., 2012, pp. 1-4.
- [5.6] A. Alexander and J. Leckey, "A 120 Watt GaN power amplifier MMIC utilizing harmonic tuning circuits for S-band applications," IEEE MTT-S Int. Microwave Symp., 2015, pp. 1-3.
- [5.7] K T. Yoshioka, N. Kosaka, M. Hangai, and K. Yamanaka, "An S-band 240 W Output / 54 % PAE GaN Power Amplifier with Broadband Output Matching Network for both Fundamental and 2nd Harmonic Frequencies," IEEE MTT-S Int. Microwave Symp., 2016.
- [5.8] X. Sun, K. Huang, X. Zhu, H. Shao, Y. Wang, P. Chi, and T. Yang "A 2–10-GHz Reconfigurable GaN Power Amplifier With Average Power-Added Efficiency of 30% and Output Power of 2 W," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 70, no. 3, pp. 964-968, March 2023
- [5.9] Y. Xu, X. Sun, X. Zhu, P. -L. Chi and T. Yang, "A 2–18-GHz Frequency-Reconfigurable GaN Power Amplifier With More Than 33% Average Power Added Efficiency," in IEEE Transactions on Microwave Theory and Techniques (Early Access).
- [5.10] G. L. Matthaei, " Tables of Chebyshev Impedance-Transforming Network of Low-Pass filter Form", Proc. of IEEE, 1964, pp. 943-963.
- [5.11] K. Krishnamurthy, J. Martin, B. Landberg, R. Vetry, and M. J. Poulton, "Wideband 400 W pulsed power GaN HEMT amplifiers," IEEE MTT-S Int. Microwave Symp., 2008, pp. 303-306.

第6章.

結論と今後の展望

本論文では GaN-HEMT におけるモデリング及び高周波増幅器に関する研究結果について述べた。第 2 章と第 3 章ではトランジスタモデリング技術について述べ、第 4 章と第 5 章ではトランジスタモデルをベースとした高周波増幅器の設計技術について述べた。

第 2 章ではトラップの非線形容量への提案を考慮した大信号トランジスタモデルを提案した。その結果、AM-AM だけでなく AM-PM についてもモデル精度が改善し、提案モデルの有効性を確認した。本モデルはレーダだけでなく衛星通信や 5G/Beyond 5G 基地局等の通信向け増幅器にも展開可能な共通基盤技術であり、幅広い産業において貢献できる技術である。今後、本モデルを通信向け増幅器の設計にも展開するためには通信向け増幅器で要求される歪特性におけるモデルの精度検証等を行う必要がある。

第 3 章では Si 基板中電流の温度依存性を考慮できる物理式ベースの大信号トランジスタモデルを提案した。その結果、GaN-on-Si の大信号特性の温度依存性のモデル精度が改善し、提案モデルの有効性を確認した。本モデルは物理モデリング技術と回路モデリング技術の両方の技術があって初めて開発可能な技術であるため、GaN-on-Si 開発における差別化技術と考えられる。本モデルもレーダだけでなく基地局向け増幅器にも適用可能な技術である。また、近年 Si-CMOS と GaN の組み合わせに向けて Si を主戦場としていた企業も GaN-on-Si を開発し始めており、今後急速に GaN-on-Si が様々なアプリケーションに搭載される可能性があり、本モデルは今後さらに重要な技術になることが期待される。様々なアプリケーションに向けて GaN-on-Si を設計するためにはトランジスタ構造の

第6章

設計において、さらにモデルの汎用性を高める必要がある。そのためにはドレイン電極幅だけでなく他のトランジスタ構造パラメータに関してもモデルの精度検証が必要である。

第4章では GaNLNA におけるトラップによる過渡的出力電力低下を抑制するためにアダプティブにゲート電圧が変化するトラップ補償回路を提案した。その結果、室温、高温両方においてトラップによる過渡的出力電力低下を抑制し、提案回路の有効性を確認した。本回路はデバイス自身のトラップを利用してトラップの影響をキャンセルする技術である。そのため、トランジスタのトラップの種類等によらず汎用的に活用可能な技術であり、今後様々な用途のレーダにおいて本技術が適用されることが期待される。一方、今回開発した TECC は閾値電圧の経年変化等には対応できない等の課題も残されており、今後は実環境における TECC の適用に向けて閾値電圧の経年変化も考慮したトラップ補償回路等の研究開発が必要である。

第5章では GaN HPA における効率的な多品種展開に向けて出力電力選択可能なセミカスタム HPA を提案した。その結果、S 帯セミカスタム HPA においてワイヤチェーンのみで出力電力を選択できることができ、提案回路の有効性を確認した。セミカスタム HPA は今後大きく変化する市場のニーズに素早くに対応するために重要な技術である。今後さらにセミカスタム HPA を汎用的に活用するためには、S 帯だけでなくさらに高い周波数帯での有効性等も検証していく必要がある。

本論文の研究成果は GaN の開発効率化及び実用化の促進に寄与し、安全安心な社会の実現に貢献できるものと思われる。

業績一覧

これまでの研究業績について学術論文、国際会議(筆頭著者のみ)、受賞(筆頭のみ)について示す。

学術論文

1. (招待論文)山口裕太郎、大塚友絢、山中宏治、大石敏之, “トラップの非線形容量への影響を考慮した GaN 大信号コンパクトモデル,” 電子情報通信学会論文誌 C, Vol.J104-C, pp. 343-351, 2021.(第 2 章)
2. Y. Yamaguchi and T. Oishi, "Quasi-Physical Equivalent Circuit Model of RF Leakage Current in Substrate Including Temperature Dependence for GaN-HEMT on Si," *IEEE Transactions on Microwave Theory and Techniques*, vol. 71, no. 5, pp. 1945-1956, May 2023. (第 3 章)
3. Y. Yamaguchi, K. Nakatani, S. Shinjo, T. Oishi and Y. Miyamoto, "Trapping Compensation for Transient Recovery in GaN LNAs," *IEEE Transactions on Microwave Theory and Techniques*, vol. 72, no. 7, pp. 4006-4016, July 2024. (第 4 章)
4. Y. Yamaguchi, M. Hangai, S. Shinjo, T. Yoshioka, and N. Kosaka, "GaN Amplifiers of Selectable Output Power Function with Semi-Custom Matching Networks," *IEICE Transactions on Electronics*, vol. E102-C, no. 10, pp. 682-690, October 2019. (第 5 章)
5. Y. Yamaguchi, T. Sagai and Y. Miyamoto, “Fabrication of InP/InGaAs SHBT on Si

- Substrate by Using Transferred Substrate Process," *IEICE Transactions on Electronics*, Vol.E95-C Issue 8, pages 1323-1326, 2012.
6. T. Oishi, T. Otsuka, M. Tabuchi, Y. Yamaguchi, S. Shinjo, and K. Yamanaka, "Bias Dependence model on Peak Frequency of GaN Trap in GaN HEMTs using Low Frequency Y22 Parameters," *IEEE Transactions on Electron Devices*, vol. 68, no. 11, pp. 5565-5571, November 2021.
 7. (Invited) K. Yamanaka, S. Shinjo, Y. Komatsuzaki, S. Sakata, K. Nakatani, and Y. Yamaguchi, "Overview and Prospects of High Power Amplifier Technology Trend for 5G and beyond 5G Base Stations," *IEICE Transactions on Electronics*, vol. E104-C, no. 10, pp. 526-533, October 2021.
 8. (Invited) K. Nakatani, Y. Yamaguchi, T. Torii, and M. Tsuru, "A Review of GaN MMIC Power Amplifier Technologies for Millimeter-Wave Applications," *IEICE Transactions on Electronics*, vol. E105-C, no. 10, pp. 433-400, October 2022.
 9. K. Kudara, S. Imanishi, A. Hiraiwa, Y. Komatsuzaki, Y. Yamaguchi, Y. Kawamura, S. Shinjo, and H. Kawarada, " High Output Power Density of 2DHG Diamond MOSFETs With Thick ALD- Al_2O_3 ," *IEEE Transactions on Electron Devices*, vol. 68, no. 8, pp. 5565-5571, August 2021.
 10. K. Kudara, Y. Komatsuzaki, Y. Yamaguchi, S. Shinjo, M. Arai, and H. Kawarada, " L-band Diamond Amplifier with Multi-Finger Structure," *IEEE Electron Devices Letters*, Early Access.

国際会議

1. Y. Yamaguchi, K. Hayashi, T. Oishi, H. Otsuka, K. Yamanaka, M. Nakayama, and Y. Miyamoto, "Analysis on trade-off between electric field and gate-drain capacitance for GaN HEMT by T-CAD simulation," *2012 International*

- Conference on Solid State Devices and Materials (SSDM2012).*
2. Y. Yamaguchi, K. Hayashi, T. Oishi, H. Otsuka, T. Nanjo, K. Yamanaka, M. Nakayama, and Y. Miyamoto, "Simulation study and reduction of reverse gate leakage current for GaN HEMTs," *IEEE Compound Semiconductor Integrated Circuit Symposium 2012 (CSICS2012).*
 3. Y. Yamaguchi, K. Hayashi, T. Oishi, H. Otsuka, K. Yamanaka, and Y. Miyamoto, "Analysis on trade-off between drain resistance and drain-source capacitance of source field plate GaN HEMT," *2013 International Conference on Solid State Devices and Materials (SSDM2013).*
 4. Y. Yamaguchi, T. Oishi, H. Otsuka, T. Nanjo, H. Koyama, Y. Kamo, and K. Yamanaka, "Modeling of frequency dispersion at low frequency for GaN HEMT," *2014 Asia Pacific Microwave Conference(APMC2014).*
 5. (Invited) Y. Yamaguchi, M. Hangai, K. Yamanaka, and Y. Homma, "GaN HEMT high efficiency amplifier for Microwave Wireless Power Transmission," *IEEE Radio-Frequency Integration Technology 2015 (RFIT2015).*
 6. Y. Yamaguchi, J. Kamioka, S. Shinjo, K. Yamanaka and T. Oishi, "Physical model of RF leakage in GaN HEMTs on Si substrates by taking into account atomic diffusion at buffer/substrate interface," *IEEE Compound Semiconductor Integrated Circuit Symposium 2016 (CSICS2016).*
 7. Y. Yamaguchi, J. Kamioka, M. Hangai, S. Shinjo and K. Yamanaka, "A CW 20W Ka-band GaN High Power MMIC Amplifier with a Gate Pitch Designed by Using One-Finger Large Signal Models," *IEEE Compound Semiconductor Integrated Circuit Symposium 2017(CSICS2017).*
 8. Y. Yamaguchi, K. Yamanaka, and T. Oishi, "A Scalable Large-Signal Distributed Model for mm-Wave GaN HEMTs," *12th Topical Workshop on Heterostructure Microelectronics 2017(TWHM2017).*

9. Y. Yamaguchi, T. Otsuka, M. Hangai, S. Shinjo and T. Oishi, "Ka-band GaN Large-Signal Model Considering Trap Effect on Non-linear Capacitance by Using Transient S-parameters Measurement, " *IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium2018 (BCICTS2018)*.
10. (Invited) Y. Yamaguchi, K. Nakatani, K. H. Teo and S. Shinjo, "Millimeter-Wave GaN Device Modeling for Power Amplifiers, " *78th Device Research Conference 2020(DRC 2020)*.
11. Y. Yamaguchi, K. Nakatani and S. Shinjo, "A Wideband and High Efficiency Ka-band GaN Doherty Power Amplifier for 5G Communications, " *IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium2020 (BCICTS2020)*.
12. Y. Yamaguchi, K. Kudara, S. Shinjo, K. Yamanaka and Y. Miyamoto, "A Distributed Model with a High Scaling Accuracy for GaN HEMTs Up to 100 GHz," *IEEE Radio-Frequency Integration Technology 2023 (RFIT2023)*.
13. Y. Yamaguchi, T. Sagai and Y. Miyamoto, "Fabrication of InP/InGaAs SHBT on Si Substrate by Using Transferred Substrate Process", 9th Topical Workshop on Heterostructure Materials (TWHM2011), 2011.

受賞

1. 2016年度 電子情報通信学会 第79回学術奨励賞
2. 2024 IEEE MTT-S Japan Young Engineer Award(第3章)
3. 2024 植之原道行記念賞(第3章)

謝辞

本研究をまとめる機会を与えて頂くとともに、懇切丁寧な御指導・御鞭撻を賜りました東京科学大学 宮本恭幸 教授に心から感謝の意を表します。また、本論文をまとめるにあたり、有益な御討論、御助言をもって御指導下さいました東京科学大学 鈴木左文 教授、岡田健一 教授、角嶋邦之 准教授、白根篤史 准教授に深く感謝いたします。

本研究の遂行および論文をまとめるにあたり、三菱電機株式会社在職中より貴重な御指導をいただくとともに論文執筆にあたり細部にわたり丁寧な査読をしていただきました佐賀大学 大石敏之 教授に感謝いたします。

本研究をまとめる機会を与えて頂くとともに、御指導いただきました三菱電機株式会社情報技術総合研究所 マイクロ波技術部 部長 山中宏治 博士、同部増幅器グループマネージャー 新庄真太郎 博士に深く感謝いたします。

本論文の内容について貴重な御指導をいただくとともに、論文執筆にあたり細部にわたり丁寧な査読をしていただきました三菱電機株式会社情報技術総合研究所 マイクロ波技術部 森一富 博士、文部科学省(出向中) 半谷政毅 博士に感謝いたします。

本研究の遂行にあたり試作にご協力いただきました三菱電機株式会社高周波光デバイス製作所高周波デバイス部事業推進課 加茂宣卓 氏、論文執筆にご協力いただきました同課 吉岡貴章 氏、同所光デバイス部デバイス第一課 小坂尚希 氏、実験にご協力いただきました三菱電機株式会社エンジニアリング株式会社 山本孝博 氏に感謝いたします。

本研究を進めるにあたり、ご協力いただきました三菱電機株式会社情報技術総合研究所 マイクロ波技術部 マイクロ波回路グループ 中谷圭吾 氏、久樂頭 氏、元同社 大塚友絢 氏をはじめとする方々に感謝いたします。

最後に、これまであたたかく応援してくれた両親と妻に感謝いたします。