

論文 / 著書情報
Article / Book Information

題目(和文)	III-V/Si大規模集積光回路に向けたChip-on-wafer異種材料接合技術に関する研究
Title(English)	Study of chip-on-wafer heterogeneous bonding technology toward III-V/Si large scale photonic integration circuits
著者(和文)	菊地健彦
Author(English)	Takehiko Kikuchi
出典(和文)	学位:博士(工学), 学位授与機関:東京科学大学, 報告番号:甲第269号, 授与年月日:2025年3月26日, 学位の種別:課程博士, 審査員:植之原 裕行,西山 伸彦,中川 茂,宮本 智之,庄司 雄哉
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Institute of Science Tokyo, Report number:甲第269号, Conferred date:2025/3/26, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	要約
Type(English)	Outline

論文要約

第1章：序論

本論文の背景と研究目的を示した。最初に昨今の通信トラフィック増大に起因した光トランシーバへの高速・大容量伝送化と低消費電力化の両立要求について述べ、InP系モノリシック集積やシリコンフォトニクスといった従来の単一材料技術を用いた光デバイスの課題を説明した。また、この課題に対する有効な解決策としてIII-V族化合物半導体とシリコンフォトニクスのハイブリッド集積技術について述べ、Chip-on-wafer接合(小片接合)によるIII-V/Si大規模集積光回路作製技術の確立を本論文の目的として掲げた。

第2章「III-V/Si光トランシーバ回路の構成検討/各所の光増幅器設計」

最初に、10 Tbps級伝送に向けたIII-V/Si光トランシーバ回路の構成案を示した。本構成のコンセプトは、主要な光素子を一体集積することで素子間の光結合損失を低減し、かつ回路内においてレーザ後、変調器後、受信器前の3か所にSOAを分散配置することで効率的な光増幅を行い、途中増幅なしでの長距離伝送と低消費電力化を両立することである。これを検証するため、回路内における光強度のレベルダイヤグラムを試算し、各SOAに要求される光出力 P_{out} 、飽和光出力 $P_{s,out}$ 、利得 G_s を見積もった。

また、本研究では、Si導波路上にInP系のエピタキシャル層が直接接合されたハイブリッド導波路構造を有する利得領域に関して、電流狭窄構造としてリッジ構造を導入した。リッジ構造は電流狭窄幅の制御性が高く、光のモードフィールドに対して正確に電流注入幅を合わせることが可能である。加えて、横方向の光閉じ込めが強いため、リッジストライプの幅が一定の設計において活性層下部の半導体層の厚さやSi導波路の幅を変化させることで、活性層への光閉じ込め係数 ξ を広い範囲で制御し、個々のデバイス用途に応じた光モードフィールド形状制御が可能であることをモード計算から示した。また二段リッジ構造を用いたInP系利得領域とSi導波路間の光接続構造について示し、Cバンド全体で90%以上の高い光結合効率が得られることをBPM計算から確認した。

上記の計算結果を踏まえ、Si導波路上InP系利得領域の増幅特性についてレート方程式の定常解から数値計算を行い、各SOAに適した構造を検討した。計算の結果、増幅効率と利得飽和の抑制はトレードオフの関係にあり、活性層光閉じ込め係数 ξ を下げる程利得は小さくなり、飽和光出力 $P_{s,out}$ は大きくなることを確認した。接合界面超格子層の厚膜化を用いて ξ を2.5%まで小さくした場合、 $P_{s,out}$ は最大で15 dBm以上が得られることが分かった。また各SOAの設計に関して、レーザ後SOAと受信器前SOAに関しては消費電力を重視して ξ を6.6%と大きく、利得領域長 L_{gain} を1000 μm と長くして電流密度を下げる設計が適しており、変調器後SOAに関しては利得飽和を抑制するため ξ を4.5%として、かつ L_{gain} を750 μm と短くして電流密度を高くする設計が適していることが分かった。レーザおよびSOAの消費電力の合計は上記の最適設計を適用した場合で2.5 W/チャンネルであり、レーザ

単体を高出力化した場合や、SOA の数を減らして 1 つ当たりの利得を増やした場合と比較して、3 割程度低消費電力化されることを示した。これらの結果から、本研究で提案する光回路内構成は、10 Tbps 級伝送を前提とした光トランシーバ回路の実現とその低消費電力化に有望であると考えられる。

第 3 章「ウェハ接合技術を用いたリッジ型ハイブリッドレーザの作製」

本章では、ウェハ接合を用いたハイブリッドレーザの作製および特性検証を行った。最初に、長さ 750 μm のリッジ型 InP 系利得領域の両端に、二段リッジ構造を介してシングルモード Si 導波路領域が接続された、全共振器長 1250 μm の FP レーザを作製した。本素子はしきい値電流 30 mA での室温 CW 発振が得られ、このしきい値電流を数値計算結果と比較したところ、InP 系利得領域と Si 導波路領域間の光結合効率 T_{taper} は 80%以上と見積もられた。また、発振スペクトルの FSR は Si 導波路を含んだ全共振器長と実効屈折率から計算した値と良く一致し、二段テーパ導波路構造を介した InP 系利得領域/Si 導波路領域間の光接続により、Si 端面間の FP 共振が得られていることを確認した。

次に、Si 導波路上への複数種類の III-V アクティブデバイスのモノリシック集積の実証として、SOA 集積波長可変レーザを作製した。レーザおよび SOA は独立した長さ 1000 μm のリッジ型 InP 系利得領域を有し、上記の二段テーパ導波路構造を介して光接続される構造とした。また、波長チューニングにはダブルリングフィルタ構造を用い、2 つのリングフィルタの周長差を 10 μm に設計することで、バーニア効果により 57 nm の波長可変範囲が得られることを計算で確認した。作製したレーザでは、リングフィルタの FSR である約 4 nm を間隔とした段階的な波長シフトが確認され、48.6 nm の可変波長範囲が得られた。上記の計算結果との差異は、長波長側および短波長側の端では活性層の利得が小さくなるためであると考えられる。また、レーザ電流 100 mA、SOA 電流 100 mA の条件において、SOA 出力光のスペクトル測定ではシングルモード発振(SMSR=41 dB)が確認され、SOA による光出力増幅は約 10 dB と見積もられた。

以上の結果から、二段テーパ導波路構造を介したリッジ型 InP 系利得領域と Si 導波路間の光接続、ならびに複数種類のアクティブデバイスのモノリシック集積を実証した。二段テーパ導波路構造を用いた III-V/Si ハイブリッド集積が次世代光集積回路実現に向けて有望であることを示した。

第 4 章「InP/Si 直接小片接合技術の検討」

本章では、Si フォトニクスウェハ上への InP 小片の直接接合技術について検討を行った。初期検討として、 N_2 プラズマ活性化と金属製のホルダを用いた一括接合プロセスを提案し、これにより 2 mm \times 2 mm の InP 小片 36 個を Si 基板上に剥離なく接合し、中央値で 10 MPa のダイシア強度が得られた。また、機械的な接合強度の制限要因を検証するため接合界面の残留応力をシミュレーションで解析した結果、InP と Si の熱膨張係数差に起因して、小片端

において 100 MPa 以上の極めて大きな引き剥がし応力が発生していることが確認された。この問題に対し、InP 小片に引張り歪を有するエピタキシャル層(応力制御層)を導入することを提案し、これによる接合界面の引き剥がし応力低減をシミュレーションと実験結果から確認した。

続いて、デバイス作製に向けたより実践的な小片接合プロセスとして、UV オゾン処理を用いた親水化接合を検討した。親水化処理前後の InP 小片表面の状態変化を水接触角及び AFM 像から評価した結果、UV オゾン処理は表面粗さの増加が殆どなく、接触角 10° 以下の親水性表面が得られることを確認した。また、XPS による表面組成分析の結果、UV オゾン処理によって GaInAsP の構成元素全てが高い割合で酸化され、表面親水化が成されることが示された。上記の UV オゾン処理と Pick and place を組み合わせた接合プロセスにより、 $2\text{ mm} \times 2\text{ mm}$ の InP 小片 64 個を Si 基板上に剥離なく接合することに成功した。接合界面を STEM で断面観察した結果、III-V 層、Si 層共に転位や欠陥の無い周期的な原子像が見られ、厚さ 3 nm 程度の酸化層を介して高品質な接合界面が得られていることを確認した。また、本研究では小片接合後の InP 基板除去プロセスとして、ウェットエッチング時の接合界面への薬液浸入を抑制するため、保護膜による接合界面の被覆と、CMP による InP 基板厚の低減を組み合わせたプロセスを提案し、これにより Si ウェハ上に $2\text{ mm} \times 2\text{ mm}$ の InP 系エピタキシャル層をほぼ完全な形で残存させることに成功した。

上記のプロセスを用いた多機能集積化の検証実験として、第 2 章で示した光トランシーバ構成を模擬した光回路($8.8\text{ mm} \times 6.0\text{ mm}$)を Si ウェハ上に形成し、レーザ/SOA、変調器、PD と 3 種類のエピタキシャル構造をそれぞれ有する $0.5\text{ mm} \times 1.8\text{ mm}$ の InP 小片を合計 21 個接合し、InP 基板除去後に PL 評価を行った。その結果、3 種類のエピタキシャル層において各構造に対応する PL スペクトルを確認し、小片全体を有効領域とした均一な PL 強度が得られた。

以上の結果から、本研究で目標とした高品質・高歩留まりの InP/Si 直接小片接合技術を確立できたものとする。

第 5 章「小片接合技術を用いたデバイス作製/大規模集積化に向けた基礎検討」

本章では、小片接合を用いたデバイス作製と特性検証を行った。最初に、 $2\text{ mm} \times 2\text{ mm}$ の InP 小片接合により、Si 導波路領域を含めた全共振器長 $2500\text{ }\mu\text{m}$ の中に長さ $1000\text{ }\mu\text{m}$ のリッジ型 InP 系利得領域を有するハイブリッド FP レーザを作製した。 I - L 特性評価では $20\sim 85^\circ\text{C}$ の温度域における CW 発振を確認し、しきい値電流の温度依存性から特性温度(T_0)は 67 K と算出された。この値は従来の InP 系レーザと同等であり、UV オゾン親水化を用いた小片接合によって、InP 系エピタキシャル層が SOI 基板上に正常に接合されたことを示している。これらのハイブリッド FP レーザの信頼性検証として、キャリア実装素子の高温通電試験を実施した。最初に、温度 85°C 、注入電流 200 mA (電流密度 9.1 kA/cm^2)の条件で合計 2000 時間の試験を行い、その後温度を 110°C に上げて負荷を強くした条件で追加 1000 時間の試験を行ったところ、試

験後素子の I - V , I - L 特性に重大な劣化は見られず、試験後のしきい値電流変動率は $\pm 10\%$ 以内に収まっていた。これらの結果から、UV オゾン親水化を用いた小片接合プロセスにより作製したハイブリッドレーザに関して、信頼性に重大な問題が無いことを確認できたものと考えられる。

次に、小片接合プロセスを用いてリング共振器装荷型の波長可変レーザを作製した。長さ $1100\ \mu\text{m}$ の InP 系利得領域が Si 導波路上に形成され、その前後に波長チューニング用のリングフィルタと、共振器を構成するためのループミラーが接続される構造とした。その結果、 $55\ \text{nm}$ の広い可変波長範囲において SMSR が $50\ \text{dB}$ 以上のシングルモード発振が得られ、波長可変域全体において $70\ \text{kHz}$ 以下のスペクトル線幅を達成した。以上の結果から、小片接合による Si 光回路上への InP 系アクティブ領域集積を実証するとともに、ハイブリッド波長可変レーザの広波長帯域・狭線幅動作を確認した。

最後に、小片接合によりハイブリッド SOA を作製し、その利得特性を評価した。第 2 章で行った計算に基づき、接合界面の超格子層厚 T_{SL} ($180\ \text{nm}$, $360\ \text{nm}$) と利得領域下部の Si 構造 ($W_{\text{Si}} = 0\ \mu\text{m}$, $W_{\text{Si}} = 1.0\ \mu\text{m}$, Si スラブ) という 2 つのパラメータにより、利得領域の活性層光閉じ込め係数 ζ を $2.2\sim 6.1\%$ の広い範囲で制御する設計とした。作製プロセスとしては、高密度・大規模集積化に向けた基礎検討のため、InP 小片の形状を接合面積 $1\ \text{mm}^2$ 以下の矩形 ($0.5\ \text{mm} \times 1.8\ \text{mm}$) に縮小し、4 インチ SOI ウェハ上に上記 2 種類のエピタキシャル構造を有する小片を合計 780 個接合し、デバイス形成プロセスを行った。

作製した SOA の増幅特性を評価した結果、 ζ が小さい構造を有する SOA ほど利得 G_s の最大値が減少し、代わりに平坦なグラフ形状となって大きな飽和光出力 $P_{s,\text{out}}$ が得られるという、第 2 章の計算で示された傾向を再現した。ただし ζ が 3.5% 以上の素子に関しては数十 mA 程度の電流注入で発振してしまい、SOA としての動作が得られなくなった。これは作製プロセス中のダメージ等に起因した光の反射点が導波路上に存在するためと考えられ、今後改善を行う。一方、 ζ が 2.2% と最も小さい構造 ($T_{\text{SL}} = 360\ \text{nm}$, Si スラブ) を有する SOA は注入電流を増やしても発振する傾向は見られず、 $J = 17.6\ \text{kA/cm}^2$ ($300\ \text{mA}$) において $16.1\ \text{dBm}$ の大きな飽和光出力が得られた。以上の結果から、エピタキシャル層構造が異なる InP 小片を同一の SOI ウェハ上に接合し、デバイス用途に応じて利得特性が異なる SOA を作製可能であることを実証した。

第 6 章「結論」

本論文の結論を述べた。本論文では III-V/Si 光トランシーバ回路の構成案を示し、本構成の消費電力面での優位性を数値計算から確認した。また上記のような大規模集積光回路作製技術として UV オゾン親水化を用いた小片接合プロセスを確立し、これを用いたハイブリッドレーザ、SOA のデバイス作製を実証した。以上の結果から、本技術は III-V/Si 異種材料集積を用いた次世代光集積回路実現に向けて有望であると考えられる。