T2R2 東京工業大学リサーチリポジトリ
Tokyo Tech Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	ダイレクトサンプリングミクサの低雑音設計に関する検討
Title(English)	
著者(和文)	那須貴文, 荒木純道
Authors(English)	Takafumi Nasu, Kiyomichi Araki
出典(和文)	電子情報通信学会論文誌 C, Vol. J91-C, No. 12, pp. 719-727
Citation(English)	, Vol. J91-C, No. 12, pp. 719-727
発行日 / Pub. date	2008, 12
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2008 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Tokyo Institute Research Repository)

ダイレクトサンプリングミクサの低雑音設計に関する検討

那須　貴文[†a)]　　荒木　純道[†b)]

A Study on Design of Low Noise Direct Sampling Mixer

Takafumi NASU[†a)] and Kiyomichi ARAKI[†b)]

あらまし　ダイレクトサンプリングミクサ（DSM）の低雑音設計のために，スイッチトキャパシタフィルタ（SCF）部からの加法性雑音について解析を行った．SCF 部の雑音源である MOS スイッチのオン抵抗の出力への影響は，オン抵抗値によらず，SCF 部を構成する容量値よって決まることを明らかにした．また，解析結果が妥当であることを回路シミュレータによる過渡解析で確認した．更に，トランスコンダクタンスアンプ（TA）の出力インピーダンスの影響を考慮し，所望信号の利得と TA からの熱雑音，SCF 部からの雑音を比較し，DSM を含む離散時間受信機の低雑音設計の検討を行った．

キーワード　ダイレクトサンプリングミクサ（DSM），離散時間受信機，ソフトウェア無線，スイッチトキャパシタフィルタ（SCF），雑音解析

1. まえがき

近年の CMOS 微細化技術の進展により，RF 回路への CMOS 技術の適用が広く検討されている．CMOS 技術は，RF 回路とディジタル回路の 1 チップ化による受信回路の低コスト化，小型化に欠かすことができないといえる．また一方で，携帯電話，無線 LAN，テレビ放送などの様々な無線サービスが存在する状況において，様々な無線通信規格を一つの端末で対応することを可能にするソフトウェア無線技術が注目されている．

ソフトウェア無線受信機では，ディジタル信号処理の使用がほぼ前提とされている．受信信号を RF ステージで直ちにディジタル値に変換することが提案された [1] が，そのためには 12 Gsps-12 bit の AD コンバータが必要であり，現在の技術ではそのような AD コンバータを実現するには 500 W 程度の消費電力が必要となるため，現実的ではない．そこで，提案されたのが文献 [2], [3] の離散時間受信機（図 1）を用いる構成である．離散時間受信機の中でダウンコンバージョン，フィルタリング，デシメーションを行うのが DSM [4] である．これらは AD コンバータの動作を緩和させることになる．また，そこにはアンチエイリアスフィルタの効果が含まれるため，所望帯域外からの折り返し成分を抑圧することができる．それに加えて TA と MOS スイッチ，容量により構成される DSM は，基本的には容量値の逆数に比例して利得が増加し，微細化技術の恩恵を受けやすい．また，通過周波数特性は容量値とクロック周波数により可変なので，再構成が容易である．これらより，DSM にはソフトウェア無線受信機を小型化・低消費電力化できる可能性がある．

しかし，文献 [4] などでは雑音特性について言及されているのはわずかであり，詳細な雑音解析が必要であると考えられる．また，文献 [5] で測定された雑音指数（NF）は 22 dB と，DSM 前段の低雑音増幅器

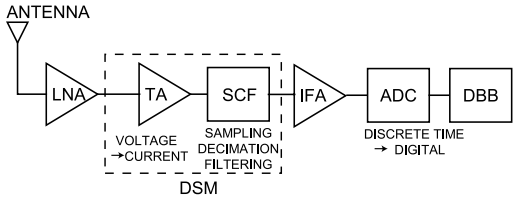


図 1　離散時間受信機の構成
Fig. 1　Discrete time receiver.

† 東京工業大学大学院理工学研究科，東京都
Graduate School of Engineering, Tokyo Institute of Technology, 2–12–1 Ookayama, Meguro-ku, Tokyo, 152–8552 Japan
a) E-mail: nasu@mobile.ee.titech.ac.jp
b) E-mail: araki@mobile.ee.titech.ac.jp

（LNA）の性能から考えてもまだ十分なものではない．別構成においてより雑音特性の優れるダイレクトコンバージョンミクサ（10 数 dB の NF）がいくつか報告されており [6], [7]，DSM の特徴を活かした受信機を構成するためには更なる低雑音化が望まれる．本論文では，DSM におけるサンプリングスイッチを含めた SCF 部からの加法性雑音について解析を行った．その際に，文献 [8] では TA を理想的な電圧制御電流源（VCCS）として取り扱ったが，より現実的なモデルとして出力インピーダンスを考慮した．また，その結果より，所望信号の利得と TA からの熱雑音，SCF 部からの雑音を比較し，DSM 低雑音設計の検討を行った．本論文の構成は以下のとおりである．まず，DSM の構成と動作について説明する．また，その際には TA の出力インピーダンスによる影響についても言及する．次に，DSM における SCF 部の雑音解析について，解析方法とその結果，過渡解析による妥当性の検証結果を示す．最後に，SCF 部の雑音解析結果をもとに，DSM を含む離散時間受信機の低雑音設計について検討する [9]．

2. ダイレクトサンプリングミクサの構成と動作

図 2 に基本的な DSM の構成を，図 3 に各スイッチを制御するクロック信号のタイミングダイアグラムを示す．アンテナで受信された信号は LNA で増幅された後，TA で電圧から電流に変換され，SCF 部へと入力される．LO がハイレベルの間，ヒストリキャパシタ C_{H} と BANK A，B どちらか一方のローテーティングキャパシタ C_{R} で電流積分が行われる．これにより，アナログフィルタリングとダウンコンバージョンがなされる．また，$\mathrm{S_A}(1)$，$\mathrm{S_B}(2)$ の周期が LO の $2N$ 倍であるため，これらがオンされている間，電流積分が N 回繰り返されることにより，N デシメーション比と FIR フィルタリングの効果が得られる．そして，アナログフィルタリングと FIR フィルタリングは所望帯域外の折返し成分が位置する周波数にノッチを形成し，アンチエイリアスフィルタの効果をもつ．更に，ローテーティングキャパシタ C_{R} が切り換わる際に，ヒストリキャパシタ C_{H} と一方のローテーティングキャパシタ C_{R} が，もう一方のローテーティングキャパシタ C_{R} とバッファキャパシタ C_{B} が電荷共有をし，これらが IIR フィルタリングの効果をもつ．それらを考慮して，DSM の伝達関数は以下のようになる [10]（厳密にはレート変換が行われているので狭義の伝達関数は定義できない [11]）．

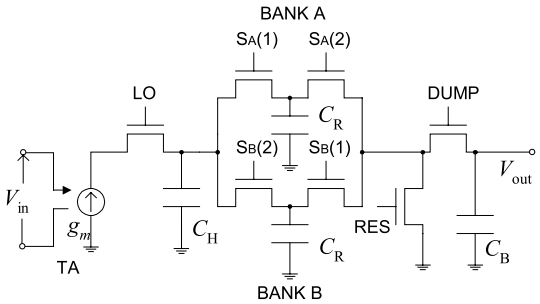


図 2　DSM の構成 [6]
Fig. 2　Schematic of DSM [6].

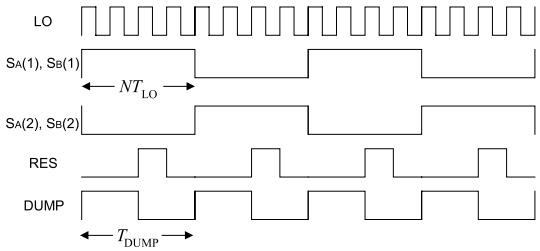


図 3　タイミングダイアグラム [6]
Fig. 3　Timing diagram [6].

$$T_{\mathrm{ideal}} = \frac{V_{out}}{V_{in}} \tag{1}$$
$$= \frac{g_m T_{\mathrm{LO}}}{2} \cdot \mathrm{sinc}\frac{\pi f T_{\mathrm{LO}}}{2} \cdot IIR1 \cdot FIR \cdot IIR2$$

ただし，

$$IIR1 = \frac{1}{C_{\mathrm{R}} + C_{\mathrm{H}}(1 - z^{-N})} \tag{2}$$

$$IIR2 = \frac{C_{\mathrm{R}}}{C_{\mathrm{R}} + C_{\mathrm{B}}(1 - z^{-N})} \tag{3}$$

$$FIR = \frac{1 - z^{-N}}{1 - z^{-1}} \tag{4}$$

ここで T_{LO} はクロック LO の周期である．ダイレクトサンプリング方式の場合，T_{LO} は RF キャリヤの周期に一致させる．Low-IF 方式では T_{LO} は IF 分 RF キャリヤの周期からずらす．g_m は TA のトランスコンダクタンスである．これより周波数変換後の中心周波数における利得（本論文ではダイレクトコンバージョンを想定しており，以降は DC 利得と呼ぶ）は，$g_m N T_{\mathrm{LO}}/\pi C_{\mathrm{R}}$ で与えられ，トランスコンダクタンス g_m やデシメーション比 N，ローテーティングキャパシタ C_{R} の逆数に比例することが分かる．

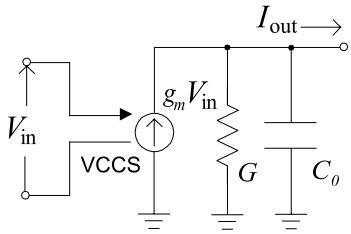


図 4　TA の等価回路
Fig. 4　Equivalent circuit of TA.

しかし，実際の TA は理想的な VCCS ではなく，図 4 のように出力コンダクタンス G と寄生容量 C_0 が並列接続されたモデルで表される．これを本論文では TA の不完全性と呼ぶ．なお，ここでは TA の非線形性については考慮していない．LO がオフ状態の際に寄生容量 C_0 に蓄積された逆極性の電荷が，LO がオン状態になった際にヒストリキャパシタ C_{H} とローテーティングキャパシタ C_{R} に蓄えられている電荷と電荷共有される．また，LO がオン状態の区間においても出力コンダクタンス G に電流が漏れ，電流積分が不十分になってしまう．これにより DC 利得が低下し，更に直交変調信号間の回り込みが生じる．伝達関数は，文献 [5] より以下のように表される．

$$
\begin{aligned}
T &= \frac{V_{out}}{V_{in}} \\
&= \frac{1-(a_1 z^{-1})^N}{1-a_1 z^{-1}} \cdot \frac{aCA}{aC + C_0 z^{-\frac{1}{2}} - C_{\mathrm{H}} a_1^{N-1} z^{-N}} \\
&\quad \cdot \frac{C_{\mathrm{R}} z^{-N}}{C_{\mathrm{R}} + C_{\mathrm{B}}(1-z^{-N})}
\end{aligned} \tag{5}
$$

ただし，

$$C = C_0 + C_{\mathrm{H}} + C_{\mathrm{R}} \tag{6}$$

$$a = \exp\left(\frac{GT_{LO}}{2C}\right) \tag{7}$$

$$a_1 = \frac{C_{\mathrm{H}} + C_{\mathrm{R}}}{aC + C_0 z^{\frac{1}{2}}} \tag{8}$$

$$
\begin{aligned}
A &= \frac{g_m}{G^2 + (\omega C)^2} \\
&\quad \cdot \left\{ \omega C \exp\left(-\frac{GT_{LO}}{2C}\right) - \omega C \cos\left(\frac{\omega T_{\mathrm{LO}}}{2}\right) \right. \\
&\quad \left. + G \sin\left(\frac{\omega T_{\mathrm{LO}}}{2}\right) \right\}
\end{aligned} \tag{9}
$$

TA に不完全性が無ければ，DC 利得は容量値の逆数に比例する．しかし，図 4 のように TA が不完全性をもつなら，DC 利得は容量値の逆数に対して飽和する．ヒストリキャパシタ C_{H} とローテーティングキャパシタ C_{R}，バッファキャパシタ C_{B} の比を 100：1：10 と一定にして，LO 周波数 f_{LO} を 400 MHz，トランスコンダクタンス g_m を 10 mS，デシメーション比 N を 4 としたときの容量値に対する DC 利得を示したのが図 5 である．容量値が大きい場合は，DC 利得が容量値の逆数に比例するが，容量値が小さくなると DC 利得が飽和するのが分かる．容量が十分小さくなったときの利得から 3 dB 低下した利得を与えるローテーティングキャパシタ C_{R} の値を利得の飽和点と呼ぶことにすると，その飽和点は出力コンダクタンス G と寄生容量 C_0 の両方によって決まる．

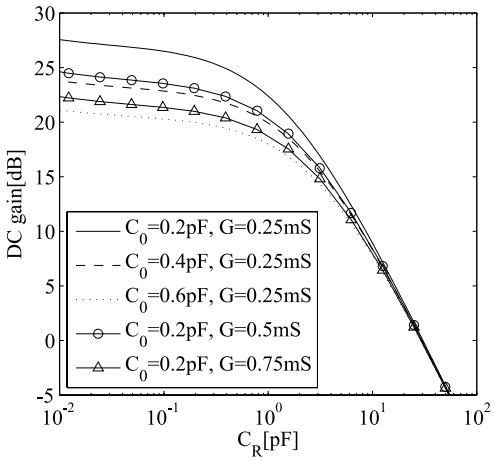


図 5　容量と DC 利得の関係
Fig. 5　Relationship between capacitance value and DC gain.

3.　スイッチトキャパシタ回路の雑音解析

図 2 のとおり，サンプリングスイッチを含む SCF 部は容量と MOS スイッチで構成される．これらが TA によって電流に変換された信号をダウンコンバージョン，フィルタリング，デシメーションを行う役割を担っている．しかし，その構成ゆえに MOS スイッチのオン抵抗という雑音源をもつ．図 2 においてオン抵抗は LO，$S_A(1)$，$S_A(2)$，$S_B(1)$，$S_B(2)$，DUMP，RES の各スイッチがもっているものであるが，スイッチが位置する場所によってそれが発する雑音の伝達過程が異なる．それらより生じる熱雑音は互いに無相関であり，出力に現れるスペクトルはそれぞれ独立に考えることができる．全体の出力電力スペクトルはそれらを

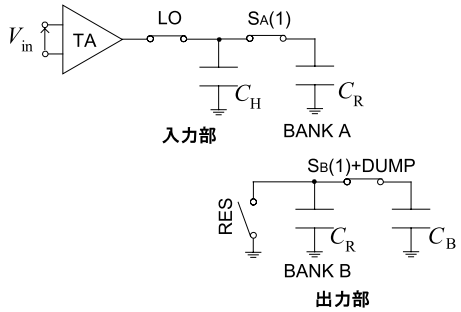


図 6　DSM における入力部と出力部
Fig. 6　Input part and output part in DSM.

合成したものである．本章ではスイッチのオン抵抗による雑音源を図 6 のように入力部と出力部に分類し，それぞれの伝達過程より個別に伝達関数を導出することによって所望信号帯域内への影響を解析する．オフ抵抗による雑音については，低周波に集中し，低速に変動する DC オフセットと考えることができるので無視する．

3.1　出力部からの雑音

まず，DSM における出力部としてローテーティングキャパシタ C_{R} とバッファキャパシタ C_{B} の間に位置するスイッチ $S_A(2)$，$S_B(1)$ と DUMP がもつオン抵抗について考える．DUMP がオン状態にある際には $S_A(2)$，$S_B(1)$ のどちらかがオン状態にあることになり，DUMP のオン抵抗と $S_A(2)$，$S_B(1)$ どちらかのオン抵抗が直列に接続されることになる．そして，DUMP と $S_A(2)$，$S_B(1)$ がもつオン抵抗値が等しく，それらより生じる熱雑音が独立で同形な正規分布に従うとすると，図 7 のような雑音解析モデルで表すことができる [12]．ここで雑音源である $e_{n1}(t)$ は $4kTR_{on}[\mathrm{V}^2/\mathrm{Hz}]$ の電力スペクトル密度をもつ，抵抗値 $2R_{on}$ に対応する白色ガウス雑音源である．k はボルツマン定数，T は絶対温度，$2R_{on}$ は出力時に構成されるスイッチのオン抵抗二つによる抵抗値である．この雑音解析モデルにおいて $v_B(t)$ は，DUMP がオンしたとき以下の過渡現象に従う．

$$v_B(t+t_0) = V_1 e^{-\frac{t}{\tau_1}} + V_2 + \frac{1}{2C_B R_{on}} \int_{t_0}^{t+t_0} e_{n1}(t') e^{\frac{t'-t_0}{\tau_1}} dt' e^{-\frac{t}{\tau_1}} \quad \left(0 \le t \le \frac{T_{DUMP}}{2},\ n = 1, 2, \cdots\right) \tag{10}$$

ただし，

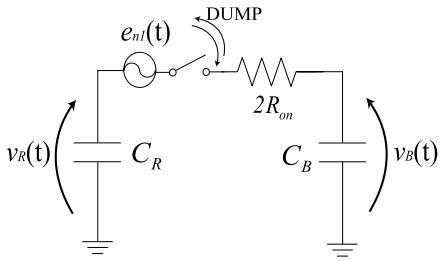


図 7　出力部の雑音解析モデル [6]
Fig. 7　Noise analysis model of output part [6].

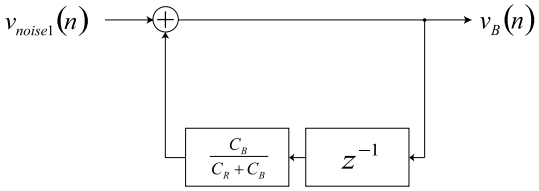


図 8　出力部の雑音伝達グラフ
Fig. 8　Noise transfer graph of output part.

$$V_1 = C_R \frac{v_B(t_0) - v_R(t_0)}{C_R + C_B} \tag{11}$$

$$V_2 = \frac{C_R v_R(t_0) + C_B v_B(t_0)}{C_R + C_B} \tag{12}$$

$$t_0 = (n-1) T_{DUMP} \tag{13}$$

$$\tau_1 = 2R_{on} \frac{C_R C_B}{(C_R + C_B)} \tag{14}$$

ここで，τ_1 は回路の時定数であり，SCF 部において電荷の移動が十分行われるよう DUMP の周期 T_{DUMP} に比べて十分小さく設定される．T_{DUMP} は，$T_{\mathrm{LO}} = T_{\mathrm{DUMP}}/N$ のように LO の周期とデシメーション比 N より決定される．また，インデックス n は n 回目の DUMP オン周期を表す．所望信号や他の加法性雑音源を無視すれば，DUMP がオン状態になる前にローテーティングキャパシタ C_{R} はリセットされることから，式 (11)，(12) における $v_R(t_0)$ は常に零である．ここで，図 7 を DUMP がオフ状態の際に一つの出力が取り出される離散時間システムと考えれば，図 8 のような雑音伝達グラフが描ける．ここで離散時間雑音入力 $v_{noise1}(n)$ は，式 (10) 第 3 項目において $t = T_{DUMP}/2$ としたもので，

$$v_{noise1}(n) = \frac{1}{2R_{on}C_{\mathrm{B}}} \int_{t_0}^{\frac{T_{DUMP}}{2}+t_0} e_{n1}(t) e^{\frac{t'-t_0}{\tau_1}} dt' \cdot e^{-\frac{T_{DUMP}}{2\tau_1}} \tag{15}$$

と表すことができる．なお，$v_B(n)$ は DUMP がオフ

状態にあるときにバッファキャパシタ C_{B} から取り出される離散時間出力である．この離散時間雑音入力に対する伝達関数は図 8 より以下のように表せる．

$$H1(z^{-1}) = \frac{1}{1 - \frac{C_B}{C_R + C_B} z^{-1}} \tag{16}$$

つまり，離散時間雑音入力 $v_{noise1}(n)$ に IIR フィルタリングの効果のかかった信号が出力されることになる．離散時間雑音入力 $v_{noise1}(n)$ は，正規分布に従う白色雑音源 $e_{n1}(t)$ が帯域制限された標本値であり，また正規分布に従う．そして，その分散は $kTC_R/\{C_B(C_R + C_B)\}$ であり，容量値のみにより決まるものである．周波数領域において，連続時間系では白色雑音が時定数で決まる帯域幅に制限されることになるが，その標本値のスペクトルは時定数とスイッチングの周期の関係より，帯域制限されたスペクトルがアンダサンプリングされたものになる．アンダサンプリングされることにより，帯域制限された雑音スペクトルが重なり合い，周波数に関して依存しない白色雑音となる [12]．電力スペクトル密度はその分散より $kTT_{DUMP}C_R/\{C_B(C_R + C_B)\}[\mathrm{V}^2/\mathrm{Hz}]$ である．雑音源はオン抵抗であるが，それによって生じる雑音電力スペクトルのレベルは SCF 回路の時定数に比べてスイッチング周期が十分長い場合，オン抵抗値には関係なく，回路を構成する容量値で決まり，容量値の逆数，デシメーション比に比例する．出力雑音スペクトルの形状は式 (16) の周波数特性によって決まる．

3. 2　入力部からの雑音

入力部に位置するスイッチ LO，$S_A(1)$，$S_B(2)$，RES に含まれるオン抵抗の影響を TA の不完全性を考慮した上で解析する．RES がオン状態の際に，オン抵抗による雑音源によってローテーティングキャパシタ C_{R} に蓄えられる電荷は，バッファキャパシタ C_{B} と電荷共有して読み出される前に，LO がオン状態となって TA の出力コンダクタンス G を通して放電される．そのため，TA の不完全性を考慮すると，RES のオン抵抗による出力電圧は減衰する．また，TA の不完全性により有限の出力インピーダンスをもつと LO のオン抵抗による影響も生じるが，TA の寄生容量 C_0 がヒストリキャパシタ C_{H} に比べて小さい場合は出力側への影響は少ないと考えられる．よって，$S_A(1)$，$S_B(2)$ による影響のみを考慮すればよい．$S_A(1)$，$S_B(2)$ のオン抵抗が等しいものとし，これらに対応する熱雑音源が独立同形分布に従うものとすれば，雑音解析モデルは図 9 のように表すことができる．$S_A(1)$，$S_B(2)$ の一方のスイッチがオン状態の間にローテーティングキャパシタ C_{R} に蓄えられた電荷が，次のタイミングでバッファキャパシタ C_{B} と電荷共有されることにより読み出される．雑音伝達グラフは図 10 のように表される．離散時間雑音入力 $v_{noise2}(n)$ は BANK A，B から交互に読み出されるローテーティングキャパシタ C_{R} に加わる電圧の標本値である．TA の不完全性がなければ，ローテーティングキャパシタ C_{R} に蓄えられる電荷はヒストリキャパシタ C_{H} の電荷と電荷共有が行われるため，読み出される電圧にも IIR フィルタリングの効果が加わる．しかし，TA の出力コンダクタンス G により電荷が放電され，電荷共有の効果は薄れる．出力部の離散時間雑音入力 $v_{noise1}(n)$ 同様に，そのスペクトル密度はローパスの効果を受けたスペクトルがアンダサンプリングされ，$kTT_{DUMP}C_H/\{C_R(C_H + C_R)\}[\mathrm{V}^2/\mathrm{Hz}]$ と容量値で決定される周波数に依存しないフラットなものとなる．そして，この白色雑音入力に，図 10 から

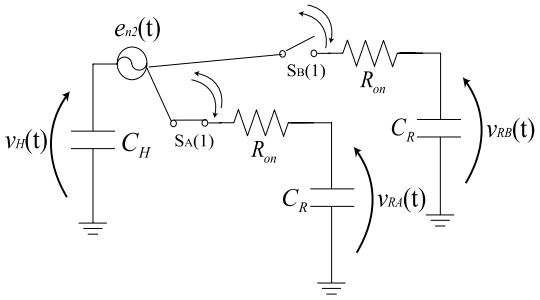


図 9　入力部の雑音解析モデル
Fig. 9　Noise analysis model of input part.

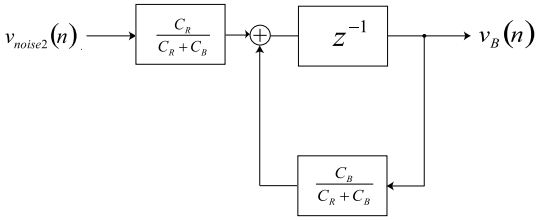


図 10　入力部の雑音伝達グラフ
Fig. 10　Noise transfer graph of input part.

$$H1(z^{-1}) = \frac{C_R}{C_R + C_B} \cdot \frac{z^{-1}}{1 - \frac{C_B}{C_R + C_B} z^{-1}} \tag{17}$$

で表される IIR フィルタリングの効果が加わったスペクトルが出力される．

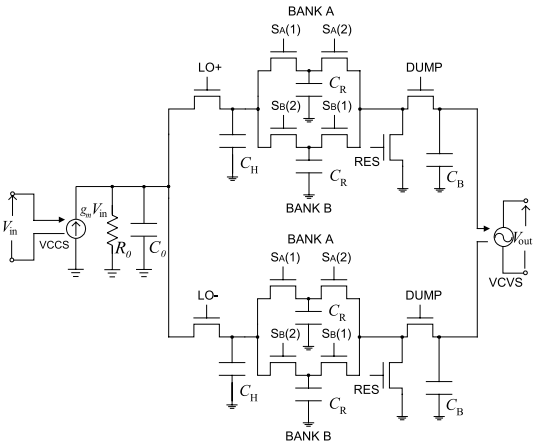


図 11　シミュレーションモデル
Fig. 11　Simulation model.

表 1　シミュレーションパラメータ
Table 1　Simulation parameter.

LO 周波数	g_m	R_0	C_0
400 MHz	10 mS	4 kΩ	0.3 pF
デシメーション比 N	C_{H}	C_{R}	C_{B}
2	20 pF	0.2 pF	2 pF

3.3　シミュレーション結果との比較

オン抵抗による雑音出力の解析を行ったが，妥当性を確認するために過渡解析結果との比較を行った．回路シミュレータとして Agilent 社が提供する ADS を用いた．MOS のモデルとしては TSMC 社が提供する 0.18 μm プロセスのものを用いた．シミュレーションは図 11 のような差動構成で行い，入力信号は入れず，出力電圧を DUMP の周期 T_{DUMP} でサンプリングし，MOS スイッチからの雑音の影響を観測した．シミュレーションパラメータは表 1 に示すものを用いた．MOS スイッチとしては，単純な nMOS スイッチを用いた．シミュレーション結果と理論値の比較を図 12 に示す．シミュレーション結果と理論値がよく一致しているのが確認できる．しかし，シミュレーション結果には DC 付近に強い信号レベルが確認できる．寄生容量を含まない理想スイッチを用いたシミュレーションにおいては観測されないため，MOS スイッチの G-S 間，G-D 間の寄生容量によるクロックフィールドスルーやチャージインジェクションが原因である．これらは，ダミースイッチなどを用いることにより軽減することが可能である．

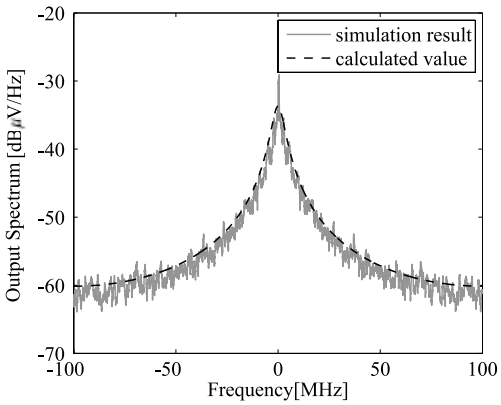


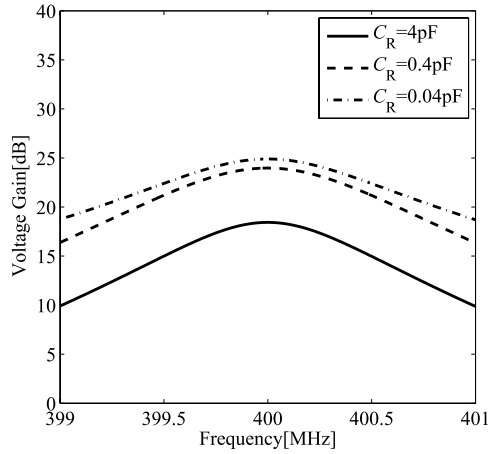
図 12　シミュレーション結果と理論値の比較
Fig. 12　Comparison of simulation result with calculated value.

4. 考　　察

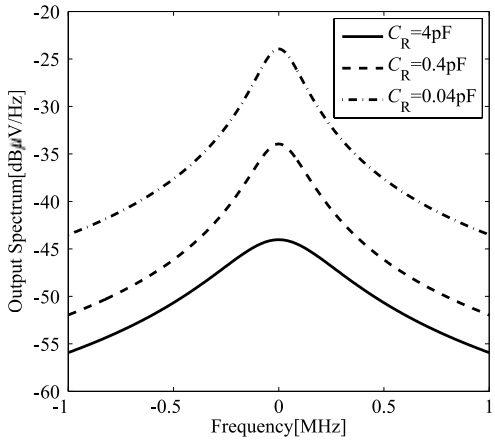
前章において DSM における SCF 部からの雑音による影響を解析した．本章では，これを考慮して DSM を低雑音設計する手法について考察する．雑音源としては TA から生じるものと SCF 部のオン抵抗の二つの加法性雑音を考慮する．これらのなかで最も影響が大きい TA からの 1/f 雑音は，DC カット容量を用いることなどで除去可能である．むしろ，DSM において雑音指数（NF）を決めるのは RF 信号と同一周波数帯に生じる TA からの熱雑音である．これは，出力端では入力換算雑音電圧が所望信号と同様の利得を得て観測される．つまり，TA の熱雑音による影響は入力換算雑音電圧と伝達関数で表現可能である．DSM の NF は以下のように定義できる．

$$NF = 1 + \frac{(N_{IRN} \cdot G) + (N_{SCF})}{N_{in} \cdot G} \tag{18}$$

ここで，N_{IRN} は所望信号と同一帯域に現れる TA の入力換算雑音である．Cadence 社が提供する spectre により，今回用いた TA の 400 MHz 付近における入力換算雑音電力は −56.6 dBμV/Hz であった．G は伝達関数より与えられる利得，N_{in} は雑音入力，N_{SCF} は SCF 部から生じる雑音である．DSM 出力端において，TA の熱雑音による影響に比べて SCF 部からの雑音成分が無視できるほど小さいなら，DSM の NF は初段に位置する TA の NF によりほぼ決定される．しかし，SCF 部からの雑音成分が大きくなると DSM の NF は TA の NF から劣化することになる．また，DSM 後段に位置するバッファアンプなどのことも考

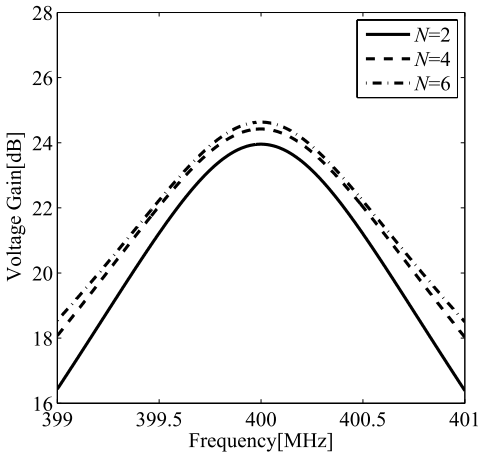


(a) 伝達関数

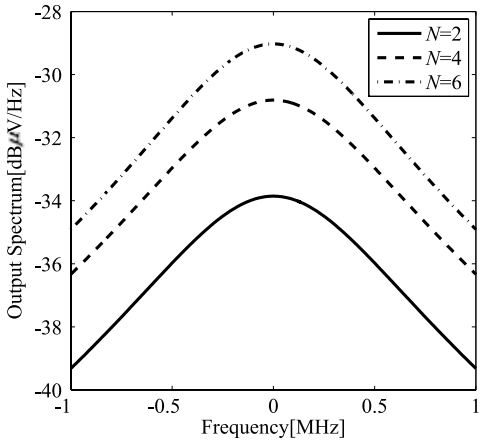


(b) SCF 部からの雑音レベル

図 13　C_R による利得と SCF 部からの雑音の比較
Fig. 13　Comparison of gain with noise from SCF section by C_R.



(a) 伝達関数



(b) SCF 部からの雑音レベル

図 14　デシメーション比 N による利得と SCF 部からの雑音の比較
Fig. 14　Comparison of gain with noise from SCF section by decimation ratio N.

慮して低雑音化を考えるなら，DSM で得られる利得も重要な指標である．DSM 単体での NF を劣化させず，高い利得を得ることが，低雑音離散時間受信機を構成する DSM を設計する際に必要とされる．

ローテーティングキャパシタ C_R の値を小さくすることで DC 利得を増加させたときの，DC 利得と SCF 部からの雑音の関係を示したのが図 13 である．伝達関数を示す図 13 (a) の横軸はダウンコンバージョン前の周波数を，SCF 部からの雑音を示す図 13 (b) の横軸はダウンコンバージョン後の周波数を意味する．LO 周波数は 400 MHz，デシメーション比 N は 4 とし，ヒストリキャパシタ C_H とバッファキャパシタ C_B の値はカットオフ周波数が 520 kHz になるように調整した．TA が理想的であれば，DC 利得はローテーティングキャパシタ C_R の逆数に比例するが，**2.** でも述べたように TA の不完全性により飽和することが確認できる．一方，SCF 部の雑音スペクトルは飽和しない．容量値を小さくし続けると，TA からの熱雑音に比べて SCF 部からの雑音が大きくなり，DSM の NF を劣化させる．

ローテーティングキャパシタ C_R の値を一定にして，デシメーション比 N を大きくすることにより利得を増加させたときの，DC 利得と SCF 部からの雑音の関係を示したのが図 14 である．回路を構成する容量が大きければ，DC 利得はデシメーション比に比例し

て増加する．しかし，利得増大のために容量値が小さくなれば TA の不完全性は無視できなくなる．ここでは，図 5 における DC 利得の飽和点付近にあたる，ローテーティングキャパシタ C_{R} が 0.2 pF とした場合において比較を行った．LO 周波数は 400 MHz，ヒストリキャパシタ C_{H} とバッファキャパシタ C_{B} の値はカットオフ周波数が 520 kHz になるように調整した．ローテーティングキャパシタ C_{R} が小さくなると，デシメーション比に対しても DC 利得が飽和することが確認できる．一方，SCF 部からの雑音スペクトルレベルが飽和することはない．DC 利得が TA の不完全性によって飽和するローテーティングキャパシタ C_{R} の小さなところで，更にデシメーション比を大きくすることも DSM の NF 劣化につながる．

TA に不完全性がなければ，DC 電圧利得は容量値の逆数に比例する．一方，MOS スイッチのオン抵抗からの雑音については雑音電力が容量値の逆数に反比例する．そこで，TA が理想的な VCCS であれば，容量値を小さくすることが低雑音化に有効であることが分かる．しかし，TA に不完全性があると，DC 利得は容量値を小さくすることやデシメーション比の増加に対して飽和する．DSM を低雑音化するには，まず TA の出力コンダクタンス G と寄生容量 C_0 をより小さくする必要がある．

だが，完全に理想的な TA を設計することは不可能である．このような場合，回路を構成する容量値を適切に選ぶことで NF を最小化することができる．ヒストリキャパシタ C_{H} とローテーティングキャパシタ C_{R}，バッファキャパシタ C_{B} の比を 100：1：10 と一定にして，容量値を変化させたときの 100 kHz における NF を示したのが図 15 である．DSM に加えて，後段のバッファアンプも考慮した際の NF であり，cadence 社が提供する spectre を用いて得られたものである．TA の NF や不完全性（DC 利得の飽和点）に依存するが，今回用いた TA では NF を最小にするローテーティングキャパシタ C_{R} の値は 0.2 pF 程度であることが分かる．それより容量値が大きければ，オン抵抗からの雑音は抑えられるが，DC 利得が不十分であり，後段のバッファアンプからの影響が大きくなる．小さければ，オン抵抗からの雑音が大きくなる．

所望の NF を得る後段のバッファアンプも含めた DSM を設計するには，まず TA 単体がもつ NF がそれ以下でなければならない．次に，後段のバッファアンプの NF が与えられれば，TA の NF とその影響を考慮して所望の NF を得るための利得が決まる．そして，その利得が得られ，かつ SCF 部からの雑音が全体の NF を TA の NF から大きく劣化させないような容量値を選べばよいことになる．そのような容量値が見つからない場合，TA の出力コンダクタンス G や寄生容量 C_0 を小さくすることができれば利得の飽和点が下がり，容量値を更に小さくすることで NF は改善される．また，消費電力が大きくなりすぎない程度にトランスコンダクタンス g_m を大きくすることも考えられる．

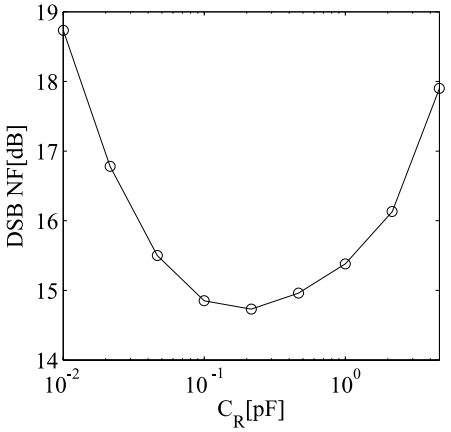


図 15　容量値と NF の関係
Fig. 15　Relationship between capacitance value and NF.

しかし，現状の TA の性能では利得に限界がある．容量値を最適に選んだ場合の最小の NF も十分小さいとはいえない．更に，低雑音化するには TA の不完全性の影響を受けずに DC 利得が得られる構成が必要とされる．

5. む す び

本論文では，DSM における SCF 部の雑音解析を行った．また，解析結果が妥当であることを MOS モデルを用いた回路シミュレーションで確認した．更に，その結果より DSM の低雑音設計のための検討を行った．TA の不完全性を考慮すると，DSM の DC 利得はローテーティングキャパシタ C_{R} を小さくすることやデシメーション比 N の増加に対し飽和する．一方，SCF 部からの雑音は飽和せず，ローテーティングキャパシタ C_{R} の小さなところで，更にその値を小さくすることやデシメーション比を大きくすることは DSM の NF 劣化につながる．現状の構成において NF の最

小化は，NF が MOS スイッチのオン抵抗からの雑音により劣化しないところまで容量値を小さくすることで達成される．ただ，後段からの影響を考えれば，低雑音化には更に利得を増大させる必要がある．TA のトランスコンダクタンス g_m を大きくすれば利得は改善されるが，そのためには電流を多く流さなければならない．容量値を小さくすることにより利得を得ることが，回路規模の削減や低消費電力化の面からも必須であるといえる．離散時間受信機の更なる低雑音化には，TA の不完全性の影響を受けない構成が不可欠である．また，クロックジッターによる乗法性雑音についても，今後検討する必要があると考えている．

謝辞　本研究は東京大学大規模集積システム設計教育研究センターを通し，アジレント・テクノロジー株式会社，日本ケイデンス株式会社の協力で行われたものである．

文　　献

[1] J. Mitola, “The software radio architecture,” IEEE Commun. Mag., vol.33, no.5, pp.26–38, May 1995.

[2] K. Muhammad, D. Leipold, B. Staszewski, Y.-C. Ho, C.M. Hung, K. Maggio, C. Fernando, T. Jung, J. Wallberg, J.-S. Koh, S. John, I. Deng, O. Moreira, R. Staszewski, R. Katz, and O. Friedman, “A discrete-time bluetooth receiver in a 0.13 μm digital CMOS process,” ISSCC Digest of Technical Papers, pp.268–269, Feb. 2004.

[3] A.A. Abidi, “Evolution of a software-defined radio receiver’s RF front-end,” IEEE RFIC Symp., pp.27–30, June 2006.

[4] K. Muhammad and R.B. Staszewski, “Discrete RF sampling mixer with recursive filtering in charge domain,” IEEE ISCAS, pp.577–580, 2004.

[5] 森下陽平，荒木純道，細川嘉史，齋藤典昭，倉科　隆，松澤昭，“縦並列構成ダイレクトサンプリングミクサの設計・試作，” 信学論（C），vol.J90-C, no.12, pp.903–912, Dec. 2007.

[6] Y. Furuta, T. Heima, H. Sato, and T. Shimizu, “A low flicker-noise direct conversion mixer in 0.13 μm CMOS with dual-mode DC offset cancellation circuits,” IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp.265–268, Jan. 2007.

[7] V. Vidojkovic, J. Van Der Tang, A. Leeuwenburgh, and A. Van Roermund, “A low-voltage folded-switching mixer in 0.18-μm CMOS,” IEEE J. Solid-State Circuits, vol.40, no.6, pp.1259–1264, June 2005.

[8] T. Nasu and K. Araki, “Noise analysis of switched capacitor networks in direct sampling mixers,” Korea-Japan Microwave Conference Technical Digest 2007, pp.61–64, Nov. 2007.

[9] 那須貴文，荒木純道，“ダイレクトサンプリングミキサの低雑音化設計手法に関する検討，” 信学技報，MW168-184, Feb. 2008.

[10] 森下陽平，荒木純道，“縦並列構成ダイレクトサンプリングミキサの設計，” 信学技報，C-2-36, Sept. SR2006-24, July 2006.

[11] P. Vaidyanathan, マルチレート信号処理とフィルタバンク，pp.127–148, 科学技術出版，2002.

[12] C.-A. Gobet and A. Knob, “Noise analysis of switched capacitor networks,” ISCAS Proc., pp.856–859, April 1981.

（平成 20 年 4 月 8 日受付，7 月 11 日再受付）

那須　貴文

2007 徳島大・工・電気電子卒．現在，東工大大学院理工学研究科在学中．

荒木　純道　（正員：フェロー）

1971 埼玉大・電気卒．1978 東工大大学院博士課程（電子物理）了．1978〜1985 東工大助手．1979〜1980 テキサス大客員研究員．1985〜1995 埼玉大・電子助教授．1993〜1994 イリノイ大客員助教授．1995 東工大・電気電子教授，現在に至る．工博．マイクロ波回路，回路網理論，非線形理論，符号理論，暗号理論，ソフトウエア無線，UWB 無線，MIMO 伝送などの研究に従事．1993，1997，2006 電気通信普及財団テレコム技術賞，2005 年度本会論文賞，2007 年度本会フェロー受賞．IEEE，情報処理学会，電気学会各会員．