

論文 / 著書情報
Article / Book Information

論題(和文)	アナログCMOS 集積回路と MEMS の融合
Title(English)	A Fusion of Analog CMOS Integrated Circuit and MEMS
著者(和文)	石原 昇, 水落 裕, 益 一哉
Authors(English)	Noboru Ishihara, Yutaka Mizuochi, Kazuya Masu
出典(和文)	2009 年電子情報通信学会エレクトロニクスソサイエティ大会, , , CT-1-3
Citation(English)	, , , CT-1-3
発行日 / Pub. date	2009, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

アナログ CMOS 集積回路と MEMS の融合

A Fusion of Analog CMOS Integrated Circuit and MEMS

石原 昇 水落 裕 益 一哉
Noboru Ishihara Yutaka Mizuochi Kazuya Masu

東京工業大学 統合研究院
Integrated Research Institute, Tokyo Institute of Technology

1. まえがき

電子機器の五感を担う通信やセンサとのインターフェース回路はアナログ回路ベースであるため、ムーアの法則には必ずしも追従しない。このため、デジタル処理回路とは一線を画した研究開発がこれまで進められてきたが、デジタル回路のシステムオンチップ (SoC) 化が進展するにつれて、実装面積の大きいアナログ回路部の縮小が課題としてクローズアップしている。このため、センサや受動部品を小型に実現できる MEMS 回路とアナログ CMOS 集積回路の融合を可能とする技術への期待が高まっている。本稿では無線通信インターフェース回路を例にアナログ集積回路設計を専門とする立場から MEMS/CMOS 融合回路技術への期待、必要性、考えられる課題について述べる。

2. RF インターフェース回路の現状と課題

現在の携帯無線電話は LSI 技術や実装技術の進歩を背景に音声通信だけでなく、無線 LAN やワンセグテレビ、GPS、インターネットなど様々な機能が軽量小型の端末に詰め込まれており、無線通信インターフェース機能を司る RF アナログフロントエンド (AFE) 回路では、例えば 0.8 ~ 6 GHz の周波数領域にある各種サービスに対応できるようなマルチバンド動作/広帯域動作を可能とする回路の開発が進められている。また LSI 技術の微細化とともに高速化、低電力化、小面積化の、いわゆるスケーリングメリットの得られる回路の実現も同時に期待されている。このため、AFE 回路部ではスケーリング則に追従しないインダクタや容量などの受動素子を不要化し、広帯域動作を可能とするサンプリング回路技術やデジタルリッチ回路[1-3]の研究開発が精力的に進められている。しかし、図 1 に示す AFE のアンテナインターフェース回路部や電圧制御発振回路 (VCO) 部では、要求される高い電力効率、低い雑音特性を得るためには低損失の受動素子を不要化できない状況にある。

アンテナとのインターフェース回路部は、送受切換スイッチあるいはデュプレクサと送信/受信用のバンドパスフィルタより構成される。これらの部品は、個別部品として開発され用いられている。小型化が進められているが、デジタル処理 LSI 回路の小型化、高機能化に伴い、これらの部品の面積比率が高くなっている。さらにマルチバンドの無線信号に対応するためには、バンド数に応じたアンテナとの切り替えスイッチやフィルタが複数必要となり、実装面積が増大することになる (図 2 : デュアルバンドの一例)。

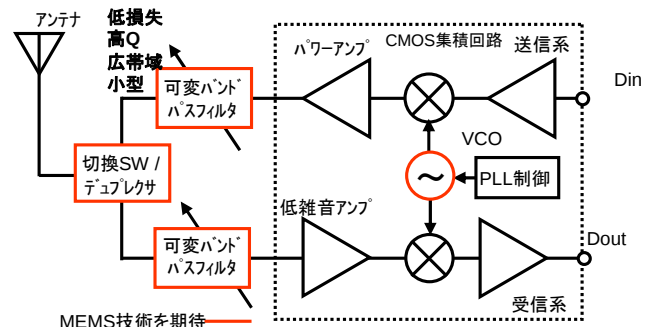


図 1 RF アナログフロントエンド回路で期待される MEMS

- (1) 基板への組み込み
- (2) パッケージへの組み込み
- (3) MEMSとCMOS集積回路との一体化

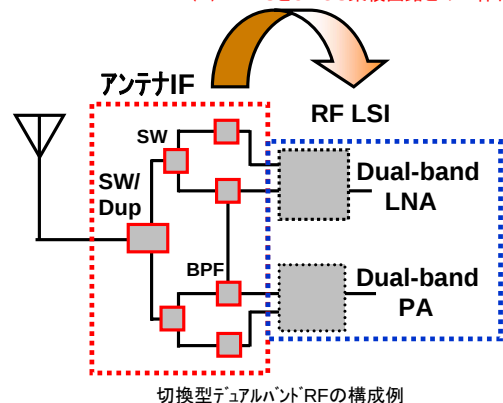


図 2 アンテナインターフェース部の小面積小型化

3. 小面積化、小型化へのアプローチ

このため、Cu や Ag などの低抵抗配線によりフィルタを IC チップ直下の基板上に構成し小面積化を可能とする LTCC (Low temperature Co-fired Ceramics) 基板回路技術や WLP (Wafer Level Package) の低抵抗配線を高 Q のインダクタとして用いる技術[4]が提案されている。しかし、これらの回路では、マルチバンド動作を実現するためのチューニング機能やスイッチ機能の実現が容易でない。これに対し、MEMS 回路は、低損失、高 Q の受動回路を実現できるとともに、制御信号によるスイッチングやチューニングが可能である点が魅力と言える。図 3 に RF 回路の小面積化の展開イメージを示す。

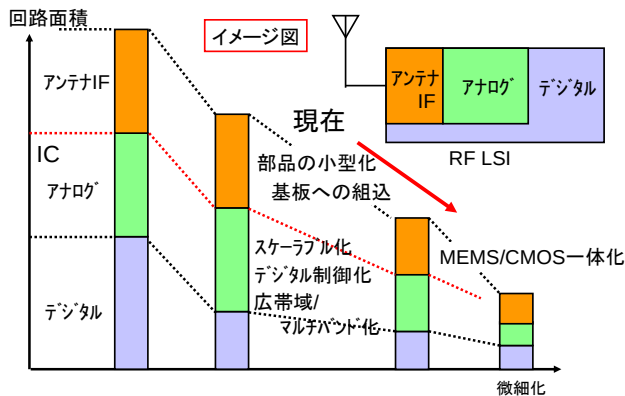


図3 RF回路の小面積化の流れ

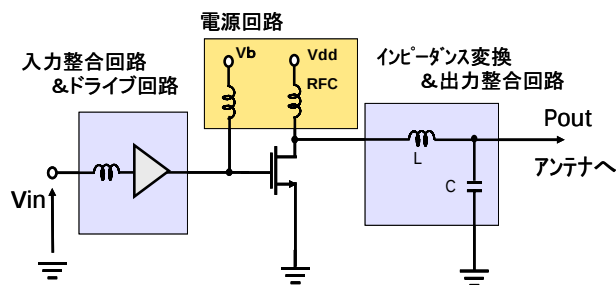


図4 パワーアンプの基本構成

4. RF MEMS への期待

(1) RF 送信系

図4にパワーアンプの基本構成を示す。パワーアンプはアンテナへ数百mW～数Wの電力をアンテナへ供給する。一般に高い電力効率を得るため最終段の電力増幅回路はトランジスタ1段の単純な構成となっている。ここで例えば、1Wの電力を 50Ω のアンテナに直接供給しようとした場合、必要となる信号振幅は $20V_{pp}$ となる。これは微細MOSトランジスタの耐圧を大きく超えており実現は困難である。このため、負荷インピーダンスを下げ、電流量を多くして駆動する方式を用いることになる。この場合、出力部には図2のLC回路によるインピーダンス変換回路が不可欠となる。極端な例であるが、負荷インピーダンスを 1Ω とすると、必要な電圧振幅は $2.8V_{pp}$ まで低減できる。しかし、必要となる電流は $2.8A$ と増大する。図4におけるRFCインダクタおよびインピーダンス変換回路のLC回路は、大電流を流して低損失でなくてはならない。 0.1Ω の損失抵抗でも28%の電力が消費されてしまう計算になる。スイッチやデュプレクサにおいても、同様に低損失な特性が要求されることになる。なお、RF CMOS回路で出力可能なパワーレベルは、使用するプロセス世代にもよるが、耐圧や抵抗損失の問題により現状 $0\sim 10dBm$ 程でMEMS回路との融合による高出力化が期待される。

また、マルチバンド動作化においては、インピーダンス変換回路のLとCの値を周波数帯ごとに設定する必要がある。LCフィルタでは、Cの値のみを変化させることにより周波数帯の切換えを行うことも可能であるが、インピーダンス変換回路は、変換特性と出力整合特性の両者を確保するためLとCの値を同時に変化させる必要がある。広帯

域に使用できるCとLが必要となる。特にLはインダクタを構成する線間の容量との自己共振によりインダクタンスとして使用できる周波数範囲が制限されるため、線間容量小さい構成が必要になる。

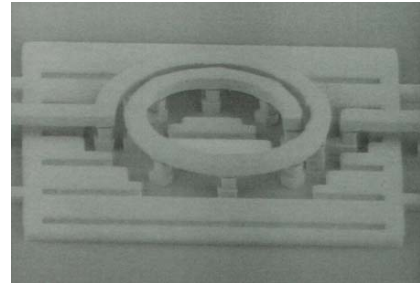
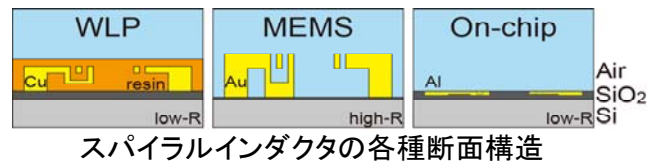


図5 MEMSスパイラルインダクタの例
(半径 $50\mu m$ 、1.5巻、線幅&スペース $20\mu m$)



スパイラルインダクタの各種断面構造

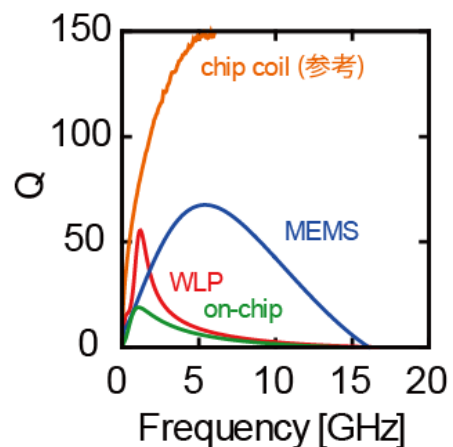
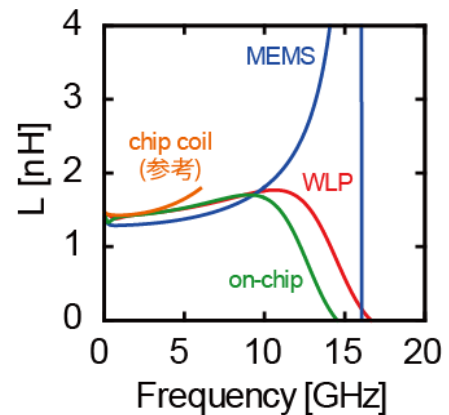


図6 スパイラルインダクタの構造によるL値とQ値
(半径 $50\mu m$ 、1.5巻構成を想定)

図6は3種類の断面構造が異なるスパイラルインダクタについて3次元電磁界解析を行いインダクタンス値とQ値を求めた結果である。CMOS ICのオンチップ最上層配線を利用したもの、WLPの配線を利用したものとMEMSインダクタである。MEMSインダクタは中空構造(図5参照)であるので線間容量は最も小さく、高い自己共振周波数を得ることができる。図5のQ値の特性から分かるようにMEMSインダクタでは他に比べQ値の高い周波数範囲が広いことが分かる。WLPではパッケージでは樹脂の容量の影響によりQ値の高い領域が狭まっており、オンチップインダクタでは酸化膜容量と低抵抗シリコン基板と配線の距離が短いことによりQの最大値も低くなっている。

マルチバンド対応のためにインダクタンス値を変化させるには、インダクタにタップを設けてスイッチで切り替える方法や鎖交磁束を制御する方法が考えられるが、広帯域なチューニング特性を得るには100%以上の高い可変率が必要で、機械的な可動構成をうまく利用することによる実現が期待される。

(2) RF 受信系

フィルタやスイッチは受信系の低雑音増幅回路(LNA)の前段に挿入されることから、フリスの公式から受信系全体の雑音指数NFは、単純に損失分増加し受信感度を劣化させることになる。LNAのNFが2dBの時、アンテナとの間に3dBの損失が存在すると受信感度は単純に3dB劣化してしまうことになる。

現在用いられている個別部品のスイッチやフィルタの損失は、概ね1dB以下の低損失特性が実現、使用されておりMEMS回路でも同等の性能の実現が必要となる。

また、マルチバンド化のためにはRF系と同様低損失のバンド選択/可変回路が必要となる。

(3) 電圧制御発振回路(VCO)

図7に多く用いられているLC共振型VCO回路の基本構成を示す。この回路では、LC共振を用いた発振により周波数安定度の高い高周波信号の発振を可能にしている。このVCOの主要特性項目の1つである位相雑音は、以下のLeesonのモデル式で一般的に表現することができる[6]。

$$L\{\Delta\omega\} = 10 \cdot \log \left[\frac{2FkT}{P_{sig}} \left\{ 1 + \left(\frac{\omega_o}{2Q_c\Delta\omega} \right)^2 \right\} \left(1 + \frac{\Delta\omega_{1/f}}{|\Delta\omega|} \right) \right]$$

ここで、F: 回路の雑音指数、k: ボルツマン定数、T: 絶対温度、 P_{sig} : 発振信号電力、 ω_o : 発振角周波数、 Q_c : 回路のQuality factor、 $\Delta\omega_{1/f}$: 1/f 雑音コーナ周波数である。LSI技術が微細化されると、電源電圧は低下し P_{sig} が減少、またトランジスタの位相雑音が増加し $\Delta\omega_{1/f}$ が増すことにより、位相雑音が大きくなってしまふ。これを補償するには Q_c の高い回路の実現が必要となる。オンチップインダクタでは図5で示したようにQ値の高い広帯域な特性の実現が難しいこと、トランジスタの微細化が進むにつれインダクタの相対的な面積割合が大きくなりチップコストを制限してしまうことから、図5に示すようなオフチップでのMEMSインダクタの利用が有効と考えられる。

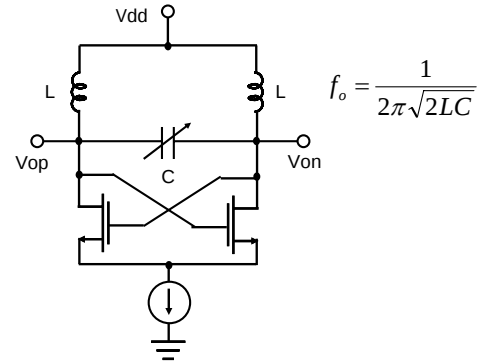


図7 LC共振型VC回路構成例

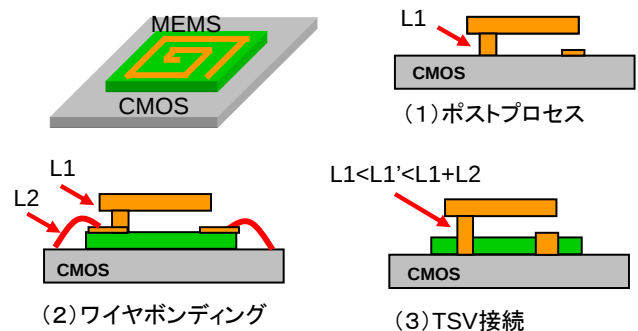


図8 MEMSとCMOSチップの融合

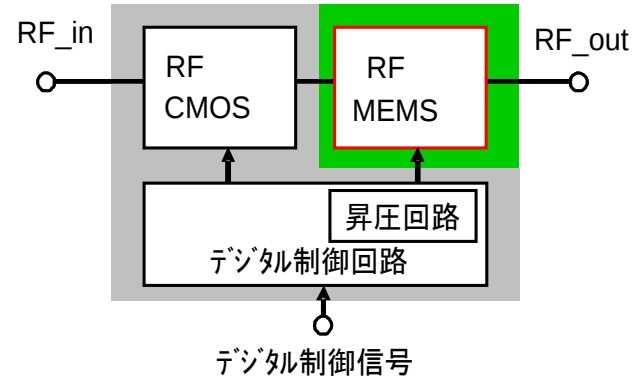


図9 RF MEMS/CMOS融合回路のブロック構成

4. CMOS集積回路とMEMS回路の融合形態

電子システムの小型高集積化を進展させるには2次元的な実装ではなく必然的にMEMS on CMOSあるいはCMOS on MEMSといった3次元実装形態が今後主流になると考えられる。図8に示すようにCMOS LSIの上にポストプロセスでMEMSを構成する方法やMEMSチップをダイレクトに搭載しボンディングワイヤやMEMSチップのシリコン基板を貫通するTSV(Through Substrate Via)などでCMOSチップと接続する方法が考えられる。このような技術はデジタル回路チップとメモリ回路チップなどを積層する3次元実装技術として既に開発されており、これらの技術をCMOS集積回路とMEMS回路の融合に応用することは可能と考えられる。

また、このような MEMS/ CMOS 融合デバイスを実現する上での大きな課題は、製造組立のプロセス工程を標準化することとともに、MEMS 回路と CMOS 回路およびパッケージ or 基板への実装まで含めた異種機能デバイスの統合設計環境の構築が今後重要と考える。現在 MEMS デバイスの開発と CMOS 回路の開発は独立に行われている状況にある。デバイスを組み合わせてみて初めて問題点が明らかになる場合もあり設計開発が非効率と言える。無線通信用の高周波の回路では、ボンディングワイヤやビアによる接続配線に付随するインダクタンスや容量などの寄生インピーダンスにより特性が制限されてしまう。個々のデバイス状態で正しく動作していても、接続した状態で同様の性能が得られるとは限らない。図 9 に示すような一体化機能回路を実現するには、図 10 に示すように、それぞれのデバイスごとに構築してきた設計開発環境、モデルライブラリを共通ライブラリで統合し、水平展開を図ることによりパッケージまで含めた MEMS/CMOS 一体化デバイスの設計開発を効率的に行なえるようになるものと考えている。

5. まとめ

アナログ集積回路設計を専門とする立場から MEMS/ CMOS 融合回路技術への期待と課題について述べた。融合を可能とする製造組立技術の標準化とともに、共通ライブラリによる MEMS/CMOS 統合設計環境の構築が今後重要と考える。

【謝辞】

本報告に関する研究の一部は、TARC、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、文部科学省科学技術振興調整費（統合研究院）の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、メンター株式会社、アジレント・テクノロジー株式会社の協力により推進している。

【参考文献】

- [1] M. E. Heidari, Minjae Lee, A.A.Abidi, "All-Digital Outphasing Modulator for a Software-Defined Transmitter", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 44, NO. 4, pp. 1260-1271, April, 2009.
- [2] R. B. Staszewski, et al., "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130nm CMOS", IEEE Journal of Solid-State Circuits, vol.39, No.12, pp.2278-2291, Dec., 2004.
- [3] R. B. Staszewski and P. T. Balsala, "All-Digital Frequency Synthesizer in Deep-Submicron CMOS", WILLY, 2006.
- [4] H. Hatakeyama, Y. Uemichi, K. Ohashi, S. Fukuda, H. Ito, K. Okada, T. Aizawa, T. Ito, and K. Masu, "RF CMOS Circuits with Wafer-Level Packaging Inductors," to be presented at International Wafer-Level Packaging Conference, pp. 69-73, San Jose, October, 2008.
- [5] 水落, 天川, 石原, 益, 「RF IC 用インダクタの特性解析」 2009 年 第 56 回応用物理学関係連合講演会、2a-V-4, 4 月, 2009.
- [6] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits, second edition", Cambridge university press, 2004, ISBN 0-521-83539-9.

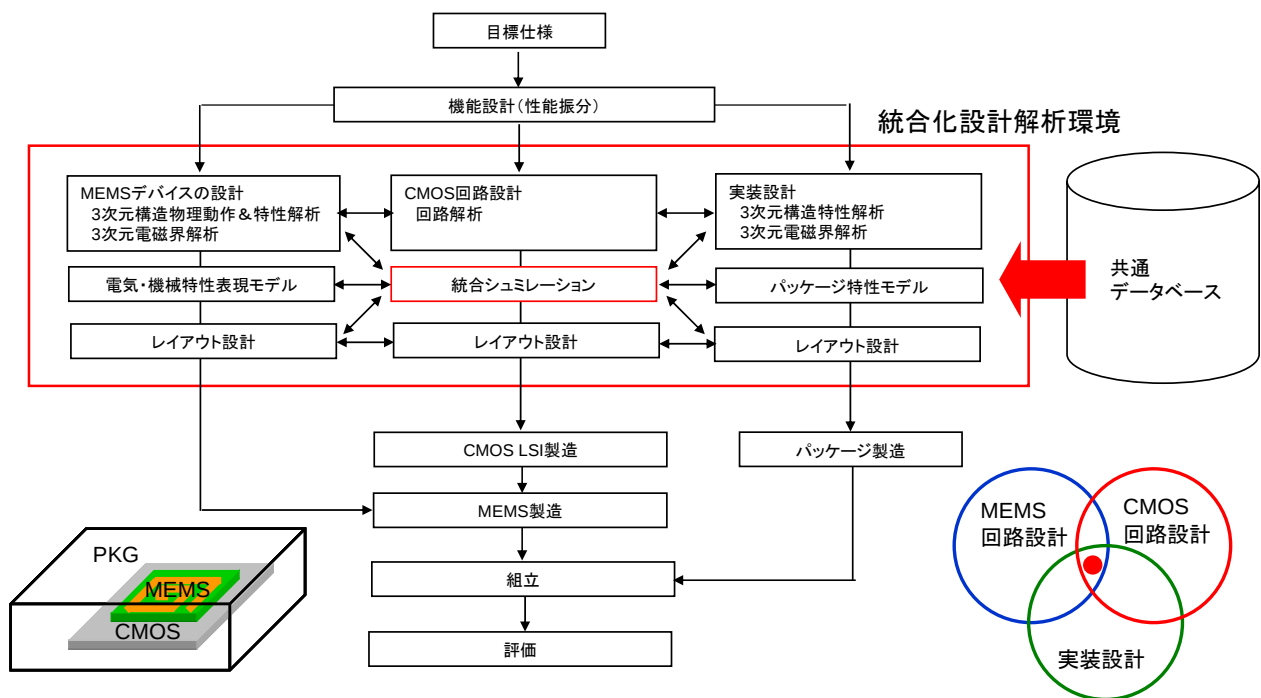


図 10 MEMS on CMOS デバイスの開発フロー例