

論文 / 著書情報  
Article / Book Information

論題(和文)	統計的タイミング情報に基づく適応型テスト
Title(English)	Adaptive Test Based on Statistical Timing Information
著者(和文)	新谷 道広, 高橋 知之, 植山 寛之, 上菌 巧, 佐藤 高史, 畠山 一実, 相京 隆, 益 一哉
Authors(English)	Michihiro Shintani Tomoyuki Takahashi Hiroyuki Ueyama Takumi Uezono Takashi Sato Kasumi Hatayama Takashi Aikyo Kazuya Masu, Tomoyuki Takahashi, Hiroyuki Ueyama, takumi uezono, Takashi Sato, Kasumi Hatayama, Takashi Aikyo, Kazuya Masu
出典(和文)	2009 年 電子情報通信学会総合大会, , , D-10-16
Citation(English)	, , , D-10-16
発行日 / Pub. date	2009, 3
URL	<a href="http://www.ieice.org/jpn/books/t_g.html">http://www.ieice.org/jpn/books/t_g.html</a>
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2009 Institute of Electronics, Information and Communication Engineers.

# 統計的タイミング情報に基づく適応型テスト

Adaptive Test Based on Statistical Timing Information

新谷 道広<sup>1</sup>                      高橋 知之<sup>2</sup>                      植山 寛之<sup>2</sup>                      上 菌 巧<sup>2</sup>                      佐藤 高史<sup>2</sup>  
 Michihiro Shintani          Tomoyuki Takahashi          Hiroyuki Ueyama          Takumi Uezono          Takashi Sato  
    畠山 一実<sup>1</sup>                      相京 隆<sup>1</sup>                      益 一哉<sup>2</sup>  
    Kasumi Hatayama          Takashi Aikyo          Kazuya Masu

株式会社半導体理工学研究センター<sup>1</sup>  
 Semiconductor Technology Academic Research Center

東京工業大学 統合研究院<sup>2</sup>  
 Integrated Research Institute, Tokyo Institute of Technology

## 1 はじめに

LSIの微細化, 高速化に伴い, 製造時に発生するばらつきがパラメトリック不良の原因となっている[1]. パラメトリック不良を効率的にテストするには, クリティカルパスを精度良く抽出することが必須となるが, ばらつきの影響により, チップ毎にクリティカルパスは異なる. この課題を解決するために, 統計的タイミング情報を用いた適応型テストのフローを提案する. 提案フローでは統計的タイミング情報を用いるクリティカルパスのクラスタリング, 適応型テストにより, 高精度なディレイテストを行う. 実験にて, プロセスパラメータの変化に伴うパス遅延値の順位変動を調査し, 提案フローが高精度なクリティカルパステストに有効であることを示す.

## 2 提案テストフローの概要

提案フローは, チップ毎に異なるクリティカルパスを適切に選択しテストするために, パス毎の感度パラメータとチップ毎のプロセス特性を用いる点の特徴である. 一例として, 統計的タイミング解析(SSTA)から感度パラメータを抽出し, 予め埋め込んだセンサ回路からプロセス特性を取得するフローを図1に示す.

設計時にはまず, 感度パラメータを用いてクリティカルパスをクラスタリングし, クラスタ毎にテストパターン生成を行う. クラスタとは同じクリティカルパスを共有するパス群である. SSTAは次式でパス遅延値の計算を行う.

$$d = \mu_d + \sum S_{p_i} \cdot \Delta p_i + rnd \quad (1)$$

ここで,  $d$ はパスの遅延値,  $\mu_d$ は $d$ の平均値,  $\Delta p_i$ はばらつき変数,  $S_{p_i}$ は $p_i$ に対する感度パラメータである.  $rnd$ はランダムばらつきを示す. SSTAにより算出される感度パラメータを用いて, プロセス特性毎にパスをクラスタリングし, 全てのクラスタに対しテストパターンを生成する.

テスト時に, プロセス特性として, センサ回路から $\Delta V_{thn}, \Delta V_{thp}, \Delta L$ などのばらつき変数 $\Delta p_i$ を測定し, チップの特性を判定する. ここで,  $\Delta V_{thn}, \Delta V_{thp}, \Delta L$ は, nMOS, pMOSのしきい値と各トランジスタのゲート長の平均値からの差分を表す. この特性値を用いて, テストすべきクラスタを判断し, 対応するテストパターンを用いてテストを行う. 提案フローでチップ毎に最も適したクリティカルパステストを行うことができる.

## 3 実験結果

提案フローの実現可能性を検討するため, プロセスパラメータを変化させた場合のパスの遅延値の順位の変動

をSPICEシミュレーションにより調査した. 65-nmプロセスの論理セルをランダムに接続した1000パスを対象とした. 順位は, 遅延値が最大のパスを1位とした.

図2に,  $\Delta V_{thn}, \Delta V_{thp}, \Delta L$ が, それぞれ40 mV, 0 mV, 5.6 nmの時と, -40 mV, -40 mV, -5.6 nmの時のパス遅延値の変動を示す. 横軸にパスID番号を示し, 縦軸にパスの順位を示す. 図2中の線の長さは上記2条件の間での順位変動の大きさを示し, 長いほど順位変動が大きく, 短いほど順位変動が小さい. 図2では, 変動の大小はあるが, 96%のパスで変動が起きている. ある1条件でのクリティカル性, または全てのプロセスばらつきでのクリティカル性に基づいて全てのチップに同一のディレイテストを行う従来方式に対し, チップ毎にテストすべきパスを動的に変更することで, ディレイテストの精度向上が期待できることが分かる.

## 4 まとめ

本稿では, 統計的タイミング情報を用いた適応型テストフローを提案した. 提案フローは, チップ毎に適切なテストパス選択を行うため, 高精度なディレイテストが可能である. 実験結果にて, プロセスパラメータが変化すると, パスの遅延値の順位が変動することをシミュレーションにより示した. 高精度なディレイテストを行うために, 提案フローは有効である. 提案フロー実現のため, 有効なパスクラスタリング手法の考案が必須である.

## 参考文献

- [1] V. Zolotov, et al., "Statistical Path Selection for At-Speed Test" Proc of ICCAD pp.624-631, Nov, 2008.

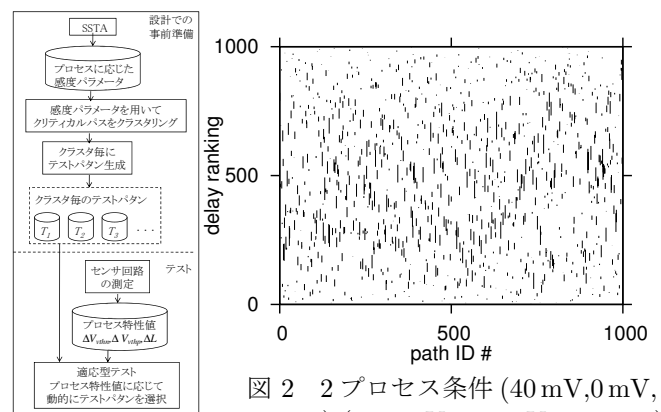


図1 提案するテストフロー

図2 2プロセス条件(40 mV, 0 mV, 5.6 nm)-(-40 mV, -40 mV, -5.6 nm)でのパスの順位変動