

論文 / 著書情報
Article / Book Information

題目(和文)	システムLSIにおける位相同期回路の高性能化に関する研究
Title(English)	
著者(和文)	道正志郎
Author(English)	
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第6253号, 授与年月日:2005年9月30日, 学位の種別:課程博士, 審査員:松澤昭
Citation(English)	Degree:Doctor of Engineering, Conferring organization: Tokyo Institute of Technology, Report number:甲第6253号, Conferred date:2005/9/30, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

システム LSI における位相同期回路の 高性能化に関する研究

2005年度

東京工業大学 大学院理工学研究科 電子物理工学専攻

道正 志郎

第1章. 序論.....	1
1-1. 研究の背景.....	1
1-2. システムLSIに用いられる位相同期回路.....	9
1-3. 位相同期回路の高性能化.....	11
1-4. 位相同期回路の統一アーキテクチャ.....	15
1-5. まとめ.....	17
参考文献.....	19
第2章. 位相同期回路の動作原理.....	22
2-1. PLLブロックとその構成.....	22
2-2. PLLの伝達関数.....	34
2-2-1. 入力位相変化対出力位相特性の計算：.....	35
2-2-2. 入力位相変化対位相誤差特性の計算：.....	37
2-2-3. 入力周波数変化対位相誤差特性の計算：.....	37
2-3. 3次ループおよび4次ループPLLの伝達関数最適化.....	38
2-3-1. 2次ループフィルタ最適化.....	39
2-3-2. 3次ループフィルタの最適化.....	41
能動型3次フィルタの最適化.....	42
受動型3次フィルタの最適化.....	44
2-3-3. ループバンド幅の最適化.....	49
2-4. PLLにおけるジッタ特性.....	52
2-5. まとめ.....	54
参考文献.....	55
第3章. フィルタの小面積化.....	56
3-1. 小面積フィルタ実現へのアプローチ.....	57
3-1-1. PLLフィルタの等価変換原理.....	57
3-1-2. 小面積PLLフィルタ手法(2CP方式).....	60
3-1-3. 小面積PLLフィルタ手法(SC方式).....	65
3-1-4. 小面積PLLフィルタにおける小面積化の限界.....	71
3-2. 小面積SCループフィルタ設計法.....	73
3-2-1. 2相SCフィルタの設計手法.....	73
3-2-2. SCフィルタの伝達特性の改善手法.....	80
3-3. 完全平滑3相SCループフィルタ.....	85
3-3-1. 3相SCループフィルタの効果.....	85
3-3-2. 解析的手法による完全平滑3相SCループフィルタの設計.....	87
3-4. PLL試作結果.....	93

3-5.	まとめ	98
	参考文献	99
第4章.	応答特性のアダプティブ化	100
4-1.	アダプティブバイアスの原理	100
4-2.	能動フィルタによるPLLのアダプティブバイアス化	103
4-3.	能動フィルタによるアダプティブバイアスPLL試作結果	112
4-4.	まとめ	115
	参考文献	116
第5章.	応答パラメータの自律制御法	117
5-1.	PLLのオンチップジッタ測定手法	118
5-1-1.	オンチップジッタ測定の原理	118
5-1-2.	ジッタ測定におけるノイズの影響	123
5-2.	PLLのジッタ最適化手法	125
5-2-1.	大域探索による最適化	125
5-2-2.	局所探索による最適化	127
5-3.	PLLへの自律制御法適用結果	129
5-4.	まとめ	136
	参考文献	137
第6章.	$\Delta\Sigma$変調分数分周シンセサイザにおけるループバンド幅自動可変	138
6-1.	ループバンド幅調整手法の原理	138
6-1-1.	VCOゲイン調整の原理	139
6-1-2.	フィルタ時定数の調整原理	141
6-1-3.	温度変動への対応	142
6-2.	$\Delta\Sigma$ 分数分周シンセサイザの設計	145
6-2-1.	ループフィルタが発生する位相ノイズの計算	146
6-2-2.	チャージポンプ回路が発生する位相ノイズ	148
6-2-3.	$\Delta\Sigma$ 分周器が発生する量子化位相ノイズ	151
6-3.	$\Delta\Sigma$ 変調分数分周シンセサイザの試作	152
6-3-1.	PLL回路仕様の決定	152
	入力信号周波数についての検討	153
	量子化器の次数に対する検討	155
	ループバンド幅に対する検討	155
	チャージポンプ回路とフィルタ部の設計	156
6-3-2.	シンセサイザ回路構成詳細	158
	VCO回路構成	159

VtoI変換器.....	1 5 9
ゲイン制御ブロック.....	1 6 4
時定数調整ブロック.....	1 6 5
温度補償回路.....	1 6 6
$\Delta\Sigma$ 変調器.....	1 6 8
デュアルモジュラスプリスケーラ.....	1 6 9
6-3-3. 試作結果.....	1 7 0
6-4. まとめ.....	1 7 7
参考文献.....	1 7 9
第7章. 高逡倍PLLでのクロック抽出法.....	1 8 1
7-1. クロック抽出用PLLの構成と動作原理.....	1 8 1
7-2. クロック抽出回路の高速化.....	1 8 7
7-2-1. 新位相比較方式の提案.....	1 8 7
7-2-2. 新周波数比較方式の提案.....	1 9 0
7-2-3. 新ジッタ検出方式の提案.....	1 9 4
7-2-4. LSI試作と評価結果.....	1 9 6
7-3. まとめ.....	2 0 0
参考文献.....	2 0 1
第8章. デジタル化および位相検出の高分解能化.....	2 0 3
8-1. デジタルPLLの構成.....	2 0 3
8-2. アナログPLLからデジタルPLLへの変換手法.....	2 0 9
8-2-1. 双一次z変換を利用する方法.....	2 0 9
8-2-2. SCフィルタからの変換方法.....	2 1 1
8-3. デジタルPLLを構成する回路の課題と対策.....	2 1 3
8-3-1. デジタル位相比較器.....	2 1 3
グリッジの消去手法.....	2 1 3
分周器の分周比が小さい場合の高分解能化.....	2 1 6
8-3-2. デジタル制御VCO.....	2 2 0
8-3-3. 周波数比較器.....	2 2 2
8-3-4. オフセット調整器.....	2 2 3
8-4. デジタルPLLのシミュレーション結果.....	2 2 4
8-5. 高精度位相発生技術.....	2 2 9
8-5-1. 差動回路による位相補間方式.....	2 2 9
8-5-2. VCOによる位相補間方式.....	2 3 1
8-6. 新方式VCO位相補間手法.....	2 3 3
8-7. シミュレーション結果.....	2 4 4

8-8. VCO試作結果	2 4 8
8-9. のまとめ	2 5 2
参考文献	2 5 4
第9章. 結論	2 5 5
第10章. 研究業績一覧	2 6 1
10-1. 発表論文	2 6 1
10-2. 国際学会発表	2 6 2
10-3. 国内学会発表	2 6 3
10-4. 主要出願特許	2 6 4
謝辞	2 6 5

第1章. 序論

1-1. 研究の背景

位相同期回路(Phase-Locked-Loop:PLL)の歴史は古く、1932年にはBellescizeによってその概念が発表されている [1]。しかし、位相同期回路が一般に多用されるようになったのは、テレビ画像の垂直および水平同期に用いられるようになってからである。1970年には、周波数を逡倍するというPLLの基本概念を含む特許が出願されている [2]。

位相同期回路は、その後急速に応用範囲を拡大し、今日ではほとんどの電子回路を含むシステムに欠かせない重要な回路となっている。以下に、その応用範囲を幾つかを挙げると、

1. コンピュータのプロセッサの超高速クロック発生回路
2. 通信システムにおける周波数シンセサイザ回路
3. テレビシステムでの画像同期信号生成回路
4. 光ディスクや高速インターフェース等でのデータおよびクロック再生回路
5. モータ等の回転体の速度制御回路

などがある。

一方、電子回路を含むシステムは、トランジスタの発明によって小型化された。続いて、テキサスインスツルメント社のJack S. Kilbyやインテル社を創業したRobert Noyceによって集積回路(Integrated Circuits : IC)が生み出され、さらにシステムは小型化された [3-5]。また、Gordon Mooreによって、“ムーアの法則”と呼ばれる集積回路のスケーリング則が提唱され、ICの高密度集積化の指標が確立された [6]。このスケーリング則により、ICから大規模集積回路(Large Scale Integrated Circuits : LSI)への発展が約束された。近年に至るまで、LSIは、ほぼ“ムーアの法則”に従い、4年で3倍から4倍の高密度集積化が達成されてきたことは驚異的である(図 1-1- 1 参照)。LSIの集積度は年 58%、10年で100倍という驚異的な速度で向上した。現在では、億を超えるトランジスタを集積したシステムLSIも珍しくはない。

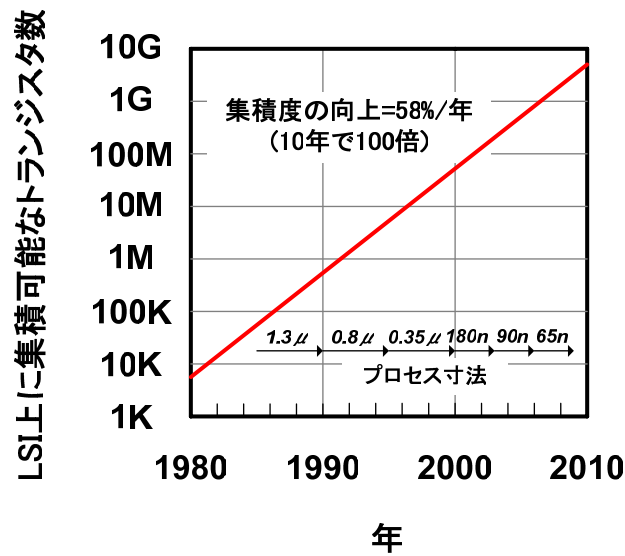


図 1-1- 1 LSI の集積度の向上と LSI プロセス寸法

これら、LSIは、大別して、3種類に分類されると考えられる。すなわち、コンピュータの心臓部であるプロセッサ、記憶部であるメモリ、そして、最後にシステムLSIである。プロセッサが高速演算を迫及し、メモリが高密度記録を迫及するというシンプルな目的を持つのに対し、システムLSIは、いわゆる何でもありであり、高機能集積を目的としている。すなわち、センサやヒューマンインターフェースの部分から、無線および有線での通信インターフェースまで備えている。すなわち、一つのLSIでどんな信号処理や機能でもこなえてしまおうというのが究極の目標である。その結果、究極のコストダウンと低消費電力化を達成しようというのが、基本の理念となる。システムLSIの成功例は、携帯無線等の無線システム用LSIや、光ディスク用のLSIに見ることができる [7]。

例えば、初期の携帯無線システムは、1980年後半で、容積約1Lサイズであったが、1992年には、150ccクラスのものが出現し、現在では100ccを切るものが容易に開発されるようになっている。

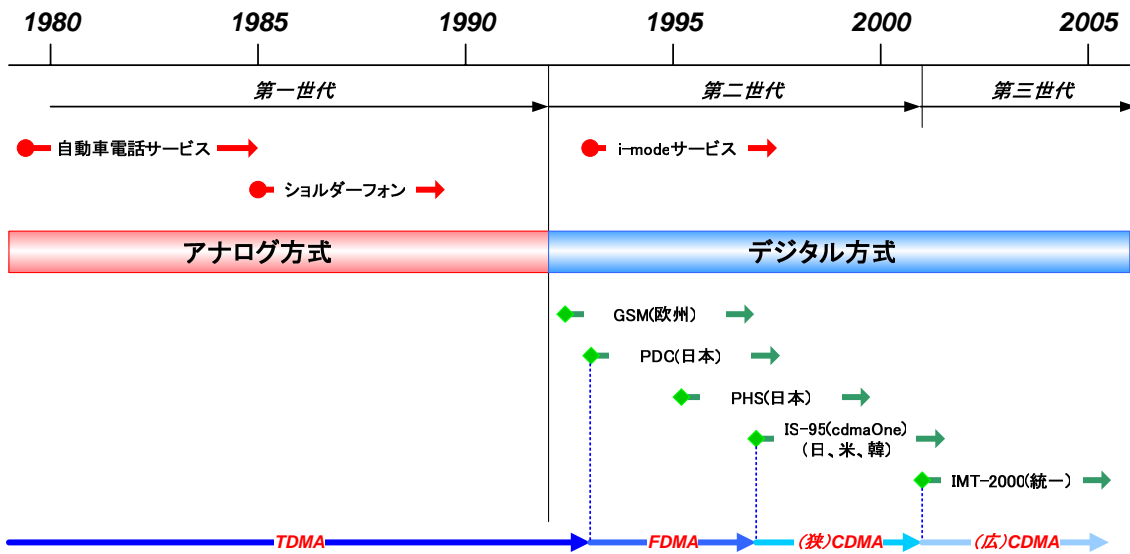


図 1-1-2 携帯無線方式の発展

図 1-1-2 に携帯無線方式の発展をまとめる [8]。携帯無線は第一世代として、アナログ方式の自動車電話サービスが 1978 年にスタートした。第二世代となるとデジタル方式の変調方式が採用され、欧州では GSM 変調方式が 1992 年に、日本では 1993 年に、 $\pi/4$ シフト QPSK を採用した PDC 方式が普及し始め、ほぼ同時に i-mode サービス等がスタートしている。一方、基地局と利用者を結ぶ多元接続方式としては、TDMA (Time-Division Multiple-Access) 方式から、FDMA (Frequency-Division Multiple-Access) 方式に変化し、さらに現在では、CDMA (Code-Division Multiple-Access) 方式が主流となってきている。CDMA 方式でもスペクトルの拡散する帯域幅は、cdmaOne では比較的狭帯域であったものが、全世界の統一方式である IMT-2000 では、さらに広帯域化されている。

システム LSI は、このように電子機器の非常な高性能化をもたらした。しかし、システム LSI では、アナログとデジタルの両方、および混載された信号処理を行う必要があり、メモリ、プロセッサも内蔵していることから、その設計において、問題点も数多く含んでいる。

システム LSI における最も大きな課題は、アナログ回路設計である [9]。なぜならば、アナログ回路には LSI の高性能化の基本則であるスケールリング則が、適用できないからである。すなわち、プロセス微細化が、アナログ回路の高性能化にはほとんど寄与しない。逆に電源電圧の低下、リーク電流の増加、相対精度の劣化等の現象により、アナログ回路の性能を劣化させる恐れまで懸念される。

従って、アナログ回路を含む信号処理ブロックは、微細化とは別の施策により高性能化される必要がある。また、フィルタ処理を含むアナログ回路、および精度の必要なブロックを含むアナログ回路は、それぞれ、フィルタの時定数や、素子の相対精度によって

回路面積が決定されるため、プロセス微細化によっても回路面積を縮小できないという問題点がある。

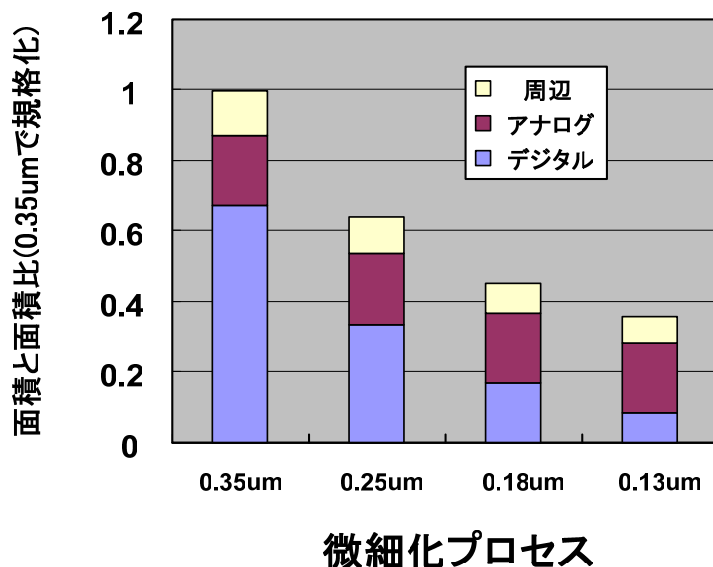


図 1-1-3 微細化プロセスとシステム LSI の回路構成割合

図 1-1-3 に、あるシステム LSI に微細化プロセスを応用した場合の、LSI の回路構成割合を示す。0.35um CMOS プロセスを用いた場合には、アナログ回路の割合は 20% 前後であるが、0.13um CMOS プロセスを用いた場合には、50% 前後の割合となる。すなわち、アナログ回路の小面積化を考えない場合には、システム LSI は微細化による恩恵を得られないという結果をもたらす。

PLL はそれ自体が、アナログ信号とデジタル信号を扱うアナデジ混載の信号処理回路であり、位相信号に対して低域通過フィルタ特性を示す。すなわち、上述したアナログ回路の特性を備えており、高性能化には微細化以外の手法を用いる必要がある。

また、PLL は、システム LSI 上でも、幅広く使用される。アナログ信号処理では、無線通信用の周波数シンセサイザとして用いられ、光ディスクシステムでは、ディスクから読み出された信号の再生回路として用いられ、プロセッサの同期クロック生成や、異種システム間の同期にも用いられる。すなわち、PLL はシステム LSI 上で、全ての機能ブロックの性能に関与する。また、アナログ信号処理を含んでいるにもかかわらずデジタル回路中でも多用される運命にある。すなわち、デジタル環境の中での高性能化という難しい課題を克服する必要がある。つまり、システム LSI 中で最も重要な回路であり、さらに高性能化が難しい回路である。従って、この PLL の高性能化に取り組む意義は非常に大きい。

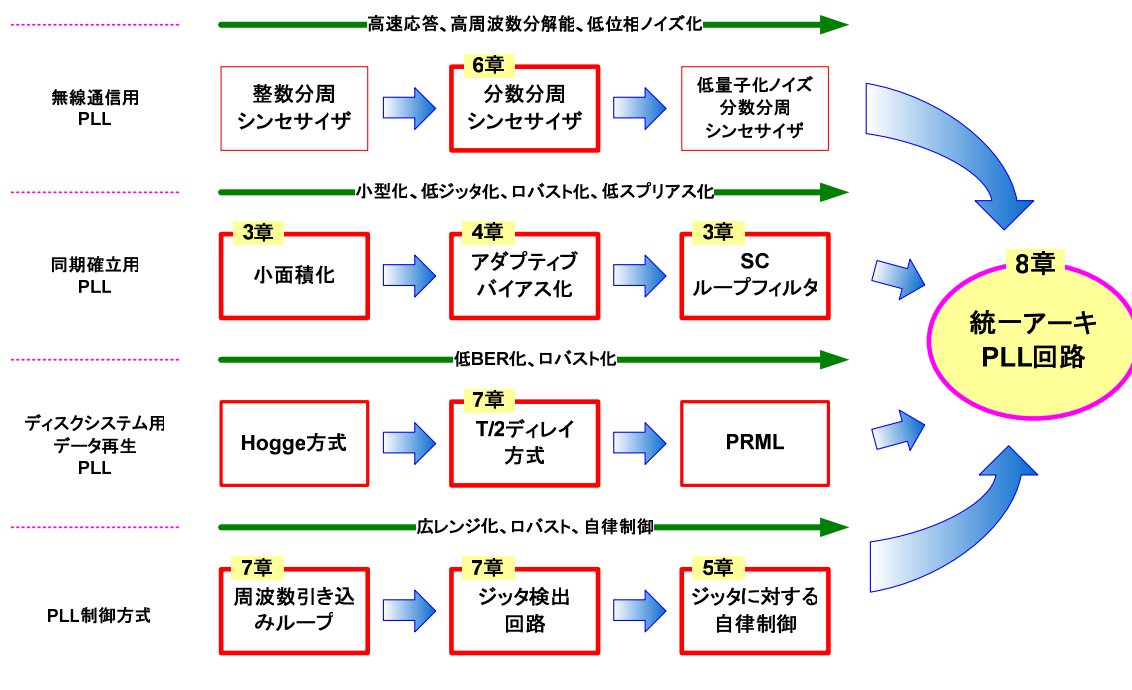


図 1-1-4 PLL の分類および高性能化の傾向と本論文の章立ての関係

本論文の主目的は、システム LSI 中に使用される PLL の高性能化課題を、分類整理し、課題に対する効果的な解決策を与えることにある。

そこで、本論文では、図 1-1-4 に示すように、システム LSI で使用される PLL を、無線通信用 PLL、同期確立用 PLL、ディスクシステム用データ再生 PLL と分類し、それぞれの回路形式の高性能化に取り組み、幾つかの新規 PLL 回路およびその設計手法を提案し、その効果を回路試作と評価によって実証している。また、回路形式だけでなく、PLL の制御手法の高性能化に関しても幾つかの制御手法を提案、回路試作し、その効果を実証している。それぞれの取り組みに対しては、図 1-1-4 に示すように、各章にて詳述するが、ここでは、各章の内容を端的に紹介したい。

通信に用いられる周波数シンセサイザでは、利用者数を拡大するために、できるだけ細かい周波数変化を高速で実現する必要がある。もちろん、位相ノイズ特性は一定レベル以下を達成する必要がある。PLL の周波数ステップの細かさと、周波数応答の速さはトレードオフの関係があり、これらを克服するために $\Delta \Sigma$ 変調分周器を用いた分数分周シンセサイザが開発されている [10]。しかし、システム LSI 上では、圧膜配線などの特殊プロセスは、コストアップにつながるため、使用することができない。そのため、圧膜配線が必要な、低位相ノイズ特性を持った LC 発振回路を構成することができない。従って、位相ノイズ特性に劣るインバータチェーン発振回路などを用いて、通信システムに適する PLL を製作できる技術を、新たに開発する必要がある。本論文では、第 6 章において、新規の PLL ループバンド幅制御方式を提案し、位相ノイズ特性を最小化したシンセサイザを実現

した。

次に、システム LSI 中で用いられる同期確立用 PLL では、システムクロックのデスキュー対策のため、数多くの PLL がシステム LSI 中で用いられることが予想される。

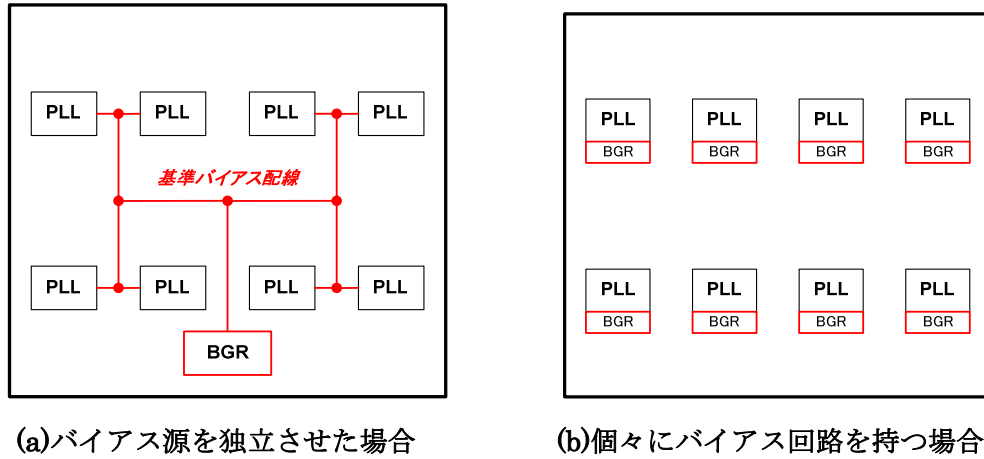


図 1-1-5 デスキューシステムに不適切な PLL 回路の使用例

例えば、図 1-1-5(a)に示すように、バイアス源を独立させて個々のPLL回路にバイアス電圧を供給したりすれば、バイアス配線にデジタル回路からのクロストークが重畳されやすく、PLLのジッタ増加の原因となる。また、図(b)に示すように、PLL個々に基準バイアス源を持つ方法では、回路規模の増大を招いてしまう。この場合の最適な方法は、図 1-1-6 に示すように、PLLをアダプティブバイアス化し、基準バイアス源が不要な構成とすることである [11]。

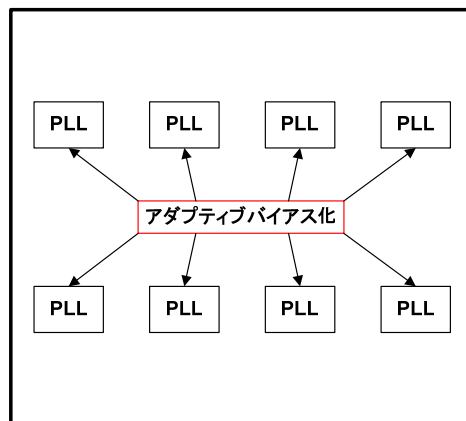
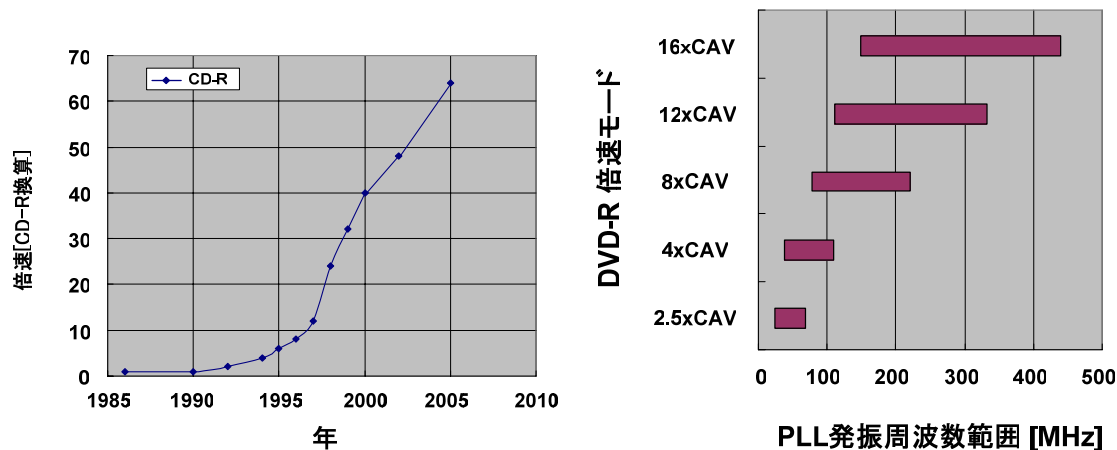


図 1-1-6 プロセッサに適切な PLL 回路の構成例

本論文では、第 3 章および第 4 章において、PLLの小型化とアダプティブバイアス化に対する取り組みを扱っている。具体的には、幾つかの新規PLL小面積化回路、および新規アダプティブバイアスPLLを提案し、その設計法を提案し、PLLの回路規模を従来

の 1/2 から 1/5 に縮小している。PLL回路は実際に試作と評価を行いその効果を実証している。

光ディスクの信号再生システムも、急速な高性能化を要求される分野である。



(a)光ディスクの再生速度の変遷

(b)動作モードと PLL 発振周波数範囲

図 1-1- 7 光ディスクの再生速度の変遷とその動作モードと PLL 発振周波数の関係

図 1-1- 7(a)に、光ディスクの再生速度の変遷を示し、図(b)に光ディスクの動作モードとPLL発振周波数の関係を示す。1985年に登場した光ディスクは、2000年には、登場時の40倍の動作速度となり、現在では、CDの64倍の動作速度(DVDで16倍速)を実現している。

光ディスクでは、ディスクの内外周で、データの読み出し速度が異なるため、PLLの発振周波数を3.4倍程度の範囲で可変にする必要がある。従って、データの読み出し速度に応じてPLLのバンド幅が最適になるように制御しなければならない。従って、前述したアダプティブバイアス化が有効である。また、データ再生PLLでは、位相周波数比較器が使用できないため、周波数の引き込みレンジの安定化と拡大も必要である。本論文では、光ディスク用データ再生PLLに対し、新規の位相比較方式、周波数引き込み回路、ジッタ検出回路等を提案し、回路試作と評価によりその効果を実証し、光ディスク用データ再生PLLの高性能化を達成している。

システムLSIに組み込まれたことにより、PLLやその他アナログ回路は、アナログ回路の側面を持つことが非常にデメリットをもたらした。しかし、逆に考えれば、システムLSI中では、デジタル回路は使い放題であるわけである。従って、デジタル制御を利用してアナログ回路の性能を維持、あるいは高性能化するという考えは、システムLSIに搭載されるアナログ回路の、高性能化の方針としては、理にかなったものである。

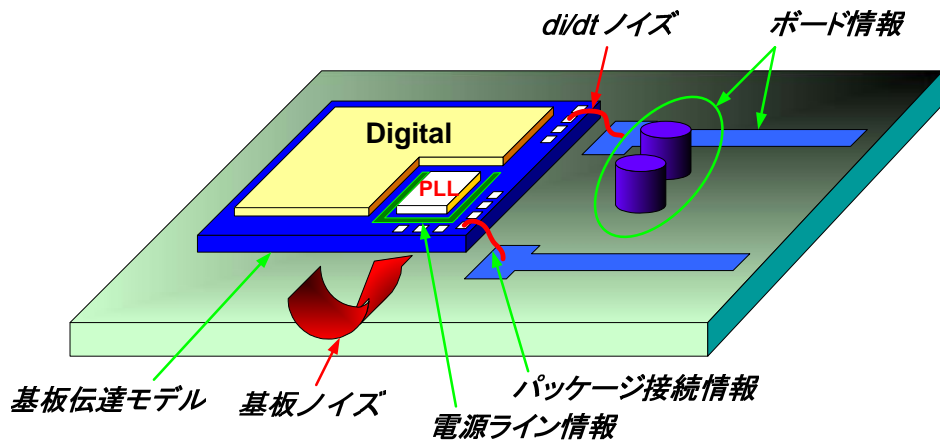


図 1-1-8 システム LSI 中の PLL が受けるノイズとノイズ解析に必要な情報

また、デジタル制御を行うことにより、従来では不可能であったあらたな PLL の高性能化への道が開拓される。その例は、ノイズが PLL に及ぼす影響を最小化可能なシステムの開発である。

図 1-1-8 にシステム LSI 中の PLL が受けるノイズの影響と、その解析に必要な情報を示す。システム LSI では、PLL は大規模なデジタル回路と混載されるため、電源ラインや基板を通してデジタルノイズの影響を受ける。これら、基板ノイズあるいは電源ノイズの解析には、基板のノイズ伝達モデル、電源ラインのインピーダンス情報、パッケージの接続情報、ボードのインピーダンス情報等が必要となる。これらの正確な情報を、システム LSI の設計前に入手するのは、現実的にはかなり難しい。従って、PLL は、システム LSI に組み込まれた後に、不慮のノイズからの影響を受ける可能性がある。また、現在の PLL は、温度変化や、経年劣化等の影響に対して、最適な特性を示すようには、設計されていないことも事実である。従って、本論文では、第 5 章に示すように、PLL の位相ジッタを検出し、PLL の応答パラメータを適宜制御して、常に最適なジッタ特性を PLL に与える自律制御手法を提案し、実験によってその効果を明らかにしている。

最後に、本論文では、位相比較器とループフィルタのデジタル化、および VCO のデジタル制御化によって、先に挙げたシステム LSI に用いられる PLL 回路が統合される場合を推定し、その場合に生じる課題に対する幾つかの解決策を提案している [12]。また、PLL のデジタル化の最大の課題が、VCO の発生する位相解像度の高分解能化であることから、VCO 出力位相の高分解能化にも取り組み、新規回路を提案および試作し、その効果を実証している。

すなわち、本論文では、システム LSI 中に用いられる 3 種類の PLL 回路に対し、新規回路とその設計手法をそれぞれに提案し、高性能化の効果を LSI 試作と評価によって実証している。また、次世代の PLL 回路候補であるデジタル位相比較器とデジタルループフィルタを持つ PLL では、VCO 位相分解能の向上が高性能化のキーポイントである。

本研究では、高分解能化に対する取り組みとして、新規の高位相分解能を発生する VCO 回路を提案しその効果を実証している。

1-2. システム LSI に用いられる位相同期回路

システム LSI 用位相同期回路の高性能化に取り組むために本節では、システム LSI に用いられる位相同期回路の分類と、システム LSI に位相同期回路を用いる場合に要求される性能を分類する。さらに、分類された要求性能の中から、各位相同期回路に共通するものを抽出する。本論文では、各位相同期回路において、共通して、性能向上が要求される特性について、その性能向上の具体的手法を論じていく。また、位相同期回路が、システム LSI 中で、最終的にどのような回路構成で実現されることが望ましいかを論じ、現在の PLL の発展系として幾つかの PLL の構成を提案している。

システム LSI に用いられる位相同期回路の種類と、それらに要求される高性能化仕様を 図 1-2-1 に示す。

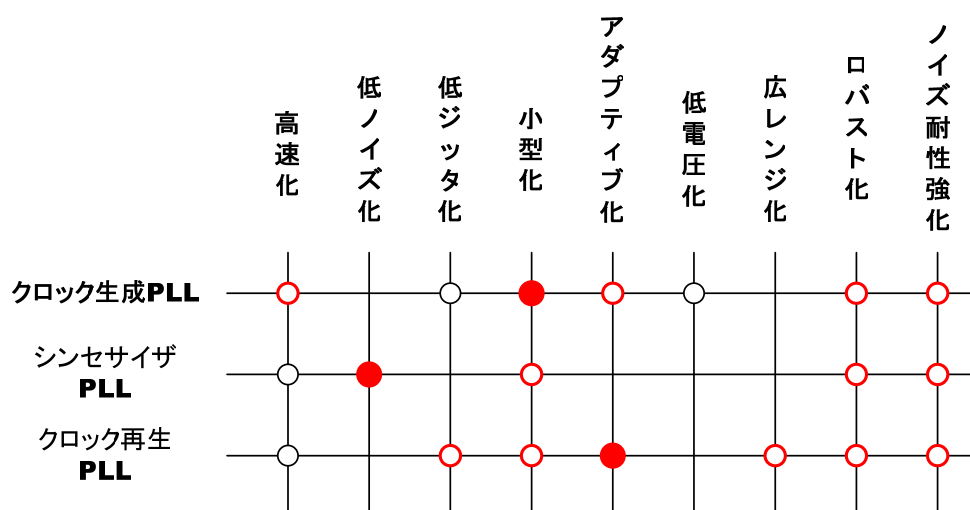


図 1-2-1 システム LSI に用いられる位相同期回路と要求される高性能化仕様

図 1-2-1 に示すように、システム LSI に用いられる位相同期回路は、大きく 3 種類に分類される。すなわち、クロック生成 PLL、シンセサイザ PLL および クロック再生 PLL である。これら PLL は、応用分野と要求される性能が大きくことなるため、通常は PLL であっても、同じ回路形式で実現されることはない。

システム LSI 用位相同期回路の種類と、それらに要求される仕様について、以下に簡単に説明する。

{クロック生成用 PLL}

システムLSIでは、内部ロジック回路を駆動するために、高速クロックを必要とする。ボード上で、高速クロックを伝達することは、消費電力や配線によるクロック信号の反射の影響が大きいことから、避けるべき事項である。従って、ボード上から低速クロックを入力して内部で高速クロックを生成するための、クロック生成用PLLが必須となる。クロック生成用PLLに要求される高性能化事項は、第一にロジック回路のセットアップホールドマージンをできるだけ大きく確保するための低ジッタの実現である [13]。また、クロック生成用PLLは、システムLSI中に多数用いられることが多いため、チップコストの増加要因となりやすく、小型化の要望は非常に強い。さらに、安定した性能発揮のため、プロセス変動や、温度変動に対するロバスト性の向上が必要である。加えて、システムLSIではデジタルノイズの影響が大きいので、ノイズ環境下でも、安定したジッタ性能を発揮できることが望ましい。そこで、入力信号周波数が変化しても、ループバンド幅と入力信号周波数の比、およびダンピングファクタが一定となるアダプティブ化されたPLLが必要となる。PLLをアダプティブ化することにより、PLLは自己バイアス駆動にできる [14]。従って、バイアス回路が不要となり、チップ内部を、アナログ信号線が縦断することがなくなる。従って、アダプティブバイアス技術は、デジタルリッチなLSI、すなわち大規模プロセッサ等のクロック生成や同期技術には不可欠な技術と言える。

{シンセサイザ PLL}

近年、システムLSI上に無線通信技術が集積されるようになってきている。そこで、信号の周波数変復調のために、シンセサイザPLLをLSI上に集積することが多くなってきている [15-17]。シンセサイザPLLに要求される仕様は、第一に、周波数変復調の際に近接チャネルとの混信を避けるために位相ノイズの少ない、できるだけ純粋な周波数発振を行うことである。また、通信帯域が広帯域化されるに従い、高速な周波数スイッチングに対応するための応答速度の向上も、必須の課題である。加えて、ロバスト化やノイズ耐性の強化、小型化等の要求も強い。

{クロック再生 PLL}

光ディスクや高速I/F等から、データを再生する際には、クロック再生PLL回路を用いる必要がある [18-20]。クロック再生用に用いられるPLLは、位相比較器の動作や構造が、先に挙げた、クロック生成PLLやシンセサイザPLLに用いられる位相周波数比較器と大きく異なり、純粋に位相情報のみを比較する位相比較器を用いる必要がある。従って、前記2つのPLLに比べて、クロック再生PLLは、引き込み範囲が相対的に狭いため引き込みレンジの拡大を図る必要がある。また、多少ノイズが重畳された入力であっても、クロ

ックを確実に再生する必要があり、ビットエラーレートの向上が最大の目的となる。そのために低ジッタ化、ロバスト化、ノイズ耐性の強化が必要である。さらにコスト削減のために小型化が常に求められている。

1-3. 位相同期回路の高性能化

図 1-2-1 に示した、システムLSI用位相同期回路に要求される共通仕様を抜き出すと、まず小型化の要求が共通していることがわかる。従って、本論文では、最初にPLLの小型化に対する取り組みを述べる。さらに、小型化と平行して、入力信号周波数が増加しても、応答性能を一定に保つことのできるアダプティブバイアスPLLへの取り組みを述べる [14]。

本論文では、PLLのアダプティブ化と、小型化を実現するための回路構成として、2種類のフィルタ形式を論じている。そのうち、従来のスイッチトキャパシタ型フィルタを用いたものでは、フィルタの伝達関数が、純粋なアナログ形式のフィルタと異なるために、ジッタ性能を悪化させる [21-22]。従って、その影響を解析して緩和手法を提案する。また、新方式の3相SC回路を用いた新しいループフィルタ回路を提案しその設計手法に関しても議論を行う。

図 1-3-1 に本論文でのPLLの高性能化のための技術アプローチの流れを示す。

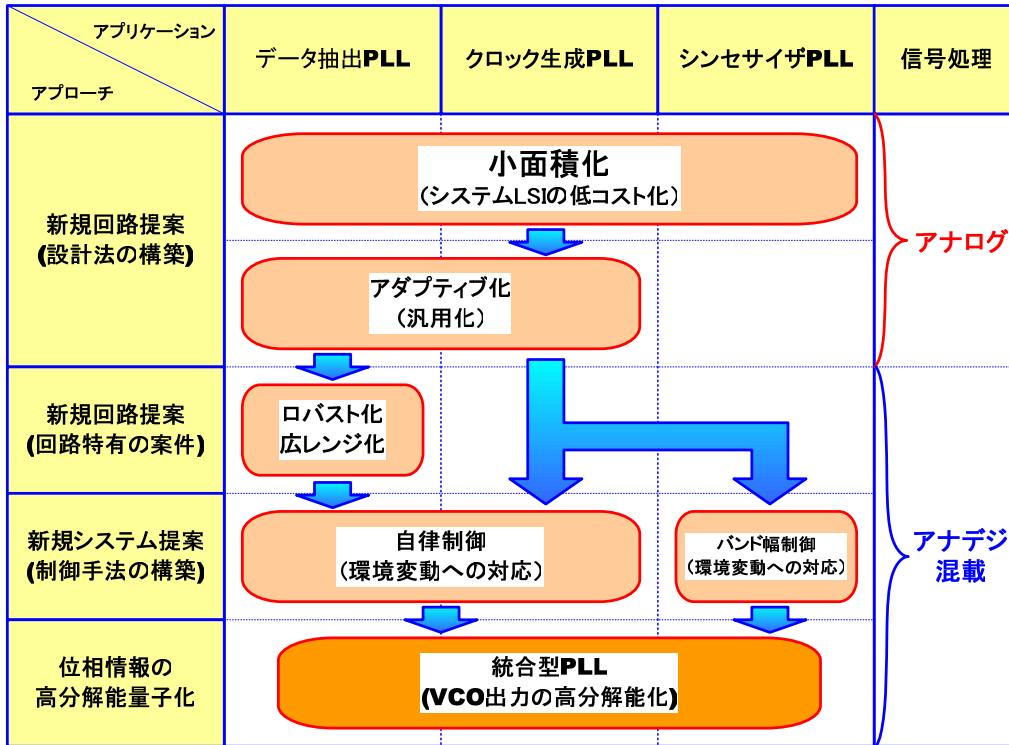


図 1-3-1 本論文での PLL の高性能化のための技術アプローチの流れ

PLLの小面積化とアダプティブバイアス化はアナログ回路を用いた性能向上手法である。一方、システムLSI用のPLLの高性能化手法には、デジタル回路を用いた高性能化手法も考えられる。すなわち、システムLSIにPLL回路を搭載することによる唯一の利点は、デジタル回路が豊富に使用できる点にある。このデジタル回路を利用してPLLの高性能化を実施するアプローチ手法である。図 1-3-2 に、システムLSIにアナログ回路を搭載した場合の、システムとしての発達の歴史を示す。

システムLSI中のアナログ回路構成	アナデジ混載	アナデジフィードバック	アナデジサブシステム
効果	素子ばらつき補償 温度、電圧変動補償	S/N比の向上 BER の向上	常時最高性能発揮 設計マージン最小化
精度	素子相対精度	デジタル回路の 検出精度	デジタル回路の 検出精度
制御理論	古典制御	現代制御	現代制御
信号処理	線形信号処理と 周波数シフト等	非線形信号処理	非線形信号処理
システム例	CMOSフィルタの Master-Slave制御	PRML	パイプラインADCの デジタル補正システム

図 1-3-2 システム LSI 上のアナデジ回路の発達の歴史

システムLSIに搭載されたアナログ回路は、当初は単にデジタル回路中にアナログ回路が埋め込まれただけのもので、その制御手法もCMOSフィルタのMaster-Slave制御に見られるような、アナログ回路がアナログ回路を制御する古典的な制御方式を採用するものが大半であった [23]。次に登場したのは、光ディスクやハードディスクからの信号再生に利用されるPRMLシステムに見られるように、フロントエンドはアナログ回路で構成され、AD変換器によってデジタル信号に変換された位相信号から、位相情報等を抽出して、アナログ回路にフィードバックするアナデジフィードバック方式である [7,24]。この方式の登場により、制御方式には現代制御理論が採用できるようになった。さらに、非線形信号処理等も容易に行えるようになり、アナログ回路の調整精度もデジタル回路、すなわちAD変換器の検出精度まで向上された。最近では、デジタル回路をアナログ回路の制御に積極的に応用すべく、アナログ回路の状態を逐次検出し、常に最適の状態に保って制御するバックグラウンド制御方式が、パイプラインADCの自動補正制御などに応用され始めている [25-26]。位相同期回路の高性能化も、このような流れに沿って行われることが好ましい。すなわち、デジタル回路との混載を、単にデジタルノイズが増加し、アナログ特性に悪影響を与えると、マイナスに考えるのではなく、積極的にデジタル制御を活用して、位相同期回路の高性能化に役立てることが必要である。

本論文ではこのような方針から、論文の後半では、積極的にデジタル回路を応用することによる位相同期回路の高性能化について論じる。まず、最初はデータ抽出回路の新規位相比較方式を提案し、回路性能のロバスト化を行っている。さらに、新規の周波数

引き込み方式を提案し、周波数引き込みレンジの大幅な向上を達成している。次に、データ抽出 PLL および、クロック生成 PLL 用の位相同期回路のバックグラウンド制御方式を提案し、与えられた環境下で常に最小のジッタで動作する、位相同期回路の制御システムを実現している。また、周波数シンセサイザの高性能化のアプローチとしては、デジタル制御とアナログ制御を応用したバンド幅制御方式を提案し、周波数シンセサイザの位相特性を安定させることにより、位相ノイズ特性の向上を実現している。これらの制御方式を実現することにより、いかなる効果が達成されるかを以下に述べる。

現在のシステム LSI に用いられるアナログ回路は、非常に短期的な開発が求められている。また、最先端微細プロセスでの設計となると、アナログ回路設計に必須な、トランジスタの相対ばらつき等のデータも、十分に得られるわけではない。さらに、トランジスタ特性の経時変化にいたっては、全く情報の無い中で設計を行う必要がある。このような環境化でも、高性能で、かつ十分に民生機器としての使用と生産に耐えうる低故障率のアナログ回路を、迅速に提供することが設計者に求められている。

従って、プロセス依存性が少なく、容易にプロセス展開が可能であり、さらにロバスト性を向上させ、不測の使用環境の変化にも自律的に対応して、最適性能を発揮するような回路を実現することが求められる。本論文はまさに、このようなアナログ回路の一例として位相同期回路を扱い、その高性能化について論じているわけである。

1-4. 位相同期回路の統一アーキテクチャ

PLL回路は、1-2節で述べたように、大別して3種類に分類され、そのアーキテクチャも3者で大きく異なる。PLLのアーキテクチャを統一することは、設計の簡単化、設計資産の再利用を促進することができ、システムLSI設計に大きく貢献する。

PLLのアーキテクチャを統一する条件は、これまでのPLLの高性能化のアプローチも、統一アーキテクチャ上で容易に実現できることである。すなわち、アダプティブバイアス化、小面積化、自律制御等の機能が実現できなければならない。

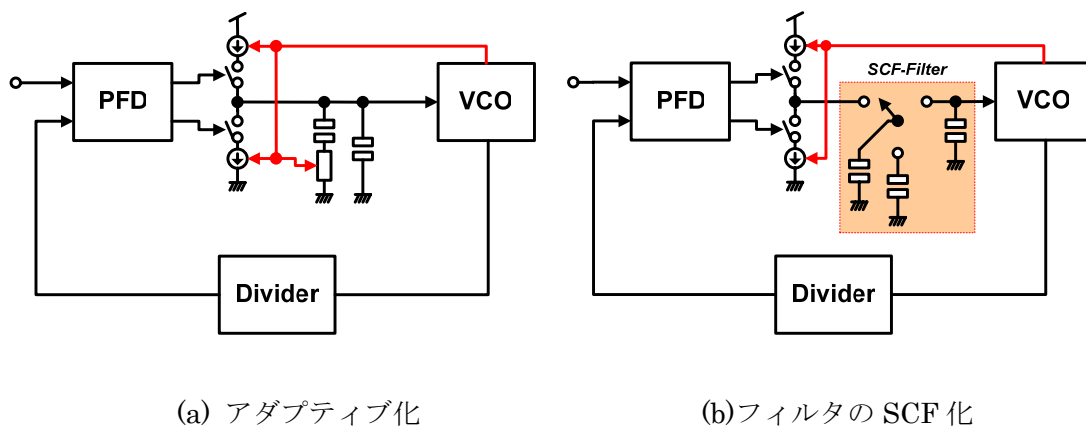


図 1-4- 1 PLL のアーキテクチャの進歩

図 1-4- 1 にPLLのアーキテクチャの第一段階の進歩を示す。図 1-4- 1(a)に示すように、PLLでは、VCOのバイアス電流値によって、チャージポンプのバイアス電流、およびフィルタの抵抗値を調整することにより、PLLのループバンド幅と入力信号周波数の比、および応答ダンピング特性を一定とすることが可能となる。フィルタは、さらに図 1-4- 1(b)に示すように、スイッチトキャパシタフィルタとすることにより、チャージポンプ電流の値に比例してフィルタ面積を削減することが可能となり、フィルタの小面積化を達成することができる。スイッチトキャパシタフィルタの駆動クロック周期を、入力信号周期と一致させれば、フィルタのカットオフ周波数は、入力信号周波数に比例するので、PLLのアダプティブ化が同時に実現される。また、この場合にアダプティブ化の範囲は、図 1-4- 1(a)に示したものより一般的に広範囲となる。

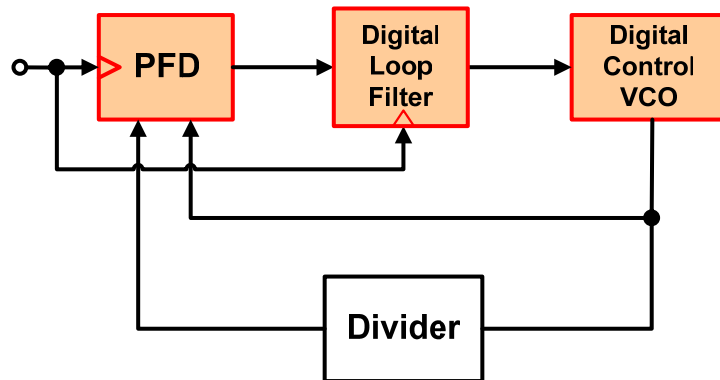


図 1-4-2 デジタル化された PLL のアーキテクチャ

図 1-4-1 (b)では、PLLのフィルタがスイッチトキャパシタ回路によって実現されたが、これは離散フィルタであるので、原理的に、デジタルフィルタに置換することが可能である。図 1-4-2 に、ループフィルタをデジタル化した場合のPLLのアーキテクチャを示す。

位相比較器は、多ビットのデジタル出力が可能である必要があり、VCO もデジタルコードで制御する必要がある。従って、新規回路技術の開発が必要である。PLL がデジタル化された場合の利点を以下にまとめる。

1. PLL のアダプティブバイアス化が可能
2. フィルタへの基板ノイズ、電源ノイズの影響を排除可能
3. 非線形制御が容易に可能
4. クロック抽出とクロック生成 PLL のアーキテクチャを統一可能
5. デジタル化により、論理合成ツールによる設計が可能
6. デジタル回路の微細化に伴い回路規模も同時に縮小可能
(スケーリング則の適用が可能)

これらの利点を得る代わりに、位相比較器や VCO において量子化ノイズが発生する。しかし、量子化ノイズは事前にその量を把握できるため、取り扱いが容易であり、PLL としても、設計が容易になると考えられる。

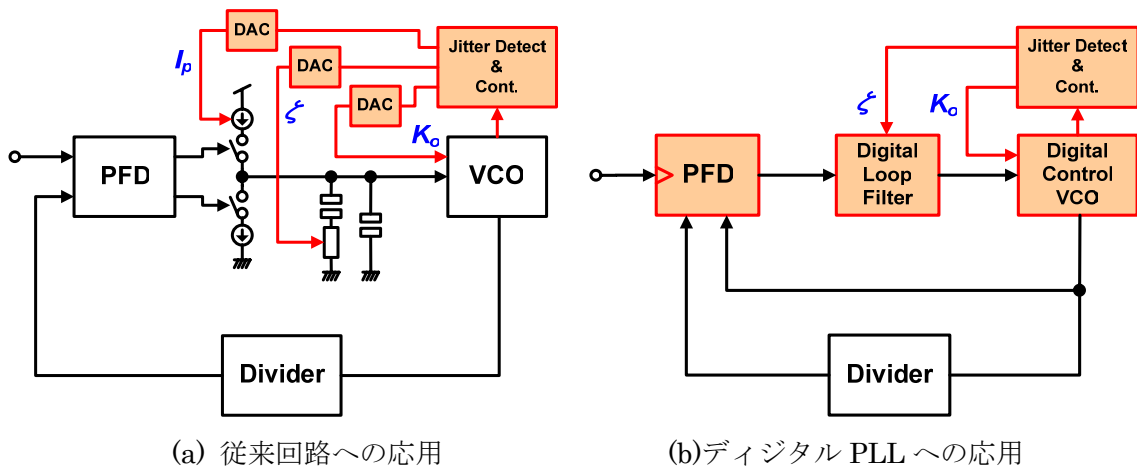


図 1-4-3 自律制御システムの PLL への応用

デジタルPLLは、デジタル制御であるので、図 1-4-3 (a)に示すように自律制御システムの応用も容易である。すなわち、従来回路に自律制御システムを応用しようとした場合、複数のDA変換器等を用意する必要がある。図 1-4-3 (b)に示すように、PLLをデジタル化した場合には、DA変換器等を必要とせず、直接デジタル制御が可能であるため、回路規模が削減できる。

以上、概説したように、位相同期回路の統一されたアーキテクチャとしては、デジタルPLLが有力な候補である。本論文では、第8章で、デジタルPLLの基本構成、回路性能の解析、新規位相比較器のアーキテクチャについて論じる。デジタルPLLのアーキテクチャはすでに、さまざまな回路が提案されている。しかしながら、デジタルPLLの高性能化に最も有効な手段は、VCO回路から出力される位相を高分解能化することにある。従って、第8章においてさらに、デジタルPLLに応用可能な、高精度位相出力が可能なVCO回路の開発について、特に論じている。

1-5. まとめ

以上、本章では、システムLSI用位相同期回路の高性能化への取り組みの概要を述べた。はじめに、システムLSIに用いられる位相同期回路の種類と、それらに要求される高性能化項目を抽出することにより、本論文で取り上げるべき高性能化項目を明らかにした。

すなわち、

1. フィルタの小面積化 (第3章)

2. 応答特性のアダプティブバイアス化 (第4章)
3. 応答パラメータの自律制御 (第5章)
4. ループバンド幅制御 (第6章)
5. ロバスト化 (第7章)
6. デジタル化および位相検出の高分解能化 (第8章)

等である。

以上の項目に関する取り組みは、上述した本論文の各章にて、詳述する。

参考文献

- [1] H. de Bellescize, "La Reception Synchrone," *Onde. Electr.*, vol. 11, pp. 230 - 240, Jun. 1932.
- [2] R. B. Sepe, and R. I. Johnston, "Frequency Multiplier and Frequency Waveform Generator," U. S. Patent No. 3,551,826, Dec. 1970.
- [3] J. Kilby, "Miniaturized Electronic Circuits," U. S. Patent No. 3,138,743, Feb. 1959.
- [4] "単一結晶の半導体薄板、能動回路素子、受動回路素子からなる半導体装置," 日本特許第 320,249 号あるいは日本特許第 320,275 号.
- [5] R. S. Noyce, "Semiconductor Device-and-Lead Structure," U. S. Patent No. 2,981,877, Jul. 1959.
- [6] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics Magazine*, Apr. 1965.
- [7] K. Okamoto, T. Morie, A. Yamamoto, K. Nagano, K. Sushihara, H. Nakahira, R. Horibe, K. Aida, T. Takahashi, M. Ochiai, A. Soneda, T. Kakiage, T. Iwasaki, T. Taniuchi, T. Shibata, T. Ochi, M. Takiguchi, T. Yamamoto, T. Seike, and A. Matsuzawa, "A Fully-Integrated 0.13um CMOS Mixed-Signal SoC for DVD Player Applications," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1981 - 1991, Nov. 2003.
- [8] 木村 克治, 携帯無線端末の CMOS 化のためのアナログ回路設計技術, トリケップス社, pp. 9-13, 1999.
- [9] 道正 志郎, "アナログ回路設計をアートからテクノロジーへ," *Design Wave Magazine*, pp. 58 - 70, Jul. 2001.
- [10] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional- N frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 28, pp. 553 - 559, May 1993.
- [11] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1723 - 1732, Nov. 1996.
- [12] T. Watanabe, and S. Yamauchi, "An all-digital PLL for frequency multiplication by 4 to 1022 with seven cycle lock time," *IEEE J. Solid-State Circuits*, vol. 38, pp. 198 - 204, Feb. 2003.
- [13] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1599 - 1607, Nov. 1992.
- [14] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1723 - 1732, Nov. 1996.

- [15] J. W. M. Rogers, F. F. Dai, M. S. Cavin, and D. G. Rahn, "A Multiband $\Delta \Sigma$ Fractional-N Frequency Synthesizer for a MIMO WLAN Transceiver RFIC," *IEEE J. Solid-State Circuits*, vol. 40, pp. 678 - 689, Mar. 2005.
- [16] T. D. Stetzler, I. G. Post, J. H. Havens, and M. Koyama, "A 2.7-4.5 V Single Chip GSM Transceiver RF Integrated Circuit," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1421 - 1429, Dec. 1995.
- [17] R. Magoon, A. Molnar, J. Zachan, G. Hatcher, and W. Rhee, "A Single-Chip Quad-Band (850/900/1800/1900 MHz) Direct Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1710 - 1720, Dec. 2002.
- [18] K. Kishine, N. Ishihara, K. Takiguchi, and H. Ichino, "A 2.5-Gb/s Clock and Data Recovery IC with Tunable Jitter Characteristics for Use in LAN's and WAN's," *IEEE J. Solid-State Circuits*, vol. 34, pp. 805 - 812, Jun. 1999.
- [19] P. Larsson, "A 2-1600-MHz CMOS clock recovery PLL with low-V_{dd} capability," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1951 - 1960, Dec. 1999.
- [20] Y. Miki, T. Saito, H. Yamashita, F. Yuki, T. Baba, A. Koyama, and M. Sonehara, "A 50-mW/ch 2.5-Gb/s/ch Data Recovery Circuit for the SFI-5 Interface With Digital Eye-Tracking," *IEEE J. Solid-State Circuits*, vol. 39, pp. 613 - 621, Apr. 2004.
- [21] A. Maxim, B. Scott, E. M. Schneider, M. L. Hagge, S. Chacko, and D. Sturca, "A low-jitter 125-1250-MHz process-independent and ripple-poleless 0.18- μ m CMOS PLL based on a sample-Reset loop filter," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1673 - 1683, Nov. 2001.
- [22] J. G. Maneatis, J. Kim, I. McClatchie, J. Maxey, and M. Shankaradas, "Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1795 - 1803, Nov. 2003.
- [23] F. Krummenacher, and N. Joehl, "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 750 - 758, 1988.
- [24] G. S. Choi, J. S. Kim, H. J. Park, Y. J. Ahn, H. S. Park, J. H. Bae, I. S. Park, and D. H. Shin, "A 0.18- μ m CMOS Front-End Processor for a Blu-Ray Disc Recorder With an Adaptive PRML," *IEEE J. Solid-State Circuits*, vol. 40, pp. 342 - 350, Jan. 2005.
- [25] X. Wang, P. J. Hurst, and S. H. Lewis, "A 12-Bit 20-Msample/s Pipelined Analog-to-Digital Converter with Nested Digital Background Calibration," *IEEE J. Solid-State Circuits*, vol. 39, pp. 1799 - 1808, Nov. 2004.
- [26] H.-C. Liu, Z.-M. Lee, and J.-T. Wu, "A 15-b 40-MS/s CMOS Pipelined Analog-to-Digital Converter with Digital Background Calibration," *IEEE J. Solid-State*

Circuits, vol. 40, pp. 1047 - 1056, May 2005.

第2章. 位相同期回路の動作原理

はじめに

本章では、位相同期回路（PLL）の基本的回路と、その動作原理について解説する [1]。位相同期回路で最も重要なのは、PLLの伝達関数特性から導かれる位相ノイズ特性と、システムLSI等で重要となるジッタ特性である。本章では、PLLの持つ3つの伝達関数特性の導出方法、それら伝達関数の位相ノイズ特性との関係、および位相ノイズ特性とジッタ特性の関係について述べる。

2-1. PLLブロックとその構成

図 2-1-1 にPLL回路の構成として、システムLSIで最も一般的に用いられる、チャージポンプ型PLLの回路構成を示す。

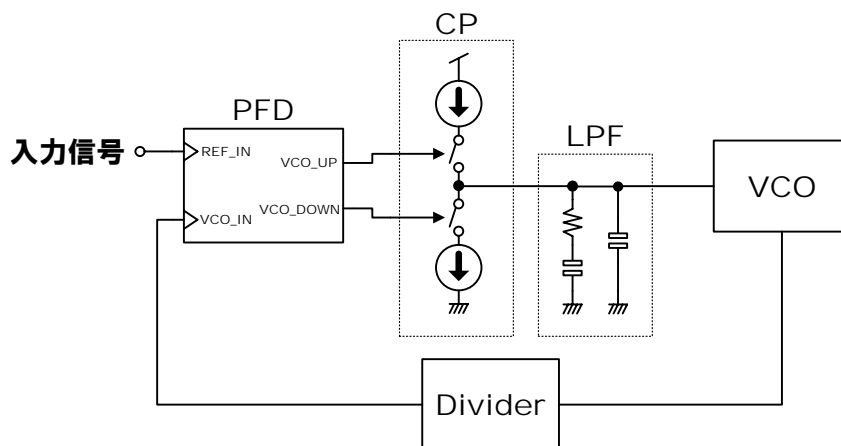


図 2-1-1 チャージポンプ型 PLL のブロック図

図 2-1-1 に示すように、チャージポンプ型PLLのブロック図は、以下の回路ブロックから構成されている。以下に個々の部品の特徴を説明する。

PFD: (Phase Frequency Detector) :いわゆる位相周波数比較器と呼ばれるブロックで、入力信号と Divider からの出力信号の位相差、あるいは周波数差を比較し、その比較結果を出力する回路である。

CP: (Charge Pump) :チャージポンプ回路と呼ばれるブロックで、PFD からの出力されるデジタル信号を、アナログ信号に変換して LPF へ出力する回路である。

LPF: (Loop Filter) :ループフィルタと呼ばれる、PLL を安定させ、位相ノイズ特性を決定す

るフィルタ回路である。PLL はフィードバックシステムであるので、必ずシステムを安定させるためのフィルタが必要である。

VCO: (Voltage Controlled Oscillator) :電圧制御発振器と呼ばれる。VCO は入力信号電圧によって、発振周波数が増える発振器である。PLL は VCO を内蔵することによって、自身の発振周波数を変化させることができ、入力信号の変化に対して、追従することが可能である。

Divider:分周器と呼ばれる回路で、入力信号を分周し、より低周波の信号として出力する回路である。通常 N 分周器といえば、入力信号の周波数を、1/N にした出力信号を出力する分周器と定義される。整数分周を行う場合には、PLL の動作中は、分周器は固定の分周比に制御される。一方、分数分周を可能とするタイプでは、PLL の動作中に、高速で分周比を変化させることにより、分数分周を実現する。

{位相周波数比較器の回路構成と動作原理}

図 2-1-2 に、位相周波数比較器の回路構成とブロック記号を、図 2-1-2 にその状態遷移図を、それぞれ示す。

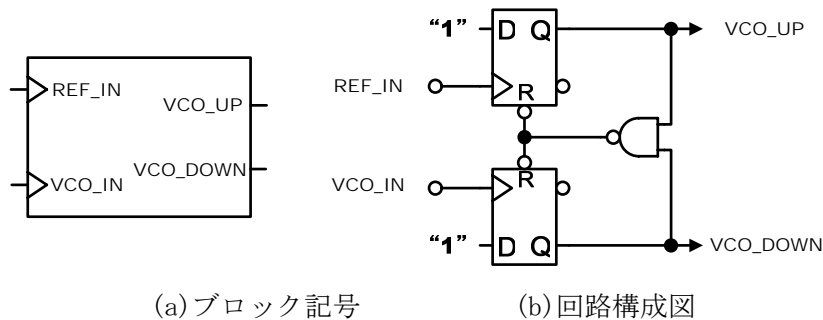


図 2-1-2 周波数位相比較器のブロック記号と内部の回路構成図

位相周波数比較器は、図 2-1-2(b)に示すように、Dフリップフロップ 2 個と NAND ゲート 1 個から構成される [2]。この位相周波数比較器の動作は、図 2-1-3 に示す状態遷移図を用いると理解しやすい。

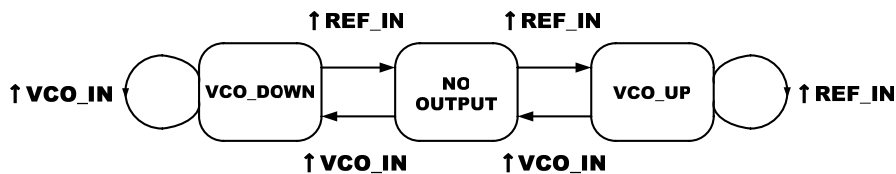


図 2-1-3 周波数位相比較器の状態遷移図

位相周波数比較器は、図 2-1- 3 に示すように、3つの状態を有している。すなわち、無出力の状態（NO OUTPUT）と、VCOの周波数を上昇させるためのVCO_UP信号を出力しているVCO_UP状態、逆にVCOの周波数を下降させるためのVCO_DOWN信号を出力しているVCO_DOWN状態の3つの状態である。

ここで、位相周波数比較器は、信号入力がない場合には、何も出力しないNO OUTPUTの状態にある。すなわち、図 2-1- 2 (b)の出力は、2つとも” Low” の状態である。NO OUTPUTの状態、どちらかの入力に、立ち上がりエッジのパルスが入力されると、パルスが入力されたDフリップフロップの出力は、” High” へと変化する。状態遷移でみれば、REF_INクロックが、VCO_INクロックより先に入力されれば、VCO_UP状態に遷移することになる。VCO_UP状態になったところで、今度は、VCO_INのクロックが入力されると、再びNO OUTPUTの状態に戻り、位相比較器は無出力状態となる。図 2-1- 2(b)でみれば、VCO_INのクロックが入力された時点で、2つの出力が一瞬” High” となり、NANDゲートの出力がLowとなって、2つのDフリップフロップをリセットし、出力を” Low” に戻すわけである。この場合は、REF_INとVCO_INの、2つの入力のタイミング差の分だけ、VCO_UPパルスが出力されることになる。

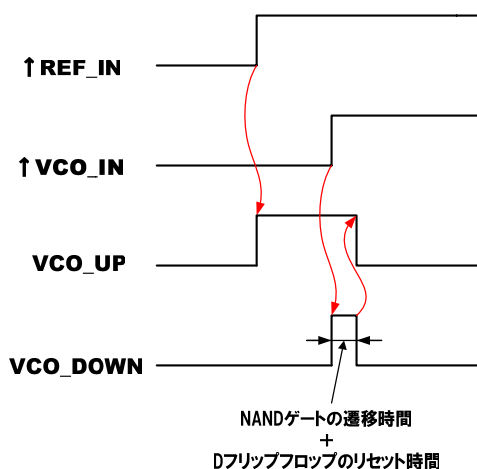


図 2-1- 4 位相周波数比較器のタイミングチャート

図 2-1- 4 に、位相周波数比較器のタイミングチャートを示す。図でわかるように、位相周波数比較器の出力がリセットされるまでに、NANDゲートの遷移時間と、Dフリップフロップのリセット時間だけ、位相周波数比較器の両方の出力が”High”となってしまふ。この両方の出力がアクティブとなる現象は、デターミンスティックジッタの発生原因となり、PLLの特性に悪影響を与える。

次に、位相周波数比較器の、周波数比較器としての特性について解説する。図 2-1- 4 のタイミングチャートを見ると、位相周波数比較器の出力状態は、一定時間に、

より多く立ち上がりエッジがやって来た方の出力状態に偏ることがわかる。言い換えると、位相周波数比較器は、最も簡単なアップダウンカウンタと考えることができる。すなわち、図 2-1-3 で、REF_IN の周波数のほうが VCO_IN の周波数より高い場合は、入力される立ち上がりエッジの数も、REF_IN のほうが多くなるので、位相周波数比較器の出力状態は、VCO_DOWN にいるよりも、VCO_UP の状態にいる割合のほうが高くなる。すなわち、位相周波数比較器が、2つの入力信号の周波数差を、検出できることがわかる。

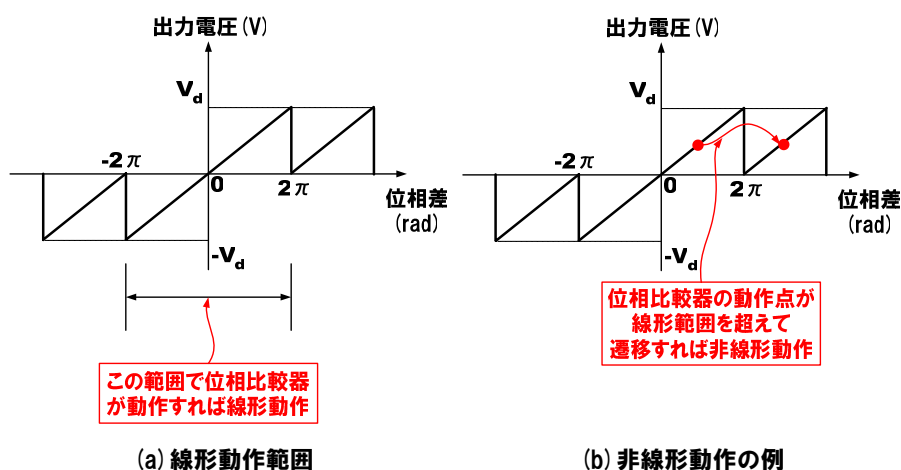


図 2-1-5 位相周波数比較器の入出力特性と線形動作範囲と非線形動作例

次に、図 2-1-5 に、位相周波数比較器の入出力特性を示す。図(a)に線形動作範囲を示し、図(b)に位相周波数比較器の非線形動作例を、それぞれ示す。図(a)に示すように、位相周波数比較器は、 -2π から 2π ままで線形特性である。また、図(b)のように、非線形動作する場合は、入力信号のどちらか一方が、他方の信号が来ない間に、その立ち上がりエッジが連続して入力された場合に対応する。すなわち、2つの入力信号に周波数差がある場合には、必ず周波数差がある方の極性の信号しか出力されなくなることがわかる。従って、反対側の信号出力がないわけであるから、周波数引き込み能力が非常に大きくなる。

{チャージポンプ回路の回路構成}

図 2-1-6 に、チャージポンプ回路の回路構成例を示す [3]。

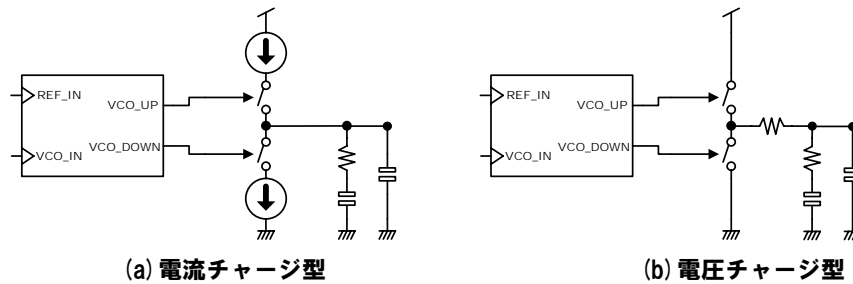


図 2-1-6 チャージポンプ回路の種類

図で示すように、チャージポンプ回路には、電流パルスでフィルタを充放電する電流チャージ型と、電圧パルスでフィルタを充放電する電圧チャージ型の、2種類が存在する。近年の LSI では、殆ど 100%が、電流チャージ型チャージポンプ回路を採用している。

その理由は、電流チャージポンプの方が、充放電での特性を一致させやすく、非対称性が少ないこと、またスイッチング時にデッドゾーンができていくことによる。そのため、チャージポンプ回路はデターミスティックジッタが発生しにくく、高性能化に有利である。チャージポンプ回路の役割は、位相周波数比較器が検出した位相差をできるだけ正確に電流または電圧パルスに変換して、フィルタに充電することである。つまり、できるだけ小さな位相差を、正確に比例した微小パルスに変換して、フィルタに伝える必要がある。

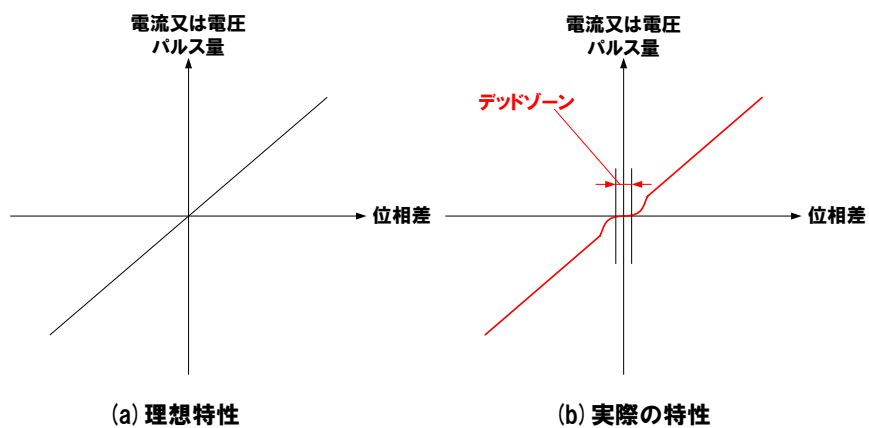


図 2-1-7 チャージポンプ回路理想特性と実際の特性

図 2-1-7 に、チャージポンプ回路の理想特性と実際の特性を示す。チャージポンプ回路では、時として、微小なパルスにチャージポンプ回路が反応できず、出力パルスが発生しないデッドゾーンが発生する可能性がある。チャージポンプ回路では、できるだけこの状態が生じないように回路を構成する必要がある。実際においてどのような要因でデッドゾーンが発生するかを次に説明する。チャージポンプ回路のデッドゾーンは、位相周波数比較器が出力する微小パルスに、チャージポンプ回路が反応できない場合に発生する。位相比較器が発生する最小のパルスは、図 2-1-4 で示したように、位相周波数比較器のリセットまでの一巡遅延時間で決定される。従って、デッドゾーンの発生を防止するには、この一巡遅延時間が小さくなり過ぎて、チャージポンプ回路が反応しなくならないようにする必要がある。そのためには、リセットループの中に、わざと遅延素子を挿入して、一巡遅延時間を大きくする必要がある（図 2-1-8 参照） [4]。

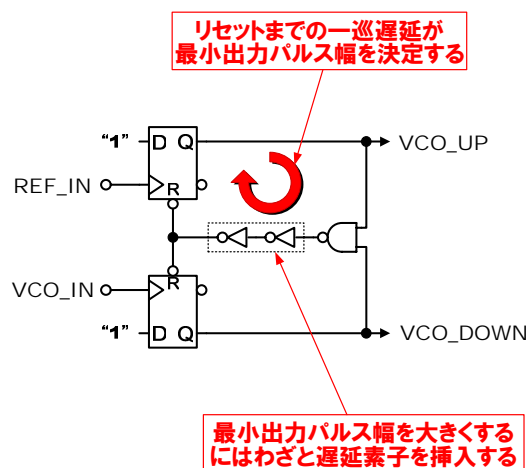


図 2-1-8 チャージポンプ回路のデッドゾーン対策

チャージポンプ回路は、電流または電圧パルスの充放電を行う。従って、その充電パルスと放電パルスの量は、正確に一致している必要がある。もし、この充放電パルス量に誤差が生じた場合に、どのような現象が起こるか次に説明する。位相周波数比較器の2つの入力の位相差が、ゼロになった場合を仮定する。この場合には、図 2-1-4 で示したリセットパルスの分だけ、チャージポンプ回路の充放電スイッチが、ONして充放電パルスを、同時に出力する。この充放電パルス量に差がなければ、フィルタとの電荷のやり取りはないので、VCOの制御電圧は変化しない。ところが、パルス量に差がある場合には、位相周波数比較器が動作するごとに、パルス量の差の分だけ、フィルタに電荷が漏れることになる。これは、言い換えると、入力信号のエッジが来るたびに、PLLにインパルス入力があるということである。PLLに連続してインパルス入力があった場合の、位相応答波形

を 図 2-1-9 に示す。

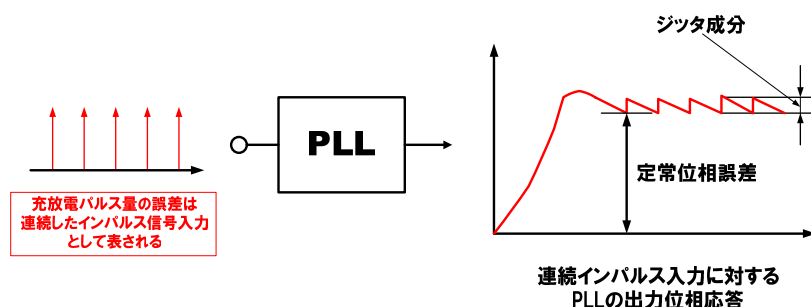


図 2-1-9 連続したインパルス入力に対する PLL の出力位相応答

図よりわかるように、連続したインパルス入力が、PLLに入力されると、PLLの位相周波数比較器の2つの信号には、定常的にタイミング差が生じる（定常位相誤差となる）。また、位相が入力したインパルス信号の周期で変化し、この微小変化は、PLLの出力の位相ばらつき（デターミンスティックジッタと呼ばれる）となる。この定常位相誤差とジッタ成分の発生は、PLLの特性を劣化させるので、チャージポンプ回路では、充放電パルス誤差が生じないように特に気をつけて設計を行う必要がある。チャージポンプ回路は以上説明したように、デッドゾーンを生じないように、位相周波数比較器の最小パルス幅を調整する必要がある。しかし、あまりパルス幅を大きくすると、今度は充放電パルスに誤差が生じた場合に大きな誤差信号を生じ、デターミンスティックジッタを大きくする恐れがあり、トレードオフが存在する。

{ループフィルタの回路構成}

図 2-1-10 に、ループフィルタの回路構成を示す。システムLSI用のループフィルタの構成としては、図(a)と(c)に示す2次フィルタと、図(b)と(d)に示す3次フィルタが考えられる。また、図(c)と(d)に示すような、演算増幅器を用いた能動フィルタと、その他の受動フィルタを用いる手法が考えられる。能動フィルタを用いた場合には、チャージポンプ回路の出力を安定させることができるので、チャージポンプ回路の出力電位が大きく変動するような、広範囲にPLLのロック周波数が変動する場合に有効である。

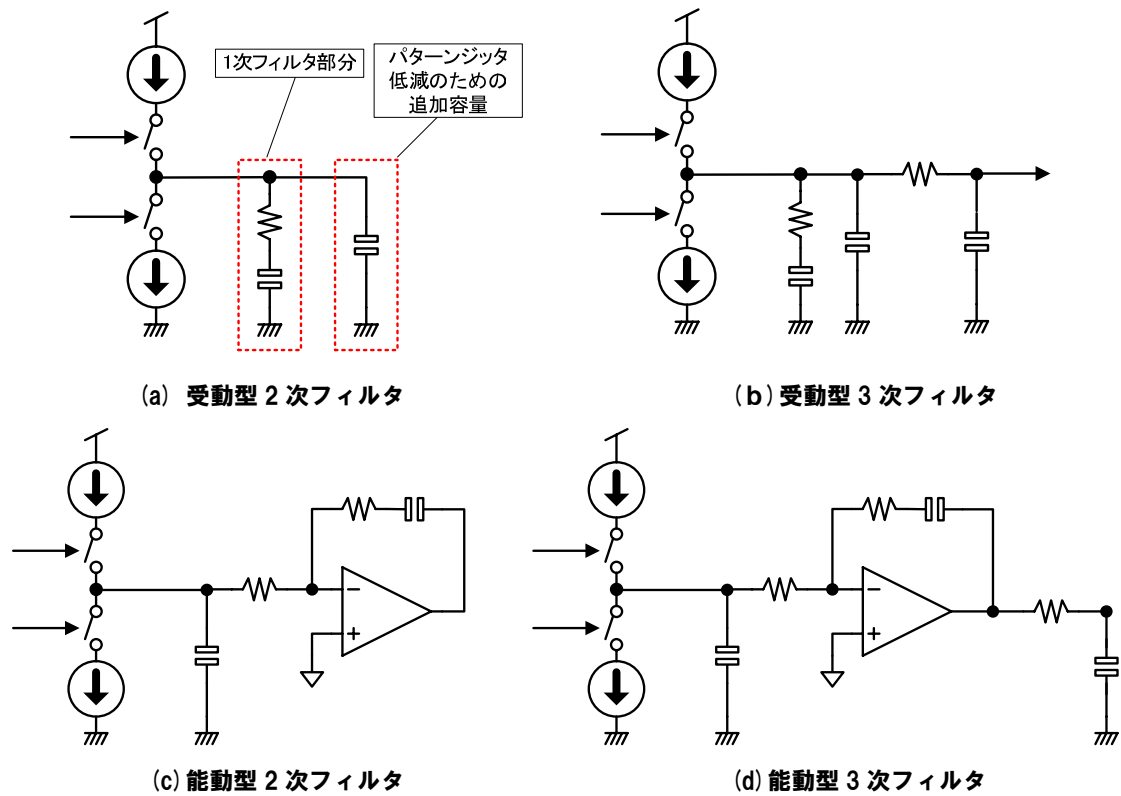


図 2-1- 10 チャージポンプ型 PLL に用いられるループフィルタ

図 2-1- 11 に、1 次フィルタを用いた場合と、2 次フィルタを用いた場合の、チャージポンプ回路の応答の比較を示す。

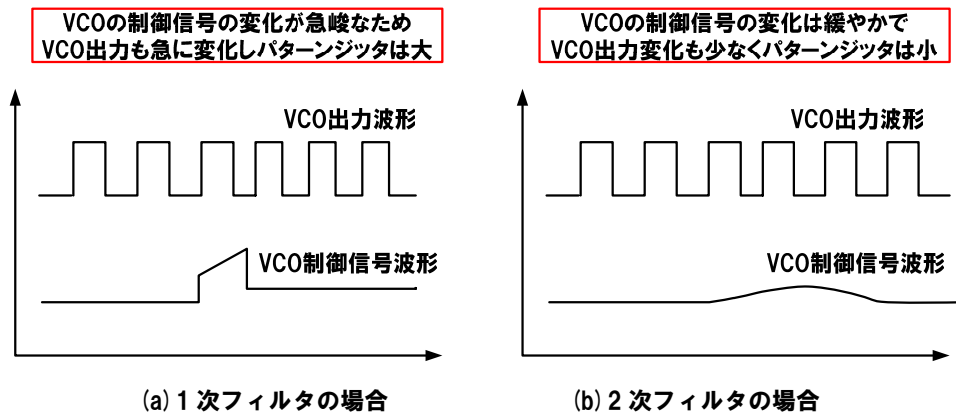


図 2-1- 11 1 次フィルタと 2 次フィルタによるループフィルタの応答比較

1次フィルタを用いた場合には、図(a)に示すように、フィルタ信号の変化が急峻であり、VCOの周波数変動が大きくなる。すなわち、この周波数変動が位相変動となり、PLLにパターンジッタと呼ばれる位相変化を発生させる。一方、2次フィルタを用いた場合には、図(b)に示すようにフィルタ信号の変化は、一次フィルタに並列に追加された容量により平滑化される。従って、周波数変動は一次フィルタに比べて少なくなるためパターンジッタを抑えることが可能となる。パターンジッタの抑制効果は、追加する容量が大きいほど大きくなる。ところが、容量値が大きくなりすぎると、PLLの応答が不安定となるためその値には制限がある。

3次フィルタを用いた場合にはさらにパターンジッタの抑制効果は大きくなる [5]。さらに、3次フィルタを用いた場合にはVCOの低周波領域での位相ノイズが低減する効果がある。従って、非常に分周比の高いPLLや、位相ノイズが問題となる通信用の周波数シンセサイザには有効な回路構成である。

{VCOの回路構成}

VCO回路の回路構成は、非常に多岐にわたり、その全てを取り上げて説明するのは、本論文の本質からはずれてしまう。従って、ここではVCO回路の種類を大別して概説するにとどめる [6]。

VCXO(Voltage Controlled Crystal Oscillator) : 水晶発振子を用いたVCOで、発振出力周波数が温度や電源電圧に依存せず、非常に高精度に安定しており、発振出力周波数の変化幅が非常に小さい発振器である。この発振器を用いてPLLを構成すると、PLLは初めからロックした状態(入力信号とVCXOの周波数差がPLLのロックレンジ内にはじめから納まっている状態)で、PLLを起動することが可能となる。従って、PLLの設計は非常に容易となる。その代わりVCXOは高価であることが多く、コストアップの要因となる。

LC発振器 : L(インダクタ:コイル)とC(キャパシタ:容量)を用いた発振器である。GHz帯での発振器を構成することが可能で、携帯無線システム等にも用いられる。発振周波数を決定するLとCの値は温度や電源電圧に対して水晶発振子ほどではないが、比較的安定しているので、発振出力もかなり安定している。発振周波数は、バラクタなどの可変容量を用いて調整することが多い。インダクタはLSI内部に集積することが難しい部品であるが、近年のLSI技術の発達により内蔵されるケースが多くなってきている。LC発振器は、理想的には位相ノイズを極めて小さくすることができる発振回路であるので、低位相ノイズシステムへの応用に適している。

Gm-C発振器 : 能動素子で構成されるトランスコンダクタ(電圧電流変換器)と、C(キャ

パシタ：容量) によって構成される発振器である。この発振器は、基本的には LC 発振器と同じ働きとなるが、インダクタンスを、コイルで構成する代わりに、トランスコンダクタを用いて電子回路で構成して使用する。発振周波数は、トランスコンダクタの電流変換能率を電気的に変化させることで可変にできる。周波数としては、100MHz 程度の発振まで実現可能である。

CR発振器：C (キャパシタ：容量) と、R(抵抗)および演算増幅器によって実現される発振器である。図 2-1- 12 に示すようなウイーンブリッジ発振器や、状態変数型発振器などが基本回路構成である。低周波の発振器に向いており、30 kHz程度までの発振に使用できる。

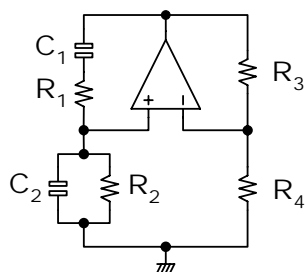


図 2-1- 12 ウイーンブリッジ発振回路の回路構成例

インバータチェーン発振器：インバータ素子を複数段接続することで発振器として用いることができる発振器である [7]。インバータ回路に流れ込む電流を制御することで、容易に発振周波数を可変することが可能である。ノイズ耐性を持たせるために、シュミットトリガ式のインバータを用いる場合もある。インバータチェーン発振器は構成が簡単で使いやすいが、電源電圧や温度の影響で発振周波数が大きく変動するため、出力周波数の安定化対策を行う必要があり、種々の回路構成が提案されている。インバータチェーン発振器は、LC発振器と異なり、原理的に位相ノイズ特性を十分に低くすることができない。従って、低位相ノイズシステムへの応用は不向きである。

{分周器の回路構成}

分周器は、デジタル回路で構成されたカウンタである。従って、大別すると非同期式と同期式に分類される。非同期式ではクロックの伝播遅延が生じるため、PLLの応答特性に影響する。従って、できるだけ同期式のカウンタ構成で構成することが望ましい。あるいは、非同期式カウンタの縦続接続構成をとったとしても、図 2-1- 13 に示すように、最終出力をVCO出力でラッチすることにより、伝播遅延を解消して使用することが必要となる。

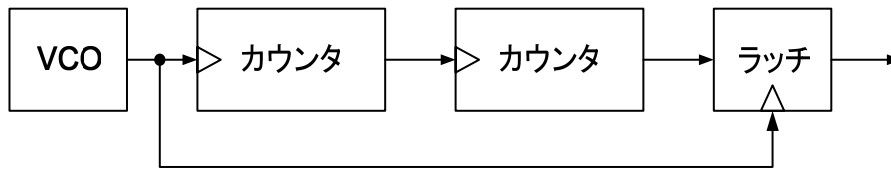


図 2-1- 13 非同期式カウンタの伝播遅延の解消方法

また、単純にカウンタを縦続構成するのではなく、時間によって分周器の分周数を変化させて分周数の制御を連続的に行える方式が存在する。図 2-1- 14 に、パルススワロー方式の分周器を持つPLLのブロック図を示す [8]。パルススワロー方式の分周器は、デュアルモジュラスプリスケーラと呼ばれる、分周数をN分周とN+1分周に切り替え可能な、高速分周器と、分周器出力で駆動されるパルス (Pカウンタ)スワロー(Sカウンタ)カウンタで構成される。

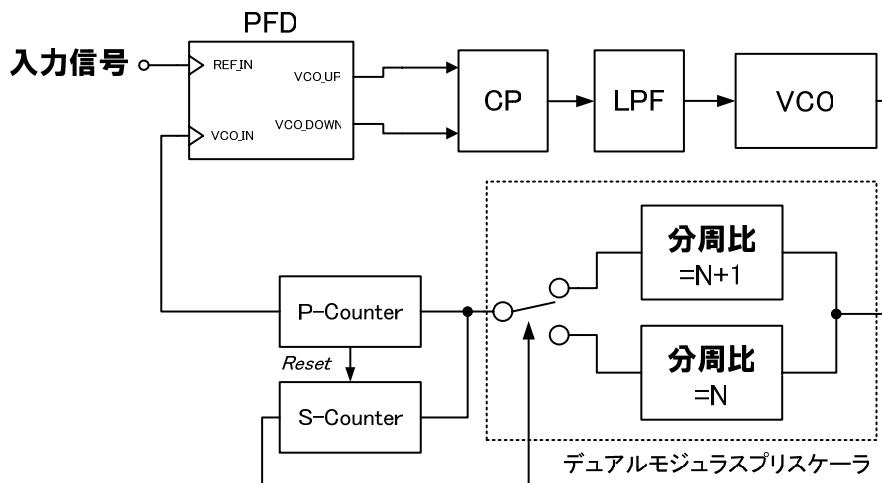


図 2-1- 14 パルススワロー方式の分周器を持つ PLL のブロック図

パルススワロー方式の分周器では、パルスカウンタがPカウントする内のSカウントで、デュアルモジュラスプリスケーラの分周比を、N+1分周に設定し、残りのP-Sカウントを、N分周に設定する。従って、入力信号に対する分周比は、図 2-1- 15 に示すように、PN+Sとなる。

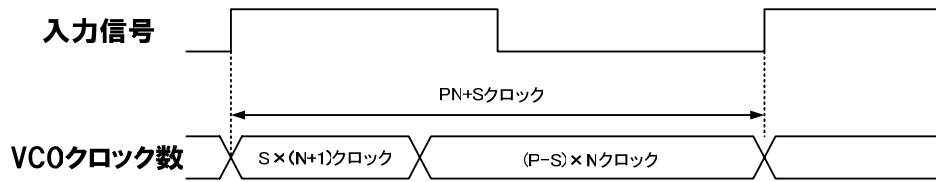


図 2-1-15 パルススワロー方式の分周器のタイミングチャート

PN+SのSがPNにかかわらず独立に設定できることにより、分周比を、単純にカウンタを従属接続するだけの分周比より、細かく設定できる。パルススワロー方式の分周器においても、PLLの入力信号周期で見ると、分周器はPN+Sで一定である。しかし、分数分周を可能とする分周器では、PLLの入力信号毎に分周比を変化させている [9]。図 2-1-16 に、 $\Delta\Sigma$ 変調器で、パルススワロー型分周器のカウンタ値を変化させる分周器を持つPLLのブロック図を示す。

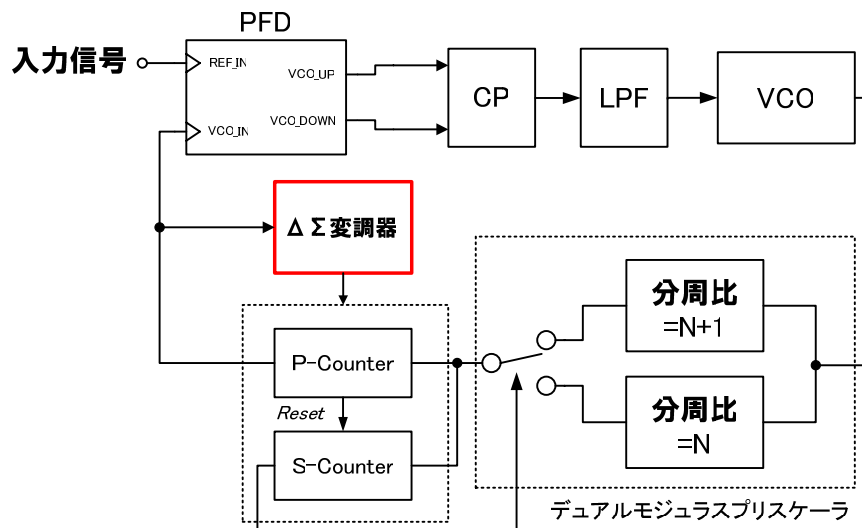


図 2-1-16 分数分周器を持つ周波数シンセサイザ PLL のブロック図

図で $\Delta\Sigma$ 変調器では、パルススワロー分周器のPN+SのPとSを、入力信号毎に更新する。従って、分周比は、時間毎の分周数の平均値となり、整数値より細かな分数値をとることができる。分周比を入力信号毎に変化させるため、量子化スイッチングノイズが発生する。しかし、分周数変化に $\Delta\Sigma$ 変調を用いているため、スイッチングノイズ成分は高周波領域に集中しており、PLLの応答自体がローパスフィルタ特性を持っているので、PLLの出力位相に現れるスイッチングノイズ成分は、PLLの応答特性により減衰される。このスイッチングノイズ成分を、効果的に取り除くためには、PLLの応答周波数を低く抑える必要がある。しかしながら、PLLの応答周波数を低く設定すると、今度はVCOの位相

ノイズが PLL 出力に現れやすくなるため、PLL の応答周波数はスイッチングノイズと VCO の位相ノイズを合わせて最低とするように、最適化される必要がある。

2-2. PLL の伝達関数

本節では、PLL の伝達関数について述べる [1]。PLL の伝達関数は、PLL の位相特性及びジッタ特性を計算する場合に不可欠である。PLL を線形回路化したブロック図を、図 2-2-1 に示す。ここでの対象は、チャージポンプ型 PLL とする。

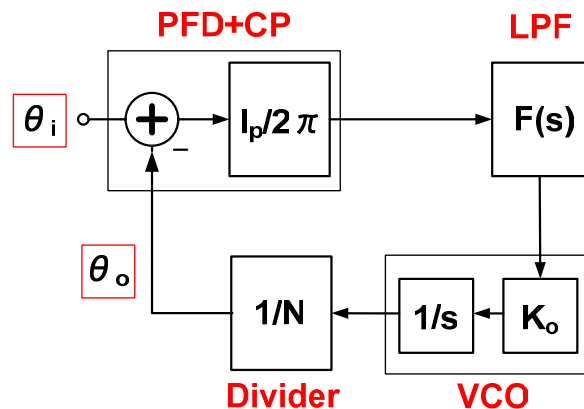


図 2-2-1 チャージポンプ型 PLL の線形システムブロック図

図で位相周波数比較器とチャージポンプ回路の機能は、引き算器と $I_p/2\pi$ の利得を持つ増幅器として、それぞれ表現される。ここで I_p は、チャージポンプ回路のチャージ電流である。また、ループフィルタの伝達関数は $F(s)$ 、VCO の伝達関数は K_o/s で、それぞれ表現される。 K_o は、VCO の入力電圧対発振角周波数の利得を表している。VCO の出力は周波数であるが、この線形システムでは位相信号を扱う。従って、周波数を位相に変換するためのラプラス変数の積分演算子 $1/s$ を、VCO の伝達関数とする必要がある。分周器は、VCO から出力する発振周波数を、 $1/N$ に減衰させる。つまり、分周器は VCO のゲインを $1/N$ にしていることになる。従って、利得 $1/N$ を持つ減衰器として、ブロック図中に表現しなければならない。

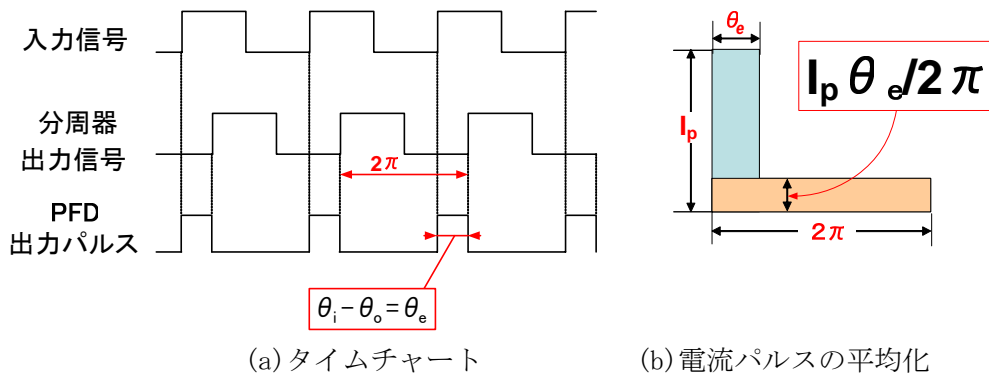


図 2-2-2 チャージパルスの平均化

図 2-2-2 は、位相周波数比較器とチャージポンプの利得が、なぜ $I_p/2\pi$ になるかを示すための模式図である。位相比較信号として、チャージ電流 I_p が位相差 θ_e の期間だけ出力される。この電流パルスを、クロックの全周期にわたって、連続的に出力されるように平均化すると出力電流値は $I_p \theta_e / 2\pi$ となる。従って、位相比較器とチャージポンプ回路を合わせた位相信号の利得は、 $I_p/2\pi$ として表される。

PLL の応答特性を記述するためには、次に示すように、3 種類の特性を把握する必要がある。

入力位相変化対出力位相特性 ($\theta_o(s)/\theta_i(s)$) : 入力位相が変化した際に、PLL の出力信号の位相が、どのように追従するかを表す周波数特性である。

入力位相変化対位相誤差特性 ($\theta_e(s)/\theta_i(s)$) : 入力位相が変化した際に、PLL の位相周波数比較器に入力される 2 つの信号の位相差が、どのように変化するかを示す周波数特性である。

入力周波数変化対位相誤差特性 ($\theta_e(s)/\Delta\omega(s)$) : 入力信号の周波数が変化した際に、PLL の位相周波数比較器に入力される 2 つの信号の位相差が、どのように変化するかを示す周波数特性である。

2-2-1. 入力位相変化対出力位相特性の計算 :

図 2-2-1 を用いて $\theta_o(s)/\theta_i(s)$ を計算する。ブロック線図より以下の方程式が求められる。

$$\frac{(\theta_i(s) - \theta_o(s)) \frac{I_p}{2\pi} F(s) \frac{K_o}{N}}{s} = \theta_o(s) \quad (2.2.1)$$

式(2.2.1)より $\theta_o(s)/\theta_i(s)$ を求めると、

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{I_p F(s) K_o}{I_p F(s) K_o + 2\pi N s} = \frac{G(s)}{1 + G(s)} \quad (2.2.2)$$

ここで、 $G(s) = \frac{I_p F(s) K_o}{2\pi N s}$ を用いている。

次に、ループフィルタの伝達関数 $F(s)$ を、具体的に $F(s) = R + 1/sC$ とおけば、式(2.2.2)は、

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{\frac{I_p K_o R}{2\pi N} s + \frac{I_p K_o}{2\pi N C}}{s^2 + \frac{I_p K_o R}{2\pi N} s + \frac{I_p K_o}{2\pi N C}} \quad (2.2.3)$$

となる。ここで、式(2.2.3)を以下のように変形し、その特性を把握しやすい形に変形する。

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{Ks + K\omega_2}{s^2 + Ks + K\omega_2} \quad (2.2.4)$$

ここで、 $K = \frac{I_p K_o R}{2\pi N}$ および $\omega_2 = \frac{1}{CR}$ と変数を代入している。

この場合の周波数特性は、以下の 図 2-2-1-1 に示すように、ローパスフィルタ特性となる。

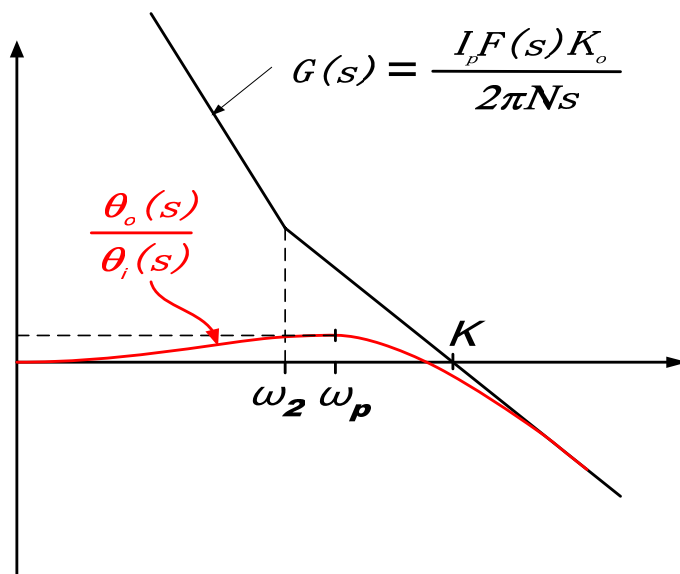


図 2-2-1-1 PLL の入出力位相応答の周波数特性

2-2-2. 入力位相変化対位相誤差特性の計算：

上式で求めた $\theta_o(s)/\theta_i(s)$ に、 $\theta_o(s)=\theta_i(s)-\theta_e(s)$ を代入すると、式 (2.2.5) を得ることができる。

$$\frac{\theta_e(s)}{\theta_i(s)} = 1 - \frac{\theta_o(s)}{\theta_i(s)} \quad (2.2.5)$$

すなわち、 $\theta_e(s)/\theta_i(s)$ は、1 より入力位相変化対出力位相特性から、 $\theta_o(s)/\theta_i(s)$ を引いたものになっている。従って $\theta_e(s)/\theta_i(s)$ は、

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{2\pi Ns}{I_p F(s)K_o + 2\pi Ns} = \frac{s^2}{s^2 + Ks + K\omega_2} \quad (2.2.6)$$

と求められる。この場合の周波数特性は、図 2-2-2-1 に示すように、ハイパスフィルタ特性となる。

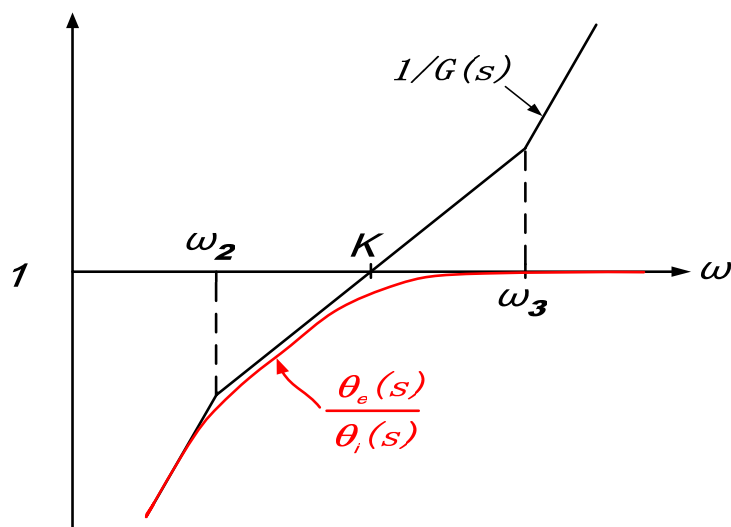


図 2-2-2-1 PLL の位相誤差応答の周波数特性

2-2-3. 入力周波数変化対位相誤差特性の計算：

上式(2.2.6)で求めた $\theta_e(s)/\theta_i(s)$ に $\theta_i(s)=\Delta\omega(s)/s$ を代入すると

$$\frac{\theta_e(s)}{\Delta\omega(s)} = \frac{1}{s} \times \frac{2\pi Ns}{I_p F(s)K_o + 2\pi Ns} \quad (2.2.7)$$

となって、結局、入力周波数変化対位相誤差特性は式(2.2.8)で表される。

$$\frac{\theta_e(s)}{\Delta\omega(s)} = \frac{2\pi N}{I_p F(s) K_o + 2\pi N s} = \frac{s}{s^2 + Ks + K\omega_2} \quad (2.2.8)$$

式(2.2.8)を周波数特性で表すと、図 2-2-2-2 のように、周波数 ω_2 から K の帯域を持つバンドパスフィルタ特性となる。

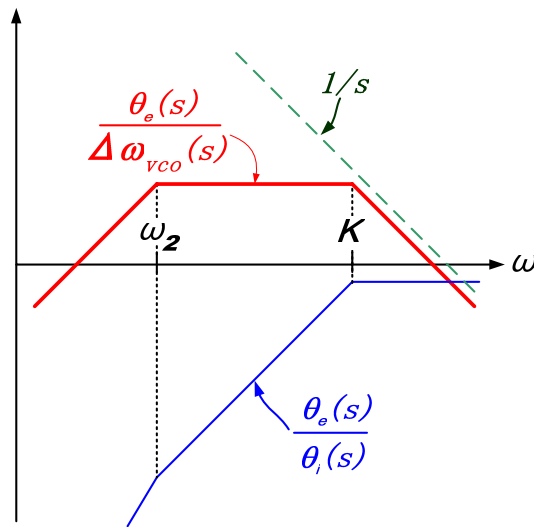


図 2-2-2 周波数変動対位相誤差応答の周波数特性

2-3. 3次ループおよび4次ループ PLL の伝達関数最適化

以上、2-2-1 から 2-2-3 節で説明したように、PLLの伝達関数として、3つの伝達関数が重要でありそれぞれ次の伝達特性になることを示した。

1. 入力位相変化対出力位相特性はローパスフィルタ(LPF)特性を示す。
2. 入力位相変化対位相誤差特性はハイパスフィルタ(HPF)特性を示す。
3. 入力周波数変化対位相誤差特性はバンドパスフィルタ(BPF)特性を示す。

2-3-1. 2次ループフィルタ最適化

2-2節では、2次の伝達関数を持つPLLについて説明した。基本的なPLLのループ特性は1次フィルタを用いて解析すれば十分である。しかし、2次フィルタはパターンジッタ抑圧を抑圧できるため、より実用的なループフィルタである。フィルタが2次の場合の3次ループPLL、およびループフィルタが3次となる4次ループPLLの伝達関数とその最適化について、次に説明する。

図 2-3-1-1 に、3次ループPLLの伝達関数の最適化手法を示す [10]。

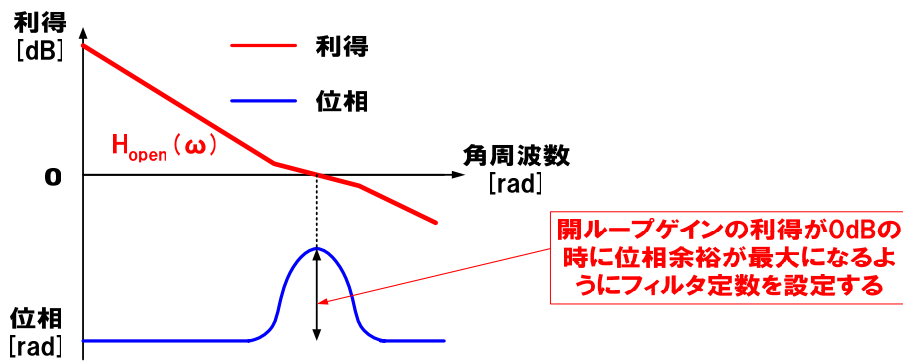


図 2-3-1-1 3次ループ PLL の最適な周波数特性

図 2-3-1-2 に示すように、PLLループを分周器出力で開放した開ループ伝達関数 $H_{open}(\omega)$ を求め、その位相余裕が最大となるように、フィルタ定数を決定する。PLLが3次の伝達関数となる場合には、図 2-3-1-1 に示す開ループ伝達関数は、以下の式(2.3.1)で一義的に決定される。

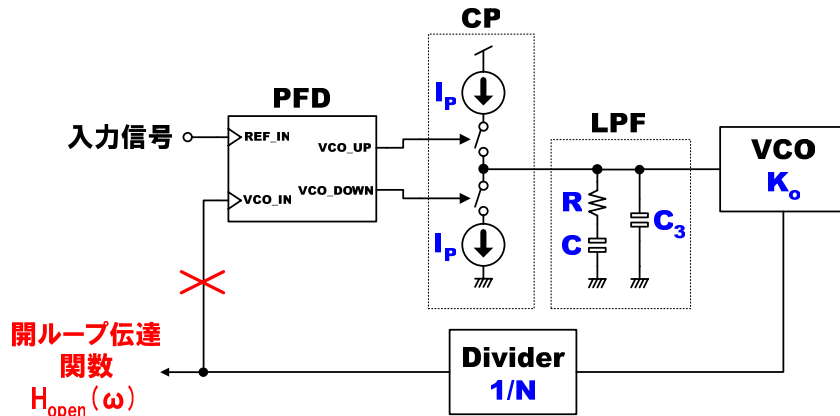


図 2-3-1-2 チャージポンプ PLL の設計パラメータ

すなわち、3次ループPLLの最適な伝達関数は、PLLのループバンド幅(自然各周波数 ω_n)と、平滑フィルタ C_3 と、ループフィルタの主容量 C から求められる容量比パラメータ $b(b=1+C/C_3)$ の、2つのパラメータによって、以下の伝達関数で表すことができる。

$$H_{opt}(s) = \frac{\omega_n^2 \sqrt{b} \left(s + \frac{\omega_n}{\sqrt{b}} \right)}{s^2 (s + \omega_n \sqrt{b})} \quad (2.3.1)$$

式(2.3.1)は $s=j\omega_n$ において利得が1となり、さらに位相が極大となることが証明できる。また、そのときの位相余裕はパラメータ b のみによって決定される。どのような回路構成のPLLであっても伝達関数を式(2.3.1)と同一の伝達関数となるように素子パラメータを決定すればPLLの最適化が実現できる。ここで、図2-3-1-2に示すチャージポンプ型PLLの伝達関数は以下の式で表される。このとき、 $\tau_2=CR$ である。

$$H_{open}(s) = \frac{K_o I_p R}{2\pi} \times \frac{(b-1)(s + \frac{1}{\tau_2})}{s^2 \tau_2 \left(s + \frac{b}{\tau_2} \right)} \quad (2.3.2)$$

ここで、式(2.3.1)と式(2.3.2)の伝達関数を一致させることにより、PLLは最適化される。その際、以下の式(2.3.3)から(2.3.8)の手順を踏むことにより素子パラメータは最適化される。

$$\tan(\Phi_M) = \frac{2\zeta(\zeta+1)}{1+2\zeta} \quad (2.3.3)$$

$$(2\zeta+1)^2 = b \quad (2.3.4)$$

$$\omega_n = \frac{\sqrt{b}}{\tau_2} \quad (2.3.5)$$

$$K\tau_2 = \frac{b\sqrt{b}}{b-1} \quad (2.3.6)$$

$$K = \frac{K_o I_p R}{2\pi} \quad (2.3.7)$$

$$\tau_2 = CR \quad (2.3.8)$$

ここで、 Φ_M は、開ループ伝達関数 $H_{open}(s)$ の位相余裕である。 Φ_M が決まると、式(2.3.3)より ζ が求まり、式(2.3.4)より b を求めることができる。PLLの応答周波数 ω_n は、後述する位相ノイズの最適化、あるいはジッタ最適化により決定される。従って、 ω_n は既に求められているとすれば、式(2.3.5)より τ_2 が求められる。すると式(2.3.6)より K を求めることができ、VCOのゲイン K_o は、回路設計時に既に決定されているので、 I_p と R を、位相ノイズ特性を満足し、かつ回路面積が最小となるように選択する。すなわち、式(2.3.7)と式(2.3.8)から、全てのPLLのパラメータを計算することが可能である。 I_p と R の値をどのように組み合わせても、PLLの応答になんら変化は生じない。

2-3-2. 3次ループフィルタの最適化

3次ループPLLの場合には、その最適化された開ループ伝達関数が、式(2.3.1)で表されることは、既に2-3-1節で解説した[8]。それでは、4次ループPLLの場合に、このような最適化された伝達関数はどうなるのであろうか？

残念ながら、現在までに、4次ループPLLの最適な伝達関数を一般化した式は、見つかっていない。そこで、式(2.3.9)に示す近似式を新たに提案し、最適化を検討する。

$$H_{opt}(s) = \frac{\left(\frac{\sqrt{b}}{\omega_n} s + 1 \right)}{\left(\frac{s^2}{\omega_n^2} \right) \left(\frac{s^2}{\alpha \omega_n^2} + \frac{s}{\omega_n} + \sqrt{b} + \frac{1}{\alpha} \right)} \quad (2.3.9)$$

式(2.3.9)では、 ω_n において開ループゲインが1になることは証明されるが、位相余裕が極大になることはない。実際には、ゲイン交点から位相余裕の頂点は、幾分ずれる。したがって、式(2.3.9)が妥当な近似式になるかどうかは、頂点がどれくらいずれるかで判別する。そこで、実際に、位相余裕の頂点が、 ω_n からどれくらいずれるかを、式(2.3.9)の α と b を変化させてプロットした結果を、図2-3-2-1に示す。

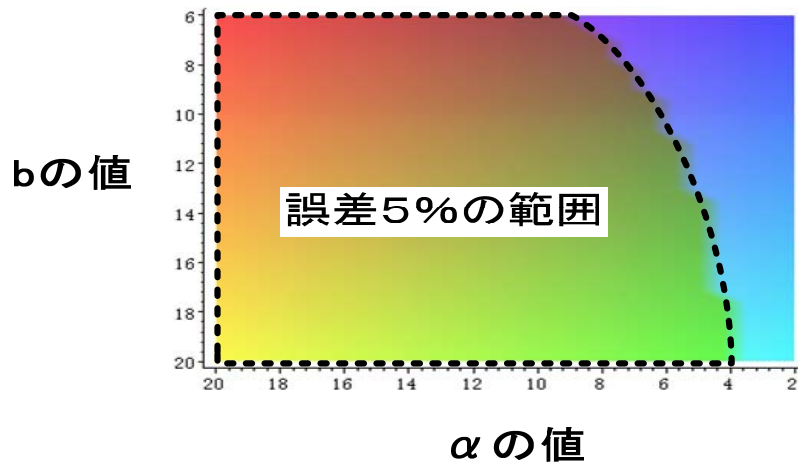


図 2-3-2- 1 4次ループ PLL の最適関数の近似式の有効範囲

図 2-3-2- 1 より、 b の値が変化した場合でも、 α の値を選択することにより、誤差を 5 % 以内に抑えることが、可能であることがわかる。

能動型 3 次フィルタの最適化

次に、式(2.3.9)の伝達関数が、どのようなフィルタ構成で実現できるかを検討する。最初に、図 2-3-2- 2 に示すような能動フィルタを用いて、3 次フィルタを構成する場合について解析を行う。

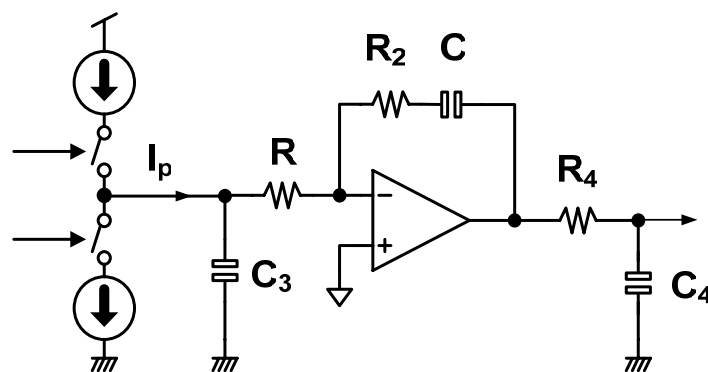


図 2-3-2- 2 能動型 3 次ループフィルタの回路構成

$$H_{open}(s) = \frac{(CR_2s+1)}{\frac{2\pi s^2 CR}{I_p K_o R} (C_3 R s + 1)(C_4 R_4 s + 1)} \quad (2.3.10)$$

図 2-3-2-2 に示す回路を用いたPLLの開ループ伝達関数は、式(2.3.10)に示す式となる。式(2.3.10)は素子値を選択することにより、式(2.3.9)と一致させることが可能である。以下に、その素子値の計算手順を示す。

- ① b と α を選択する。
- ② $\gamma = \sqrt{b+1}/\alpha$ と置換する。
- ③ I_p に適当な値を選ぶ。
- ④ 以下の等式(2.3.11)を解いてCを求める

$$\frac{2\pi C}{I_p K_o} = \frac{\gamma}{\omega_n^2} \quad (2.3.11)$$

- ⑤ 次の連立方程式(2.3.12)を解いて $\tau_3=C_3R$ と $\tau_4=C_4R_4$ を求める。

$$\begin{cases} \tau_3 \tau_4 = \frac{1}{\alpha \gamma \omega_n^2} \\ \tau_3 + \tau_4 = \frac{1}{\gamma \omega_n} \\ \tau_3 > \tau_4 \end{cases} \quad (2.3.12)$$

- ⑥ 式(2.3.13)から C_3 と C_4 の値を決定する。

$$\begin{cases} C_3 = \frac{C}{b} \\ R = \frac{\tau_3}{C_3} \\ C_4 = C_3 \\ R_4 = \frac{\tau_4}{C_4} \end{cases} \quad (2.3.13)$$

- ⑦ 最後に以下の等式(2.3.14)より R_2 の値を決定する。

$$CR_2 = \frac{\sqrt{b}}{\omega_n} \quad (2.3.14)$$

以下に、実際に値を代入して計算した例を示す。PLL への入力信号周波数が、40MHz であるとし、その 1/40 が PLL の応答周波数となるように（つまり応答周波数は 1MHz）、フィルタの素子値を設計してみる。ここで、分周器の分周数を 16、チャージポンプ回路のチャージ電流を 50uA、VCO のゲインを 100MHz/V として計算する。

応答周波数が 1MHz であるので、角周波数で表すと、 ω_n は $2\pi \times 1\text{MHz} = 0.6283185 \times 10^7$ となる。また、VCO と分周器を含めたゲイン K_o は、 $100 \times 10^6 \times 2\pi / 16 = 0.39269908 \times 10^8 \text{rad/Vsec}$ となる。ここで、 $b=9$ 、 $\alpha=15$ とすると $\gamma = \sqrt{b+1}/\alpha$ は 3.067 である。次に手順④より、C の値が 24.27pF と求められる。さらに手順⑤より、時定数 τ_3 と τ_4 が計算でき、 $\tau_3 = 37.0\text{nsec}$ 、 $\tau_4 = 14.9\text{nsec}$ となる。さらに手順⑥と⑦より、 $C_3=C_4=2.7\text{pF}$ 、 $R=13.7\text{k}\Omega$ 、 $R_4=5.5\text{k}\Omega$ が計算される。

最後に、手順⑧より、 R_2 の値を求めることができ、 R_2 は 19.7 k Ω と計算される。図 2-3-2-3 に、素子値を代入した能動型 3 次ループフィルタの回路図を示す。

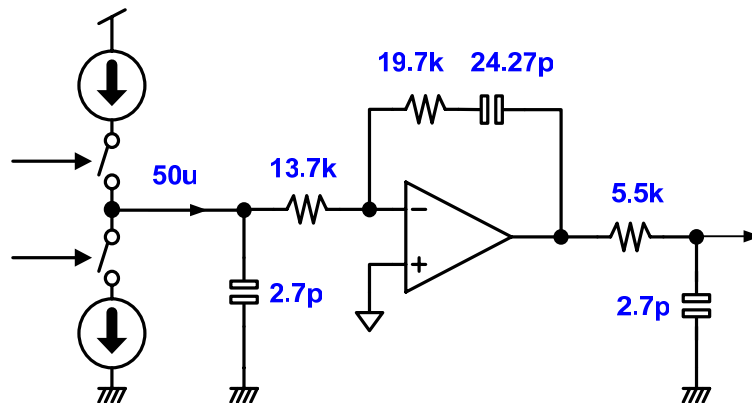


図 2-3-2-3 能動型 3 次ループフィルタの設計例

受動型 3 次フィルタの最適化

次に、図 2-1-10 (b)に示すような、受動型の 3 次ループフィルタを用いた PLL の最適化についても、同様の手法で、素子値の決定を行う。

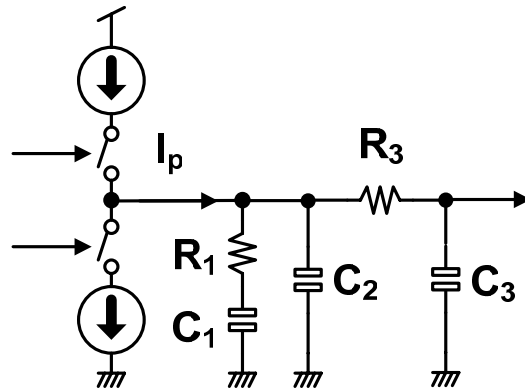


図 2-3-2-4 受動型 3 次ループフィルタの回路構成

受動型の 3 次ループフィルタの場合も最適化の手法は能動型フィルタと同じである。すなわち、式(2.3.9)に示す 4 次ループ PLL の最適化 (近似値) された伝達関数に一致するようにフィルタの素子値を選択する。図 2-3-2-4 に示す回路を用いた 4 次ループ PLL の伝達関数 $H_{open}(s)$ は、以下の式(2.3.15)で表される。

$$H_{open}(s) = \frac{K_o I_p (sC_1 R_1 + 1)}{2\pi s^2 (s^2 C_1 C_2 C_3 R_1 R_3 + (C_1 C_3 R_3 + C_1 C_2 R_1 + C_2 C_3 R_3 + C_1 C_3 R_1)s + C_1 + C_2 + C_3)} \quad (2.3.15)$$

式(2.3.15)は、以下のように変形することが可能である。

$$H_{open}(s) = \frac{I_p K_o (\tau s + 1)}{2\pi s^2 C_1 (1 + r_2 + r_3) (B\tau^2 s^2 + A\tau s + 1)} \quad (2.3.16)$$

ここで、 $A = \{1 + b \times r_3(1 + r_2)\} / (1 + b)$ 、 $B = r_2 r_3 \times b / (1 + b)$ 、 $\tau = R_1 \times C_1$ 、 $b = 1 / (r_2 + r_3)$ 、 $r_2 = C_2 / C_1$ 、 $r_3 = C_3 / C_1$ と置換を行っている。(ただしこの変形では $R_1 = R_3$ を仮定している。) この変形した式(2.3.16)を、次の手順で、式(2.3.9)と一致させる。

- ① b と α を選択する。
- ② $\gamma = \sqrt{b + 1} / \alpha$ と置換する。
- ③ 分子の項を等しくして τ を計算する。すなわち、 $\tau = \sqrt{b} / \omega_n$ より τ を求める。
- ④ 次に分母の 2 次の項より、連立方程式(2.3.17)を計算して、 b_x, r_2 と r_3 を求める。

$$\left\{ \begin{array}{l} b_x = \frac{1}{r_2 + r_3} \\ \frac{\tau \{1 + b_x r_3 (1 + r_2)\}}{1 + b_x} = \frac{1}{\omega_n \gamma} \\ \frac{\tau^2 r_2 r_3 b_x}{1 + b_x} = \frac{1}{\alpha \omega_n \gamma} \end{array} \right. \quad (2.3.17)$$

- ⑤ I_p に適当な値を選ぶ。
 ⑥ 次の等式(2.3.18)より C_1 を求める。

$$\frac{2\pi C_1 \left(1 + \frac{1}{b_x}\right)}{I_p K_o} = \frac{\gamma}{\omega_n^2} \quad (2.3.18)$$

- ⑦ C_2 、 C_3 、 R_1 を求める。

$$\left\{ \begin{array}{l} C_2 = r_2 C_1 \\ C_3 = r_3 C_1 \\ R_1 = \frac{\tau}{C_1} \end{array} \right. \quad (2.3.19)$$

ここで、能動フィルタの場合と同様に、実際に値を代入して、素子値を計算した例を示す。 $\omega_n=1\text{MHz}$ とし、 $I_p=50\mu\text{A}$ と設定する。次に、ここでは $b=6$ 、 $\alpha=20$ として設計を行う。すると、 γ の値は約 **2.45** となり、③より τ の値を求めると、 $\tau=0.39\mu$ と計算できる。次に、④の連立方程式を解くと、 $r_2=0.121$ 、 $r_3=0.0318$ と求められる。 $I_p=50\mu\text{A}$ なので、⑥より C_1 が **17.17pF** と計算でき、⑦より C_2 、 C_3 、 R_1 を求めると、 $C_2=2.07\text{pF}$ 、 $C_3=0.55\text{pF}$ 、 $R_1=22.7\text{K}\Omega$ と求めることができる。

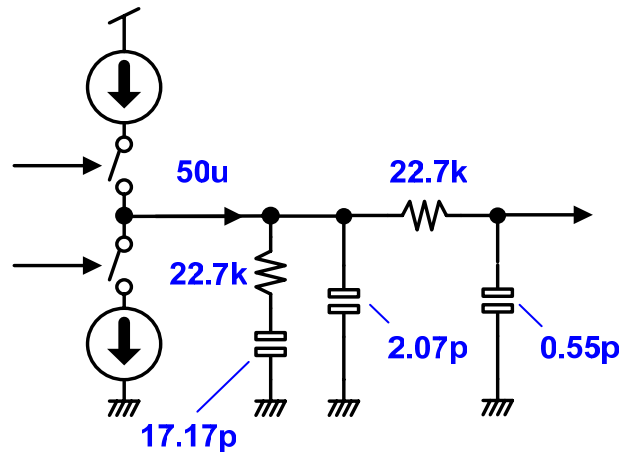


図 2-3-2- 5 受動型 3 次ループフィルタの回路構成

すなわち、図 2-3-2- 5 に示すようにフィルタ回路の素子値が決定される。受動型 3 次ループフィルタでは、受動型の構成のために、素子の値は相互に影響しあう。従って、フィルタの自由度には限界がある。パラメータ b や α の値を適切に選ばなければ、手順④で示した連立方程式の解が虚数となり、フィルタの設計は不可能となる。手順④の連立方程式の解は 2 次方程式となり、その判別式 D は、以下の式(2.3.20)に表すことができる。

$$D = \tau^2 \alpha^2 \omega^2 - 8\tau^2 \alpha \omega^2 \gamma - 4 + 4\tau \alpha \omega \quad (2.3.20)$$

式(2.3.20)の判別式に、 $\gamma = \sqrt{b+1}/\alpha$ と $\tau = \sqrt{b}/\omega_n$ を代入すれば、判別式 D_2 として式(2.3.21)を得る。

$$D_2 = b\alpha^2 + 4\sqrt{b}\alpha - 8\alpha b^{\left(\frac{3}{2}\right)} - 8b - 4 \quad (2.3.21)$$

判別式 D_2 を正とする場合が、フィルタ構成が可能な b と α の組み合わせとなる。図 2-3-2- 6 に、フィルタ構成が可能な、 b と α の存在範囲を図示する。

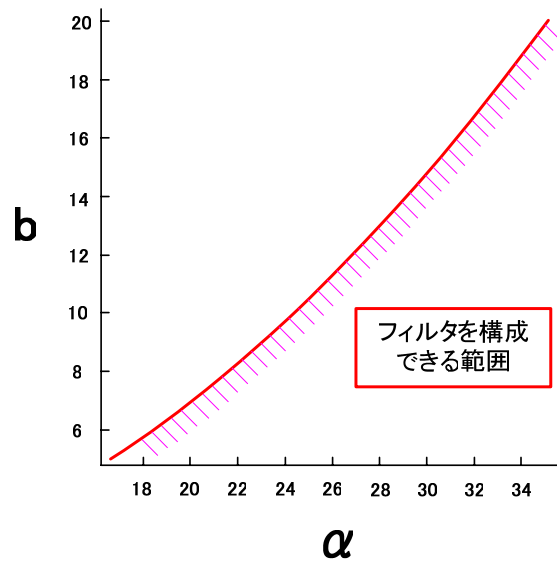


図 2-3-2-6 次受動フィルタを構成できる α と b の範囲

2-3-3. ループバンド幅の最適化

PLL のバンド幅は、通常 PLL の位相ノイズ量が最小となるように最適化する必要がある。位相ノイズの主な発生要因は通常入力端子から入力される入力位相ノイズ、チャージポンプ回路の電流源から出力される電流位相ノイズ、VCO を構成するデバイスから出力され VCO 出力に重畳される VCO 位相ノイズの 3 種類がある。ここで、入力位相ノイズと電流位相ノイズに対しては、PLL 入力から出力にノイズが伝達されるので、入力位相変化対出力位相特性 ($\theta_o(s)/\theta_i(s)$) の伝達関数が乗算される。ここで、図 2-3-3-1 に示すブロック線図より、電流位相ノイズは、チャージポンプ回路のリセットパルス幅を θ_r 、電流源の出力ノイズを I_n 、チャージポンプ回路の出力電流を I_p で表すと、入力換算で $I_n \times \theta_r / I_p$ となる。一方、VCO 位相ノイズが、PLL 出力に与える影響に関しては、図 2-3-3-1 に示すブロック線図を解析することにより、位相ノイズ伝達特性を解析できる。

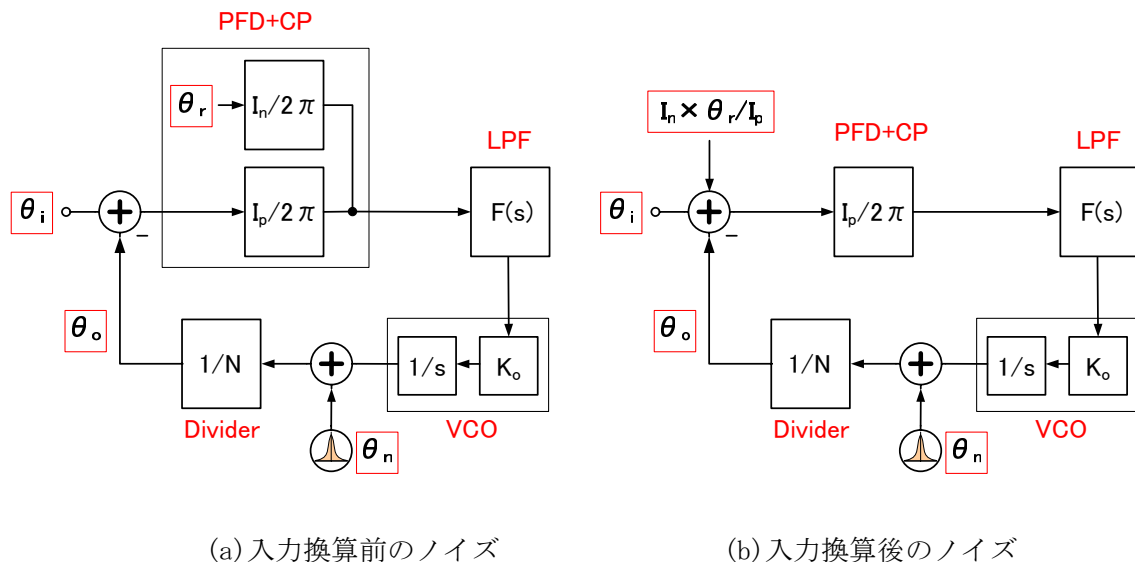


図 2-3-3-1 チャージポンプ PLL に各種ノイズが与える影響を解析するためのブロック線図

図 2-3-3-1 に示すブロック線図を用いて、VCO 位相ノイズ θ_n の、VCO 出力スペクトルへの伝達関数を求める。ブロック線図で、入力位相 θ_i は今回変化しないため、0 とすることができる。

従って、 θ_n から θ_o への伝達関数を求め、それを N 倍すると、VCO 出力スペクトルへの伝達関数を求めることができる。ブロック線図 2-3-3-1(a) より、以下の式(2.3.22)が成立する。

$$\frac{((\theta_i(s) - \theta_o(s)) \frac{I_p}{2\pi} F(s) K_o + \theta_n(s))}{sN} = \theta_o(s) \quad (2.3.22)$$

ここで、 $\theta_i(s) = 0$ とおいて $\theta_o(s)$ を求めると以下の式(2.3.23)となる。

$$\theta_o(s) = \frac{2\pi s \theta_n(s)}{I_p F(s) K_o + 2\pi N s} \quad (2.3.23)$$

VCOの位相ノイズは θ_o をN倍したもののなので、式(2.3.24)と計算される。

$$N\theta_o(s) = \frac{2\pi s N \theta_n(s)}{I_p F(s) K_o + 2\pi N s} = \frac{\theta_e(s)}{\theta_i(s)} \times \theta_n(s) \quad (2.3.24)$$

すなわち、VCOの位相ノイズが、PLL出力に与える影響は、入力位相変化対位相誤差特性 $\theta_e(s)/\theta_i(s)$ を乗算して解析できることがわかる。

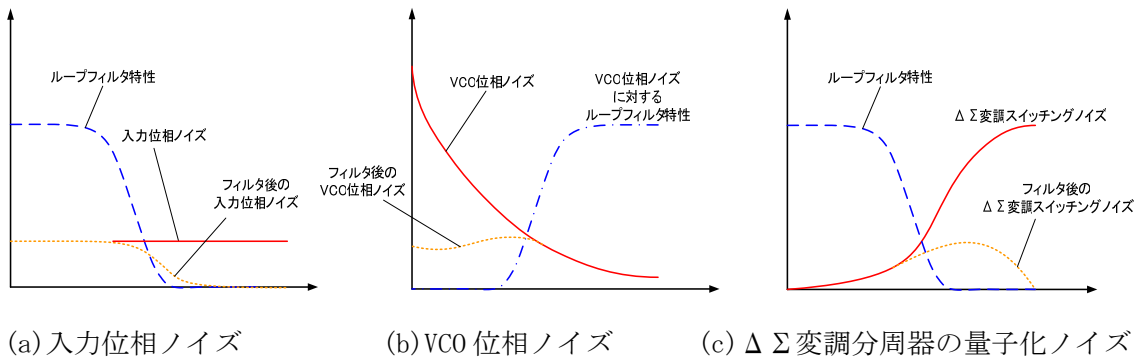


図 2-3-3-2 PLL のノイズ源のスペクトルと PLL 出力スペクトルの関係

図 2-3-3-2 に、PLL のノイズ源のスペクトルと、PLL 出力スペクトルの関係を示す。入力位相ノイズに対しては図(a)に示すように入力位相変化対出力位相特性が乗算され、VCO 位相ノイズに対しては図(b)に示すように、入力位相変化対位相誤差特性がそれぞれ乗算される。また、 $\Delta \Sigma$ 変調分周器を用いた場合に発生する量子化ノイズに対しては、図(c)に示すように、入力位相変化対出力位相特性が乗算される。PLL を、これらの位相ノイズに対して最適化するには、PLL のループバンド幅を調整して、各種出力位相ノイズ成分の総和が最小になるように調整すればよい [1]。

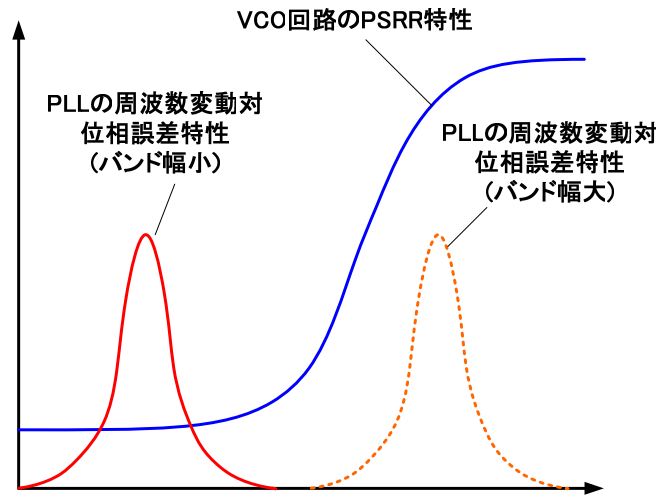


図 2-3-3-3 PLL の電源ノイズに対する PLL の伝達関数の最適化

次に、電源ノイズ等に関する、PLL の伝達関数の最適化手法について述べる。PLL は、電源ノイズ等の、VCO に周波数変動を生じさせるようなノイズに対しては、前述したように、バンドパス特性を示す。したがって、図 2-3-3-3 に示すように VCO 回路の PSRR 特性が悪い帯域に、バンドパス特性のピークが存在する必要がある。PLL のループバンド幅を高くしすぎると、PSRR 特性の良くない部分に、ノイズ感度が高い部分が移動するため、電源ノイズ感度が高くなってしまう。

2-4. PLLにおけるジッタ特性

PLLの最適化は通常位相ノイズ量が最小になるように周波数特性を決定することで行われる。一方で、PLLの特性は、周波数領域でなく、時間領域のジッタ量としても表現される [11]。従って、これらの特性の関係を明らかにしておく必要がある。

一般的に、発振器の位相ノイズスペクトルが与えられた場合、その発振器のジッタ特性とスペクトルの関係はどのようになるであろうか？ 発振器のジッタ特性は例えば n サイクルジッタ特性の場合には、図 2-4-1 に示すように n クロック前の位相と現在の位相の差分として表現される。

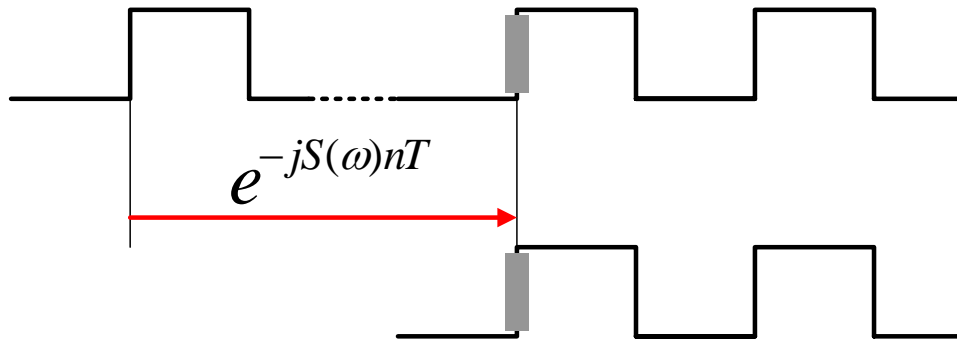


図 2-4-1 n サイクルジッタの定義

すなわち、発振器から n サイクルジッタへの位相の伝達関数は、 $1 - e^{jS(\omega)nT}$ で表される。ここで、 T は発振器の発振周期、 n は何クロック前の位相と差分をとるかを示す。すなわち、cycle-to-cycle ジッタであれば 1 となり、100 クロック後のアキュムレーションジッタを測定したい場合には、 $n=100$ とする必要がある。また、 $S(\omega)$ には発振器の位相ノイズスペクトルを与える必要がある。

従って、発振器スペクトルを $S(\omega)$ とすれば、位相ジッタに寄与する発振器の位相ノイズ量 P_n は、式(2.4.1)で表される。

$$P_n = \sqrt{\int_0^{\infty} S(\omega)^2 (1 - e^{-j\omega nT})^2 d\omega} \quad (2.4.1)$$

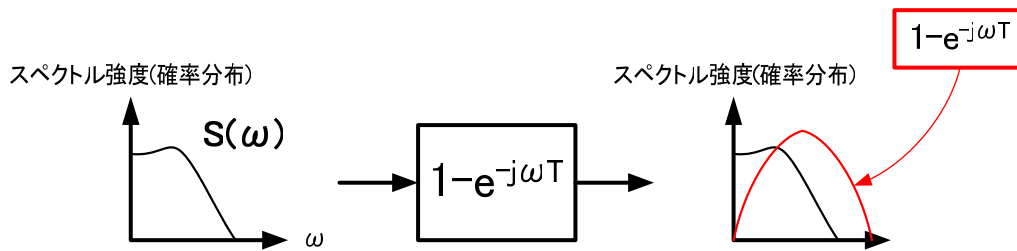


図 2-4-2 Cycle-to-cycle ジッタの計算手法

図 2-4-2 に示すように、1-cycle-to-cycleジッタの場合には、周波数 $1/(2T)$ の奇数倍の周波数に対して感度が最も高い特性を示す。従って、発振器の 1-cycle-to-cycleジッタに対しては位相ノイズの高周波成分の部分が低周波成分よりも高い感度を持っている。アキュムレーション (n-cycle-to-cycle) ジッタのように n が大きい場合には、周波数スペクトルは図 2-4-3 に示すように低周波成分に対して、感度を持つようになる。

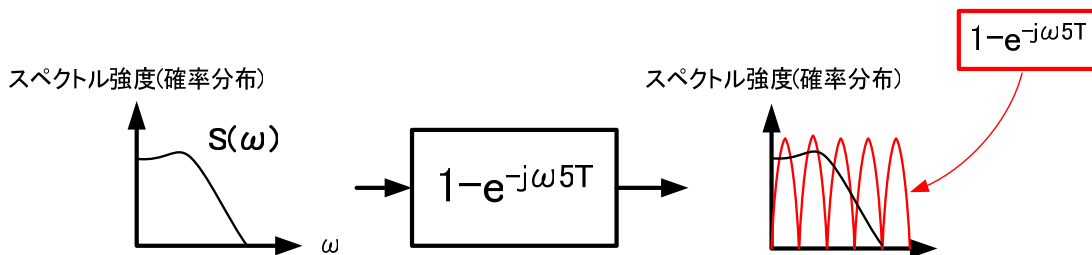


図 2-4-3 n サイクルジッタ (n=5) の場合の計算手法

n サイクルジッタが相対ジッタであるのに対し、ピリオドジッタは絶対ばらつきであるので、cycle-to-cycle ジッタとピリオドジッタには以下の関係がある。

$$\text{ピリオドジッタ} = \text{cycle-to-cycle ジッタ} \times (1/2)^{0.5} \quad (2.4.2)$$

2-5. まとめ

以上第2章では、PLLの各ブロックの動作原理、PLLの伝達特性とその最適化、およびPLLの位相特性とジッタ特性の関係について解説した。以下に第2章で得られた知見をまとめる。

1. PLL (特にチャージポンプ型PLL) に関して、各ブロックの動作原理を論じた。
2. PLL の特性を決定する3つの主要な伝達関数、入力位相変化対出力位相特性、入力位相変化対位相誤差特性および入力周波数変化対位相誤差特性の導出法を論じ、それらがそれぞれ、低域通過特性、広域通過特性、帯域通過特性を示すことを明らかにした。
3. 上述した、3つの伝達関数と位相ノイズの関係を明らかにし、PLL のノイズに対する最適化手法を明らかにした。
4. 3次ループPLL の最適伝達関数の一般的な形を示し、3次ループPLL の最適化手順を明らかにした。3次ループPLL の伝達関数を一般化したことにより、いかなるフィルタの設計も容易となった。
5. 4次ループPLL の伝達関数の最適伝達関数の近似式を提案し、能動フィルタ、および受動フィルタを用いた4次ループPLL の簡易設計手法を明らかにした。本手法を用いれば、いかなる回路形式のループフィルタを用いても、最適化近似されたPLL の伝達関数と一致させることにより容易に回路設計を行える。
6. PLL の周波数領域での位相ノイズ特性と、時間領域でのジッタ特性の関係を、 $1 \cdot e^{j\omega nT}$ の窓関数を用いることで、わかりやすい形で明らかにした。

参考文献

- [1] D. H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice Hall, ISBN 0-13-662743-9, 1991.
- [2] C. A. Sharpe, "A 3-state phase detector can improve your next PLL design," *EDN Magazine*, pp. 224 - 228, Sept. 1976.
- [3] F. M. GARDNER, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Comm.*, vol. COM-28, pp. 1849 - 1858, Nov. 1980.
- [4] 小沢 利行, PLL 周波数シンセサイザ・回路設計法, 総合電子出版社, pp. 135 - 136, 1994.
- [5] H. R. Rategh, and T. H. Lee, *Multi-GHz Frequency Synthesis & Division*, Kluwer Academic Publishers, pp. 23 - 37, 2001.
- [6] 稲葉 保, 定本 発振回路の設計と応用, CQ 出版社, ISBN4-7898-3046-2, 1993.
- [7] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State circuits*, vol. SC-27, pp. 1599 - 1607, Nov. 1992.
- [8] H. Cong, J. M. Andrews, D. M. Boulin, S. Fang, S. J. Hillenius, and J. A. Michejda, "Multigigahertz CMOS dual-modulus prescaler IC," *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 1189 - 1194, Oct. 1988.
- [9] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 553 - 559, May 1993.
- [10] J. B. Encinas, *Phase Locked Loops (Microwave Technology, No 6)*, Chapman & Hall, ISBN: 0412482606.
- [11] 後藤 健二, "発振器のジッタと位相ノイズに関する考察," 第十回精密周波数発生回路の安定化技術調査専門委員会資料, pp. 1 - 5, 2000.

第3章. フィルタの小面積化

はじめに

本節ではPLLのフィルタの小面積化に対する取り組みについて述べる。近年、システムLSIに用いられるPLLでは位相比較器は、通常デジタル回路を用いたサンプリング型が用いられる。従って、PLLはデジタル回路の性格を有する。すなわち、その実現できる応答は、位相比較器のサンプリング間隔で実現できる周波数に限定される [1-3]。図 3-1 に、その概念図を示す。

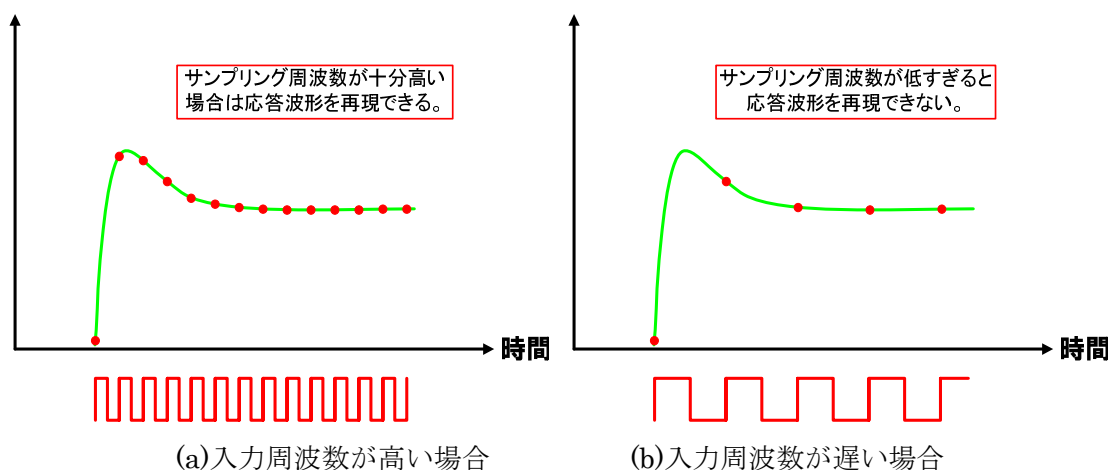


図 3-1 PLL の位相比較器のサンプリング間隔と応答周波数の関係

図 3-1 に示したように、PLL の応答周波数が、入力クロック周波数に比べて遅い場合には、PLL 応答周期の間に、位相比較器のサンプリングポイントが十分存在し、PLL の応答が、アナログ回路と同様の波形として再現される。ところが、PLL の応答周波数が、入力クロック周波数に近づいてくると、PLL 応答周期の間に、位相比較器のサンプリングポイントが、十分存在しなくなる。すると、PLL の応答はアナログ的な応答からずれてしまう。このような場合には、PLL の応答は収束せず、リップルを含むものとなり、発振状態のようになる。

理論的には、PLLの応答周波数は入力クロックの約 1/10 以下に設定しなければならない [1]。従って、入力信号周波数が遅い場合には、PLLの応答周波数もそれに比例し、必然的に遅くなる。つまり、フィルタ時定数も大きくなりフィルタを構成する容量素子の容量値も大きくなってしまふ。PLLの容量素子が大きくなると、システムLSIの製造コスト

を押し上げる要因となる。この問題は、DVDのシステムLSI等には極めて大きな問題となる。

また、DVD等のシステムLSIでは、LSIの動作に様々なモードがあり、それぞれのモードで、PLLに入力される信号周波数は大きく異なる。また、DVD等のディスクシステムでは、ディスクの外周と内周で、入力周波数が約3倍程度、連続的に変化する [4]。従って、PLLは入力周波数に対して、最適な応答を保つように、その応答周波数を変化させることが望ましい。本節では、これらの課題に対する取り組みを以下に述べる。

3-1. 小面積フィルタ実現へのアプローチ

3-1-1. PLL フィルタの等価変換原理

PLLで、最も面積コストを占めるのはフィルタである。フィルタ部の考察を行う上で基本となるフィルタ構成は図 3-1-1-1 に示す、PLLの一次フィルタである。

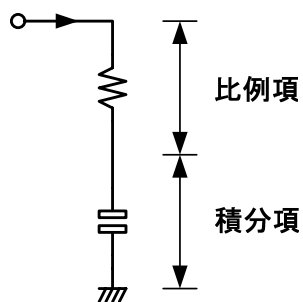


図 3-1-1-1 PLL の一次フィルタ

図 3-1-1-1 において、抵抗には急峻な電圧変化がかかるので、抵抗の役割は周波数応答において位相応答に対する比例項となる。また、容量は積分項となり、PLLの応答時定数を決定する。図 3-1-1-1 に示す一次フィルタを用いた場合には、フィルタにチャージポンプ回路を用いて充放電する際に、図 3-1-1-2 に示すような、急峻なフィルタ電圧の変化を引き起こす。従って、充放電期間において、VCO発振周波数が急激に変化して、パターンジッタの原因となる。従って通常は、図 3-1-1-3 に示すように、パターンジッタを緩和するために、一次フィルタに並列に平滑フィルタを挿入して、2次フィルタとして用いることが一般的である。

VC0の制御信号の変化が急峻なため
VC0出力も急に変化しパターンジッタは大

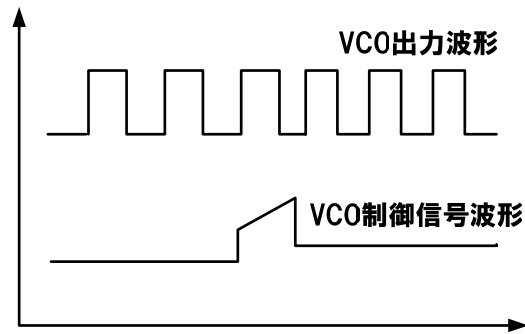


図 3-1-1-2 一次フィルタを用いた場合のフィルタ出力の応答

PLLの2次フィルタの応答は、図 3-1-1-4 に示すように、図 3-1-1-2 に比較して緩やかとなり、パターンジッタが緩和される。

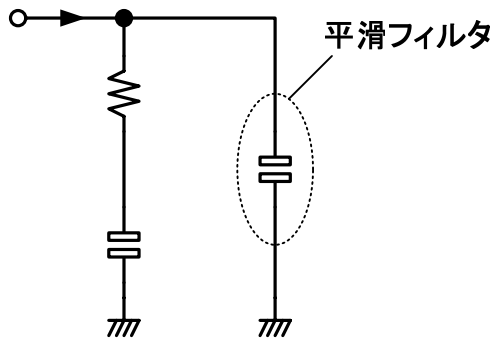


図 3-1-1-3 PLLの2次フィルタの構成

VC0の制御信号の変化は緩やかで
VC0出力変化も少なくパターンジッタは小

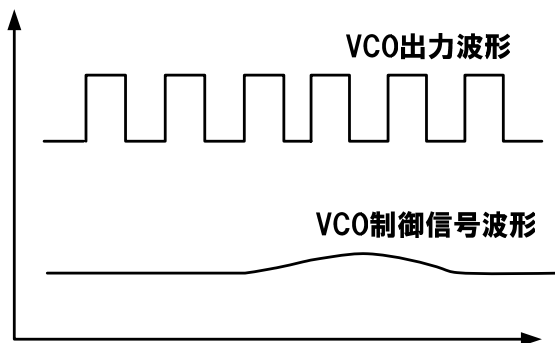


図 3-1-1-4 2次フィルタを用いた場合のフィルタ出力の応答

PLLの2次フィルタは、通常は、図 3-1-1-3 に示す構成で、用いられることが多いが、図 3-1-1-5 (b)に示すフィルタを用いても、同じ応答を持つフィルタが構成できる。

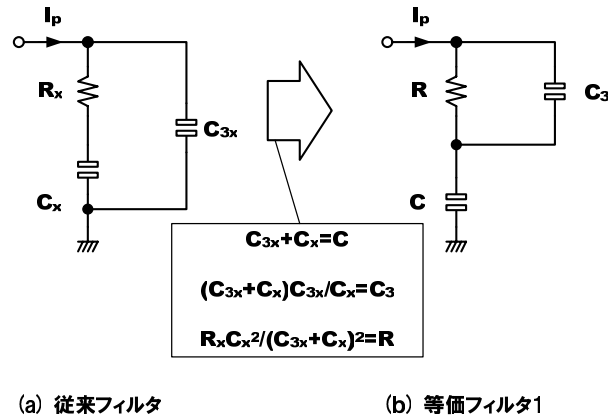


図 3-1-1-5 2次フィルタの等価変換

等価変換のための変換式を、以下に示す。

$$C_{3x} + C_x = C \quad (3.1.1)$$

$$\frac{(C_{3x} + C_x)C_{3x}}{C_x} = C_3 \quad (3.1.2)$$

$$\frac{R_x C_x^2}{(C_{3x} + C_x)^2} = R \quad (3.1.3)$$

図 3-1-1-6 に、PLLのフィルタが一定のループバンド幅とダンピングファクタを持つとした場合に、チャージポンプ回路のチャージ電流とループフィルタを構成する抵抗および容量のそれぞれの素子値の関係について示す。

図 3-1-1-6 に示すように、抵抗素子の抵抗値とチャージ電流は反比例、容量素子の容量値とチャージ電流の関係は比例関係となる。すなわち、チャージ電流を α 倍すると、容量値は α 倍、抵抗値は $1/\alpha$ 倍した値が最適値となる。

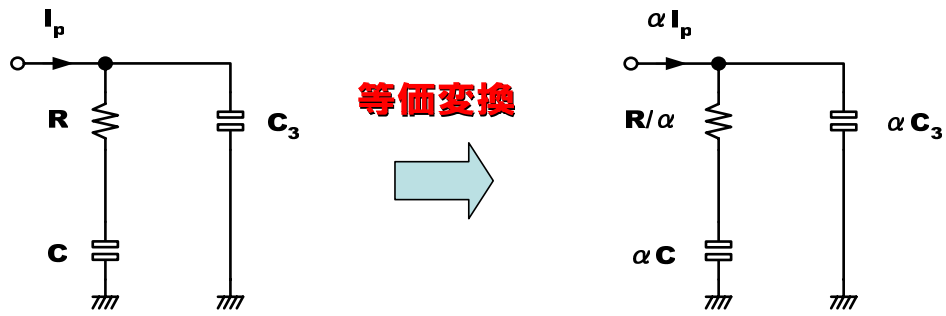


図 3-1-1-6 ループフィルタの等価変換

従って、通常のループフィルタでは、チャージ電流の増減により、容量と抵抗のどちらかの素子値が大きくなってしまいます。すなわち、容量が小さくなり、抵抗が大きくなった場合には、抵抗の発生する熱雑音が、PLLの位相ノイズ特性やジッタ特性を劣化させてしまうため、フィルタの小面積化には限界がある。

3-1-2. 小面積 PLL フィルタ手法 (2CP 方式)

3-1-1節で示したように、一般に用いられているフィルタでは、チャージポンプ電流に対して容量と抵抗値の間にトレードオフが存在し、フィルタの小面積化を妨げている。従って、フィルタパラメータの自由度を増やし容量と抵抗が独立にパラメータ決定を行えるようにする手法が考えられる。すなわち、抵抗には大きなチャージポンプ電流を与え、容量には小さなチャージポンプ電流を与えることにより、容量のみを小さくすることが可能である。この概念は図 3-1-2-1(a)や(b)に示すように、チャージポンプ回路を2つ使用し、抵抗と容量に与えるチャージ電流を変化させることができれば実現できる。その際には、従来のPLL 2次フィルタの構成よりも図 3-1-1-5に示す2次フィルタ構成のほうが従来の伝達関数と等価な伝達関数を実現できる [5]。

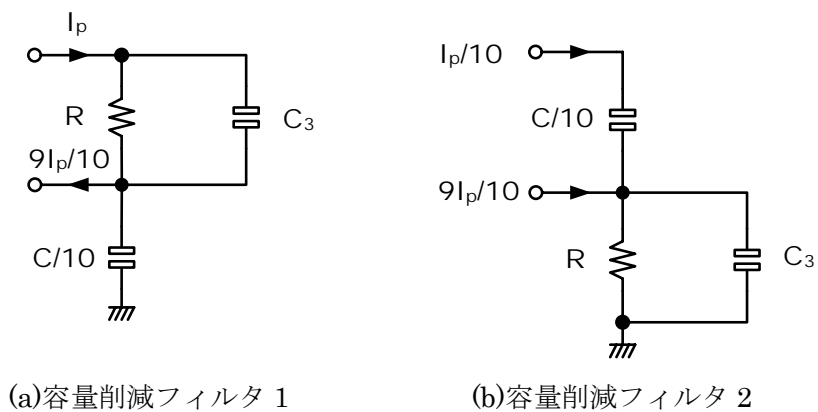


図 3-1-2- 1 容量削減フィルタの回路構成

図 3-1-2- 1 に示すフィルタの伝達関数は、従来のフィルタの伝達関数と等価にすることが可能である。この例では、フィルタ容量を従来の 1/10 に削減しているが、チャージポンプ電流を調整することにより削減比も可変可能である。しかしながら、平滑フィルタの容量は削減されないため、平滑フィルタの容量と主容量の容量値が一致する程度の削減比が妥当であると考えられる。図 3-1-2- 1 (b) に示す容量削減フィルタの場合は、定常状態において抵抗の上端の電圧が接地電圧に近くなると考えられるので、チャージポンプ回路の出力電圧も接地電圧に近くなり、充放電動作が不安定になると考えられる。従って、図 3-1-2- 2 に示すように、電流源と MOS 抵抗で、簡易的なバッファ回路を作り、抵抗の上端の電位を、回路が動作しやすい電圧に設定することにより、充放電動作を安定化させる [6]。

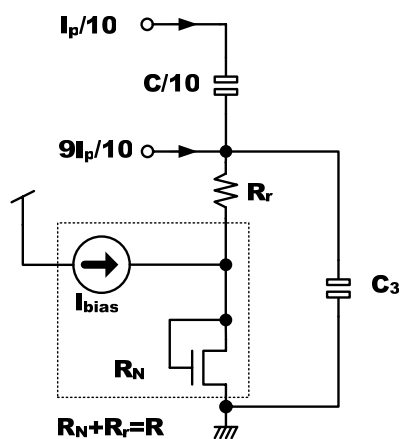


図 3-1-2- 2 容量削減フィルタの改良

PLL のフィルタの応答は図 3-1-1- 1 に示すとおり、比例項と積分項の加算である。

また、図 3-1-1-5 に示すように、パターンジッタ低減のため、比例項に並列に平滑フィルタを挿入している。従って、図 3-1-1-1 に示すように、直列に比例項と積分項を加算するのではなく、演算増幅器等の加算器を用いて加算しても良い。すなわち、図 3-1-2-3 のような、フィルタ構成をとってもかまわない。

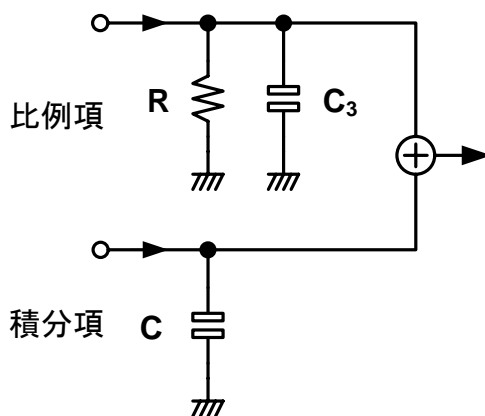


図 3-1-2-3 並列型の PLL フィルタ構成

図 3-1-2-3 の加算器を具体的にした構成を図 3-1-2-4 に示す。NMOSトランジスタを用いて電流加算することにより、フィルタ出力を簡単に加算することが可能である。

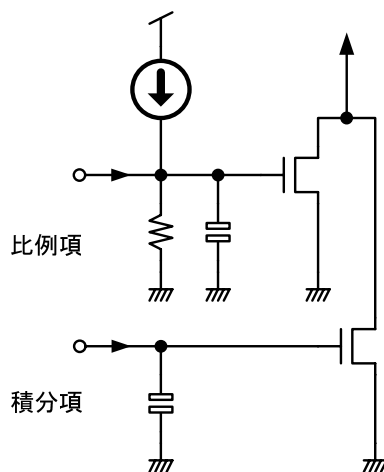


図 3-1-2-4 並列型の PLL フィルタ構成(加算器の具体的な構成)

図 3-1-2-4 に示すフィルタの場合、比例項を構成する信号の伝達パスがオフセットバイアスを生じるので、ダイナミックレンジを損なう恐れがある。また、NMOSトランジスタは非線形であるので、バイアス条件によって加算係数が異なり、伝達関数が安定しないという恐れもある。そこで、図 3-1-2-5 に示すように、オフセットバイアスを生じな

い回路構成をとることもできる。

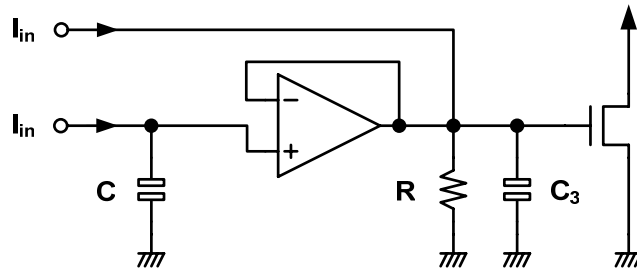


図 3-1-2-5 オフセットバイアスを生じない PLL フィルタ構成

図 3-1-1-6 に示す従来の PLL フィルタ伝達関数を、 $F_{org}(s)$ とし以下に示す。

$$F_{org}(s) = I_{inx} \times \frac{(1 + \frac{C_{3x}}{C_x})(sC_x R_x + 1)}{sC_x (sR_x \frac{C_{3x}C_x}{(C_{3x} + C_x)} + 1)} \quad (3.1.4)$$

式(3.1.4)には、識別のためのサフィックス x を付加することとする。一方、図 3-1-2-5 に示すフィルタの伝達関数を $F_{s1}(s)$ とすれば、以下の式で表される。

$$F_{s1}(s) = I_{in} \times \frac{(sCR + 1)}{sC(sC_3R + 1)} \quad (3.1.5)$$

式(3.1.4)と式(3.1.5)を等価にするためには、式(3.1.6)の変換を行えばよい。

$$\begin{cases} R = R_x \\ C = C_x \\ C_3 = C_{3x}C_x / (C_{3x} + C_x) \\ I_{in} = I_{inx} (1 + C_{3x}/C_x) \end{cases} \quad (3.1.6)$$

さらに、図 3-1-2-5 から図 3-1-2-3 に示すフィルタへの変換法を以下に示す。
図 3-1-2-3 に示すフィルタの伝達関数は、次の式(3.1.7)に示すとおりである。

$$F_{s2}(s) = I_{in} \times \frac{(s(C + C_3)R + 1)}{sC(sC_3R + 1)} \quad (3.1.7)$$

式(3.1.5)で示す図 3-1-2-5 の伝達関数 $F_{s1}(s)$ に、サフィックス x を付加し、式(3.1.7)への等価変換を考える。この場合、変換パラメータは一意には決定されない。式(3.1.7)の R を任意の R_f とした場合、変換式は以下のように決定される。

$$\begin{cases} R = R_f \\ C = (C_X - C_{3X}) \frac{R_X}{R_f} \\ C_3 = C_{3X} \frac{R_X}{R_f} \\ I_{in} = I_{inx} \frac{(C_X - C_{3X}) R_X}{C_X R_f} \end{cases} \quad (3.1.8)$$

以上、PLLの小面積化のアプローチの一つとして、チャージポンプ回路を2個使用し、フィルタの比例項と積分項を別々に駆動することによりPLLの小面積化を実現できることが示された。具体的な回路の試作例と評価結果は 3-4 節で報告する。

3-1-3. 小面積 PLL フィルタ手法 (SC 方式)

PLLの小面積化の手法として、3-1-2節に示した方式では、積分項を構成する容量素子値の削減はチャージポンプ電流を小さくすることにより可能であった。しかしながら、比例項を構成する抵抗に並列接続される平滑容量の容量値の削減は、抵抗値が大きくなることを避けるため難しかった。また、3-1-2節で示す手法では、チャージポンプ回路が2個必要であることも、小型化を妨げる要因となる。

そこで、小面積 PLL を構成するもう一つのアプローチとして、比例項を構成する抵抗を SC 回路を用いた等価抵抗に置換することにより実現する手法について以下に論じる。

PLLの伝達関数が変わらないとした場合に、チャージポンプ回路のチャージ電流と、ループフィルタを構成する抵抗および容量のそれぞれの素子値の関係は、すでに図 3-1-1-6 に示したとおりである。

すなわち、抵抗素子の抵抗値とチャージ電流は反比例、容量素子の容量値とチャージ電流の関係は比例関係となる。つまり、図 3-1-1-6 に示すように、チャージ電流を α 倍すると、容量値は α 倍、抵抗値は $1/\alpha$ 倍した値が最適値となる

従って、通常のループフィルタでは、チャージ電流の増減により、容量と抵抗のどちらかの素子値が大きくなってしまいうため、フィルタの小面積化には限界がある。ここで、抵抗をスイッチトキャパシタ回路で構成した場合について考察する。素子値 R の抵抗素子を、スイッチトキャパシタ回路で構成した場合、抵抗値 R_s は(3.1.9)式で表現される。

$$R_s = 1/(f_s C_R) \quad (3.1.9)$$

ここで、 f_s はスイッチトキャパシタ回路のサンプリング周波数であり、 C_R は容量値である。この回路で重要なことは、抵抗 R_s を大きくする場合には C_R を小さくしなければならないということである。すなわち、チャージ電流とスイッチトキャパシタ回路で構成される等価抵抗の容量値は比例関係となる。従って、ループフィルタの抵抗素子としてスイッチトキャパシタ回路を用いた場合には、チャージ電流に対してフィルタを構成するすべての素子が比例関係となる。従って、チャージ電流値を減少させることにより容易にループフィルタの面積を縮小することが可能となる。

また、スイッチトキャパシタ回路を用いれば 3-1-2節においては実現されなかった、パターンジッタを削減するための容量 C_3 の素子値もあわせて小さくすることが可能である。次に、どのような回路構成が、スイッチトキャパシタ回路による抵抗（以降SC抵抗と呼ぶ）を用いたループフィルタ回路にふさわしいかを述べる。

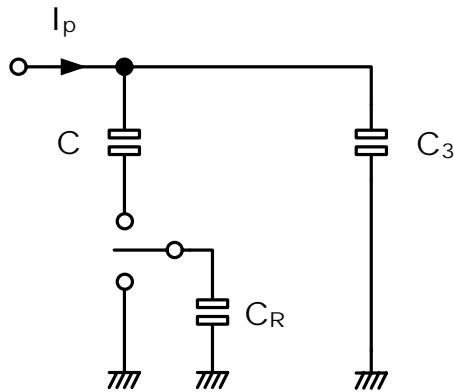


図 3-1-3-1 SC 抵抗を用いたループフィルタ

まず図 3-1-3-1 に示すように、SC 抵抗を容量 C に接続し、他方を接地して使用する回路が考えられる [9]。この回路形式はもっとも回路構成が単純である。しかしながら、この回路形式では、SC 抵抗を構成する容量 C_R に、MOS トランジスタの閾値電圧以上の電圧が必ず印加されるとは限らない。すなわち、 C_R を MOS 容量で構成することができない。LSI で用いられる容量素子のうち、単位面積あたりの容量値が最も大きいものは MOS 容量である。従って、MOS 容量素子で構成された回路の面積が最も小さくなる。MOS 容量のみで構成できるループフィルタ回路としては図 3-1-3-2 に示す回路が知られている [10]。従って、図 3-1-3-2 に示すフィルタ回路の抵抗素子を、SC 抵抗で置き換えた場合について、次に考察する。

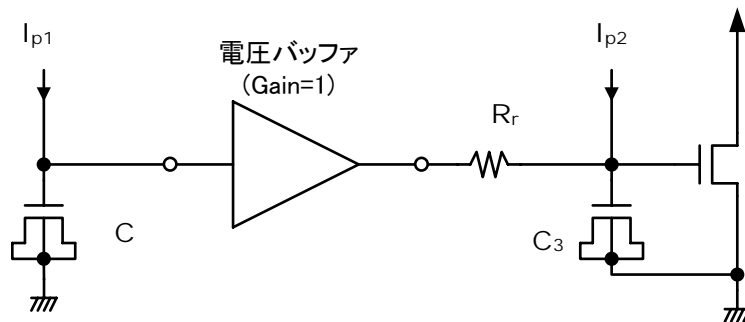


図 3-1-3-2 MOS 容量のみで構成できるループフィルタ回路

図 3-1-3-2 に示したループフィルタは、チャージポンプ回路を 2 個使用するが、伝達関数を図 3-1-1-6 に示す回路と同じにすることは容易である。また、フィルタ出力は NMOS トランジスタに入力されており、容量 C と C_3 には必ずゲート電位以上の電圧が引加されることが保証される。従って、容量 C と C_3 に MOS 容量を使用することが可能である。図

3-1-3- 2 に示す回路の抵抗Rをここで、図 3-1-3- 3 に示すように、2 相クロックで動作する SC 抵抗で置き換える。

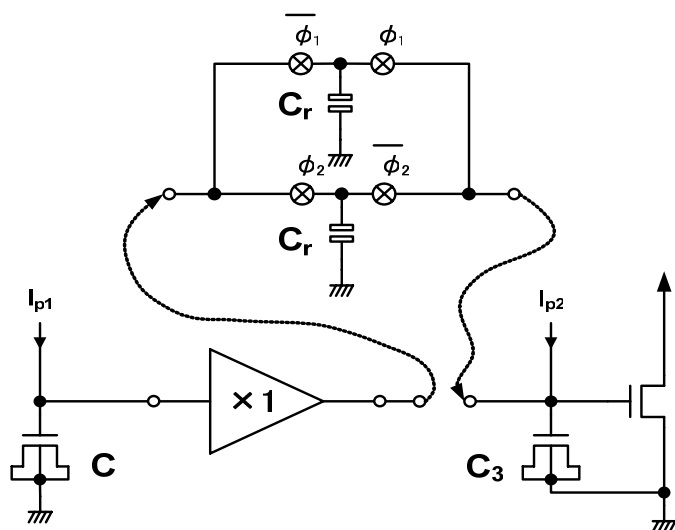


図 3-1-3- 3 抵抗を SC 抵抗で置き換えた場合のループフィルタ回路

ここで、SC 回路の駆動クロックとしては、チャージポンプ回路の動作中に、SC 回路のスイッチングが生じることのないようにしなければならない。従って、図 3-1-3- 4 に示すように、位相比較器のリセットパルスを駆動クロックとして利用する [11]。ところが、位相比較器のリセットパルスを駆動クロックとした場合には図 3-1-3- 3 に示すループフィルタは正常に動作しない。

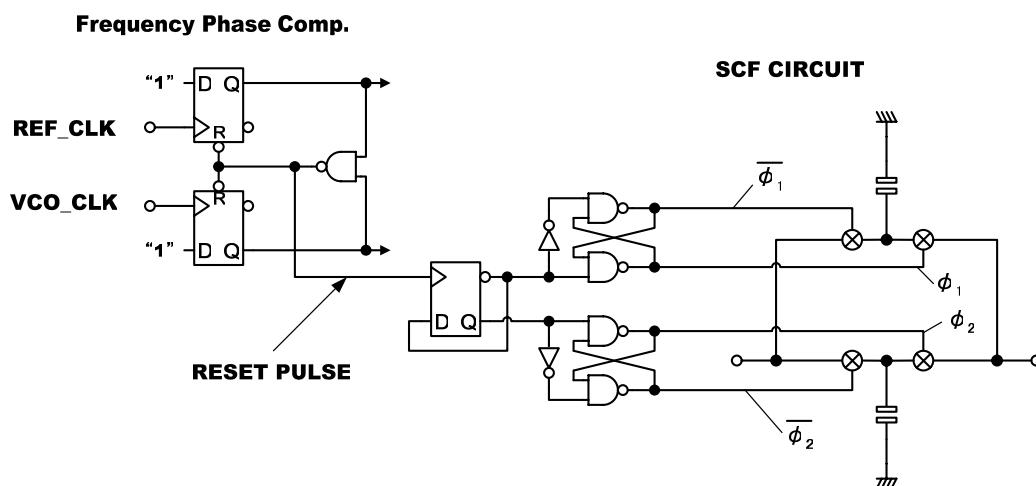


図 3-1-3- 4 SC 抵抗の駆動クロックの生成方法

これは、SC 抵抗の容量 C_r にチャージ電流 I_{p2} からの電荷が蓄積されるが、即座に容量のス

イッチングが行われるため、 I_{p2} からの電荷が何の働きもしないまま、バッファ回路に吸収されてしまうためである。SC抵抗が正常に動作するためには、少なくとも1クロックの間チャージ電流 I_{p2} によって充電された電荷が、フィルタ出力側で保持される必要がある。従って、図 3-1-3-5 に示すように、SC抵抗を3相クロック(図 3-1-3-6 参照)で駆動し、3つの容量のうち、常に1つはフィルタ出力側に接続されるようにする必要がある。

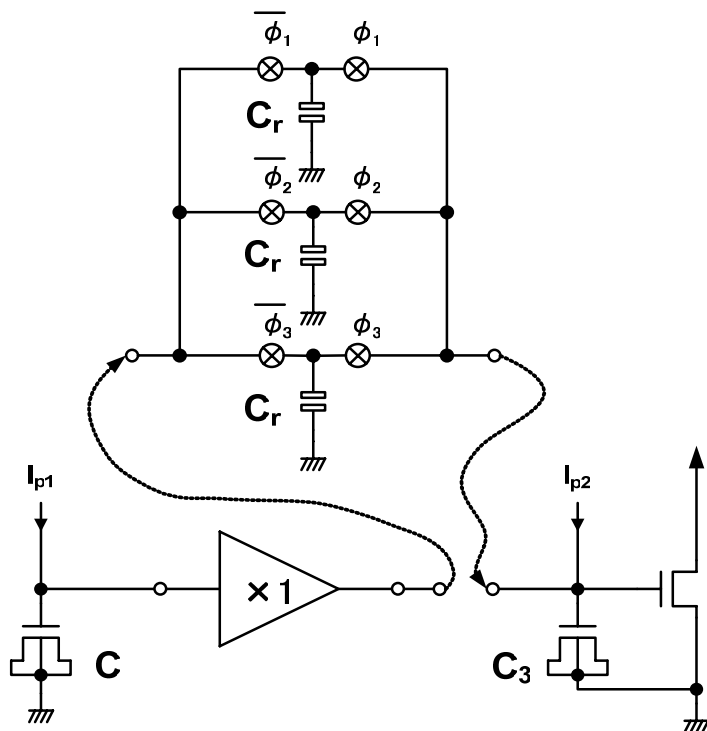


図 3-1-3-5 3相クロック SC抵抗で構成されたループフィルタ

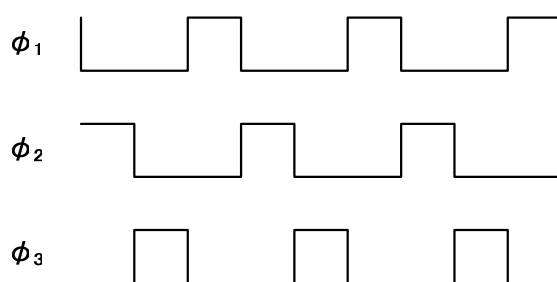


図 3-1-3-6 3相クロックのタイムシーケンス

このようにSC抵抗を修正することにより、ループフィルタの動作を正常にすることが可能となる。ここで、さらに図 3-1-3-5 の回路の動作を考慮すると、常にSC抵抗を構成する容量の1つが出力端に接続されているわけであるから、容量 C_3 を $C_3 + C_r$ とし、SC抵抗を2相クロックで動作させても、3相SC抵抗を接続した場合と、同じ効果を得ることが

できる。従って、ループフィルタは、図 3-1-3-7 に示す回路構成に変形できることがわかる。

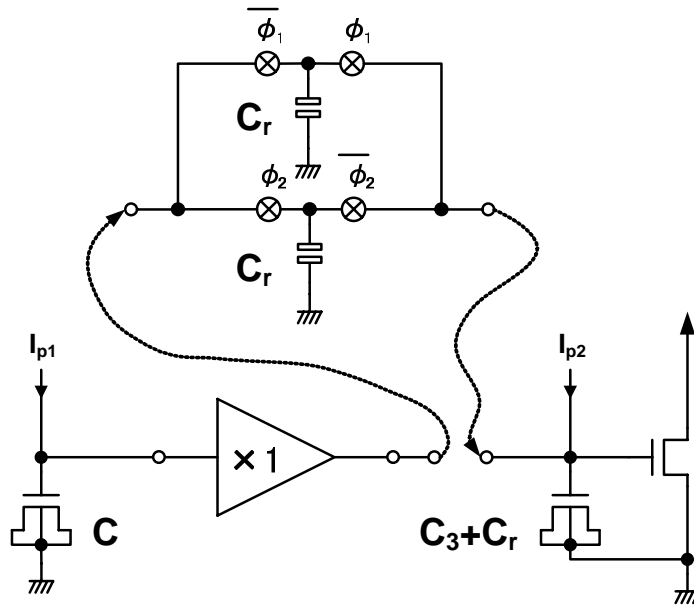


図 3-1-3-7 3相 SC 抵抗から 2相 SC 抵抗への変形

図 3-1-3-7 に示す回路構成で、ループフィルタの動作としては十分であるが、さらに回路の簡単化が可能かを検討する。まず図 3-1-3-7 に示すループフィルタ回路では、チャージポンプ回路が 2 個必要となる。チャージポンプ回路は演算増幅器を必要とするため、かなりの割合で回路面積を増加させる。従って、チャージポンプ回路は 1 つであることが望ましい。その場合には、電圧バッファ回路を取り除き、チャージ電流が全ての容量に供給されるようにする必要がある。ここで、電圧バッファの役割は、チャージ電流 I_{p2} が容量 C に流れ込まないように吸収することであった。図 3-1-3-2 において、チャージ電流 I_{p1} と I_{p2} を分離した理由は、抵抗 R の値がチャージ電流 I_{p2} に反比例するため、 I_{p2} が容量 C に流れ込むと容量 C と抵抗 R が同じ電流の影響を受け、素子値を小さくできないことである。ところが、今回は抵抗 R を SC 抵抗で構成しているためフィルタを構成する素子は容量のみである。従って、素子値はチャージ電流に比例するので、バッファ回路でチャージ電流 I_{p1} と I_{p2} を分離する必要がないことがわかる。従って、バッファ回路は不要となるのでフィルタ回路の最終形は、図 3-1-3-8 に示す非常にシンプルな構成にできる。スイッチトキャパシタフィルタはサンプリングフィルタであるため、サンプリング周波数に比例して、カットオフ周波数が決定される。これは、第 4 章で述べる PLL のアダプティブバイアス化の実現に、非常に有利な手法である。すなわち、スイッチトキャパシタフィルタを PLL のループフィルタとして用いることにより、小面積化とアダプティブバイアス化が同時に実現される。

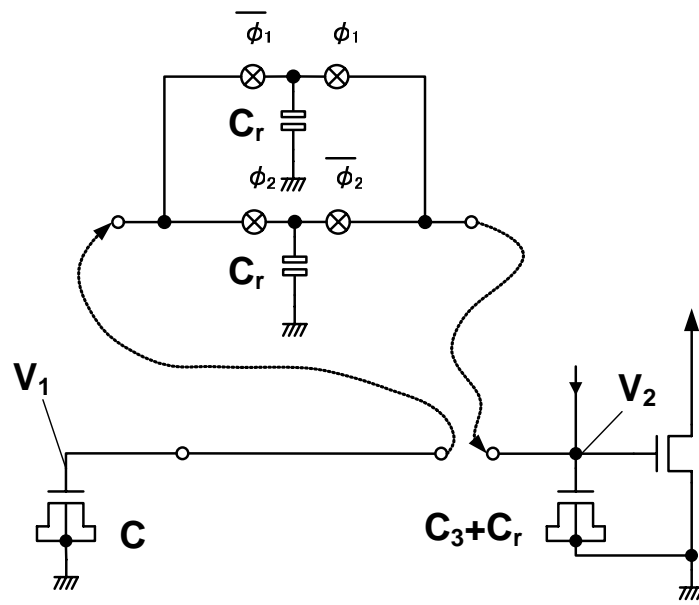


図 3-1-3-8 SC 抵抗を用いたループフィルタの最終形

3-1-4. 小面積 PLL フィルタにおける小面積化の限界

以下に 3-1-1 節から 3-1-2 節で論じた、PLL の小面積化の限界について検討する。図 3-1-4-1 に、一般的な PLL の位相ノイズ特性の模式図を示す。

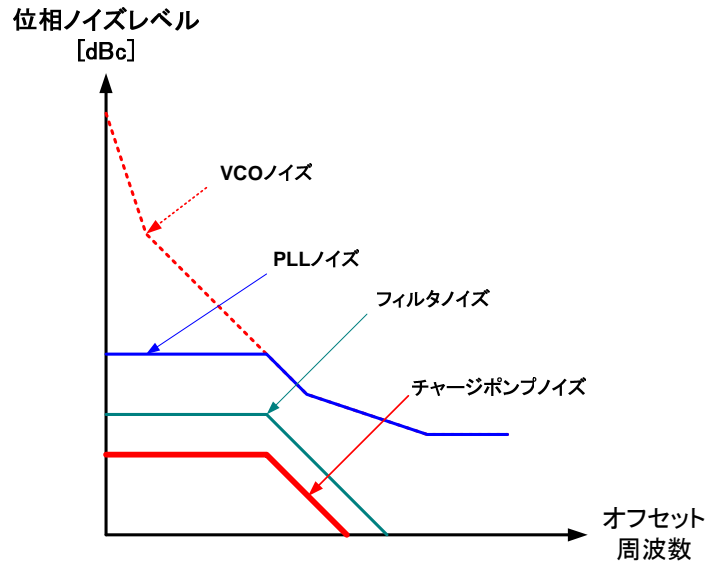


図 3-1-4-1 一般的な PLL の位相ノイズ特性

PLL の位相ノイズの、具体的な計算手法については、第 6 章で詳述するが、一般的に、チャージポンプ回路から出力される位相ノイズ量は非常に少ない。その理由は、チャージポンプ回路を動作させる周波數位相比較器に図 2-1-2 で示した回路を用いれば、チャージポンプ出力は、非常にアクティブ期間の短い電流パルスとなり、その動作割合は入力クロック周期の $1/100$ から $1/20$ 程度にしかならないためである。従って、位相ノイズ量も、その時点で、チャージポンプ回路の動作割合の分だけ減少することになる。また、チャージポンプ回路の出力は電流パルスであるため、 $1/f$ ノイズ成分も高域に拡散し位相ノイズスペクトルは平坦な分布特性を示す。従って、チャージポンプ回路の電流量を小さくし、電流出力に含まれる $1/f$ ノイズが大きくなったとしてもノイズは電流パルスに変換されて高域に拡散される。さらに、チャージポンプ回路の動作割合の分しかノイズエネルギーとしては寄与しないため、PLL の位相ノイズ特性に与える影響を小さく保つことができる。チャージポンプノイズの効果を考慮し、最も効果的なフィルタノイズ削減手法を次に述べる。まず、図 3-1-4-2 に示すように、第一段階として、通常フィルタの構成のまま、チャージ電流を小さくする。すると PLL の全体の容量が小さくなるが、フィルタに用いている抵抗値は反対に大きくなるので、フィルタノイズが大きくなる。フィルタノイズレベルが PLL ノイズレベルに接近した段階で、第二段階として、図 3-1-4-3 に示すように、3-1-2 節で説明した 2CP 方式のフィルタを用いて、フィルタ抵抗値を一定に保ちながら、今度はチャ

ージ電流値を少なくする。チャージポンプノイズが、PLLノイズに接近した時点で小面積化を終了すれば、最も効果的にフィルタ面積を削減できる。

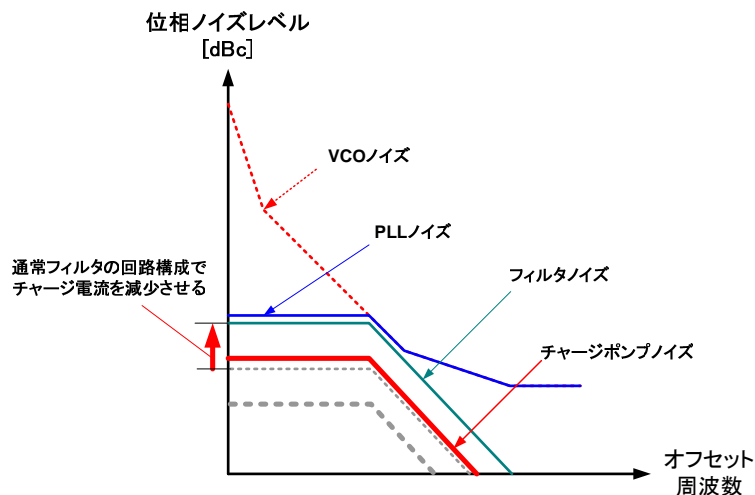


図 3-1-4- 2 フィルタ小面積化手法(第一段階)

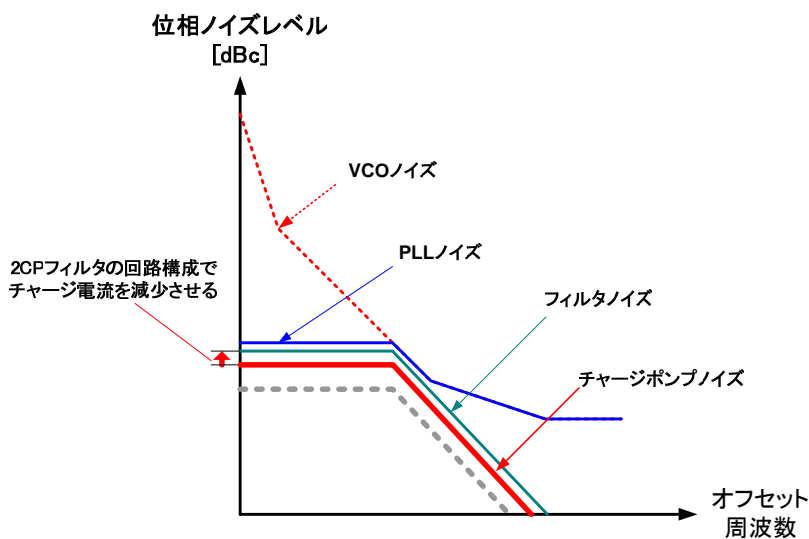


図 3-1-4- 3 フィルタ小面積化手法(第二段階)

2 CP フィルタの回路構成の場合には、フィルタの主容量 C は削減されるが、平滑容量 C_3 は削減されないため、小面積化としては、 $C=C_3$ 程度の小面積化が限界となる。

一方、SC 方式を採用した場合には、全ての容量の小面積化が可能であるため、チャージポンプおよびフィルタの位相ノイズ特性が、PLL に影響を与えない限界まで小面積化が理論上可能である。

3-2. 小面積 SC ループフィルタ設計法

3-2-1. 2相 SC フィルタの設計手法

次に、3-1-3節で示した、通常のループフィルタからSC抵抗を用いたループフィルタへの置換原理について、その妥当性を解析的に検討する。s変数を用いたフィルタからz変数を用いたフィルタへの変換には、双一次z変換、インパルス不変変換（標準z変換）等の変換法が存在する [12]。今回の、通常のループフィルタからSC抵抗を用いたループフィルタへの変換には、インパルス不変変換を用いる。その理由は、双一次z変換を用いた場合は、SC抵抗を用いたループフィルタに対して、伝達関数を一致させることはできないが、インパルス不変変換を用いた場合には、伝達関数を一致させることが可能となるからである。インパルス不変変換を用いた場合には、文字通りアナログフィルタのインパルス応答とデジタルフィルタのインパルス応答を一致させることにより、フィルタの素子値を決定することができる。

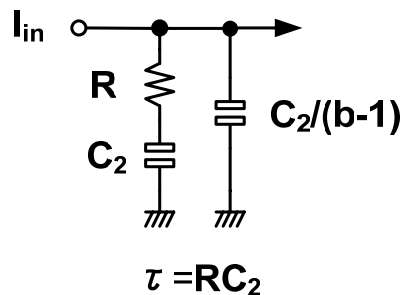


図 3-2-1-1 2次ループフィルタ

図 3-2-1-1 に示す通常の2次フィルタのインパルス応答は、次の式(3.2.1)のとおりである。

$$F(t) = \frac{I_{in}(b-1) \left\{ (b-1)e^{\left(\frac{-bt}{\tau}\right)} + 1 \right\}}{bC_2} \quad (3.2.1)$$

次に 図 3-1-3-8 に示すSC抵抗を用いたループフィルタの動作を、z変数を用いて記述すると、以下の式(3.2.2)と(3.2.3)で表現される。ここで、図 3-1-3-8 で $C_3=C_X$ としている。

$$V_1(n+1) = \frac{\left(V_2(n) + \frac{I_{in} t_e}{C_x + C_r} \right) C_r + V_1(n) C}{C + C_r} \quad (3.2.2)$$

$$V_2(n+1) = \frac{V_1(n) C_r + \left(V_2(n) + \frac{I_{in} t_e}{C_x + C_r} \right) C_x}{C_x + C_r} \quad (3.2.3)$$

従って、 $V_1(n+1)$ と $V_2(n+1)$ が一サンプル後の値と等しいとすることにより、フィルタの伝達関数を導くことが可能となる。すなわち、次の式(3.2.4)と式(3.2.5)が導かれる。

$$V_1(n) \times z = \frac{\left(V_2(n) + \frac{I_{in} t_e}{C_x + C_r} \right) C_r + V_1(n) C}{C + C_r} \quad (3.2.4)$$

$$V_2(n) \times z = \frac{V_1(n) C_r + \left(V_2(n) + \frac{I_{in} t_e}{C_x + C_r} \right) C_x}{C_x + C_r} \quad (3.2.5)$$

式(3.2.4)と式(3.2.5)を解くことにより、以下の式(3.2.6)を得ることができる。

$$V_2(z) = \frac{I_{in} T_{clk} \{ (C_x C + C_x C_r) z + C_r^2 - C_x C \}}{(z-1)(C_x + C_r) \{ (C_x C + C_x C_r + C_r C + C_r^2) z + C_r^2 - C_x C \}} \quad (3.2.6)$$

SC抵抗を用いたループフィルタの伝達関数は、式(3.2.6)を逆z変換することにより、求めることができる。 $V_2(z)$ の逆z変換を、以下の式(3.2.7)に示す。

$$Z(t) = \frac{-I_{in} \left(\text{charfcn}_0(n) (2C_r + C + C_x) - X^n (C_r + C) - (C_r + C_x) \right)}{\{ (C_x + C_r) (2C_r + C + C_x) \}} \quad (3.2.7)$$

ここで、 X と関数 $\text{charfcn}_0(n)$ を、以下の式(3.2.8)のように定義する。

$$X = \frac{-C_r^2 + C_x C}{(C_x + C_r)(C + C_r)} \quad (3.2.8)$$

$$\text{charfcn}_0(n) = 1(n=0) \quad \text{or} \quad 0(n \neq 0) \quad (3.2.9)$$

インパルス不変変換では、文字通り s 変数のインパルス応答が、 z 変数領域においても保存されるようにパラメータ変換を行う。従って、式(3.2.1)と式(3.2.7)のインパルス応答が一致するようにSC抵抗を用いたループフィルタの定数を設定する必要がある。式(3.2.1)と式(3.2.7)の、インパルス応答を比較した結果を図 3-2-1-2 に示す。

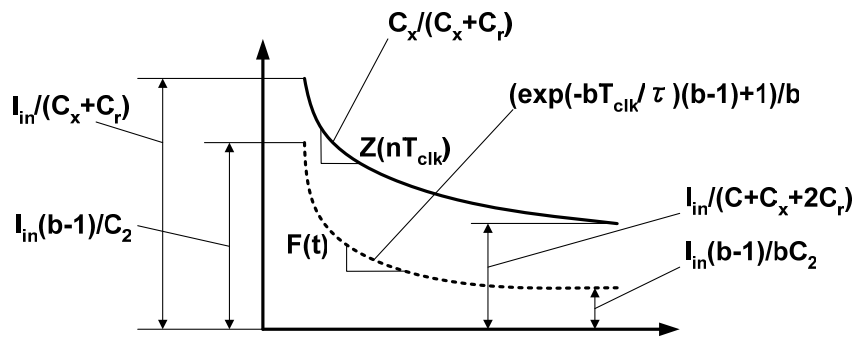


図 3-2-1-2 ループフィルタのインパルス応答の比較

図 3-2-1-2 に示すインパルス応答の初期値、収束値、および応答の減衰率の、3つのパラメータを一致させるとした場合、下記の連立方程式(3.2.10)から(3.2.12)を得る。

$$I_{in} / (C_x + C_r) = I_{in} (b-1) / C_2 \quad (3.2.10)$$

$$I_{in} / (C + C_x + 2C_r) = I_{in} (b-1) / (bC_2) \quad (3.2.11)$$

$$C_x / (C_x + C_r) = (e^{(-bT_{clk}/\tau)} (b-1) + 1) / b \quad (3.2.12)$$

式(3.2.10)から(3.2.12)を解くことにより、SC抵抗を用いたループフィルタの値、

C, C_xおよびC_rを得ることが可能となる。

すなわち、最終的に式(3.2.13)から式(3.2.15)を、得ることができる。

$$C = \frac{\left(b + e^{\left(\frac{bT_{clk}}{\tau} \right)} - 1 \right)}{b} C_2 \quad (3.2.13)$$

$$C_x = \frac{\left(e^{\left(\frac{bT_{clk}}{\tau} \right)} (b-1) + 1 \right)}{b(b-1)} C_2 \quad (3.2.14)$$

$$C_r = \frac{\left(1 - e^{\left(\frac{bT_{clk}}{\tau} \right)} \right)}{b} C_2 \quad (3.2.15)$$

式(3.2.13)から(3.2.15)の妥当性を以下に検証する。たとえば設計パラメータとして、原型のループフィルタ定数が、以下の場合についてフィルタ変換を行う。

$$C_2 = 43.2 \text{ pF}$$

$$R = 17.7 \text{ K}\Omega$$

$$b = 9$$

$$I_{in} = 25 \text{ uA}$$

$$T_{clk} = 1/25 \text{ MHz}$$

この場合、C、C_x、C_rは以下のとおりに計算される。

$$C = 41.4 \text{ pF}$$

$$C_x = 3.6 \text{ pF}$$

$$C_r = 1.8 \text{ pF}$$

また、図 3-1-3-8 に示したフィルタに、容量値を当てはめたの場合（以降トポロジー変換手法と呼ぶ）には、

$$C = 36.8 \text{ pF}$$

$$C_x = 6.3 \text{ pF}$$

$$C_r = 2.0 \text{ pF}$$

と計算される。

原型フィルタとSCCループフィルタの、インパルス応答の比較結果を図 3-2-1-3 に示す。比較結果は完全に重なってしまうため、オフセット(1e6)をつけて図に表示している。

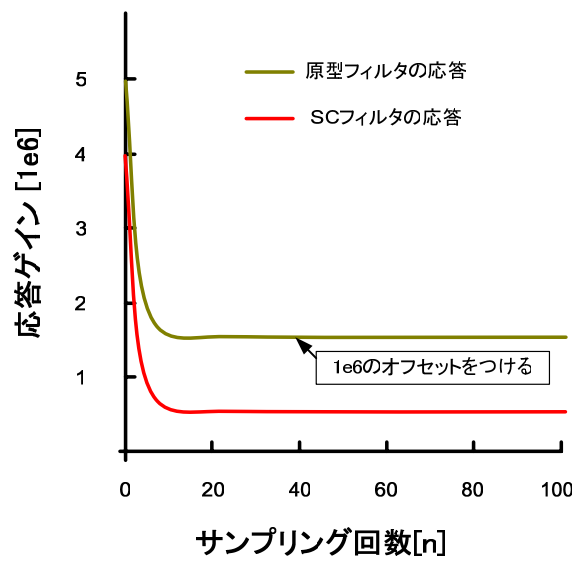


図 3-2-1-3 原型フィルタとSCフィルタのインパルス応答の比較

図より明らかであるが、原型フィルタと同じインパルス応答が得られており、変換が正しく行われていることが確認できる。次に、原型フィルタと、解析的に解いたフィルタ定数で設計したSCループフィルタと、トポロジー変換で導いたループフィルタの、それぞれを用いた場合のPLL周波数特性を図 3-2-1-4 で比較する。

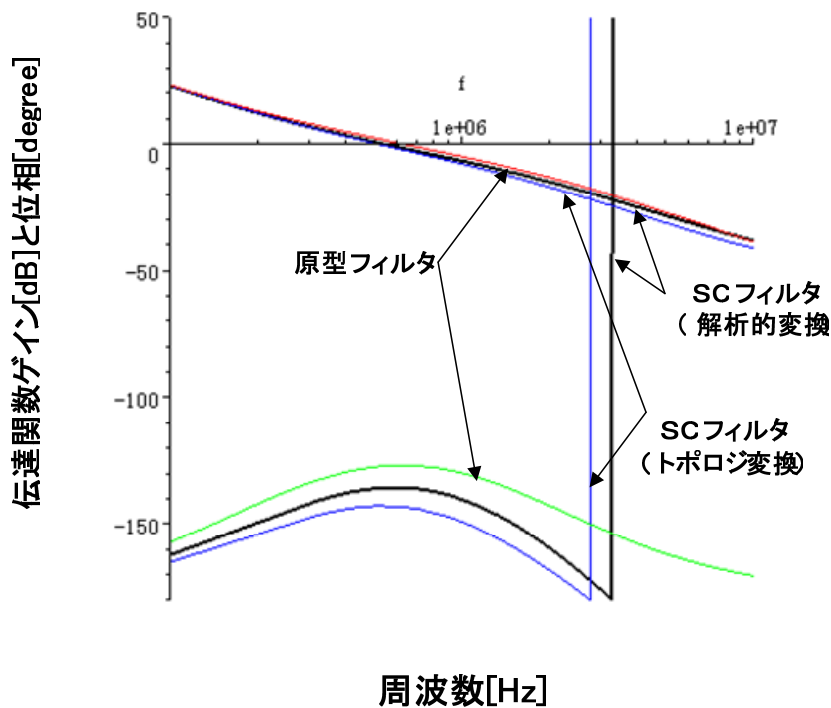


図 3-2-1-4 原型 PLL と SC フィルタ PLL の周波数特性の比較($b=9$)

SC フィルタを用いた PLL では、原型フィルタと比較して、バンド幅と位相余裕が若干低くなる傾向がある。これは、変換に標準 z 変換を用いたために、バンド幅周波数の約 20 倍の付近（今回の設計では、バンド幅周波数とサンプリング周波数が、40 倍程度の値である。）において、 $z^{-1}=-1$ となり、SC フィルタの位相が急激に進むために生じる現象である。

従って、サンプリング周波数を例えば 25MHz から 200MHz に引き上げると、SC フィルタの周波数特性の比較結果は 図 3-2-1-5 に示すように、変換前の原型フィルタ特性とほぼ同じ特性となる。

この場合のフィルタ定数は次に示すとおりである。

{解析的変換手法の場合}

$C=42.9\text{pF}$

$C_x=5.13\text{pF}$

$C_r=0.27\text{pF}$

{トポロジー変換手法の場合}

$C=38.2\text{pF}$

$C_x=4.52\text{pF}$

$C_r=0.25\text{pF}$

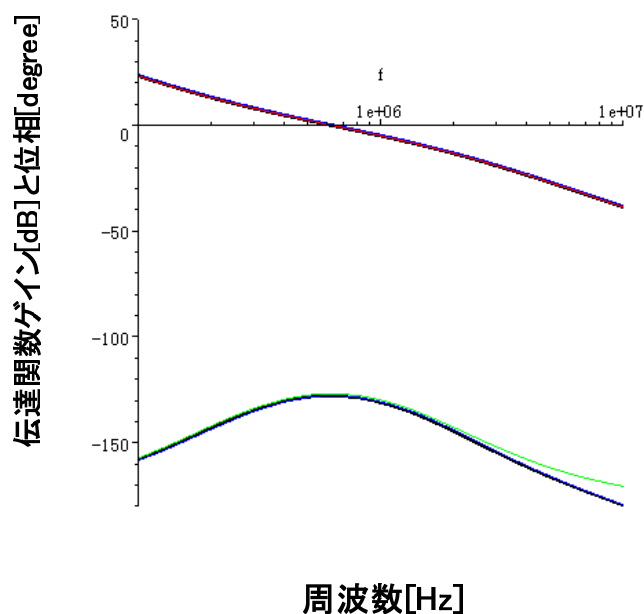


図 3-2-1-5 サンプリング周波数を引き上げた場合の PLL 周波数特性の比較

さらに、本変換の妥当性を検討するため、 $b=100$ としたフィルタ設計についても本変換を適用する。次の設計パラメータに対してSCフィルタへの変換を行う。

$$C_2=2089\text{pF}$$

$$R=280\text{K}\Omega$$

$$b=100$$

$$I_{in}=2\mu\text{A}$$

$$T_{clk}=1/1\text{MHz}$$

この場合、SCフィルタへの変換後のパラメータは、以下に示すとおりである。

{解析的変換手法の場合}

$$C=2086\text{pF}$$

$$C_x=17.8\text{pF}$$

$$C_r=3.28\text{pF}$$

{トポロジー変換手法の場合}

$$C=2065\text{pF}$$

$$C_x=24.2\text{pF}$$

$$C_r=3.54\text{pF}$$

この場合の周波数特性比較を 図 3-2-1-6 に示す。

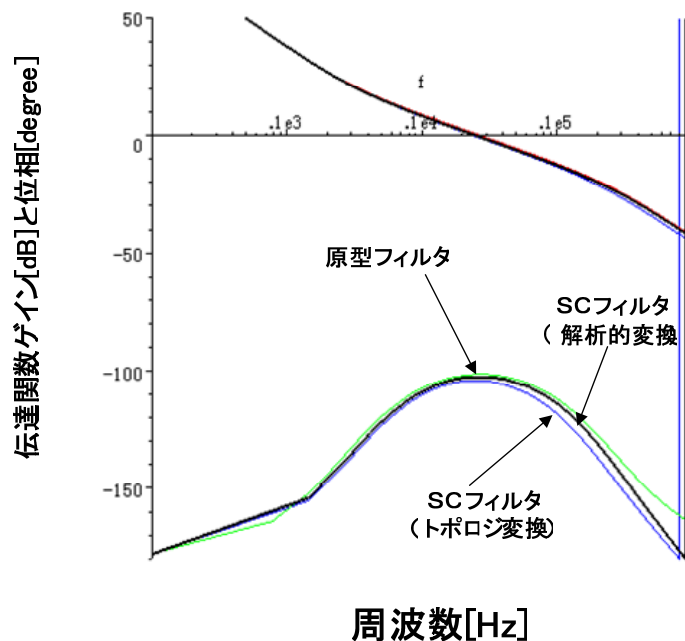


図 3-2-1-6 $b=100$ の場合の PLL 周波数特性の比較

この PLL の場合、サンプリング周波数が 1MHz であり、ループバンド幅は 3kHz 程度であ

る。従って、サンプリング周波数とループバンド幅は、十分離れていると考えられるため、それぞれの周波数特性はほぼ同じとなる。

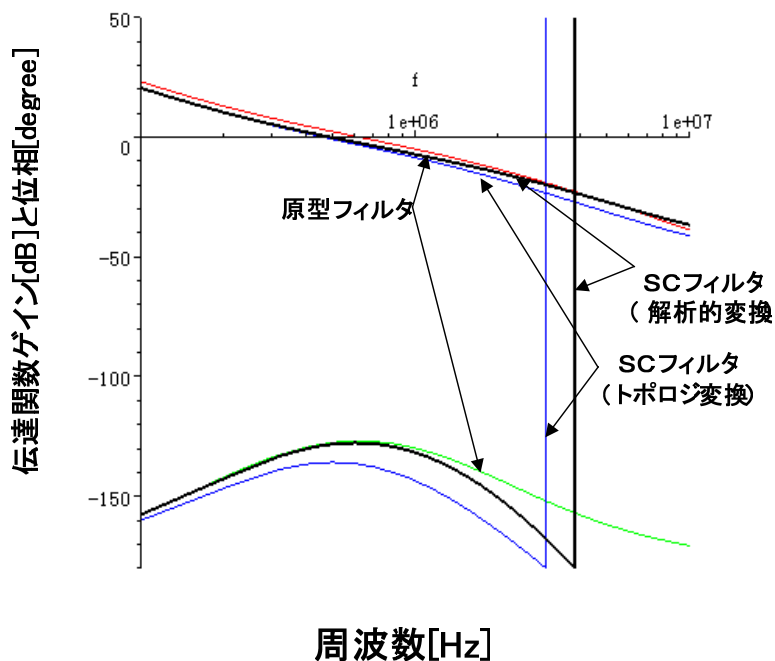


図 3-2-1-7 b=16 で設計した SC フィルタと b=9 の原型フィルタの周波数特性比較

一方、ループバンド幅とサンプリング周波数が接近している場合には、前述したように、位相余裕が減少する。もし、位相余裕を変換後なるべく大きくしたい場合には、あらかじめbの値を大きくして設計する方法が考えられる。たとえば、図 3-2-1-4 で示した b=9 での変換の場合、あらかじめb=16 で設計したフィルタ定数で変換を行うと、図 3-2-1-7 に示すように、b=9 の原型フィルタとほぼ等しい周波数特性を得ることが可能となる。

3-2-2. SC フィルタの伝達特性の改善手法

このように、SC 抵抗を用いたループフィルタ特性が原型のアナログフィルタ特性からずれる理由はフィルタの変換方式に標準 z 変換、すなわちインパルス不変変換を用いているため、周波数が高くなった場合に s 変数と z 変数の特性にずれが生じるためと考えられる。

フィルタ特性が、元のアナログフィルタ特性からずれることにより、PLLの位相誤差伝達関数はループバンド幅付近でピーキングし、アキュームレーションジッタ特性を悪化させる。従って、伝達関数のずれの影響はできるだけ取り除かれなければならない。この影響を取り除くためには、3-2-1 節の最後で示したように仮想的にbの高い設計を行

う必要がある。

そこで、PLLパラメータを規格化し、3-2-1節で述べたフィルタ変換式を、位相誤差伝達関数のピーキングを緩和するように変形する。すなわち、3-2-1節で説明した、SCフィルタへの変換式のうち、式(3.2.14)と式(3.2.15)をそれぞれ式(3.2.16)と式(3.2.17)のように変形する。この変形により仮想的にbを大きくした設計と等価な効果が得られる。

$$C_x = \frac{\left(e^{\left(\frac{-b_2 T_{clk}}{\tau} \right)} (b_2 - 1) + 1 \right)}{b_2 (b_2 - 1)} C_2 \quad (3.2.16)$$

$$C_r = \frac{\left(1 - e^{\left(\frac{-b_3 T_{clk}}{\tau} \right)} \right)}{b_3} C_2 \quad (3.2.17)$$

ここで、 $b_2 = k_2 \times b$ 、 $b_3 = k_3 \times b$ と定義し、原型フィルタと最も一致する k_2 と k_3 を、以下の評価関数を定義して求める。図3-2-2-1に評価関数の定義を示す。

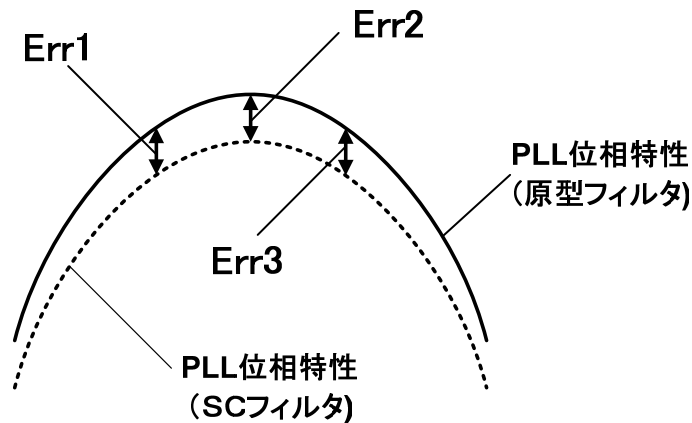


図 3-2-2-1 伝達関数最適化に用いた評価関数

最適化に用いる評価関数 Err_all を式(3.2.18)に定義する。

$$Err_all = \frac{(|Err1| + |Err2| + |Err3|)^2}{Err1 + Err2 + Err3} \quad (3.2.18)$$

本評価関数は、 $Err1$ 、 $Err2$ と $Err3$ の符号が同符号であると小さくなるため、な

なるべく2つの位相曲線が重ならない範囲で曲線が最も接近した点を最適値と評価する。この評価関数を適用してk2、k3の最適値を求めた結果を図3-2-2-2に示す。最適値に関しては数式処理プログラムMapleを用い、大域的探索法により数値計算することにより求めている。

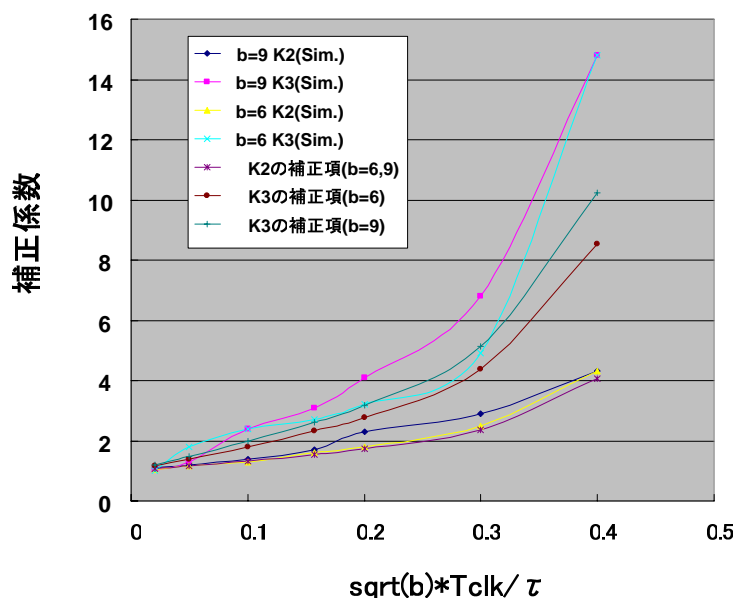


図 3-2-2-2 容量変換パラメータの補正項 Sim 結果と提案する補正項

図 3-2-2-2 の補正結果を、近似できる補正項として以下の式を提案する。

$$k_2 = 1 + \tan\left(\pi \times \frac{T_{clk} \sqrt{b}}{\tau}\right) \quad (3.2.19)$$

$$k_3 = 1 + \sqrt{b} \tan\left(\pi \times \frac{T_{clk} \sqrt{b}}{\tau}\right) \quad (3.2.20)$$

式(3.2.19)と(3.2.20)の補正項の効果を以下に確認する。

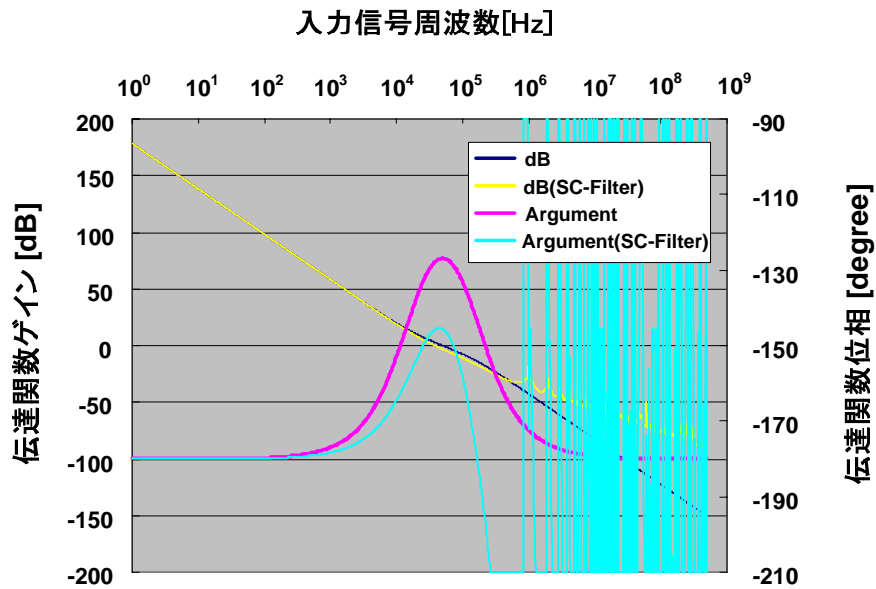


図 3-2-2-3 SC-PLL（補正前）と従来 PLL の周波数特性比較

図 3-2-2-3 は、以下の設計パラメータで、従来PLLとSC-PLLを設計した結果である。

入力信号周波数	1MHz
PLL の自然角周波数	50kHz
ダンピングファクタ	1
b の値	9
τ_2 の値	9.55E-06
K の値	3.53E+05
VCO ゲイン	833MHz/V
分周比	800
チャージポンプ電流	40.4uA
抵抗値	8.4k Ω
容量値（大）	1140pF
容量値（小）	142pF

図 3-2-2-3 に示したPLLに対して、補正項を適用すると、 $b^{1/2}T_{clk}/\tau_2=0.314$ となるので、 $k_2=2.51$ 、 $k_3=5.34$ となる。補正された周波数特性を、図 3-2-2-4 に示す。

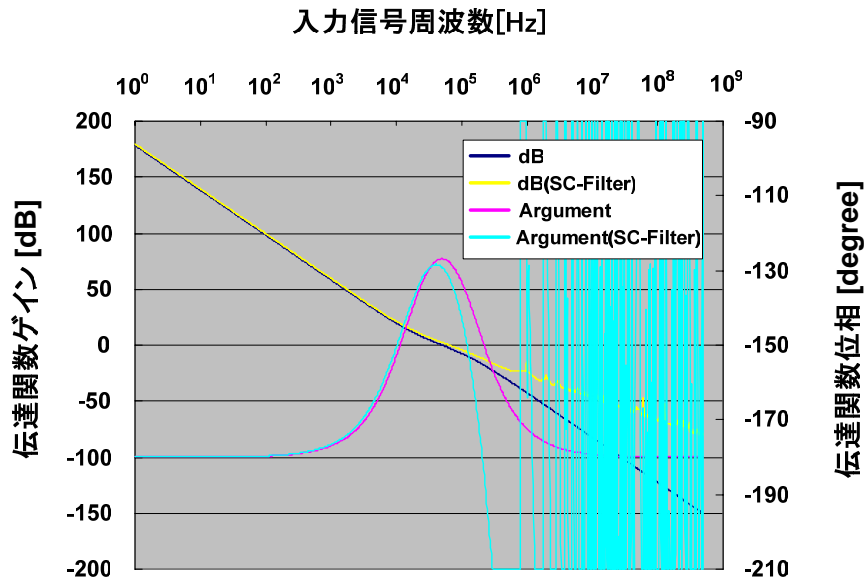


図 3-2-2-4 SC-PLL (補正後) と従来 PLL の周波数特性比較

図より明らかであるように、補正された SC フィルタ PLL の周波数特性は変換前の周波数特性とよく一致していることがわかる。しかしながら、補正項も b が大きい場合や、規格パラメータ $b^{1/2}T_{clk}/\tau_2$ が大きくなる場合、すなわち、ループバンド幅がサンプリング周波数に近づきすぎた場合には、効果が減少してしまう。本解析より、 $b^{1/2}T_{clk}/\tau_2 < 0.314$ 程度が、SC-PLL を用いる場合の妥当な設計となることが明らかとなった。

3-3. 完全平滑3相SCループフィルタ

3-3-1. 3相SCループフィルタの効果

3-2-1節および3-2-2節で説明したSCフィルタを用いた位相同期回路では、 b が大きい場合、すなわち、平滑フィルタの大きさが小さい場合には、VCOの制御信号の応答に図3-3-1-1に示すように大きな高周波信号が現れる。

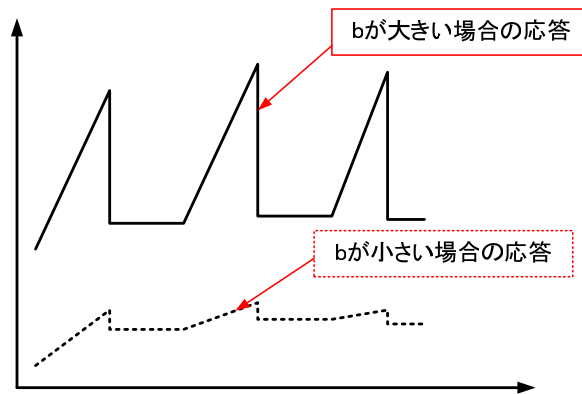


図 3-3-1-1 b の値と SC フィルタの応答

すなわち、制御信号に大きな高調波成分が重畳されると、VCO出力にスプリアス成分が現れ信号品質を劣化させる。そこで、チャージポンプからの入力電流パルスを完全に平滑化しVCOに入力できる完全平滑フィルタ回路が必要となる。完全平滑型のSCフィルタの開発例は、既にMaximらの報告に見られる。しかし、彼らの回路構成は、差動化が前提であり、また演算増幅器を必要とする構成である。従って、消費電力の増大や回路規模の増加、および位相ノイズ特性の劣化を招く恐れがある点を考慮すると、システムLSIに適した構成であるとはいえない [13]。そのため本論文ではさらに従来PLL構成との親和性のよい、簡素で使いやすい完全平滑SCフィルタ構成について提案する。

新たな手法として、図3-3-1-2に示すように、SC回路の駆動クロックを2相から3相で動作させるように変更し、第1の位相でSC回路の容量にチャージ電流を蓄積し、次に、第2の位相で出力端の平滑容量に電荷転送し、最後に、第3の位相でフィルタ容量に電荷を蓄積する3相動作のSCフィルタを提案する。

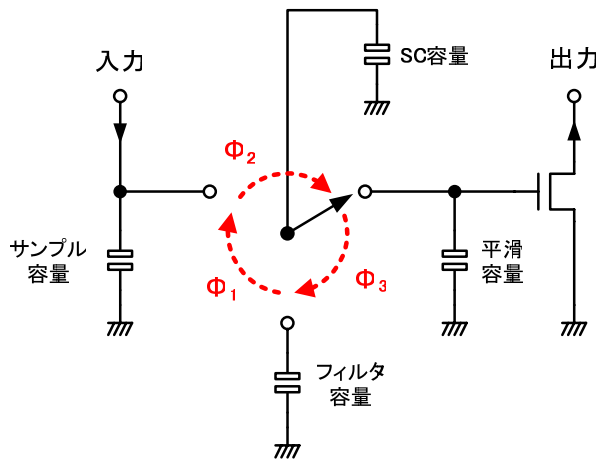


図 3-3-1-2 完全平滑 3 相 SC ループフィルタの回路構成と動作

図 3-3-1-2 に示す回路では、サンプル容量あるいは平滑容量を省略することが可能である。また、図 3-3-1-2 に示すフィルタ回路は、図 3-3-1-3 に示すように、2 相 SC 回路を 2 つ使用して構成されるフィルタとは大きく動作が異なる。その理由を以下に説明する。

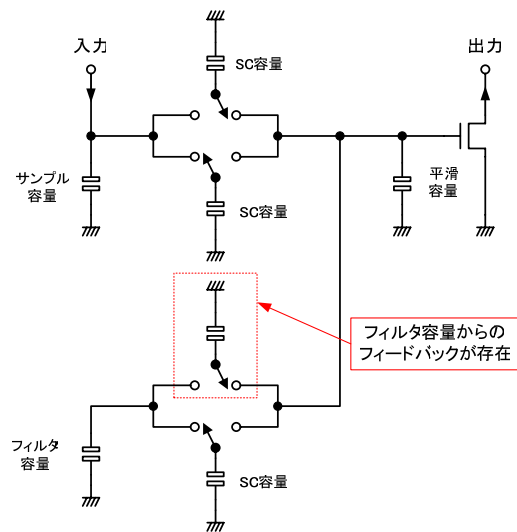


図 3-3-1-3 2 相 SC 回路で構成した完全平滑フィルタ

図 3-3-1-3 に示す 2 相 SC 回路を用いたフィルタでは点線で示した SC 回路がフィルタ容量の電荷を平滑容量にフィードバックしてしまう。この動作は、サンプル容量に入力

された電流パルスが、平滑容量に転送されることで生じる、位相引き込みの作用を 1/2 に減衰させる。従って、ダンピング係数が小さくなるという欠点がある。

ところが、図 3-3-1-2 に示す 3 相 SC 回路では、フィルタ容量からのフィードバックパスが存在しないため、ダンピング係数が小さくなりにくいという利点がある。

実際の完全平滑 3 相 SC ループフィルタは、図 3-3-1-4 に示すように、3 相 SC 回路を 3 個、インターリーブ構成で動作させ、1 クロック毎の電荷転送を実現する。

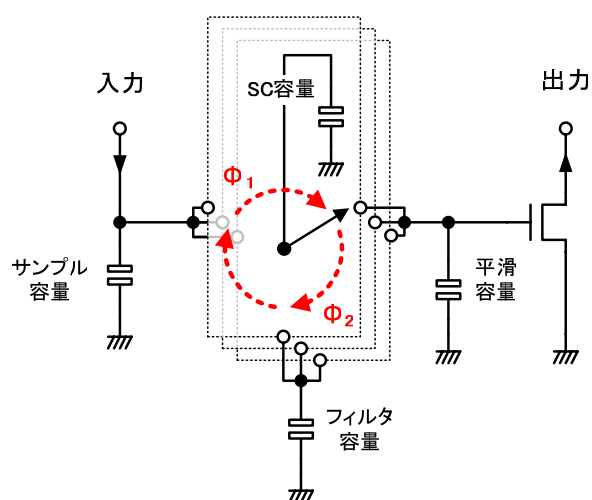


図 3-3-1-4 インターリーブ化した完全平滑 3 相 SC ループフィルタ

3-3-2. 解析的手法による完全平滑 3 相 SC ループフィルタの設計

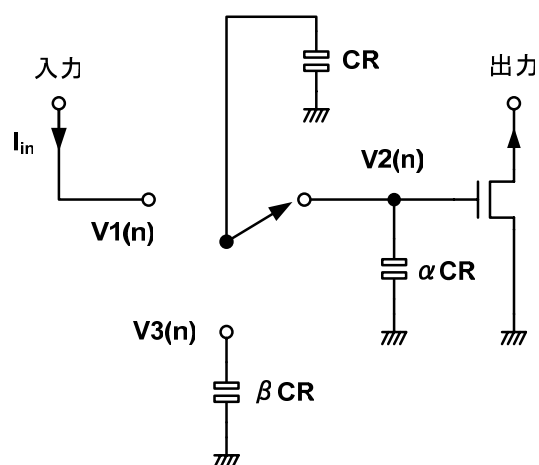


図 3-3-2-1 3 相 SC ループフィルタの設計パラメータ

図 3-3-2-1 に、3 相 SC ループフィルタの設計パラメータを示す。フィルタの各ノ

ード電圧 $V_1(n)$ 、 $V_2(n)$ および $V_3(n)$ は、以下の漸化式(3.3.1)で表現できる。

$$\begin{bmatrix} 0 & 0 & 1 \\ \frac{1}{1+\alpha} & \frac{\alpha}{1+\alpha} & 0 \\ 0 & \frac{1}{1+\beta} & \frac{\beta}{1+\beta} \end{bmatrix} \begin{bmatrix} V_1(n) \\ V_2(n) \\ V_3(n) \end{bmatrix} = \begin{bmatrix} V_1(n+1) \\ V_2(n+1) \\ V_3(n+1) \end{bmatrix} \quad (3.3.1)$$

ここで、 $V_1(0)=I_{in} \times t_e / CR$ であり、 $V_2(0)=V_3(0)=0V$ と初期設定を行う。3-2-1節で示したように、従来フィルタの応答とインパルス応答を近似しフィルタ設計を行うものとする。ところが、3相SCループフィルタは完全平滑を実現するため、信号が必ず1クロック分遅延する。すなわち、従来フィルタと完全に応答を一致させることはできない。

従って、従来フィルタのインパルス応答の初期値と、3相SCループフィルタの出力 $V_2(1)$ を一致させる。さらに、収束値 $V_2(\infty)$ は従来フィルタの応答の収束値と一致させる。次に、フィルタの応答波形を完全に一致させることができないので、波形のエネルギー（積分値）が一致するようにパラメータを決定する。式(3.3.2)より、 n クロック目の各ノードの電圧は以下の式で表現できる。

$$\begin{bmatrix} 0 & 0 & 1 \\ \frac{1}{1+\alpha} & \frac{\alpha}{1+\alpha} & 0 \\ 0 & \frac{1}{1+\beta} & \frac{\beta}{1+\beta} \end{bmatrix}^n \begin{bmatrix} V_1(0) \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} V_1(n) \\ V_2(n) \\ V_3(n) \end{bmatrix} \quad (3.3.2)$$

式(3.3.2)より $V_2(1)$ は以下の式で表される。

$$V_2(1) = V_1(0) \frac{1}{1+\alpha} \quad (3.3.3)$$

また、 $V_2(\infty)$ は電化保存則と全てのフィルタノードの電圧が等しくなることを考慮すれば、以下の式(3.3.4)で表すことができる。

$$V_2(\infty) = V_1(0) \frac{1}{3+\alpha+\beta} \quad (3.3.4)$$

最後に、フィルタの応答の積分値を計算する。フィルタの応答は、図 3-3-2-2 に

示すようになり、解析的に表すのは困難である。従って、数値計算によりフィルタの応答部分の面積を計算する。

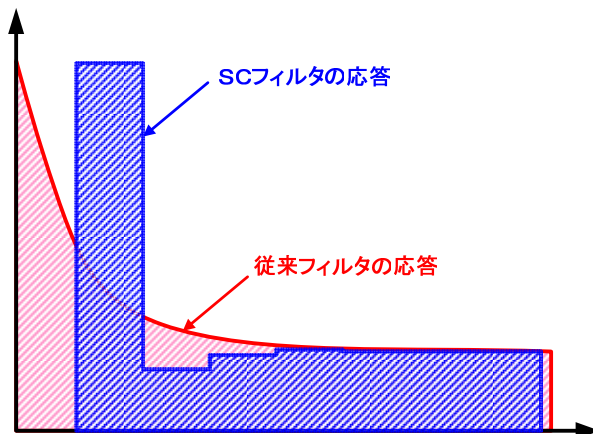


図 3-3-2-2 SC フィルタと従来フィルタの応答波形

従来フィルタの応答を $f(t)$ とし、SCフィルタの応答を $f_{sc}(t)$ とすると、以下の等式(3.3.5)が成立する必要がある。

$$\int_0^{n \cdot T_{clk}} f(t) dt = T_{clk} \sum_1^n f_{sc}(n) \quad (3.3.5)$$

$$\left\{ \begin{array}{l} \frac{I_{in}}{C_R} \times \frac{1}{1+\alpha} = \frac{I_x(b-1)}{C_2} \times e^{\left(\frac{-b \cdot T_{clk}}{\tau}\right)} \\ \frac{I_{in}}{C_R} \times \frac{1}{3+\alpha+\beta} = \frac{I_x(b-1)}{bC_2} \\ \int_0^{n \cdot T_{clk}} f(t) dt = T_{clk} \sum_1^n f_{sc}(n) \end{array} \right. \quad (3.3.6)$$

以上、フィルタの応答とエネルギーの連立方程式(3.3.6)を解くことにより、3相SCループフィルタのパラメータ C_R 、 α および β を、決定することが可能となる。計算に際して、積分式の n の値は、応答が安定する程度の値であればよい。

次に、本変換手法の妥当性を検証する。以下に示すパラメータで、従来フィルタから3相SCループフィルタのパラメータ、 C_R 、 α および β を決定する。

$$I_x = 40 \mu A$$

$$b = 9$$

$$\begin{aligned}
C_2 &= 1090 \text{ pF} \\
R &= 8.74 \text{ K}\Omega \\
\tau &= R \cdot C_2 = 9.53 \text{ u} \\
T_{\text{clk}} &= 1 \text{ u}
\end{aligned}$$

また、VCOの分周後のゲインは、1MHz/Vとする。これらパラメータを代入し、式(3.3.6)を数値計算によって解くことにより、以下のフィルタパラメータを得る。この場合、 $n=6$ としている。

$$\begin{aligned}
C_R &= 104.8 \text{ pF} \\
\alpha &= 0.3 \\
\beta &= 8.4
\end{aligned}$$

次に、3相SCループフィルタを用いたPLLの周波数特性と、従来フィルタを用いた場合の周波数特性の比較を行う。 z 変数を用いて3相SCループフィルタの動作を表すと、次式(3.3.7)となる。

$$\begin{bmatrix} 0 & 0 & 1 \\ \frac{1}{1+\alpha} & \frac{\alpha}{1+\alpha} & 0 \\ 0 & \frac{1}{1+\beta} & \frac{\beta}{1+\beta} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} = z \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} + z \begin{bmatrix} t_e V_{in} \\ 0 \\ 0 \end{bmatrix} \quad (3.3.7)$$

式(3.3.7)において、 $V_{in} = I_{in}/C_R$ であり、 $t_e = \theta_e T_{\text{clk}}/2\pi$ である。式を解いてフィルタの伝達関数 $V_2(z) = V_2/\theta_e$ を求めると、以下の式(3.3.8)で表される。

$$V_2(z) = \frac{z((1+\beta)z - \beta)I_{in}T_{\text{clk}}}{2\pi(z-1)((1+\alpha)(1+\beta)z^2 + (1-\alpha\beta)z + 1)C_R} \quad (3.3.8)$$

3相SCループフィルタを用いたPLLの開ループ伝達関数 $H_{\text{open}}(s, z)$ は、式(3.3.8)に K_o/s を乗算することにより、以下の式(3.3.9)で表される。

$$H_{\text{open}}(s, z) = V_2(z) \times \frac{K_o}{s} = \frac{K_o}{s} \times \frac{z((1+\beta)z - \beta)I_{in}T_{\text{clk}}}{2\pi(z-1)((1+\alpha)(1+\beta)z^2 + (1-\alpha\beta)z + 1)C_R} \quad (3.3.9)$$

一方、図 3-2-1- 1 に示す、2 次フィルタを持つPLLの開ループ伝達関数 $H_{open}(s)$ は、以下の式(3.3.10)で表すことができる。

$$H_{open}(s) = \frac{K_o}{s} \times \frac{I_x}{2\pi} \times \frac{(b-1)(s\tau+1)}{sbC_{x2} \left(\frac{s\tau}{b} + 1 \right)} \quad (3.3.10)$$

式(3.3.9)と式(3.3.10)に上述した設計パラメータを代入し、周波数特性を比較した結果を図 3-3-2-3 に示す。カットオフ周波数および位相特性がよく一致することがわかる。

また、従来フィルタと 3 相SCループフィルタを用いたPLLの過渡解析結果を図 3-3-2-4 に示す。2つのフィルタで、ほぼ同じ応答特性が得られていることがわかる。従って、提案する設計法の有効性が確認された。

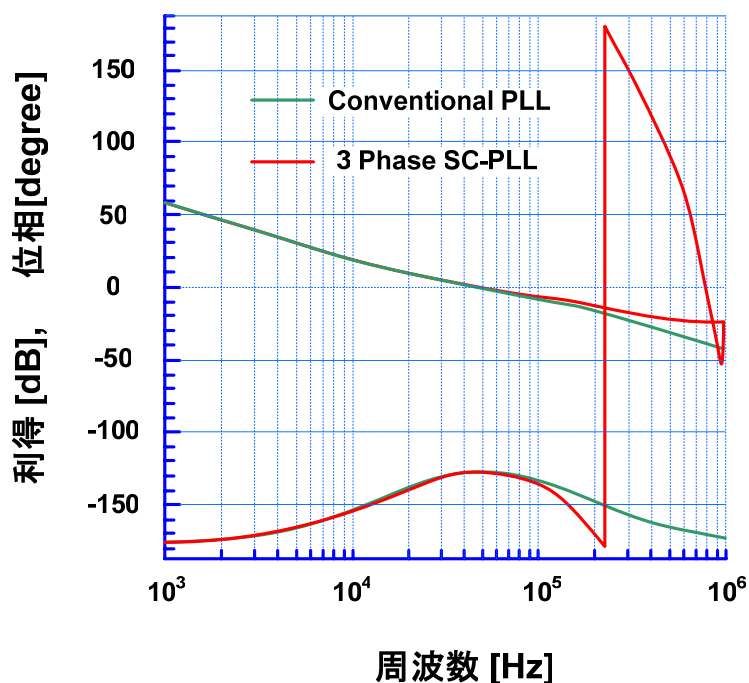


図 3-3-2-3 従来フィルタと 3 相 SC ループフィルタと用いた場合の開ループ特性比較

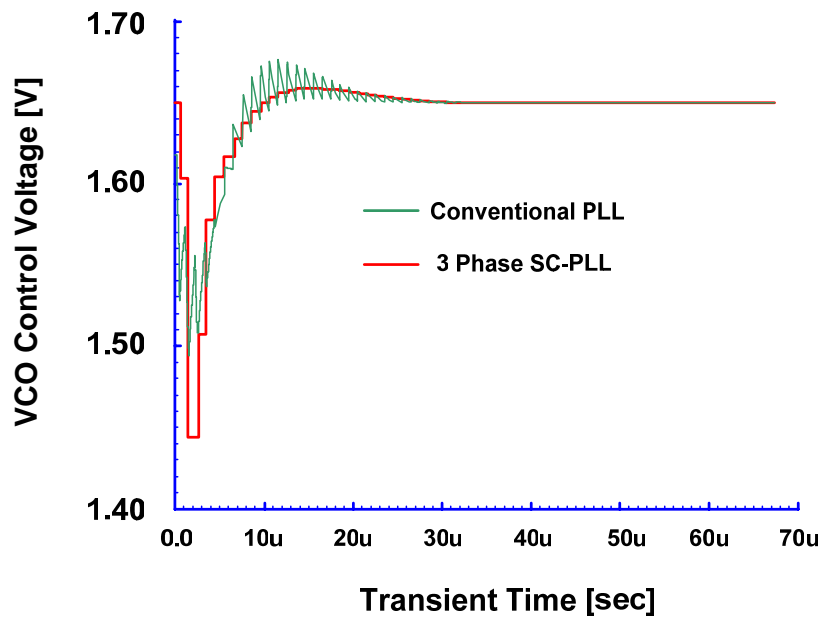


図 3-3-2- 4 従来フィルタと 3 相 SC ループフィルタを用いた場合の過渡解析比較

3 相 SC ループフィルタでは、完全平滑特性が得られることから、 $\alpha=0$ のフィルタ、すなわち、平滑フィルタを取り去ったフィルタ設計も可能である。その場合、式(3.3.6)をから α と第一式を取り除く、したがって、応答の収束値と応答の波形のエネルギー(面積)を一致させるようにパラメータ C_R と β を調整する。また、応答 $f_{sc}(n)$ が負の値をとる可能性を考えて、面積計算の際には $f_{sc}(n)$ の絶対値を採用する。

$$\left\{ \begin{array}{l} \frac{I_{in}}{C_R} \times \frac{1}{3+\beta} = \frac{I_x(b-1)}{bC_2} \\ \int_0^{n \cdot T_{clk}} f(t) dt = T_{clk} \sum_1^n abs(f_{sc}(n)) \end{array} \right. \quad (3.3.11)$$

連立方程式(3.3.11)を数値計算で解くと以下の値を得る。

$$C_R = 109.8 \text{ pF}$$

$$\beta = 8.169$$

得られた C_R と β を用いて PLL の開ループ周波数特性を計算した結果を図 3-3-2- 5 に示す。

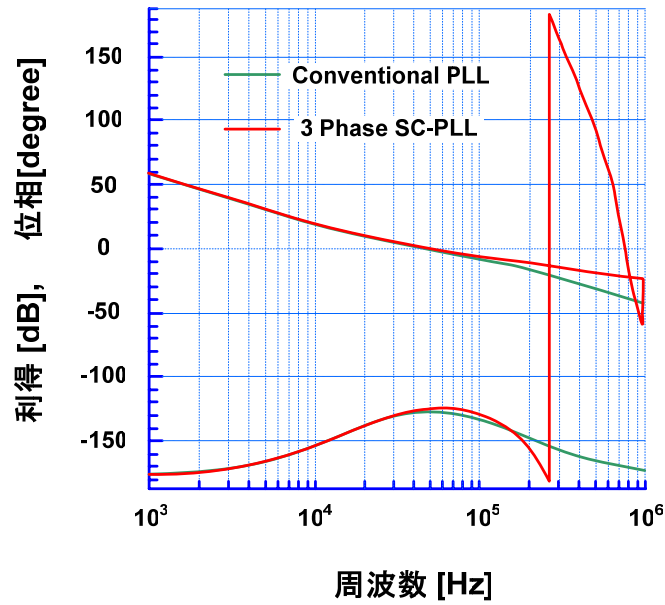


図 3-3-2-5 $\alpha=0$ の場合の従来フィルタと 3 相 SC ループフィルタの PLL 周波数特性比較

図に示すように、平滑フィルタを持つ従来フィルタと平滑フィルタを取り除いた SC フィルタのカットオフ周波数をほぼ一致させることができていることがわかる。

3-4. PLL 試作結果

本節では、3-3-2 節までに説明したチャージポンプを 2 個使用した小面積フィルタを有する PLL、および SC 抵抗を使用した小面積フィルタを有する PLL の 2 種類の PLL の試作結果を以下に示す。

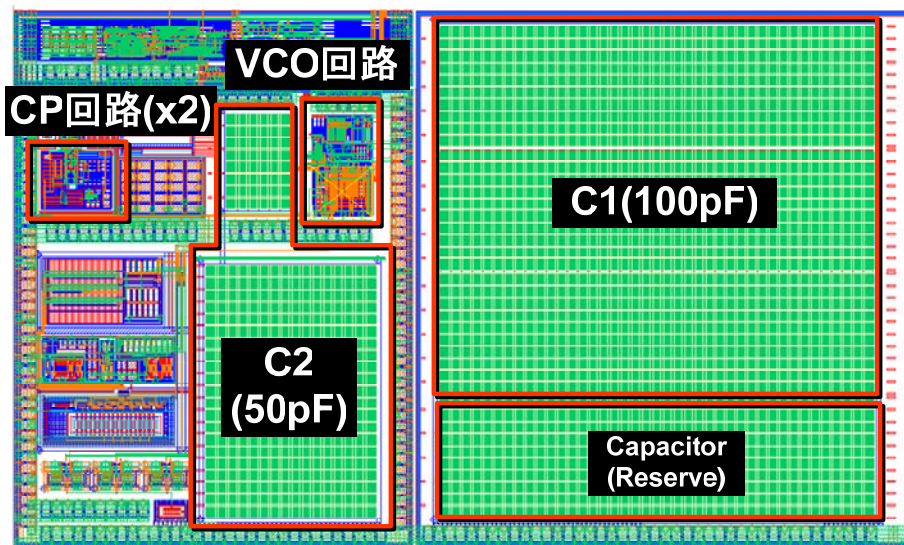


図 3-4-1 2CP 方式で小面積化された PLL のレイアウト

図3-4-1に0.13umCMOSプロセスで製作された小面積PLLのレイアウト結果を示す。また、図3-4-2(a)に小面積化前のPLL回路構成を、図(b)に小面積化後の回路構成を、それぞれ示す。

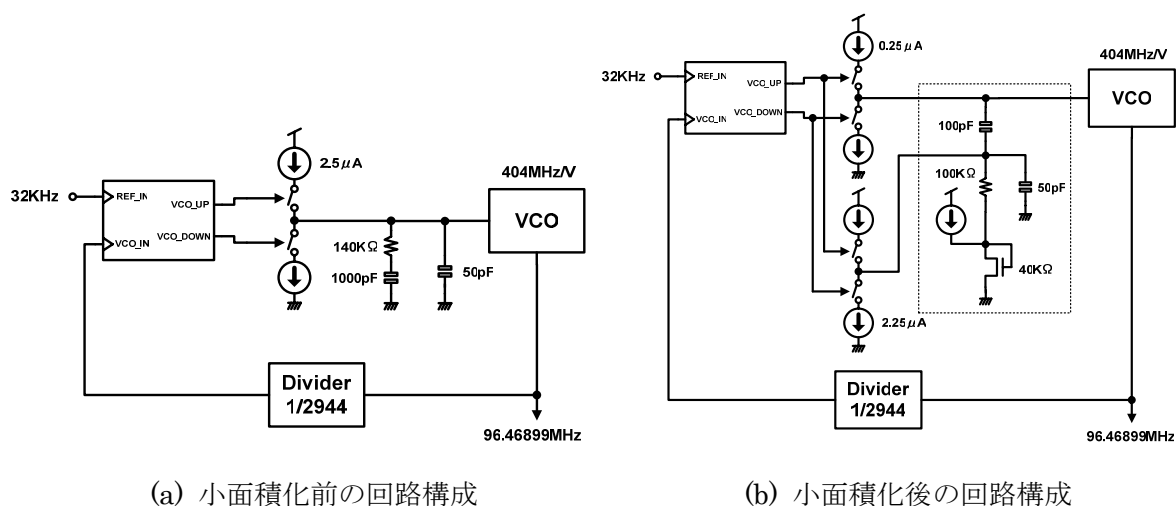


図 3-4-2 小面積化前後の PLL の回路構成

図(b)において、フィルタの容量値は、1000pFから100pFと約10分の1に小面積化されている。図3-4-1に示したPLLは全て0.13umCMOSの内部トランジスタで構成されている。そのため、PLLのフィルタを構成する容量素子にMOS容量を用いた場合、リーク電流の影響で長周期の電化の保持は難しい。従って、容量は配線間容量を使用して構成されている。配線間容量はMOS容量に比べ、単位容量が約10分の1であるため、小面積化は必須の課題であった。すなわち、今回の小面積化されたフィルタ回路を用いることにより、PLLの面積は、約5分の1に小面積化されていることがわかる。

表 3-4-1 PLL 性能比較

評価項目	従来PLL	小面積PLL
ピリオドジッタ (σ 値)	45.8p	44.2p
ピリオドジッタ (peak-to-peak値)	443p	431p
アキュムレーション ジッタ	2.25n	2.23n

表 3-4-1 に、小面積化されたPLLと、従来PLLでのジッタ性能の比較結果を示す。ジッタ特性に優劣は見られず、小面積化されたPLLが性能を損なわずに面積のみを削減できていることがわかる。

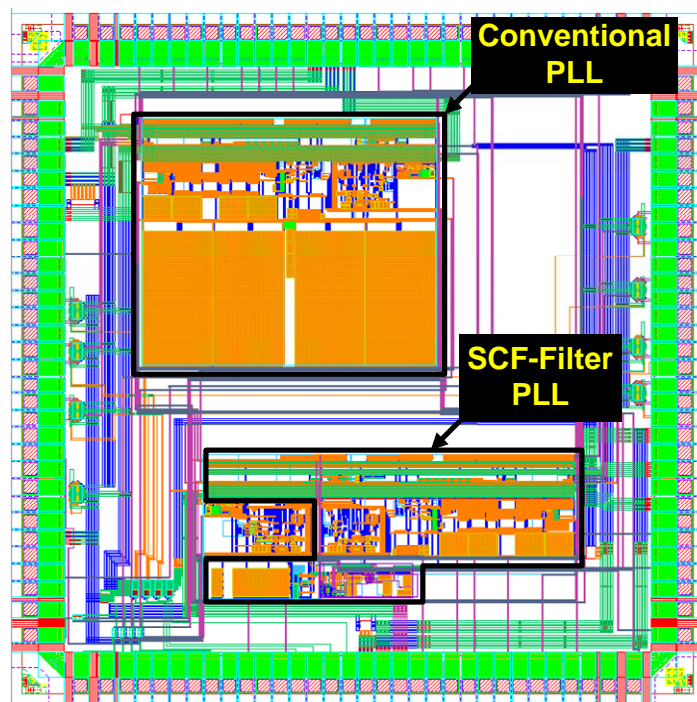
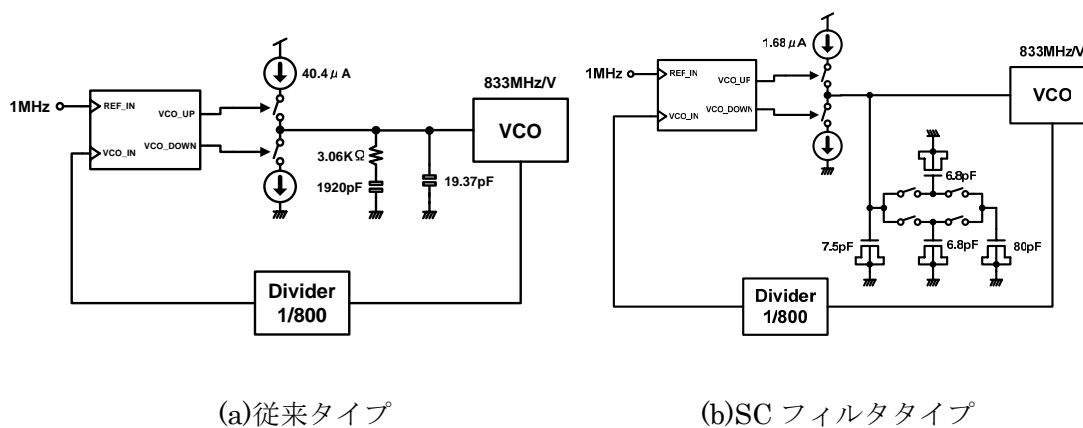


図 3-4-3 SC-Filter PLL と従来フィルタ PLL のレイアウト比較

以上、3-3-2節までに説明した、SC抵抗で構成されたループフィルタを持つPLLと、従来のPLLについて、0.13umCMOSプロセスを用いて試作し、特性の評価を行った。図 3-4-3 に、製作したテストチップのレイアウトを示す。また、図 3-4-4 (a)と(b)に、試作した2つのPLLの回路パラメータを示す。



(a)従来タイプ

(b)SC フィルタタイプ

図 3-4-4 試作 PLL の回路パラメータ

従来PLLと比較して、SCフィルタタイプは、ループフィルタの主容量値を 1/24 に削減している。図 3-4-5 に、試作PLLのアキュムレーションジッタの評価結果を示す。

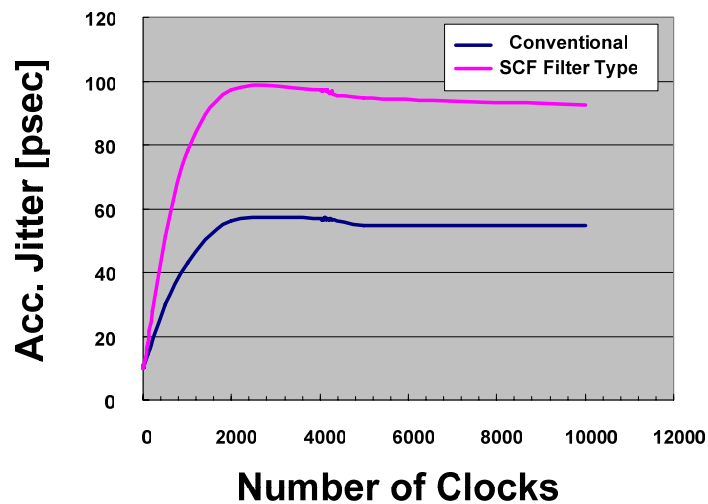


図 3-4-5 アキュムレーション比較結果

SCフィルタタイプのPLLにおいて、約2倍ジッタ性能の劣化が確認された。この原因については、図 3-4-6 に示す位相ノイズ特性を比較することによって解析を行った。

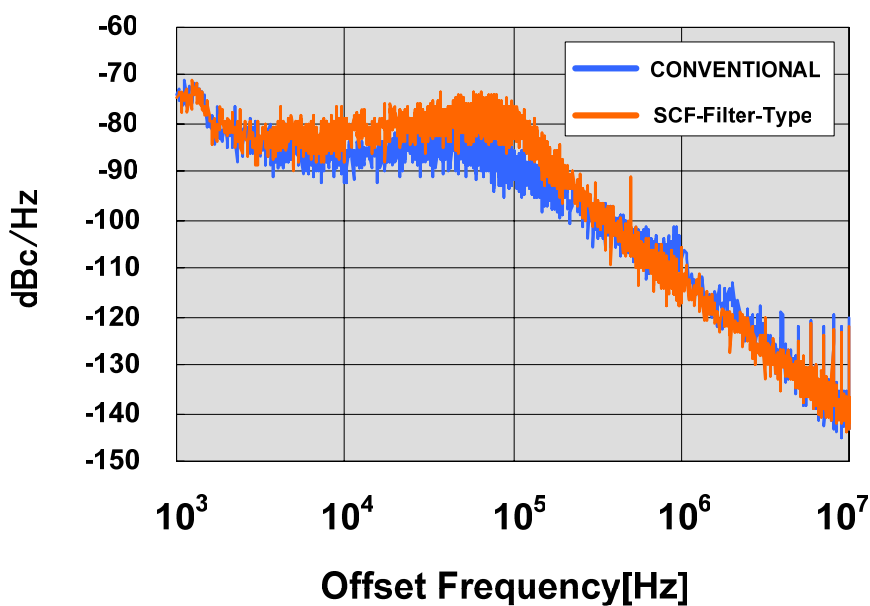


図 3-4-6 PLL 位相ノイズ特性の測定結果比較

図 3-4-6 に示す位相ノイズ特性から、2-4 節に示す伝達関数を、周波数毎に乗算して得られたジッタ見積もり結果と、実測値の比較を表 3-4-2 に示す。

表 3-4-2 アキュムレーションジッタ推定値と実測値の比較

	アキュムレーションジッタ実測値	位相ノイズ(実測値)からの計算値
Conventional PLL	60ps	66ps
SC-Filter PLL	112ps	132ps

表 3-4-2 に示したジッタの見積もり値は、実測値とよく一致している。従って、伝達関数特性の違いが、アキュムレーションジッタの差の主要因と考えられる。次に、伝達関数特性の理論計算値の比較結果を、図 3-4-7 に示す。

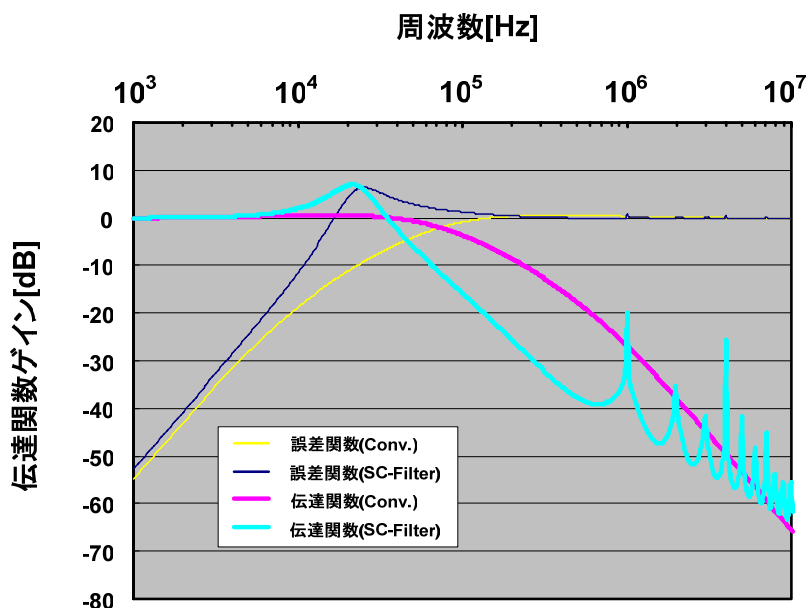


図 3-4-7 PLL の伝達関数の比較

図からわかるように、SC-Filterを用いたPLLでは位相誤差関数がカットオフ周波数付近でピーキング特性を持つことがわかる。従って、この位相誤差関数の伝達特性の差によりアキュムレーションジッタの劣化が生じていると推定される。このピーキングの解消方法についてはすでに 3-2-2 節で述べたとおりである。

3-5. まとめ

以上、第3章では、PLLの小面積化を検討し、小面積フィルタを実現するための手法、設計手法およびPLL試作結果について述べた。以下にその成果をまとめる。

1. PLLの小面積化の課題は、位相ノイズ特性であるが、フィルタ回路およびチャージポンプ回路の発生する位相ノイズを定量的に把握することにより、PLLの小面積化が可能であることを明らかにした。

2. 従来のPLLのループフィルタは、積分項、比例項と平滑フィルタ用の容量の役割が分離されていなかった。本論文ではループフィルタを積分項と比例項に分離し、それぞれの駆動電流を変化させることにより、PLLの小面積化が原理的に可能であることを明らかにした。

3. チャージポンプ回路を2個使用する新規の小面積フィルタ回路とその設計法について考案した。また、小面積フィルタ回路を用いたPLLを試作し良好な特性を得た。本取り組みにより、従来フィルタに比べ面積比で2分の1から5分の1のPLL回路が実現可能となり、特に携帯無線システム用PLL等への応用が有効であることを明らかにした。

4. 小面積SCループフィルタの設計法を新たに考案した。また、PLLを試作し、フィルタ特性のピーキングがアキュムレーションジッタを劣化させることを明らかにした。さらに、数値計算から得られた、フィルタ変換補正項を適用することにより、フィルタ特性の改善手法を提案し、その有効性を明らかにした。

5. フィルタ応答を完全に平滑可能な、新規の3相駆動SCループフィルタを提案した。新規SCループフィルタは従来方式に比べて回路構成が容易で、従来PLL回路からの設計変更が容易である。

6. 新規3相駆動SCループフィルタの応答は、従来PLLのループフィルタの応答と一致しないため、応答の面積を変換の前後で保存する新規のフィルタ変換手法を提案した。この変換手法では、PLLのバンド幅および位相余裕を、従来フィルタとほぼ一致させることができることを、数値計算により明らかにした。また、シミュレーションにより、新規ループフィルタを用いたPLLの応答が、従来フィルタの応答とほぼ一致させることができることを明らかにした。

参考文献

- [1] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Comm.*, vol. COM-28, pp. 1849 - 1858, Nov. 1980.
- [2] J. P. Hein, and J. W. Scott, "z-Domain Model for Discrete-Time PLL's," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1393 - 1400, Nov. 1988.
- [3] J. Kovacs, "Analyze PLLs with Discrete time Modeling," *Microwaves & RF*, pp. 224 - 229, May 1991.
- [4] 鍋島 大樹, "DVD 技術," トリケップス, pp. 123 - 131, 1997.
- [5] 道正 志郎, "低域ろ波回路、フィードバックシステムおよび半導体集積回路," 特開 2004-328456.
- [6] 道正 志郎, "低域ろ波回路およびフィードバックシステム," 特開 2005-20618
- [7] 武部 幹, 岩田 穆, 高橋 宣明, 国枝 博昭, スイッチトキャパシタ回路, 現代工学社, ISBN-87472-118-4C, 1985.
- [8] 中山 謙二, SC 回路網の設計と応用, 東海大学出版会, ISBN4-486-00895-2, 1985.
- [9] N. Klmmmer, "PLL Loop Filter with Switched-Capacitor," U. S. Patent No. 6420917, Jul. 2002.
- [10] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, K. Lee, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," *IEEE J. Solid-State Circuits*, vol. 37, pp. 536 - 542, May 2002.
- [11] A. Maxim, B. Scott, E. M. Schneider, M. L. Hagge, S. Chacko, and D. Stiurca, "A low-jitter 125--1250-MHz process-independent and ripple-poleless 0.18- μ m CMOS PLL based on a sample--Reset loop filter," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1673 - 1683, Nov. 2001.
- [12] 小野 裕幸, "Mathematica DSP と制御," トッパン, pp. 127 - 133, 1992.
- [13] A. Maxim, "A -86dBc Reference Spurs 1.5GHz 0.13 μ m CMOS PLL Using a Dual-Path Sampled Loop Filter Architecture," *Symp. VLSI Circuits Dig.* pp. 248 -251, Jun. 2005.

第4章. 応答特性のアダプティブ化

はじめに

システムLSI上で用いられるPLLは、アキュムレーションジッタ等を最小とするため、できるだけバンド幅を広帯域に設定することが望ましいと考えられる。しかしながら、PLLのバンド幅には、入力信号の約 1/10 が上限となるという制限がある [1]。従って、入力信号周波数が可変となる場合には、入力信号周波数の最小値に対してバンド幅を設定する必要がある。このようなバンド幅設定の場合、入力信号周波数が最小値より大きくなった場合に、アキュムレーションジッタが劣化する恐れがある。また、入力信号周波数の最小値が変化するたびにPLLの最適化を行っていたのでは設計変更が頻発し、設計工数の増大と設計期間の長期化の原因となる。従って、PLLには入力信号周波数に応じてバンド幅が適応的に変化するとともにレスポンスパラメータは一定となるアダプティブ特性が求められる。

一方、PLL をアダプティブ化した場合には、基準電流や電圧を生成する回路が不要となる利点がある。すなわち、大規模 CPU 内のデジタル回路におけるクロック同期等への応用に非常に適した構成とすることができる。本節では、アダプティブ PLL 実現のための設計手法、能動フィルタを用いた新方式のアダプティブバイアス PLL、およびその試作結果について解説する。

4-1. アダプティブバイアスの原理

2 次の応答を持つチャージポンプ型PLLの、ループバンド幅 ω_n とダンピングファクタ ζ は、以下の式(4.1.1)および式(4.1.2)で決定される。

$$\omega_n = \sqrt{\frac{K_o I_p}{2\pi C}} \quad (4.1.1)$$

$$\zeta = \omega_n \times \frac{CR}{2} \quad (4.1.2)$$

K_o はVCOのゲインであり、 I_p はチャージポンプ回路の充放電電流である。PLLでは先に述べたとおり、入力信号周波数の 1/10 以下に ω_n を抑える必要がある。ただし、アキュムレーションジッタ等を最小にするためには、 ω_n はできるだけ大きい方がよい。従っ

て、入力信号 ω_{in} と ω_n は、比例関係となるのが望ましい。すなわち、 $\omega_n/\omega_{in}=\text{const.}$ となる必要がある。また、ダンピングファクタ ζ は ω_n が変化しても一定にならなければならない。ループフィルタ容量 C を可変にすることは難しいので、 C は一定値であるとすれば、以下の比例関係(4.1.3)が成り立つ必要がある。

$$\omega_{vco}^2 \propto K_o I_p \tag{4.1.3}$$

$$\omega_n \propto R^{-1} \tag{4.1.4}$$

アダプティブバイアスPLLの例としては、Maneatisらによるものが、既に報告されている [2]。ManeatisらのPLLのブロック図と、パラメータの関係を、図 4-1-1 と表 4-1-1 に、それぞれ示す。

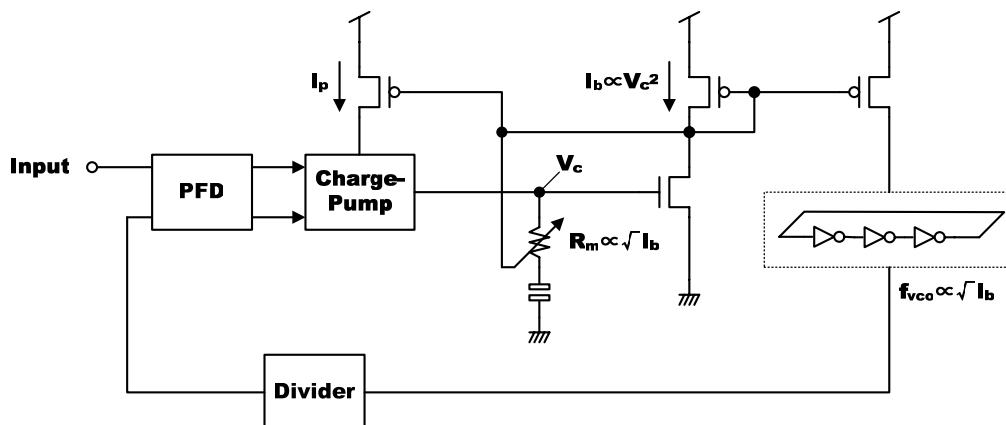


図 4-1-1 Maneatis らのアダプティブバイアス PLL のブロック図

表 4-1-1 Maneatis らの PLL における各パラメータの I_b との関係

	R_m	I_p	K_o	$\omega_n = (I_p K_o / 2\pi C)^{1/2}$	$\omega_{in} = \omega_{vco}$	ω_n / ω_{in}	$\zeta = \omega_n \times CR_m / 2$
Conventional	$1/\sqrt{I_b}$	I_b	const.	$\sqrt{I_b}$	$\sqrt{I_b}$	const.	const.

R_m : Resistor Value ω_n : Natural Freq. ζ : Damping Factor
 I_p : Charge Pump Current ω_{in} : Input Freq.
 K_o : VCO Gain ω_{vco} : VCO Freq.

図 4-1-1 に示す PLL の特徴は、VCO のゲインは一定であるが、VCO のバイアス電流 I_b に対して各設計パラメータを巧妙に関係付けている点にある。すなわち、インバータチェーンタイプの VCO を電流源で駆動する場合には、発振周波数はほぼ駆動電流の 2 分の 1 乗に比例することを利用する。すなわち、VCO の遅延時間 T_{vco} を以下の式で近似する。

$$T_{vco} = 2n \frac{C_p}{gm_{inv}} = 2n \frac{C_p}{\sqrt{2kI_b}} \propto I_b^{1/2} \quad (4.1.5)$$

ここで、 C_p はインバータ一個の負荷容量、 gm_{inv} はインバータを線形化した場合のトランスコンダクタンス、 k はトランジスタの駆動能力係数であり、 I_b はインバータ一個の駆動電流である。VCO の発振周波数は、発振周期 T_{vco} の逆数である。従って、式(4.1.5)より T_{vco} が I_b の 2 分の 1 乗に反比例するわけであるから、VCO の発振周波数は I_b の 2 分の 1 乗に比例する。ここで、図 4-1-1 に示すように、PLL のループフィルタの出力電位を V_c とし VCO の駆動電流 I_b に変換する電圧電流変換特性を 2 乗特性とすれば、PLL のループフィルタ電位 V_c に対して VCO 発振周波数は比例する。すなわち、VCO の発振周波数を ω_{vco} とすると、関係(4.1.6)が成立する。

$$\omega_{vco} \propto I_b^{1/2} \propto (V_c^2)^{1/2} \propto V_c \quad (4.1.6)$$

従って、この場合 VCO ゲイン K_o は、VCO 駆動電流に関係なく一定の値となる。一方、アダプティブ化を実現するためには、関係(4.1.3)が成立する必要がある。ここで、 K_o は一定であることから、 ω_n と I_p には以下の関係(4.1.7)が成り立つ必要がある。

$$\omega_{vco}^2 \propto I_p \quad (4.1.7)$$

関係(4.1.6)より、 ω_{vco} の 2 乗は駆動電流 I_b に比例することは明らかであるので、関係(4.1.7)と(4.1.6)を比べることにより、次の関係が成立すれば、アダプティブバイアスが実現することがわかる。

$$I_b \propto I_p \quad (4.1.8)$$

このため、図 4-1-1 に示すように、VCO の駆動電流と、チャージポンプ回路のバイアス電流を同一バイアス電圧で駆動すれば、ループバンド幅のアダプティブ化が実現する。

アダプティブ化のもう一つの条件は、PLL のダンピングファクタ ζ を一定にするために、関係(4.1.4)が成立することである。ループバンド幅に対するアダプティブ化の条件

は既に成立しているので、関係(4.1.4)は以下のように変形できる。

$$\omega_n \propto \omega_{vco} \propto I_b^{1/2} \propto R^{-1} \quad (4.1.9)$$

関係(4.1.9)より、アダプティブバイアスのためには、フィルタ抵抗値Rが、VCOの駆動電流 I_b の2分の1乗に反比例すればよいことがわかる。この関係は、通常MOSトランジスタを用いたMOS抵抗によって、簡単に実現できる。従って、図4-1-1に示したPLL回路により、関係(4.1.3)と関係(4.1.4)に示したアダプティブ化が実現できる。

しかしながら、Maneatisらの手法はVCOの駆動電流と発振周波数の関係が常に関係(4.1.5)を満たしているものにしか適用できないという制約がある。

4-2. 能動フィルタによるPLLのアダプティブバイアス化

本論文におけるアダプティブバイアスPLLは、ManeatisらのPLLに比較して、以下の点を改良している。

- 1.回路の低電圧への対応
- 2.能動フィルタを用いた場合の演算増幅器の能力の緩和
- 3.3次ループPLL化への対応
- 4.小面積化への対応

アダプティブバイアスのDVD等のPLL回路への応用を考える場合、VCOの発振周波数は大きく変化する。従って、チャージポンプ回路の出力を、直接VCOのバイアス電位とした場合には、チャージポンプ回路の出力電位は、大きく変化してしまう。回路の低電圧化を考えると、この現象は好ましくない。従って、図4-2-1(a)に示すように、能動フィルタを用いて、チャージポンプ回路の出力電位を安定させることが望ましい。ところが、能動フィルタを用いた場合には以下の欠点がある。

- 1.チャージ電流を補償する高い能力のオペアンプが必要
- 2.フィルタの面積や素子数が増加する

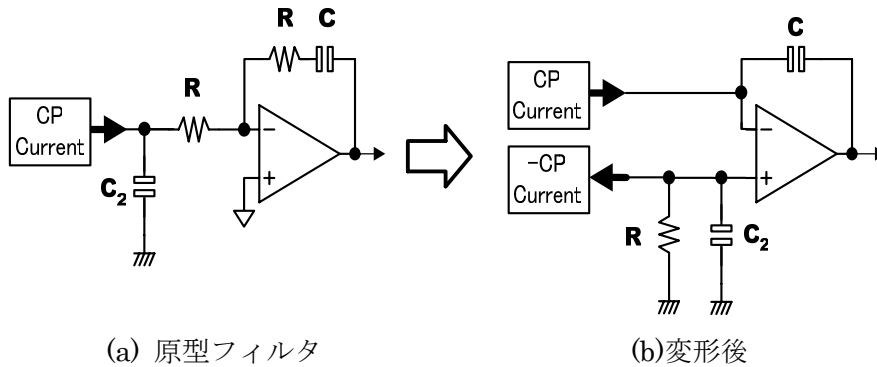


図 4-2-1 能動フィルタの変形(その 1)

従って、図 4-2- 1(b)に示すようにフィルタを変形することにより、フィルタから抵抗素子を減らすことができる。すなわち、チャージポンプ回路を 2 つ使用することにより、抵抗素子を一つ省くことができる。ただしこれではチャージポンプ回路が増加してかえって回路規模が増加する。また、フィルタの伝達関数は、図 4-2- 1(a)に示す原型フィルタのものと異なってしまう(式(4.2.1)参照)。

$$F(s) = -\frac{sR(C+C_2)+1}{sC(sC_2R+1)} \quad (4.2.1)$$

そこで、さらに図 4-2- 2 に示す回路の等価変換を行うことにより、フィルタの伝達関数を原型フィルタのものに戻す。

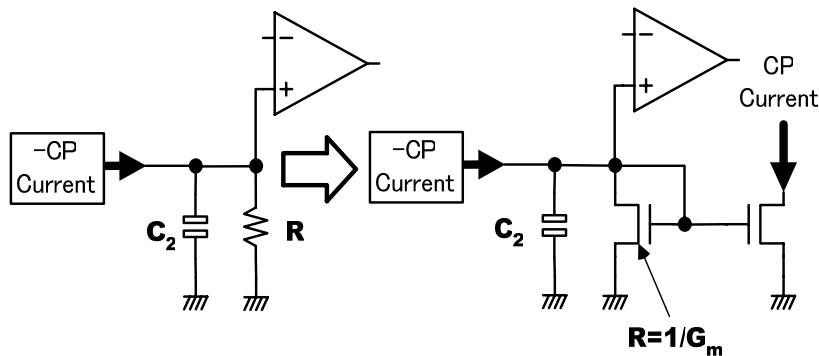


図 4-2-2 能動フィルタの変形(その 2)

すなわち、フィルタの抵抗素子部分を変形してカレントミラー回路とし、逆方向の電流を作り出す。カレントミラーの MOS 抵抗値は、R となるように設定する。この変形により、

フィルタの伝達関数も原型フィルタと全く同じ値となる。

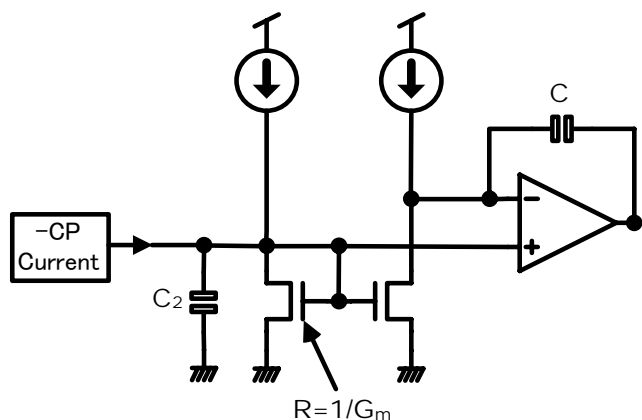


図 4-2-3 新方式の能動フィルタ

図 4-2-3 に新方式の能動フィルタの回路構成を示す。新方式の能動フィルタでは、カレントミラー回路に電流を供給するため、電流源が必要となる。新方式の能動フィルタの伝達関数は、式(4.2.2)に示す形となり、原型フィルタと全く同じとなる。

$$F(s) = -\frac{sCR+1}{sC(sC_2R+1)} \quad (4.2.2)$$

次にこのフィルタでは、カレントミラー回路を用いているため、ミラー比を調整することにより、容量値の削減が可能となることを示す。

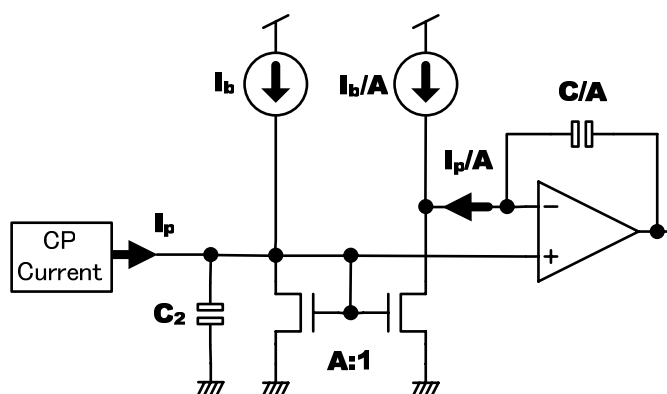


図 4-2-4 能動フィルタにおける容量の削減方法

図 4-2-4 に示すように、カレントミラー回路のミラー比をA:1 とすることにより、フィルタ回路の容量値を、CからC/Aと削減することが可能となる。Aの値は、容量Cの値がパターンジッタを取り除くための容量C₂と同じ程度の大きさとなるぐらいの値が適当と考えられる。従って、Aは 10 から 20 程度が適当である。

次に、能動フィルタの設計手法について概説する。PLL のループフィルタ部に用いられる演算増幅器には、次の 3 つの条件が課せられる。

- 1.チャージポンプ回路の応答を補償する十分なスルーレートの確保
- 2.PLL の応答に影響しない十分高い GB 積の確保
- 3.PLL のジッタに影響しない PSRR の確保

まず、1 の条件については、容量 C の値が 1/A に削減されると同時に、チャージ電流も 1/A に緩和されるため、スルーレートの確保は容易となる。次に 3 の条件については、フォールデッドカスコード型の演算増幅器を用いることにより、高い PSRR を確保することが可能である。

従って、最後に 2 の条件である演算増幅器の周波数特性を考慮した場合の PLL の応答について考察する。演算増幅器の周波数特性を $H_{amp}(s)$ とした場合、PLL の開ループ伝達特性 $F(s)$ は式(4.2.3)で近似できる。ここで $F_i(s)$ は演算増幅器を用いない場合の PLL の伝達特性である。

$$F(s) = \frac{F_i(s)}{1 + 1/H_{amp}(s)} \quad (4.2.3)$$

図 4-2-5 に、 $F(s)$ を数値計算で求めた厳密なフィルタ特性と、式(4.2.3)で近似した場合のフィルタ特性、さらに $F_i(s)$ の伝達特性を比較した結果を、それぞれ示す。厳密な周波数特性に比べ、式(4.2.3)の近似特性のほうが厳しい周波数特性となっている。従って、式(4.2.3)を用いてフィルタ設計することに問題がないことが明らかとなった。

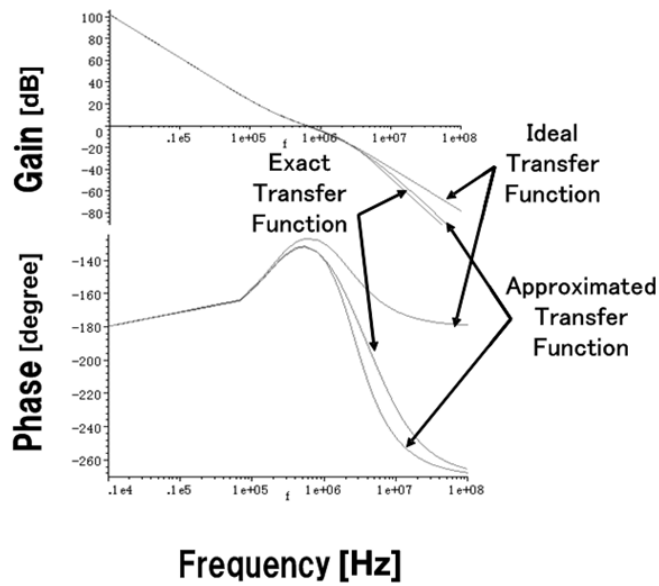


図 4-2- 5 能動フィルタの伝達関数特性の比較

式(4.2.3)より、演算増幅器のGB積がPLLの自然角周波数 ω_n の10倍以上であればPLLの伝達特性に影響する割合が小さいことがわかる。

図 4-2- 3 に示した能動フィルタでは、抵抗素子をMOS抵抗で実現している。従って、4-1 節で説明したように、MOS抵抗のバイアス電流を、VCOのバイアス電流に比例して可変にすることにより、抵抗値を変化させ、アダプティブ化できると考えられる。図 4-2- 6 に、アダプティブ化された能動フィルタを用いたPLL回路のブロック図を示す。

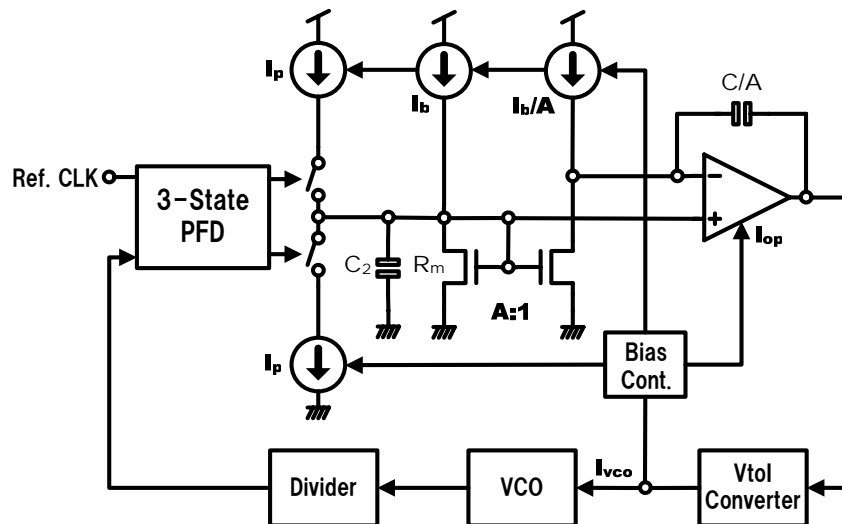


図 4-2- 6 アダプティブ化された小面積能動フィルタを持つ PLL のブロック図

ところでPLLをアダプティブ化する場合、その鍵を握るのはVCOの特性である。図4-1-1に示したManeatisらのPLLでは、VCOのゲイン K_o は一定であるが、VCOの発振周波数は、バイアス電流 I_b の平方根に比例するという特性を持ち、この特性を巧妙に利用することでアダプティブバイアスを実現している。

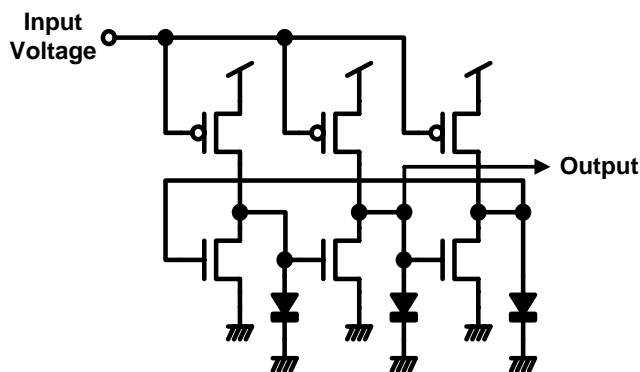


図 4-2-7 クランプダイオードを有する VCO 回路

一方、我々の用いるVCOは、図4-2-7に示すように、NMOSインバータチェーン回路のそれぞれのインバータ出力に、ダイオード（この場合NMOSダイオードを利用）を接続して、振幅をクランプする方式を採用している [3]。本VCO回路は、フィードバック回路を用いずに電源電圧によらずVCOの発振振幅が一定となる。従って、高い周波数領域までPSRR特性が良いのが特徴である。

このVCO回路では、発振周波数がバイアス電流 I_b に比例する。つまり、Maneatisらの方法をそのまま利用してもアダプティブ化は実現されない。そこで、VtoI変換回路に非線形性を導入することにより、発振周波数が、バイアス電流 I_b に比例するようなVCO回路を用いた場合でもアダプティブバイアスが有効に働く手法を開発した。次に、その方法を説明する。

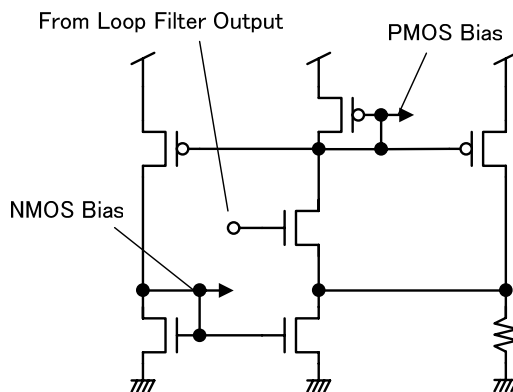


図 4-2-8 VtoI 変換回路の回路構成

図 4-2- 8 にVtoI変換回路の回路図を示し、図 4-2- 9 には、VtoI変換回路の入力電圧対変換効率(トランスコンダクタンス値)を、それぞれ示す。

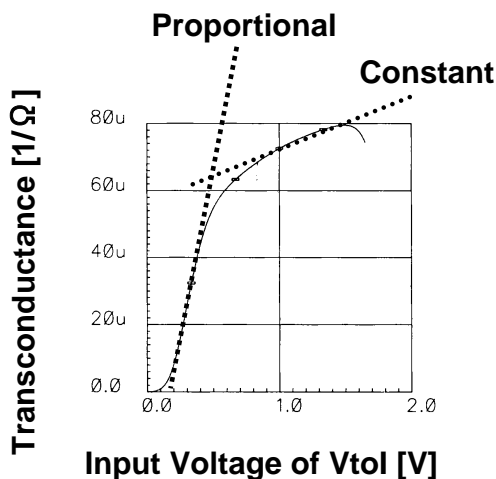


図 4-2- 9 VtoI 変換回路の入力電圧対変換効率特性

図 4-2- 9 に示すように、VtoI変換器は、弱反転領域において、変換効率は入力電圧に比例し、強反転領域においては、変換効率はほぼ一定値となる。図 4-2- 6 に示したPLLの応答パラメータの関係を、表 4-2- 10 に示す。

表 4-2- 10 能動フィルタを持つ PLL での応答パラメータの関係

	R_m	I_p	K_o	$\omega_n=(I_p K_o/2\pi C)^{1/2}$	$\omega_{in}=\omega_{vco}$	ω_n/ω_{in}	$\zeta=\omega_n \times CR_m/2$
This Work (Strong Inversion)	$1/\sqrt{I_b}$	I_b	const.	$\sqrt{I_b}$	I_b^α ($\alpha < 1$)	$1/I_b^\beta$ ($\beta < 1/2$)	const.
This Work (Weak Inversion)	$1/I_b$	I_b	I_b	I_b	I_b^α ($\alpha < 1$)	const.	const.

R_m : Resistor Value ω_n : Natural Freq. ζ : Damping Factor
 I_p : Charge Pump Current ω_{in} : Input Freq.
 K_o : VCO Gain ω_{vco} : VCO Freq.

VtoI変換器の利得を K_v とした場合、弱反転領域でのPLLの自然角周波数 ω_n と、VCOの発振周波数 $\omega_{vco}(\propto \omega_{in})$ には、以下の関係(4.2.4)がある。

$$\omega_n \propto (I_p \times K_v)^{1/2} \propto (I_b \times I_b)^{1/2} = I_b \propto \omega_{VCO} \propto \omega_{in} \quad (4.2.4)$$

従って、 ω_n/ω_{in} は一定となり、PLLはアダプティブ化される。強反転領域では式(4.2.5)の関係がある。

$$\omega_n \propto (I_p \times K_v)^{1/2} \propto I_b^{1/2} = I_b^{1/2} \propto \omega_{VCO} \propto \omega_{in} \quad (4.2.5)$$

従って、 ω_n/ω_{in} は I_b のルートに反比例する。この場合には、 ω_n/ω_{in} が小さくなる方向であるので、PLLが不安定になることはない。次に、ダンピングファクタについて考察する。ダンピングファクタは、式(4.2.6)で表現される。

$$\zeta = \frac{CR_m}{2} \times \omega_n \quad (4.2.6)$$

R_m と ω_n の関係は、表 4-2-10 に示すように、弱反転領域および強反転領域の両方で、反比例の関係となるため、 ζ はPLLのバイアス条件によらず一定となる。これらの関係式が、妥当であるかどうかを、回路シミュレーションを行うことによって検証した。

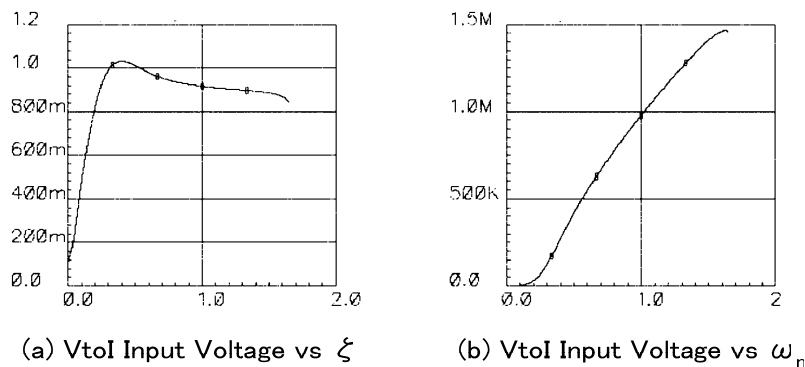


図 4-2-11 ダンピングファクタとループバンド幅の回路シミュレーション結果

図 4-2-11 (a)に、電圧電流変換器の入力電圧対ダンピングファクタの関係を、図 4-2-11(b)に入力電圧対ループバンド幅の関係を、それぞれ示す。ダンピングファクタは、ほぼ一定値に制御され、電圧電流変換器の入力電圧はループバンド幅と比例関係になっている。PLLの発振周波数は、バイアス電流にほぼ比例し、電圧電流変換器の特性も、変換電流が大きい場合には線形となる。従って、ループバンド幅は発振周波数と比例関係とな

り、PLL回路のアダプティブバイアス化が確認できた。

また、PLL回路のロックまでの応答をVCOの制御電圧をシミュレーションして確認した。図 4-2-12 に、異なる入力信号周波数に対する、PLLのVCO制御電圧の応答波形のシミュレーション結果を示す。

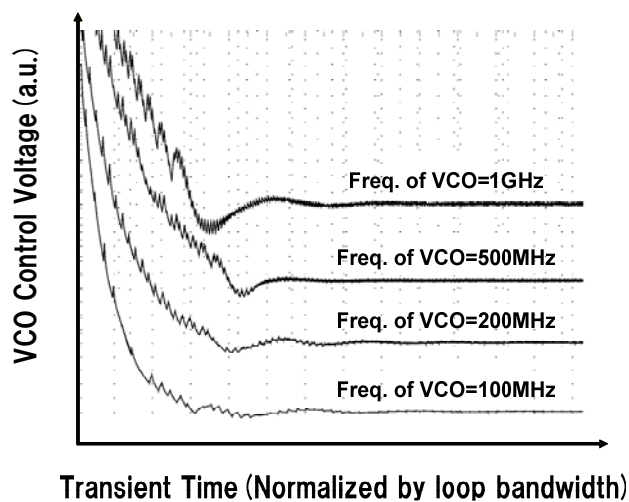


図 4-2-12 入力信号周波数に対する VCO 制御電圧のシミュレーション結果

図において、X 軸の単位は、それぞれの波形を同一尺度で見るために、バンド幅で規格化した。入力信号は 10 倍変化しているが、PLL の応答はほぼ一定に保たれていることが明らかであり、アダプティブバイアス化が有効に動作していることがわかる。

4-3. 能動フィルタによるアダプティブバイアス PLL 試作結果

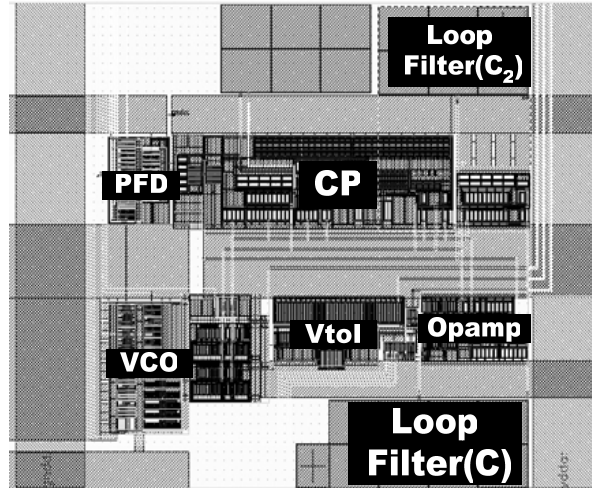


図 4-3-1 試作チップレイアウト

以上、4-1 節から 4-2 節で説明した PLL 回路について、0.15 μm CMOS プロセスを用いて試作し、その性能を評価した [4-5]。この場合、フィルタの削減率 A は 10 と設定した。

原型フィルタの容量は 43pF であるので、ループフィルタの容量は 4.3pF である。チップ面積は、原型フィルタを用いた場合の約 1/2 である。チップレイアウトを 図 4-3-1 に示す。

図 4-3-2 に、PLL の入力信号を 10MHz から 83.3MHz まで変化させた場合の、VCO 制御電圧の応答を示す。

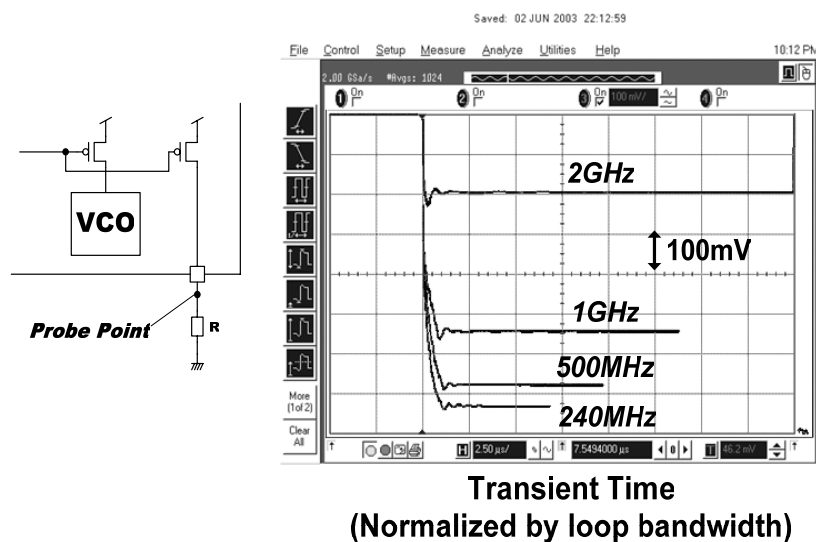


図 4-3-2 PLL の入力信号を変化させた場合の PLL の応答(VCO の制御電圧)

VCOの制御電圧は、図に示すようにVCOのバイアス電流を出力させ、外部接続した抵抗に印加される電圧で観測した。入力信号周波数が10MHzの場合（出力周波数240MHz）、若干PLLのダンピングファクタが小さくなっているが、その他の応答はほぼ同一の応答波形が得られている。

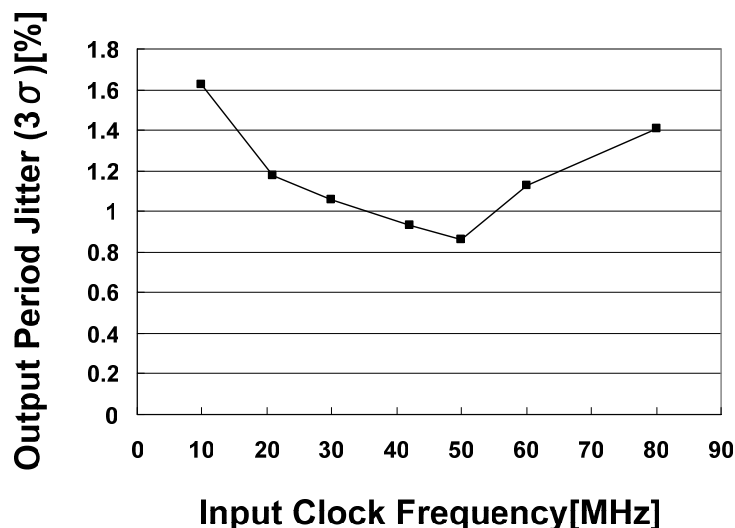


図 4-3-3 PLLの入力信号周波数とピリオドジッタの関係

図 4-3-3 に、PLLの入力信号周波数対ピリオドジッタの関係を示す。全ての入力信号周波数において、ピリオドジッタは2%以下の性能が得られている。VCO周波数が低い場合、若干のダンピングファクタの劣化がピリオドジッタを劣化させる。一方、VCOの出力周波数が高い場合には、デジタルノイズ量の増加が、ピリオドジッタに影響し劣化させると考えられる。PLLへの供給電圧を低下させると、デジタルノイズ量が減少しピリオドジッタは改善される。たとえば、1.2VでPLLを動作させると、ピリオドジッタは改善されるが、PLLの発振周波数レンジも減少する。表 4-3-1 に試作PLLの諸元を示す。

表 4-3-1 試作 PLL 諸元

Supply Voltage		1.2V	
Output Freq.		2GHz~250MHz	
Power Consumption		7.6mW@2GHz-output	
Chip Area		This PLL	Prev. PLL
		0.0676mm²	0.135mm²
Output Jitter (3σ)	Out Freq.	Adaptive Bias	Conv. Bias
	1.92G	0.95%	0.91%
	1.68G	1.18%	1.12%
	1.44G	1.33%	1.24%
	1.20G	1.54%	1.33%

表 4-3-1 の PLL 評価では、VCO のゲインを増加させ、1.2V 動作で 2GHz 発振を可能にして、ジッタ測定を行った。この場合、PLL の低域でのジッタ特性が劣化し、発振周波数 250MHz とした場合には、ピリオドジッタは 3% まで増加した。このように VCO のゲインとピリオドジッタには、密接な関係がある。VCO のゲインを増加させると、基本的には VCO の位相ノイズ特性が劣化し、PLL のピリオドジッタ特性を劣化させる。PLL の発振周波数が低い場合にその影響が顕著であるのは、PLL のピリオドジッタ特性が 2-4 節で説明したように、VCO の位相ノイズ $\times (1 - e^{-j\omega nT})$ の伝達関数特性を持つためである。PLL の発振周波数が低い場合には、VCO の位相ノイズの低周波成分の影響を受けやすくなり、ピリオドジッタ特性が劣化してしまう。

以上、低電圧用 PLL に適した能動フィルタを用いて小面積アダプティブバイアス PLL を設計し評価した。PLL は従来のものに比べ 1/2 の面積で実現され、入力信号周波数が 8 倍に変化した場合でもほぼ均一な応答を示した。これら開発した PLL は、特に DVD システムのように、入力信号が連続的に変化する PLL への応用や、バイアス信号を伝送しにくい大規模プロセッサ内でのクロック生成用 PLL への応用に適していると考えられる。

4-4. まとめ

以上、第4章では、PLLの応答特性のアダプティブ化を理論的に明らかにし、新規の能動ループフィルタを用いてPLLを試作評価し、実際にアダプティブ化されていることを確認するとともに、良好なジッタ特性を持つことを明らかにした。以下に成果をまとめる。

1. 新規能動ループフィルタ回路の提案

1-1. 演算増幅器の仮想接地点を用いてチャージポンプ出力を安定させ、回路の低電圧化に対応した。

1-2. カレントミラー回路を用いた新たなループフィルタ回路を提案することにより、ループフィルタを小面積化するとともに、演算増幅器の能力を緩和し、低消費電力化を実現した。従来比で面積2分の1のPLLを実現した。

1-3. 3次ループフィルタにより、従来のアダプティブフィルタに比べてより高度なアダプティブ化を実現できるようになった。

1-4. 線形な伝達特性を持つVCO回路に対しては、弱反転と強反転領域を用いる、新たな非線形の電圧電流変換回路を用いることでアダプティブ化が可能であることを明らかにした。

2. 新規能動ループフィルタ回路を用いたPLL試作と評価

2-1. 新規能動ループフィルタ回路を用いたPLLを0.15 μ m CMOSプロセスで試作し、VCOのバイアス応答波形を観測することで、VCO出力が240MHzから2GHzの範囲でアダプティブ化されていることを確認した。

2-2. 新規PLL回路が、従来PLL回路と比べて、同等のジッタ特性を持つことを確認し、十分実用に耐えうる特性を持つことを明らかにした。

以上の技術の実現により、システムLSIの微細化および低電圧化に対応できる位相同期回路が実現され、コストダウンと高性能化に貢献できるものとする。

参考文献

- [1] F. M. GARDNER, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Comm.*, vol. COM-28, pp. 1849 - 1858, Nov. 1980.
- [2] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1723 - 1732, Nov. 1996.
- [3] H. C. Yang, L. K. Lee, and R. S. Co, "A low jitter 0.3-165 MHz CMOS PLL frequency synthesizer for 3 V/5 V operation," *IEEE J. Solid-State Circuits*, vol. 32, pp. 582 - 586, Apr. 1997.
- [4] S. Dosho, N. Yanagisawa, and M. Toyama, "A Design of Compact PLL with Adaptive Active Loop Filter Circuits," *IEICE Trans. Fundamentals*, vol. E85-C, 2004.
- [5] M. Toyama, Shiro Dosho and Naoshi Yanagisawa, "A Design of a Compact 2GH-PLL with a New Adaptive Active Loop Filter Circuit," *Symp. VLSI Circuits Dig.* 14-3, 2003.

第5章. 応答パラメータの自律制御法

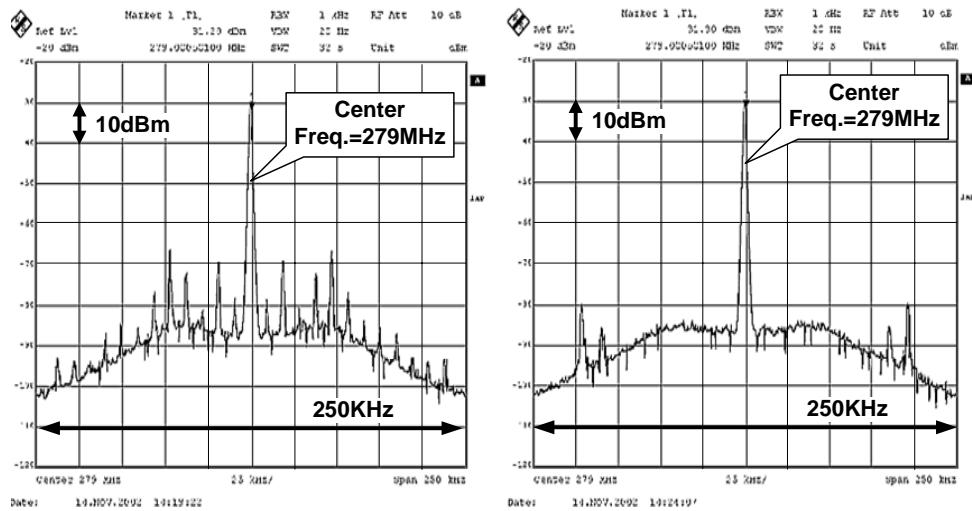
はじめに

これまでのPLL回路設計では、PLLを取り巻く周辺環境に変動があったとしても、PLLの応答パラメータが変更されることはなかった。したがって、あらかじめPLLの動作環境を予測し、PLLのループバンド帯域にデジタルノイズ等が混入しないように設計を行うことが一般的な設計手法である。しかしながら、PLLの動作環境を予測することは難しく、PLLが想定外のノイズの影響を受けることは珍しくない。本章では、PLLの位相ジッタをオンチップで測定し、PLLの応答パラメータを自律的に変更し、常に最適なジッタ特性を実現するPLL制御システムの開発に関して報告する。本システムを搭載することにより、PLLは、プロセスばらつき、電源ノイズ、温度変動などの影響を排除して、常に最適なジッタ特性で動作することが可能となる。

位相同期回路(PLL)は、システムLSIに必須の回路ブロックである。近年、システムLSIは巨大化し、含まれるデジタル回路の規模は非常な勢いで増加しつづけている。最近では、数千万トランジスタを要するシステムLSIも珍しくない[1]。また、システムLSIの動作電圧はプロセスの微細化に伴い低下し、アナログ回路のダイナミックレンジは減少しつつある。従って、大規模デジタル回路の発生するノイズがPLLに及ぼす影響は年々大きくなっている[2]。反面、PLLはシステムLSIの高速化に伴い高速化され、その要求されるジッタ特性は年々厳しくなっている。そのため、PLLのジッタ特性を向上させるさまざまな回路提案がなされているが、大規模システムLSIにおいて、不慮のデジタルノイズが発生しPLLに悪影響を及ぼすこともめずらしくない。

例えば、基板から回り込むデジタルノイズ等に対処することは、かなり難しい状況である。さらにPLLは、ノイズに対して非常に敏感な特性を持っているため、ノイズ感度を正確に予測することは困難である[3-4]。図5-1に、あるPLLに基板ノイズを印加した場合の出力スペクトルを示す。印加したノイズの周波数はそれぞれ10MHzと10.1MHzである。わずか1%の周波数の差であるが、PLLのノイズ感度は大きく異なる。つまり、システムLSIに実装されるPLLに対するノイズの影響を事前に見積もって不具合を回避することはかなり難しいと考えられる。

従って、PLLの特性を設計段階だけでなくシステムLSIに実装後にも不慮のノイズでの劣化を防止するように可変できるシステムの開発が必要である。これまでも、ジッタの伝達関数を測定しようとする試みはあったが[7]、本システムのように最適化を含めた取り組みは初めてである。



(a) ノイズ周波数 10MHz (b) ノイズ周波数 10.1MHz

図 5-1 PLL に基板ノイズを加えた場合の出力スペクトル

本システムは、実装後の保険的措置として考案されたものであるが、さらに進んで、PLL を常に最適な状態で動作させることができるシステムである。

5-1. PLL のオンチップジッタ測定手法

5-1-1. オンチップジッタ測定の原理

図 5-1-1-1 に、位相ジッタ最適化システムを持つ、PLL のブロック図を示す。

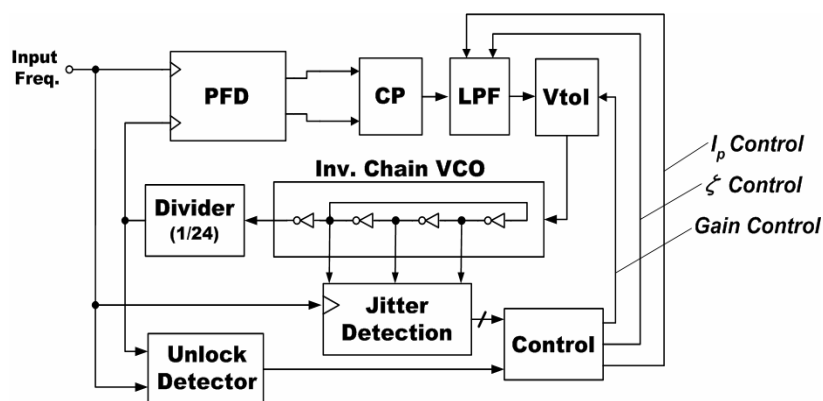
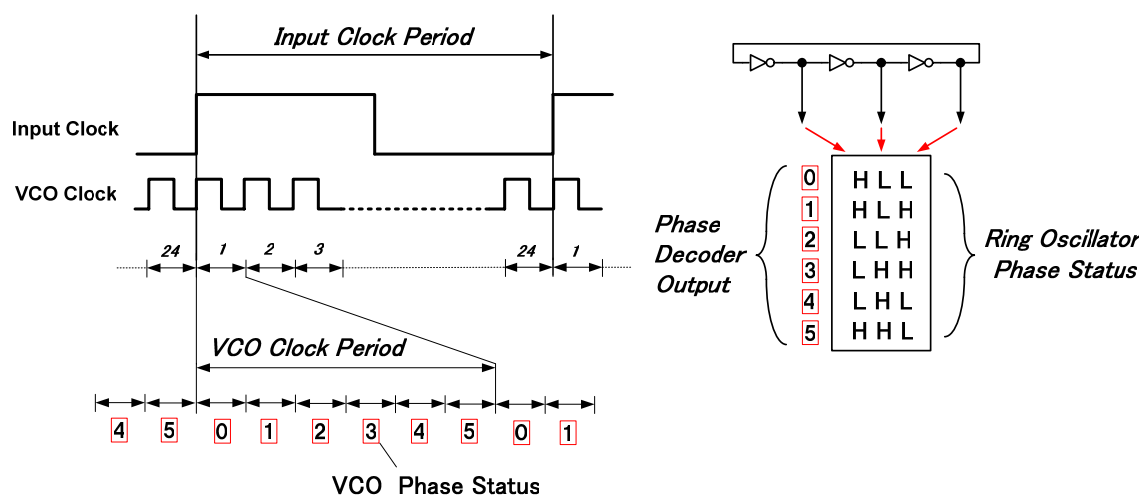


図 5-1-1-1 ジッタ最適化機能を持つ PLL のブロック図

ここで、PLL は最も一般的なチャージポンプ型であり、また電圧制御発振器(VCO)は 3 段インバータチェーンを用いている。分周器の分周数は 24 である。ジッタ検出回路(Jitter Detector:JDET)は、入力クロック毎に、インバータチェーンの位相変化をサンプリングし、一定クロック数だけ積算して、制御回路(Control)に出力する。制御回路は、ジッタ検出回路の出力に応じて、チャージポンプ電流(I_P)、ダンピングファクタ(ζ)、VCO ゲインをそれぞれ制御し、位相ジッタが最小値になるように制御を行う。本システムは、PLL のアンロック状態を検出する、アンロック検出回路(Unlock Detector)も装備している。もし最適化の際に、アンロック状態が検出された場合は、その状態を記憶し、その際のジッタ検出回路の出力を無視する手続きがとられる。



(a)入力信号と VCO の位相関係

(b)VCO 位相のデコード関係

図 5-1-1-2 ジッタ検出回路の検出原理

図 5-1-1-2 に、ジッタ検出回路の検出原理を示す。一般的に、 n ステージのインバータチェーンの位相状態数は、 2^n である [5]。PLLがロック状態にあるとすれば、入力クロックは、このインバータチェーン発振器の位相状態と分周器の分周数を、乗算した位相状態で分割される。今回の場合は、分周器は 24 分周であるので、3 ステージリングオシレータの位相状態数の 6 と乗算し、144 の状態に入力信号を分割することが可能である。これは入力クロックの周期の 0.7%の分解能で、位相変化を検出できることを意味している。通常の位相ジッタは 1%程度あるので、0.7%の分解能があれば、最低限の位相変化は検出可能である。

図 5-1-1-3 にジッタ検出回路のブロック図を示す。インバータチェーンの現在と 1 サンプルリング前の位相情報は、2つのフリップフロップでラッチされ、デコーダを通して 0 から 5

の位相情報に変換される。それら2つの位相情報の差分の絶対値がPhase Difference Calculatorで計算される。最終的に差分の絶対値出力は、アキュムレータによって、規定回数だけ積算され、ノイズの影響が取り除かれる。

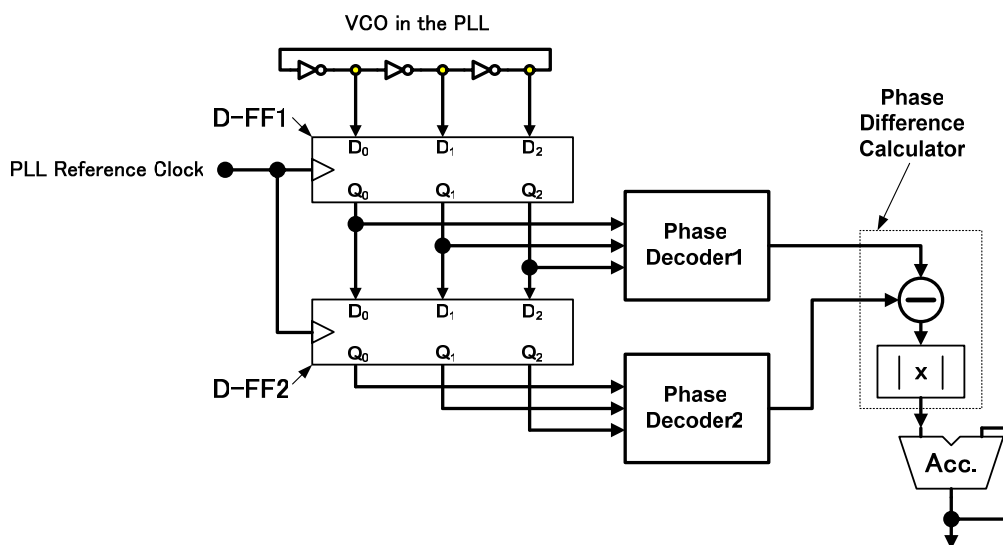


図 5-1-1-3 ジッタ検出回路のブロック図

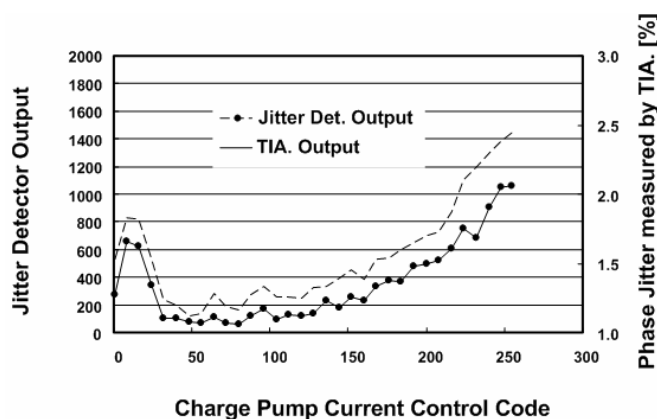


図 5-1-1-4 ジッタ検出回路とタイムインターバルアナライザの相関関係

図 5-1-1-4 に、タイムインターバルアナライザと、本システムに搭載したジッタ検出回路の、測定値の比較結果を示す。図 5-1-1-4 のX軸は、チャージポンプ電流のコントロールコードを示している。図より明らかに、タイムインターバルアナライザとジッタ検出回路の出力結果は非常に良い相関を示している。従って、ジッタ検出回路がタイムインターバルアナライザと同等のジッタ検出性能を持つことが確認された。

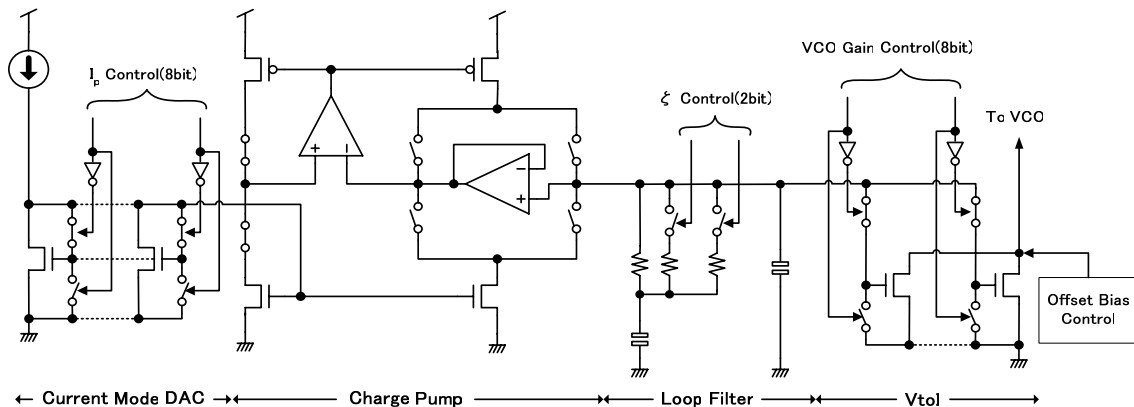


図 5-1-1-5 PLL 回路の構成 (コントロールパラメータの調整部分)

図 5-1-1-5 に PLL の回路構成の一部 (コントロールパラメータに関係のある部分) を示す。PLL 回路は、チャージポンプ電流、VCO ゲインおよびループフィルタのダンピング定数を変更でき、その調整ビット幅はそれぞれ 8, 8 および 2 ビットである。

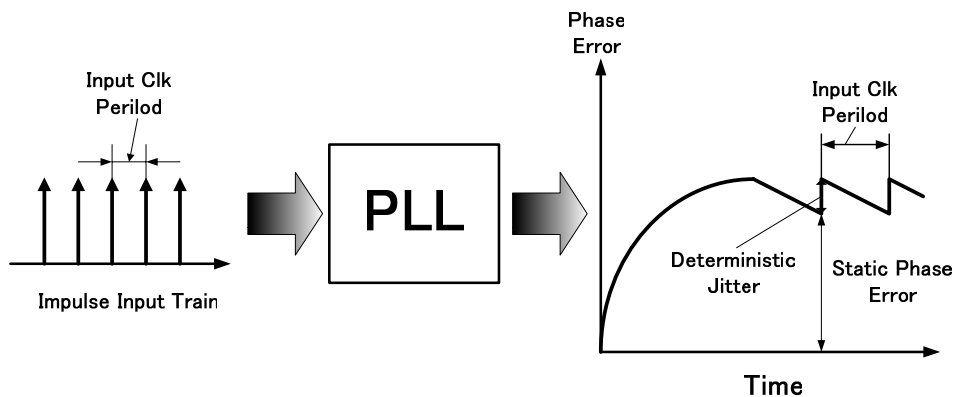


図 5-1-1-6 デターミンスティックジッタの生成メカニズム

図 5-1-1-6 に、デターミンスティックジッタの生成メカニズムを示す。チャージポンプ回路のリセットパルスの充放電誤差等が、インパルス応答列として、PLL に入力される。従って、PLL のインパルス応答の重ね合わせ波形の変動幅が、デターミンスティックジッタとなり、絶対量が定常位相誤差となる。ここで、デターミンスティックジッタは、入力クロックと同じ周期を持つ。従って、入力クロックでサンプリングを行うジッタ検出回路では、その量を捉えることができない。つまり、本システムでは、PLL の位相ジッタ

は最適化可能であるが、位相ジッタには、PLLの入力クロックと同周期のデターミンスティックジッタは含まれないため、デターミンスティックジッタを最適化することはできない。

従って、デターミンスティックジッタを発生する回路要因は、別の手法を用いて、最小化する必要がある。例えば、チャージポンプ回路の充放電電流誤差は、位相比較器のリセットパルスによって、入力クロックと同周期の連続したインパルス入力となるので、デターミンスティックジッタの発生要因となる。そこで、チャージポンプ回路には、アクティブカレントミラー回路を用い、充放電電流を正確に一致させている。

また、VCO ゲインが変化する場合には、オフセット電流を変化させることにより、バイアス点になるべくずれないように制御する。

図 5-1-1-7 には、アンロック検出器の回路を示す。また、チャージポンプ型PLLに用いられる周波数位相比較器 (PFD) の状態遷移図を図 5-1-1-8 に示す。PLLがアンロック状態となるのは、どちらか一方の入力端子に、連続したクロックが入力される場合である。ここで、図 5-1-1-8 の破線部分で示した遷移が生じる場合が、アンロック状態である。従って、この遷移を検出するために、周波数位相比較器の出力にもう一段、Dフリップフロップを接続する

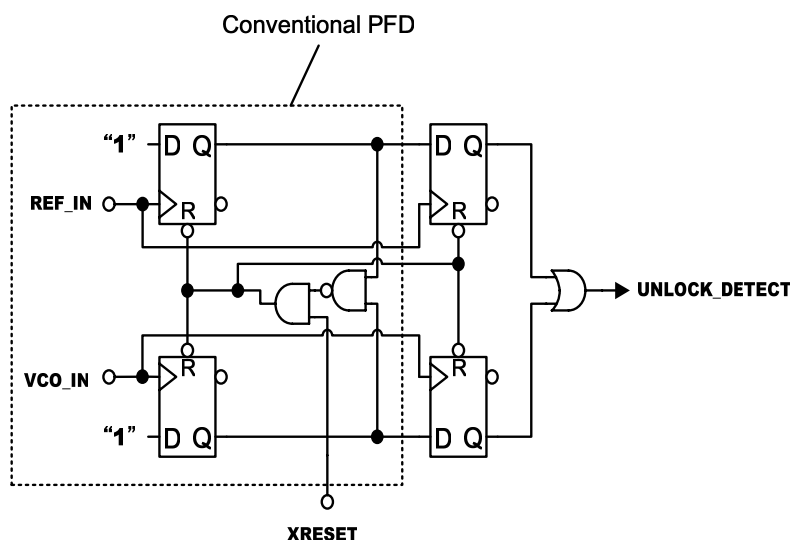


図 5-1-1-7 アンロック検出器の回路図

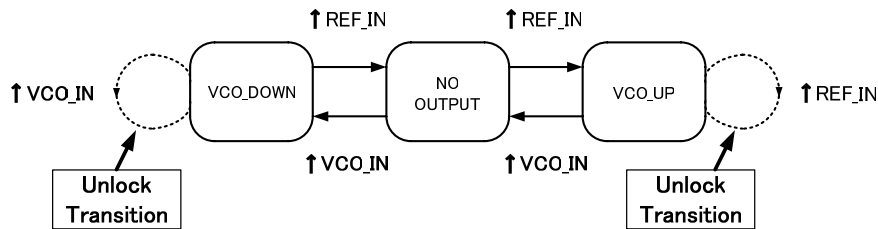


図 5-1-1-8 周波數位相比較器の状態遷移図

すると、連続した2クロック入力が生じた場合にのみ、出力がHigh状態となり、アンロック状態が検出できる [6]。アンロック状態が検出された場合には、ジッタ検出回路からの出力信号は無視される。

5-1-2. ジッタ測定におけるノイズの影響

ところで、PLL が実際に動作している環境では、PLL にバックグラウンドで、デジタルノイズが常に重畳されている。デジタルノイズ量は常に変動しており、位相ジッタの値も短期的にみるとかなり変動する。従って、その変動の影響を取り除かなければ正しい PLL パラメータの設定は難しい。

本節では、5-1-1 節で説明した、ジッタ検出回路の測定回数をどの程度にすればよいかについて実験的に求めている。ジッタ検出回路の測定時間を変更し、それぞれ1000回の測定を行い、ジッタ検出回路の標準偏差と最大幅について求めた結果を、図 5-1-2-1 に示す。

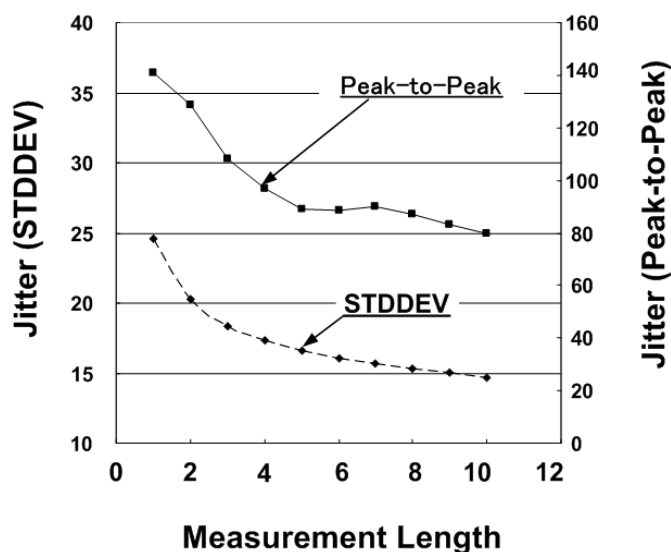


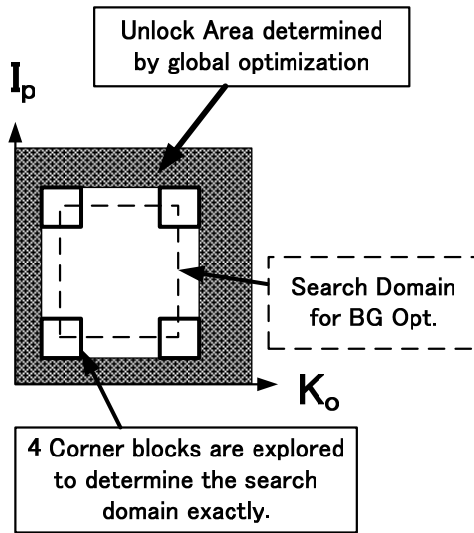
図 5-1-2-1 ジッタ検出回路の出力統計値と測定長の関係

図 5-1-2- 1 に示す 1 ジッタ測定長は、ジッタ検出回路の出力結果を、4096 回積算していることを示している。ジッタ検出回路の出力値としては、測定結果より 200 から 300 が最低値であることがわかっている。したがって、標準偏差として 3σ がその 5 分の 1 程度になるように、ジッタ測定長を 8、つまりジッタ検出回路の出力を 32768 回積算した結果を使用して最適化を行うこととした。

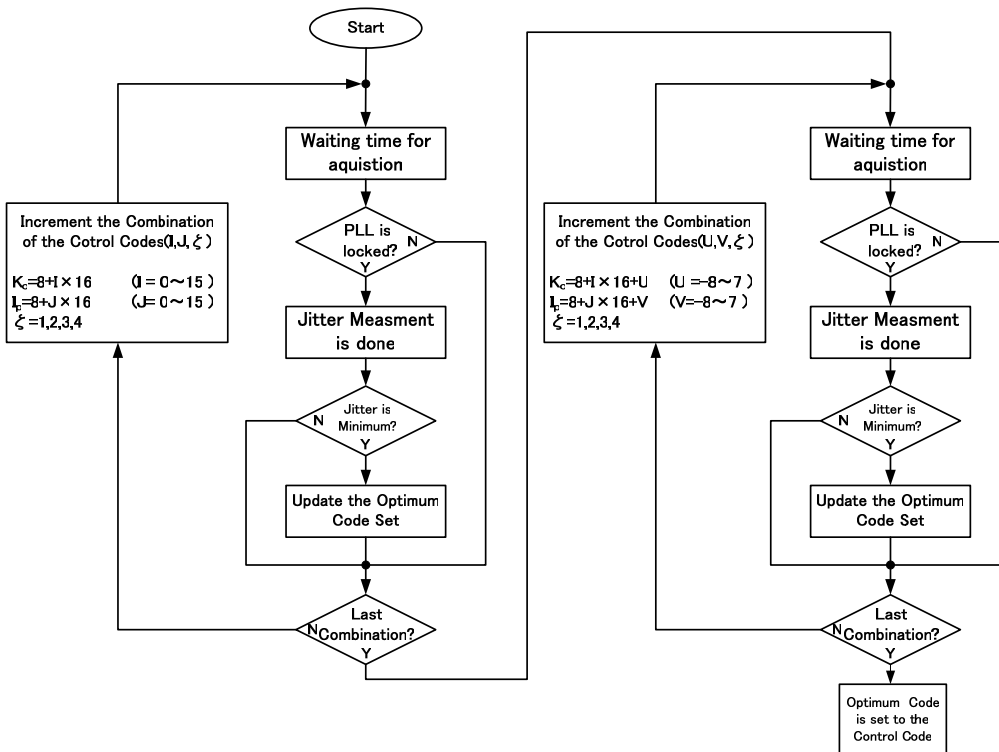
この場合、PLL が最適化された時点で、測定要因としてジッタ値が最大 20% 程度ばらつくことになるが、PLL のジッタ性能に対しては問題となる程度ではない。また、測定回数を 32768 回より小さくした場合、5-2-2 節で詳説する局所探索を行った際に、制御が不安定になる場合が観測された。この減少は、測定回数が少ない場合には、局所探索を行う解空間が安定せず波打つようになりパラメータ設定値が最適点よりずれてしまうことによって発生する。すなわち、ジッタ測定回数と最適化の安定性には密接な関係がある。最適化には、解空間が十分安定するだけの測定回数を必要とする。

5-2. PLL のジッタ最適化手法

5-2-1. 大域探索による最適化



(a) 最適化探索範囲



(b) フローチャート

図 5-2-1-1 最適化アルゴリズムのフローチャート

図 5-2-1- 1 (a)に最適化アルゴリズムでのコードの探索範囲を、図 5-2-1- 1 (b)に最適化アルゴリズムのフローチャートを、それぞれ示す。

まず、電源投入時などのシステム起動時には、大域的探索手法を用いて、PLL のジッタを最適化する。大域的探索手法が終了したのち、もしジッタレベルがある一定以上になった場合には、局所的探索手法が起動され、規定の回数 (今回は 32 回に設定) だけ実行される。

まず、システム起動時に行われる大域的最適化について説明する。大域的探索手法では、PLL の最適化のための 3 つのパラメータ、チャージポンプ電流(I_p)、VCO ゲイン(K_o)、ダンピングファクタ(ζ)の全ての組み合わせがテストされ、その中から最もジッタが最小となる組み合わせが選択される。この場合、組み合わせが 18 ビット存在し、全解空間を一度に探索すると、非常に長時間を要する。従って、今回は 2 ステップの探索法を採用した。まず、 I_p と K_o から構成される探索領域を 256 ブロックに分割する。1 つのブロックには、 I_p と K_o のコードがそれぞれ 16 ずつ含まれており、最初の探索の際には、ブロックの中心値を代表値として探索を行う。すなわち、第一段階の探索では、 I_p と K_o の粗探索数 256 と、ダンピングファクタの探索数 4 の組み合わせとなるので、1024 の組み合わせが探索される。次の探索では、先の粗探索で、最も低いジッタ値を示した領域の内部を詳しく探索する。この場合の探索数も 1024 である。

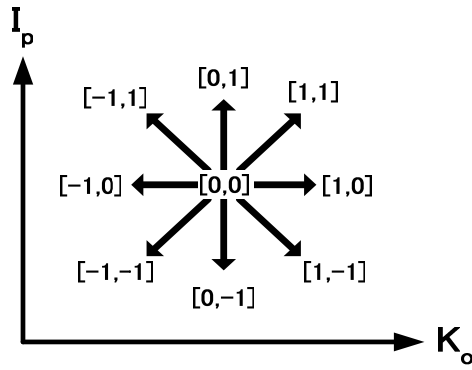
あるコントロールコードで、PLL がアンロック状態になった場合には、その状態をアンロック検出器が感知し、コントローラがその組み合わせを探索対象から除外する。

システム LSI が動作中には、局所探索手法を用いて、PLL のジッタが最適になるように制御するが、コントローラは、大域的探索において、アンロック状態を示した領域を除外した最も内側の領域を、局所探索領域として設定する。

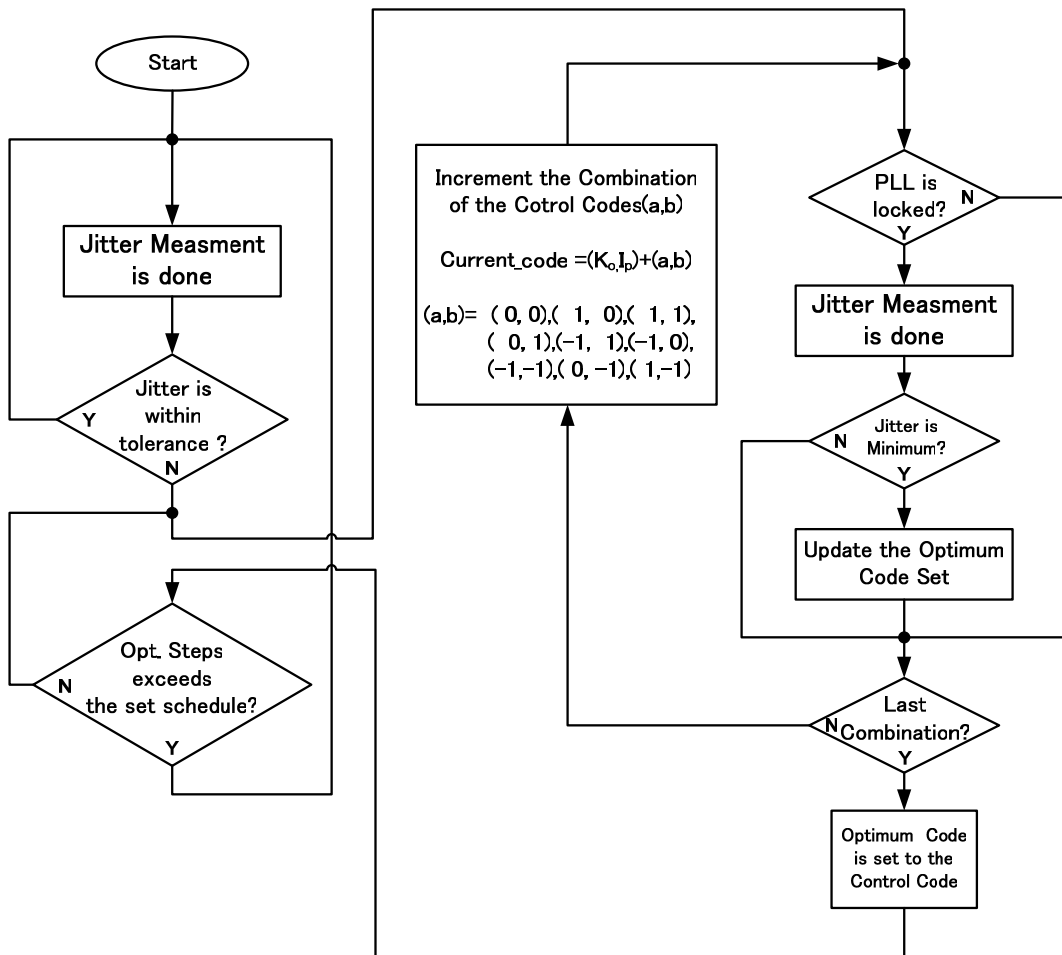
コントローラがアンロック領域を正確に検出するため、図 5-2-1- 1 (a)に示すように、アンロック領域を含んだ 4 つの粗探索領域の内部を、さらに細かく探索し、アンロック領域を決定する。(このように 4 つの追加探索を行う代わりに、アンロック領域を含む粗探索を局所探索領域からはずしてしまうという方法もある。)

実際に製品等への応用を考慮すれば、温度変動の影響を考慮し、アンロック領域にマージンを設けるほうがより安全な方法と考えられる。

5-2-2. 局所探索による最適化



(a)探索領域



(b) 制御フローチャート

図 5-2-2-1 局所最適化での探索領域と制御フローチャート

局所探索最適化は、コントロールコードを1ビットずつ変化させ、近傍の8のコントロールコードの位相ジッタを測定する。コントローラは、図5-2-1-1(a)に示す近傍8つのコードと、現在のコードの計9つのコードから得られる位相ジッタ値の中から、最小の位相ジッタ値を示すコードに、現在のコードを変更する。探索する、解空間が時間的に変動しなければ、コントロールコードは、常に最小の位相ジッタを示す点に制御される。制御フローチャートは、図5-2-2-1(b)に示すとおりである。

局所探索最適化は、ジッタがある閾値を超えて悪化した場合にのみ動作するように設定されている。その理由は、コントロールコードを変更させた場合に、PLLのピークジッタが増加する可能性があるためである。ジッタが悪化しない場合には、局所探索を無理に行う必要はない。局所最適化を行う場合には、微小ではあるが、PLLのバイアス点がずれるため、ステップ応答として位相誤差が発生し、かえって位相ジッタ特性を悪化させる恐れがある。

また、局所探索最適化は、一旦スタートした場合には、32ステップで最適化を終了するように制御される。局所最適化では、どれくらいPLLのバイアス点をずらして探索を行うかが、設計のポイントとなる。バイアス点をずらす量は、PLLのジッタ特性に影響を与えない程度でなければならない。従って、VCOの周波数の1ビット変化幅を、どれくらいにすればよいかを次に計算する。最適化された3次ループPLLの開ループ伝達関数は、以下の式(5.2.1)で表すことができる。

$$H_{opt}(s) = \frac{\omega^2 \sqrt{b} \left(s + \frac{\omega}{\sqrt{b}} \right)}{s^2 (s + \omega \sqrt{b})} \quad (5.2.1)$$

ここで、 ω はPLLの自然角周波数、 b はループフィルタの2つの容量 C と C_3 の容量比に、1を加算したものである。すなわち、 $b=1+C/C_3$ である。入力信号周波数が変化した場合に対する位相誤差の伝達関数は、 $H_{opt}(s)$ より次の式(5.2.2)で計算することが可能である。

$$H_{err}(s) = \frac{1}{s(1+H_{opt}(s))} \quad (5.2.2)$$

従って、周波数が $\Delta\omega$ だけステップ的に変化した場合に、PLLに生じる位相誤差応答は、 $\Delta\omega \times H_{err}(s)/s$ の逆ラプラス変換で求められる。特に $b=9$ の場合は次の式(5.2.3)となる。

$$F_{err}(t) = \Delta\omega t (\omega t + 1) e^{-(\omega t)} \quad (5.2.3)$$

式(5.2.3)の最大値、すなわち周波数ステップ変動で生じる最大位相誤差は、 $t=2(1+\sqrt{5})/\omega$ の時、 $0.84\Delta\omega/\omega$ と計算できる。この値が入力クロックに対して1%以内の変動に収まるように、 $\Delta\omega$ を設定することが、最適化システムの目標となる。本PLLでは、発振周波数が1GHzであり、分周器の分周比は24である。従って、入力周波数は約41.7MHzである。PLLのループバンド幅は、入力信号周波数の1/10程度に設定する必要があるので、ここでは4MHzに設定されている。従って、周波数ステップ変動で生じる最大位相誤差を、入力クロックの1%以内に抑える条件より、以下の関係(5.2.4)が成立する。

$$0.84\Delta\omega/\omega < 2\pi \times 1\% \quad (5.2.4)$$

関係(5.2.4)を解くことにより、 $\Delta\omega < 300\text{kHz}$ の条件を得ることができる。VCOゲインは、この場合62.5MHz/Vである。またダイナミックレンジは、1V程度であるので、ゲイン調整に必要な分解能は、 $62.5\text{MHz}/300\text{kHz} \approx 209$ となる。したがって、この場合ゲイン調整に必要な分解能は、209より大きな2のべき乗数を選択し、256(8ビット)と設定される。

5-3. PLL への自律制御法適用結果

以上、5-2節までで説明したジッタ最適化システムの効果を実証するため、テストチップと評価ボードを作成し、その効果を検証した[8-9]。LSIは0.15umCMOSプロセスにより、試作されている。図5-3-1に、チップレイアウトを示す。

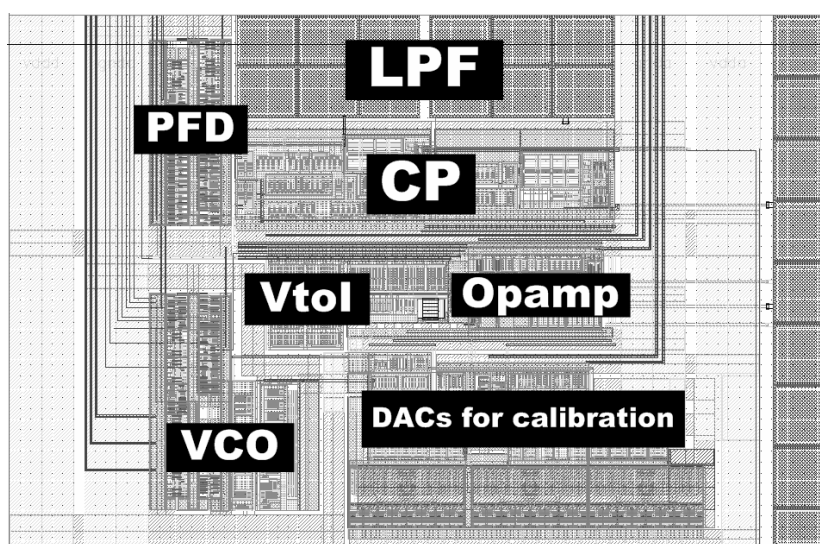


図 5-3-1 PLL 最適化システム検証用テストチップレイアウト

図 5-3-1 に示すPLLのレイアウトには、デジタルの制御ブロックは含まれていない。これは制御方式の自由度を確保するため、制御ブロックをFPGA上に作成したためである。使用したFPGAはザイリンクス社製のXC2S200Eである。表 5-3-1 に、製作したPLLの諸元を示す。

表 5-3-1 PLL テストチップ諸元

Supply Voltage	1.5V
Output Frequency	2GHz~250MHz
Power Consumption	7.6mW@2GHz-output
Divider Ratio	24

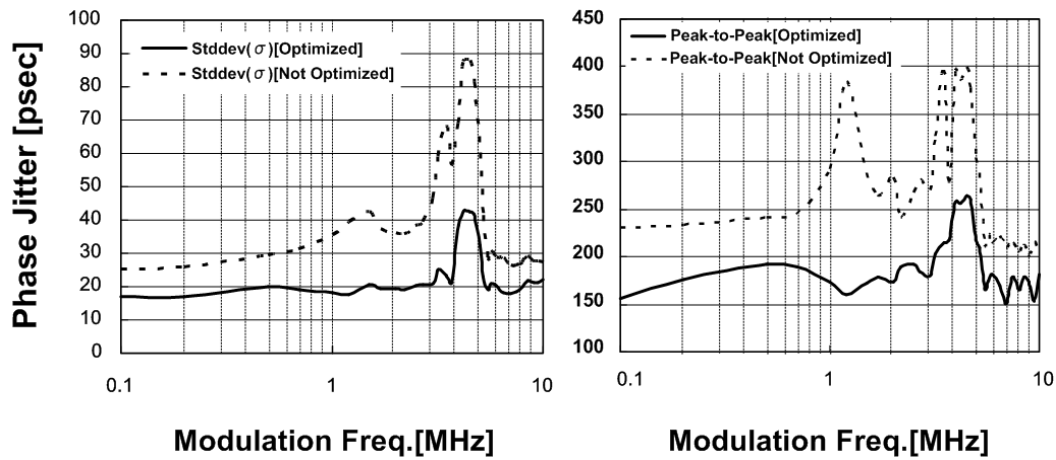
まず、大域的最適化の効果を見るために、10 チップに対して、大域的最適化を実施し、ジッタ改善効果について測定した。表 5-3-2 にその結果を示す。

表 5-3-2 大域的最適化後と前の PLL ジッタの比較

	Period Jitter(3σ) measured by Time Interval Analyzer	Output Value from Jitter Detector
without Optimization	1.36%~1.84%	912~1408
with Optimization	1.15%~1.24%	240~786

表 5-3-2 よりわかるように、タイムインターバルアナライザによる測定値と、ジッタ検出回路の測定値の両方で、最適化後のジッタ値が改善されていることがわかる。タイムインターバルアナライザのジッタ値には、背景雑音が重畳しやすいと考えられる。従って、ジッタ検出回路の測定値からその改善効果を見積もれば、約 26% から 56% のジッタ値改善効果が得られていることがわかる。

図 5-3-2 には、PLL にステップ電源ノイズを引加した場合に対して、大域的最適化手法を用いた場合の改善効果を示す。図 5-3-2 (a) にはピリオドジッタ出力の標準偏差値の改善効果、図 5-3-2 (b) にはピークジッタの改善効果を、それぞれ示す。図 5-3-2 の X 軸は引加したノイズの周波数値を示す。



(a) ジッタ標準偏差比較

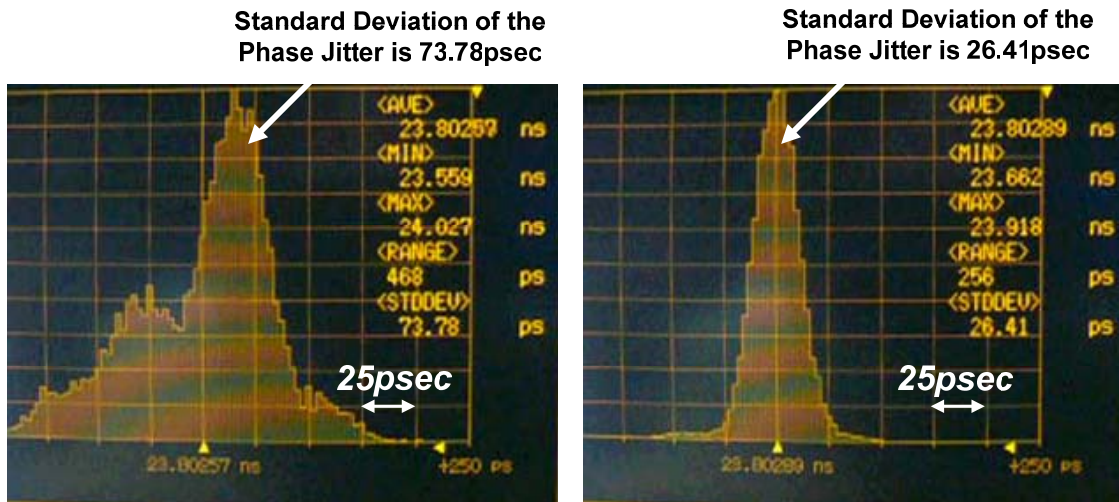
(b) ピークジッタ比較

図 5-3-2 ジッタ検出回路の出力統計値と測定長の関係

よく知られているように、PLL の電源ノイズ依存性はバンドパス特性を示す。バンドパス特性のピーク周波数は、PLL の応答周波数付近となる。今回用いた PLL の応答周波数は 3 から 4 MHz である。

従って、最適化前の PLL では、3 から 4 MHz 付近の電源周波数ノイズに対し、PLL のジッタ特性は劣化している。大域的探索による最適化を実施した場合、図 5-3-2 からわかるように、実施しない場合に比べ、ジッタ特性が改善されていることがわかる。また、最もノイズ感度が高い、3 から 4 MHz 付近の電源ノイズに対しても、ノイズの影響を 50% 程度に抑圧できていることがわかる。

図 5-3-3 には、4MHz の電源ステップノイズを重畳した場合の、PLL の最適化前後の、ジッタヒストグラムの比較結果を示す。



(a) ジッタ最適化前

(b) ジッタ最適化後

図 5-3-3 ジッタヒストグラムの比較

ジッタ最適化前のジッタヒストグラムでは、ジッタピークが、ノイズの影響により明らかに2つのピークを持つものに対して、ジッタ最適化後は、ジッタヒストグラムがガウス波形に近い形に改善されている。すなわち、電源ノイズの影響が抑制されていることがわかる。これはVCOのゲインが変更され、PLLのループバンド幅がノイズの影響を受けない領域に変更されたことを示している。

次に、実際にPLLの回路パラメータが、どのように更新されているかを観測する。図 5-3-4 にチャージポンプ回路のチャージ電流 I_p と、VCOゲイン(K_o)に対するジッタ検出回路の出力を、等高線図に表したものを示す。 I_p と K_o の制御範囲は、すでにPLLがロックを維持している範囲に限定されている。図中の白丸は、局所最適化の出発点を示し、矢印の先は、局所最適化の収束ポイントを、それぞれ示している。図 5-3-4 の収束点は、すべて等高線の極小値に収束しており、正常に局所最適化が実行されていることが確認できる。

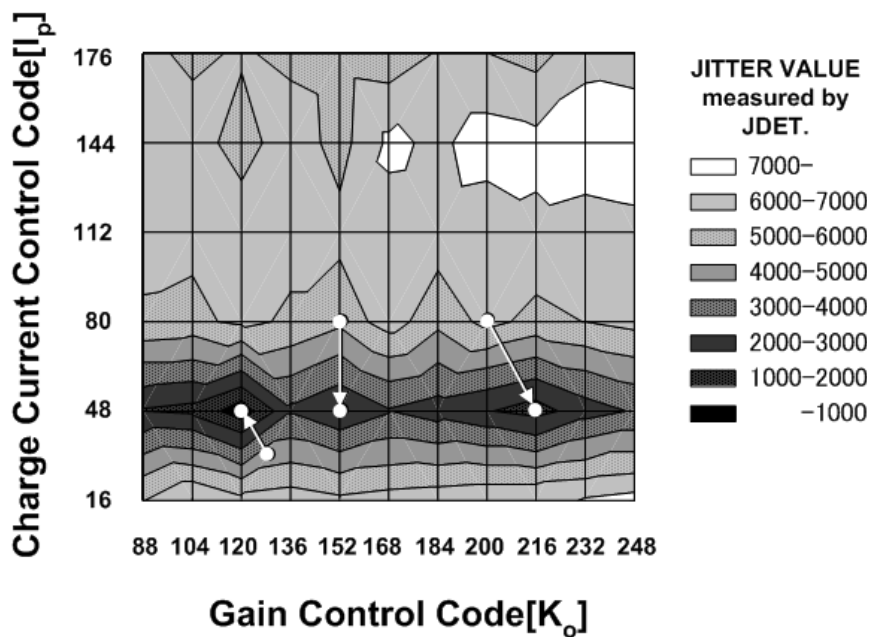


図 5-3- 4 PLL の回路パラメータに対するジッタ値の等高線図

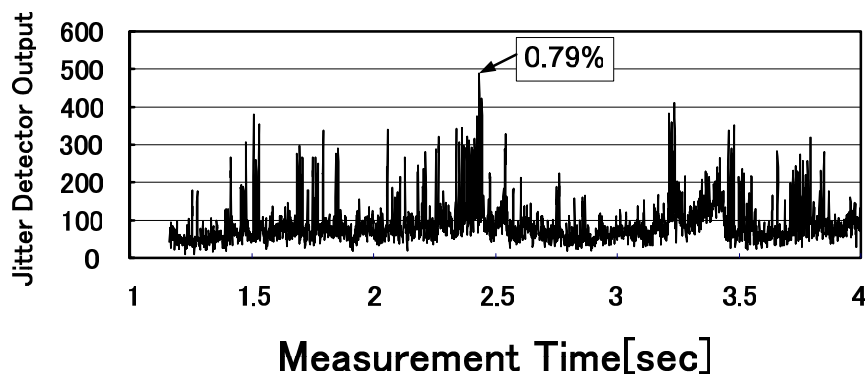


図 5-3- 5 ジッタ検出回路出力の過渡応答波形

図 5-3- 5 には、局所最適化中のジッタ検出回路出力の、過渡応答波形を示す。過渡応答時のジッタ値の最大値は、約 0.79%と推定され、目標の 1%を下回っている。従って、1 ビットのコード変更の影響が、設計どおり抑えられていることが確認できた。

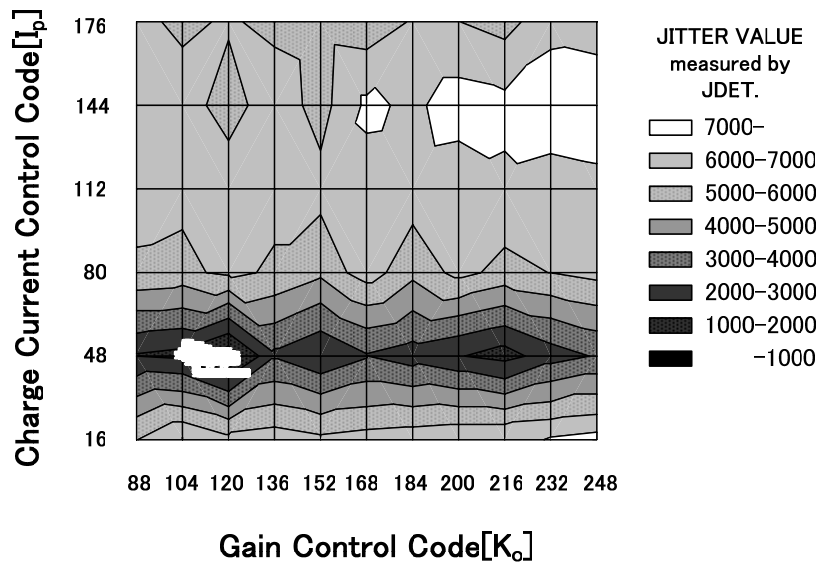


図 5-3-6 局所最適化中の制御パラメータの過渡応答波形

図 5-3-6 には、局所最適化中の PLL の制御コードの遷移状態を示す。制御コードは背景雑音があるため、ふらつきを示しているが、おおよそ極小値の周辺で遷移していることがわかる。

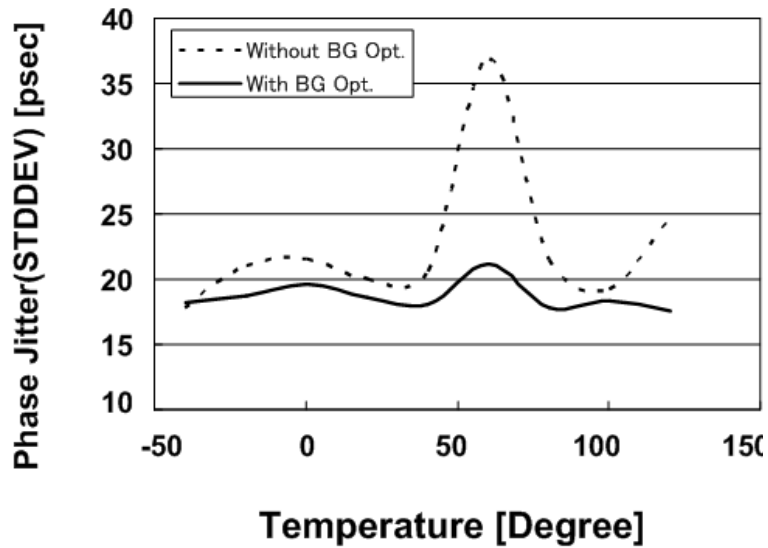


図 5-3-7 PLL の周囲温度を変化させた場合の局所最適化の効果

最後に、PLL の局所最適化を行いながら、周囲温度を変化させた場合の位相ジッタを観測した結果を図 5-3-7 に示す。局所最適化を実施した場合のジッタは、全ての場合において、実施しない場合の PLL のジッタ性能を上回っている。すなわち、局所最適化に

より、ジッタ値が最小値に制御されていることがわかる。

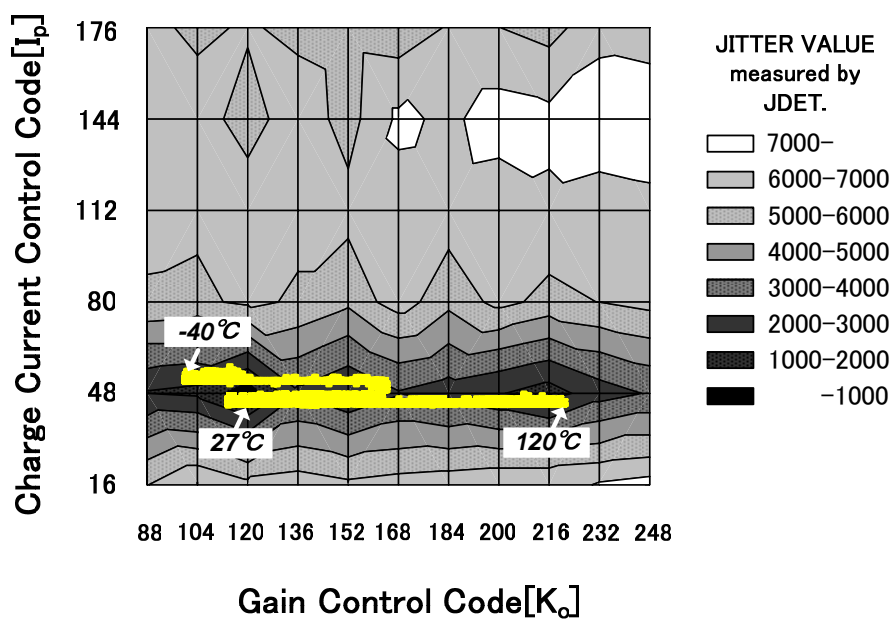


図 5-3-8 PLL の周囲温度を変化させた場合の制御パラメータの遷移

図 5-3-8 には、PLL の周囲温度を変化させた場合の、制御パラメータの遷移を示す。制御パラメータは、ジッタの極小値の付近で、VCOゲインを変化させながら応答していることがわかる。すなわち、温度変化によるVCOゲインの変化を補償しながら、局所最適化が実行されていることがわかる。チャージポンプ電流は温度依存性が少なく、温度変化によってもそれほど変化しないため、制御コードには大きな変化が見られない。

5-4. まとめ

以上説明したように、自分自身の出力する位相ジッタを測定し、応答パラメータを変化させることにより、常に最適なジッタ性能を実現する自律制御 PLL の開発に成功した。本手法の効果を調べるため、テストチップを作成し、プロセスばらつき、電源ノイズ及び温度変動によるジッタ劣化の抑制効果の実験を行った。全ての実験でジッタ抑制効果を実現し良好な結果を得た。以下にその成果をまとめる。

1. インバータチェーン回路の出力位相変化を入力クロック毎にモニタする、新方式の位相ジッタ検出回路を提案し、その性能がタイムインターバルアナライザと同程度であることを実測により明らかにした。本ジッタ検出回路はシステム LSI に内蔵でき、測定環境から重畳されるノイズが少ないことを考慮すれば、タイムインターバルアナライザよりもむしろ測定性能は高いといえる。この取り組みにより、システム LSI 中の PLL のジッタが高精度に検出でき、PLL ノイズの挙動も正確に把握できるようになった。よって LSI の性能向上に貢献できるものとする。
2. 2連続のクロック入力を検知する、新方式の PLL アンロック検出回路を提案した。この検出回路により、PLL のアンロック状態をより簡単に検出できるようになった。
3. 自律制御 PLL のアーキテクチャと大域最適化方式および局所最適化の制御手法を提案し、その効果を実験により確認した。
 - 3-1. PLL の位相ジッタ特性のプロセスばらつきを抑制できることを明らかにした。(効果は 26%から 56%程度であった。)
 - 3-2. 電源ノイズの影響による位相ノイズの劣化を緩和できることを明らかにした。ジッタ削減効果は、約 36%であった。
 - 3-3. 温度変動による位相ノイズの劣化を緩和し、常に最小ジッタで PLL を動作できることを明らかにした。

以上、第5章で説明した取り組みにより、常に最適なジッタ特性で、自分自身を自律制御可能な位相同期回路が実現された。この位相同期回路の実現により、システムLSI中のPLLの設計手直し等が激減できると考えられ、よって設計コストの低減や、LSI再設計コストの低減に貢献できるものとする。

参考文献

- [1] K. Okamoto, T. Morie, A. Yamamoto, K. Nagano, K. Sushihara, H. Nakahira, R. Horibe, K. Aida, T. Takahashi, M. Ochiai, A. Soneda, T. Kakiage, T. Iwasaki, T. Taniuchi, T. Shibata, T. Ochi, M. Takiguchi, T. Yamamoto, T. Seike, and A. Matsuzawa, "A Fully-Integrated 0.13um CMOS Mixed-Signal SoC for DVD Player Applications," *IEEE J. Solid-State Circuits*, vol.38. pp. 1981 - 1991, Nov. 2003.
- [2] P. Larsson, "Measurements and analysis of PLL jitter caused by digital switching noise," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1113 - 1119, Jul. 2001.
- [3] M. Nagata, J. Nagai, K. Hijikata, T. Morie, and A. Iwata, "Physical design guides for substrate noise reduction in CMOS digital circuits," *IEEE J. Solid-State Circuits*, vol. 36, pp. 539 - 549, Mar. 2001.
- [4] A. Samavedam, A. Sadate, K. Mayaram, and T. S. Fiez, "A Scalable substrate noise coupling model for design of mixed-signal IC's," *IEEE J. Solid-State Circuits*, vol. 35, pp. 895 - 904, Jun. 2000.
- [5] J. G. Maneatis, and M. A. Horowitz, "Precise Delay Generation Using Coupled Oscillators," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1273 - 1282, Dec. 1993.
- [6] 道正 志郎, "周波数比較器とそれを備えた位相同期回路," 特許第 3375584 号.
- [7] B. R. Veillette, and G. W. Roberts, "On-Chip Measurement of the Jitter Transfer Function of Charge-Pump Phase-Locked Loops," *IEEE J. Solid-State Circuits*, vol.33, Mar. 1998.
- [8] S. Dosho, N. Yanagisawa, and A. Matsuzawa, "A Background Optimization Method for PLL by Measuring Phase Jitter Performance," *IEEE J. Solid-State Circuits*, vol. 40, pp. 941 - 950, Apr. 2005.
- [9] S. Dosho, and N. Yanagisawa, "A Background Optimization Method for PLL by Measuring Phase Jitter Performance," *Symp. VLSI Circuits Dig.15-3*, pp. 236 - 239, Jun. 2004.

第6章. $\Delta\Sigma$ 変調分数分周シンセサイザに おけるループバンド幅自動可変化

はじめに

第2章において概説した $\Delta\Sigma$ 分数分周シンセサイザは、近年のPLLの発達の中でも特筆すべき成果の一つである [1]。その理由は、非常に細かい出力周波数制御を可能にしながら、ループバンド幅も広帯域に設定できる点にある。このシンセサイザの実現により、CDMAやOFDM等を利用する通信システムの携帯無線等への応用が可能となり、携帯電話市場が大いに発達することになった。

このような $\Delta\Sigma$ 分数分周シンセサイザのシステムLSIへの応用を考えた場合、インダクタを製作するための厚膜アルミプロセス等の特殊プロセスを使用することは設計コストを増加させるために困難である。従って、LC発振器等の、低位相ノイズ特性を持つ発振器を用いることができない。すなわち、位相ノイズ特性に劣り、しかも発振周波数特性が大きく変動するインバータチェーン発振器を用いて、可能な限り位相ノイズ性能を向上させたシンセサイザを実現する必要がある。位相ノイズ向上のためには、設計マージンを最小化したぎりぎりの設計が必要である。ここで、 $\Delta\Sigma$ 分数分周シンセサイザの位相ノイズ特性を大きく左右するパラメータは、同じく第2章で説明したように、PLLのループバンド幅である。

従って、PLLのループバンド幅を、プロセス変動や環境変動にかかわらず一定にし、設計マージンを最小として、最高の位相ノイズ特性を実現するシステムの開発が必要となる。

本節では、正確にPLLのループバンド幅をコントロール可能な、独自のループバンド幅調整手法の開発と、その応用事例について解説する。具体的には、ケーブルTV通信LSI用に低位相ノイズ特性を持つ $\Delta\Sigma$ 分数分周シンセサイザを開発した事例について説明する。本シンセサイザは、10kHzオフセットにおいて-90dBcという低位相ノイズ特性が要求され、さらに50kHz間隔で、発振周波数を調整できる必要がある。このシンセサイザに、新しく開発したPLLのループバンド幅調整手法を適用し、位相ノイズ特性を満足するPLLの開発に成功した。

6-1. ループバンド幅調整手法の原理

式(2.2.3)よりPLLのループバンド幅 ω_n は、近似的に以下の式(6.1.1)で表現される。

$$\omega_n = \sqrt{\frac{K_o I_p}{2\pi N C}} = \frac{1}{\sqrt{2\pi}} \times \sqrt{\frac{K_o}{N}} \times \sqrt{\frac{I_p}{C}} \quad (6.1.1)$$

ここで、式(6.1.1)の右辺第二項はVCOのゲイン、第三項はフィルタの時定数を、それぞれ意味している。従って、PLLのループバンド幅を制御するためには、VCOのゲイン、およびループフィルタ時定数を制御すればよいことがわかる。

6-1-1. VCO ゲイン調整の原理

図6-1-1-1にVCOのゲイン調整方法を示す。

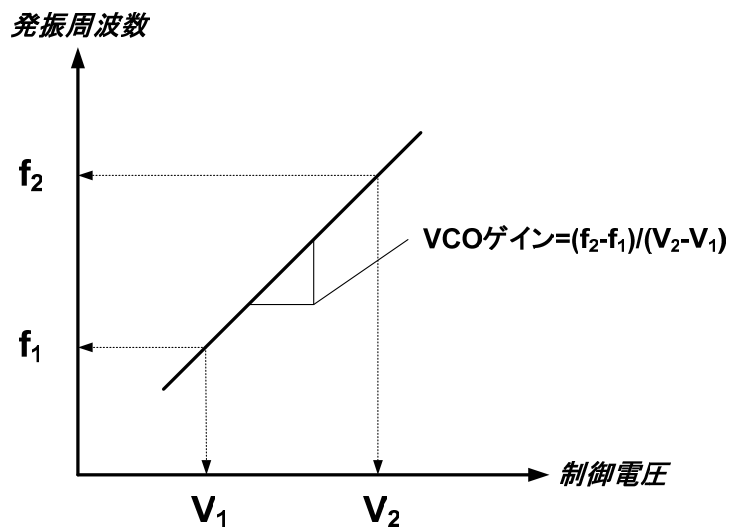


図 6-1-1-1 VCO ゲインの調整手法

図に示すように、VCO ゲインを求めるためには、VCO に2つの異なる制御電圧 V_1 および V_2 を入力し、次にそれぞれの入力電圧での発振周波数 f_1 および f_2 を測定し、その傾きを計算すればよい。入力する制御電圧 V_1 および V_2 を、基準電圧源より生成すれば、温度や電圧に不感な制御電圧を、容易に生成することができる。 $V_2 - V_1 = 1[V]$ とすれば、周波数差のみを測定することにより、VCO ゲインが容易に計算できる。次に、VCO ゲインの測定精度について議論する。

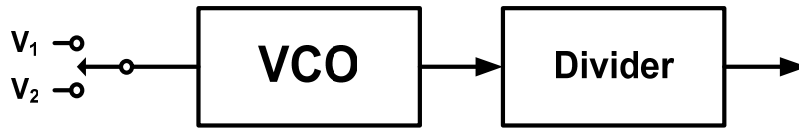


図 6-1-1-2 VCO ゲイン測定ブロック

図 6-1-1-2 に示すように、VCOの後段に分周器を接続し、その分周器出力で周波数を測定することとする。ここで $V_2-V_1=1[V]$ 、分周器の分周比を N_{div} とする。すると、設定すべきVCOゲインは、分周器出力で見ると K_o/N_{div} である。必要な周波数精度を $\alpha\%$ とすれば、以下の式(6.1.2)にて表される周波数 f_{meas} に対し、カウンタ値が1以上の値を取ればよい。

$$f_{meas} = \frac{K_o}{N_{div}} \times \frac{\alpha}{100} \quad (6.1.2)$$

従って、必要な測定時間 T_{meas} は f_{meas} の逆数となるので、式(6.1.3)表される。

$$T_{meas} = \frac{N_{div}}{K_o} \times \frac{100}{\alpha} \quad (6.1.3)$$

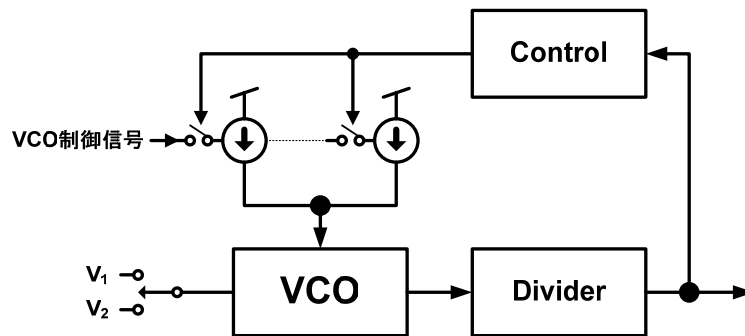


図 6-1-1-3 VCO ゲインの可変手法

図 6-1-1-3 に、VCOゲインの可変手法を示す。VCO制御信号で駆動される電圧制御電流源の個数を可変することにより、デジタル的にVCOゲインを制御する。以上説明したように、VCOゲインを測定し、任意の値に調整することが可能となる。

6-1-2. フィルタ時定数の調整原理

次に、フィルタ時定数の調整原理を説明する。フィルタ時定数は I_p/C で決定されるため、チャージ電流と容量で決定される同様のパラメータを観測し、マスタースレーブ方式で時定数を調整する。

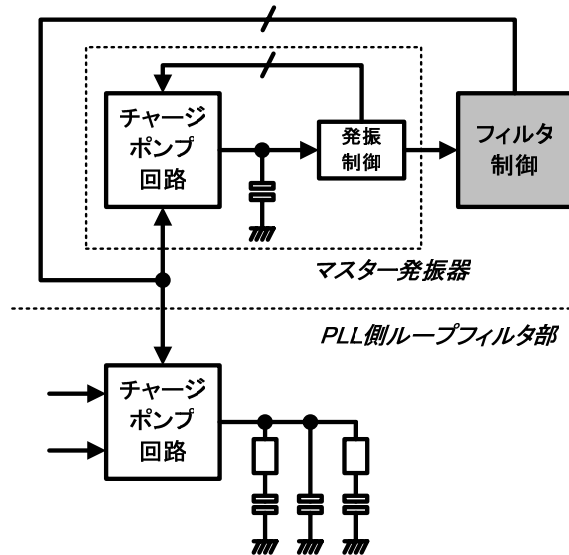


図 6-1-2-1 フィルタ時定数調整手法の原理

図 6-1-2-1 に、フィルタ時定数調整手法の原理を示す。発振周波数が I_p/C で決定されるマスター発振器の発振周波数を、チャージポンプ回路の電流を可変することにより調整し、スレーブ側のPLLのループフィルタの時定数を、素子の相対精度の範囲で制御する。

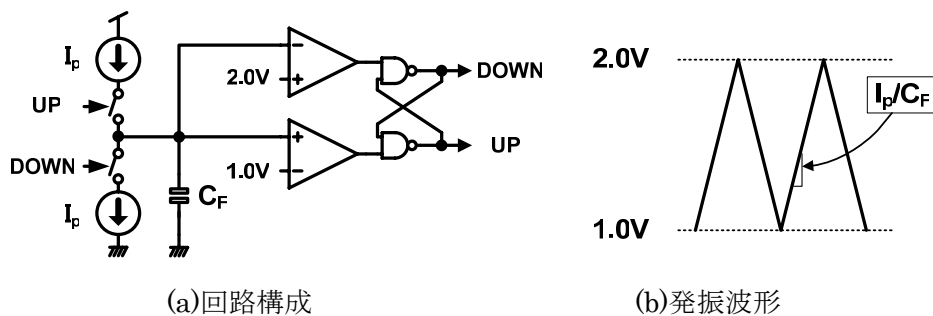


図 6-1-2-2 マスター発振器の回路構成例

図 6-1-2-2(a)に、マスター発振器の回路構成例を示し、(b)にその発振波形を、それぞれ示す。マスター発振器の容量 C_F に引加される電圧は、2つの比較器の基準電圧間を、傾き $\pm I_p/C_F$ の三角波で上下する。図に示すマスター発振器の発振周波数は、 V_A を発振振幅と

し、 C_F をチャージポンプの負荷容量、 I_p を充放電電流値とすれば、発振周波数 f_{osc} は、以下の式(6.1.4)で表される。

$$f_{osc} = \frac{I_p}{C_F} \times \frac{1}{2V_A} \quad (6.1.4)$$

ここで、 V_A は図 6-1-2- 2(a)に示す2つの比較器に入力される比較電圧差となる。2つの比較電圧を基準電圧源から生成すれば、温度や電圧依存のない電圧にできる。

従って理想的には、 f_{osc} は I_p/C_F のみから決定される。比較器および NAND ゲートの伝播遅延の変動により、 f_{osc} は若干変動する。しかしながら、発振周波数を十分に遅くすることにより、これら伝播遅延の変動は、相対的に無視できる範囲に抑えることができる。

6-1-3. 温度変動への対応

6-1-1節と 6-1-2節に示した手法は、回路の起動時に1回だけ行える調整手法である。起動時における調整は、素子ばらつきや製造プロセスばらつきの抑制には、効果が期待できるが、温度変動には対応することができない。従って、さらに温度変動に対応して、ループバンド幅を一定に保つ手法の開発が必要である。

ここで、VCO ゲインは、温度変動の影響を受けやすい。一方、フィルタ時定数を決定するパラメータ I_p および C_F は、 I_p は基準電流源より生成できるため、温度変動は少なく、 C_F も容量素子値であるので、温度変動の影響は無視できる程度である。従って、フィルタ時定数の温度変動を調整する必要はなく、VCO ゲインの温度変動のみを補償すればよいことがわかる。

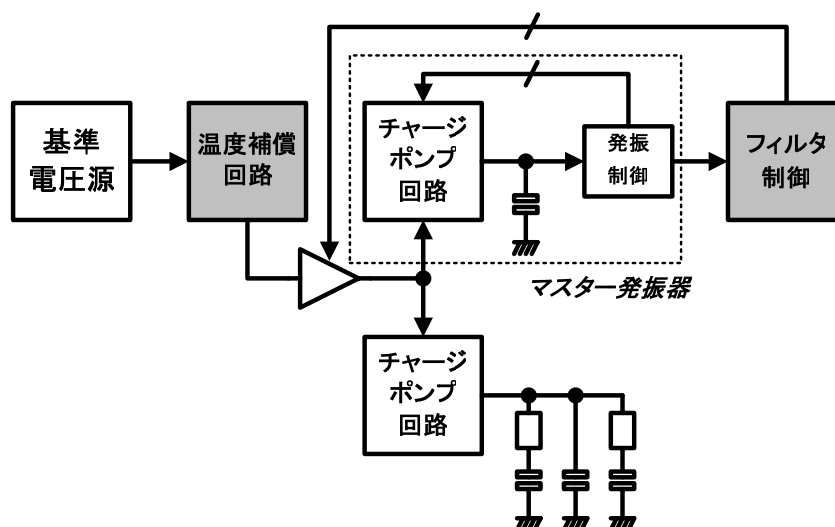


図 6-1-3- 1 ループバンド幅の温度補償手法の原理

図 6-1-3-1 に、ループバンド幅の温度補償手法の原理を示す。式(6.1.1)の中の温度変動する項は K_o のみであるので、 I_p を温度に対して可変となるように制御し、 K_o と I_p の積を、一定に保つように制御する。 $K_o(t)$ および $I_p(t)$ が、以下の式(6.1.5)と式(6.1.6)に示す温度の一次関数で、近似表現されると仮定する。

$$K_o(t) = K_{o(t=27)}(1 - \alpha t) \quad (6.1.5)$$

$$I_p(t) = I_{p(t=27)}(1 + \alpha t) \quad (6.1.6)$$

このとき $K_o(t)I_p(t)$ は、式(6.1.7)で表すことができる。

$$K_o(t)I_p(t) = K_{o(t=27)}I_{p(t=27)}(1 - (\alpha t)^2) \quad (6.1.7)$$

ここで、 αt が小さければ、2次の項として無視できるため、 $K_o(t)I_p(t)$ をほぼ一定の値とすることが可能である。実際の αt の値は、 $\pm 10\%$ から 20% の範囲である。従って、本手法を用いた場合、温度変動を 1% から 4% に抑えることが可能である。

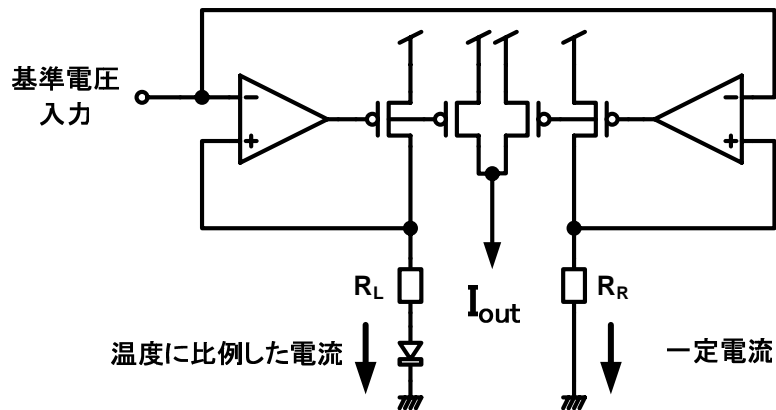


図 6-1-3-2 温度補償回路の回路構成

図 6-1-3-2 に、温度補償回路の回路構成例を示す。図 6-1-3-2 で、右側のフィードバックループの電流は、抵抗の値を R_R とすれば、 V_{in}/R_R の一定値となる。また、左側のフィードバックループの電流は、抵抗の値を R_L とすれば、 $(V_{in}-V_D)/R_L$ となる。ここでダイオードにかかる電圧は、 $-2mV/^\circ C$ の割合で減少する。従って、温度補償回路の出力電流 I_{out} は、以下の式(6.1.8)で表される。

$$I_{out} = \frac{V_{in}}{R_R} + \frac{(V_{in} - (0.7 - 0.002 \times (t - 273)))}{R_L} \quad (6.1.8)$$

式(6.1.8)より R_R と R_L の値が決定できる。基準入力電圧を $V_{in}=1.0V$ として常温で $10\mu A$ 、 $125^\circ C$ で $13\mu A$ の I_{out} がほしい場合には、式(6.1.8)に値を代入し、連立方程式を解くことにより、 $R_L=65.3k\Omega$ 、 $R_R=184.9k\Omega$ の値を得ることができる。 R_R と R_L の絶対精度変化は初期の時定数調整ブロックが補償を行う。すなわち、実際のチャージポンプのチャージ電流 I_p は、

$$I_p = \alpha \left(\frac{V_{in}}{R_R} + \frac{(V_{in} - (0.7 - 2m \times (t - 273)))}{R_L} \right) \quad (6.1.9)$$

となり、時定数調整ブロックが α を決定する。従って、抵抗の絶対精度変動は、 α に吸収され、温度調整時に問題となることはない。

6-2. $\Delta\Sigma$ 分数分周シンセサイザの設計

表 6-2-1 $\Delta\Sigma$ 分数分周シンセサイザの設計パラメータとその影響および設計方針

決定すべきパラメータ	パラメータ変動の効果		設計方針
	小	大	
入力信号周波数	1.量子化ノイズ→拡散幅小 2.ループバンド幅→小	1.量子化ノイズ→拡散幅大 2.ループバンド幅→大	量子化ノイズがなるべく高周波になるように入力信号周波数は大きく設定する。分周比が小さくなるので $\Delta\Sigma$ 変調の際の変動を考慮し入力信号周波数を設定する。
$\Delta\Sigma$ 変調器の変調次数	1.分周器の変動幅→小 2.量子化ノイズの影響→大 3.デジタル回路規模→小	1.分周器の変動幅→大 2.量子化ノイズの影響→小 3.デジタル回路規模→大	変調次数を大きくしたほうが、VCOの近接位相ノイズレベルを下げる事が可能であるが、変調次数を大きくするとVCOの周波数変動が大きくなるためVCOの可変範囲を大きくとる必要がある。VCOの可変範囲と考慮した変調次数を選択する。
DMプリスケアラの分周比	1.回路構成が簡単 2.動作速度→大	1.回路構成が複雑 2.動作速度→小	N=4が後段の回路構成が簡単であることと比較的動作速度が速いため最適と考えられる。
ループフィルタ次数	1.回路面積→小 2.位相ノイズ低減効果→小 3.ループ安定性→大	1.回路面積→大 2.位相ノイズ低減効果→大 3.ループ安定性→小	次数を上げたほうが位相ノイズ低減効果が大きい安定性の問題で3次フィルタ以上の低減効果はほぼ同じとなる。従って、4次フィルタを採用する。
チャージポンプ電流	1.位相ノイズ→大 2.フィルタ面積→小 3.固定ジッタ1)→小	1.位相ノイズ→小 2.フィルタ面積→大 3.固定ジッタ1)→大	位相ノイズ特性に影響がない程度になるべくチャージ電流を小さくする。
VCOゲイン	1.可変範囲→小 2.位相ノイズ→小 3.フィルタ面積→小	1.可変範囲→大 2.位相ノイズ→大 3.フィルタ面積→大	シンセサイザの可変範囲を満足するようになるべく小さく設定する。
ループバンド幅	1.量子化ノイズ→小 2.位相ノイズ→大	1.量子化ノイズ→大 2.位相ノイズ→小	量子化ノイズおよび位相ノイズが仕様を満足するようにループバンド幅を決定。

表 6-2-1 に、 $\Delta\Sigma$ 分数分周シンセサイザの設計パラメータと、その影響および設計方針を示す。 $\Delta\Sigma$ 分数分周シンセサイザを設計するためには、PLLの位相ノイズを正確に予測する必要がある [3]。PLLの位相ノイズ要因としては、VCOの位相ノイズ、 $\Delta\Sigma$ 分周器の量子化ノイズ、チャージポンプ回路の位相ノイズ、ループフィルタの位相ノイズ等がある。VCOの位相ノイズの理論的見積もりに関しては、RazaviあるいはAri Hajimiriらの論文が詳しいが、その具体的計算には、回路シミュレータを用いる必要がある [4-6]。現在では、Cadence社製の高周波回路シミュレータSpectreRFを用いることにより、正確にVCOの位相ノイズを見積もることが可能である。また、 $\Delta\Sigma$ 分数分周シンセサイザの分周器の、量子化ノイズ見積もりに関しては、Perottieらの論文に詳しい [3]。チャージポンプ

回路の位相ノイズに関しては、Styeartらの論文に記述が見られる [7]。ループフィルタの位相ノイズに関しては、抵抗が発生する熱雑音が主要因であるので、VCO位相までの熱雑音の伝達特性を求めれば良い。以下に、PLLシンセサイザで考慮すべき位相ノイズについて、順次その計算手法について述べる。

6-2-1. ループフィルタが発生する位相ノイズの計算

図 6-2-1-1 に、ループフィルタの発生するノイズを含むPLLのブロック図を示す。

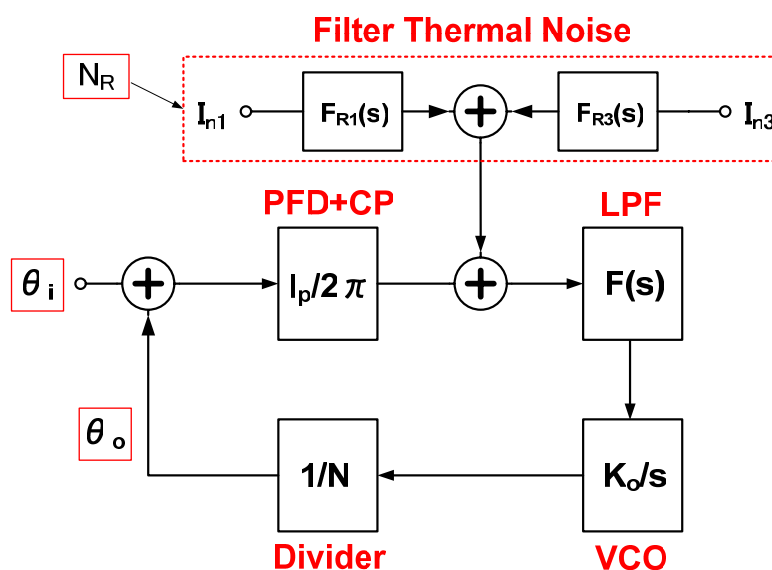


図 6-2-1-1 ループフィルタの発生するノイズを含む PLL ブロック図

ここで、ループフィルタ内部の、抵抗R1とR3の発生する熱雑音を、入力換算雑音に変換したものをNRとする。NRからPLL出力θoへの伝達特性を求めると、以下の式(6.2.1)として表される。

$$\theta_o = \frac{F(s) \frac{K_o}{sN}}{F(s) \frac{I_p K_o}{2\pi sN} + 1} \times \overline{N_R} = \frac{F(s) \frac{I_p K_o}{2\pi sN}}{F(s) \frac{I_p K_o}{2\pi sN} + 1} \times \frac{2\pi}{I_p} \overline{N_R} = H_{close}(s) \times \frac{2\pi}{I_p} \overline{N_R} \quad (6.2.1)$$

ここで、H_{close}(s)はPLLの入出力位相の伝達関数である。ループフィルタの構成を、図 6-2-1-2 に示す3次フィルタとした場合、フィルタの出力に現れる熱雑音は、以下の節点方程式(6.2.2)を解くことによって求められる。

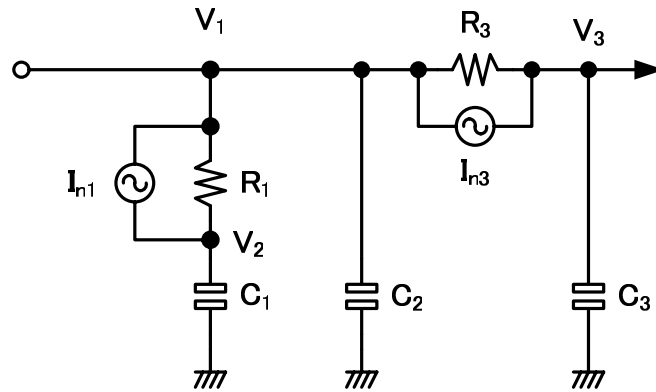


図 6-2-1-2 熱雑音成分を含む 3 次ループフィルタ回路図

$$\begin{cases} \overline{I_{n1}} + (V_1 - V_2)/R_1 + V_1 s C_2 - \overline{I_{n3}} + (V_1 - V_3)/R_3 = 0 \\ -\overline{I_{n1}} + (V_2 - V_1)/R_1 + V_2 s C_1 = 0 \\ \overline{I_{n3}} + (V_3 - V_1)/R_3 + V_3 s C_3 = 0 \end{cases} \quad (6.2.2)$$

式(6.2.2)を解くことにより、フィルタ出力 V_3 の値は、以下の式(6.2.3)のように定まる。

$$\begin{aligned} V_3 = & -\overline{I_{n1}} \times \frac{C_1 R_1}{s^2 C_1 C_2 C_3 R_1 R_3 + s \{C_3 R_3 (C_1 + C_2) + C_1 R_1 (C_2 + C_3)\} + C_1 + C_2 + C_3} \\ & -\overline{I_{n3}} \times \frac{s C_1 C_2 R_1 R_3 + R_3 (C_1 + C_2)}{s^2 C_1 C_2 C_3 R_1 R_3 + s \{C_3 R_3 (C_1 + C_2) + C_1 R_1 (C_2 + C_3)\} + C_1 + C_2 + C_3} \end{aligned} \quad (6.2.3)$$

また、フィルタの入出力ゲイン $F(s)$ は、式(6.2.4)として求めることができる。

$$F(s) = \frac{1 + s C_1 R_1}{s [s^2 C_1 C_2 C_3 R_1 R_3 + s \{C_3 R_3 (C_1 + C_2) + C_1 R_1 (C_2 + C_3)\} + C_1 + C_2 + C_3]} \quad (6.2.4)$$

したがって、フィルタ内部の抵抗 R_1 および R_3 を、入力換算雑音に変換した場合の変換ゲイン $F_{R1}(s)$ および $F_{R3}(s)$ は、式(6.2.3)を式(6.2.4)で割ることにより、それぞれ式(6.2.5)と式(6.2.6)で表される。

$$F_{R1}(s) = \frac{s C_1 R_1}{(1 + s C_1 R_1)} \quad (6.2.5)$$

$$F_{R3}(s) = \frac{s(sC_1C_2R_1R_3 + R_3(C_1 + C_2))}{1 + sC_1R_1} \quad (6.2.6)$$

抵抗で発生する熱雑音は、 $I_n^2=4kT/R$ で表すことができるので、最終的にフィルタ抵抗の発生する熱雑音がPLL位相へ及ぼす影響PLL_Noise_{NR}は、以下の式(6.2.7)で表される。

$$PLL_Noise_{NR} = (I_{n1}^2 \times F_{R1}(s)^2 + I_{n3}^2 \times F_{R3}(s)^2) \times \left(\frac{2\pi}{I_p}\right)^2 \times H_{close}(s)^2 \quad (6.2.7)$$

6-2-2. チャージポンプ回路が発生する位相ノイズ

次に、チャージポンプ回路の発生する雑音に関して、その見積もり手法を以下に述べる。図 6-2-2-1 に、時系列で表現したチャージポンプ回路の電流ノイズと、リセットパルスの関係を示す。

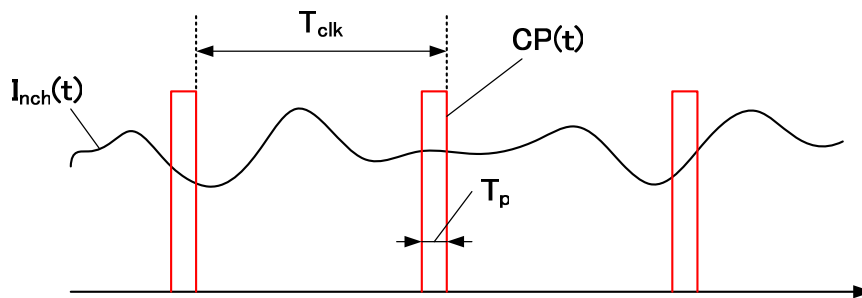


図 6-2-2-1 時系列で表現したチャージポンプ回路の電流ノイズとリセットパルスの関係

チャージポンプ回路の電流源の雑音を $I_{nch}(t)$ で、リセットパルスを $CP(t)$ で、それぞれ表現する。リセットパルス $CP(t)$ は、非常に短い期間 T_p だけ、 $I_{nch}(t)$ をフィルタに出力する。すなわち、 $I_{nch}(t)$ の周波数スペクトル $I_{nch}(\omega)$ は、期間 T_{clk} でサンプリングされるので、周波数帯域 $1/2T_{clk}$ の中に折り返されたスペクトルとなる。パルス幅 T_p で折り返される信号成分は、 T_p の期間中、一定値をとると考えられる周波数帯域であるので、帯域幅 $1/(2T_p)$ 内の周波数成分が、折り返されると考えるのが妥当である。

$I_{nch}(\omega)$ は、MOSトランジスタの $1/f$ ノイズ成分と熱雑音成分を含むが、熱雑音が図 6-2-2-2 に示すように 10GHz 付近まで均一に分布していると考えられる。ここで帯域幅 $1/(2T_p)$ の熱雑音と、 $1/f$ ノイズのノイズ電力を比較すると、圧倒的に熱雑音成分が大きい。従って、 $1/f$ ノイズの寄与は無視できる程度である。

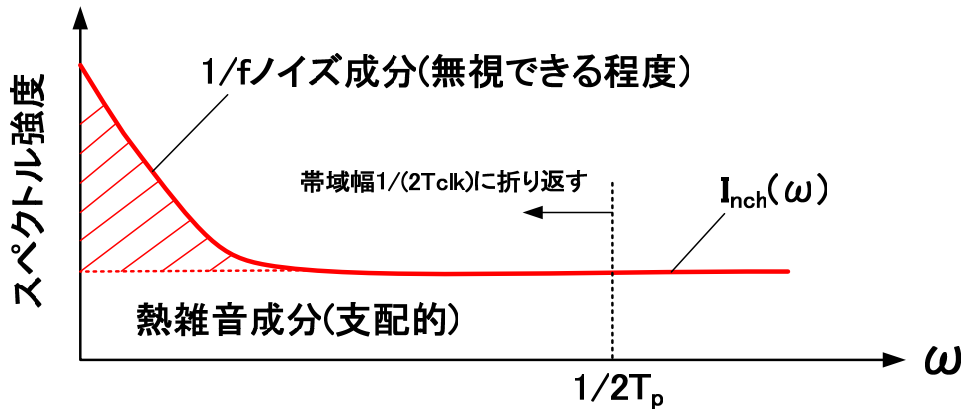


図 6-2-2-2 考慮すべきチャージポンプ回路の雑音成分

すなわち、チャージポンプ回路のリセットパルス出力には、チャージポンプ回路の電流源の、周波数 $1/(2T_p)$ 程度まで分布した熱雑音成分が含まれることになる。しかし、チャージポンプ回路は、期間 T_{clk} のうち T_p しか動作しないので、その実効的なパワーを計算するには、係数 T_p/T_{clk} を乗じる必要がある。すなわち、式(6.2.8)で表すことができる。

チャージポンプ回路のリセットパルスに含まれる雑音電力＝

$$\frac{T_p}{T_{clk}} \times \int_0^{1/(2T_p)} \text{チャージポンプ回路の(熱+1/f)雑音} df \quad (6.2.8)$$

式(6.2.8)に示す電力を持ったパルス波形が、チャージポンプ回路から出力されると考えられる。ノイズ成分が T_p の期間で一定値をとると仮定すると、その周波数スペクトル $CP(\omega)$ は、以下のフーリエ変換によって、式(6.2.9)で表すことができる。

$$CP(\omega) = \frac{1}{T_{clk}} \int_{-1/T_{clk}/2}^{1/T_{clk}/2} CP(t) e^{-j\omega t} dt = \frac{2 \sin(\omega T_p)}{\omega T_{clk}} \quad (6.2.9)$$

式(6.2.9)を図示すれば、図 6-2-2-3 で表すことができる。

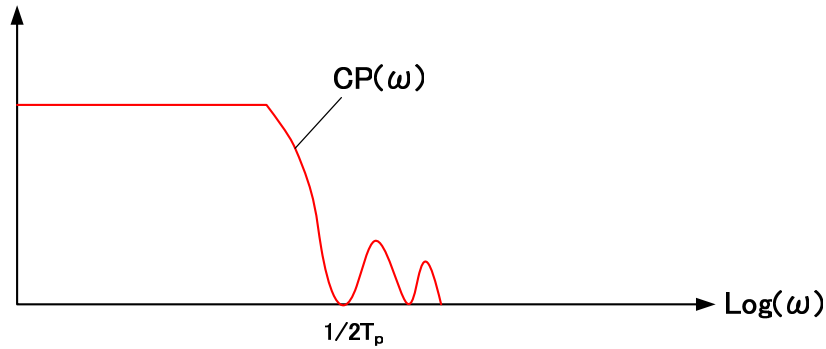


図 6-2-2-3 チャージポンプ回路のリセットパルスのフーリエ変換スペクトル

すなわち、チャージポンプ回路の出力スペクトルは、約 $1/2T_p$ の周波数までフラットな帯域を持つスペクトルとなる。従って、式(6.2.8)で示した電力が、 $1/2T_p$ の帯域まで均一に分布したノイズスペクトルとして、チャージポンプノイズは出力される。結局、チャージポンプ回路の電流ノイズ成分は、リセットパルスによって、周波数帯域($1/2T_p$)内の成分が、平均化されて出力されることがわかる。チャージポンプ回路の出力ノイズの、 $1/2T_p$ 帯域内電力 N_{cp_out} は、チャージポンプ回路の動作割合を考慮して、式(6.2.10)で表される。

$$N_{cp_out} = \frac{T_p}{T_{clk}} \times \int_0^{1/(2T_p)} \text{チャージポンプ回路の(熱+1/f)雑音} df \quad (6.2.10)$$

さらに、周波数あたりの平均電力 $N_{cp_out_ave}$ は、 $1/f$ ノイズ成分を無視すれば、式(6.2.11)と表すことができる。

$$\begin{aligned} N_{cp_out_ave} &= \frac{1}{1/(2T_p)} \frac{T_p}{T_{clk}} \times \int_0^{1/(2T_p)} \text{チャージポンプ回路の熱雑音} df \\ &= \frac{T_p}{T_{clk}} \times 4kt(gm_p + gm_n) \end{aligned} \quad (6.2.11)$$

従って、チャージポンプ回路で発生するノイズスペクトル $S_{cp_out}(s)$ は 図 6-2-1-1 の N_R を $N_{cp_out_ave}^{1/2}$ で置き換えたものに等しく、式(6.2.12)で表される。

$$S_{cp_out}(s) = N_{cp_out_ave}^{1/2} \times \frac{2\pi}{I_p} \times H_{close}(s) = \sqrt{\frac{T_p}{T_{clk}} \times 4kt(gm_p + gm_n)} \times \frac{2\pi}{I_p} \times H_{close}(s) \quad (6.2.12)$$

通常の整数分周 PLL では、チャージポンプ回路の動作割合 T_p/T_{clk} は、定常状態では非常に小さな値となるため、チャージポンプの熱雑音によるノイズは無視できる。ところが、分数分周 PLL では、 T_p は変動し、平均の T_p/T_{clk} が 0.1 から 0.3 程度に大きくなるため、設計上無視できなくなる場合があるので、注意が必要である。

6-2-3. $\Delta\Sigma$ 分周器が発生する量子化位相ノイズ

$\Delta\Sigma$ 分周器で発生する量子化ノイズ雑音スペクトル $S_{\Phi out}(f)$ は、先に挙げた Perrott らの論文に詳しく、以下の式(6.2.13)で表すことができる [3]。

$$S_{\Phi out}(f) = \frac{1}{T_{clk}} |T_{clk} H_{close}(s)|^2 \left((2\pi)^2 (2 \sin(\pi f T_{clk})) \right)^{2(m-1)} S_r(f) \quad (6.2.13)$$

ここで、 m は量子化器の次数であり、 $S_r(f)$ は量子化ノイズスペクトルである。量子化ノイズが白色雑音となるとすれば、 $S_r(f) = 1/12$ である。最後に、VCO位相ノイズが PLL出力に与える影響 $S_{vout}(s)$ は、VCOのスペクトル $S_{vco}(s)$ と位相誤差の伝達関数になるので、式(6.2.14)に示すとおりである。

$$S_{vout}(s) = S_{vco}(s) \times \frac{1}{F(s) \frac{I_p K_o}{2\pi sN} + 1} \quad (6.2.14)$$

6-3. $\Delta\Sigma$ 変調分数分周シンセサイザの試作

6-3-1. PLL回路仕様の決定

今回試作した周波数シンセサイザの要求仕様を以下に示す。

入力信号： 26MHz
出力信号： 100MHz-200MHz(50kHz step)
ロック時間： 1msec
位相ノイズ： -90dB@10kHz 以下
スプリアス： -40dB 以下

今回、要求される位相ノイズレベルは-90dB@10kHzと低レベルである。また、微細化プロセスを使用するため、低位相ノイズ特性を持つLC発振器が使用できないという制約もある。従って、通常の整数分周PLLであれば、ループバンド幅を広帯域に設定しなければ、位相ノイズレベルを達成することは困難である。しかしながら、今回の出力信号の周波数ステップは50kHzであるため、通常の整数分周PLLで設計を行えば、入力信号周波数を50kHzとしなければならない。従って、ループバンド幅は約5kHzが上限となってしまう[2]。このバンド幅は狭帯域であり、位相ノイズレベルを達成することは非常に難しくなる。従って、今回は $\Delta\Sigma$ 変調を用いた分数分周PLLでの設計が必須となる。

また、スプリアスノイズレベルの規定も-40dB以下と厳しいため、スプリアスノイズが拡散されやすい $\Delta\Sigma$ 変調PLLを使用することは理にかなっている。

以上の位相ノイズ計算結果およびフィルタ定数決定手法について、Microsoft社の表計算ソフトExcelに計算式を実装し、フィルタ定数および位相ノイズの理論計算を行い、 $\Delta\Sigma$ 分周シンセサイザの最適仕様について検討した。

VCOの回路構成は、次節で詳細について説明を行うが、位相ノイズが小さく、かつ周波数特性が、電源電圧および温度変動等の影響をなるべく受けないものを選択する必要がある。すなわち、検討の前提として、VCOの位相ノイズ特性はあらかじめ、ある程度のレベルで決定されていることを、考慮しておく必要がある。従って、与えられたVCO位相ノイズ特性に対して、最適なPLL仕様を検討することになる。具体的には、表6-2-にまとめた設計方針に従い、PLL仕様を検討する。

入力信号周波数についての検討

分周器の量子化ノイズは、入力信号周波数を大きくするほうが広帯域に拡散し、PLLのループフィルタでノイズ除去しやすくなる。加えて、ループフィルタの帯域も広帯域化が可能となりVCOの位相ノイズも除去しやすくなる。ただし、入力信号周波数を大きくすると、分周器の分周比が小さくなり、 $\Delta\Sigma$ 変調を用いた場合に分周比の変動率が大きくなる。また、シンセサイザの周波数分解能も小さくなる。例えば4次の $\Delta\Sigma$ 変調器を用いた場合には分周比は ± 7 だけ変動する。従って、分周比の変動を $\pm 30\%$ 程度に抑えようとすると、分周比は20以上必要となる。今回の最小出力周波数は100MHzなので、入力信号周波数は5MHz程度となる。

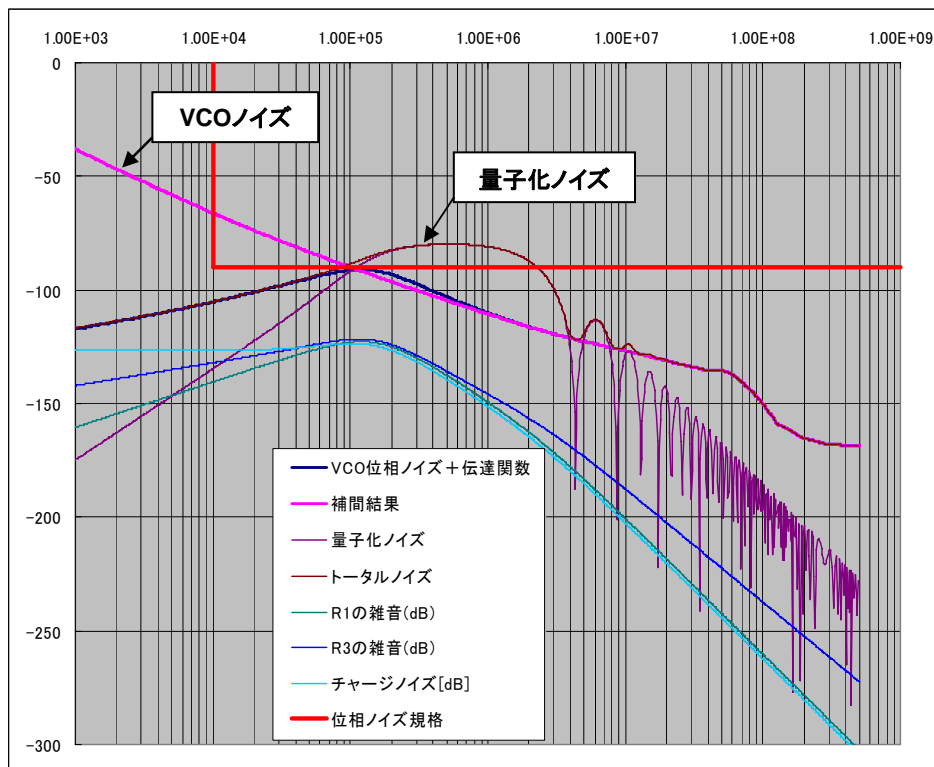


図 6-3-1-1 入力信号周波数が低い場合のPLL出力スペクトル

入力信号周波数を5MHz程度とした場合には、図6-3-1-1に示すように、量子化ノイズが低域に拡散する。すると、PLLのループフィルタ帯域を低くしなければ、量子化ノイズを除去することができなくなってしまふ。従って、今回のPLLでは、入力信号周波数を $26\text{MHz}/3=8.67\text{MHz}$ とし、PLLの出力信号は200から400MHzとして、PLL出力を2分周して、100から200MHzの出力を取り出す構成としている。図6-3-1-2に、入力信号を8.67MHzとした場合の、PLLの位相ノイズスペクトルを示す。量子化ノイズが高域に移動

し、ループフィルタでの除去比が大きくなるため、ノイズ仕様を満足するようになる。

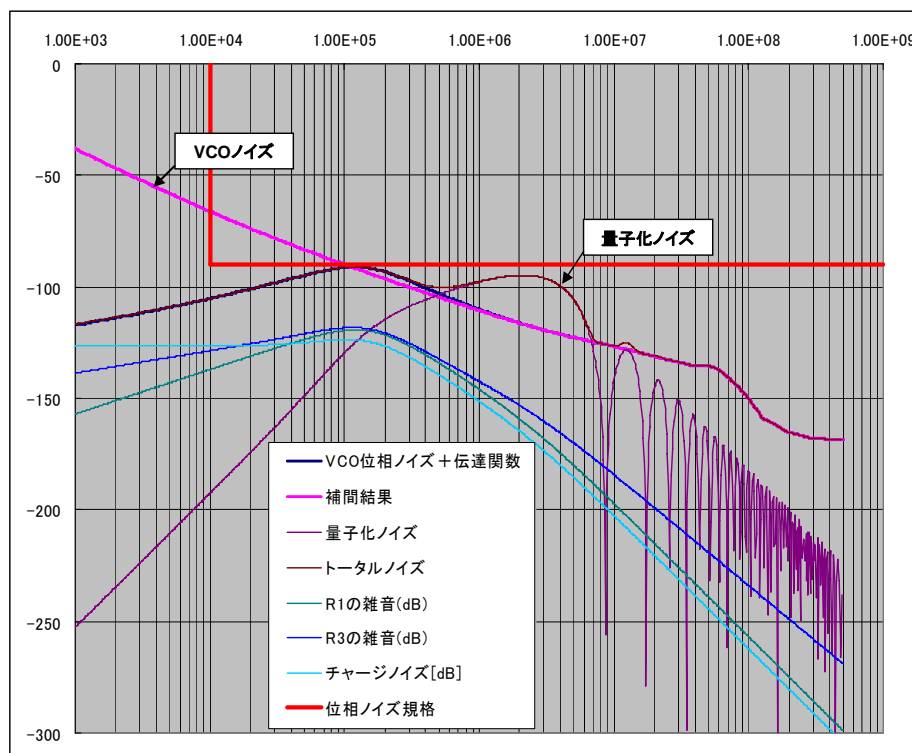


図 6-3-1-2 入力信号周波数が高い場合のPLL出力スペクトル

量子化器の次数に対する検討

次に、量子化器の次数と位相ノイズスペクトルの関係について検討する。図 6-3-1-3 に量子化器の次数が 2 次と 4 次の場合の位相ノイズスペクトルを示す。高次量子化器を用いたほうが、量子化ノイズをより高域に拡散できるため、PLL のループフィルタで量子化ノイズを除去しやすいことがわかる。今回は量子化器の次数は、4 次量子化器を使用する。

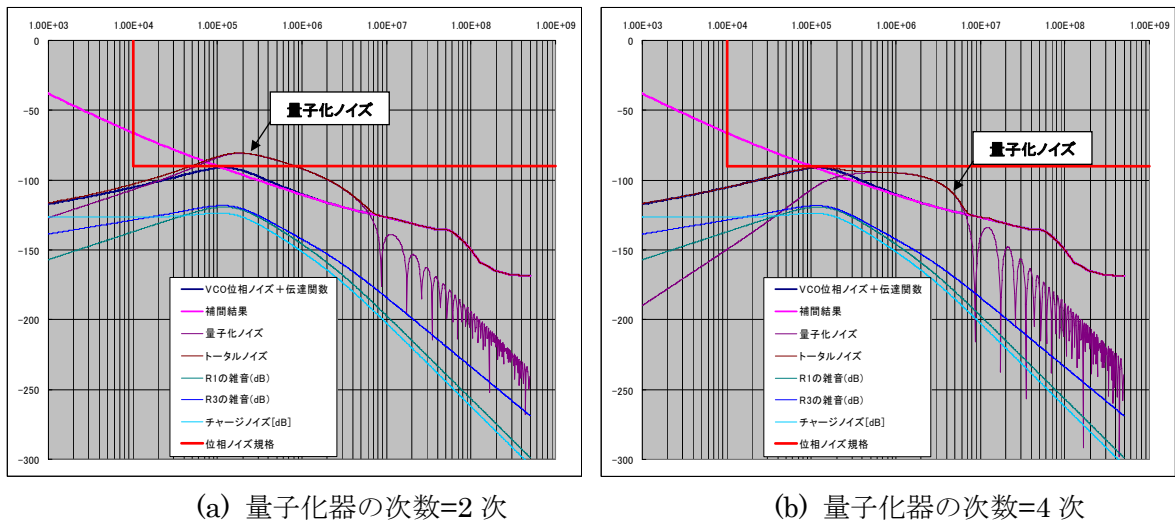
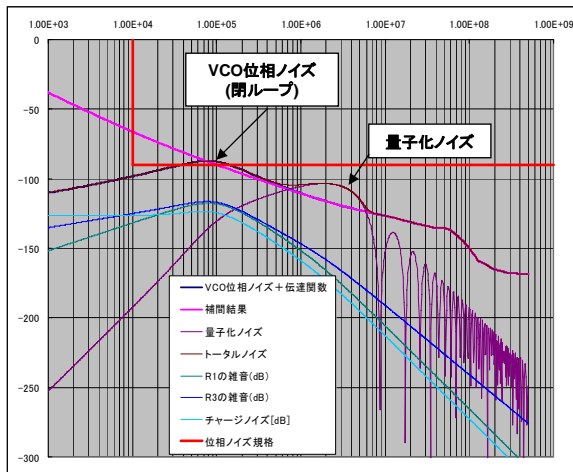


図 6-3-1-3 量子化器の次数と PLL 出力スペクトルの関係

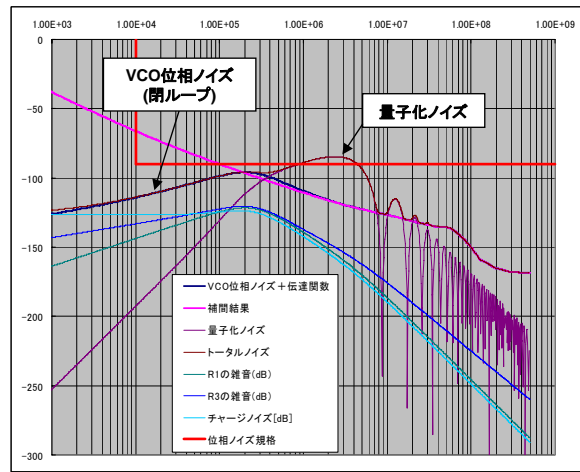
ループバンド幅に対する検討

ループバンド幅については、量子化ノイズスペクトルと VCO の位相ノイズスペクトルの両方を低減し、位相ノイズ仕様を満足するように決定する必要がある。

図 6-3-1-4 に、ループバンド幅を 100kHz と 250kHz にした場合の、位相ノイズスペクトル計算値を示す。バンド幅が 100kHz の場合には、VCO の位相ノイズが仕様を満足せず、また 250kHz の場合には、量子化ノイズが仕様を満足しないことがわかる。設計では位相ノイズ及び量子化ノイズ双方が仕様を満足するように、ループバンド幅を 150kHz に調整した (図 6-3-1-2 を参照のこと)。



(a) ループバンド幅=100kHz



(b) ループバンド幅=250kHz

図 6-3-1-4 ループバンド幅と PLL 出力スペクトルの関係

チャージポンプ回路とフィルタ部の設計

表 6-3-1-1 分周比とチャージ電流の対応

モード番号	MREGの値	チャージ電流値
6	23 \geq	9 u
5	26-24	10 u
4	29-27	11 u
3	33-30	13 u
2	38-34	14 u
1	45-39	17 u
0	≥ 46	20 u

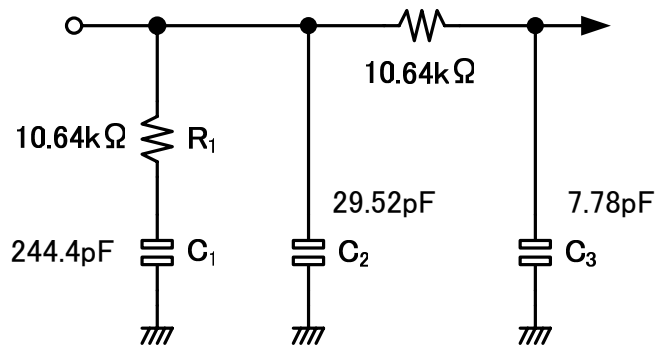


図 6-3-1-5 3次ループフィルタパラメータ

本 PLL では、入力信号を 26/3MHz とし、200-400MHz の周波数出力を行うため、分周器の設定としては、整数分周で 23 から 46 の範囲で可変可能であることが必要である。

従って、本 PLL では、分周数に応じて 7 段階でチャージ電流を切り替え、ループバンド幅が一定となるような制御を行っている。4 次ループ PLL での 3 次ループフィルタの設計法は、2-3-2 節に示したとおりである。VCO ゲインが 250MHz とした場合のフィルタ定数について分周数に対するチャージポンプ電流値を表 6-3-1-1 に、フィルタパラメータを図 6-3-1-5 に、それぞれ示す。PLL のループバンド幅が一定であるため、フィルタの素子パラメータは常に一定である。すなわち、チャージ電流のみを変えることにより、分周比の変化に対応できる。

この場合、チャージポンプ電流の最小値は約 9uA であるが、チャージ電流からのスペクトルは、図 6-3-1-2 に示すように、チャージポンプ回路の周期に対する動作割合を約 3 割とした場合でも、-125dB 以下程度であるため、位相ノイズ仕様に影響を与えるレベルでないことがわかる。(チャージポンプ回路の動作割合は、4 次量子化器の分周変化幅が ±7 であることと、整数分周比の最小値が 23 であることから求めることができる。)

また、フィルタを構成する 2 つの抵抗 R_1 および R_3 ことから発生する熱雑音レベルは、ピークでも -120dB 以下であるので、問題となるレベルではないことが確認できる。

VCO 回路構成

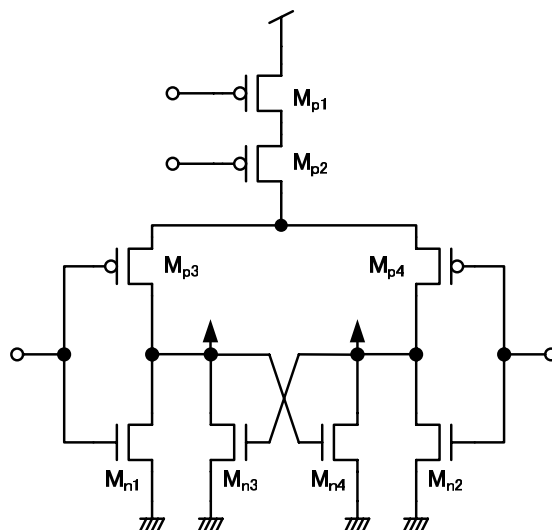


図 6-3-2-2 VCO の差動ステージの回路構成

図 6-3-2-2 に、VCOの差動ステージの回路構成を示す。LC発振器は、理想状態を考えた場合位相ノイズをゼロにすることができるが、インバータチェーン回路では、ディレイ素子にトランジスタを使用するため、位相ノイズ特性を向上させるためには、トランスコンダクタンスを大きくとる必要がある。すなわち、消費電力の増大と素子面積の増加を招くため、ノイズ特性の向上には限界がある。VCO回路は、図に示す差動ステージを、5段接続して構成する。Ari Hajimiriらの議論にもあるように、VCO回路の発振波形は、できるだけ上下対称でDC成分を含まないほうが、位相ノイズが小さくなるため、駆動回路部分は M_{p3} と M_{n1} のインバータ構成とし、発振振幅の上下の傾きが揃うように調整する [5-6]。また、 M_{n3} と M_{n4} は、振幅をクランプするように働き、電流源 M_{p1} と M_{p2} が非飽和領域に入らないようにし、電源変動の影響を緩和する。MOSトランジスタ素子は基本的に $1/f$ ノイズが大きいですが、ゲートをスイッチングパルスで駆動してやれば、ノイズは広帯域に拡散し $1/f$ ノイズが低減されることが考えることができる。従って、差動ステージの駆動パルスが、発振周波数に比べて相対的に小さくなるように、差動ステージの数は多いほうがよい。もっとも、回路を構成するトランジスタが多くなればその分雑音源も増えるため、差動ステージの段数には最適値が存在する。本差動ステージの場合は5段が最適である。

VtoI 変換器

VCO設計において、電圧電流変換器の設計は、VCOステージ本体と同様に重要である。PLLのループバンド幅を調整する場合には、VCOの発振周波数特性はできるだけ線

形であるほうがVCOの発振周波数の広いレンジでループバンド幅を一定にできる。従って、できるだけ線形特性を示しかつ発生する位相ノイズが少なくなるような電圧電流変換器が求められる。例えば線形性を向上させる手法としては、図 6-3-2-3 に示すような、演算増幅器を用いた電圧電流変換回路を用いることが考えられる。

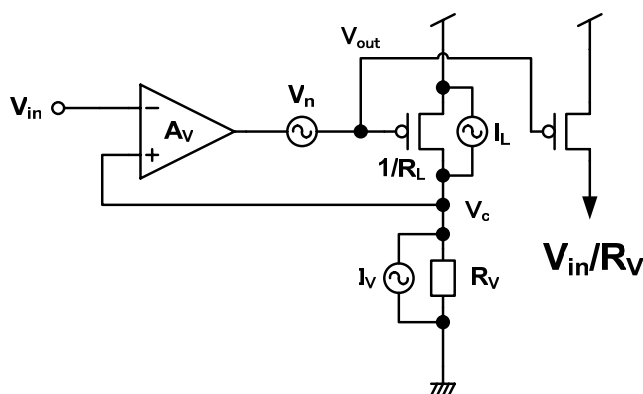


図 6-3-2-3 演算増幅器を用いた VtoI 変換回路とノイズ源

この場合、図 6-3-2-3 で示した回路の V_{out} に含まれるノイズ成分について計算すると、以下の式(6.3.1)が導かれる。

$$\begin{cases} V_c / R_v + \bar{I}_v + V_{out} / R_L + \bar{I}_L = 0 \\ V_c A_v + \bar{V}_n = V_{out} \end{cases} \quad (6.3.1)$$

従って、式(6.3.1)より V_{out} に含まれるノイズは、以下の式(6.3.2)となる。

$$V_{out} = \frac{R_L (R_v (\bar{I}_L + \bar{I}_v) - \bar{V}_n / A_v)}{\frac{R_L}{A_v} + R_v} \cong R_L (\bar{I}_L + \bar{I}_v) + \bar{V}_n / (A_v R_v) \quad (6.3.2)$$

ここで、 A_v は差動増幅器のゲインであり、 V_n は演算増幅器出力に含まれるノイズ成分であり、 R_L は出力 PMOS トランジスタのコンダクタンスの逆数を示す。差増幅器を図 6-3-2-4 に示すような、一段増幅器とした場合の V_n について計算する。

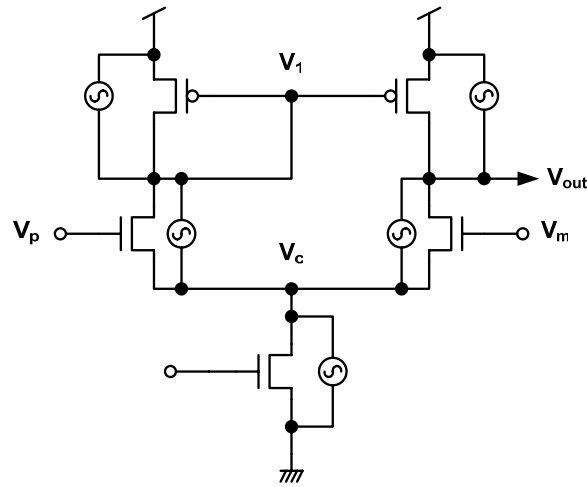


図 6-3-2-4 差動増幅回路とノイズ源

差動増幅回路のノイズ源を考慮した小信号等価回路を、図 6-3-2-5 に示す。

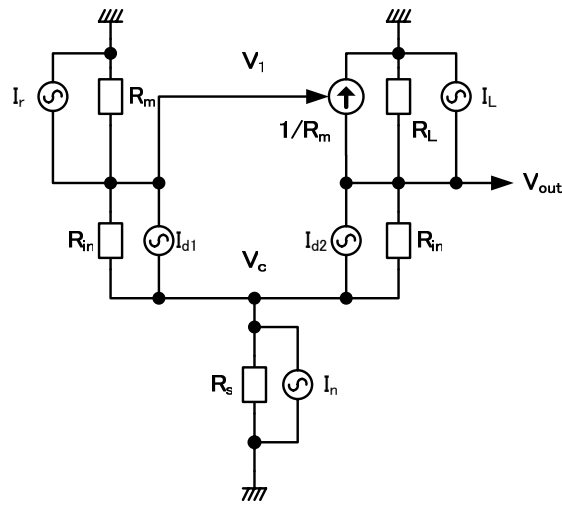


図 6-3-2-5 ノイズ源付き小信号等価回路

図 6-3-2-5 に示す等価回路より節点方程式を立てると、以下の連立方程式(6.3.3)が導かれる。

$$\begin{cases} V_1 / R_m + (V_1 - V_c) / R_{in} + \overline{I_r} + \overline{I_{d1}} = 0 \\ (V_c - V_1) / R_{in} + (V_c - V_{out}) / R_{in} + V_c / R_s - \overline{I_{d1}} - \overline{I_{d2}} + \overline{I_n} = 0 \\ V_{out} / R_L + (V_{out} - V_c) / R_{in} + V_1 / R_m + \overline{I_L} + \overline{I_{d2}} = 0 \end{cases} \quad (6.3.3)$$

式(6.3.3)の連立方程式を計算すると、出力ノイズ V_{out} は以下の式(6.3.4)となる。

$$V_{out} = \frac{R_L R_{in} (R_{in} + 2R_s)}{Denom} \overline{I_{d1}} + \frac{R_L R_{in} (R_{in} + R_m + 2R_s)}{Denom} \overline{I_{d2}} + \frac{R_L R_m R_s}{Denom} \overline{I_n} \quad (6.3.4)$$

$$+ \frac{R_L R_{in} (R_{in} + R_m + 2R_s) + R_L R_m R_s}{Denom} \overline{I_L} + \frac{R_L R_{in} (R_{in} + 2R_s) - R_L R_m R_s}{Denom} \overline{I_r}$$

$$\therefore Denom = R_{in}^2 + (R_L + 2R_s + R_m)R_{in} + (R_m + 2R_s)R_L + R_m R_s$$

ここで、 R_m はカレントミラートランジスタの駆動能力の逆数である。 R_m のみが式(6.3.4)のなかで他の抵抗値より小さいと考えられるので、式(6.3.4)は以下の式に簡略化される。

$$V_{out} = \frac{R_L R_{in} (R_{in} + 2R_s)}{Denom} \overline{I_{d1}} + \frac{R_L R_{in} (R_{in} + 2R_s)}{Denom} \overline{I_{d2}} + \frac{R_L R_m R_s}{Denom} \overline{I_n} \quad (6.3.5)$$

$$+ \frac{R_L R_{in} (R_{in} + 2R_s)}{Denom} \overline{I_L} + \frac{R_L R_{in} (R_{in} + 2R_s)}{Denom} \overline{I_r}$$

また、入出力ゲイン A_v は以下の式(6.3.6)となる。

$$A_v = \frac{R_{in} R_L G_m (R_{in} + 2R_s)}{Denom} \quad (6.3.6)$$

従って、式(6.3.2)の第二項 $V_n/(A_v R_v)$ は、以下の式(6.3.7)であらわすことができる。

$$V_n / (A_v R_v) = (\overline{I_{d1}} + \overline{I_{d2}} + \overline{I_L} + \overline{I_r}) / G_m \quad (6.3.7)$$

従って、トータルノイズは以下の式(6.3.8)で近似される。

$$V_{out} \cong R_L (\overline{I_L} + \overline{I_v}) + (\overline{I_{d1}} + \overline{I_{d2}} + \overline{I_L} + \overline{I_r}) / G_m \quad (6.3.8)$$

次に、図 6-3-2- 6 (a)に示す、ソースフォロワ抵抗を持つVtoI変換器の位相ノイズ特性について検討する。

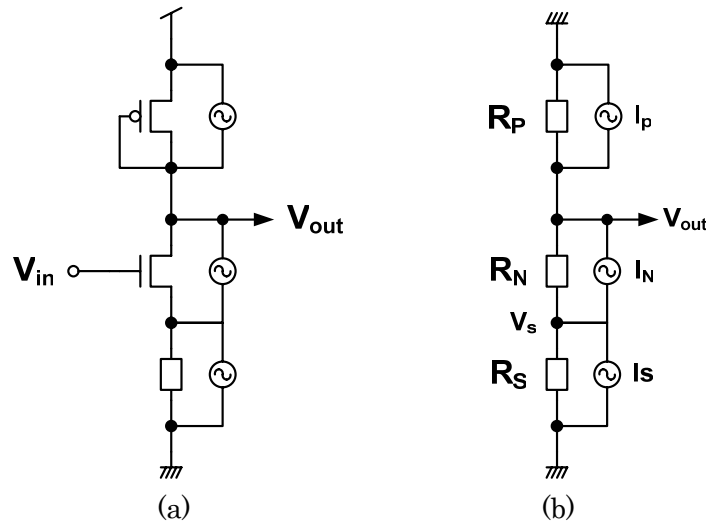


図 6-3-2- 6 ソースフォロワタイプの VtoI 変換器とそのノイズモデル

図 6-3-2- 6 (b)のノイズモデルより、出力ノイズを計算すると、以下の式(6.3.9)となる。

$$V_{out} = \frac{1}{(R_p + R_N + R_s)} \left(R_s R_p \overline{I_s} + R_N R_p \overline{I_n} + R_p (R_s + R_N) \overline{I_p} \right) \quad (6.3.9)$$

ここで、 $R_N \gg R_p, R_s$ であると考えられるので、 V_{out} は、式(6.3.10)で近似計算される。

$$V_{out} \cong R_p (\overline{I_n} + \overline{I_p}) \quad (6.3.10)$$

従って、ノイズ源の数を比較した場合、ソースフォロワタイプのほうが、演算増幅器を用いる場合よりも、位相ノイズ量を3分の1程度に抑えることが可能であると考えられる。線形性は演算増幅器タイプが優れているが、位相ノイズ仕様が厳しいため、今回はソースフォロワタイプの VtoI 変換器を採用する。

ゲイン制御ブロック

本分数分周シンセサイザでは、ループバンド幅を正確に制御する必要がある。ループバンド幅を制御するには、VCO ゲインの制御と、PLL のチャージポンプ回路を含めたフィルタ時定数を、制御する必要がある。

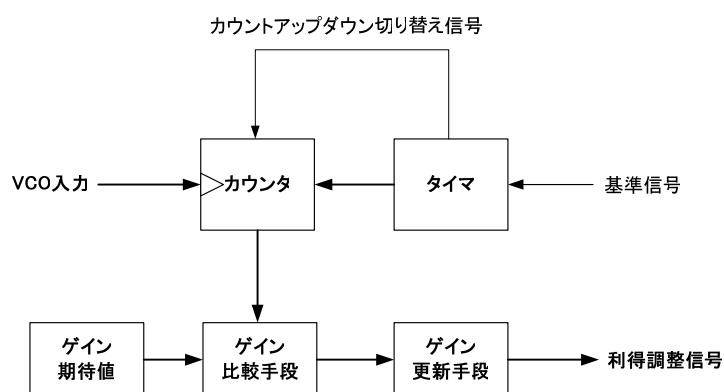


図 6-3-2-7 ゲイン制御ブロック図

図 6-3-2-7 に、ゲイン制御ブロックのブロック図を示す。また、図 6-3-2-8 には、ゲイン制御ブロックのタイミングチャートを示す。ゲイン制御ブロックは、5 段階の 2 分岐探索によりゲイン設定を行う。まず VCO には 2V が印加され、VCO 出力はカウンタによりカウントアップされる。α usec の期間カウントアップが行われる。次に、VCO には 1V が印加され、今度は VCO 出力によって、カウンタのカウントダウンが行われる。カウンタのアップ数およびダウン数は、(VCO の発振周波数) × α となるので、(最終的にカウンタに残った値) × 1/α = VCO ゲインと計算できる。従って、ゲイン期待値を所望の値に設定することにより、VCO ゲインの制御が決められた時間内で可能となる。

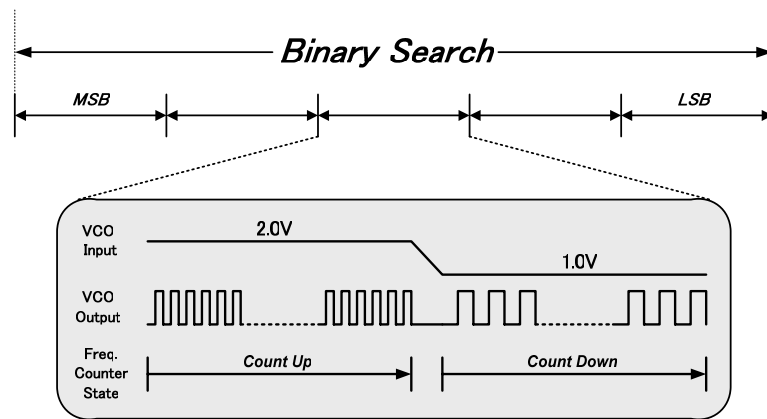


図 6-3-2-8 ゲイン制御ブロックのタイミングチャート

カウントアップとダウンの期間 α は、ゲイン設定精度によって決定される。今回分周器設定は 40 であり、目標設定ゲインは 280MHz/V とすると、分周後のゲインは 7MHz/V となる。1%の精度を求めると、0.07MHz の周波数に対してカウンタ値が、1 以上の値をとればよいので、 α の値は $1/0.07 \approx 14.3 \mu\text{sec}$ と計算される。

時定数調整ブロック

時定数調整ブロックでは、基本的な動作はゲイン制御ブロックと同じであるが、カウントダウンを行う期間はない。時定数調整は、VCOの代わりに、マスター発振器の発振周波数をカウントする。マスター発振器の回路構成を、図 6-3-2-9 に示す [9]。

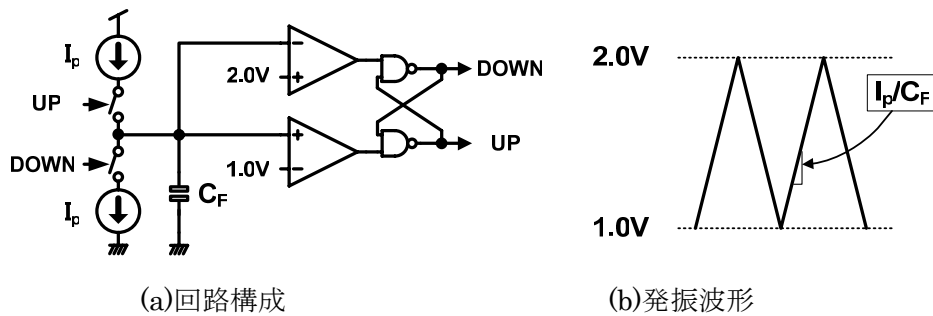


図 6-3-2-9 マスター発振器の回路構成と発振波形

マスター発振器の発振周波数が十分に遅く、ゲート遅延の影響が無視できるとした場合、マスター発振器の発振周波数 $Dummy_Freq$ は式(6.3.11)で表される。

$$Dummy_Freq = \frac{I_p}{2C_F} \tag{6.3.11}$$

PLLのループバンド幅 ω は、近似的に以下の式(6.3.12)で表現される。

$$\omega = \left(\frac{I_p K_o}{2\pi C} \right)^{1/2} \quad (6.3.12)$$

ここで、 I_p はチャージポンプ電流、 K_o はVCOゲイン、 C はループフィルタ容量を示す。VCOゲインはすでに制御されているのであとは I_p/C を制御すれば良く、マスター発振器の発振周波数 $I_p/2C_F$ を制御することにより、PLLのループバンド幅も、チャージポンプ電流と容量の相対精度で制御できる。マスター発振器の設定精度としても、1%以内の精度を求めることとする。今回のマスター発振器の設定ターゲット周波数を、425kHzとすれば、カウンタの動作期間を β usecとした場合、カウンタ値は $425 \times \beta \times 1000$ で表現される。ゲイン調整の議論と同様に、周波数精度は1%精度であるので、 $4.25 \times \beta \times 1000 > 1$ となればよい。従って、 $\beta = 1/(4250) \approx 235$ usecと計算される。

温度補償回路

図 6-3-2- 10 に、温度補償回路の構成を示す。

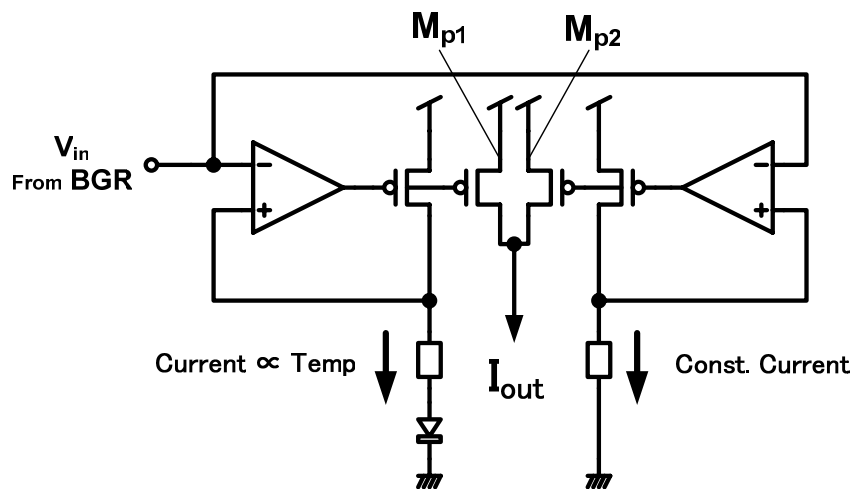


図 6-3-2- 10 温度補償回路の回路構成

図 6-3-2- 10 で、右側のフィードバックループの電流は、抵抗の値を R_R とすれば、 V_{in}/R_R の一定値となる。また、左側のフィードバックループの電流は、抵抗の値を R_L とすれば、 $(V_{in}-V_D)/R_L$ となる。ここでダイオード電圧 V_D にかかる電圧は、 $-2mV/^\circ C$ の割合で減少

する。従って、温度補償回路の出力電流 I_{out} は、以下の式(6.3.13)で表される。

$$I_{out} = \frac{V_{in}}{R_R} + \frac{(V_{in} - (0.7 - 2m \times (t - 273)))}{R_L} \quad (6.3.13)$$

式(6.3.13)より R_R と R_L の値が決定できる。 $V_{in}=1.0V$ として常温で $10\mu A$ 、 $125^\circ C$ で $13\mu A$ の温度変化が欲しい場合には、式(6.3.13)に値を代入して連立方程式を解くことにより $R_L=65.3k\Omega$ 、 $R_R=184.9k\Omega$ の値を得ることができる。 R_R と R_L の絶対精度変化は、初期の時定数調整ブロックが補償を行う。すなわち、実際のチャージポンプのチャージ電流 I_p は、

$$I_p = \alpha \left(\frac{V_{in}}{R_R} + \frac{(V_{in} - (0.7 - 2m \times (t - 273)))}{R_L} \right) \quad (6.3.14)$$

となり、時定数調整ブロックが α を決定する。従って、抵抗の絶対精度変動は、 α に吸収され、問題となることはない。

ΔΣ変調器

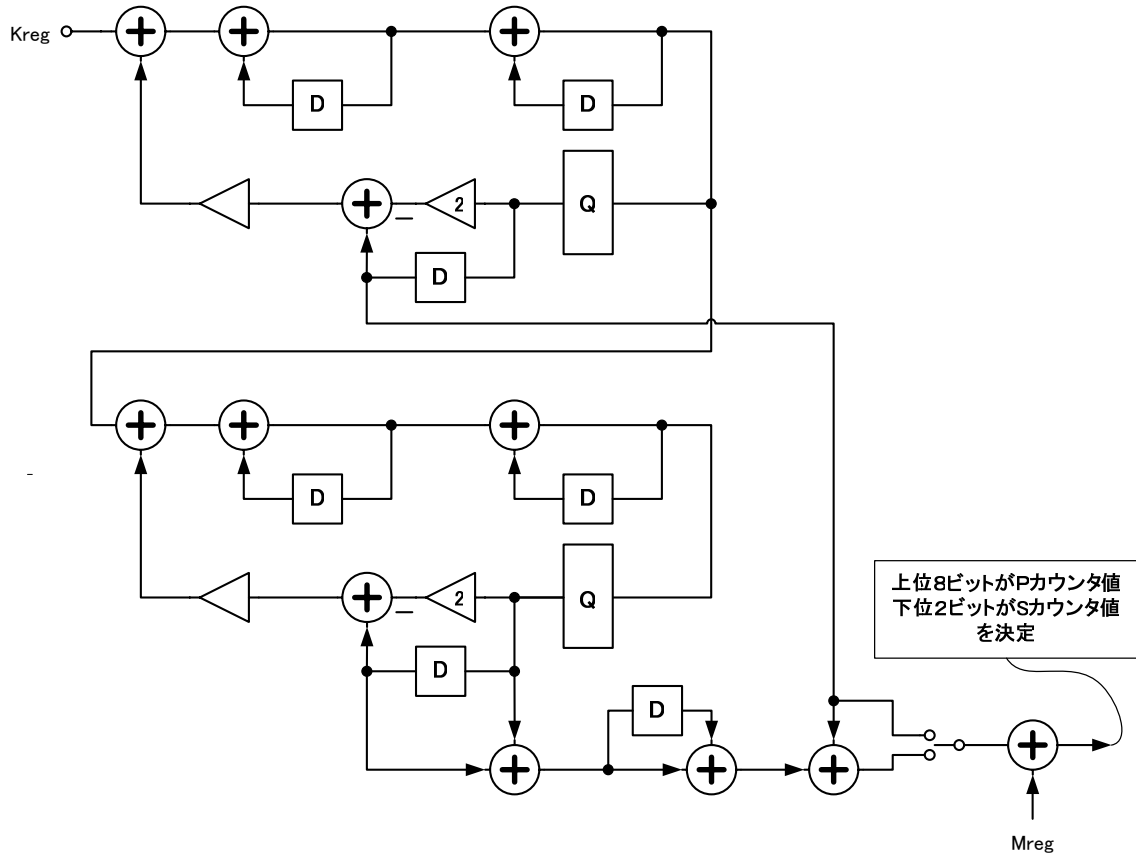


図 6-3-2- 11 ΔΣ変調器ブロック図

図 6-3-2- 11 に、本Fractional-Nシンセサイザに用いた、ΔΣ変調器のブロック図を示す [10-13]。ΔΣ変調器は、2次の変調器の2段従属接続構成で構成され、4次変調器を構成する [14]。分数分周器を決定する入力K_regのデータ幅は、20ビットであり、整数分周比を決定するM_regのデータ幅は、9ビットである。ΔΣ変調器の出力は、パルススワローカウンタに接続され、上位8ビットがPカウンタ値を決定し、下位2ビットがSカウンタ値を決定する。パルススワローカウンタによって制御されるデュアルモジュラスプリスケアラの分周比は、4/5分周である。

デュアルモジュラスプリスケアラ

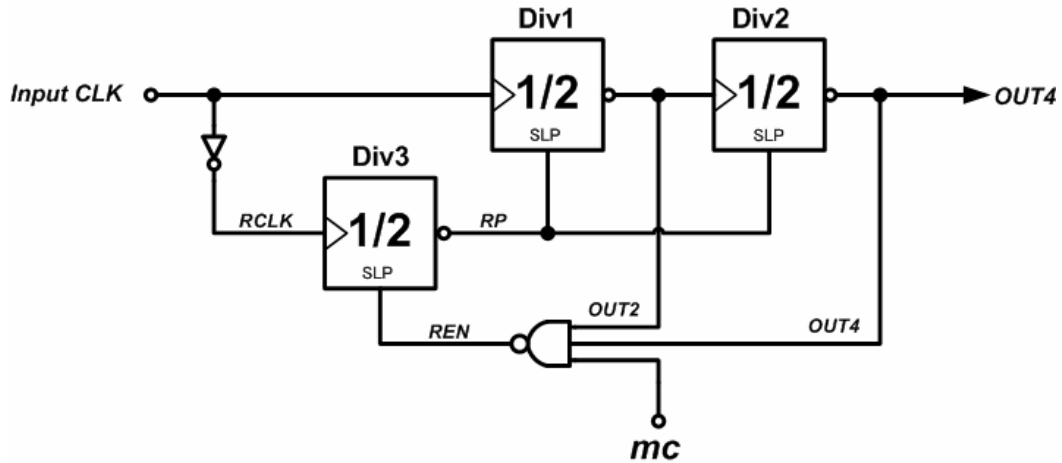


図 6-3-2-12 4/5 デュアルモジュラスプリスケアラのブロック図

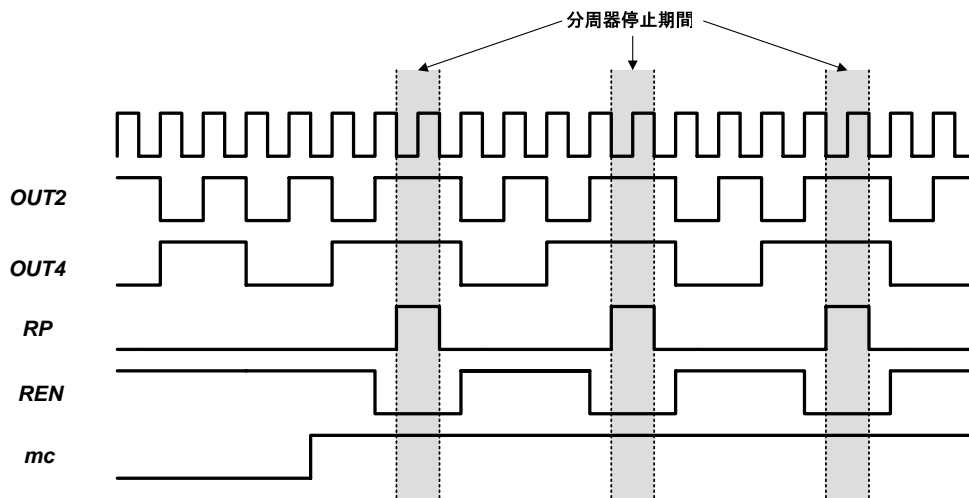


図 6-3-2-13 4/5 デュアルモジュラスプリスケアラのタイミングチャート

図 6-3-2-12 に、デュアルモジュラスプリスケアラのブロック図を示し、図 6-3-2-13 にそのタイミングチャートを、それぞれ示す [15]。デュアルモジュラスプリスケアラは、2分の1分周器の2段縦属接続構成で、mc="Low"の場合には、そのまま4分周器として動作する。mc="High"の場合には、分周器の最終のサイクル(out2="High"およびout4="High")において、Div3のリセットパルスが解除される(REN="Low")ことにより、Div3よりリセットパルスが発生し、Div1とDiv2を1クロックの間、スリープ状態とする。従って、デュア

ルモジュラスプリスケアラは、5分周器として動作する。この回路方式の利点はmcの設定までに3.5クロックのセットアップ時間が取れる点にある。これはセットアップ時間としては最大である。

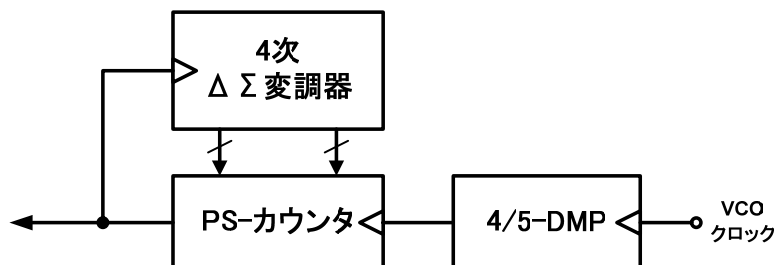


図 6-3-2-14 分数分周ブロック全体図

図 6-3-2-14 は、分数分周ブロックの全体図である。PSカウンタ出力により、4次デルタシグマ変調器が動作し、PSカウンタ値を決定する。PSカウンタの設定値により、4/5 デュアルモジュラスプリスケアラの動作割合が決定される。

6-3-3. 試作結果

以上説明した分数分周シンセサイザを、0.13umCMOSプロセスで設計製作し、その性能を評価した [16]。図 6-3-3-1 に、テストチップのレイアウト図を示す。

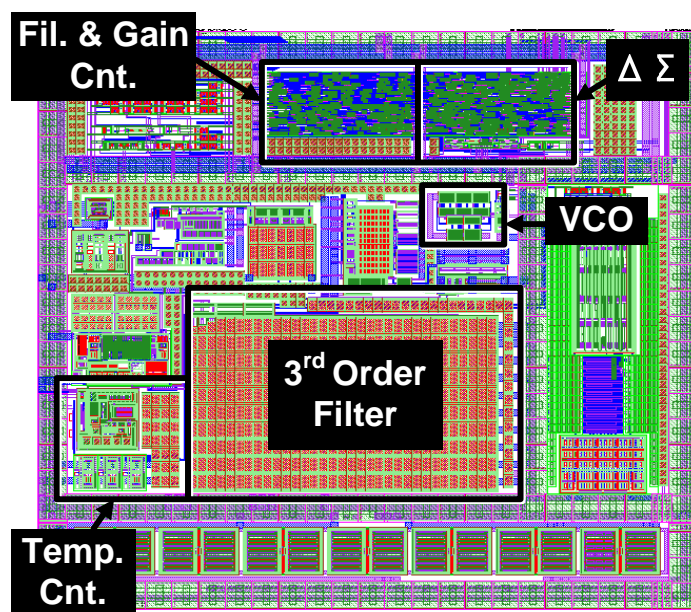


図 6-3-3-1 テストチップレイアウト

チップサイズは 0.9mm×0.68mm である。デルタシグマ変調器と、ループバンド幅調整回路を合わせたゲートサイズは、5500 ゲートである。

まず、シンセサイザのループバンド幅調整機能の確認を行った。図 6-3-3- 2 に、VCOゲイン調整パラメータを変化させた場合の、VCO発振周波数特性を示す。

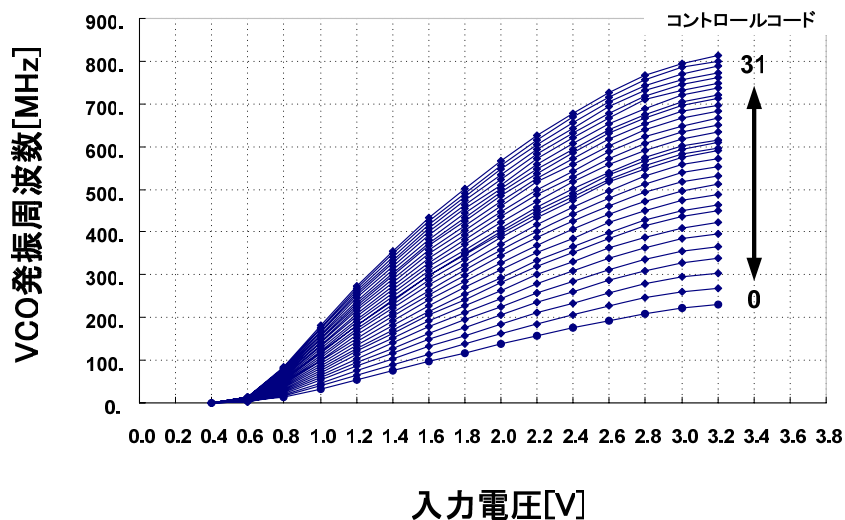


図 6-3-3- 2 ゲイン調整パラメータを変化させた場合の VCO 周波数特性

図より、ゲイン特性が確実に変化していることがわかる。次に、図 6-3-3- 3 に、VCOゲイン調整後のVCO周波数特性を、10 チップに関して測定した結果を示す。

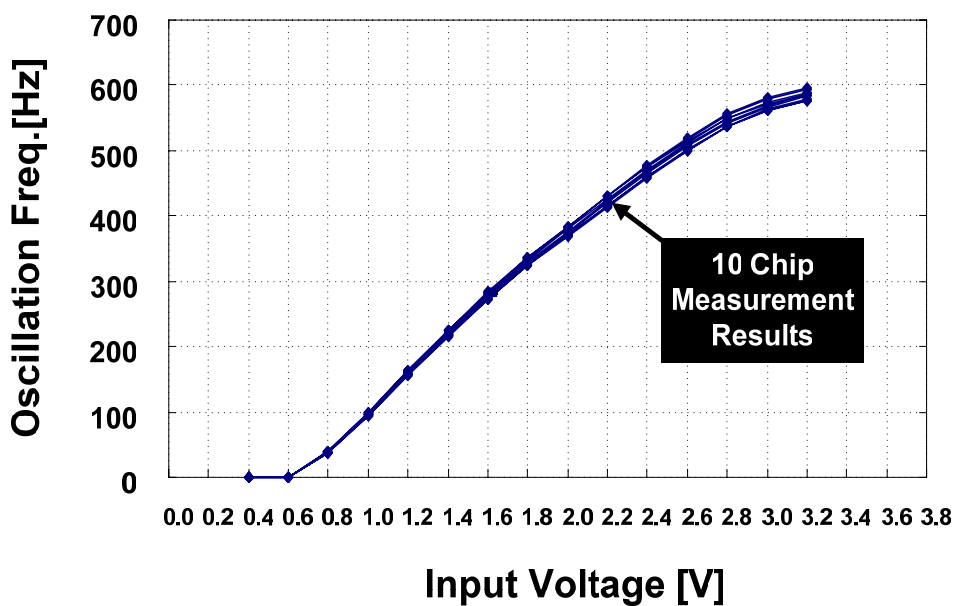


図 6-3-3- 3 VCO ゲイン調整後の VCO 周波数測定(10 チップ)

この場合の、VCO のゲインばらつき測定結果を以下の表に示す。

表 6-3-3-1 ゲイン調整後の VCO のゲインと制御コード

	MIN	AVE	MAX	σ
REG	17	17.22	18	0.44
Gain	275.6	282.2	285.4	3.1

表 6-3-3-1 から、VCOゲインが、250 から 300MHz/Vの規格値内に、制御されていることがわかる。図 6-3-3-4 には、時定数制御ブロックのマスター発振器の発振波形を示す。

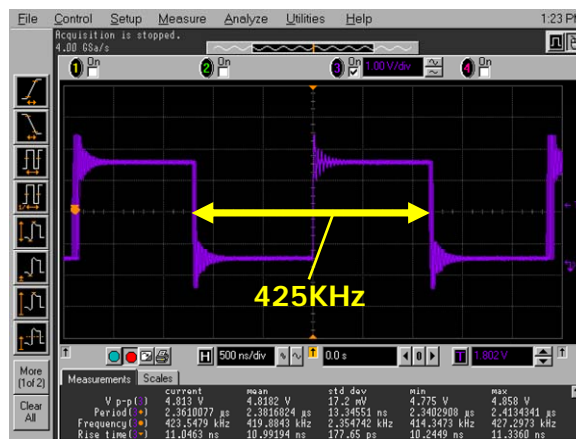


図 6-3-3-4 マスター発振器の出力波形

発振周波数が設定値の 425kHzに制御されていることがわかる。また、図 6-3-3-5 には、発振周波数キャリブレーション中の、制御信号のロジックアナライザでの観測波形を示す。

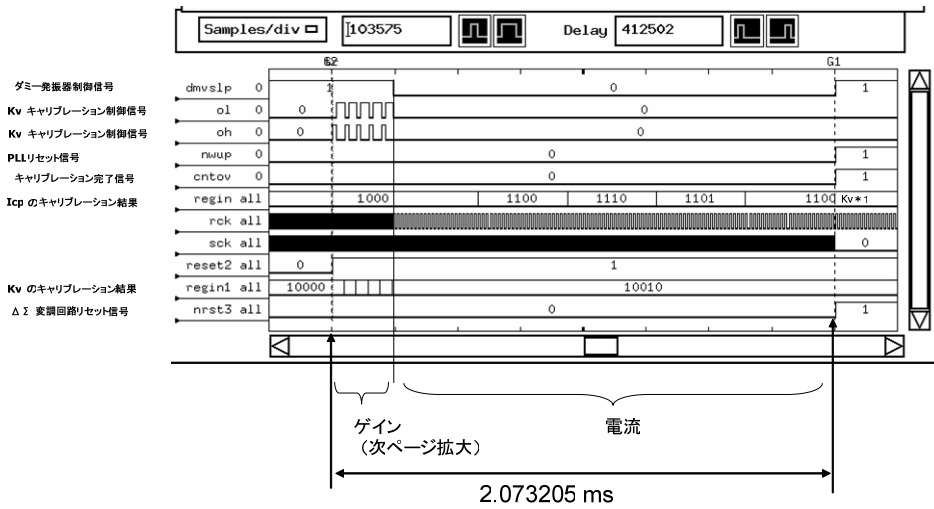


図 6-3-3- 5 キャリブレーション中の制御信号のロジックアナライザ観測波形

図 6-3-3- 5 より、キャリブレーションが上位ビットから決定され、制御動作が正常に行われていることが確認できる。

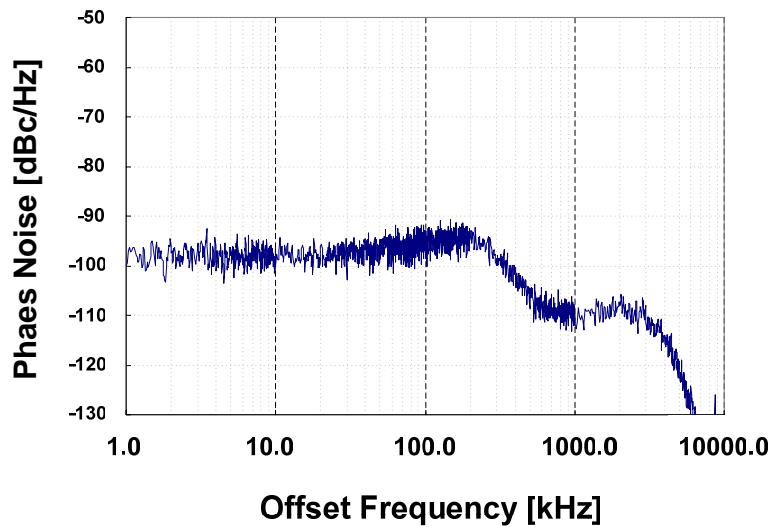


図 6-3-3- 6 PLL 出力の位相ノイズスペクトル波形観測結果

図 6-3-3- 6 に、PLLの位相ノイズ特性を示す。位相ノイズが-90dBc以下に抑制され、PLLが設計見積もり通りに設計されていることが確認できた。また、発振周波数に対する位相のノイズレベルについて、図 6-3-3- 7 に測定結果を示す。

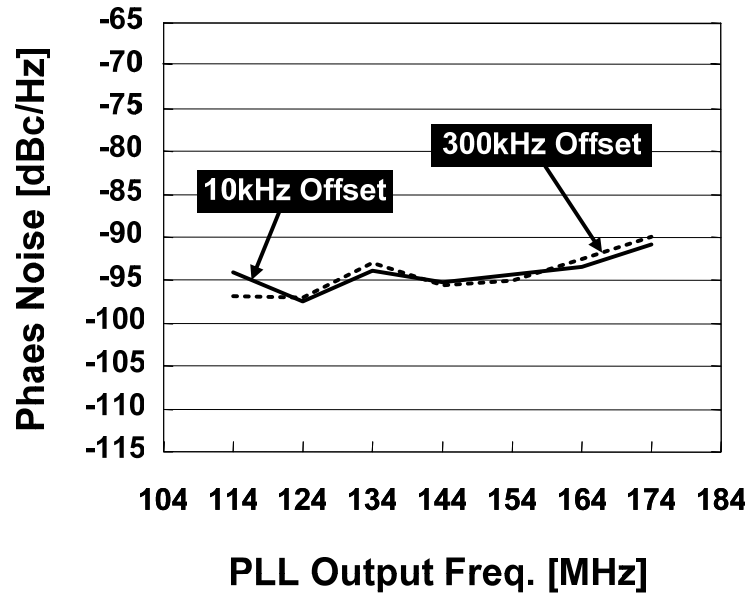


図 6-3-3- 7 PLL 出力の位相ノイズレベルの出力周波数依存性

図 6-3-3- 7 より、PLLの出力周波数 114MHzから 174MHzの間において、位相ノイズスペクトルの 10kHzオフセットから 300kHzオフセットの範囲で、位相ノイズレベルが-90dBc以下に、抑制されていることがわかる。また、CMOSトランジスタの駆動能力が変化した場合について、図 6-3-3- 8 から図 6-3-3- 10に出力位相ノイズスペクトルを、それぞれ示す。

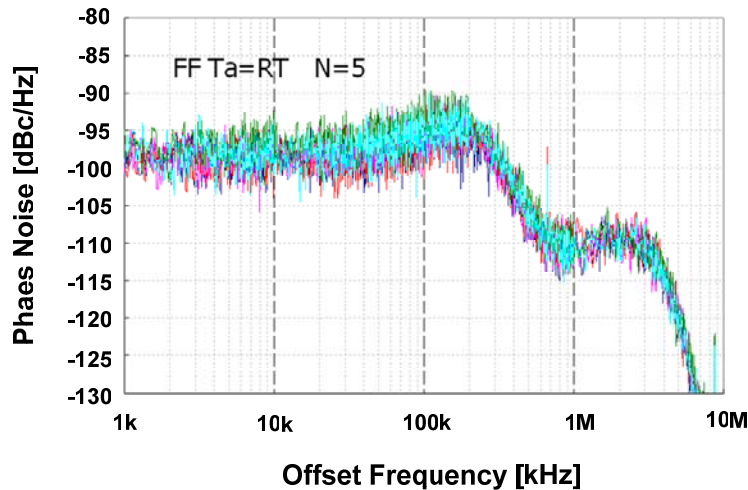


図 6-3-3- 8 PLL の出力位相ノイズスペクトル(FF サンプル:5 チップ)

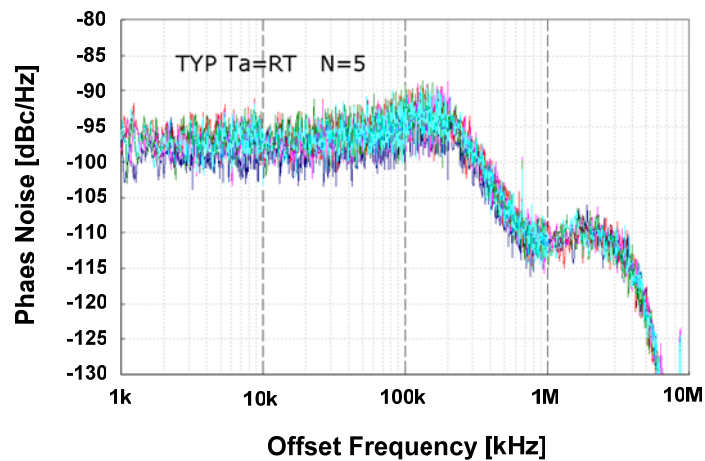


図 6-3-3- 9 PLL の出力位相ノイズスペクトル(TYP サンプル:5 チップ)

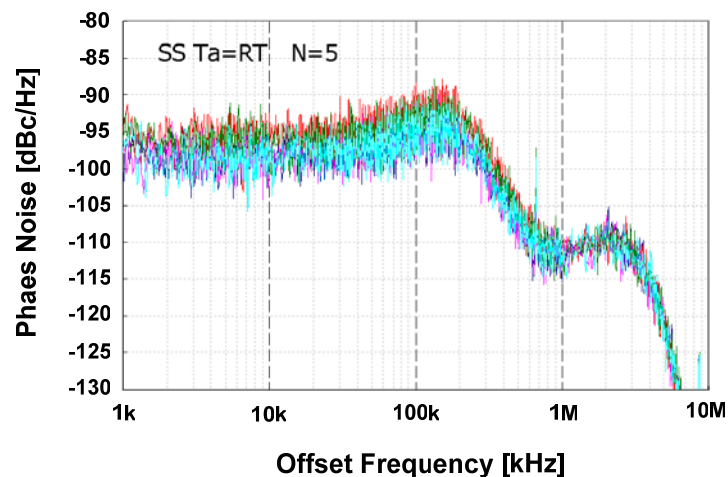


図 6-3-3- 10 PLL の出力位相ノイズスペクトル(SS サンプル:5 チップ)

図よりわかるように、プロセスばらつきやチップばらつきに関係なく、全てのチップで、同一バンド幅(150kHz)を有していることがわかる。すなわち、ループバンド幅調整回路が、有効に機能していることが確認された。

表 6-3-3- 2 に、本LSIの性能諸元をまとめる。

表 6-3-3-2 ループバンド幅調整機能付 $\Delta \Sigma$ 分数分周シンセサイザ諸元

Input Freq .	26/3 MHz
Divider Ratio	23-47
Freq . Resolution	8.265 Hz (Input Freq ./2²⁰)
Order of $\Delta \Sigma$	4
Phase Noise	<-90 dB @ 10 KHz - 300 KHz
Spurious Noise	<-40 dB
PLL Loop Bandwidth	150 KHz ($\pm 3\%$)
VCO Gain	250 M- 300 MHz/V
Power Consumption	30 mW { 8.4 mA(Analog 3.3V) 1.9 mA(Digital 1.2V)

6-4. まとめ

以上、本節の目的は、低位相ノイズ特性を示す $\Delta\Sigma$ 周波数シンセサイザを、システム LSI 上で実現することであった。そのため、位相ノイズ特性に劣るインバータチェーン VCO を用いても低位相ノイズ特性を実現できる手法として、PLL ループバンド幅の自動調整手法を開発した。その結果、 $-90\text{dBc}@10\text{kHz}$ の位相ノイズ特性と、 50kHz の周波数分解能を持つ $\Delta\Sigma$ 周波数シンセサイザの開発に成功した。以下の成果をまとめる。

1. VCO ゲインと PLL フィルタ時定数を PLL 起動時にデジタル的に調整し、PLL 動作時の VCO ゲインの温度変動を、PLL フィルタ時定数をチャージポンプ回路のチャージ電流をアナログ的に変化させて補償する、新規の PLL ループバンド幅制御手法を提案した。また、その設計手法と精度を明らかにした。
 - 1-1. PLL のループバンド幅制御には、VCO ゲイン制御とフィルタ時定数制御が必要であることを明らかにした。
 - 1-2. VCO ゲインの温度変動には温度補償回路を新規に設計し、温度変動を抑制できることを明らかにした。
 - 1-3. VCO ゲイン制御手法とその設計手法について明らかにした、ゲイン制御分解能と VCO ゲイン測定時間等の関係を明らかにした。
 - 1-4. フィルタ時定数とその設計手法について明らかにした、フィルタ時定数制御分解能とフィルタ時定数測定時間等の関係を明らかにした。
 - 1-5. 温度補償回路の出力電流の温度依存性について明らかにし、その調整手法を具体的に示した。
2. $\Delta\Sigma$ 周波数シンセサイザの設計方針、および位相ノイズスペクトルの計算手法について明らかにした。
 - 2-1. ループフィルタの発生する位相ノイズについて定量的に解析を行った。
 - 2-2. チャージポンプ回路の発生する位相ノイズについて定量的に解析を行った。

- 2-3. 電圧制御発振回路に使用する 2 種類の電圧電流変換回路の発生する位相ノイズについて定量的に解析を行い、電圧電流変換回路の回路形式を決定した。
 - 2-4. $\Delta \Sigma$ 変調分周器の発生する量子化位相ノイズについて、定量的に解析を行った。
 - 2-5. 2-1 から 2-4 の取り組みで定量化された位相ノイズと PLL の伝達関数より、PLL の発生する位相ノイズを定量的に導出し、 $\Delta \Sigma$ 分数分周シンセサイザの入力信号周波数、分周比、ループバンド幅、VCO ゲイン、 $\Delta \Sigma$ 変調器の次数等の最適化を行った。
3. 周波数シンセサイザ試作結果において、設計どおりの位相ノイズ特性 (-90dBc@10kHz) が、VCO 出力周波数の 114MHz から 174MHz の範囲で得られており、位相ノイズスペクトルの計算手法の妥当性が明らかになった。

第 6 章の取り組みをにより、インバータチェーン等の位相ノイズ特性に劣る発振回路を用いても、高性能の $\Delta \Sigma$ 変調シンセサイザを設計することが可能となった。これにより、通信フロントエンドを含むシステム LSI に対し特殊プロセスを使用する必要がなくなり、システム LSI の低コスト化に大きく貢献できるものとする。

参考文献

- [1] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE J. Solid-State Circuits*, vol. 28, pp. 553 - 559, May 1993.
- [2] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Comm.*, vol. COM-28, pp.1849-1858, Nov. 1980.
- [3] M. H. Perrott, M. D. Trott, and C. G. Sodini, "A modeling approach for Σ - Δ fractional-N frequency synthesizers allowing straightforward noise analysis," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1028 - 1038, Aug. 2002.
- [4] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits*, vol. 31, pp. 331 - 343, Mar. 1996.
- [5] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE J. Solid-State Circuits*, vol. 34, pp. 790 - 804, Jun. 1999.
- [6] T. H. Lee and A. Hajimiri, "Oscillator phase noise: A tutorial," *IEEE J. Solid-State Circuits*, vol. 35, pp. 326 - 336, Mar. 2000.
- [7] J. Craninckx, and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, pp. 2054 - 2065, Dec. 1998.
- [8] J. B. Encinas, *Phase Locked Loops (Microwave Technology, No 6)*, Chapman & Hal l , ISBN: 0412482606.
- [9] W. J. Dally, and J. W. Poulton, *Digital Systems Engineering*, Cambridge University Press, pp. 608 - 609, ISBN 0-521-59292-5, 1998.
- [10] Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, M. Ishikawa, and T. Yoshitome, "A 16-bit oversampling A-to-D conversion technology using triple-integration noise shaping," *IEEE J. Solid-State Circuits*, vol. 22, pp. 921 - 929, Dec. 1987.
- [11] Y. Matsuya, K. Uchimura, A. Iwata, and T. Kaneko, "A 17-bit oversampling D-to-A conversion technology using multistage noise shaping," *IEEE J. Solid-State Circuits*, vol. 24, pp. 969 - 975, Aug. 1989.
- [12] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kosic, J. Cao, and S. Chan, "A 90-dB SNR 2.5-MHz output-rate ADC using cascaded multibit delta-sigma modulation at $8 \times$ oversampling ratio," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1820 - 1828, Dec. 2000.
- [13] T. Ueno, A. Yasuda, T. Yamaji, and T. Itakura, "A fourth-order bandpass Δ - Σ modulator using second-order bandpass noise-shaping dynamic element matching," *IEEE J. Solid-State Circuits*, vol. 37, pp. 809 - 816, Jul. 2002.

- [14] 足立 寿史 他, “周波数シンセサイザ装置、通信装置、周波数変調装置及び周波数変調方法,”特願 2000-377444, Dec. 2000.
- [15] P. Larsson, “High-speed architecture for a programmable frequency divider and a dual-modulus prescaler,” *IEEE J. Solid-State Circuits*, vol. 31, pp. 744 - 748, May 1996.
- [16] T. Morie, S. Dosho, K. Okamoto, Y. Yamada, and K. Sogawa, “A -90dBc@10kHz Phase Noise Fractional-N Frequency Synthesizer with Accurate Loop Bandwidth Control Circuit,” *Symp. VLSI Circuits Dig.* 4-3, Jun. 2005.

第7章. 高逡倍 PLL でのクロック抽出法

はじめに

DVD-ROM フロントエンド回路は当初、ナイキスト等化を行うイコライザフィルタ、およびクロック抽出用 PLL 回路から構成され、バイポーラプロセスで製作されていた [1-2]。しかしながら、DVD-ROM の普及に伴いシステムの低価格化を実現せねばならず、フロントエンド部と後続のデータ処理 CMOS ロジックを 1 チップ化し、システム LSI を開発するという要求が高まった。本節では、その CMOS 化の要求に答えるべく、高速動作 DVD-ROM 用クロック抽出回路の CMOS 化について述べる。CMOS 化の課題は、バイポーラトランジスタより、Gm 効率の劣る CMOS トランジスタを用いて、バイポーラ回路より、さらに低電圧で高速化された回路を開発しなければならない、ということにあった。

本節では、DVD-ROM 用高逡倍クロック抽出用 PLL 回路の開発について述べる。本回路の開発成功により、DVD-ROM の CMOS ワンチップ化が可能となっている。

7-1. クロック抽出用 PLL の構成と動作原理

図 7-1-1 に、一般的にクロック抽出に用いられる Hogge の位相比較器を用いたクロック抽出回路の構成図を、図 7-1-2 に、T/2 デレイ回路およびリセット機能付き 3 相位相比較器を用いたクロック抽出回路の構成図を、それぞれ示す [3]。

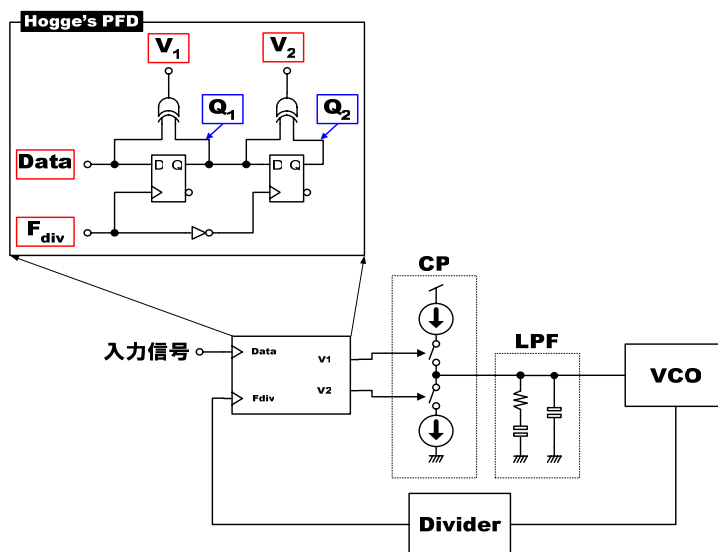


図 7-1-1 Hogge の位相比較器を用いたクロック抽出回路の構成図

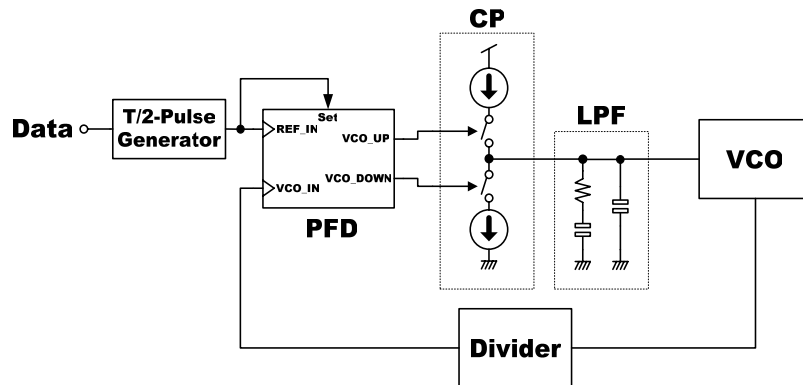


図 7-1-2 T/2 デレイ回路とリセット機能付き 3 相位比較器を用いたクロック抽出回路の構成図

図 7-1-3 に、Hogge の位相比較器の動作を示す。

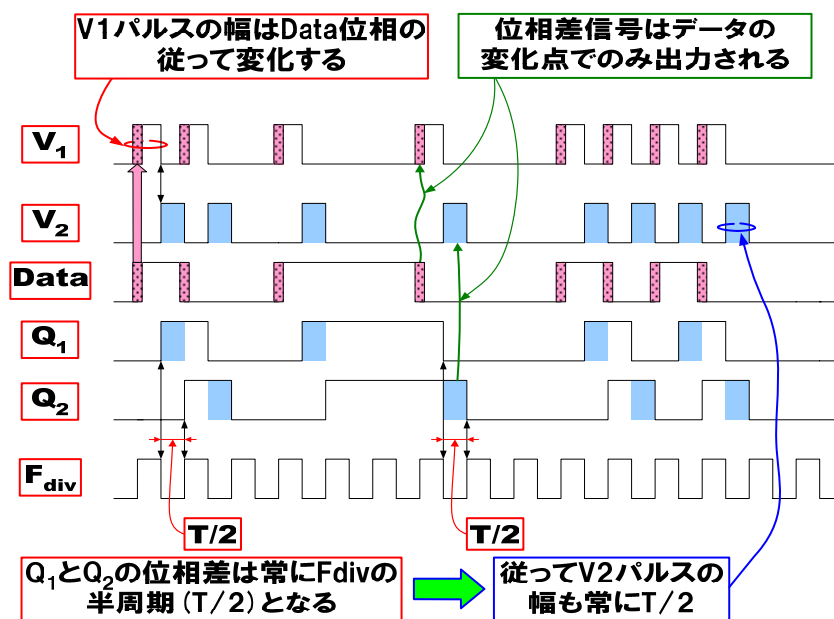


図 7-1-3 Hogge の位相比較器の動作を示すタイミングチャート

Hogge の位相比較器は、データ変化時に、常に $T/2$ パルス幅の出力パルスが発生する V_2 端子と、データ変化時に、データ位相によって変化するパルスを出力する V_1 端子を有する。PLL は、 V_1 端子の出力するパルスと、 V_2 端子の出力するパルス幅が等しくなった場合に、定常状態となるように動作する。定常状態では、再生クロックは、データのアイパターンの中心をたたくことになる。Hogge の位相比較器を用いる場合には、チャー

ジポンプ回路の充放電電流を正確に一致させる必要がある。そうでない場合にはアイパターンの中心を再生クロックがたたけなくなってしまう。この課題は非常に回避ににくいいため、今回は T/2 ディレイ方式を位相比較器として採用する。

次に、図 7-1-4 に、T/2 ディレイ回路と、リセット機能付き 3 相位相比較器を用いたクロック抽出回路の動作図を示す [4]。

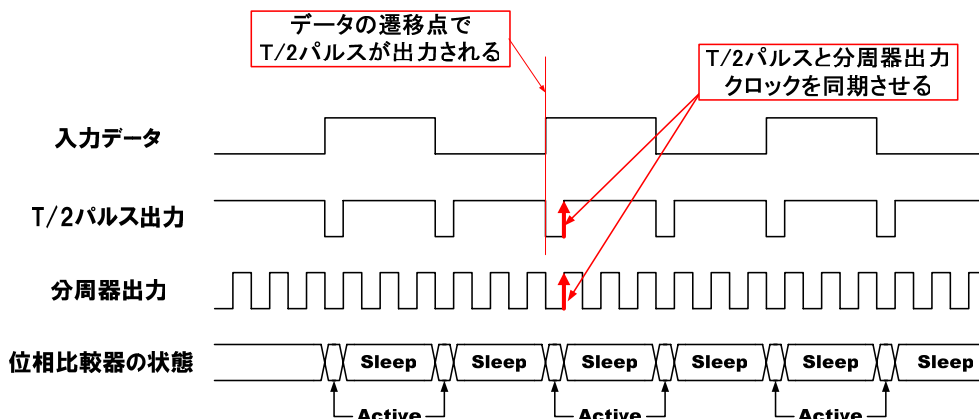


図 7-1-4 T/2 ディレイ回路とリセット機能付き 3 相位相比較器を用いたクロック抽出回路の動作

T/2 ディレイ方式は、直接入力データ信号と、分周器出力の位相を比較するのではなく、入力データの遷移時に、T/2 パルス発生器から、クロックの半分の周期のパルス(T/2 パルス)を発生させる。T/2 パルスは、位相比較器のセット端子に接続されている。T/2 パルスが入力されると、図 7-1-5 に示すセット付き位相周波数比較器が、アクティブ状態となる。つまり、入力データがやってきた時のみ、位相周波数比較器が動作することになるので誤動作を起こす心配がない。次に、T/2 パルスと分周器出力の立ち上がりエッジが、比較され位相比較動作が完了する。位相比較動作が完了すると、セット付き位相周波数比較器は、再びスリープ状態となり、休止期間に入る。以下、入力データの遷移時に同様の動作を繰り返す。

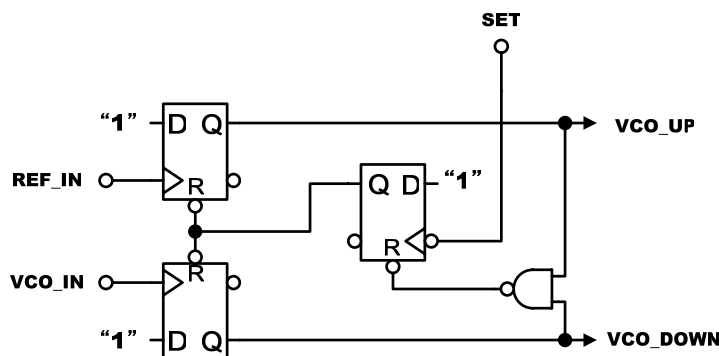


図 7-1-5 セット付き位相周波数比較器

このように、データ遷移のあったクロック期間のみ、位相周波数比較器を動作させることにより、通常の位相周波数比較器を用いても誤動作することなく、データ抽出を可能としている。もちろん、この方式では、T/2 パルス発生器は、PLL の VCO に比例して、パルス幅を可変にできる必要があるほか、非常に正確な T/2 パルスを発生させる必要がある。

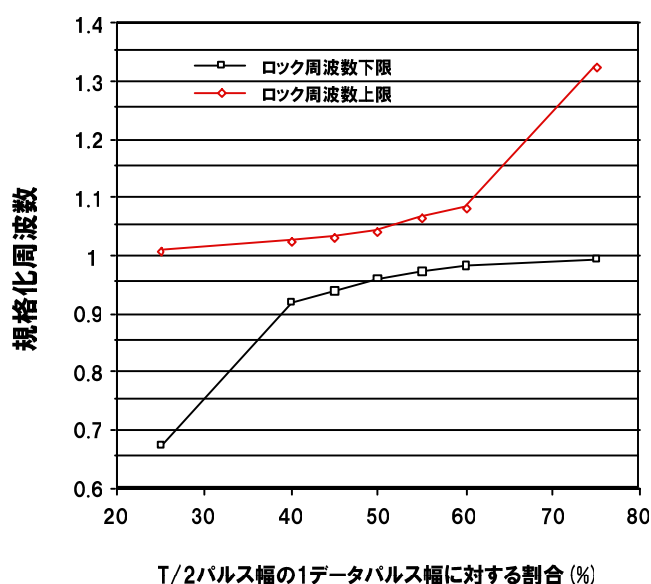


図 7-1-6 T/2 ディレイ方式 PLL のプルインレンジと T/2 パルス幅の関係

その理由は、T/2 パルスがずれると、クロックがデータをたたく位置が異なるので、ビットエラーレートに影響するためである。また、図 7-1-6 に示すように、データのパルス幅によって、プルインレンジ ω_p が大きく変動する。これは、PLL のアンロック状態では、VCO クロックと T/2 パルスの位相差は、 π から $-\pi$ まで変動する。もし、T/2 パルス幅が短くなったとすれば、VCO パルスの位相（立ち上がりエッジ）が、T/2 パルス幅の立ち上がりエッジより先にある確率は減少する。反対に、VCO パルスの位相が遅れる確率は、高くなる。すなわち、VCO の制御電圧を、VCO 周波数が高くなるようにするようなオフセット電圧を発生し易くなる。従って、VCO 周波数が、データレートより高い側でのプルインレンジが、減少すると考えられる。

図 7-1-6 に示したシミュレーション結果より、プルインレンジは、パルス幅が 50% の時で、 $\pm 4\%$ 程度となる。パルス幅が 40% から 60% の間では、8% 程度のプルインレンジであるがロック周波数範囲は上下にシフトする。また、パルス幅が、50% から大きくずれると、プルインレンジは大きくなる傾向があるが、上側あるいは下側の周波数からは、殆どロックできない状況となる。

次に、T/2 ディレイ方式 PLL の伝達関数について検討する。

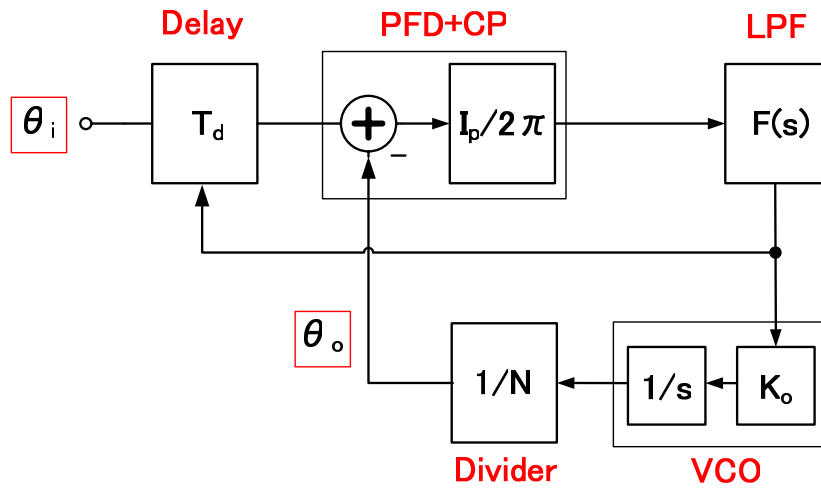


図 7-1-7 T/2 デイレイ PLL の線形化されたブロック図

図 7-1-7 に、T/2 デイレイ PLL の線形化ブロック図を示す。ブロック図をもとに、T/2 デイレイ方式の入出力位相伝達関数を求める。入出力位相の関係を、次式(7.1.1)と式(7.1.2)に示す。

$$(\theta_i + T_d - \theta_o) \frac{I_p}{2\pi} F(s) \frac{K_o}{s} = \theta_o \quad (7.1.1)$$

$$\Delta V = (\theta_i + T_d - \theta_o) \frac{I_p}{2\pi} F(s) \quad (7.1.2)$$

次に、デイレイラインの線形化について検討する。PLL がロック状態であると仮定し、ロック周波数を $f_1 (= \omega_1)$ 、フィルタ誤差電圧を ΔV と、それぞれ設定する。次に、VCO の制御電圧の変化で生じる周波数差は、 $f_1 - f_2 = \Delta V K_o$ であるので、式(7.1.3)が導かれる。

$$\Delta V K_o = f_1 - f_2 = \frac{1}{T_1} - \frac{1}{T_2} = \frac{T_2 - T_1}{T_1 T_2} \frac{1}{T_2} \cong \frac{T_2 - T_1}{T_1} \frac{1}{T_1} \quad (7.1.3)$$

$(T_2 - T_1)/T_1 = \theta_d$ であるので、式(7.1.3)を変形し、 θ_d を求める。

$$\theta_d = \Delta V K_o \times T_1 = \frac{\Delta V K_o}{\omega_1} \quad (7.1.4)$$

従って、式(7.1.1)は以下の式(7.1.5)に変形できる。

$$\left(\theta_i + \frac{\Delta V K_o}{\omega_1} - \theta_o \right) \frac{I_p}{2\pi} F(s) \frac{K_o}{s} = \theta_o \quad (7.1.5)$$

また、式(7.1.1)と(7.1.2)より以下の式(7.1.6)を得る。

$$\Delta V = \theta_o \times \frac{s}{K_o} \quad (7.1.6)$$

式(7.1.6)の ΔV を式(7.1.5)に代入し、以下の式(7.1.7)を得る。

$$\left(\theta_i - \theta_o \left(1 - \frac{s}{\omega_1} \right) \right) \frac{I_p}{2\pi} F(s) \frac{K_o}{s} = \theta_o \quad (7.1.7)$$

入出力位相の伝達関数は、式(7.1.7)を変形することにより、式(7.1.8)と求めることができる。

$$\frac{\theta_o}{\theta_i} = \frac{K_o I_p F(s)}{2\pi s + K_o I_p F(s) \left(1 - \frac{s}{\omega_1} \right)} \quad (7.1.8)$$

この場合、 $(1-s/\omega_1)$ が、ディレイ素子の挿入によるフィードフォワード成分の影響である。ここで、 $|s| \ll \omega_1$ の場合には、伝達関数は従来の PLL と、ほぼ一致する。ループフィルタの応答バンド幅は、クロック抽出回路の場合にはデータレートを考慮して、入力信号周波数 ω_1 の 50 から 200 分の 1 に設定する。従って、ディレイ回路の挿入によるフィードフォワード成分の影響は、ほぼ無視できる。すなわち、従来の PLL と同じように設計して良いことがわかる。

7-2. クロック抽出回路の高速化

7-2-1. 新位相比較方式の提案

7-1節で述べたように、従来方式のT/2 ディレイ方式のデータ抽出用PLLでは、T/2 ディレイパルス幅により、PLLのロック位置がずれることと、プラインレンジが大きく変動するという欠点があった。したがって、本節では、次の2点について、方式の改良を行った。

- 1.T/2 ディレイ量の変動で、PLL の定常位相誤差が発生しない方式に改良する。
- 2.T/2 ディレイ量の変動で、プラインレンジが変動しない方式に改良する。

本 7-2-1 節では、最初にPLLの定常位相誤差が、発生しない方式への改良について述べる。

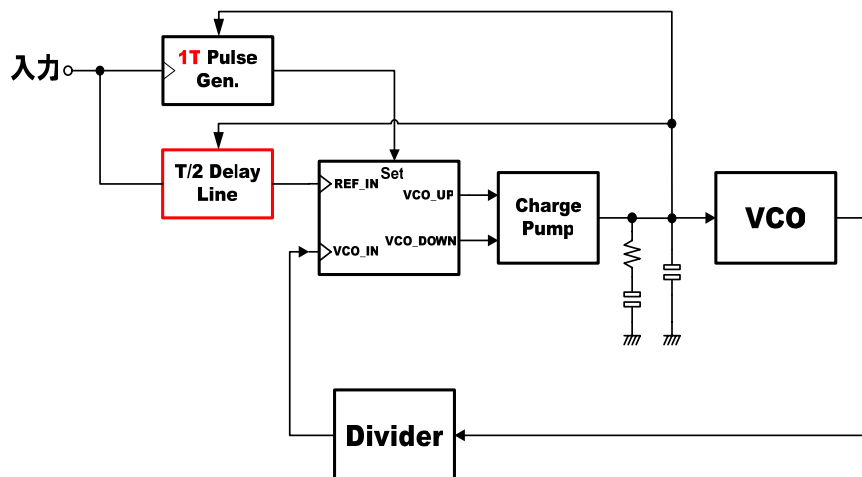


図 7-2-1-1 改良された T/2 ディレイ方式のクロック抽出用 PLL のブロック図

図 7-2-1-1 に、改良されたT/2 ディレイ方式のクロック抽出用PLLのブロック図を示す。改良されたPLLでは、1Tのパルス発生回路とT/2 ディレイ発生回路を用いる。パルス発生回路は、入力クロック毎に、1クロック分(1T)のパルスを発生し、発生したパルス期間の間だけ、位相比較器はアクティブとなる。入力信号は、T/2 ディレイ発生回路によって、T/2 だけ遅延され、位相比較器に入力される。遅延された入力信号は、VCOからのフィードバッククロックと比較される。図 7-2-1-2 に、改良PLL回路のタイミングチャートを示す。

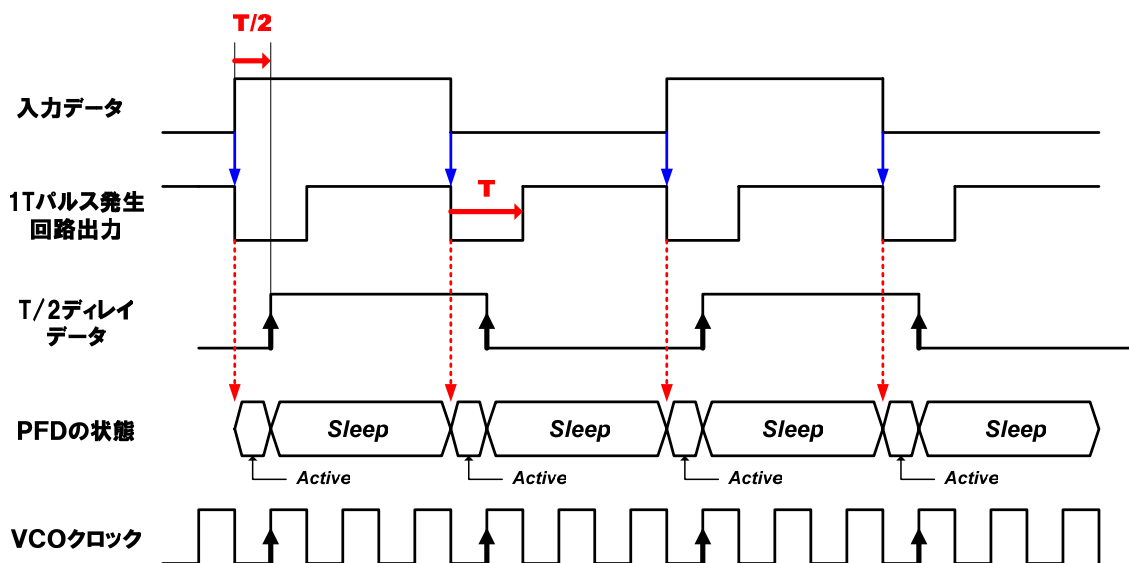


図 7-2-1-2 改良された T/2 ディレイ方式のクロック抽出用 PLL のタイミングチャート

改良されたクロック抽出用 PLL では、入力データが、T/2 パルス発生回路を駆動する方式をやめ、入力データは 1 クロック (1T) パルスを発生させ、1T パルスの間のみ位相比較器がアクティブに動作する。一方、入力データは、T/2 ディレイ回路によってディレイされ、1T パルスの中心で、VCO クロックと直接比較される。従って、1T パルス発生回路や T/2 ディレイ回路に、たとえ遅延誤差が発生したとしても、入力データと VCO クロックのエッジは、直接比較されている。すなわち、入力データと VCO クロックに、定常位相誤差が生じることはない。この回路方式の改良により、従来回路の課題の 1 は解決される。

しかし、ブロック図を回路実現するためには、別の課題が発生する。例えば、1T パルス発生回路は、1T ディレイ回路を用いて、図 7-2-1-3 のように実現される。

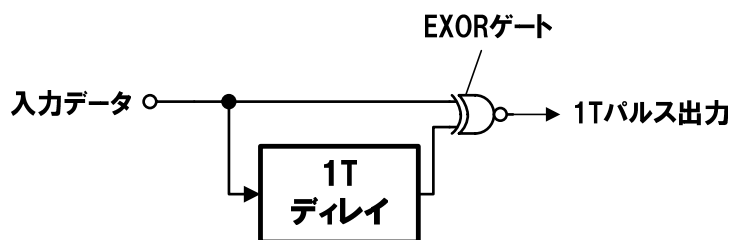


図 7-2-1-3 1T パルス発生回路のブロック図

図 7-2-1-3 に示す回路では、EXORゲートの伝播遅延差に注意しなければならない。1Tパルス発生回路では、入力データの変化点で、入力データの立ち上がりあるいは立下り

に関係なく、1T幅のパルスを発生する必要がある。しかし、実際には、EXORゲートは、入力信号の立ち上がりと立下りの遷移から、出力信号を発生するまでに、伝播遅延差を持っている。従って、図 7-2-1-4 に示すように、1Tパルス幅が、入力信号の立ち上がりと立下りの変化で、異なってしまうという問題が生じる。

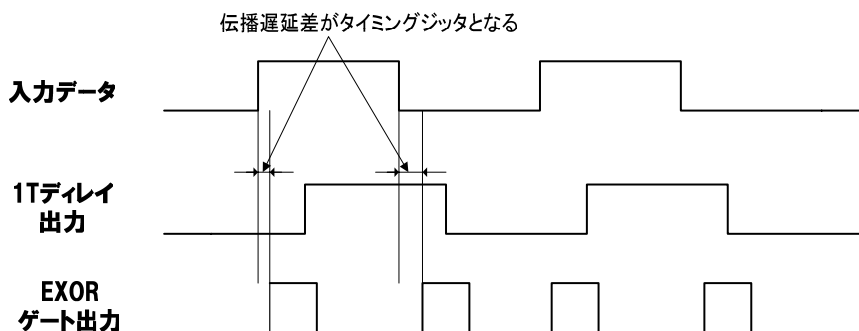


図 7-2-1-4 1T パルス発生回路への EXOR ゲート伝播遅延差の影響

EXOR ゲートの伝播遅延差の影響を取り除くため、入力データの立ち上がりエッジの変化と、VCO クロックの位相差を検出する信号パスと、入力データの立ち下りエッジの変化と、VCO クロックの位相差を検出する信号パスの、2つをそれぞれ独立に設ける方式を採用する。

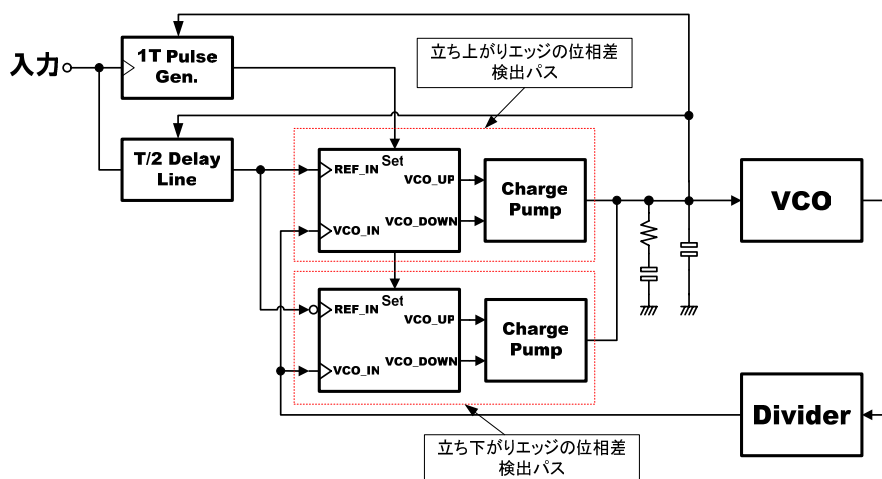


図 7-2-1-5 EXOR ゲート伝播遅延差の影響を取り除くための回路構成

図 7-2-1-5 に、EXORゲート伝播遅延差の影響を、取り除くためのPLLの回路構成

を示す。位相比較器とチャージポンプ回路を、それぞれ2個設け、入力データの立ち上がりエッジのタイミングを検出するパスと、入力データの立下りエッジのタイミングを検出するパスを独立させる。すなわち、位相比較器は、それぞれ入力データの立ち上がりエッジ、あるいは立下りエッジのみに反応する。すると、EXORゲートの伝播遅延差の影響は合成されることなく、それぞれのフィードバックループに、独立に反映される。従って、EXOR回路の伝播遅延差によりPLLにジッタが生じることはない。

7-2-2. 新周波数比較方式の提案

次に、PLL回路のプラインレンジの安定化手法について述べる。改良された位相比較方式においても、1Tパルス発生回路の発生する1Tパルスの、ちょうど中心に入力データのエッジが位置するようにT/2ディレイ回路のディレイが調整される必要がある。そうでない場合には、プラインレンジが、図7-1-6に示すように変動してしまう。従って、本節では、図7-2-2-1に示すように、PLLに新たな周波数比較器を用い、別途周波数フィードバックループを設ける。PLLのプラインレンジは、この周波数フィードバックループにより安定化される。

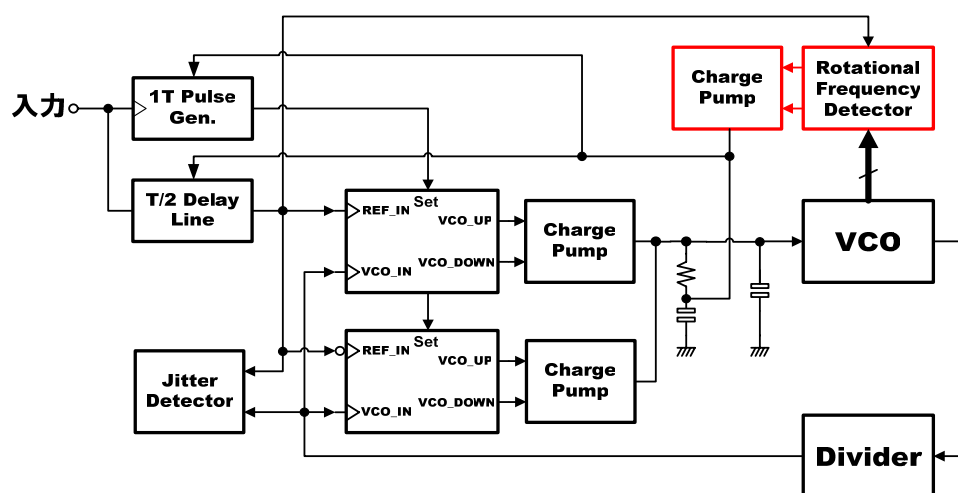


図 7-2-2-1 周波数比較ループによるプラインレンジの安定化手法

図7-2-2-1に示すように、ローテーション周波数比較器(RFD)を用いることにより、VCOと入力データ信号との周波数比較を実行し、周波数引き込み動作を行い、プラインレンジを安定化する[5-7]。RFDの概要を、図7-2-2-2に示す。

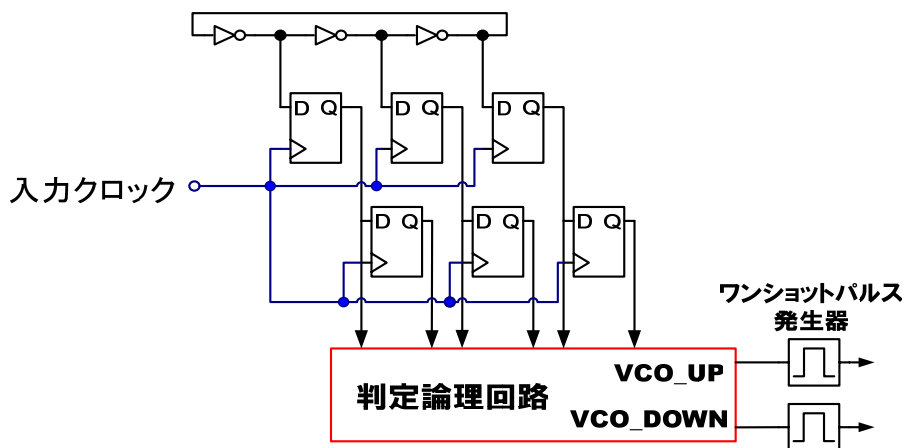


図 7-2-2-2 ローテーション周波数比較器(RFD)の構成

図 7-2-2-2 では、3 段のリング発振器の出力を、1 および 2 回ラッチしたデータから論理判定して、周波数変化を検出する。図 7-2-2-3 は、リング発振器の出力状態の分類を示す。3 段リング発振器は、その出力状態により 6 状態の位相を持つ。次に、図 7-2-2-4 を用いて、RFD の動作を説明する。

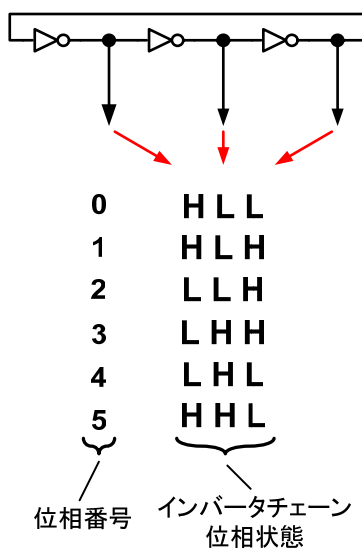


図 7-2-2-3 3 段リング発振器の位相状態

RFD ではデータのエッジが来る度に、インバータチェーンの位相状態を検出する。図は“2”の状態をラッチしていることを示している。もし、入力信号データ周波数と分周器出力周波数が同期しているならば、データのエッジが来る度に、常に同じ位相状態が検出されるはずである。ところが、同期していない場合には、分周器出力周波数が遅い場合は“2”の状態から“1”の方向の状態へと検出する状態が遷移する。逆に、分周器出

力周波数が早い場合には、“2”の状態から“3”の方向の状態へと、検出する状態が遷移する。従って、この位相状態の遷移方向を検知することにより、周波数のずれを検出することが可能となる。

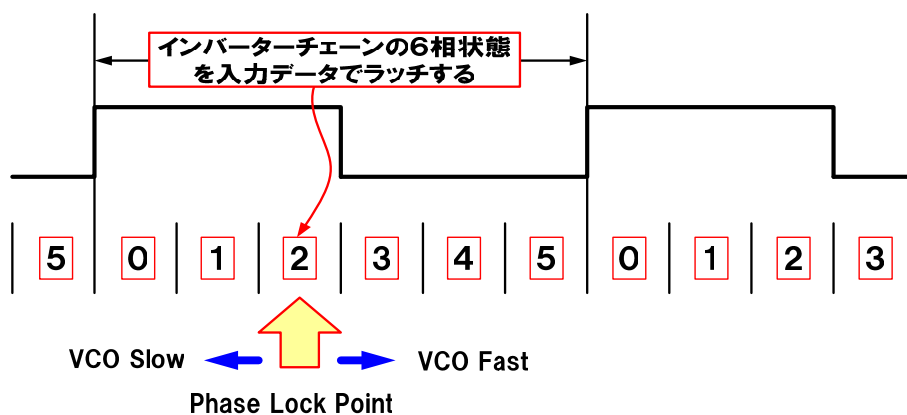


図 7-2-2-4 ローテーション周波数比較器(RFD)の動作

この位相状態の遷移方向を、論理判定回路によって検知し、ワンショットパルス発生回路を駆動して、ループフィルタを充放電し、周波数フィードバックループを形成する。しかしながら、図 7-2-2-5(a)に示すように、全ての論理変化に応じてフィードバックをかけると、周波数フィードバックの衝突するポイントに、擬似ロックポイントができてしまう可能性がある。そこで、図 7-2-2-5 (b)に示すように、全ての論理変化に応じてフィードバックをかけるのをやめ、位相ロックのポイントと周波数フィードバックループの安定点が一致するように、論理判定のポイントと方向を間引く方式を新たに開発した。

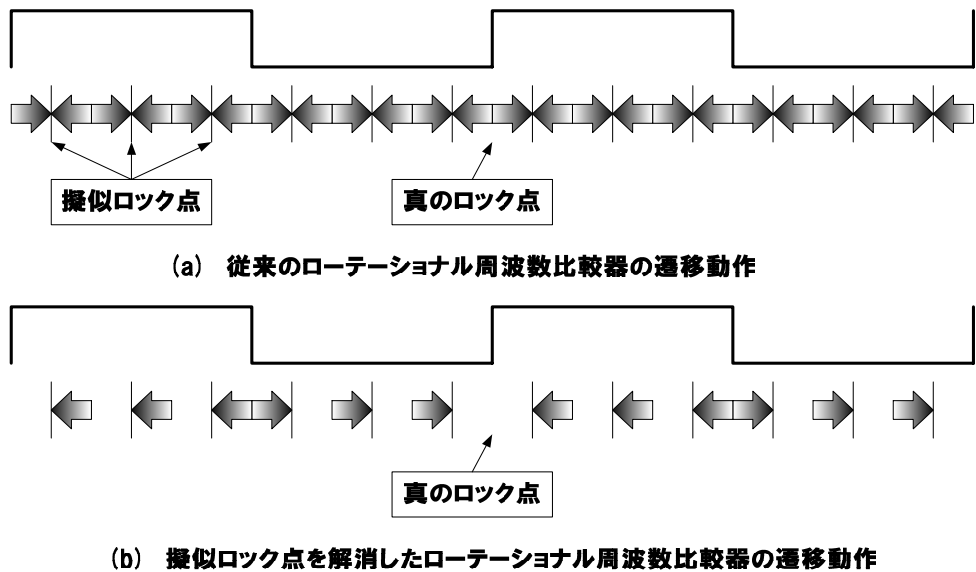
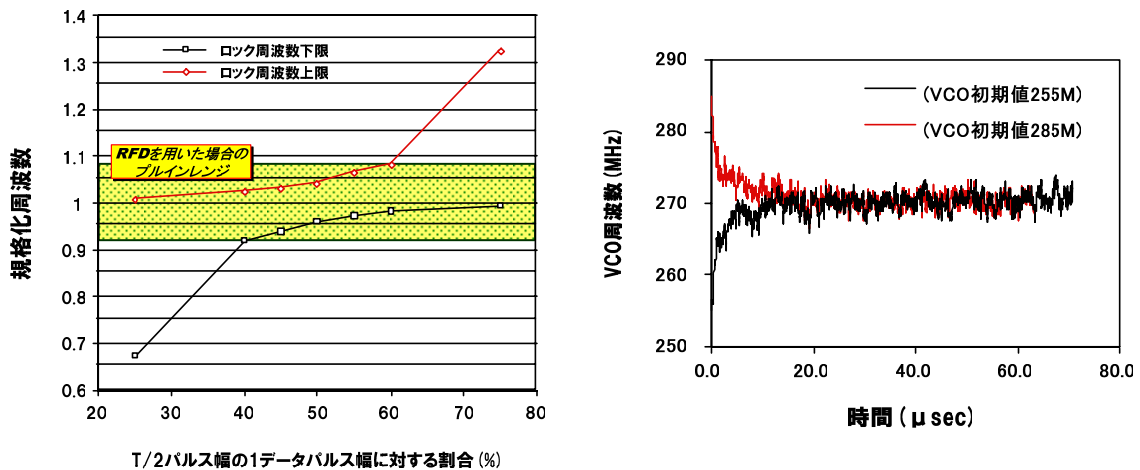


図 7-2-2-5 RFD の論理判定法の改良

前述した周波数引き込み回路の効果をシミュレーションで確認した。図 7-2-2-6 に、DVD-ROM用データ抽出回路に応用した場合の効果を示す。



(a) RFD を用いた場合のプルインレンジ (b) 周波数引き込み動作シミュレーション

図 7-2-2-6 RFD による周波数引き込み特性の改善効果シミュレーション結果

図 7-2-2-6 (a)より、プルインレンジ引き込みレンジは±8%まで改善された。(最大45%の位相ノイズが入力されることを考慮している。ノイズの効果がない場合は±12%まで

改善される)。また、その場合の周波数引き込み動作波形（VCOの制御信号）を、図 7-2-2-6 (b)に示す。非常に大きな位相ノイズが重畳されているにもかかわらず、周波数引き込み動作が、正常に行われていることがわかる。

7-2-3. 新ジッタ検出方式の提案

図 7-2-3- 1 に示すように、DVD用クロック抽出回路には、フロントエンド部のイコライザフィルタのカットオフ周波数やブースト係数を調整し、ジッタ性能を最適化するためのジッタ検出回路を有している。

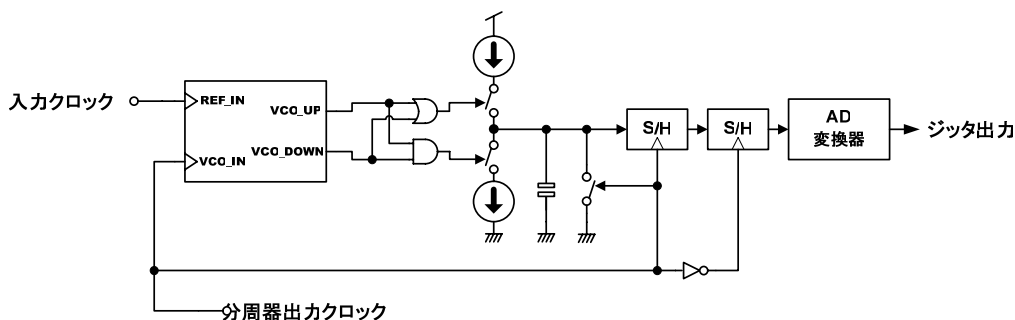


図 7-2-3- 1 従来のジッタ検出回路の構成

図 7-2-3- 1 に、従来のジッタ検出回路の構成を示す。従来のジッタ検出回路の構成では、位相比較器の出力パルス幅の分だけ（位相比較器のリセット分は取り除く）、電流源を動作させ、容量を充電する。容量に充電された電圧は、サンプルホールドされ、AD変換器によりデジタル値に変換されて出力される。この方式の場合、PLLが高速で動作するようになると、サンプルホールド回路やAD変換器にも高速動作が求められる。従って、回路の消費電力や回路面積が増大し、設計コストを押し上げる原因となってしまうことが考えられる。

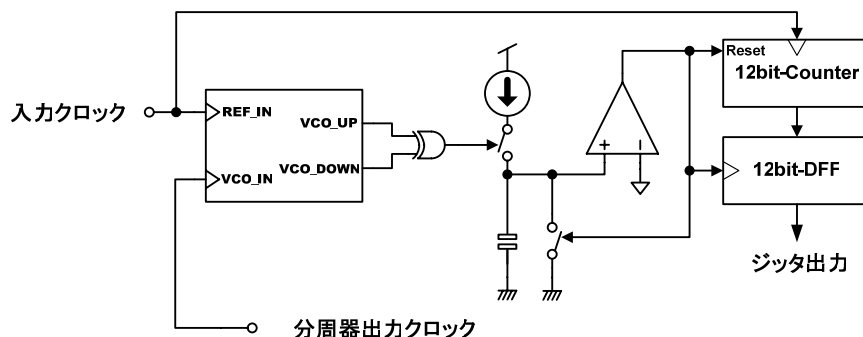


図 7-2-3- 2 新ジッタ検出方式での回路構成

図 7-2-3- 2 に、新ジッタ検出方式での回路構成を示す。新方式では、従来方式と同様に、位相比較器出力パルス幅の分だけ容量を充電するが、充電した容量を毎クロックごとにリセットするのではなく、充電量がある比較電位に達するまで充電したのち、容量をリセットすることにより三角波に変換する。その三角波の周波数をカウンタでカウントすることによりジッタ量を算出する。すなわち、ジッタ量が大きい場合には、充電量も大きくなり、三角波の周波数も大きくなる。新方式では高速動作するサンプルホールド回路やA/D変換器が不必要となるため、高速化に適した回路構成と言える。

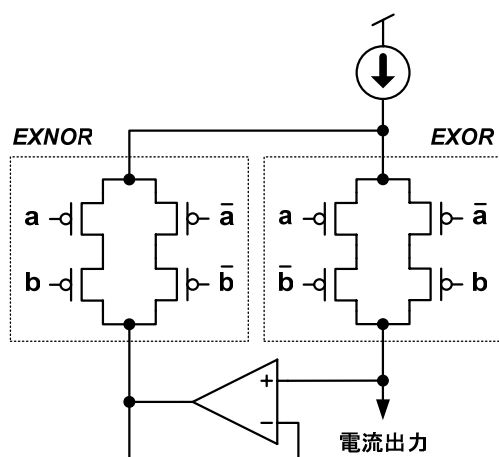


図 7-2-3- 3 EXOR 回路の高速化

図 7-2-3- 3 に、EXOR回路の回路構成を示す。EXOR回路は、回路の高速化のため、差動構成を採用した。さらに電流ゲート論理とすることにより、チャージポンプ回路のスイッチと一体化を可能とし、高速動作を実現した。

7-2-4. LSI 試作と評価結果

以上、7-2-3節までに述べた、DVD-ROM用高通倍クロック抽出用PLL回路を、0.25 μ m CMOSプロセスによって試作した [21]。

図 7-2-4-2 に、DVD-ROM用システムLSIのチップ写真を示し、図 7-2-4-1 に DVD-ROMのフロントエンド部のシステム構成図を、それぞれ示す [1]。

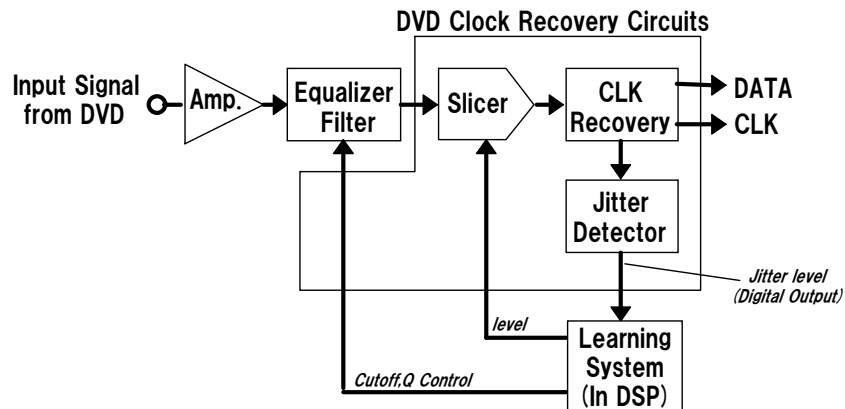


図 7-2-4-1 DVD-ROM のフロントエンド部のシステム構成

DVDディスクからの信号は、ピックアップ部の増幅器で増幅されイコライザフィルタに入力される。イコライザフィルタはナイキスト等価を行いスライサに信号を出力する [2]。ナイキスト等価された信号は、スライサで2値化されクロック抽出回路に入力される。クロック抽出回路ではデータとクロックが再生される。その他、システムはクロック抽出回路の同期信号がどれくらいのジッタを持つかを判定するジッタ検出回路を持つ。ジッタ検出回路の出力は、デジタル信号としてDSP内の学習システムに入力される。学習システムは、システムの起動時に、イコライザフィルタのQ値、カットオフ周波数およびスライサの比較レベルを調整し、ジッタ検出回路からの出力値が最小となるように最適化を行う。

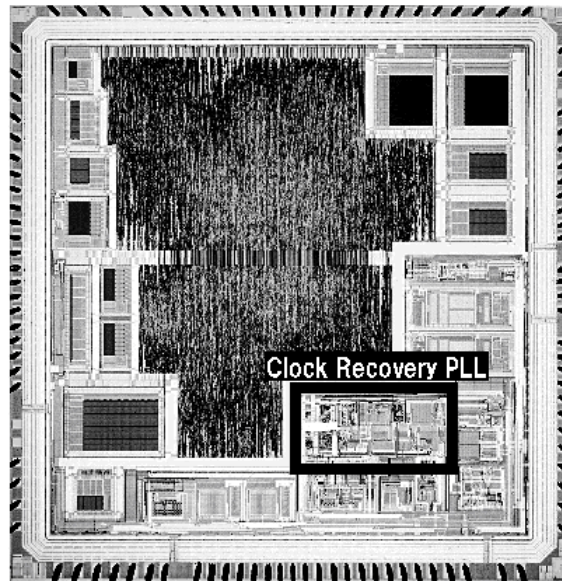


図 7-2-4-2 DVD-ROM 用システム LSI のチップ写真

表 7-2-4-1 には、クロック再生用 PLL のチップ諸元を示す。

表 7-2-4-1 DVD-ROM 用クロック再生用 PLL 諸元

Supply Voltage	3.3/2.5 [V] (Analog/Digital)
Operation Freq. (Max)	378 [MHz] (DVDx14)
VCO Clock Jitter (3 σ)	0.12% (27MHz DVDx1) 0.856% (216MHz DVDx8)
Data to Clock Jitter (3 σ)	0.424% (27MHz DVDx1) 1.138% (216MHz DVDx8)
Power Dissipation	132 [mW]
Chip Area	516 \times 1269 [μm^2]

DVD の高速データ再生時においても、良好なジッタ特性が得られていることが分かる。

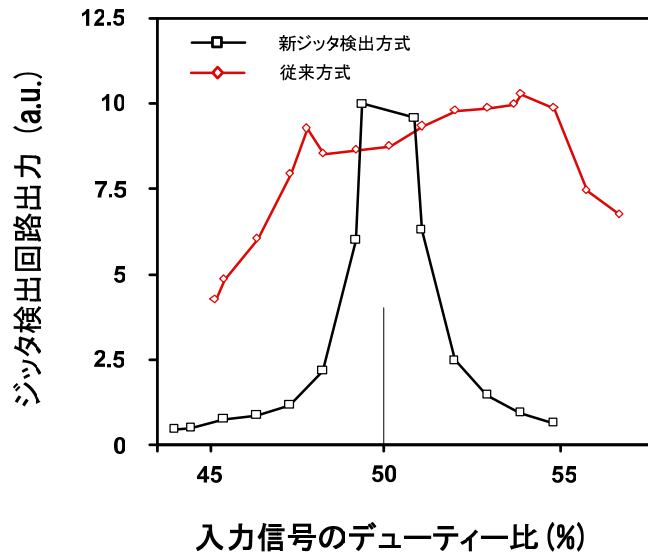


図 7-2-4-3 新ジッタ検出方式と従来方式でのジッタ検出能力比較

図 7-2-4-3 に 7-2-3 節で解説した新ジッタ検出方式と、従来方式でのジッタ検出特性の比較測定結果を示す。従来方式よりも新検出方式のほうが、検出感度が良いことがわかる。

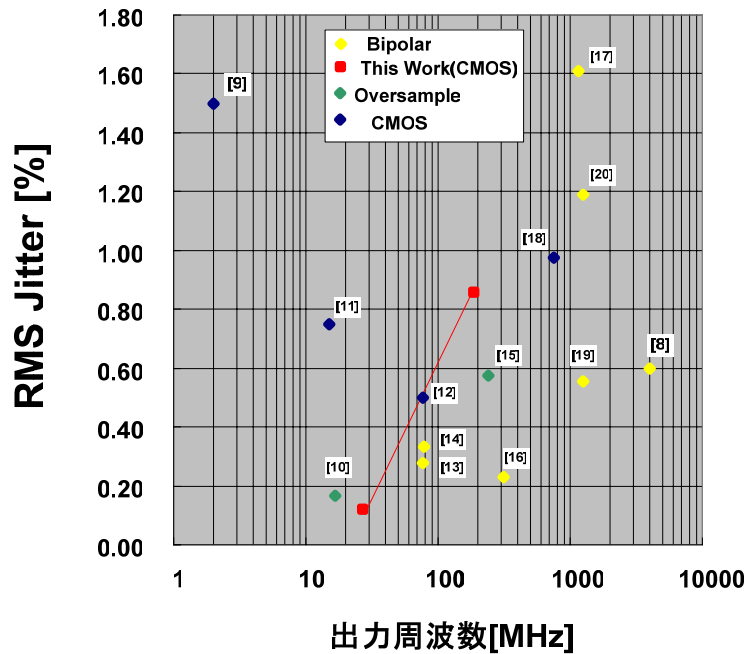


図 7-2-4-4 クロック再生 PLL ジッタ比較

図 7-2-4-4 にクロック再生PLLのジッタ性能比較結果を示す。PLLの性能比較には、入力信号のジッタやバンド幅等を考慮する必要があるため、同一基準での比較は難しい。

しかしながら、本論文におけるクロック抽出用PLLは、CMOSトランジスタ構成のPLLとしては非常に低いジッタ性能を実現していることがわかる。

7-3. まとめ

以上説明したように、第7章では、高逡倍DVD-ROMシステム用の、クロック抽出回路、およびジッタ検出回路のCMOS化について述べた。以下に成果をまとめる。

1. ディレイラインを2個使用する新しい位相比較方式を開発した。新方式では従来方式に比べ、ディレイラインの絶対精度を必要とせず、ロバスト性を向上している。したがって、バイポーラ回路より精度の劣る CMOS 回路を用いて、高逡倍で動作可能なクロック抽出 PLL が実現可能となった。
2. インバータチェーンの位相状態から周波数を検出して引き込む周波數位相比較方式において、擬似ロック点のない比較方式を開発し、±8%のクロック抽出回路のプルインレンジが得られた。これは引き込みレンジを約2倍に拡大したことになる。本方式の開発により、プルインレンジ範囲がディレイラインのディレイ精度に依存しないように構成できるため、システムが安定になる。従って、バイポーラ回路より精度の劣る CMOS 回路を用いても、DVD 用クロック抽出 PLL が容易に設計できるようになった。
3. 位相ジッタをチャージ電流に変換し、三角波発生回路の駆動電流としてその周波数からジッタ量を検出する新しいジッタ検出方式を開発し、従来回路に比べて検出感度を大幅に向上させた。また、AD 変換器が不要の構成を採用した結果、回路規模や消費電力は大幅に削減された。
4. 1 から 3 の回路を取り入れたクロック抽出 PLL を 0.25umCMOS にて設計試作した。クロック抽出 PLL は良好なジッタ特性を示し、提案技術が十分な実用性を有することを明らかになった。

参考文献

- [1] A. Bishop, I. Chan, S. Aronson, P. Moran, K. Han, R. Cheng, K. K. Fitzpatrick, J. Stander, R. Chik, K. Kshonze, M. Aliahmad, J. Ngai, H. He, E. daVeiga, P. Bolte, C. Krasuk, B. Cerqua, R. Brown, P. Ziperovich, and K. Fisher, "A 300 Mb/s BiCMOS disk drive channel with adaptive analog equalizer," *IEEE ISSCC*, vol. XLII, pp. 46 - 47, Feb. 1999.
- [2] 田中 邦麿 監修, 光記録における信号処理技術, TRICEPS, 第7章, 1989年.
- [3] C. R. Hogge Jr. , "Self Correcting Clock Recovery Circuit," *IEEE J. Lightwave Technology*, vol. LT-3, pp. 1312 - 1314, Dec. 1985.
- [4] 江島 直樹, "クロック再生位相同期回路," 特許第 2052227 号.
- [5] D. G. Messerschmitt, "Frequency Detectors for PLL Acquisition in Timing and Carrier Recovery," *IEEE Trans. Comm.*, vol. COM-27, pp. 1288 - 1295, Sept. 1979.
- [6] J. A. Afonso, A. J. Quiterio, and D.S. Arantes, "A Phase-Locked Loop with Digital Frequency Comparator for Timing Signal Recovery," *National Telecom. Conf. Rec.*, paper 14.4, 1979.
- [7] J. D. H. Alexander, "Clock Recovery from Random Binary Signal," *Electron. Lett.*, vol. 11, pp. 541 - 542, Oct. 1975.
- [8] A. Pottbacher, U. Langmann, and H.-U. Schreiber, "A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1747 - 1751, Dec. 1992.
- [9] S. Y. Sun, "A PLL based clock and data recovery circuit with high input jitter tolerance," *Proc. of the IEEE Custom Integrated Circuits Conf.*, pp. 9.7/1 - 9.7/3, May 1988.
- [10] B. Kim, D. N. Helman, and P. R. Gray, "A 30-MHz hybrid analog/digital clock recovery circuit in 2- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1385 - 1394, Dec. 1990.
- [11] S. Miyazawa, R. Horita, K. Hase, K. Kato, and S. Kojima, "A BiCMOS PLL-Based Data Separator Circuit with High Stability and Accuracy," *IEEE J. Solid-State Circuits*, vol. 26, pp. 116 - 121, Feb. 1991.
- [12] L. M. DeVito, *A Versatile Clock Recovery Architecture and Monolithic Implementation*.
- [13] T. H. Lee, and J. F. Bulzacchelli, "A 155-MHz Clock Recovery Delay- and Phase-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1736 - 1746, Dec. 1992.
- [14] N. Ishihara, and Y. Akazawa, "A Monolithic 156 Mb/s Clock and Data Recovery PLL

- Circuit Using the Sample-and-Hold Technique,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 1566 - 1571, Dec. 1994.
- [15] T. H. Hu, and P. R. Gray, “A Monolithic 480 Mb/s Parallel AGC/ Decision/ Clock-Recovery Circuit in 1.2- μ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 28, pp. 1314 - 1320, Dec 1993.
- [16] B. Lai, and R.C. Walker, “A Monolithic 622Mb/s Clock Extraction Data Retiming Circuit,” *IEEE ISSCC*, pp.144 - 306, Feb. 1991.
- [17] M. Soyuer, “A Monolithic 2.3-Gb/s 100-mW Clock and Data Recovery Circuit in Silicon Bipolar Technology,” *IEEE J. Solid-State Circuits*, vol. 28, pp. 1310 - 1313, Dec. 1993.
- [18] S. K. Enam, and A. A. Abidi, “NMOS IC’s for Clock and Data Regeneration in Gigabit-per-Second Optical-Fiber Receivers,” *IEEE J. Solid-State Circuits*, vol. 27, pp.1763-1774, Dec. 1992.
- [19] H. Ransijn, and P. O'Connor, “A PLL-Based 2.5-Gb/s GaAs Clock and Data Regenerator IC,” *IEEE J. Solid-State Circuits*, vol. 26, pp.1345-1353, Oct. 1991.
- [20] B. Razavi, “A 2.5-Gb/s 15-mW Clock Recovery Circuit,” *IEEE J. Solid-State Circuits*, vol. 31, pp.472-480, Apr. 1996.
- [21] S. Dosho, N. Yanagisawa, S. Watanabe, T. Bokui, and K. Nishikawa, “Development of a CMOS Data Recovery PLL for DVD-ROMx14,” *IEICE Trans. Fundamentals*, vol. E85-A, Apr. 2002.

第8章. デジタル化および位相検出の高分解能化

はじめに

第1章で説明したように、本研究における位相同期回路の小面積化、アダプティブ化、自律制御、ループバンド幅制御等の思想を統一化できるPLLアーキテクチャとして、VCOを除くPLLのデジタル化が考えられる [1-4]。本章では、デジタルPLLアーキテクチャの検討と、その性能についての理論的な解析、デジタルフィルタの構成手法、および位相検出の高分解能化を中心とする回路設計上の問題点と、新規回路提案によるそれら問題点の解決策を中心に議論を行う。

8-1. デジタルPLLの構成

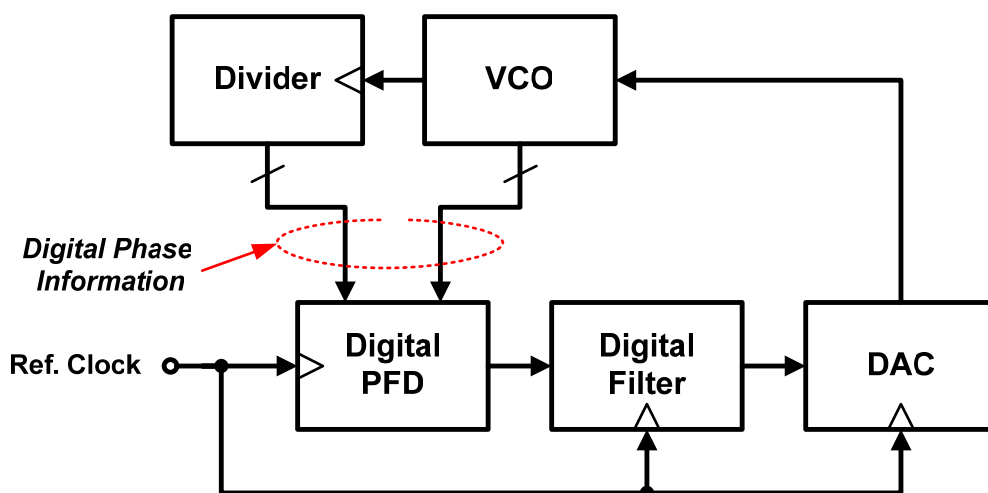


図 8-1-1 デジタルPLLの基本アーキテクチャ

図 8-1-1 にデジタルPLLの基本アーキテクチャを示す。デジタルPLLではVCOは、インバータチェーンVCOであることを仮定している。位相比較器は基本的にはラッチで構成され、分周器の分周状況（カウンタ値）、およびインバータチェーンVCOの位相情報(各インバータ出力値)を、それぞれ入カクロック毎にラッチし、デジタルフィルタへ

出力する。

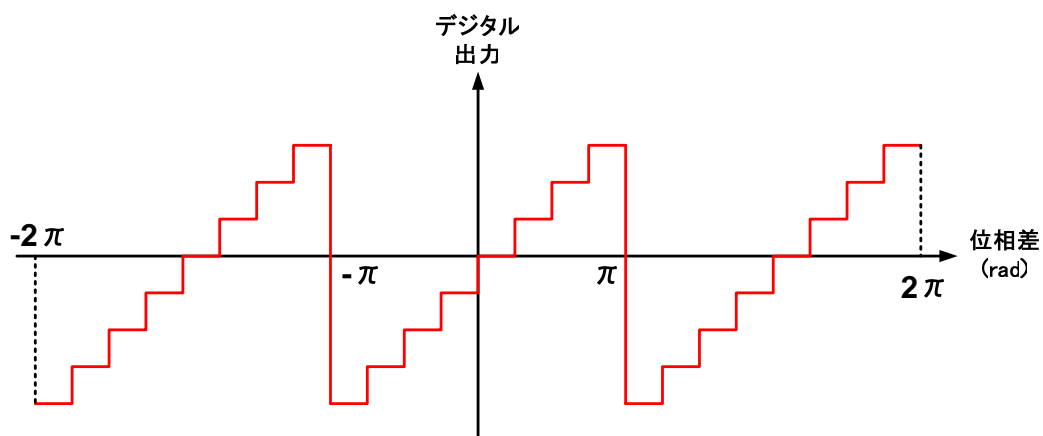


図 8-1-2 デジタル位相比較器の特性

図 8-1-2 に、デジタル位相比較器の特性を示す。デジタル位相比較器は、位相差 $-\pi$ から π で動作するが、図 2-1-2 に示す周波數位相比較器のように、周波数比較器としての作用がない。従って、キャプチャレンジを拡大するための周波数比較器が、別途必要である。反対に、周波数比較器としての作用がないため、クロック抽出回路への応用は容易に行える。

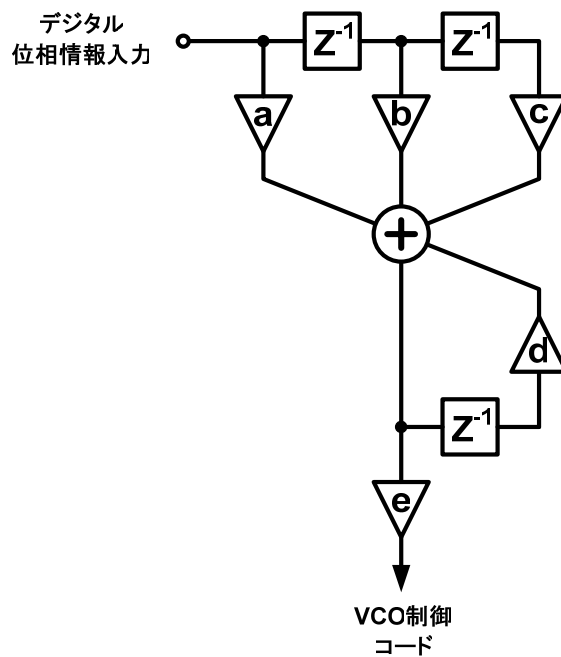


図 8-1-3 デジタルフィルタの構成例

図 8-1- 3 に、デジタルフィルタの構成例を示す。図 8-1- 1 に示したように、デジタルフィルタ部の遅延素子は、入力信号に同期して動作する。従って、入力信号が高くなれば、フィルタの遮断周波数も同時に高くなる。すなわち、自動的にアダプティブバイアス化された PLL が実現される。フィルタ係数の決定手法については、8-2 節において詳説する。

最後に、デジタルフィルタ出力をアナログ信号に変換するための DA 変換器について説明する。DA 変換器に要求される解像度は、DA 変換器の 1 ビット変化に対して生じる位相誤差が、許容される範囲に収まることである。

3 次 PLL を仮定し、PLL に周波数ステップ変化 $\Delta \omega$ が入力された場合に、PLL に生じる位相誤差の最大値を以下に計算する。3 次ループ PLL の、最適化された開ループ伝達関数 $H_{opt}(s)$ は、式(2.2.3)に示したとおりである。

$$H_{opt}(s) = \frac{\omega_n^2 \sqrt{b} \left(s + \frac{\omega_n}{\sqrt{b}} \right)}{s^2 (s + \omega_n \sqrt{b})} \quad (8.1.1)$$

閉ループ伝達関数 $H_{close}(s)$ は、第 2 章での議論のとおりで、以下の式で計算される。

$$H_{close}(s) = \frac{(s\sqrt{b} + \omega) \omega^2}{s^3 + s^2 \omega \sqrt{b} + s \omega^2 \sqrt{b} + \omega^3} \quad (8.1.2)$$

また、位相誤差伝達関数 $H_{err}(s)$ は、以下のとおりである。

$$H_{err}(s) = \frac{s^2 (s + \omega \sqrt{b})}{s^3 + s^2 \omega \sqrt{b} + s \omega^2 \sqrt{b} + \omega^3} \quad (8.1.3)$$

最終的に、周波数誤差から位相誤差への伝達関数 $H_{f_err}(s)$ は、 $H_{err}(s)/s$ で計算されるので、以下の式で表される。

$$H_{f_err}(s) = \frac{H_{err}(s)}{s} = \frac{s (s + \omega \sqrt{b})}{s^3 + s^2 \omega \sqrt{b} + s \omega^2 \sqrt{b} + \omega^3} \quad (8.1.4)$$

周波数ステップ $\Delta \omega$ が、入力された場合の位相誤差は、 $\Delta \omega/s$ を式(8.1.4)に乗算し、

逆ラプラス変換することにより求められる。この周波数ステップ応答 $F_{f_err}(t)$ は、一般に簡単な形で求めることは難しいが、 $b=9$ の場合には以下の簡単な式(8.1.5)で表すことができる。この場合、 $\omega=1$ で規格化している。従って、周波数ステップ $\Delta\omega$ は $\Delta\omega/\omega$ で規格化されなければならない。すなわち、

$$F_{f_err}(t) = \frac{\Delta\omega}{\omega} t(t+1)e^{-t} \quad (8.1.5)$$

となる。この場合は、 $t=2(1+\sqrt{5})$ の場合に、位相誤差は最大値をとる。その値は、 $0.84\Delta\omega/\omega$ である。同様に、 b の値を変化させて、位相誤差の最大値と $\Delta\omega/\omega$ の割合をプロットした結果を図8-1-4に示す。

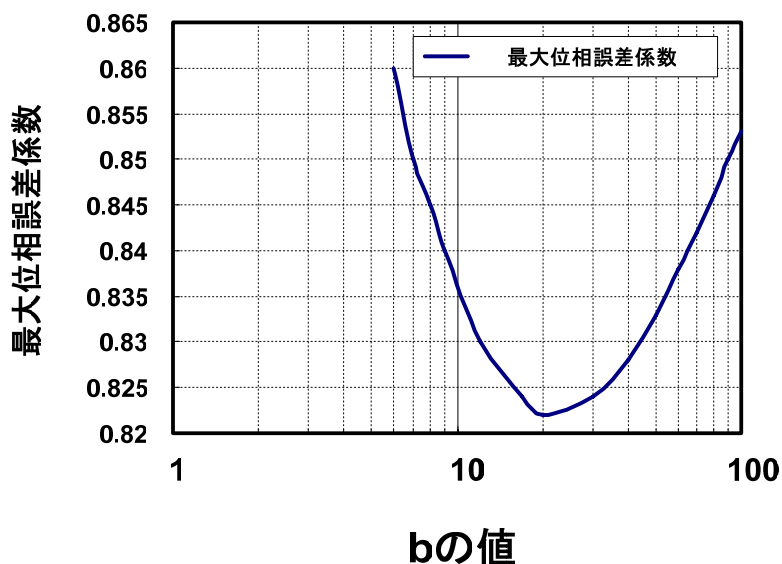


図 8-1-4 b と周波数ステップ変化で生じる 3 次 PLL の最大位相誤差の関係

周波数ステップ変動で生じる位相誤差は、 $b=20$ の場合に最小となることがわかる。ただし、 b の値に対する感度はそれほど大きくない。位相誤差感度の係数として 0.86 を仮定すれば、良い近似で計算できる。

ここで、実際のPLLの設計定数を仮定して、必要なDAC解像度を計算した例を示す。表 8-1-1 にPLLの設計パラメータを示す。

表 8-1- 1 DAC 解像度計算のための PLL 設計パラメータ

PLLパラメータ	設定値	記号
許容位相誤差	0.1 [%]	θ_{\max}
VCOゲイン(分周後)	1e6 [Hz/V]	K_o
VCO入力レンジ	1.5 [V]	D_range
PLLループバンド幅	1e6 [Hz]	ω_n
DAC解像度		N

DA変換器の 1bitステップ変化で生じる位相誤差が、表 8-1- 1 で示した位相誤差より小さくなるためには、以下の式(8.1.6)が成立する必要がある。

$$\frac{0.86 \times D_range \times K_o}{2^N \omega_n} \leq \theta_{\max} \quad (8.1.6)$$

従って、ここからNを計算すると、以下の式(8.1.7)となる。

$$N = 1.44 \ln \left(\frac{0.86 \times D_range \times K_o}{\theta_{\max} \omega_n} \right) \quad (8.1.7)$$

表 8-1- に示した設計パラメータを、式(8.1.7)に代入してNを求めると、約 7.68 と計算される。従って、DAC解像度は 8 ビットあれば十分である。システムLSI上で利用できるDA変換器としては、12 ビット程度までの解像度であれば、比較的容易に実現可能である [5]。従って、PLLのデジタル化に対し、DA変換器の解像度はクリティカルではないことがわかる。

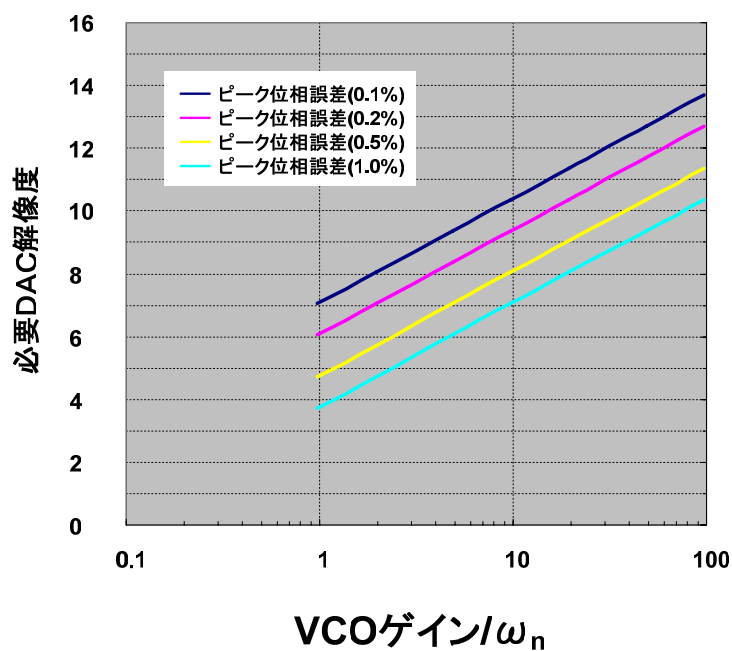


図 8-1-5 デジタル PLL における VCO 制御 DA 変換器の必要解像度

図 8-1-5 に、位相比較器の許容位相誤差と必要DAC解像度と、VCOゲインに対するループバンド幅比の関係を示す。VCOゲインがループバンド幅に比べて、極端に大きくない場合には、必要なDAC解像度は、12 ビット以下で十分であることが分かる。

また、DA変換器を使わずに、多相出力VCOの出力位相を、時系列に変化させることにより、擬似的にVCOの発振周波数を変化させる方法もある。この方式については、8-3-2 節で詳説する。

8-2. アナログ PLL からデジタル PLL への変換手法

デジタルPLLを設計する手法として、第3章と同様に、アナログPLLの伝達関数を、s-z変換を用いてデジタル領域に写像し、設計する手法が考えられる。この手法は、従来のアナログPLLの設計手法が、そのまま流用できるため、便利な設計法である。デジタルPLLの、小規模な回路構成での実現手法について、次に検討する。

以下、アナログ2次ループフィルタを有する3次ループPLLを、デジタルPLLに変換する手法について説明する。

8-2-1. 双一次 z 変換を利用する方法

最適化された3次ループPLLの開ループ伝達関数 $H_{opt}(s)$ は以下のとおりである。

$$H_{opt}(s) = \frac{\omega_n^2 \sqrt{b} \left(s + \frac{\omega_n}{\sqrt{b}} \right)}{s^2 (s + \omega_n \sqrt{b})} \quad (8.2.1)$$

カットオフ周波数が ω_n の s 表現されたフィルタを、サンプリング周期が T_{clk} である z 変数で表現されたサンプリングフィルタに変換するための双一次 z 変換の変換式は式(8.2.2)に示すとおりである。

$$s = \frac{\omega_n (1 - z^{-1})}{\tan\left(\frac{T_{clk}}{2} \omega_n\right) (1 + z^{-1})} \quad (8.2.2)$$

この式(8.2.2)を式(8.2.1)に代入すれば、以下の式(8.2.3)サンプリングフィルタとしての開ループ伝達関数 $H_{open}(s, z)$ を得ることができる。

$$H_{open}(s, z) = \frac{\omega_n}{s} \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) \frac{1 + z^{-1}}{1 - z^{-1}} \times \frac{(1 - z^{-1}) + \frac{1}{\sqrt{b}} \tan\left(\frac{T_{clk}}{2} \omega_n\right) (1 + z^{-1})}{(1 - z^{-1}) + \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) (1 + z^{-1})} \quad (8.2.3)$$

ここで、 $H_{open}(s, z)$ から VCO の伝達関数 K_o/s を割った残りの伝達関数 $F(z)$ を、デジタルフィルタとして構成すれば良い。従って、 $F(z)$ は以下の式(8.2.4)で表現される。

$$F(z) = \frac{\omega_n}{K_o} \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) \times \frac{1+z^{-1}}{1-z^{-1}} \times \frac{1 + \frac{1}{\sqrt{b}} \tan\left(\frac{T_{clk}}{2} \omega_n\right) + \left(-1 + \frac{1}{\sqrt{b}} \tan\left(\frac{T_{clk}}{2} \omega_n\right)\right) z^{-1}}{1 + \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) + \left(-1 + \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right)\right) z^{-1}} \quad (8.2.4)$$

従って、式に従ってデジタルフィルタを構成すると 図 8-2-1-1 となる。

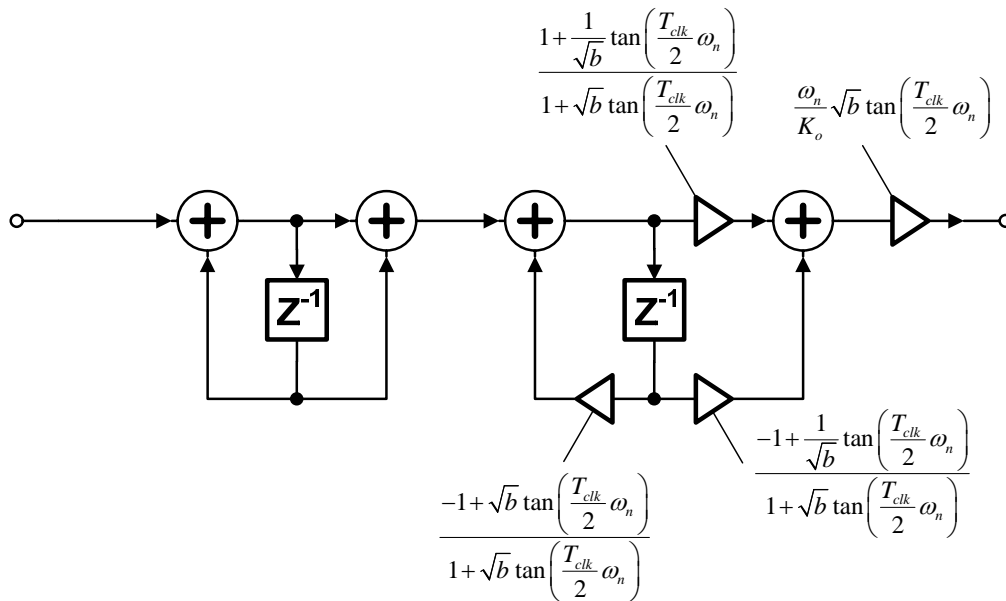


図 8-2-1-1 双一次 z 変換によって構成されるデジタルループフィルタ

図 8-2-1-1 に示すデジタルフィルタの構成で問題となるのはなるべく簡単にフィルタが構成されることである。できるだけデジタルフィルタは簡略化され精度が落ちない構成が望まれる。フィルタの簡略化を考えると、式(8.2.5)の条件が満足される場合には、図 8-2-1-1 の 2 段目のフィードバック係数が 0 となり、フィルタ構成が 図 8-2-1-2 に示すように簡略化されることがわかる。

$$\sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) = 1 \quad (8.2.5)$$

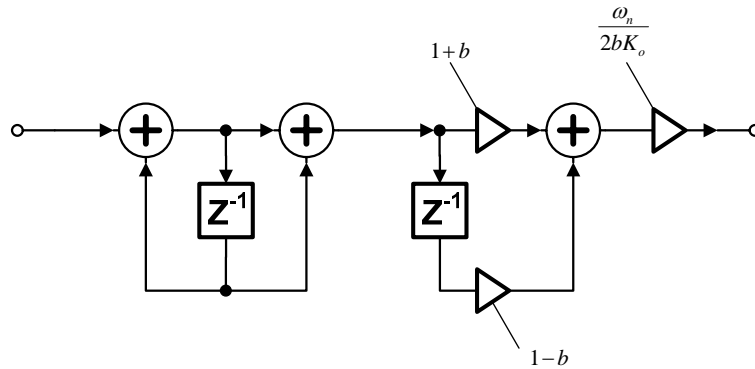


図 8-2-1-2 簡略化されたデジタルフィルタの構成例

この場合の伝達関数は次の式(8.2.6)で表される。

$$F(z) = \frac{\omega_n}{K_o} \sqrt{b} \tan\left(\frac{T_{clk}}{2} \omega_n\right) \times \frac{1+z^{-1}}{1-z^{-1}} \times \frac{(1+b) + (1-b)z^{-1}}{2b} \quad (8.2.6)$$

また、図 8-2-1-2 に示したデジタルフィルタは加算器を一つにした形で構成することも可能である。図 8-2-1-3 に構成例を示す。

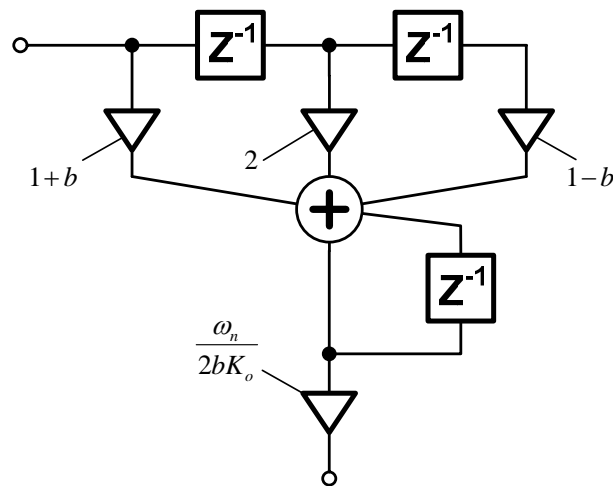


図 8-2-1-3 簡略化されたデジタルフィルタの構成例 2

8-2-2. SC フィルタからの変換方法

デジタルフィルタの構成法としては、8-2節で説明したように、双一次 z 変換を利用する手法と、第3章で説明したSCフィルタから変換する手法の2つが考えられる。

SCフィルタの漸化式(3.3.2)を、デジタルフィルタとして構成すれば、図 8-2-2- 1 に示すフィルタ構成が得られる。

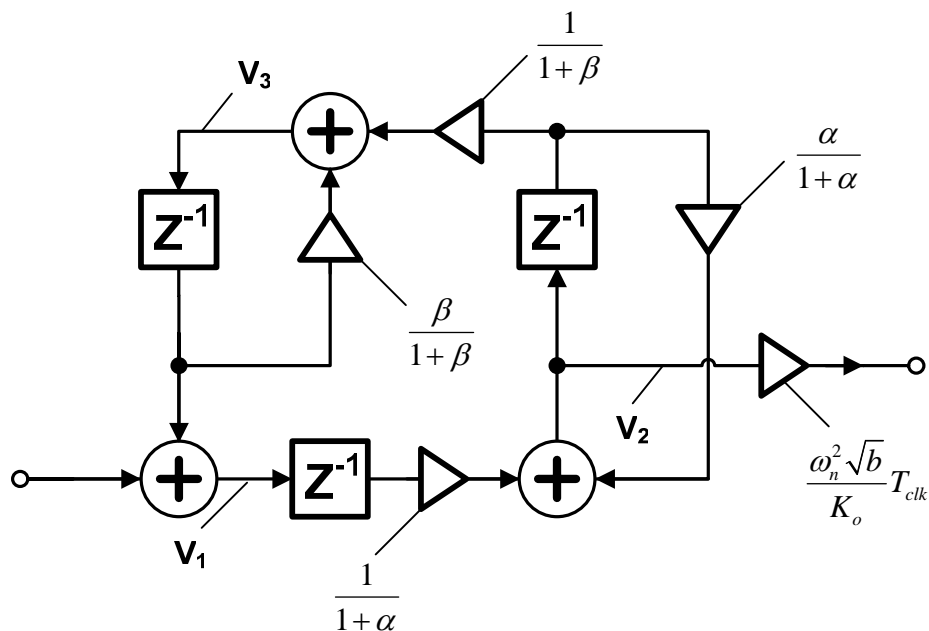


図 8-2-2- 1 SC フィルタを変形して構成されるデジタルフィルタ

図 8-2-2- 1 の出力の係数は、式(8.2.1)と式(3.3.9)の係数を比較し、一致させることにより得られる。SCフィルタを変形して得られるフィルタの利点は、出力係数以外の係数が全て1以下になるため、データ語長の増加を抑えられることにある。

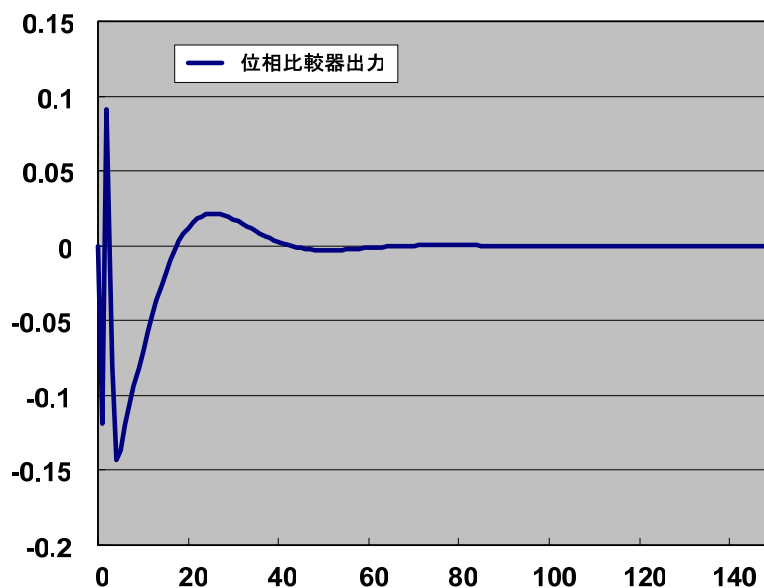


図 8-2-2- 2 SC フィルタタイプのデジタルフィルタを用いた PLL シミュレーション結果

図 8-2-2- 2 に、図 8-2-2- 1 に示すデジタルフィルタを用いたPLLのシミュレーション結果を示す。位相比較器出力が、急峻に収束しており、SCフィルタからデジタルフィルタへの変換が正確に行われていることが確認できる。

8-3. デジタル PLL を構成する回路の課題と対策

8-3-1. デジタル位相比較器

デジタル位相比較器は、図 8-1-1 に示す基本アーキテクチャにあるように、VCO 及びカウンタの位相情報を、入力信号をトリガとしてラッチし、デジタル化する機能を有しなければならない。また、できるだけ微小な位相情報をデジタル化できるほうが、ジッタ性能が向上できるため、高分解能化は必須の課題である。

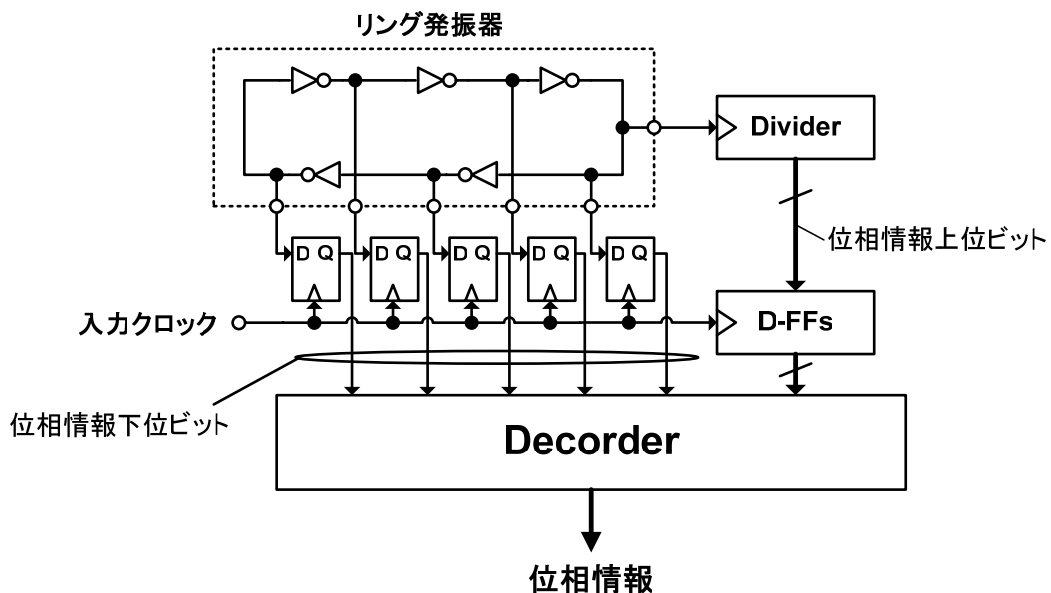


図 8-3-1- 1 デジタル位相比較器の基本構成

図 8-3-1- 1 にデジタル位相比較器の基本構成を示す。リング発振器のインバータチェーンの出力状態とその出力で駆動される分周器のカウンタ値を入力クロックでラッチし、デコードすることにより位相情報を抽出する。

グリッジの消去手法

このとき問題となるのは、インバータチェーンから取り出される位相情報の下位ビ

ットと、分周器から取り出される位相情報の上位ビットの、つなぎ目の連続性である。ラッチタイミングがずれることにより、上位ビットと下位ビットのつなぎ目がずれ、グリッジを発生する恐れがある。

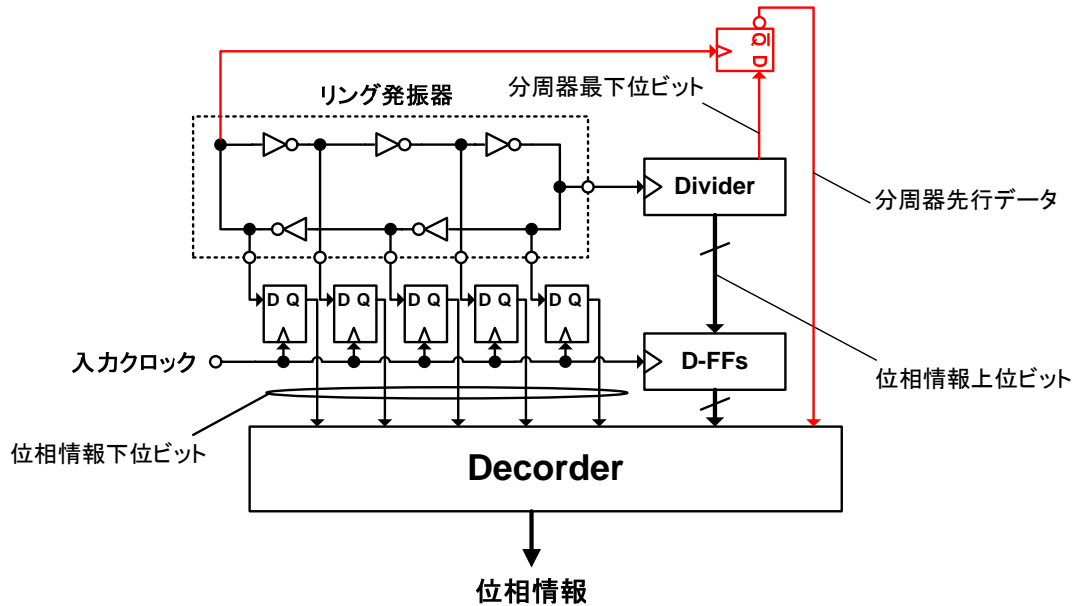


図 8-3-1-2 デジタル位相比較器の上位と下位ビットのつなぎ目の補償方法

従って、位相比較器の上位と下位でグリッジの発生を防止するため、図 9-3-1-2 に示すアーキテクチャを提案する。図 8-3-1-2 では、インバータチェーンの分周器の最下位ビットを、駆動するクロックに先行したクロックによって、ラッチし反転出力する。

インバータチェーンの位相状態と、分周器のカウント値の関係を 図 8-3-1-3 と 図 8-3-1-4 に示す。

分周器のカウント値とインバータチェーンの位相状態の位相関係としては、インバータチェーンの位相状態が、上位ビットと下位ビットの繋ぎ目で先行するか、遅延するかである。

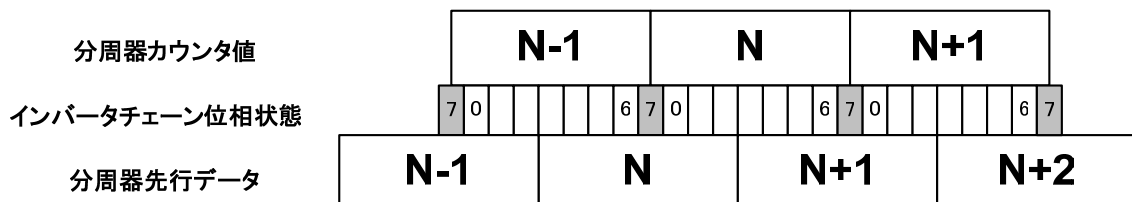


図 8-3-1-3 分周器カウンタ値が先行する場合の位相関係

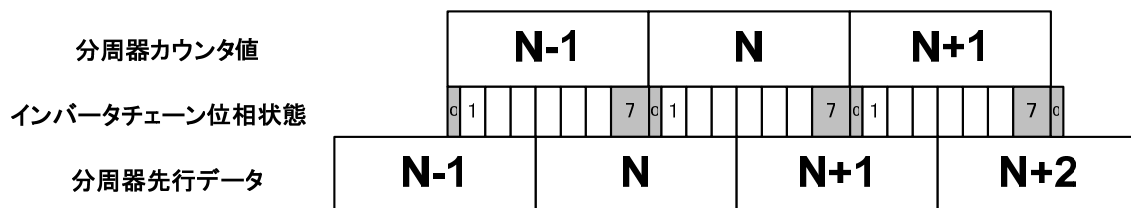


図 8-3-1-6 分周器先行データを用いて復号した場合の位相関係

(インバータチェーン位相値が先行する場合)

分周器カウンタ値が先行する場合と同様に、カウンタ値の切り替わり目で、正常に位相状態が切り替わり、デコードが正しく行われることがわかる。

以上説明した復号手法では、インバータチェーンの位相状態の、±1 位相状態以内での遅延誤差であれば、ミスコードなしでグリッジを消去することが可能である。

分周器の分周比が小さい場合の高分解能化

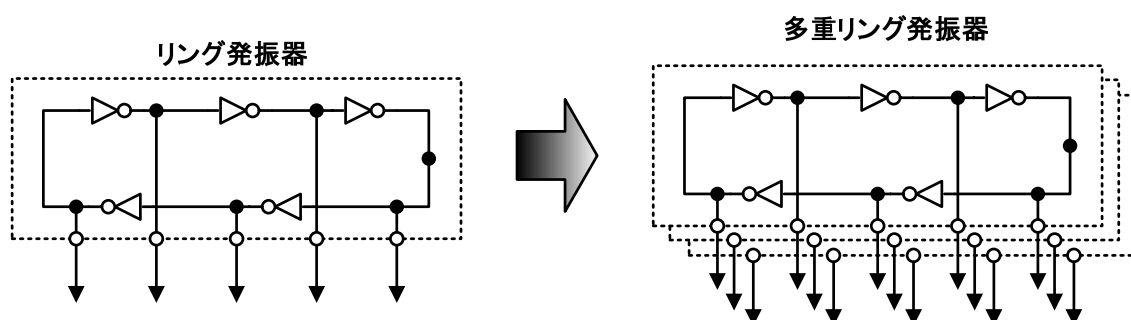


図 8-3-1-7 リング発振器の高分解能化

デジタル位相比較器に用いる分周器の分周比が小さい場合には、デジタル位相比較器の分解能を向上させることが困難である。そこで、リング発振器の位相情報を高分解能化する方法が考えられる。しかし、単にインバータチェーンの段数を増やして、位相情報を高分解能化したのでは、インバータチェーン発振器の発振周波数が低下してしまう。すなわち、消費電力を大きくしなければ、発振周波数を向上できなくなってしまう。従って、図 8-3-1-7 に示すように、複数のリング発振器を同期させながら発振させ、それぞれの位相が、お互いの位相を補間するように発振させる方法が考えられる。この方法であれば、インバータチェーン発振器の発振周波数の低下を防ぎながら、出力位相情報の高分解

能化を図ることが可能となる。この手法に関しては 8-5 節で詳説する。

{分周器の分周比が比較的大きい場合の高分解能化}

分周器の分周比がある程度の大きさであれば、図 8-3-1- 8 に示すように、ゲートドVCOを用いた位相比較手法を使用することが可能である [6]。すなわち、PLLのVCOの発振周波数 f と $+\Delta f$ だけ異なるゲートドVCOを用意し、入力信号をトリガとして発振を開始させる。PLLのVCOとゲートドVCOの初期位相差を ΔT とする。すると、ゲートドVCOの1クロック毎に、PLLのVCOとゲートドVCOの位相差は、ゲートドVCOの周期の $\Delta f/f$ だけ小さくなる。従って、ゲートドVCOの位相が、PLLのVCOの位相を追い越すまでのクロック数が、 N である場合、初期位相差 ΔT は、以下の式(8.3.1)で近似される。

$$\Delta T = N \times T_{GVC0} \times \frac{\Delta f}{f} \quad (8.3.1)$$

ここで、 T_{GVC0} は、ゲートドVCOの発振周期である。ゲートドVCOの発振周期は、PLLの発振周期と非常に近いので、ゲートドVCOのカウント数を、位相情報として活用することが可能である。

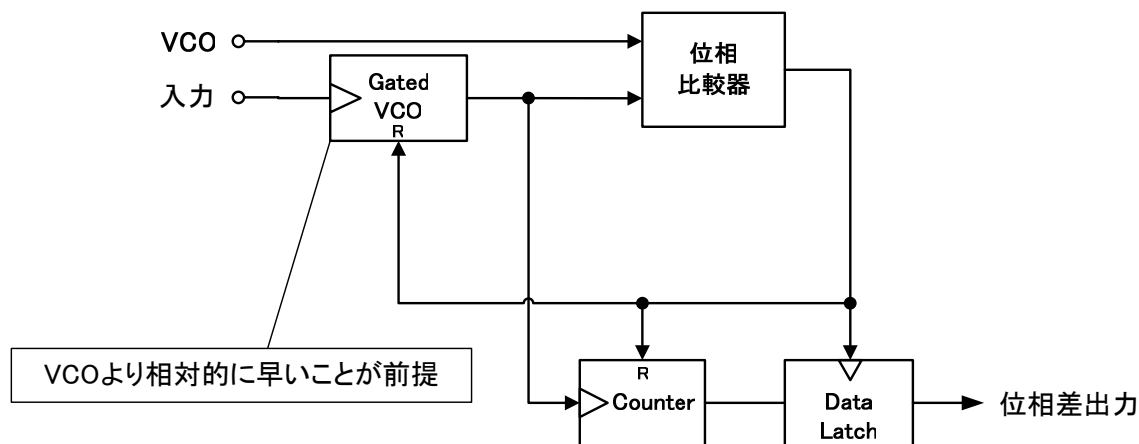


図 8-3-1- 8 ゲートドVCOを用いたデジタル位相比較手法

図 8-3-1- 8 にゲートドVCOを用いたデジタル位相比較器の回路構成を示し、図 8-3-1- 9 にはそのタイミングチャートを示す。

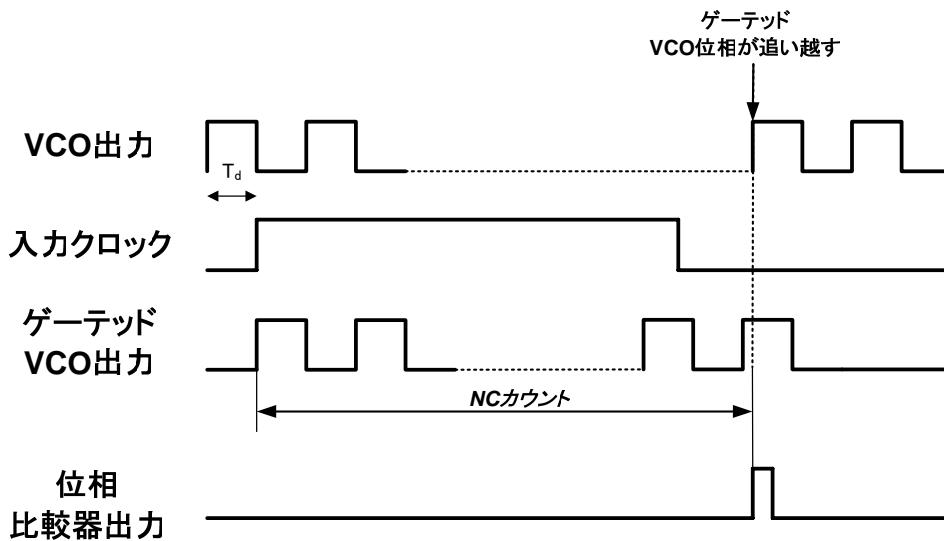


図 8-3-1-9 ゲートド VCO を用いたデジタル位相比較器タイミングチャート

ゲートド VCO は入力クロックに同期して発振を開始する。ゲートド VCO の発振周波数は、本来の VCO の発振周波数より若干早い。従って、ゲートド VCO が発振するたびに、本来の VCO との位相差は減少し、NC カウント発振した時点で VCO の立ち上がりクロックを、ゲートド VCO の立ち上がりクロックが追い越すことになる。その際、位相比較器がラッチパルスを出し、ゲートド VCO のカウンタ値が、後段のラッチに転送され位相比較器出力となる。

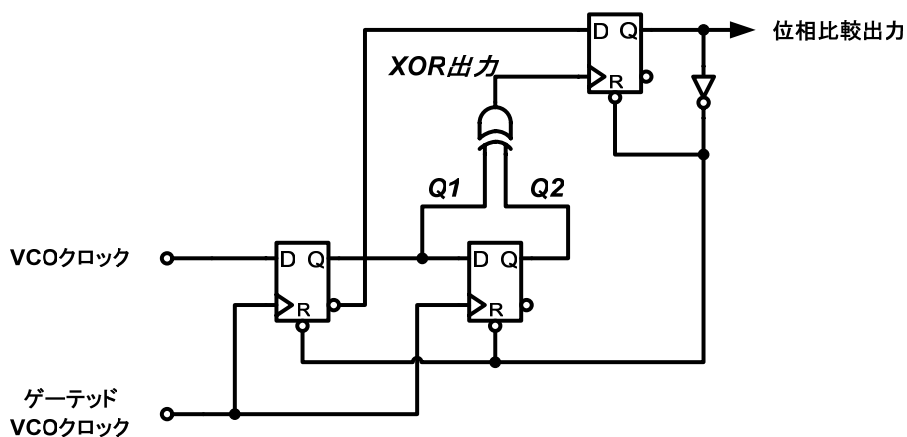


図 8-3-1-10 高精度位相差検出用位相比較器の構成

図 8-3-1-10 には、ゲートド VCO が、VCO クロックを追い越したかどうかを判別する位相比較器の回路構成を示す。また、図 8-3-1-11 には、そのタイミングチャートを

示す。

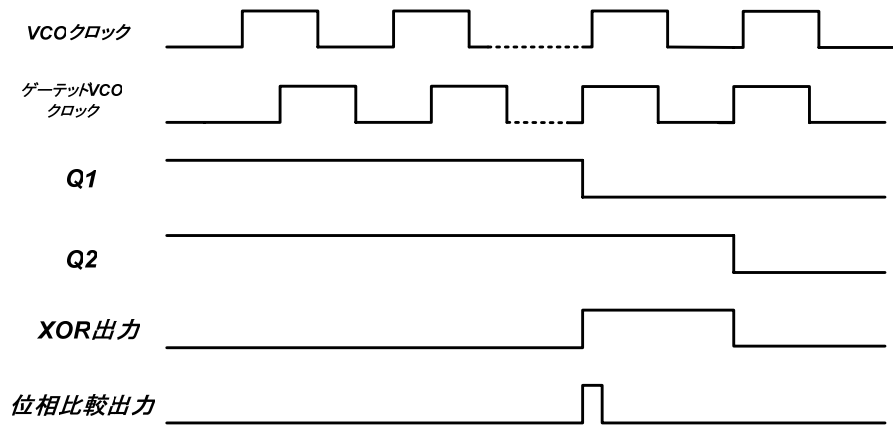


図 8-3-1- 11 高精度位相差検出用位相比較器のタイミングチャート

このデジタル位相比較器では、 Δf が小さく PLL の分周器の分周比が大きいほど、微小な位相差を検出できる。本位相比較器では、VCO クロックを、2 段のシフトレジスタを用いて、ゲーテッド VCO クロックでラッチし、VCO クロックの状態変化を XOR ゲートで検出する。

XOR ゲートは、状態変化時に位相比較器出力に接続された D フリップフロップの駆動クロックを発生する。D フリップフロップは、Q1 出力が Low の場合のみ、High 出力を行い、インバータゲート遅延と D フリップフロップの遅延時間分だけの、出力パルスを発生する。すなわち、状態変化としては、High 状態から Low 状態に変化したときのみ、位相比較パルスが発生される。従って、本位相比較器では 0 から -2π の範囲で位相比較が可能である。

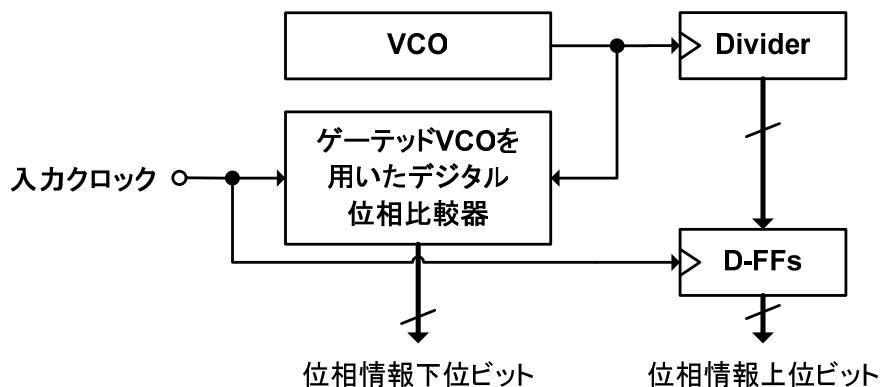


図 8-3-1- 12 ゲーテッド VCO を用いたデジタル位相比較器のブロック図

図 8-3-1- 12 にゲーテッドVCOを用いたデジタル位相比較器のブロック図を示す。VCOの位相情報をデコードし位相情報の下位ビットを生成するのではなく、ゲーテッドVCOを用いた位相比較器が位相情報の下位ビットを生成する。この方式の利点は、VCOの位相情報をデコードする方式と比較して、より多ビットの位相情報を簡単に取り出せる点にある。ただし、位相比較に時間がかかるため、分周器の分周比が大きい場合にしか使用できないという問題点がある。

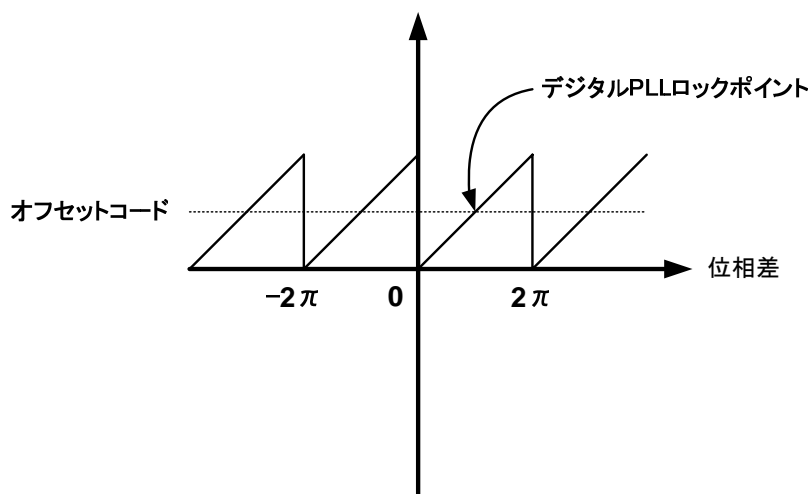


図 8-3-1- 13 ゲーテッド VCO を用いた位相比較器の入出力特性

図 8-3-1- 13 は、ゲーテッドVCOを用いた位相比較器の入出力特性である。この位相比較器では、基本的に位相遅れしか検出できない。また、出力コードは0以上であるので、オフセットコードを減算し、ゼロクロス点を作る必要がある。この場合のロックポイントは、VCOクロックに対して、VCOクロック半周期分遅れた点となる。

8-3-2. デジタル制御 VCO

デジタルPLLでは、フィルタ出力もデジタルコードであるので、VCOを制御するためには、DA変換器でデジタルコードをアナログ信号に変換して従来PLLと同様にアナログ信号でVCOを制御するか、図 8-3-2- 1 に示すように、多相出力可能なVCO(Nタップを仮定)の出力位相を時間的に変化させることにより擬似的にVCOの出力周波数が変化させるVCO周波数制御方法が考えられる。

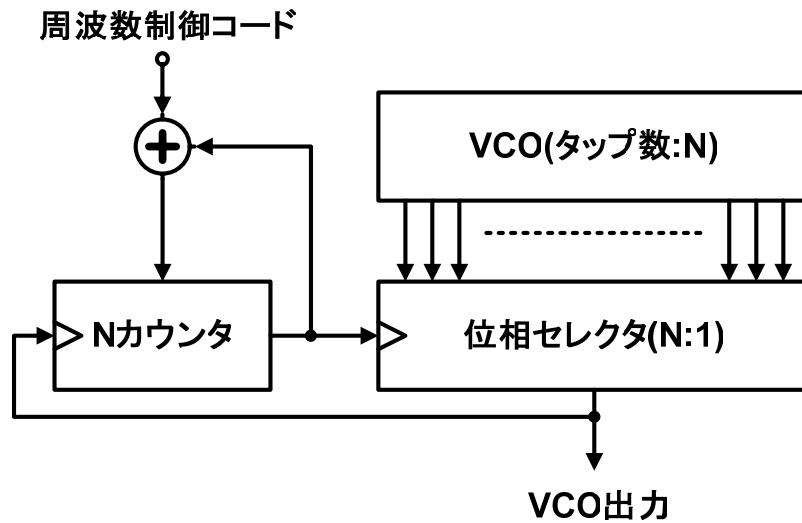


図 8-3-2- 1 デジタル信号のみで制御された VCO 回路の回路構成

図 8-3-2- 1 に示すように、Nタップ出力のVCOの出力位相位置を、VCOクロック毎に ΔN タップだけ遅らせた場合には、原発振周波数 f_{vco} の周期に比べて、 $(N + \Delta N)/N$ 倍の周期となる。従って、VCOの発振周波数を f_{vco} とすれば、位相セレクタからの出力周波数 f_{sel} は式(8.3.2)で与えられる。

$$f_{sel} = \frac{1}{\frac{1}{f_{vco}} \left(\frac{N + \Delta N}{N} \right)} = f_{vco} \left(\frac{N}{N + \Delta N} \right) \quad (8.3.2)$$

クロック毎に遅延または、先行できる最大タップ数は $\pm(N-1)$ であるので、図 8-3-2- 1 に示すデジタル制御VCOで可変できる理論的な周波数範囲は、 $(N/(2N-1))f_{vco}$ から、 Nf_{vco} である。ただし、周波数を高くする制御に関しては、タップを選択するための論理回路の遅延時間が、発振波の周期よりも短くなければならないという制約がある。従って、この手法は現実的ではない。すなわち、 $(N/(2N-1))f_{vco}$ から f_{vco} までが、実質的な可変範囲と考えることができる。また、いかにタップ数を多く取れるかが、VCOの高分解能化の鍵となる。この場合の位相ジッタは、発振周波数が実質的な発振範囲の中間付近の $2/3 \times f_{vco}$ とすれば、位相周期の $\pm 2/(3N)$ と計算される。

VCOのタップ数には限界があるため、さらにVCOの実質的な出力位相数を多くするためには、図 8-3-2- 2 に示すように、VCO出力位相を、さらに補間器を用いて、高分解補間する手法が考えられる。

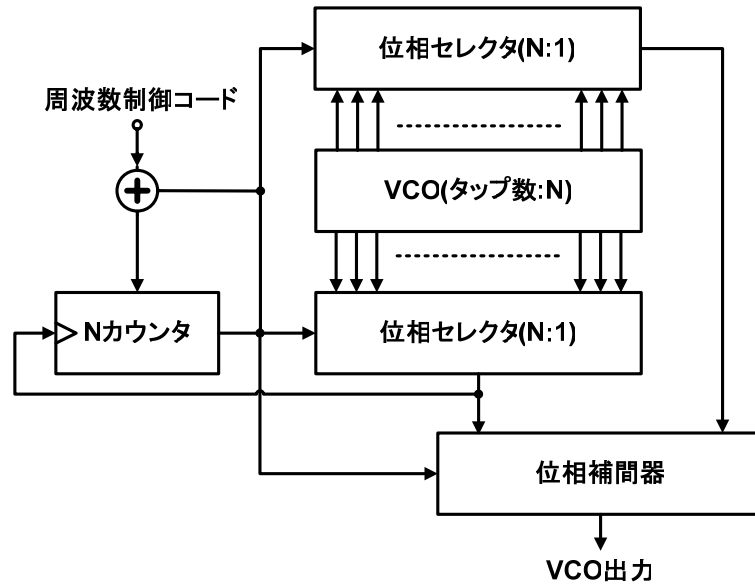


図 8-3-2- 2 VCO の出力位相数の向上手法

8-3-3. 周波数比較器

デジタル PLL において使用する位相比較器は、実質的には位相情報しか抽出できない。従って、デジタル位相比較器のみを用いてデジタル PLL を構成した場合には、周波数引き込み特性は従来のアナログ PLL より劣化してしまう。それゆえ、デジタル PLL では周波数比較器を別に設けて周波数引き込み特性を改善する必要がある。

周波数比較器には 第 5 章で説明したアンロック検出器を利用する方法がある。PLL において、アンロックであるということは、すなわち周波数がずれているということである。従って、図 5-1-1- 7 で説明したアンロック検出回路の出力に、図 8-3-3- 1 で示すように、アップダウンカウンタを接続する。すると、アンロック検出回路を周波数比較器として動作させることが可能である。

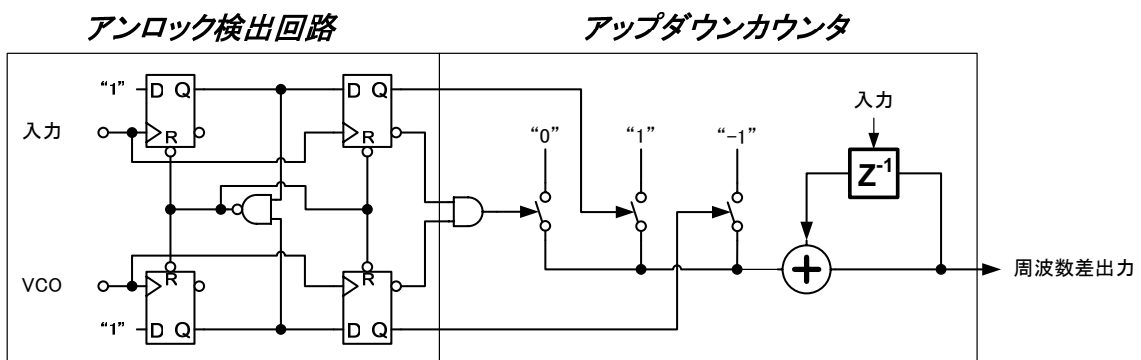


図 8-3-3- 1 アンロック検出回路を用いた周波数比較器

また、クロック抽出回路としてデジタルPLLを用いる場合には、アンロック検出回路が、データの歯抜けクロックのために誤動作してしまう。すなわち、図 8-3-3- 1 に示す周波数引き込み手法は使用できない。従って、その場合には、第 7 章で説明したローテーション位相比較器を用いる必要がある。

8-3-4. オフセット調整器

デジタル位相比較器の特性は、図 8-1- 2 に示すとおり、0 出力点で量子化値分の幅を持つ。また、図 8-3-1- 13 に示すデジタル位相比較器も、オフセットを持った位置でロックする特性を持っている。従って、入力クロック位相とVCOクロック位相を一致させるため、デジタルPLLにオフセット調整の機能を設ける必要がある。

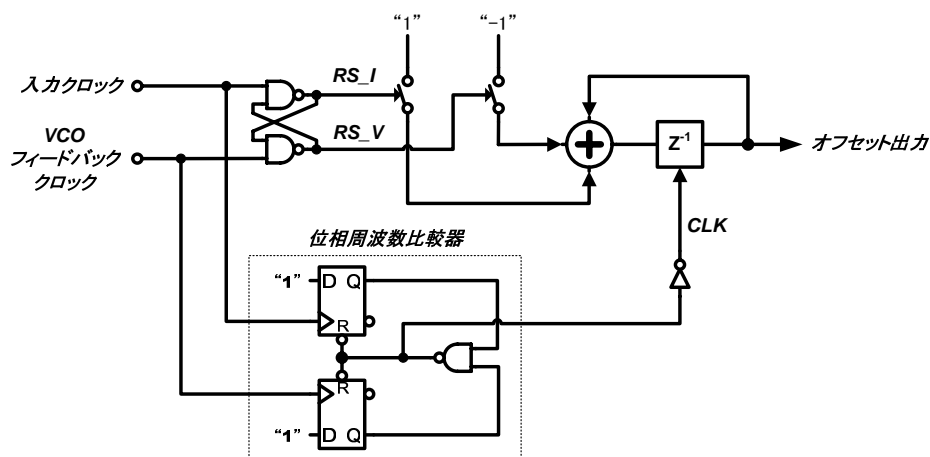


図 8-3-4- 1 オフセット調整のための位相比較器

図 8-3-4- 1 にオフセット調整のための位相比較器の回路構成を示し、図 8-3-4- 2 に、その動作タイミングチャートを、それぞれ示す。

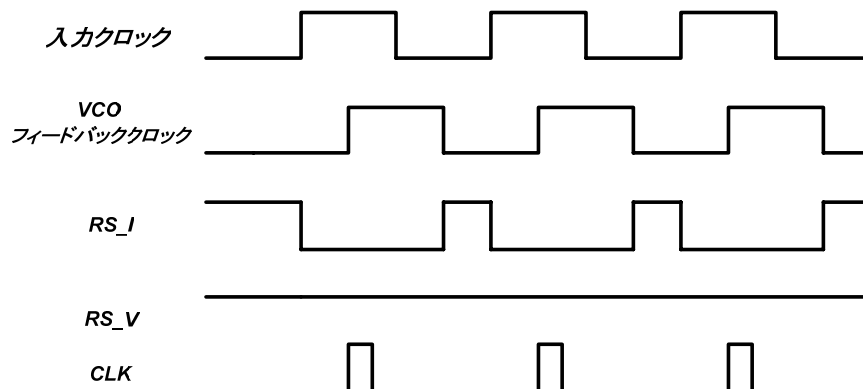


図 8-3-4- 2 オフセット調整のための位相比較器の動作タイミングチャート

RSフリップフロップは、入力クロックとVCOフィードバッククロックが両方とも” Low “の場合に、出力RS_IとRS_Vの両方が、” High “出力にリセットされる。そして、入力クロックが早く立ち上がったほうのNANDゲートの出力が、” Low “状態となる。他方の出力は、入力クロックにかかわらず、” High “出力に固定される。オフセット出力を積分する更新クロックには、位相周波数比較器のリセットパルスを利用している。すなわち、図 8-3-4-2 に示すタイミングチャートでは、RS_IとRS_Vが、両方Highの場合に、加算器の出力は 0 となる。RS_IあるいはRS_Vのどちらか一方が、” Low “状態となった場合には、オフセット値が出力され、位相周波数比較器のリセットパルスで出力値が積分され、更新される。

8-4. デジタル PLL のシミュレーション結果

以上、8-1 節から 8-3 節までの議論を、シミュレーションによって検証する。まず、基本的なループ応答特性を検証する。

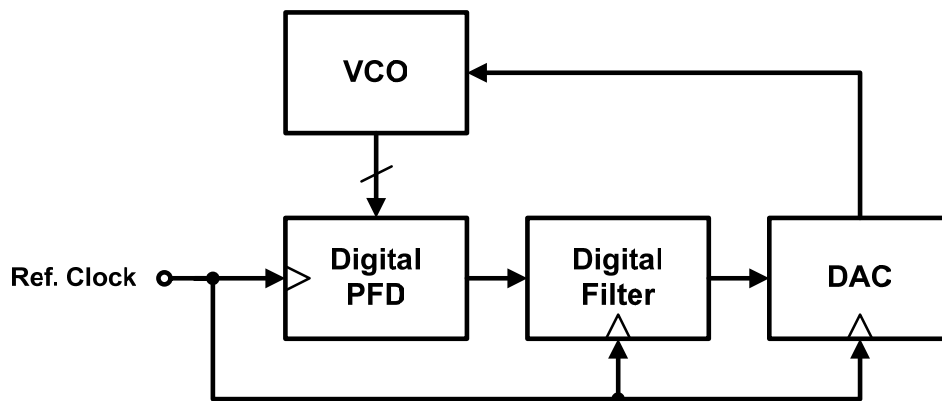


図 8-4-1 ループ応答特性の検証に用いた PLL ブロック図

図 8-4-1 に、シミュレーションに用いたデジタルPLLのブロック図を示す。まず、DAC解像度とデジタル位相比較器の解像度は無限大とし、フィルタのみを離散化した。デジタルフィルタは、図 8-2-1-3 に示すデジタルフィルタ構成を用い、 $b=9$ とした。その他のパラメータは、入力信号周波数を 10kHz、ループバンド幅は式 (8.2.5) を満足する値とし、1024Hzと設定している。

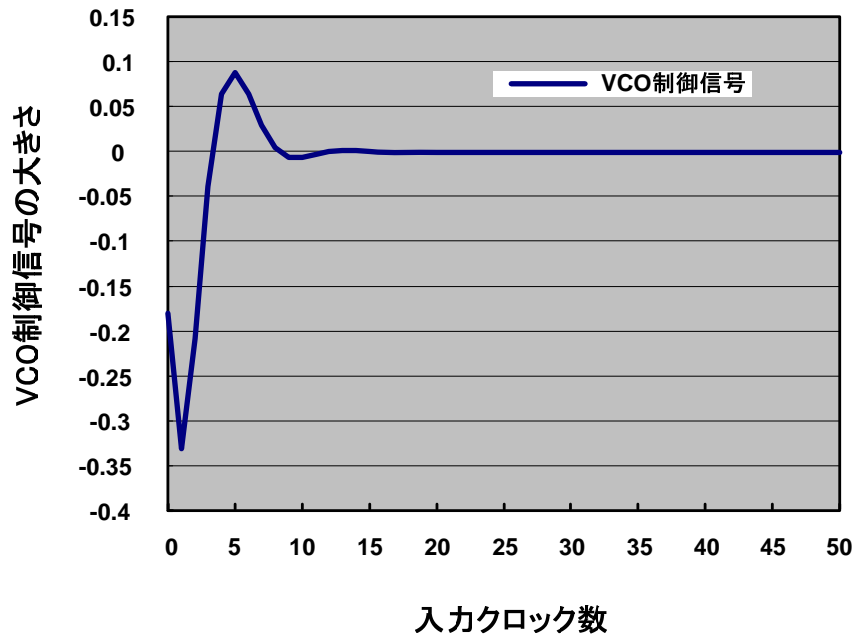


図 8-4-2 デジタル PLL シミュレーション結果

シミュレーションは、MicroSoft 社の Excel と Visual Basic を用い、PLL のシミュレーションプログラムを作成し、実行させている。

図より、デジタルPLLはアナログフィルタと同様な応答特性を示し、8-2節の変換法の有効性が証明された。次に、図 8-4-1 に示すデジタルPLLのブロックで、DACの解像度を有限ビットにした場合に、式(8.1.7)の妥当性についてシミュレーションとの整合性から検討を行った。

表 8-4-1 許容位相誤差 0.1%の設定の場合の最大位相誤差(シミュレーション結果)

VCOゲイン/ ω_n	必要DAC解像度[1Vあたり]	最大位相誤差シミュレーション結果[%]
0.977	7.05	0.069
1.954	8.05	0.069
4.881	9.37	0.080
9.760	10.36	0.085
19.520	11.36	0.085
48.800	12.68	0.115
97.591	13.68	0.098

この場合、位相比較器で生じる最大の位相誤差を入力クロック周期の 0.1%とし、VCOゲインとループバンド幅の比を変化させて、シミュレーションにより発生する最大位相誤差を求めた。シミュレーション結果では、最大位相誤差は 0.07%から 0.12%と計算され、式(8.1.7)と良い一致を示すことがわかる。

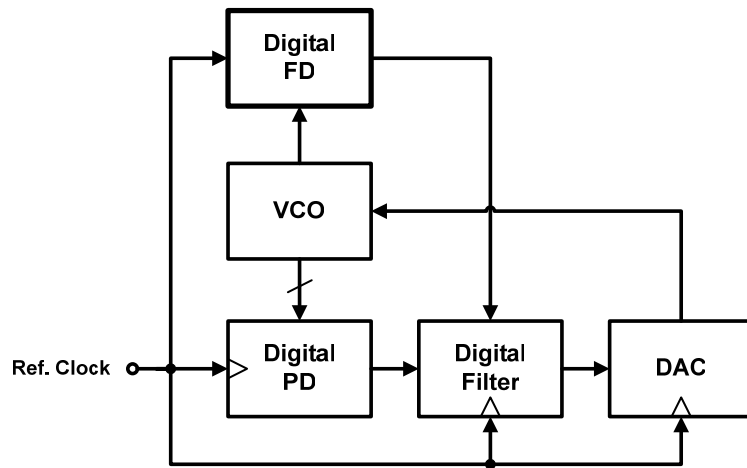


図 8-4-3 デジタル周波数比較器を備えたデジタル PLL の構成

次に、8-3-3 節で述べたデジタル周波数比較器の効果について検証する。図 8-4-1 に示した、基本的なデジタル PLL の構成では、デジタル位相比較器に周波数比較機能がない。すなわち、プルインレンジの狭い PLL しか実現できない。従って、図 8-3-3-1 に示すデジタル周波数比較器を備えたデジタル PLL (図 8-4-3 参照) を、図 8-4-1 に示す PLL と同様にシミュレーションし、周波数引き込み特性の改善効果を検証した。

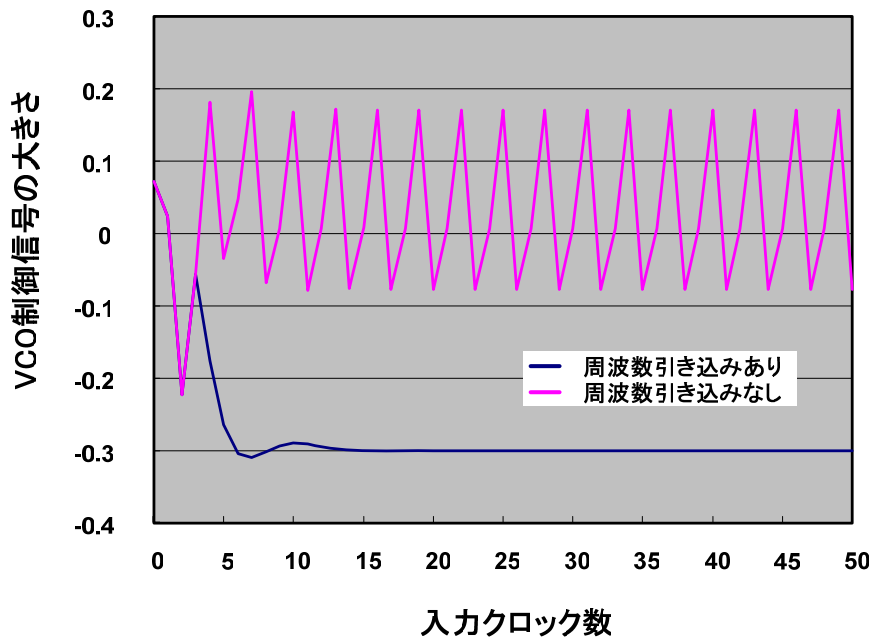


図 8-4-4 周波数比較器の引き込み特性の効果検証シミュレーション

図 8-4- 4 に周波数比較器を用いた場合と、用いない場合での周波数引き込み特性の比較結果を示す。この場合、入力信号周波数を 10KHzとし、VCO初期周波数を 7KHzと
している。周波数比較器を用いない場合には、PLLはロックできないのに対して、周波数
比較器を用いた場合にはPLLはロックできるようになっている。従って、周波数比較器
の有効性が確認できた。

図 8-4- 5 には、ゲートドVCOを用いたデジタル位相比較器を使用したPLLの
シミュレーション回路ブロックを示す。シミュレーション環境は、Cadence社製のアナログ
回路シミュレータAnalog Artist上に構築している。

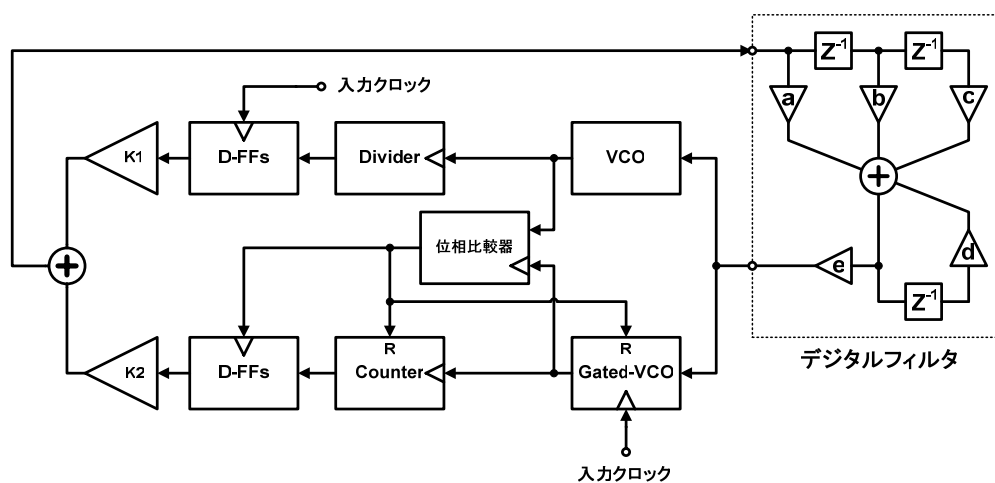


図 8-4- 5 シミュレーションに用いた回路ブロック図

表 8-4-2 ゲートッドVCO 位相比較器を有するデジタル PLL 設計パラメータ

PLLパラメータ	設定値	
入力信号周波数	1.5625	[MHz]
VCOゲイン(分周後)	1.0	[MHz/V]
VCO周波数	25.0	[MHz]
ゲートッドVCO周波数比	1.1	[VCO周波数]
分周器分周数	16	
PLLループバンド幅	160.1	[KHz]

PLLの設計パラメータを、表 8-4-2 に示す。また、デジタルフィルタの係数は、図 8-2-1-3 において $b=9$ を選択する。すると、図 8-4-5 に示すデジタルフィルタの係数、 a から e の値は、それぞれ、 $a=10, b=2, c=-8, d=1, e=0.056$ となる。また、図 8-4-5 の K_1 および K_2 は、カウンタ値を規格化し、フィードバックループを形成するため、符号を反転して、 $K_1=-1/16$ 、 $K_2=-1/160$ と設定する。

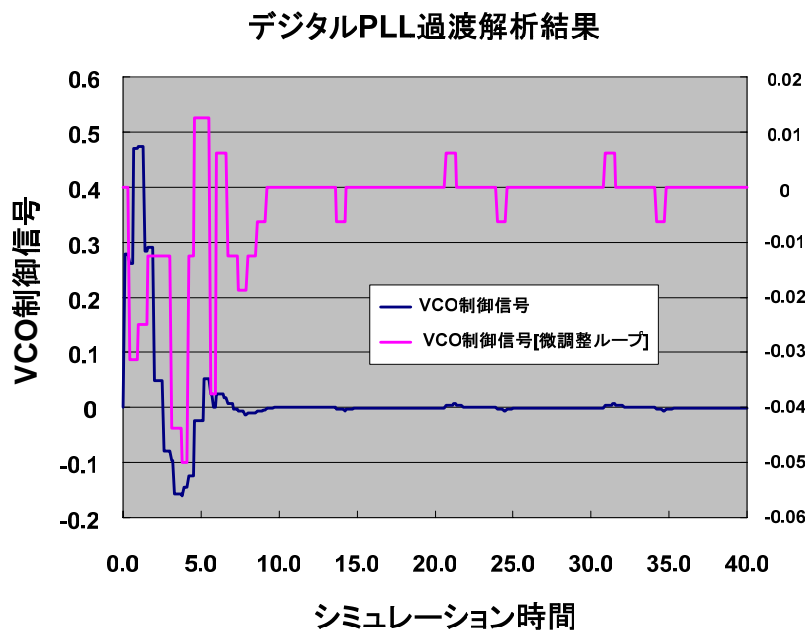


図 8-4-6 デジタル PLL シミュレーション結果

図 8-4-6 に、デジタルPLLのシミュレーション結果を示す。VCOの制御信号の応答は、アナログPLLの応答と大差なく、良好な応答特性を示していることがわかる。また、ゲーテッドVCOを用いた位相比較器の出力制御信号も、同様に収束している。従って、位相比較器が正常に動作していることがわかる。

8-5. 高精度位相発生技術

デジタルPLLの実現のためには、PLLと入力信号の位相差を高精度にデジタル変換する必要がある。従って、電圧制御発振器は、できるだけ微小な位相情報を発生できることが望ましい。本節では、発振器より微細化された位相情報を出力させるための原理を述べ、さらに、新規のリング結合型発振器を用いてインバータチェーン発振器の出力位相が高精度に補間され出力できることを明らかにする。

8-5-1. 差動回路による位相補間方式

LSIで微小な位相情報を発生しようとする場合、従来は、図 8-5-1-1 に示すように、インバータチェーンを用いた位相信号発生回路が用いられてきた。しかしながら、デジタルPLLの高精度化、低ジッタ化のためには、インバータの1ゲート遅延より短いタイミング制御が求められる。従って、新たな回路形式によるタイミング生成が必要である。

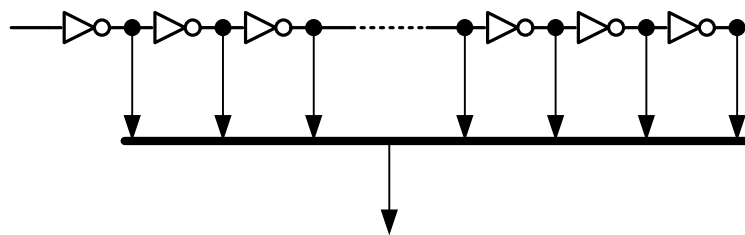


図 8-5-1-1 インバータチェーンによる WTST 回路

インバータ遅延よりも短いVCO位相出力を実現するためには、VCO出力位相を補間する必要がある。これまでに知られている位相補間の方法としては、図 8-5-1-2 に示すように、差動増幅器とフィルタを用いるものと、複数のインバータチェーンを結合させる方法がある [7-8]。

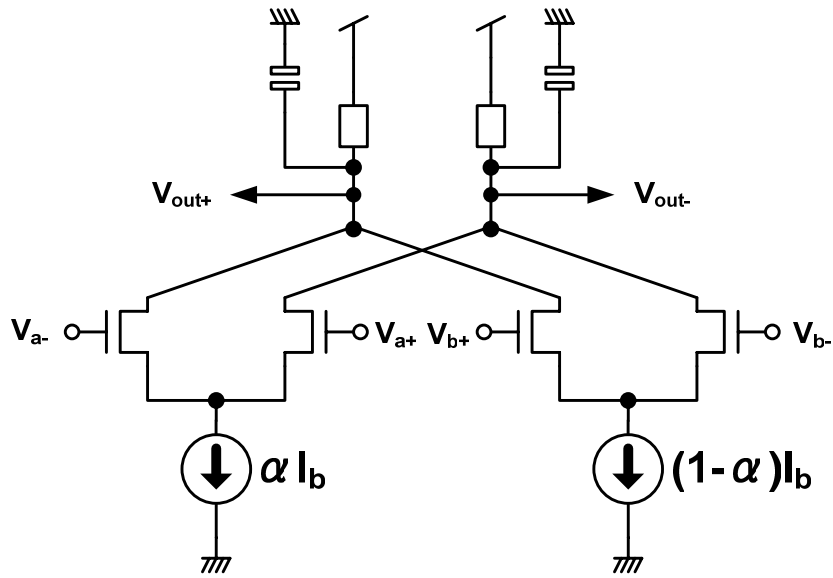


図 8-5-1-2 差動増幅器とフィルタを用いた位相補間器

差動増幅器とフィルタを用いた位相補間器では、補間する信号の周波数に応じて、用いるフィルタの時定数を変更する必要があるため、PLLのように使用する信号周波数のレンジが大きく変化する場合には、時定数の大きいフィルタを用いなければならない。したがって回路面積が大きくなってしまいう問題が生じる。また、一度に多数の位相情報を取り出す場合には、多数の位相補間器が必要となり回路面積が増大する。結果的にレイアウトも困難となり、高精度な位相情報を取り出すことも困難になると考えられる。

8-5-2. VCO による位相補間方式

一方、リング発振器を用いた位相補間方式では、補間する信号の周波数が大きく変化した場合でも、発信器の動作レンジが広いこと、確実に位相を補間することが可能である。さらに、フィルタ等の、大面積を必要とする素子も必要としない。すなわち、デジタルPLLの高分解能VCOへの応用を考えた場合、リング発振器を用いた位相補間方式のほうが、適していると考えられる。リング発振器を用いた位相補間方式としては、図 8-5-2-1 に示すManeatisらの方法が知られている [8]。

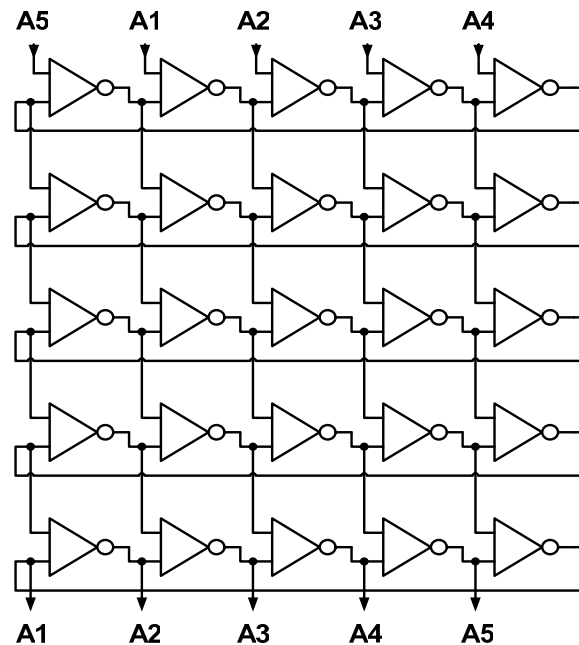


図 8-5-2-1 Maneatis らによる VCO の位相補間方式

ManeatisらのVCOの結合方式は、複数のインバータリング発振器をアレイ状に配置し、1つのリング発振器の出力を、次のリング発振器に入力し、リング発振器の出力を結合させるというものである。この方式は、理想的な状態では、リング発振器の出力を補間することが可能である。例えば、 m 段のインバータリング発振器を、 n 個結合させたとすれば、各々のインバータ出力が微妙にずれることにより、発振周期を $m \times n$ 分の1に分割することが可能である。実際には、アレイ状にインバータリング発振器レイアウトをした場合、各インバータに寄生する容量を均一にしなければ、均等に発振周期を分割することはできない。従って、図 8-5-2-2 に示すように、インバータ発振器は、寄生容量を均一に保つため、

インバータリングを入れ子状にレイアウトする必要がある。

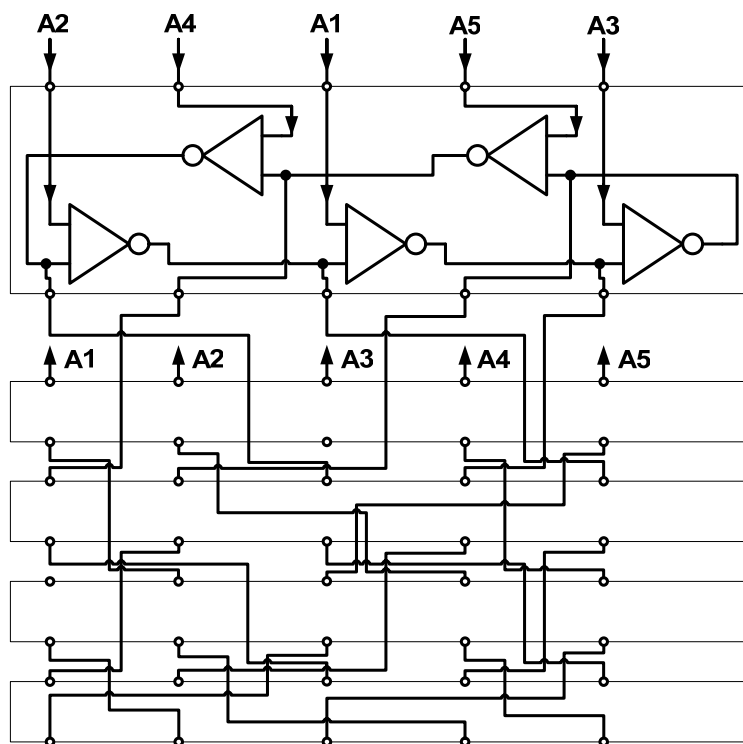


図 8-5-2- 2 入れ子構造に配置した場合の結合されたインバータチェーン VCO 回路

しかしながら、たとえインバータチェーンを、入れ子構造で配置した場合であっても、図 8-5-2- 2 を見れば明らかであるように、配線構造はかなり複雑となる。すなわち、現実的には、各インバータに均一な寄生容量を与えることは難しい。従って、各インバータチェーンに、均一な寄生容量を与えられるような VCO 回路の結合方法を新たに考案する必要がある。

8-6. 新方式 VCO 位相補間手法

まず、新方式の結合型リング発振器の位相補間原理から説明する。

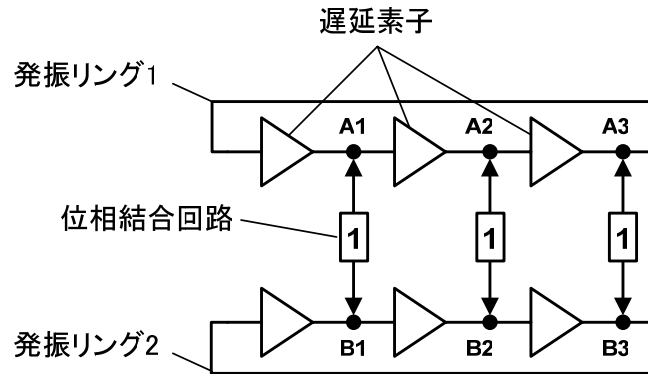


図 8-6-1 位相結合回路によるリング発振器の結合 (その 1)

図 8-6-1 に、位相結合回路によるリング発振器の結合法の概念を示す。図のように位相結合素子を用いて、発振リング 1 と発振リング 2 を結合させた場合には、A1 と B1、A2 と B2 および A3 と B3 が、同一位相で発振するように位相結合が行われる。ここで、説明を簡単にするために、位相結合素子は同一位相で位相を結合させることを仮定する。また、遅延素子の入出力位相も同一位相であると仮定している。

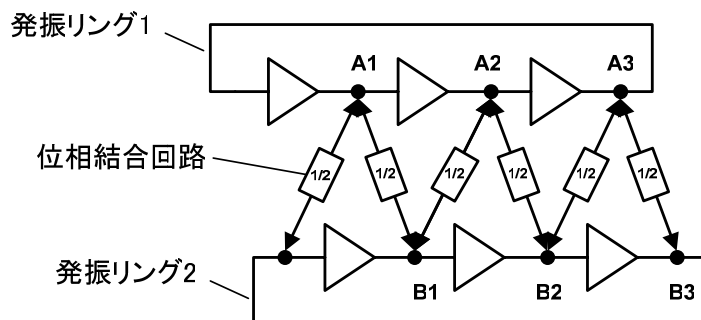


図 8-6-2 位相結合回路によるリング発振器の結合 (その 2)

次に、図 8-6-2 に、位相結合回路により、A1 と B1 の位相を $1/2$ 、A2 と B1 の位相を $1/2$ の大きさに結合させる。すると B1 の位相は、A1 と A2 の中間の位相で、位相が結合される。この位相補間の概念は、発振リングの多重結合に拡張可能である。

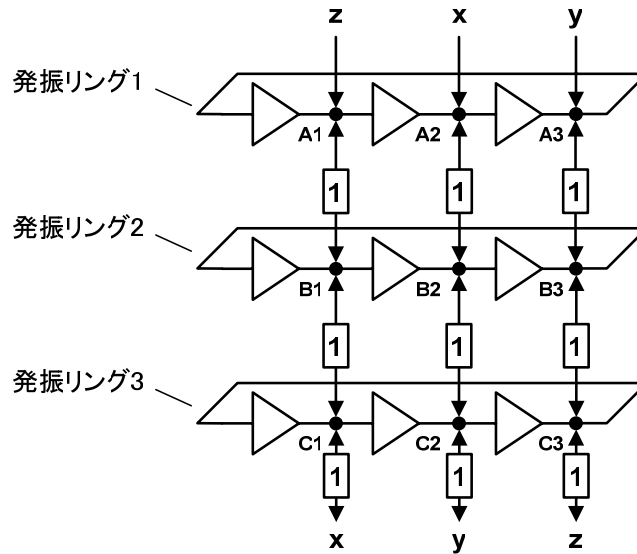


図 8-6-3 多重リング発振器への位相結合の拡張法

図 8-6-3 に、位相結合回路の多重リング発振器への適用法を示す。すなわち、位相結合回路の結合を、発振リング 1 から出発して、発振リング 1 に戻る毎に、遅延素子 1 段分ずらした箇所に結合させる。すると、発振リング 2 の B1 および発振リング 3 の C1 は、A1 と A2 の位相のそれぞれ、 $\frac{1}{3}$ と $\frac{2}{3}$ の位相を補間するように、位相結合して発振する。一般に、このように、 n 段の発振リングを m 個、位相結合回路を用いて多重結合させた場合には、遅延素子の間の位相を m 分割することが可能となる。従って、それぞれの発振リングの遅延素子の出力を取り出すことにより、 $n \times m$ 個の位相出力を得ることができる。

次に、図 8-6-3 に示す多重リング結合発振器のトポロジーを変更し、位相結合回路をリング状に配置し、その周囲に発振リング 1 から 3 を多重リング状に配置して、位相結合回路のリングに結合させるトポロジーとする。このトポロジー変更により、多重リング結合発振器の出力が容易に取り出せるようになると同時に、同一セルを用いたシステムティックなレイアウト手法が実現される。

図 8-6-4 に、新方式の結合型リング発振器の、回路トポロジーを示す。新方式の結合型リング発振器では、説明したように、位相結合回路をリング状に配置し、その周囲をいくつかのリング発振器が取り囲む構成をとる。

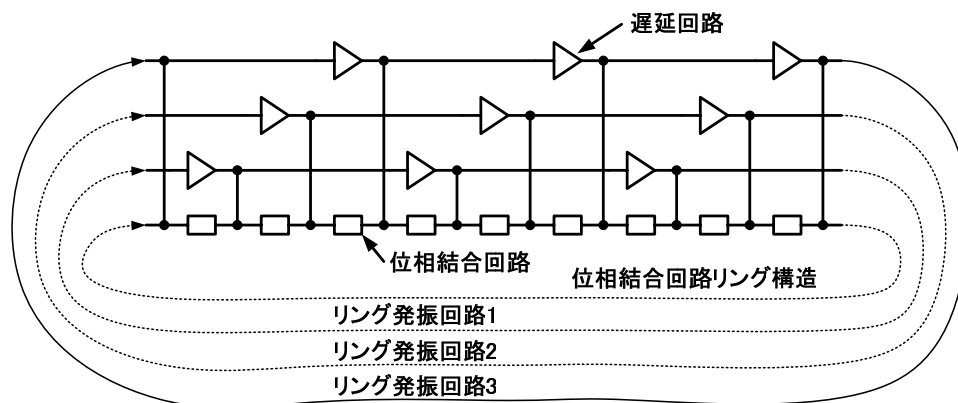


図 8-6-4 新方式結合型リング発振器 (概念図)

それぞれのリング発振器は、位相結合回路のリング構造毎に、別々の箇所で接続している。位相結合回路のリング構造は、いわゆる弱い位相結合を実現しており、リング発振器は強い位相結合を実現している。したがって、結合型リング発振器の発振周波数はリング発振器で決定されるが、リング発振器相互の位相関係は、位相結合素子のリング構造が決定する。従って、図 8-6-4 に示す新方式結合型リング発振器では、位相結合素子の数の分だけ、リング発振器の位相を分割することが可能である。

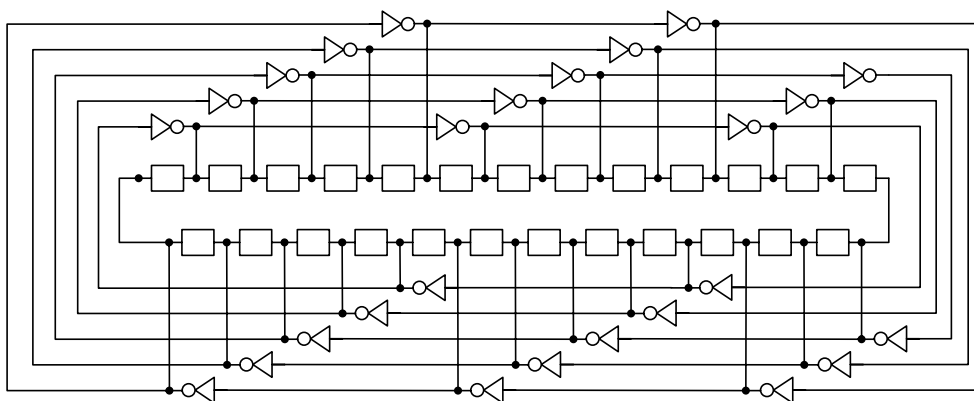


図 8-6-5 実際の結合型リング発振器の回路構造

実際の結合型リング発振器の回路構造を、図 8-6-5 に示す。また、位相結合回路の回路構造を、図 8-6-6 に、それぞれ示す。

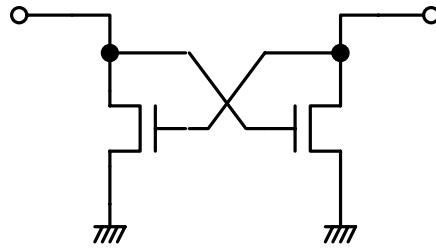


図 8-6-6 位相結合回路の回路構造

結合型リング発振器をできるだけ小型に作成するために、VCO 回路は差動構成よりもシングルエンド構成をとるほうがよい。従って、リング発振器と位相結合リングは、ともに奇数段構成となる。

位相結合回路は、図 8-6-6 に示すように、NMOSトランジスタのみで実現できる正帰還構成のラッチ回路が、位相結合回路を最も小型に実現できる。

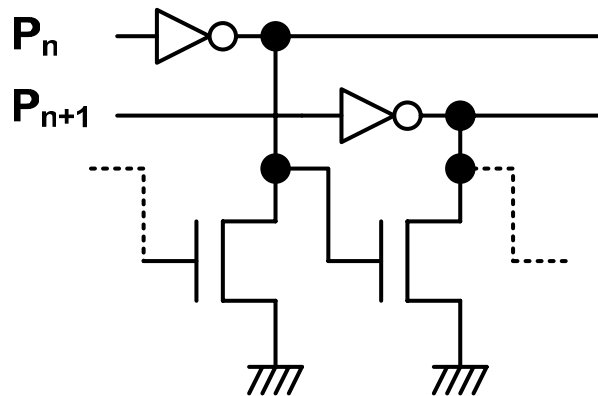


図 8-6-7 リング発振器の NMOS フォワード結合

次に、位相結合の原理について、解説する。図 8-6-7 に示すように、まず、リング発振器を NMOS トランジスタでフォワード結合させた場合について考える。

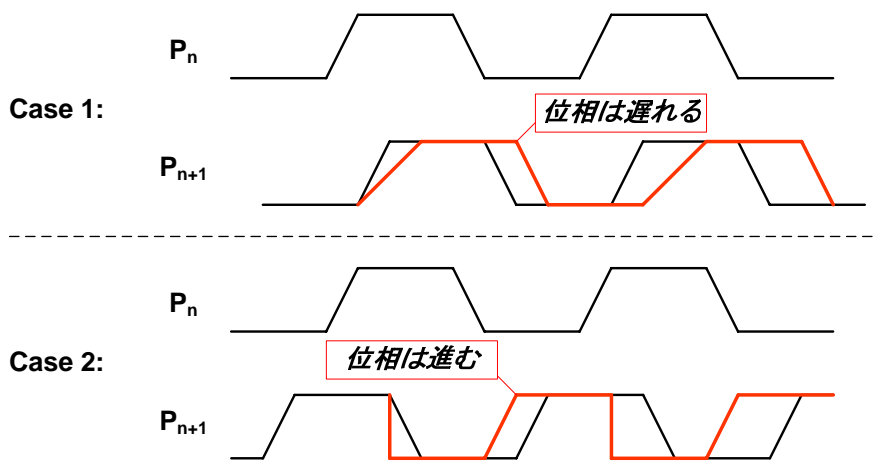


図 8-6-8 NMOS フォワード結合の場合の位相結合状態

まず、図 8-6-8 のケース 1 に示すように、リング発振器 P_n のハイ出力期間に、リング発振器 P_{n+1} のハイ出力期間がある場合について考える。この場合、NMOS トランジスタによって P_{n+1} の立ち上がりが緩和されるので、 P_{n+1} の位相が遅れることがわかる。また、ケース 2 のように、リング発振器 P_n のハイ出力期間に、リング発振器 P_{n+1} のロー出力期間がある場合では、逆に P_{n+1} の立下りは促進されるため P_{n+1} の位相が進むことがわかる。

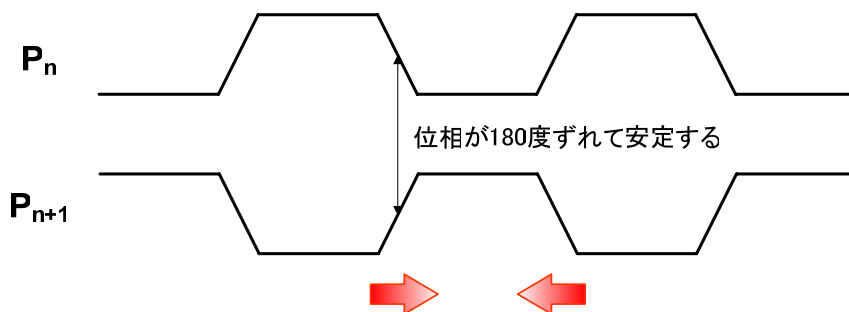


図 8-6-9 NMOS フォワード結合の場合の位相安定点

従って、 P_n と P_{n+1} の位相の安定ポイントは、図 8-6-9 に示すように P_n と P_{n+1} が 180 度ずれた位相となる。

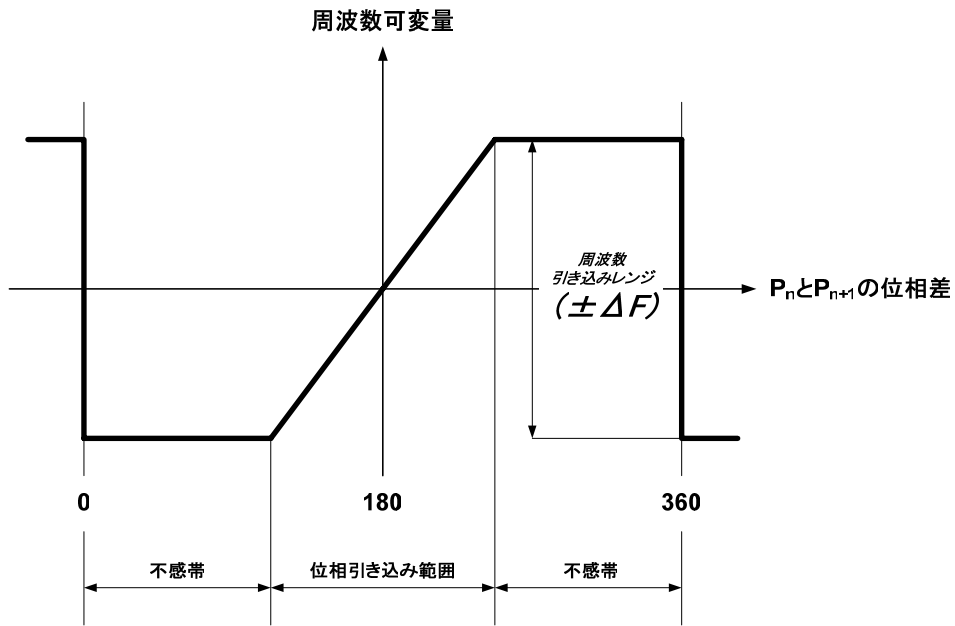


図 8-6-10 リング結合での周波数引き込み特性

図 8-6-10 にNMOSフォワード結合リングでの周波数引き込み特性を示す。位相引き込み範囲において結合されたリングの周波数を一致させることが可能である。すなわち、この場合の周波数引き込みレンジは $\pm \Delta f$ となる。

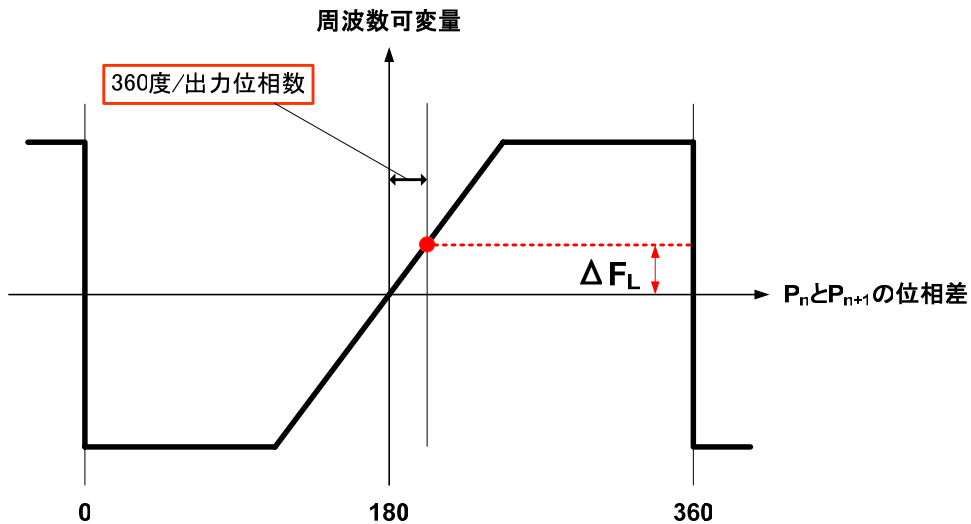


図 8-6-11 リング結合発振器のロック点

図 8-6-11 にリング結合発振器のロック点を示す。ロック点は180度から360度÷出力位相数だけ遅れた地点となり、ロック周波数は ΔF_L だけリング発振器の周波数より高くなる。

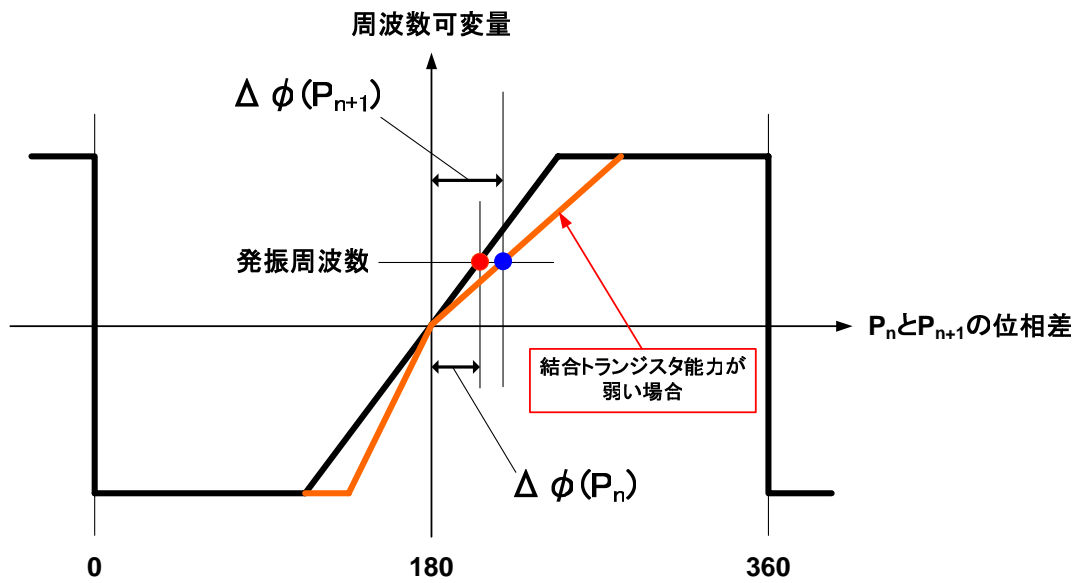


図 8-6- 12 位相結合トランジスタの能力ばらつきの影響

図 8-6- 12 にロック点と位相結合トランジスタの能力ばらつきの影響を示す。位相結合トランジスタの能力ばらつきの影響は、位相と周波数可変量の傾きを変化させ、ロック点の位相を増減させるが、符号を変える影響はないことがわかる。すなわち、結合の位相順を、変動させることがないことがわかる。

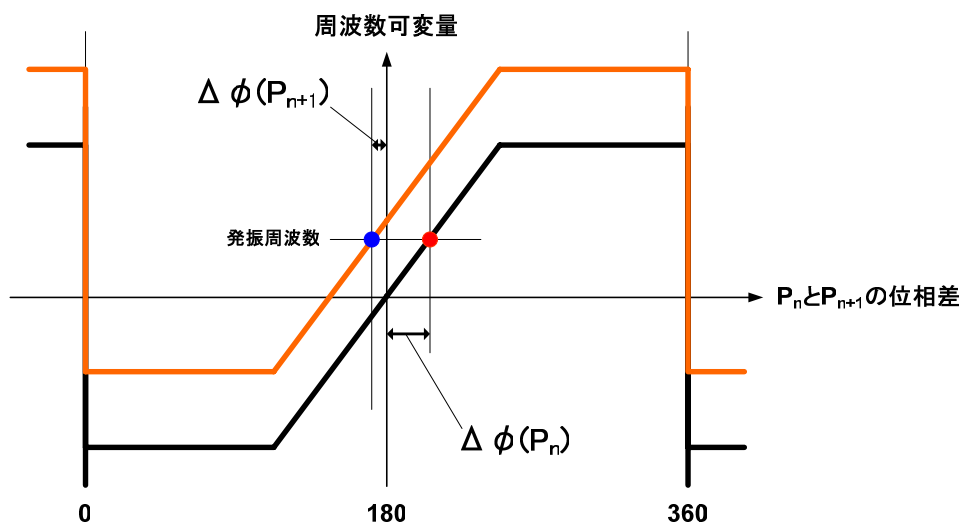


図 8-6- 13 結合リングの発振周波数ばらつきの影響

次に、結合リングのそれぞれの自走発振周波数がばらついた場合の影響について考察する。周波数差がある場合、周波数引き込み特性は、図 8-6- 13 に示すように周波数可変

量にオフセットが生じる従って P_{n+1} の周波数ロック点がマイナスの方向にシフトする場合が生じ、結果的に位相結合の位相順に狂いが生じる場合も発生する。位相補間が正常に動作するためには、図 8-6-10 に示す周波数引き込みレンジと、位相引き込み範囲の両方が大きいことが必要である。周波数引き込みレンジは、位相結合の能力が大きければ大きくなる。また、位相引き込み範囲は、発振波形の立ち上がり点と、立ち下がり点の遷移範囲の大きさと、ほぼ一致する。

ここで、位相結合のための NMOS トランジスタの能力を大きくすると、周波数引き込みレンジ(Δf)は大きくできるが、位相引き込み範囲は、波形の立ち下がりが促進され、立ち上がりが緩和されるため、位相結合のプラス側の引き込み範囲が狭くなり、マイナス側の引き込み範囲が拡大される。従って、線形領域が狭くなってしまふ。もし、位相ロック点が、位相引き込み範囲をはずれると、位相結合リングの位相補間特性が著しく劣化すると考えられる。従って、NMOS フォワード結合で位相結合能力を向上させる方法には限界がある。

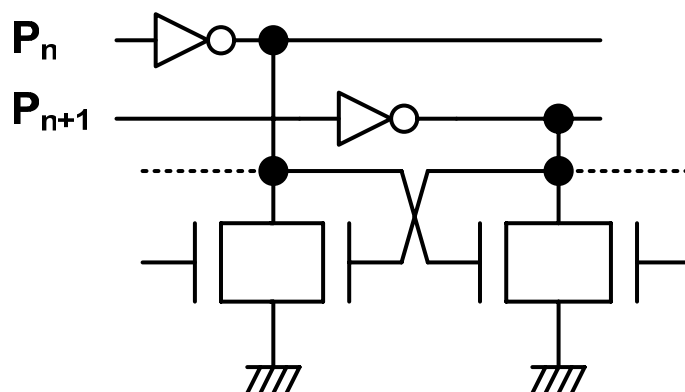


図 8-6-14 リング発振器の NMOS ラッチ結合

そこで、図 8-6-14 に示すように、結合をフォワード型から、NMOSラッチ結合に変化させた場合について考察する。NMOSラッチ結合にした場合、相互に周波数を引き込む能力が生じるため、周波数引き込み範囲がほぼ 2 倍に拡大することは、容易に推測できる。次に、位相引き込み範囲について考察する。

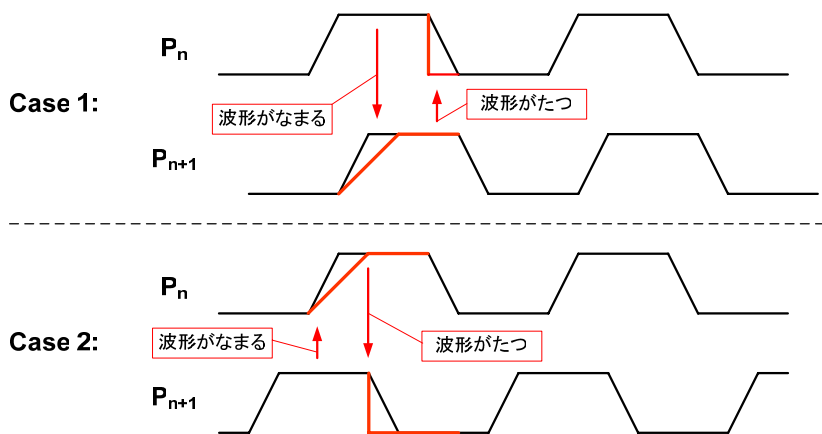


図 8-6-15 ラッチ結合の場合のリング発振器の波形

図 8-6-15 にラッチ結合の場合の、リング発振器の波形を示す。図に示す、ケース 1 とケース 2 の両方の場合で、波形がなまる効果と波形が立つ効果の両方が生じる、従って、自走発振波形の場合と同程度の位相引き込み範囲が維持される。すなわち、ラッチ結合の場合には、周波数引き込み範囲は 2 倍となるが、位相引き込み範囲は、ほぼ変化しないか不感帯が減るようになると考えられる。

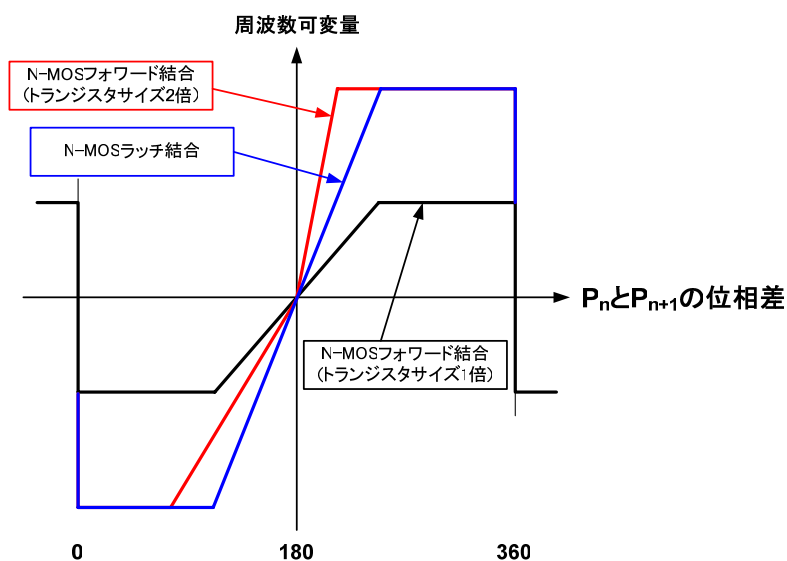


図 8-6-16 ラッチ結合とフォワード結合での特性比較

図 8-6-16 に、ラッチ結合とフォワード結合の場合の、周波数引き込み特性の比較を示す。NMOSフォワード結合で、トランジスタサイズを 2 倍にしたものと、NMOSラッチ結合はほぼ同じ周波数引き込み範囲を実現するが、NMOSラッチ結合のほうが、位相引き込み範囲が広い。従って、NMOSラッチ結合のほうが、位相結合回路として優れているといえる。

本結合型リング発振器の回路構成の利点は、回路レイアウトが非常に簡単であるという点である。図 8-6-17 と 図 8-6-18 を用いて、結合型リング発振器のレイアウト方法を述べる。以下では話を簡単にするために、インバータチェーンの個数と段数をともに 3 とした 9 相出力の結合型リング発振器のレイアウト方法について解説する。

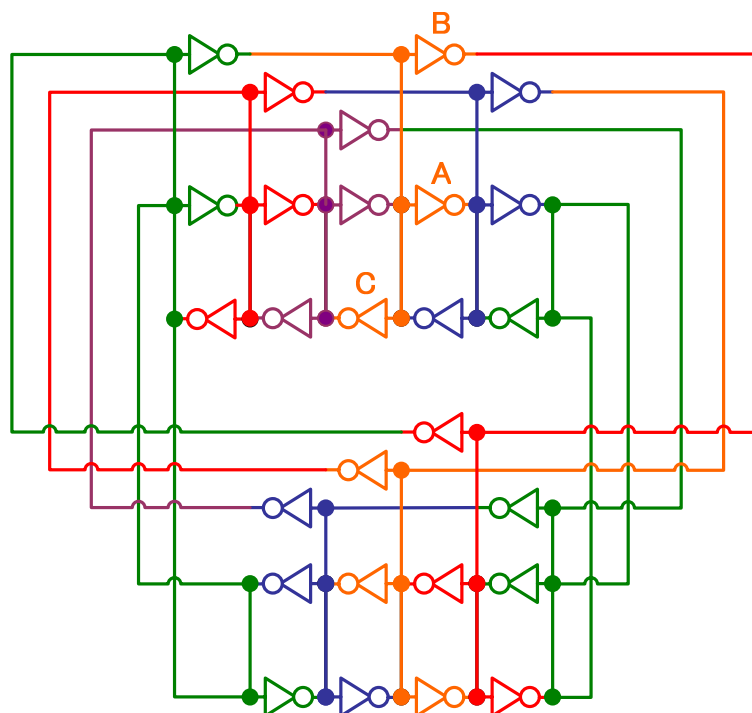


図 8-6-17 結合型リング発振器の単位セル構成

本結合型リング発振器では、共通ゲートを持つトランジスタを、単位セルとして用いることが可能である。すなわち、いかなる出力位相を持つ結合型リング発振器を、レイアウトする場合でも、同じ単位セルを用いてレイアウトを構成することが可能である。図 8-6-17 に示すように、色分けされた共通ゲートを持つトランジスタを、単位セルとする。すると、図 8-6-18 に示す単位セルを、図 8-6-19 に示すように配置することにより、システマチックに、結合型リング発振器を実現することが可能となる。

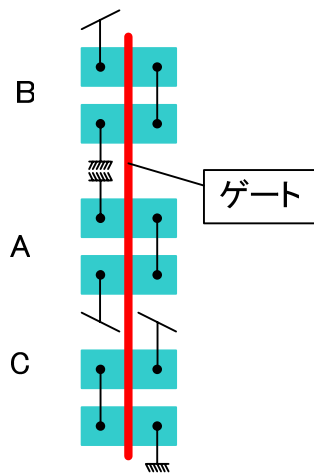


図 8-6-18 結合型発振器の単位セルレイアウト

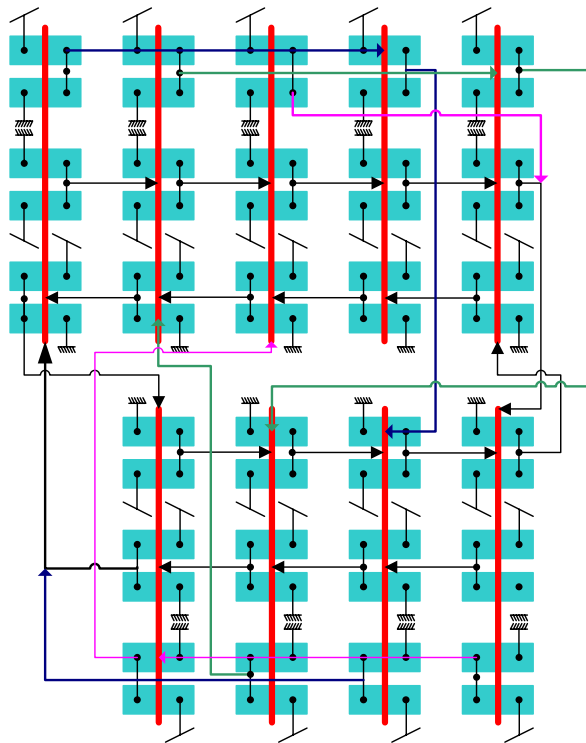
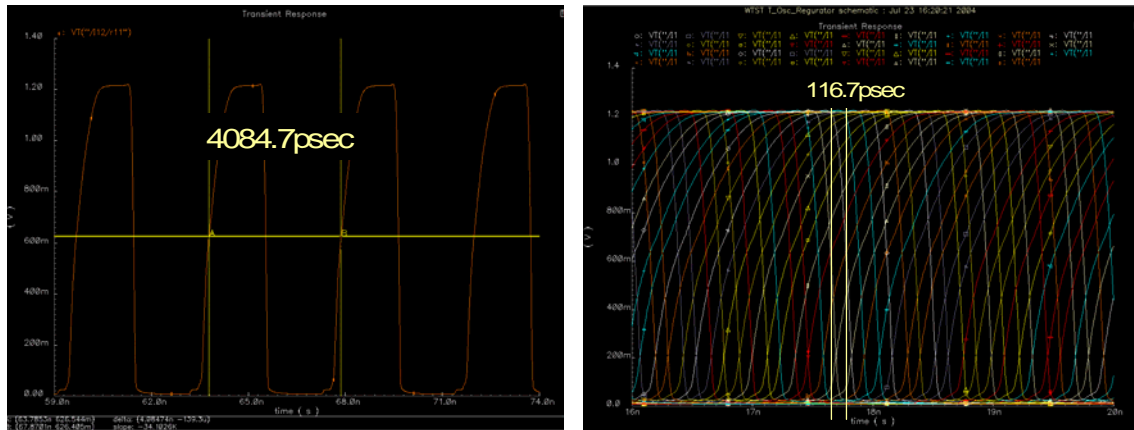


図 8-6-19 単位セルレイアウトを用いた結合型発振器のレイアウト

8-7. シミュレーション結果

図 8-7-1 に結合型リング発振器のシミュレーション結果を示す。



(a)単相出力波形

(b)全(35相)出力波形

図 8-7-1 7 段リング発振器を 5 重結合した結合型リング発振器のシミュレーション結果

この場合の発振器は、7 段リング発振器を 5 重結合したものを使用している。図 8-7-1(a)にリング発振器の単相出力波形を示し、図(b)に全ての位相信号出力波形を、それぞれ示す。図(b)より明らかなように、全ての位相信号が均等に位相分割されて出力されているのがわかる。

実際に製作したVCO回路は、さらに位相分解能を向上させ、63 相出力とした。63 相出力VCOは、9 段リング発振器を 7 重結合させることにより実現した。図 8-7-2 に、63 相出力VCOの回路構成を示す。

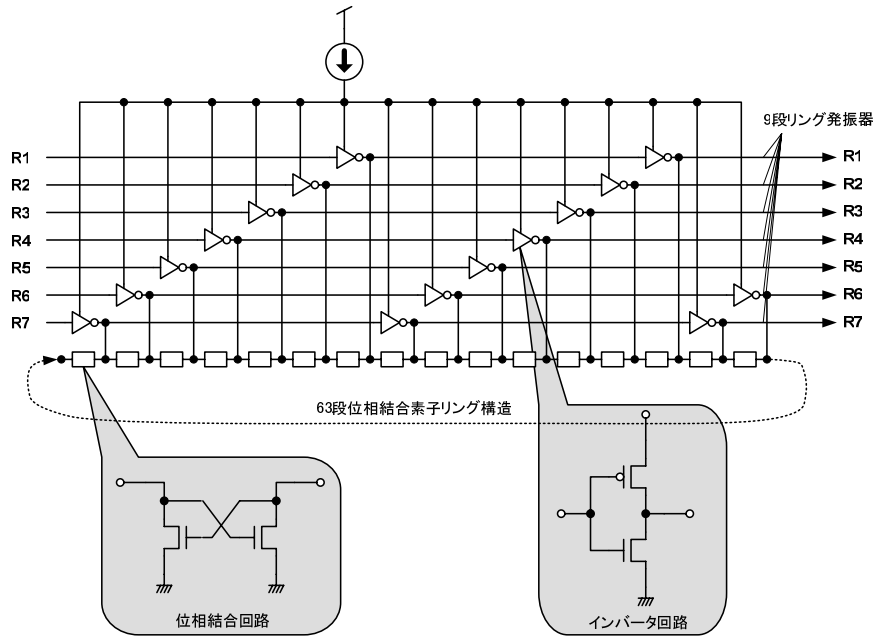


図 8-7- 2 63 相出力結合型リング発振器の回路構成

図 8-7- 2 に示した結合型リング発振器は、インバータに供給する電流を可変させることにより、発振周波数を変化させる。このタイプのリング発振器は、供給する電流量によってインバータの発振振幅が変化するため、電源レベルで出力するためには、振幅変換用の差動バッファが必要となる。

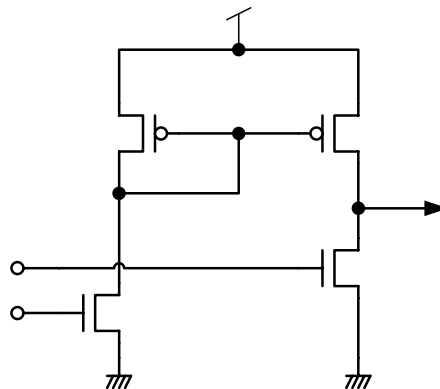


図 8-7- 3 VCO 出力増幅のための差動バッファ回路

図 8-7- 3 は、VCO出力信号を電源レベルに増幅するための、差動バッファ回路である。図 8-7- 4 は、9 段リング発振器を 7 重結合した 6 3 相出力結合型リング発振器と、図 8-7- 3 の差動バッファ回路を 63 個、0.09umCMOSプロセスを用いてレイアウトした結

果を示している。

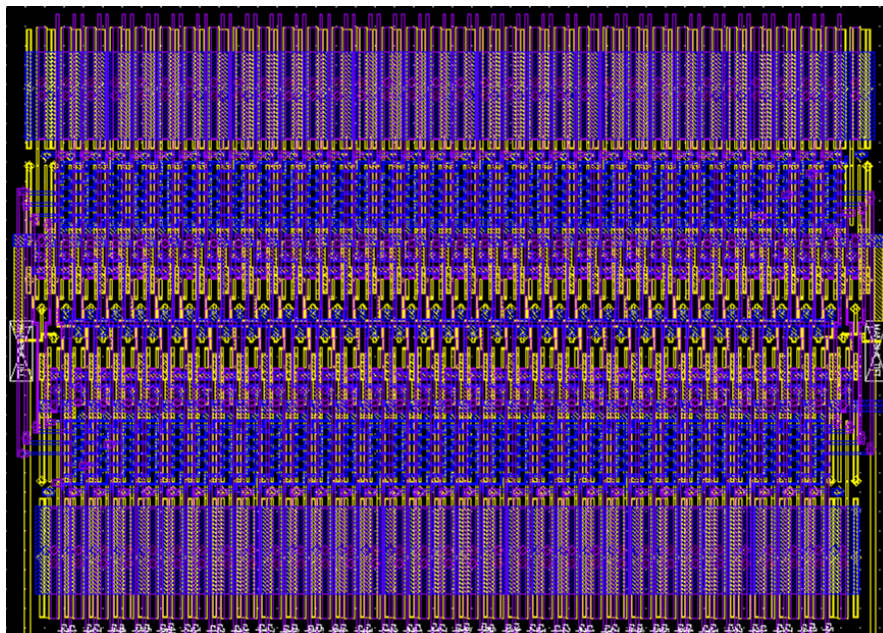


図 8-7- 4 63相出力結合型リング発振器と差動バッファ回路レイアウト

図 8-7- 4 に示す結合型リング発振器の寄生容量を抽出し、発振出力を過渡解析し、出力位相のばらつきを調べた結果を図 8-7- 5 に示す。

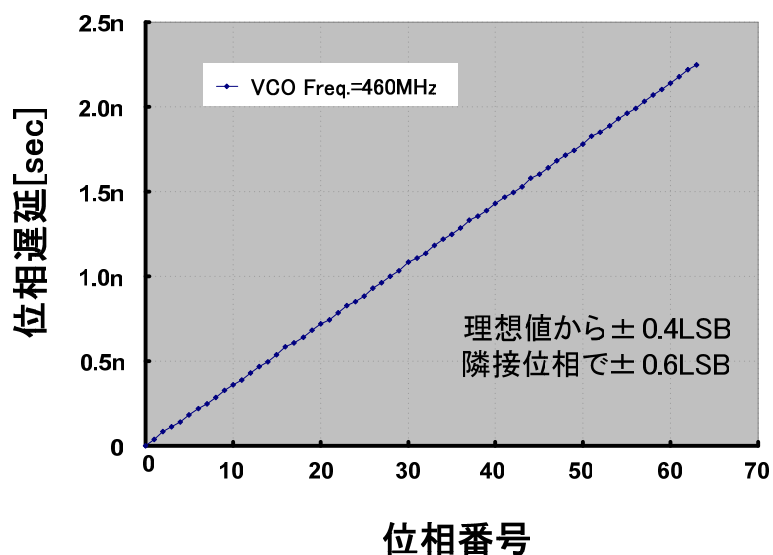


図 8-7- 5 63相出力リング結合型 VCO 過渡解析結果

図 8-7- 5 より、VCOの寄生容量および抵抗を含めた過渡解析より、位相遅延のばらつきは、理想値より $\pm 0.4\text{LSB}$ である。また、隣接位相との微分値は $\pm 0.6\text{LSB}$ 以内と、良好な値であった。

8-8. VCO 試作結果

以上、8-7節までに述べたリング結合型VCOを、PLLのVCOに採用して90nmCMOSプロセスにて実現した。図8-8-1にそのレイアウト結果を示す。

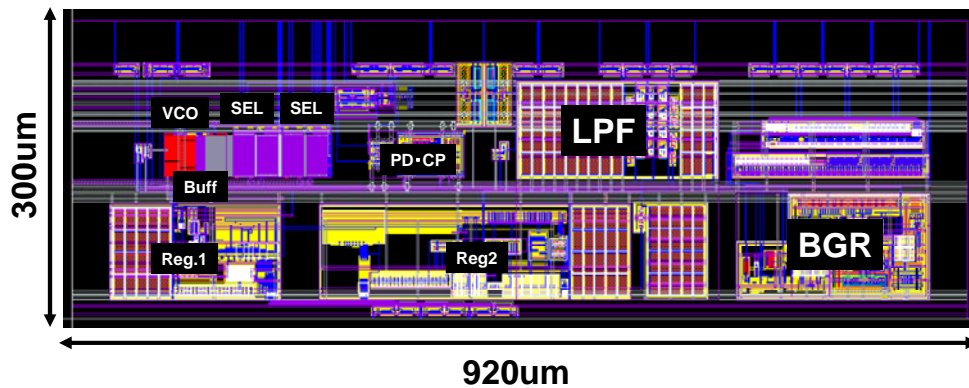


図 8-8-1 リング結合型 VCO を用いたライトストラテジ用 PLL のレイアウト結果

図 8-8-1 で実現したPLLの諸元を、表 8-8-1 に示す。

表 8-8-1 高分解能 VCO 搭載 PLL 諸元

電源電圧	アナログ デジタル	3.3V 1.2V
発振周波数レンジ		24.8~490MHz (DVDx1~x16)
出力位相分解能		発振周期/63
位相誤差		±1.5LSB
ピリオドジッタ		0.17%@500MHz 0.067%@26.17MHz
アキュムレーション ジッタ(3000クロック)		0.67%@500MHz 0.22%@26.17MHz
消費電力	アナログ デジタル	17mW@500MHz 22mW@500MHz

VCO出力位相に関しては、図 8-8- 2 に示す測定環境を用いて測定を行った。

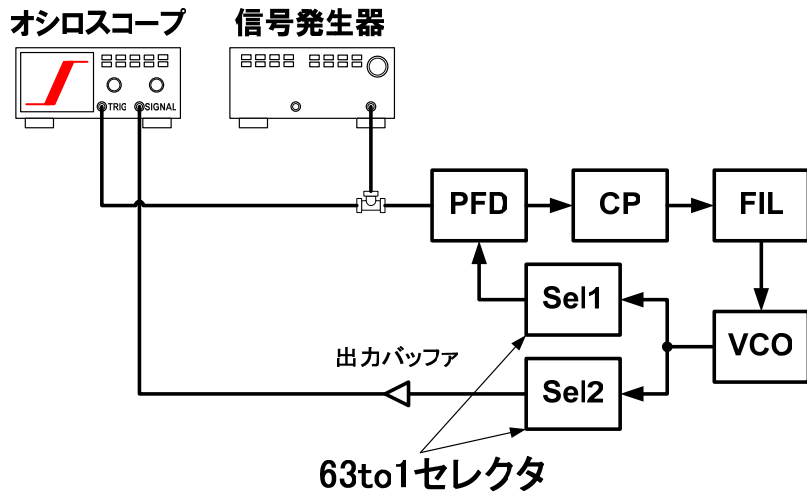


図 8-8- 2 VCO 出力位相測定環境

VCO から出力された 63 相の位相は、63to1 のセレクタに入力され、一位相のみが出力バッファを通過し、オシロスコープに入力される。PLL の入力信号は、信号発生器から出力されて分配され、オシロスコープのトリガ信号となる。オシロスコープでは、信号発生器からの信号を基準として、出力バッファから出力される 63 相の出力信号の、それぞれの位相差を測定する。この方法では、出力バッファを一個しか駆動しなくて良い。従って、出力 I/O 部で、余分なノイズを発生しないため、高精度な位相測定が可能である。

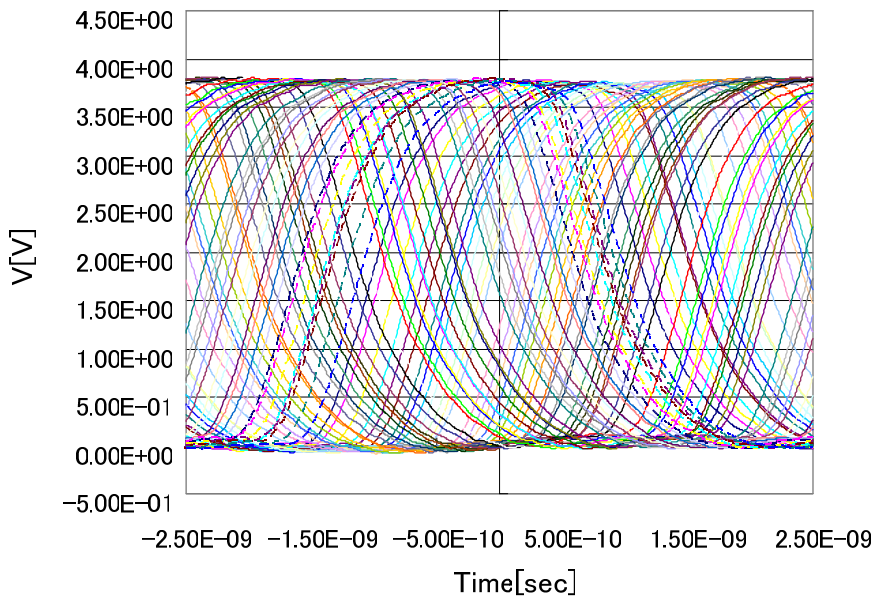


図 8-8- 3 オシロスコープによる 63 相 VCO 出力の観測波形(同一トリガによる重ね書き)

図 8-8-3 に、オシロスコープによる 63 相VCO出力(210MHz時)の、観測波形を示す。観測波形では、信号が電圧のぶれが少なく、正確に測定されていることがわかる。

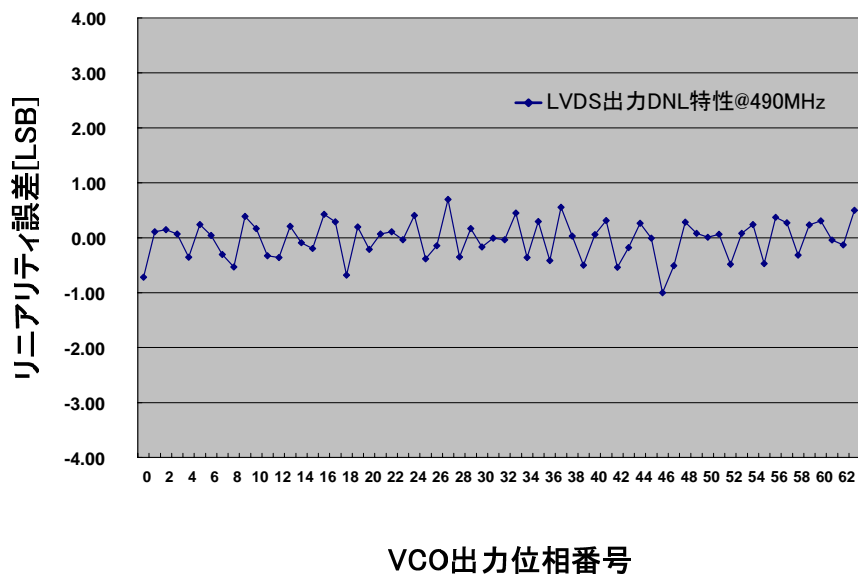


図 8-8-4 出力周波数 490MHz 時の位相分解能測定結果

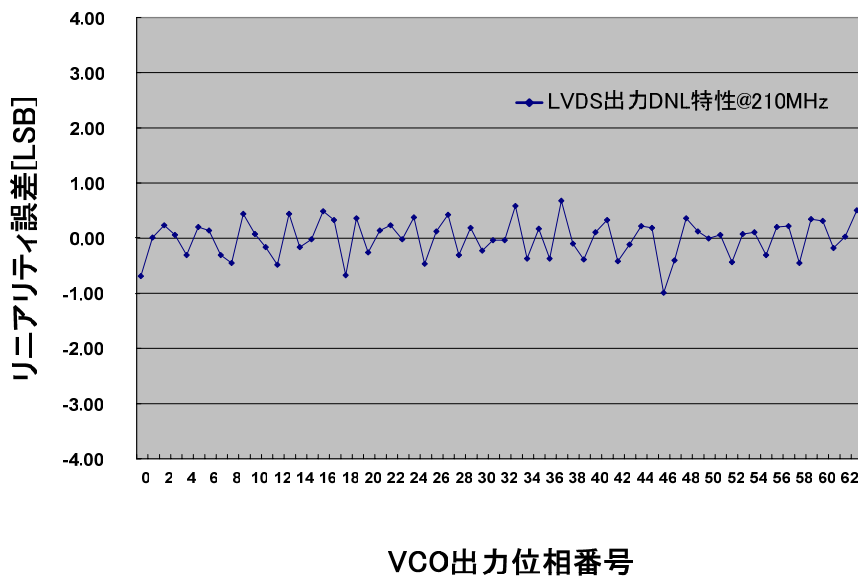


図 8-8-5 出力周波数 210MHz 時の位相分解能測定結果

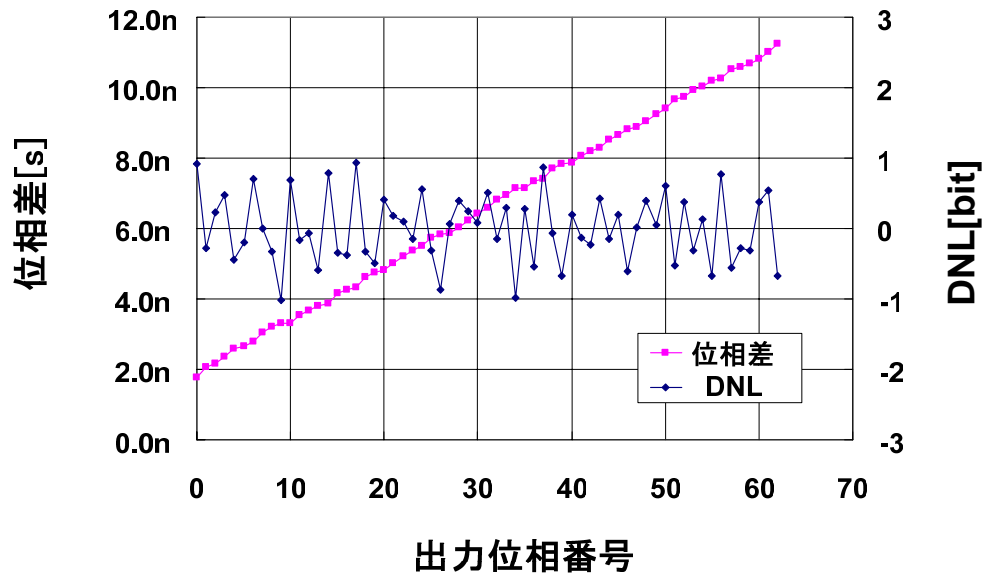


図 8-8- 6 出力周波数 105.0MHz 時の位相分解能測定結果

図 8-8- 4 から 図 8-8- 6 は、それぞれ出力周波数 490MHz、210MHz、105MHzの時の、位相分解能の測定結果を示す。図 8-8- 4 の位相測定には、出力バッファに差動電流出力バッファを用い、さらに高精度な測定を実施している。図 8-8- 6 の測定には、通常のシングル出力インバータを使用している。位相分解能はそれぞれにおいて±1.0LSB以内であり、良好な分解能特性が実現されている。

8-9. のまとめ

以上、デジタル位相比較器、デジタルフィルタおよびデジタル制御される VCO から構成されるデジタル PLL の設計手法を明らかにするとともに、デジタル PLL を構成する回路の問題点を明らかにし、その解決手法を提案した。以下に第 8 章での取り組みをまとめる。

1. デジタル PLL の基本的な構成を示し、VCO のデジタル制御解像度と位相誤差の関係を明らかにした。
2. アナログ PLL からデジタル PLL への変換手法として、双一次 z 変換を利用する方法と、スイッチトキャパシタフィルタから変換する手法の、2 通りの変換手法を示した。どちらの方式でもデジタル回路規模が削減できることを明らかにした。
3. デジタル PLL を構成する回路の課題を明らかにし、その解決手法を示した。
 - 3-1. リング発振器の状態と、カウンタの最下位ビットを監視することにより、デジタル位相比較器に発生するグリッジの抑制手法を提案した。
 - 3-2. ゲーテッド VCO を用いた新規デジタル位相比較器を提案し、従来の位相比較器より高分解能の位相比較器が簡単な構成で実現できる手法を示した。
 - 3-3. デジタル PLL の新規周波数引き込み手法を提案した。
 - 3-4. デジタル PLL の新規オフセット調整手法を提案した。
4. 新規デジタル位相比較器を持つデジタル PLL の応答特性をシミュレーションにより確認し、デジタル PLL の設計手法と新規回路の妥当性を明らかにした。
5. 新規周波数比較器の効果をシミュレーションにより明らかにした。
6. 位相结合素子によりリング発振器の位相结合を行う、新方式のリング結合型 VCO を提案した。
7. 新方式のリング結合型 VCO においてゲートが共通なトランジスタで単位セルを構成する統一的なレイアウト手法を考案した。本手法を用いることによりコンパクト

で、均一な位相遅延を実現しうるレイアウトが可能であることを明らかにした。したがって、VCO の位相を任意の分解能で補間した場合にでも、同一セルを用いたレイアウト手法を用いることが可能となり、リング結合型 VCO の設計時間の短縮と、分解能精度の向上を図ることができることを明らかにした。

新方式のリング結合型 VCO を用いて PLL を作成した。490MHz 発振時に低ジッタ特性と位相分解能 $\pm 1.0\text{LSB}(33\text{psec})$ を実現できることを実証した。

以上の取り組みにより、デジタル PLL の設計手法と回路設計上の問題点が解決された。また、高分解能位相出力可能な VCO 回路の実現手法が示され、位相補間手法と組み合わせれば、14bit 精度程度の高分解能 VCO 等も実現可能と考えられる。従って、デジタル PLL のシステム LSI への応用範囲が大きく拡張されるものと期待される。

参考文献

- [1] T. Watanabe, and S. Yamauchi, "An all-digital PLL for frequency multiplication by 4 to 1022 with seven-cycle lock time," *IEEE J. Solid-State Circuits*, vol. 38, pp.198-204, Feb. 2003.
- [2] C. -C. Chung, and C. -Y. Lee, "An all-digital phase-locked loop for high-speed clock generation," *IEEE J. Solid-State Circuits*, vol. 38, pp. 347-351. Feb. 2003.
- [3] T. Olsson, and P. Nilsson, "A digitally controlled PLL for SoC applications," *IEEE J. Solid-State Circuits*, vol. 39, pp. 751 - 760, May 2004.
- [4] J. Dunning, G. Garcia, J. Lundberg, and E. Nuckolls, "An all-digital phase-locked loop with 50-cycle lock time suitable for high performance microprocessors," *IEEE J. Solid-State Circuits*, vol. 30, pp. 412 - 422, Apr. 1995.
- [5] A. R. Bugeja, and B. -S. Song, "A Self-Trimming 14-b 100-MS/s CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1841 - 1852, Dec. 2000.
- [6] T. Otsuji, "A Picosecond-Accuracy, 700-MHz Range, Si-Bipolar Time Interval Counter LSI," *IEEE J. Solid-State Circuits*, vol. 28, pp. 941 - 947, Sept. 1993.
- [7] S. Sidiropoulos, and M. A. Horowitz, "A semidigital dual delay-locked loop," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1683 - 1692, Nov. 1997.
- [8] J. G. Maneatis, and M.A.Horowitz, "Precise Delay Generation Using Coupled Oscillators," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1273 - 1282, Dec. 1993.

第9章. 結論

本研究の目的は、システム LSI に用いられる、最も重要な機能ブロックである位相同期回路の高性能化に、体系的に取り組むということにあった。

以下に、本研究より得られた知見、および今後の位相同期回路の発展に対する意見を述べる。

1. 本研究では、システム LSI 中で用いられる位相同期回路を、シンセサイザ PLL、クロック生成用 PLL、データ再生用 PLL の3種類に分類し、それらに共通に要求される高性能化仕様を分類した。すなわち、小面積化、アダプティブバイアス化、ロバスト化、ノイズ耐性の強化等である。本研究では、これらの課題の解決に取り組み、有効な対策を提案、その効果を実証している。
2. PLL の小面積化に対する取り組みでは、PLL のループフィルタを積分項と比例項の2つのフィルタに分離し、それぞれのフィルタを別個に駆動することにより、フィルタの小面積化が可能であることを示した。また、チャージポンプ回路から発生する位相ノイズ量を定量的に解析し、フィルタの小面積化の限界も明らかにした。
3. 2つのチャージポンプ回路を有する小面積フィルタを、0.13 μm CMOS プロセスを用いて、従来 PLL の面積を5分の1の大きさで実現した。また、従来 PLL と同等のジッタ特性を観測した。これにより、提案した小面積 PLL が、実用的であることを明らかにした。本手法の開発により、リーク電流は少ないが、単位面積あたりの容量値が小さい配線間容量等を用いても、従来の MOS 容量を用いた PLL と同等の面積でフィルタ回路を実現することが可能となった。すなわち、リーク電流の大きな CMOS 微細化プロセスを用いても、PLL を小面積で実現することが可能となった。
4. PLL の小面積化に対して、ループフィルタのスイッチトキャパシタ回路化にも取り組み、従来アナログフィルタから2相ループフィルタへの変換手法を提案した。本手法は、フィルタの小面積化と同時に広範囲な入力信号周波数に対してアダプティブバイアス化も実現できる点が優れている。また、2相クロックを用いたループフィルタの、伝達関数ピーキングの問題を改善するための補正手法も同時に提案した。

5. 新規の3相クロックを用いた、スイッチトキャパシターループフィルタ回路を提案し、フィルタ応答の完全平滑化を、簡単な回路構成で実現できることを明らかにした。また、従来フィルタから、新規スイッチトキャパシターループフィルタへの変換手法も、同時に提案し、PLLの過渡応答特性や周波数特性を、ほぼ一致させることができることを明らかにした。
6. PLLのアダプティブバイアス化に対する取り組みでは、能動フィルタとカレントミラー回路を用いた、新規の小面積アダプティブバイアスループフィルタを提案し、従来フィルタに比べて、低電圧化、3次ループフィルタ化を実現した。また、線形特性を持つVCO回路への対応に関しては、非線形電圧電流変換回路を用いる手法を提案した。アダプティブ化されたPLLは0.15 μm CMOSプロセスで試作され、8倍の入力信号周波数変化に対してもほぼ同一の応答特性が観測された。すなわち、実際にPLLが、アダプティブバイアス化されていることを確認した。また、ピリオドジッタ特性は従来PLLと同等の結果を得た。さらに、アキュムレーションジッタ特性はアダプティブバイアス化しない場合の2分の1のジッタレベルを達成した。すなわち、新規アダプティブPLLにより、基準電圧源が不要で、従来回路に比してロバスト化されジッタ特性に優れた小面積PLLが実現可能となった。
7. PLLがシステムLSI中に組み込まれた際に、常に最適なジッタ特性で動作するための、PLLの新規ジッタ測定手法と自律制御手法を開発した。本制御手法により、自分自身の出力する位相ジッタを測定し、応答パラメータを変化させることで、常に最適なジッタ性能が実現できる。
8. 自律制御手法には、起動時の大域的探索手法と、PLL動作時の局所的探索手法の、2段階の制御手法を採用した。初期起動時には、大域的探索手法により、PLLの全てのパラメータの組み合わせより、最適なジッタ特性を示す組み合わせを選択する。また、通常動作時には、局所的探索手法によりジッタ特性が最小になるように、PLLのパラメータの組み合わせを逐次変更する。本論文では、これら制御手法を有効に実現するためのパラメータは、ジッタ測定時間であることを明らかにし、制御手法が働くためのジッタ測定時間を定量的に測定した。
9. 自律制御手法の効果を調べるため、テストチップを作成し、プロセスばらつき、電源ノイズ及び温度変動によるジッタ劣化の抑制効果の実験を行い、以下の結果を得た。

- 9-1. PLL の位相ジッタ特性におけるプロセスばらつきを抑制できることを明らかにした。(効果は 26%から 56%程度であった。)
- 9-2. 電源ノイズの影響による位相ノイズの劣化を緩和できることを明らかにした。(ジッタ削減効果は、約 36%であった。)
- 9-3. 温度変動による位相ノイズの劣化を緩和し、常に最小ジッタで PLL を動作できることを明らかにした。

この位相同期回路の最適制御システムの実現により、システム LSI 中の PLL の設計手直し等が激減できると考えられる。従って、設計コストの低減や、LSI 再設計コストの低減に貢献できるものとする。

10. 周波数シンセサイザに対する取り組みでは、微細化 CMOS プロセスを用いた場合でも、高性能な位相ノイズ特性を示すシンセサイザを実現するための PLL のループバンド幅制御手法を開発した。本手法を用いれば、インバータチェーン発振器のように、位相ノイズ特性に劣る発振器を用いた場合においても、低位相ノイズ特性を示す周波数シンセサイザを開発できることを明らかにした。
11. PLL のループバンド幅制御手法を実現するために、VCO ゲインの調整手法、フィルタ時定数の制御手法、VCO ゲインの温度補償手法を併せて開発した。
12. PLL のループバンド幅制御手法の開発と同時に、 $\Delta\Sigma$ 分数分周シンセサイザを構成する各回路ブロックの発生する位相ノイズを定量的に解析した。また、 $\Delta\Sigma$ 分数分周シンセサイザの設計方針および最適化手法を明らかにした。
13. PLL のループバンド幅制御手法を組み込んだ、 $\Delta\Sigma$ 分数分周シンセサイザを 0.13 μm CMOS プロセスを用いて試作し、出力周波数分解能 50kHz で、VCO 出力周波数 114MHz から 174MHz の範囲で、-90dBc@10kHz の位相ノイズ特性を持つシンセサイザを実現した。これは、先に示した設計手法で予測された結果とほぼ一致しており、設計手法の妥当性も明らかとなった。本手法の開発により、通常の微細化プロセスを用いての周波数シンセサイザの実現が可能となったほか、システム LSI への通信システムの組み込みが可能となり、ワンチップ CMOS 通信 LSI の実現が容易となった。

14. クロック再生 PLL に対する取り組みでは、従来バイポーラプロセスで実現されてきた PLL 回路の CMOS 化を、以下の新規回路を開発することにより実現した。以下に、新規回路の特徴をまとめる。
 - 14-1. 新しい位相比較方式を開発した。新方式では、従来方式に比べ、ディレイラインを位相比較器のアクティブ期間の制御のみに使用するため、絶対精度を必要とせず、ロバスト性を向上している。したがって、バイポーラ回路より精度の劣る CMOS 回路を用いても、クロック抽出 PLL が容易に設計できる。
 - 14-2. インバータチェーンの位相状態から周波数を検出して引き込む周波數位相比較方式において、擬似ロック点のない比較方式を開発し、クロック抽出回路のプルインレンジが $\pm 8\%$ となり、引き込みレンジが約 2 倍に拡大した。本方式の開発により、プルインレンジ範囲がディレイラインのディレイ精度に依存せずにシステムが安定する。従って、バイポーラ回路より精度の劣る CMOS 回路を用いても、DVD 用クロック抽出 PLL が容易に設計できるようになった。
 - 14-3. 新しいジッタ検出方式を開発し、従来回路に比べて検出感度を大幅に向上させた。
15. 14 に示した新規回路を搭載したクロック抽出 PLL を、 $0.25\mu\text{m}$ CMOS にて設計試作し、特性評価を行った。その結果、クロック抽出 PLL が良好なジッタ特性を示し、十分な実用性を有することを明らかにした。
16. システム LSI に用いられる PLL の統一アーキテクチャとして、デジタル PLL の構成と設計手法に対する基本的な検討を行った。
 - 16-1. デジタル PLL の基本的な構成を示し、VCO のデジタル制御解像度と位相誤差の関係を明らかにした。
 - 16-2. アナログ PLL からデジタル PLL への変換手法として、双一次 z 変換を利用する方法と、スイッチトキャパシタフィルタから変換する手法の、2 通りの変換手法を示した。
17. デジタル PLL を構成する回路の課題を明らかにし、その解決手法を示した。

- 17-1. デジタル位相比較器が発生するグリッジの抑制手法を提案した。
 - 17-2. ゲーテッド VCO を用いた新規デジタル位相比較器を提案し、従来の位相比較器よりも高分解能の位相比較器の実現手段を示した。また、シミュレーションにより、その妥当性を明らかにした。
 - 17-3. デジタル PLL の新規周波数引き込み手法を提案した。また、シミュレーションにより、その妥当性を明らかにした。
 - 17-4. デジタル PLL の新規オフセット調整手法を提案した。
18. デジタル PLL の高性能化の最大の課題は VCO の出力位相の高分解能化である。そこで、新方式のリング結合型 VCO の回路構成とその動作解析、及びその統一的なレイアウト手法を考案した。この取り組みにより、いかなる分解能を持つ VCO でも、同一セルを用いた一様なレイアウト手法を用いることが可能となり、リング結合型 VCO の設計時間の短縮と、分解能精度の向上を図ることができることを明らかにした。また、実際に試作チップにおいて、490MHz 動作 63 相出力 VCO を試作し、33psec の分解能と $\pm 1.0\text{LSB}$ 以下の DNL 特性を達成し、従来比 3 倍の高分解能化を実現した。
 19. 16 から 18 の取り組みにより、デジタル PLL の設計手法と回路設計上の問題点が解決され、デジタル PLL の実用化に道を開くものと考えられる。

以上、本研究の取り組みにより、システム LSI で用いられる位相同期回路の高性能化、具体的には、小面積化、アダプティブバイアス化、ロバスト化、耐ノイズ性の向上、低位相ノイズ化が実現された。これらの取り組みは、松下電器産業 半導体社製、携帯電話用システム LSI(FOMAP900i)、DVD-ROM 用 1.4 倍速システム LSI、ケーブル TV 用変復調 LSI、プラズマ TV 用画像処理 LSI 等に実際に応用され、システム LSI の低コスト化、生産歩留まりの向上、高性能化に貢献している。

今後、システム LSI の生産プロセスは、さらに微細化され、トランジスタのリーク電流は増加し、その動作電圧は低下する。従って、システム LSI に使用されるアナログ回路の性能の低下は免れないものと考えられる。

位相同期回路の性能低下を防ぎ、微細化プロセスに適応してその性能を向上させるためには、アナログ回路部分をできるだけデジタル回路に置き換える必要がある。

また、デジタル化された PLL では、本研究で取り組んだ、アダプティブバイアス化などの PLL の高性能化手法を、そのまま引き継ぐことができることが魅力的である。

本研究では、今後のシステム LSI 用 PLL の本命と思われるデジタル PLL の基本的な議論と、高性能化のために必須な、VCO 出力位相の高分解能化対策に取り組み、新規 VCO 回路と、その統一的なレイアウト手法について明らかにし、今後のデジタル PLL 開発に大きく貢献できたと考える。今後は、デジタル PLL の高性能化に向け、非線形フィードバック制御手法等の非線形制御を取り入れた PLL 回路の開発が必須であると考え。

また、システム LSI 全体の最適化を考えた場合、アナログ回路の性能がクリティカルな要因となることは明らかである。従って、アナログ回路に要求される仕様ができるだけ緩和されるような、システム形態や信号処理形態を、システム設計初期段階から考慮して、システム設計がなされるべきであると考え。今後のアナログ回路設計では、単に回路の高性能化を目指すのではなく、アナログ回路の特性や性能を完全に把握できる回路設計、あるいはシステム設計を目指すべきである。

位相同期回路の場合も、デジタル化することにより、量子化位相ノイズおよび VCO 出力周波数の量子化等のデメリットが生じるが、回路特性を完全に把握することにより、システム最適化を可能とし、デジタル化のデメリットが克服できるものと考え。

今後のシステム LSI の高性能化の研究課題としては、アナログ回路のデメリットを克服できるような、信号処理システムの創造となることに間違いはないと考える。今後もシステム LSI の高性能化を研究課題として、位相同期回路の高性能化のみならず、システムの高性能化にも取り組んでいく所存である。

第 10 章. 研究業績一覽

10-1. 発表論文

1. S. Dosho, T. Morie, and H. Fujiyama, "A 200-MHz Seventh-Order Equiripple Continuous-Time Filter by Design of Nonlinearity Suppression in 0.25 μ m CMOS Process," *IEEE J. Solid-State Circuits*, vol.37, May 2002.
2. S. Dosho, N. Yanagisawa, S. Watanabe, T. Bokui, and K. Nishikawa, "Development of a CMOS Data Recovery PLL for DVD-ROMx14," *IEICE Trans. Fundamentals*, vol. E85-A, Apr. 2002.
3. S. Dosho, N. Yanagisawa, and M. Toyama, "A Design of Compact PLL with Adaptive Active Loop Filter Circuits," *IEICE Trans. Fundamentals*, vol. E85-C, 2004.
4. S. Dosho, N. Yanagisawa, and A. Matsuzawa, "A Background Optimization Method for PLL by Measuring Phase Jitter Performance," *IEEE J. Solid-State Circuits*, vol. 40, pp. 941 - 950, Apr. 2005.
5. S. Sakiyama, G. Hayashi, S. Dosho, M. Maruyama, S. Inagaki, M. Matsushita, and K. Mochizuki, "An Oversampling ADC with Non-Linear Quantizer for PCM CODEC," *IEICE Trans. Electron.*, vol. E78-C, pp. 1754 - 1760, Dec. 1995.
6. S. Kawahito, M. Yoshida, M. Sasaki, K. Umehara, D. Miyazaki, Y. Tadokoro, K. Murata, S. Doushou, and A. Matsuzawa, "A CMOS image sensor with analog two-dimensional DCT-based compression circuits for one-chip cameras," *IEEE J. Solid-State Circuits*, vol. 32, pp. 2030 - 2041, Dec. 1997.

10-2. 国際学会発表

1. S. Dosho, H. Kurimoto, M. Ozasa, T. Okamoto, N. Yanagisawa, and N. Tamagawa, "A Comb Filter with Switched Capacitor Delay Lines for Analog Video Processor," *Symp. VLSI Circuits Dig.* 17-3, 1998.
2. M. Toyama, Shiro Dosho and Naoshi Yanagisawa, "A Design of a Compact 2GH-PLL with a New Adaptive Active Loop Filter Circuit," *Symp. VLSI Circuits Dig.* 14-3, 2003.
3. T. Morie, Shiro Dosho, and H. Fujiyama, "A 200-MHz Seventh-Order Equiripple Continuous-Time Filter by Design of Nonlinearity Suppression in 0.25um CMOS Process," *Symp. VLSI Circuits Dig.* 16-2, 2001.
4. S. Sakiyama, S. Dosho, M. Maruyama, G. Hayashi, S. Inagaki, T. Moriiwa, M. Matsushita, K. Mochizuki, and S. Ito, "An oversampling ADC with non-linear quantizer for PCM-CODEC," *Symp. VLSI Circuits Dig.* 8, pp. 103 - 104, Jun. 1994.
5. S. Kawahito, M. Yoshida, M. Sasaki, K. Umehara, Y. Tadokoro, K. Murata, S. Doushou, and A. Matsuzawa, "A compressed digital output CMOS image sensor with analog 2-D DCT processors and ADC/quantizer," *IEEE ISSCC*, vol. XL, pp. 184 - 185, Feb. 1997.
6. S. Dosho, and N. Yanagisawa, "A Background Optimization Method for PLL by Measuring Phase Jitter Performance," *Symp. VLSI Circuits Dig.* 15-3, pp. 236 - 239, Jun. 2004.
7. T. Morie, S. Dosho, K. Okamoto, Y. Yamada, and K. Sogawa, "A -90dBc@10kHz Phase Noise Fractional-N Frequency Synthesizer with Accurate Loop Bandwidth Control Circuit," *Symp. VLSI Circuits Dig.* 4-3, Jun. 2005.

10-3. 国内学会発表

1. 道正 志郎, “PLL 小型化のための能動フィルタ回路の検討,” 信学技報 CAS2002-32.
2. 道正 志郎, “小面積 0.15 μ m CMOS-2GHz アダプティブバイアス PLL の開発,” 信学技報 ICD2003-97.
3. 道正 志郎, 森江 隆史, “300MHz カットオフ CMOS フィルタ試作と超高速フィルタ設計に対する一考察,” 電子回路研究会資料, ETC - 99 - 90, 1999.
4. 道正 志郎, 柳沢 直志, 栗本 秀彦, “SC 回路を用いた TV 信号用アナログ遅延線の開発,” 電子回路研究会資料, ETC - 96 - 71, 1996.
5. 道正 志郎, 崎山 史朗, 丸山 征克, 林 錠二, 稲垣 誠三, 松下 正寿, 望月 浩二, 伊藤 紳一郎, “非線形量子化オーバーサンプリング A/D 変換器を用いた PCM コーデック LSI,” 信学技法 ICD 94 - 47, 1994.
6. 柳沢 直志, 道正 志郎, 渡辺 誠司, 朴井 高弘, 西川 和彦, “DVD ROM-14 倍速対応データ抽出 PLL 回路の開発,” 軽井沢ワークショップ, 2001.
7. 道正 志郎, 柳沢 直志, “位相ジッタ測定による PLL ジッタ性能の最適化手法,” 信学技法 ICD2004 - 77.

10-4. 主要出願特許

1. 特許公開 2005-020618 低域ろ波回路およびフィードバックシステム
2. 特許公開 2005-005932 低域ろ波回路および位相同期回路
3. 特許公開 2004-328456 低域ろ波回路、フィードバックシステムおよび半導体集積回路
4. 特許公開 2004-187200 デューティ比補正回路
5. 特許公開 2004-159089 デジタルノイズ除去システム、記録情報再生システムおよび信号受信システム
6. 特許公開 2004-007451 フィルタ回路並びにこれを備えた通信システムのフロントエンド及び通信装置
7. 特許公開 2003-115723 アナログ信号伝達回路
8. 特許公開 2003-044022 液晶ドライバ装置および液晶ドライバユニット
9. 特許公開 2002-064359 電子フィルタの合成方法
10. 特許公開 2002-043894 相互コンダクタンス-容量フィルタシステム
11. 特許公開 2001-292051 トランスコンダクタおよびフィルタ回路
12. 特許公開 2001-196925 周波数比較器とそれを備えた位相同期回路
13. 特許公開 2001-186112 データ抽出回路およびデータ抽出システム
14. 特許公開 2001-160742 信号補間回路
15. 特許公開 2001-127623 ジッタ検出回路
16. 特許公開 2001-111419 チャージポンプ回路
17. 特許公開 2000-357939 梯子型フィルタ、アナログイコライザおよび信号再生システム
18. 特許公開 2000-156629 発振回路、位相同期回路、位相補間回路、位相調整回路および位相结合回路
19. 特許公開平 11-330952 発振器
20. 特許公開平 10-270968 梯子型フィルタとその合成方法

1989年よりその他の出願 54件

謝辞

本論文の執筆にあたり、多大なご協力、有意義なご助言および的確なご指導を頂いた東京工業大学院理工学研究科、松澤 昭教授に深甚なる感謝の意を表します。また、本研究に対し、適切なるご助言を賜りました、東京工業大学院理工学研究科 藤井 信生教授、西原 明法教授、高木 茂孝教授、塚田 敏郎教授、武蔵工業大学工学部電子通信工学科 堀田 正生教授に深く感謝いたします。

また、松下電器産業(株)入社以来、様々なLSIの開発にご協力、ご助言頂いた崎山 史朗氏にも、深く感謝いたします。また、チームメンバーとしてLSI開発に協力頂いた、森江 隆史博士、柳沢 直志氏、徳永 祐介博士、藤山 邦博氏、外山 正臣氏、梅原 啓二郎氏に感謝いたします。また、アナログ開発グループメンバーとして位相同期回路開発に協力頂いた、岡本 好史氏、曾川 和昭氏、武田 憲明氏、山田 祐嗣氏、西村 佳壽子氏に感謝いたします。また、他センタにて位相同期回路開発に協力いただいた、渡辺 誠司氏、朴井 高弘氏、西川 和彦氏に感謝いたします。また、同じ開発グループチームリーダーとして研究運営にご助言頂いた、吉河 武文氏、岡 浩二氏、山元 隆氏、中塚 淳二氏、木村 博氏、およびグループマネージャーとしてご指導頂いた、片部 豊氏に感謝いたします。また、長年著者の仔細な疑問にご助言頂いた中平 博幸氏、岩田 徹氏に感謝いたします。また、同期メンバとして共に苦難なLSI開発に立ち向かった岡本 龍鎮氏、英論文作成に的確なご助言を頂いた金 良守博士に感謝いたします。また、本論文製本に際しご協力頂いた、松澤研究室助手 倉科 隆博士に感謝いたします。また、事務処理にご助力頂いた、松澤研究室秘書 春日 美乃氏に感謝いたします。

最後に、筆者の研究活動全般を支えてくれた妻まりえと2人の息子、裕太、直樹に感謝します。