

論文 / 著書情報
Article / Book Information

論題(和文)	クロックインバータ型D-FFによるMUX/DEMUXの研究
Title(English)	A Study of MUX/DEMUX With Clocked Inverter Type D-FF
著者(和文)	鈴木 成人, 関口 貴之, 天川 修平, 石原 昇, 益 一哉
Authors(English)	Shigeto Suzuki, Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu
出典(和文)	2010 年 電子情報通信学会総合大会, , , pp. 135
Citation(English)	, , , pp. 135
発行日 / Pub. date	2010, 3
URL	http://www.ieice.org/jpn/books/t_g.html
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

クロックインバータ型 D-FF による MUX/DEMUX の研究

A Study of MUX/DEMUX With Clocked Inverter Type D-FF

鈴木 成人[†]
Shigeto Suzuki

関口 貴之[†]
Takayuki Sekiguchi

天川 修平[†]
Shuhei Amakawa

石原 昇[†]
Noboru Ishihara

益 一哉[†]
Kazuya Masu

[†] 東京工業大学統合研究院

[†] Integrated Research Institute Tokyo Institute of Technology

1 はじめに

LSI の高速化高集積化に伴い、高速低電力なコア間やチップ間でのシリアル伝送が求められている。シリアル伝送には、信号を時分割多重/分離する MUX/DEMUX 回路が必要となる。これらの特性は要素回路である D フリップ (D-FF) フリップによって決定される。本稿ではクロックインバータ型 D-FF が、高速・低電力化に有利であることを明らかにしたので報告する。

2 高速・低電力化に有利な D-FF の構成

D-FF は D-latch 回路 2 つによって構成される。図 1 に比較検討を行った D-latch 回路を示す。図 1(a) は当研究室で提案してきた差動疑似 nMOS 構成の D-latch で、高速性低電力性に優れている [1]。今回、さらなる低電力動作化を狙い、図 1(b) の差動クロックインバータ構成との比較を行った。10Gb/s の動作速度を想定した場合、クロックインバータ構成の消費電力は、疑似差動 nMOS 構成に比べ約 10 分の 1 以下と低消費電力化できることが分かった。但し、高速動作化を図ると消費電力が増大していき、最大動作速度はトポロジーにより疑似差動型構成より制限されてしまう。目的とする動作速度に応じて疑似差動 nMOS 構成とクロックインバータ構成との使い分けが必要と考えられる。

3 4:1 MUX/ 1:4 DEMUX 回路の設計

上記基本検討結果を踏まえ、今回は動作速度を 10Gb/s と設定し、クロックインバータ構成による 4:1 MUX/ 1:4 DEMUX 回路の低電力化設計を行った。図 3(a) に今回試作評価用として設計した MUX/DEMUX のブロック構成を示す。MUX/DEMUX のブロック構成は、低電力化の観点からハーフレイトのマルチフェーズ構成を採用した。90nm CMOS プロセスを想定し設計を行った結果、図 3(b) に示すチップレイアウト後の配線の寄生インピーダンス込みの設計結果で、11Gb/s の最大動作速度を確認し、MUX/DEMUX のトータルの消費電力は、電源電圧 1.0V で従来にない 1.2 mW を実現できる見通しを得た。

4 まとめ

クロックインバータ構成の D-FF をベースとした 4:1 MUX/1:4 DEMUX 回路の設計を行い、従来にない高速・低電力特性を実現できる見通しを得た。

謝辞

本研究の一部は、文部科学省科研費、日本学術振興会科研費、総務省 SCOPE、NEDO、STARC、文部科学省科学技術振興調整費 (統合研究院) の支援を受け、東京大学大規模集積システム設計教育研究センターを通し、アジレント・テクノロジー株式会社の協力により行なわれた。

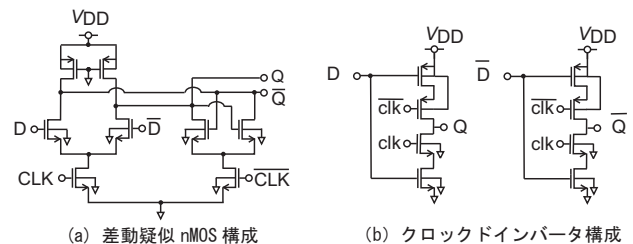


図 1 D ラッチの構成。

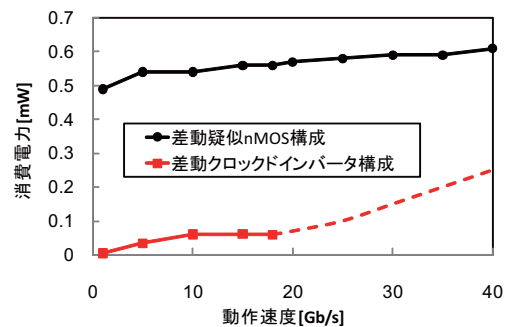
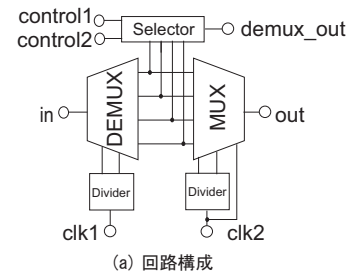


図 2 D ラッチの比較結果。



(a) 回路構成



(b) レイアウト図

図 3 MUX/DEMUX 回路の構成。

参考文献

- [1] A. Mineyama, T. Suzuki, H. Ito, S. Amakawa, N. Ishihara, and K. Masu, "A 20Gb/s 1:4 DEMUX with near-rail-to-rail logic swing in 90nm CMOS process," IEEE International Workshop Series on Signal Integrity and High-Speed Interconnects, pp. 119-122, Feb. 2009.