T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	塩素ガスエッチングを用いた微細MOS Elevated Source/Drain プロセス
Title(English)	
著者(和文)	杉野林志, Unsoon Kim, Kyunghoon Min, Ning Chen, Huaqiang Wu, Chungho Lee, Fred Cheung, Hiroyuki Kinoshita, 上西雅彦, 加藤寿, 多田新吾, 伊藤隆司
Authors(English)	Rinji Sugino, Unsoon Kim, Kyunghoon Min, Ning Chen, Huaqiang Wu, Chungho Lee, Fred Cheung, Hiroyuki Kinoshita, Masahiko Kaminishi, Hitoshi Kato, Shingo Tada, Takashi Ito
出典(和文)	電子情報通信学会論文誌C, Vol. J91-C, No. 7, pp. 363-369
Citation(English)	, Vol. J91-C, No. 7, pp. 363-369
発行日 / Pub. date	2008, 7
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2008 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Science Tokyo Research Repository)

論　文

塩素ガスエッチングを用いた微細MOS Elevated Source/Drainプロセス ——高選択，ダメージフリーのバッチ処理Siエッチング——*

杉野　林志[†,††a)]　Unsoon Kim[†]　Kyunghoon Min[†]　Ning Cheng[†]
Huaqiang Wu[†]　Chungho Lee[†]　Fred Cheung[†]　Hiroyuki Kinoshita[†]
上西　雅彦[†††]　加藤　寿[†††]　多田　新吾[†††]　伊藤　隆司[††]

New Elevated Source/Drain for NMOS Process Using Chlorine Gas Etching —— Batch Type Si Etching with Damage Free and Very High Selectivity——*

Rinji SUGINO[†,††a)], Unsoon KIM[†], Kyunghoon MIN[†], Ning CHENG[†], Huaqiang WU[†], Chungho LEE[†], Fred CHEUNG[†], Hiroyuki KINOSHITA[†], Masahiko KAMINISHI[†††], Hitoshi KATO[†††], Shingo TADA[†††], and Takashi ITO[††]

あらまし　新しいコンセプトに基づくElevated Source/Drain構造のNMOSトランジスタ試作にあたり，Source/Drain形成のためのイオン注入用ハードマスクとして用いられるポリシリコンを効率良く除去できる塩素ガスエッチング技術を開発した．このエッチングの採用により，ポリシリコン下地の絶縁膜を全くエッチングしないという高い選択性と，純粋な化学反応を用いることによるダメージフリーという二つの要求を満たすことができた．また，この塩素ガスエッチング装置として市販のバッチ型LPCVD装置を転用したことにより，既存プロセスとの整合性と高い生産性を確立することができた．

キーワード　Elevated Source/Drain，ポリシリコン，ダメージフリーエッチング，塩素ガス，LPCVD

1. まえがき

シリコン窒化膜を含むゲート絶縁膜をストレージノードとし，それに対してチャネルホットエレクトロンによる書換え動作を行うFlash Memoryにおいても，高集積化のためのスケーリングは短チャネル効果に伴う様々な問題に直面する．このためSource/Drainをチャネル領域よりも上部に設けた新しいコンセプトのElevated S/Dを有するNMOSプロセスが次世代Flash Memoryの Core cell用に検討されている．このNMOSトランジスタの試作において，S/D形成のイオン注入用ハードマスクとしてポリシリコンが用いられ，そのハードマスクとしてのポリシリコンをイオン注入終了後に完全除去する工程がある．この工程により露出するNMOSトランジスタのゲート絶縁膜には，ハードマスクとしてのポリシリコン堆積前と同じ膜厚と膜質が要求される．

このため，酸化膜等の絶縁膜に対する高い選択性とダメージフリー/コンタミネーションフリーを両立できるポリシリコンのエッチング技術が必要となる．筆者らは，これらの要求を満たすべく塩素ガスによる500℃以下の熱シリコンエッチング技術の開発を行った．これはイオンやプラズマなど荷電粒子のアシストを必要としない純粋な化学反応に基づくもので，塩素によるポリシリコンに対する高い反応性[1]と下地の酸化膜に対する高い選択性が期待できる．また，このエッチング装置として市販のバッチ型LPCVD装置を

† スパンション株式会社，米国
SPANSION Inc., 915 DeGuigne Drive, m/s 49 Sunnyvale, CA 94088–3453, USA.
†† 東北大学大学院工学研究科，仙台市
Department of Electronics Engineering, Graduate School of Engineering, Tohoku University, 6–6–05 Aza-Aoba, Aramaki, Aoba-ku, Sendai-shi, 980–8579 Japan
††† 東京エレクトロン AT，東京エレクトロン，東京都
Tokyo Electron AT, Tokyo Electron Inc., 5–3–6 Akasaka, Minato-ku, Tokyo, 107–8481 Japan
a) E-mail: rinji.sugino@spansion.com
* 本論文はシリコン材料・デバイス研究専門委員会推薦論文である．

転用することにより，本技術の既存プロセスとの整合性と，生産性の向上を目指した．

本論文は，バッチ型装置を用いた塩素によるポリシリコンのエッチング特性と，ポリシリコンを完全にエッチングした後に露出する酸化膜の状態について調査した結果，及び実際に試作中の新しい Elevated S/D を有する NMOS プロセスに本エッチング技術を適用して得られた結果について述べる．

2. 塩素ガスのポリシリコンエッチング特性

エッチング特性調査の実験には 8 インチ Si 基板上に熱酸化膜を形成し，その上に LPCVD でポリシリコンを堆積させた二層構造のサンプルが用いられた．エッチング装置として縦型 LPCVD 装置（東京エレクトロン製 α8SE）が用いられた．これに高純度塩素導入用ガスラインを設け，窒素希釈の減圧下でポリシリコンエッチング実験は行われた．このエッチング実験に用いられた装置内部は石英で構成され，内部のクリーン度は通常の LPCVD と同等に保たれている．また，この装置は製品処理領域として 150 枚のウェーハが一括処理可能である．したがってその生産性は通常のドライエッチングと比べて飛躍的に高いことが期待できる．なお，エッチング装置導入前には DHF 処理によりポリシリコン表面の自然酸化膜除去を行い，エッチングの温度は，S/D 再拡散の影響がないと予測される 500℃ 以下が検討された．なおこのエッチングはプラズマやイオンを用いない，純粋な塩素とシリコンの化学反応として以下のとおりに表すことができる．

$$\mathrm{Si} + 2\mathrm{Cl_2} \rightarrow \mathrm{SiCl_4}$$
$$(\Delta G_f = -557\,\mathrm{kJmol^{-1}}\ \text{at}\ 800^\circ\ \text{Kelvin})$$

実験は減圧下で連続して塩素ガスが供給される環境ではあるものの，500℃ 付近の標準生成自由エネルギー (ΔG_f) は負の値を示し，シリコンと塩素の反応が非常に高い確率で進行することを示唆している．一方，熱酸化膜に対する塩素の反応は下記のとおりに表される．

$$\mathrm{SiO_2} + 2\mathrm{Cl_2} \rightarrow \mathrm{SiCl_4} + \mathrm{O_2}$$
$$(\Delta G_f = 1530\,\mathrm{kJmol^{-1}}\ \text{at}\ 800^\circ\ \text{Kelvin})$$

塩素による熱酸化膜への反応の標準生成自由エネルギーは正の値を示し，500℃ 程度では反応がほとんど進行しないことを表している．以上の標準生成自由エネルギーによる反応予測は，上記温度領域における塩素によるシリコンのエッチングが熱酸化膜に対して極めて高い選択性を有することを示唆する．

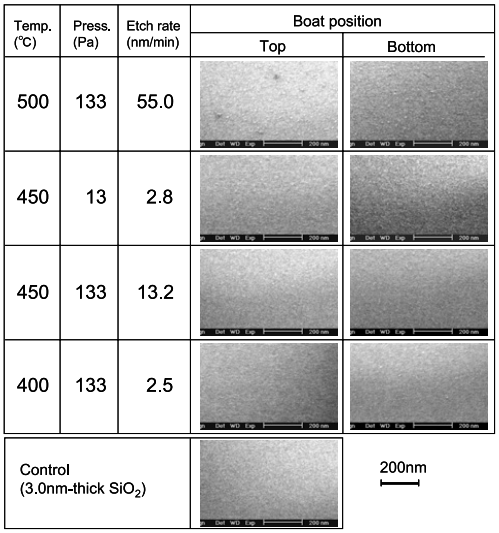


図 1 ポリシリコンを塩素ガスで完全にエッチング除去し露出した熱酸化膜表面の二次電子顕微鏡鳥瞰像，及びエッチングパラメータ．エッチング後の表面はそれぞれ装置内 Top と Bottom からのサンプル．最下段はポリシリコン形成前の熱酸化膜表面

Fig. 1 SEM tilt-view of SiO_2 surfaces after etching of Poly-Si.

エッチング条件決定にあたり，あらかじめエッチング温度 500℃ から 400℃，圧力 13 Pa から 133 Pa の範囲における DOE（Design Of Experiment）を行った．ポリシリコンエッチング後に露出する熱酸化膜表面形状を第一優先，エッチング速度等の制御性を第二として最適条件を抽出した．図 1 にはこの DOE の結果の一部として，それぞれ温度と圧力が異なる条件下において，100 nm の厚さのポリシリコンを完全にエッチング後に露出した，3 nm の厚さの熱酸化膜表面の斜め観察の二次電子顕微鏡（Tilt-SEM）像を示す．

厚さ 100 nm のポリシリコンを完全にエッチングして熱酸化膜表面を露出させるために，それぞれ 200 nm のポリシリコンエッチングに相当する（100%オーバエッチ）時間でエッチングは行われた．各条件それぞれ 2 点の SEM 像は，縦型装置内 Boat の Top と Bottom の各 Position に設置されたサンプルより得られたもので Boat 内のサンプル間の空き Slot には bi-pitch で酸化膜ダミーウェーハを設置した．なお，図 1 の 3 列目に示されるエッチング速度はあらかじめ 500 nm の厚さのポリシリコンが形成されたサンプルのエッチン

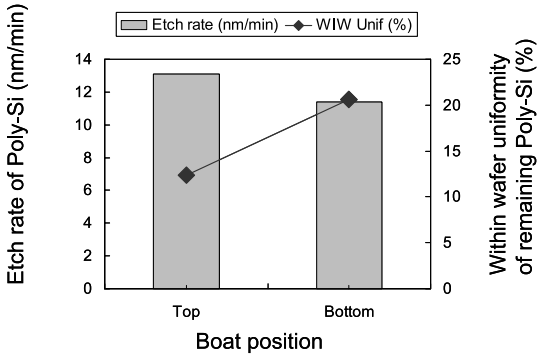


図 2　450℃, 133 Pa での塩素ガスによるポリシリコンのエッチング速度とエッチング後残膜の面内均一性．それぞれ装置内 Boat の Top と Bottom に設置されたサンプルからの結果

Fig. 2　Etch rate of Poly-Si by Cl_2 at 450℃ with 133 Pa and the within wafer uniformity.

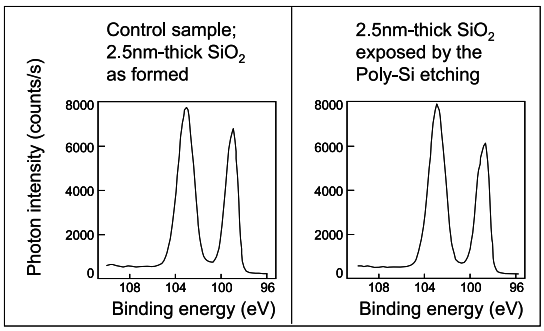


図 3　熱酸化膜 2.5 nm（left）と，その熱酸化膜上に形成された 100 nm のポリシリコンを塩素ガスで完全にエッチング除去し，再び露出した酸化膜（right）の Si_{2P} 領域の XPS スペクトル

Fig. 3　XPS Si_{2P} of SiO_2 surfaces; control (left) and after etching of Poly-Si (right).

グ後の残膜を光学的に読み取ることによって割り出されたもので，装置内 Bottom に設置されたサンプルからのものである．

これらの結果から 450℃, 133 Pa がエッチング条件として採用された．その理由として図 1 のとおり，エッチング後に露出した 3 nm の熱酸化膜の表面形状が非常に平たんであった点がまず第一に挙げられる．Boat position の Top，Bottom にかかわらず 450℃, 133 Pa のエッチング条件でポリシリコンをエッチングした後露出した熱酸化膜表面の形状は，ポリシリコン形成前の熱酸化膜表面のそれ（図 1 最下段）と遜色ない．図 1 最上段に表される 500℃, 133 Pa では熱酸化膜表面上の残さが特に Boat position の Top において観察された．また 2 段目の 450℃, 13.3 Pa の条件下では，微細な残さが Boat position にかかわりなく認められた．これら熱酸化膜上に明らかに残さとして認められるものに関して，恐らく装置内部に残留する酸素や水分がポリシリコンと塩素の反応生成物と反応して形成されたものと思われる．

一方，図 1 の 4 段目に示される 400℃, 133 Pa の条件においての表面形状は 450℃, 133 Pa のものと比べそれほど違いはなく平たん性に遜色はないものの，エッチング速度が小さかった．以上のとおり表面平たん性とエッチング制御性の観点から最終的に塩素によるポリシリコンエッチングの条件として 450℃, 133 Pa を採用するに至った．

図 2 にはその 450℃, 133 Pa での Boat position の Top と Bottom それぞれにおけるポリシリコンエッチング速度と，500 nm のポリシリコンに対してほぼ 200 nm エッチングした後に残留したポリシリコン膜厚の面内均一性を表す．この図 2 に示されるとおり，エッチングの均一性に関してウェーハ面内，装置内 Position 間で改善の余地はある．実際に Boat position の Bottom における面内均一性は，基板中心部でエッチング量が大きく，逆に Top では基板中心部でエッチング量が小さかった．装置構成上，塩素ガスは下部から導入され上部に達し排気されるため，装置内壁及び内部材と Si 基板によってガス自身の加熱が進行する．ゆえに図 1 に示されるとおり Boat position の Top でのポリシリコンのエッチング速度が Bottom でのそれよりもやや大きく，基板面内におけるエッチング均一性の傾向も上述のとおりになったものと思われる．しかしながらこの実験の目的がポリシリコンの完全除去であり，下地の酸化膜との高い選択性が期待されることで，除去すべきポリシリコン膜厚に対してその 2 倍という十分なオーバエッチングを行うことにより，このような図 1 に示されるエッチングの不均一性は許容できるものと考える．

図 3 は光学的測定による膜厚が 2.5 nm の熱酸化膜（left）と，その 2.5 nm の熱酸化膜上に形成されていた 100 nm のポリシリコンを塩素ガスで完全にエッチング除去し，再び露出した酸化膜（right）の Si_{2P} 領域の XPS スペクトルを示す．なお，検出角度は 45° である．

Si-O 結合に対応する 103.5 eV 付近のピーク強度と Si-Si 結合に対応する 99 eV のピーク強度の比を比較すると，図 3 右側のポリシリコンエッチング後におい

てわずかに Si-O 結合の増大が認められる．これは図 1 における熱酸化膜表面上の残さに関する説明同様，恐らく装置内部に残留する酸素や水分がポリシリコンと塩素の反応生成物と反応して再酸化されたものであろうと考えられるが，これら XPS 強度比から換算された酸化膜としての膜厚は熱酸化直後で 2.8 nm，のポリシリコンエッチング後の熱酸化膜で 2.9 nm であり，その差がほとんど違いがないことが分かる．

更にこの結果は，塩素によるポリシリコンのエッチングが 100%のオーバエッチングでも，下地の厚さ 2.5 nm という極めて薄い酸化膜をもエッチングすることなく，酸化膜に対して高い選択性を有することを実証している．また二つのピーク間のサブオキサイド領域と呼ばれる 101 eV 付近の信号 [2] も塩素エッチング後の増加が見られないことから，下地の酸化膜の組成比や構造を変化させるようなダメージの導入が塩素によるポリシリコンのエッチングでは発生しないことが分かる．

以上の結果は，バッチ処理装置を用いた塩素ガスによるポリシリコンのエッチングが，本来の目的である下地の酸化膜を全くエッチングすることなくなおかつダメージフリーであるという二つの要求を満たしていることを表す．またこのエッチング技術は，ダマシンゲートやリプレースメントゲート [3], [4] と呼ばれるプロセスにおいても非常に効果的で効率の良いダミーポリシリコンの除去方法であることが容易に想像できる．

3. 塩素ガスエッチングを用いた新しい Elevated S/D NMOS プロセス

これまでの結果をもとに，新しい手法による Elevated S/D を有する NMOS トランジスタプロセスに対してハードマスクとしてのポリシリコンを完全除去する目的において塩素ガスによるエッチングを適用した．

図 4 に示す新しい Elevated S/D プロセスの NMOS プロセスはまず，1) シリコンのトレンチエッチングを行った後，2) シリコン窒化膜を含むゲート絶縁膜を形成し，表面に酸化膜を形成し 3) LPCVD でポリシリコン膜を形成，この後ドライエッチングでのエッチバックによる平たん化後，4) 1×10^{15} 程度の As イオン注入による S/D 形成を行う．この際，シリコン基板の部分と，ハードマスクとして除去されるポリシリコンに対して同時にイオンが注入される．この後，5) 塩素ガスによるポリシリコンエッチングによる As イオン注入に対するハードマスクの完全除去によってゲート絶縁膜が露出される．

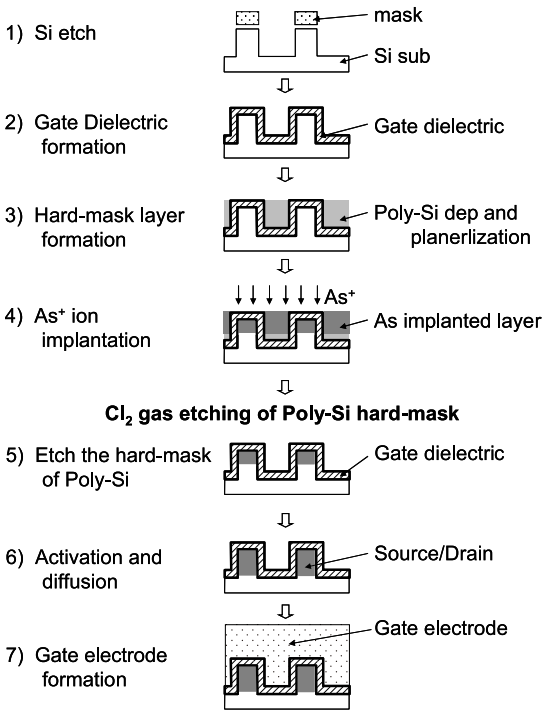


図 4　本手法に基づいた Elevated S/D を有する NMOS トランジスタプロセスフロー
Fig. 4　Process flow of new elevated S/D with Poly-Si etching by Cl_2.

この図 4 の 4) と 5) の工程，つまり塩素によるポリシリコンエッチング前後での Tilt-view SEM 像を図 5 に示す．図 5（left）が塩素によるエッチング前の As 注入後の SEM 像で，SEM 観察前に wright etch によるデコレーションを行った．これによりハードマスクとしてのポリシリコンとゲート絶縁膜の界面や，As イオン注入によるダメージ層がはっきり分かる．

図 5（right）の二つが塩素エッチング後の SEM 像で，それぞれ装置内 Boat の Top と Bottom で処理されたサンプルである．なおこれら塩素エッチング後のサンプルの SEM 観察前には表面の残さ等の有無を評価するためにデコレーションは行っていない．SEM 像の示すとおり，450℃，133 Pa での塩素によるポリシリコンエッチング（オーバエッチ 100%）において，露出したゲート絶縁膜表面からはエッチピットや残さは認められなかった．つまり，塩素ガスによる純粋な化学反応に基づいたポリシリコンのエッチングが，新しい Elevated S/D プロセスの NMOS プロセスを実

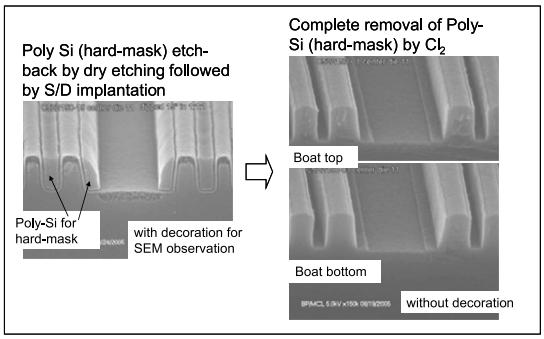


図 5　Elevated S/D 形成工程において，ハードマスクとしてのポリシリコンを塩素ガスでエッチングする前後の二次電子顕微鏡鳥瞰像．エッチング後の表面はそれぞれ装置内 Top と Bottom からのサンプル

Fig. 5　Tilt-view SEM for new elevated S/D process; pre Cl_2 etch (left) and post Cl_2 etching for Poly-Si (right).

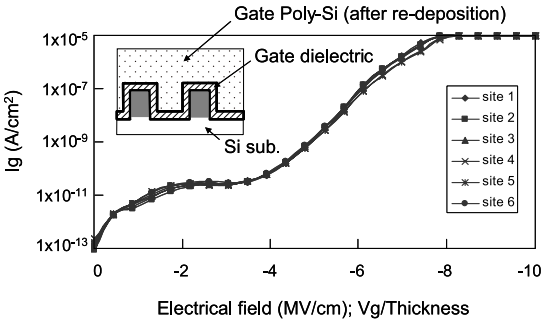


図 6　本手法に基づく Elevated S/D 形成工程において，ハードマスクとしてのポリシリコンを塩素ガスでエッチングした後，露出した絶縁膜上に再び電極としての n 型ポリシリコンを形成して作成された MOS キャパシタの電流–電圧特性

Fig. 6　Leakage-current of the structure wafer which was done the new elevated S/D process with using Cl_2 etching.

現する上で最適なプロセスであることを証明することができた．

このエッチング後，図 4 のプロセスフローに示される 6) 拡散層形成と 7) ゲート電極再形成により Elevated S/D を有する NMOS トランジスタの基本構造が完成する．なお，S/D の活性化は（RTA）Rapid Thermal Annealing を用いて拡散層制御を行い，ゲート電極として LPCVD によるポリシリコンが用いられた．

この再形成後のゲート電極に負バイアスを印加した際の電流–電圧特性を図 6 に示す．なお，測定に先立ち形成されたポリシリコン電極に n 型のドーピングをイオン注入にて行い RTA で活性化を行った．電極側に負バイアスを印加した際のリーク電流測定は基板面内全体に 6 点行った．なお，図 6 横軸は電圧に対してゲート絶縁膜の物理的膜厚で割り算することで印加電界として表し，縦軸のリーク電流の単位は単位面積当りと記されているが，実際には基板凹凸部分を考慮することが困難であったためにゲート電極のパターン面積成分で電流値を割り算したものである．

また，この場合のハードマスク完全除去のための塩素によるエッチングはサンプルを装置内 Bottom に設置したものである．それぞれの測定点から得られた電流–電圧特性は図 6 に表される電流値 8 けたの範囲で非常によく一致しており，塩素ガスエッチングによるハードマスク除去が非常に効率良く，また露出されたゲート絶縁膜の均一性が基板面内においてそのまま反映された結果であると考えられる．更に，印加電圧に対するリーク電流の値はゲート絶縁膜からの電界換算値に対してほぼ予想どおりであった．つまり塩素によるエッチングで露出した絶縁膜は，たとえそれが平たん化工程や，比較的高濃度の As イオン注入によってダメージが入った状態であっても影響を受けることがなく，良好な絶縁特性を維持できることを示唆するものといえる．

4. むすび

バッチ型の塩素ガスエッチング装置を用い，酸化膜上に形成されたポリシリコンの完全除去を行った．純粋な化学反応に基づく 500℃ 以下でのポリシリコンと塩素の反応により，10 nm/min 以上の制御性の高いポリシリコンエッチング速度と，下地の熱酸化膜への高い選択性が確認された．これを新しい Elevated S/D 構造を有する NMOS 形成工程に適用した結果，塩素によるエッチング後に露出するゲート絶縁膜表面からはエッチピットや残さは観察されず，この方法がゲート絶縁膜の膜厚と膜質に影響を与えることのない，本目的に最適なプロセスであることが分かった．

謝辞　本実験を進めるにあたりお世話になりました東京エレクトロン AT 穂坂事業所関係各位に感謝致します．また，各種物理分析，解析に携わって下さいました SPANSION MCL-G 関係各位に感謝致します．

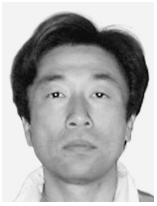
文　献

[1] R. Sugino, Y. Nara, H. Horie, and T. Ito, “Ultraviolet excited Cl-radical etching of Si through native oxide,” J. Appl. Phys, vol.76, pp.5498–5502, 1994.

[2] T. Hattori, K. Takase, H. Yamagishi, R. Sugino, Y. Nara, and T. Ito, “Chemical structures of native ox-

ides formed during wet chemical treatments," Jpn. J. Appl. Phys. Lett., vol.28, pp.L296–L298, 1989.
[3] A. Chatterijee, R.A. Chapman, G. Dixit, J. Kuehne, S. Hattangady, H. Yang, G.A. Brown, R. Aggarwal, U. Erdogan, Q. He, M. Hanratty, D. Rogers, S. Murtaza, S.J. Fang, R. Kraft, A.L.P. Rotondro, J.C. Hu, M. Terry, W. Lee, C. Fernando, A. Konecni, G. Wells, D. Frystack, C. Bown, M. Rodder, and L.-C. Chen, "Sub-100 nm gate length metal gate NMOS transistors fabricated by a replacement gate process," IEDM Tech. Dig., pp.821–824, 1997.
[4] 須黒恭一, 中嶋一明, 斎藤友博, 松尾浩司, "メタルゲート技術の最新の展望," 応用物理, vol.47, no.9, pp.1185–1191, 2005.

（平成 19 年 1 月 15 日受付，4 月 25 日再受付）



杉野　林志

1984 鈴鹿工業高等専門学校工業化学科卒．同年(株)富士通研究所入社．Si プロセス，Si 表面の研究開発に従事．1999 フジツウマイクロエレクトロニクス，2004 スパンション(株)．工博 (2007, 東北大)．応用物理学会員．

Unsoon　Kim

received the B.S degree in Metallurgy from Yonsei University, Seoul in 1984, and the Ph.D degree in materials science and engineering from Lehigh University, Bethlehem in 1990. In 1990 he joined National Semiconductor, Santa Clara in nonvolatile memory technology group developing mixed signal EPROM/EEPROM/Power devices. In 1996, he joined Advanced Micro Devices, Sunnyvale nonvolatile memory technology group developing Flash memory devices. He is currently a Senior Member of Technical Staff of Spansion Inc., Sunnyvale responsible for advanced memory development. He has published over 10 technical papers and received over 20 patents.

Kyunghoon　Min

received the B.S degree in metallurgical engineering from Seoul National University, Seoul in 1993, and the Ph.D degree in materials science and engineering from Stanford University, CA in 2004. He joined Spansion, Sunnyvale nonvolatile memory technology group in 2004. He is currently a Member of Technical Staff of Spansion Inc., Sunnyvale involved in the development of flash memory process technologies.

Ning　Cheng

got her bachelor degree in Applied Physics in Shanghai Jiao Tong University, China, and received her Ph.D degree in Material Science and Engineering from University of Berkeley, US in 2001. In 2001 She joined Advanced Micro Devices, Sunnyvale nonvolatile memory technology group developing Flash memory devices. She is currently a Senior Member of Technical Staff of Spansion Inc., Sunnyvale responsible for advanced memory development. She has published over 15 technical papers and received over 16 patents.

Huaqiang　Wu

received his Ph.D degree in electrical engineering from Cornell University, Ithaca in 2006. Prior to that, Dr. Wu received his B.S degree in materials science and engineering from Tsinghua University, Beijing in 2000. In 2006 he joined the non-volatile memory technology group developing Flash memory devices in Spansion Inc., Sunnyvale. He is currently a senior device technology engineer of Spansion Inc., Sunnyvale responsible for advanced memory process and device development. He has published over 20 technical papers and applied for more than 10 patents.

Chungho　Lee

received the B.S. and M.S. degrees in electrical engineering from the University of Seoul, Seoul, Korea, in 1992 and 1994, respectively and the Ph.D. degree in electrical engineering from Cornell University, Ithaca, NY, in 2004. From 1994 to 2000, he was with Samsung Advanced Institute of Technology, Korea, as a Member of Technical Staff in the material and device sector. He was a postdoctoral associate at Cornell University from 2004 to 2005. Since Sept. 2005, he has been with Spansion LLC, Sunnyvale, CA, working on advanced nonvolatile memory development.

Fred　Cheung

received the B.S degree in Chemical engineering from University of California, Berkeley in 1993, and the Ph.D degree in Chemical engineering from University of California, Davis in 1997. He was a FEOL process development engineer in Advanced Micro Devices, Sunnyvale from 1997–2004. He is currently a Senior Member of Technical Staff of Spansion Inc., Sunnyvale responsible for advanced memory development. He has published over 10 technical papers and received over 15 patents.

Hiroyuki Kinoshita

received the B.S degree in materials science and engineering from Cornell University, Ithaca in 1989, and the Ph.D degree in materials science and engineering from University of Texas, Austin in 1993. In 1993 he joined AMD, Sunnyvale nonvolatile memory technology group developing Flash memory devices. He is currently a Senior Member of Technical Staff and a Department Manager of Spansion, Sunnyvale responsible for advanced memory development. He has published over 10 technical papers and received over 15 patents.

上西　雅彦

1994 山形大・工・電子情報工学卒．同年東京エレクトロン東北（株）入社．2004 東京エレクトロン AT（株）．縦型 CVD 炉でのプロセス開発，要素技術開発及び次世代向け半導体製造装置開発に従事．2007 東京エレクトロン東北（株），要素技術開発室所属．

加藤　　寿

1985 岩手大・工・応用化学卒．1987 同大大学院修士課程応用化学専攻了．同年東京エレクトロン（株）入社．1993 東京エレクトロン東北（株），2004 東京エレクトロン AT（株）．縦型 CVD 炉でのプロセス開発，要素技術開発及び次世代向け半導体製造装置開発に従事．2007 東京エレクトロン東北（株），要素技術開発室，室長．

多田　新吾

1991 神戸大・工・電子工学卒．同年東京エレクトロン（株）入社．1999 から 2005 まで TOKYO ELECTRON AMERICA INC. に出向，米国駐在．現在に至るまでサーマルプロセスシステムのマーケティング業務に従事．2008 年 4 月現在，東京エレクトロン（株） サーマルプロセスシステム BU　マーケティンググループ　部長代理．

伊藤　隆司　（正員）

1974 東工大・理工卒，1976 同大大学院修士課程電子工学専攻了，1979 同博士課程了，工博．同年(株)富士通研究所入社．半導体デバイスプロセスの研究開発に従事．半導体研究部長，シリコンテクノロジ研究所長を経て，2003 富士通(株) LSI 事業本部技師長兼あきる野テクノロジセンター長．2005 同社を退職し，東北大学大学院工学研究科電子工学専攻教授に就任し現在に至る．VLSI 薄膜技術（丸善），ULSI デバイスプロセス（電子情報通信学会）等執筆．手島賞，渡邊賞，オーム賞，大河内賞，山崎賞等受賞．応用物理学会，IEEE 各会員．