T2R2 東京科学大学 リサーチリポジトリ
Science Tokyo Research Repository

論文 / 著書情報
Article / Book Information

論題(和文)	一般同期方式におけるクラスタ分割に基づくクロック木の性能評価
Title(English)	An Evaluation of Clock Tree Based on Clustering in General-Synchronous Framework
著者(和文)	小平行秀, 高橋篤司
Authors(English)	Yukihide Kohira, Atsushi Takahashi
出典(和文)	電子情報通信学会 2010ソサイエティ大会 講演論文集 (A-3-1), Vol. A, No. , p. 63
Citation(English)	Proc. the 2010 IEICE Society Conference (A-3-1), Vol. A, No. , p. 63
発行日 / Pub. date	2010, 9
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 2010 Institute of Electronics, Information and Communication Engineers.

Powered by T2R2 (Science Tokyo Research Repository)

一般同期方式におけるクラスタ分割に基づくクロック木の性能評価

An Evaluation of Clock Tree Based on Clustering in General-Synchronous Framework

小平 行秀 †
Yukihide Kohira

† 会津大学 コンピュータ理工学部
School of Computer Science and Engineering,
the University of Aizu

高橋 篤司 ‡
Atsushi Takahashi

‡ 大阪大学 大学院工学研究科 電気電子情報工学専攻
Division of Electrical, Electronic and Information
Engineering, Osaka University

1 はじめに

各記憶素子にクロックを同時に供給することを前提としていない**一般同期方式**では，クロック木の構成や消費電力などのコストが，与えられるクロックスケジュールに大きく依存する．既存研究 [1] で，目標として与えられるクロックタイミングが等しい記憶素子の集合であるクラスタの数が少ないとき，クロック木合成ツールで合成されるクロック木のコストが低いという傾向が示された．しかしながら，文献 [1] で提案されたクラスタ分割手法は，各レジスタのクロックタイミングの設定できる範囲をあらかじめ限定し，その限定された範囲が共通する複数のレジスタを 1 つのクラスタにまとめるため，必ずしもクラスタ数が最小とはならない．そこで，文献 [2] で，我々はクラスタ分割とクロックスケジュールを混合整数計画法 (MILP) で同時に求める手法を提案した．本稿では，配置・配線後の回路に対して，文献 [2] で提案した MILP により得られるクロックスケジュールを元に既存の EDA ツールを用いてクロック木を合成し，合成されるクロック木の性能を評価する．

2 準備

クロック同期回路が正常に動作するための条件は，信号が伝搬する全てのレジスタ対が以下の 2 式を満たすことであると知られている [3].

Setup 制約: $S(a) - S(b) \leq T - D_{\max}(a, b)$

Hold 制約: $S(b) - S(a) \leq D_{\min}(a, b)$

ここで，T はクロック周期，$D_{\max}(a, b)$，$D_{\min}(a, b)$ はレジスタ (a, b) 間の最大遅延，最小遅延，$S(a)$，$S(b)$ はレジスタ a, b のクロックタイミングを表す．

全てのレジスタに同一周期のクロックが同一のクロックタイミングで与えられることを前提とする**完全同期方式**では，クロック周期がレジスタ間の最大遅延未満のとき，回路が正常に動作しないと考える．一方，一般同期方式では，クロック周期がレジスタ間の最大遅延値未満でも，全ての制約を満たすのであれば回路は正常に動作すると正確に判断する．

同一のクロックタイミングを設定するレジスタの集合を**クラスタ**と呼ぶ．クラスタ数を 1 に設定した場合は，全てのレジスタのクロックタイミングが同じ値に設定されるので，完全同期方式となる．一方，クラスタ数を回路のレジスタ数と同数に設定した場合 (**フラット**と呼ぶ) は，全てのレジスタのクロックタイミングを制約を満たす中で自由にクロックタイミング設定できるため，最小のクロック周期を実現できる．一般的に，クラスタ数とそのクラスタ数で実現可能な最小のクロック周期との間にはトレードオフの関係があると考えられる．

3 性能評価

本稿では，ローム社の 0.18μm のライブラリを用いて配置・配線を行った ISCAS89 ベンチマーク回路の s444 と s1269 に対して，レジスタ間の遅延量を算出し，クロックスケジュールを定めた後にレジスタの位置を考慮しつつクラスタ分割を行う CMEW 法 [1] と MILP によりレジスタの位置を考慮せずクラスタ分割とクロックスケジュールを同時に求める手法 [2] を適用し，クロックスケジュールとクラスタ分割を得た．さらに，得られたクロックスケジュールを Cadence 社の SoC Encounter でクロック木合成を行った．得られた回路の最小クロック周期，クロック木の総配線長，クロック木に挿入されたバッファ数を表 1 と表 2 に示す．s444 では，クラスタ数を 5 に設定した MILP と CMEW のクロック木の総配線長と挿入されたバッファ数はほぼ等しいが，実現可能な最小のクロック周期はクラスタ数を 5 に設定した MILP の方が小さい．s1269 では，クラスタ数を 5 に設定した MILP と CMEW の実現可能な最小クロック周期がほぼ等しいが，クロック木の総配線長と挿入されたバッファ数は，クラスタ数を 5 に設定した MILP の方が小さい．また，MILP はフラットで実現できる最小のクロック周期と同等のクロック周期を低いコストで実現できる．

表 1 s444(FF21 個) のクロック木合成結果.

	MILP[2]				フラット	CMEW[1]	完全同期
#CL	5	4	3	2	—	9	1
CPU[s]	0.85	2.09	0.18	0.08			
T[ns]	2.451	2.524	2.581	3.185	2.450	2.507	3.736
(%)	65.6	67.6	69.1	85.3	65.6	67.1	100
WL[μm]	681.3	617.5	602.6	435.7	1015.7	644.1	296.4
(%)	229.8	208.3	203.3	147.0	342.6	217.3	100
#BUF	14	11	10	7	27	14	2

表 2 s1269(FF37 個) のクロック木合成結果.

	MILP[2]				フラット	CMEW[1]	完全同期
#CL	5	4	3	2	—	11	1
CPU[s]	0.42	2.24	3.41	0.29			
T[ns]	6.072	6.121	6.171	6.256	6.075	6.080	7.040
(%)	86.3	86.9	87.7	88.9	86.3	86.4	100
WL[μm]	969.2	857.4	837.5	967.1	2131.5	1149.8	529.4
(%)	183.1	162.0	158.2	182.7	402.6	217.2	100
#BUF	11	9	9	9	40	16	2

#CL クラスタ数
CPU[s] CPLEX の実行時間
T[ns] クロック木合成，配置・配線後の最小クロック周期
WL[μm] 配置・配線後のクロック木の総配線長
#BUF クロック木に挿入されたバッファ数

4 まとめと今後の課題

本稿では，文献 [2] で提案した MILP により得られるクラスタ分割を元に既存の EDA ツールを用いて合成されるクロック木の性能の有効性を示した．

性能評価に用いた回路は小規模な回路であるため，回路面積が小さく，レジスタの位置を考慮しない MILP でも CMEW より低いコストのクロック木を実現できた．しかし，大規模な回路では，クラスタ内の配線長が延びるため，レジスタの位置を考慮したクラスタに分割しなければ，コストが大きくなる可能性がある．また，MILP を解くための計算には，膨大な時間と記憶容量を要するため，大規模な回路に MILP を適用できない．大規模な回路でもクラスタ分割によりクロック木を合成するために，レジスタの位置を考慮しつつ，クラスタ数が少ないクラスタ分割を求める発見的手法を検討することが今後の課題である．

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し，ローム株式会社，日本ケイデンス株式会社の協力で行われたものである．

参考文献

[1] 橋本浩良，小平行秀，高橋篤司，“EDA ツールを用いた低コスト一般同期クロックツリー合成手法,” 信学技報, VLD2008–134, vol.108, no.478, pp.47–52, 2009.

[2] 小平行秀，高橋篤司，“一般同期方式における消費電力を抑えたクロック木構成のためのクラスタ分割法,” 信学技報, VLD2008–134, vol.108, no.478, pp.47–52, 2009.

[3] J.P. Fishburn, “Clock skew optimization,” IEEE Tranc. on Computers, vol.39, no.7, pp.945–951, 1990.

Copyright © 2010 IEICE