

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Study of Multi-Stage Analog to Digital Converters using Interpolation Technique
著者(和文)	LeeHyunui
Author(English)	Hyunui LEE
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第9337号, 授与年月日:2013年9月25日, 学位の種別:課程博士, 審査員:松澤 昭,荒木 純道,益 一哉,高木 茂孝,岡田 健一,川人 祥二
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第9337号, Conferred date:2013/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

専攻:	電子物理工学	専攻	申請学位(専攻分野):	博士	(学術)
Department of			Academic Degree Requested	Doctor of	
学籍番号:			指導教員(主):	松澤 昭	
Student ID Number			Academic Advisor(main)		
学生氏名:	Lee Hyunui		指導教員(副):		
Student's Name			Academic Advisor(sub)		

要旨 (和文 2000 字程度)

Thesis Summary (approx.2000 Japanese Characters)

本論文は“Study of Multi-Stage Analog to Digital Converters using Interpolation Technique” (補間技術を用いたマルチステージ A/D 変換器に関する研究) と題し、英文 8 章からなっている。

第 1 章 “Introduction” (序論) では、プロセスの微細化に伴うトランジスタの固有利得減少により演算増幅器を用いる A/D 変換器 (ADC) 開発が困難になっていることを論じ、この問題の解決を図るため、補間技術の活用方法を提案し、その有効性を実証することが本論文の目的であることを述べている。

第 2 章 “Interpolation and Calibration Techniques” (補間技術と補償技術) では、補間技術の原理、特長及び、実現方法の説明と、マルチステージ ADC での補間技術の使用例などを示している。また、ADC の高性能化のために用いられる補償技術について、原理、長所及び短所などを説明し、補償回路の過度の使用の抑制が必要な理由について述べている。

第 3 章 “Design of 6-bit Subranging ADC with Gate-Weighted Interpolation” (ゲートサイズの重み付け補間を用いた 6 ビットサブレンジング ADC 設計) では、サブレンジング ADC に使用する D/A 変換器 (DAC) として、容量型 DAC (CDAC) と抵抗型 DAC (RDAC) のセトリング速度、消費電力、雑音特性を比較し、CDAC が優れていることを示すとともに、CDAC のミスマッチ解析を行っている。補間技術を用いた 6 ビットサブレンジング ADC は同一分解能の ADC の中で世界最少のエネルギー消費率を達成しており、補間技術の有効性を示している。

第 4 章 “Subranging ADC using Single CDAC Interpolation” (単一の CDAC を用いるサブレンジング ADC) では、一つの差動信号しか用いない新規な補間方式を提案している。提案方式により、第 3 章で述べた ADC と比べ、回路シミュレーション結果において、容量を 38%、消費電力を 53%、面積を 43%削減できたことを示している。

第 5 章 “Design of Interpolated Pipeline ADC using Low-Gain Open-Loop Amplifiers” (低利得のオープンループ増幅器を用いる補間パイプライン ADC 設計) では、補償回路を用いずに 10 ビット以上の分解能を実現できる補間パイプライン ADC に関し、増幅器の線形性、変換ステージの雑音、増幅器間のミスマッチなどが ADC の性能に与える影響についての解析を行っている。また、増幅器の消費電力と ADC の性能の関係を明らかにするとともに、変換ステージの最適化方法について示し、補間パイプライン ADC は 2-3GSps の動作速度まで使用可能な事を明らかにしている。

第 6 章 “A 12-bit Interpolated Pipeline ADC using Body Voltage Controlled Amplifier” (ボディ電位制御増幅器を用いた 12 ビット補間パイプライン ADC 設計) では、ボディ電位の制御により電流をバイアスする増幅器を考案し、従来のカスコード増幅器と比較して 40%の消費電力削減、12.5%の信号範囲増加を達成している。また、その増幅器を用いて試作した ADC は 300MSps の高速な動作速度と、低い周波数の入力信号に対しては 10 ビットの有効ビットを達成しており、近年発表された他の 12 ビット ADC と比べ、補償回路を用いずに高い線形性や低電源電圧への対応が可能なことなどを示し、提案した増幅器及び補間技術の有効性を明らかにしている。

第 7 章 “Suitable Amplifier Topology in Interpolated Pipeline ADC” (補間パイプライン ADC に適している増幅器構造) では、トランスコンダクタンスセルを用いた 12 ビットの補間パイプライン ADC を設計し、この増幅器の構造が速度とオフセットキャンセルの利便性において優れていることを示し、12 ビット程度の高精度 ADC にもオープンループ増幅器が使用可能なことを示している。

第 8 章 “Conclusion” (結論) では、本論文のまとめと、今後のアナログ回路設計に補間技術が与える影響、ADC 開発における補間技術と補償技術の関係の展望などについて述べられている。

以上を要するに、本論文は補間技術を用いた高速かつ高分解能のマルチステージ ADC に関して、DAC 構造の検討、増幅器の線形性、雑音、消費電力が ADC の性能に与える影響を明らかにするとともに、補間技術を用いた ADC に適した補間方法や増幅器を提案したものである。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 2 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 2 copies of 800 Words (English).

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

専攻 : Department of	電子物理学	専攻	申請学位 (専攻分野) : Academic Degree Requested	博士 (学術) Doctor of
学籍番号 : Student ID Number			指導教員 (主) : Academic Advisor(main)	松澤 昭
学生氏名 : Student's Name	Lee Hyunui		指導教員 (副) : Academic Advisor(sub)	

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

In this thesis, design and analysis of multi-stage ADCs using interpolation technique are proposed. The interpolation technique is very effective to realize high-speed and high-resolution ADC using recent scaled technology. By introducing the interpolation technique, the multi-stage ADC does not require a high-gain amplifier which is a bottleneck of high-resolution ADC design. As a result, the ADC becomes free from large amount of calibrations to compensate non-idealities caused by insufficient amplifier's gain.

As an implementation method for the interpolation, CDAC and RDAC in subranging ADC are compared in settling time, power consumption, and noise. Since CDAC shows better performance, it is utilized to ADCs in the thesis. Also, mismatch analysis on CDAC is performed for ADC design. Furthermore, effect of gate-weighted interpolation technique to ADC's performance, such as comparator's offset calibration ability at each interpolation point are examined. The subranging ADC using CDAC and gate-weighted interpolation technique achieves FoM of 250 fJ/conv., which is the world lowest result. And, a new interpolation method to reduce CDAC in half is suggested. These analyses become basics for multi-stage ADC design using interpolation.

Extension of ADC's resolution from subranging ADC, interpolated pipeline ADC is designed and analyzed. In the interpolated pipeline ADC, the most important characteristic for amplifier is linearity, not gain. In this thesis, relation between amplifier's linearity and the ADC's performance is analyzed. Also, effect of MDAC stage's noise, mismatch between amplifiers, ADC's optimized operation frequency with amplifier's current are analyzed. And, optimized 1st stage resolution in each ADC is suggested. A 12-bit interpolated pipeline ADC based on the previous analysis and body voltage controlled amplifier for low-power consumption and wide output swing range is demonstrated. The 12-bit ADC achieves 10-bit of ENOB at 300 MS/s with low-frequency input. The result is competitive with other top-performance 12-bit ADCs although the proposed ADC does not incorporate MDAC calibration and any kind of special process and layout technique.

In this thesis, three types of amplifiers are introduced for interpolated pipeline ADC design, such as source degeneration, cascode (body voltage control), and gm-cell. Also, Open- and closed-loop topologies are utilized to the ADC design. The performance comparison of those proposed topologies are shown in this thesis to choose the suitable topology for various ADC target specifications. Finally, this thesis is concluded with prospection of interpolation technique and relationship between interpolation and calibration techniques.

備考 : 論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 2 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 2 copies of 800 Words (English).