

論文 / 著書情報  
Article / Book Information

題目(和文)	パワーデバイスモデルと電気・熱連成解析を適用した電力変換器の高信頼性化に関する研究
Title(English)	
著者(和文)	堀口剛司
Author(English)	Takeshi Horiguchi
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9630号, 授与年月日:2014年9月25日, 学位の種別:課程博士, 審査員:赤木 泰文,安岡 康一,高橋 宏治,藤田 英明,竹内 希
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第9630号, Conferred date:2014/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

東京工業大学大学院理工学研究科

<< 博士論文 >>

パワーデバイスモデルと  
電気・熱連成解析を適用した  
電力変換器の高信頼性化に関する研究

平成 26 年 9 月

主指導教員 赤木 泰文 教授

提出者

専攻 電気電子工学専攻  
氏名 堀口 剛司



# 目次

<b>第 1 章</b>	<b>序論</b>	<b>1</b>
1.1	研究背景	1
1.1.1	パワーエレクトロニクスの技術動向	1
1.1.2	シミュレーション技術と電力変換器の信頼性設計	3
1.2	本研究の目的	6
1.3	本論文の構成	7
<b>第 2 章</b>	<b>関連技術動向</b>	<b>10</b>
2.1	パワーデバイス物理モデルの技術動向	10
2.1.1	pin ダイオード物理モデルの技術動向	10
2.1.2	IGBT 物理モデルの技術動向	16
2.2	短絡保護方法の技術動向	29
2.3	パワーデバイス温度評価方法の技術動向	39
<b>第 3 章</b>	<b>パワーデバイスモデルの構築</b>	<b>46</b>
3.1	pin ダイオードの物理モデル	47
3.1.1	pin ダイオードのオフ動作	47
3.1.2	pin ダイオードのモデル化	47
3.1.3	pin ダイオードモデルのパラメータ	52
3.2	IGBT モデル	54
3.2.1	IGBT の等価回路と物理モデル	54
3.2.2	IGBT モデルのパラメータ	56
3.2.3	パラメータの設定	59

3.3	解析結果と実験結果の比較 . . . . .	68
3.4	第3章まとめ . . . . .	72
<b>第4章</b>	<b>パワーデバイスモデルを用いた並列接続動作解析</b>	<b>73</b>
4.1	pin ダイオード並列接続時のリカバリー特性 . . . . .	74
4.1.1	配線インダクタンスが異なる場合 . . . . .	74
4.1.2	デバイス温度が異なる場合 . . . . .	79
4.2	IGBT の並列接続動作 . . . . .	84
4.2.1	閾値電圧差と電流アンバランス . . . . .	84
4.2.2	配線インダクタンス差と電流アンバランス . . . . .	86
4.3	第4章まとめ . . . . .	87
<b>第5章</b>	<b>IGBT 物理モデルを用いた電気・熱連成解析</b>	<b>89</b>
5.1	電気・熱連成解析 . . . . .	90
5.2	並列接続 IGBT の PWM 連続動作時のデバイス温度 . . . . .	94
5.2.1	IGBT の接合温度に並列接続時の配線インダクタンス差が与える 影響 . . . . .	94
5.2.2	IGBT の接合温度に並列接続時の閾値電圧差が与える影響 . . . . .	97
5.2.3	IGBT 並列接続時の接合温度差に基づく設計指針の検討 . . . . .	97
5.3	短絡動作に対する電気・熱連成解析 . . . . .	99
5.3.1	アーム短絡動作に対する電気・熱連成解析 . . . . .	99
5.3.2	負荷短絡動作に対する電気・熱連成解析 . . . . .	100
5.4	第5章まとめ . . . . .	103
<b>第6章</b>	<b>IGBT 物理モデルを用いた短絡保護回路開発</b>	<b>105</b>
6.1	ゲート電荷特性 . . . . .	106
6.2	アーム短絡保護動作 . . . . .	110
6.2.1	アーム短絡検出原理 . . . . .	110
6.2.2	アーム短絡保護動作の解析結果 . . . . .	113
6.2.3	アーム短絡保護動作の実験結果 . . . . .	114
6.3	負荷短絡保護動作 . . . . .	116
6.3.1	負荷短絡検出原理 . . . . .	116

---

6.3.2	負荷短絡保護動作の解析結果	118
6.3.3	負荷短絡保護動作の実験結果	120
6.4	第6章まとめ	121
<b>第7章</b>	<b>電気・熱連成解析技術のリアルタイム化</b>	<b>123</b>
7.1	接合温度の評価方法	124
7.2	リアルタイム電気・熱連成解析システム	125
7.2.1	システム概要	125
7.2.2	導通状態の判定と損失計算	126
7.2.3	熱回路網の構築	129
7.3	接合温度評価結果と赤外線カメラによる実験結果の比較	132
7.4	第7章まとめ	136
<b>第8章</b>	<b>結論</b>	<b>139</b>
8.1	本研究の成果	139
8.1.1	パワーデバイスモデルの構築	139
8.1.2	パワーデバイスモデルを用いた並列接続動作解析	140
8.1.3	IGBT 物理モデルを用いた電気・熱連成解析	140
8.1.4	IGBT 物理モデルを用いた短絡保護回路開発	140
8.1.5	電気・熱連成解析技術のリアルタイム化	141
8.2	今後の展望	141
	参考文献	142
	発表論文	154
	謝辞	156

# 表 目 次

1.1	パワーモジュールの信頼性 . . . . .	6
3.1	pin ダイオードモデルのパラメータ . . . . .	52
3.2	IGBT モデル作成に必要なパラメータ . . . . .	57
3.3	IGBT モデルのパラメータ . . . . .	62
4.1	$D_1$ と $D_2$ のインダクタンス値 . . . . .	75
4.2	各条件におけるリカバリー損失 . . . . .	81
4.3	デバイス温度が異なる場合のリカバリー損失 . . . . .	83
4.4	IGBT モデルのパラメータ . . . . .	84
5.1	熱回路網のパラメータ . . . . .	91
6.1	正常ターンオン動作時の論理信号 . . . . .	112
6.2	アーム短絡動作時の論理信号 . . . . .	112
7.1	各パワーデバイスの導通状態 . . . . .	127
7.2	モータパラメータ . . . . .	133
7.3	動作条件 . . . . .	133

# 目 次

1.1	電力変換器を取り巻くシミュレーション環境 . . . . .	4
1.2	モジュール積層構造と部材の線膨張係数 . . . . .	5
2.1	pin ダイオードのオフ動作における過剰キャリアの挙動 [20] Ph. Leturcq, O. Berraies, and J.-L. Massol: “Implementation and Validation of a New Diode Model for Circuit Simulation”, in <i>Proc. IEEE-PESC 1996</i> , vol. 1, pp. 35–43. . . . .	11
2.2	RC 等価回路 . . . . .	14
2.3	境界値計算ブロック線図 . . . . .	16
2.4	プレーナ型 IGBT の構造 . . . . .	17
2.5	IGBT の等価回路 (a) pnp トランジスタモデル, (b) pin Diode モデル . . . . .	17
2.6	IGBT のオフ動作における過剰キャリアの挙動 [42] Ph. Leturcq: “A Study of Distributed Switching Processes in IGBTs and Other Power Bipolar Devices”, in <i>Proc. IEEE-PESC 1997</i> , vol. 1, pp. 139–147. . . . .	18
2.7	オフ動作時のキャリア分布比較 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, <i>IEEE Trans. Power Electron.</i> , vol. 18, no. 5, pp. 1220–1229, Sep. 2003. . . . .	19
2.8	キャリア蓄積領域の分割 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, <i>IEEE Trans. Power Electron.</i> , vol. 18, no. 5, pp. 1220–1229, Sep. 2003. . . . .	20

2.9	IGBT 基本構造とオン状態での挙動 [46] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physics-Based Model of IGBT Including MOS Side Two-Dimensional Effects”, in <i>Proc. IEEE-IAS Annu. Meeting 2006</i> , vol. 3, pp. 1457–1464. . . . .	21
2.10	デバイスシミュレータによるキャリア分布 [46] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physics-Based Model of IGBT Including MOS Side Two-Dimensional Effects”, in <i>Proc. IEEE-IAS Annu. Meeting 2006</i> , vol. 3, pp. 1457–1464. . . . .	22
2.11	FS-IGBT の電界分布計算 [41] A. R. Hefner, Jr.: “Modeling Buffer Layer IGBT’s for Circuit Simulation’, <i>IEEE Trans. Power Electron.</i> , vol. 10, no. 2, pp. 111–123, Mar. 1995. . . . .	23
2.12	FS-IGBT のキャリア分布と電界分布 [35] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer: “Characterization and Modeling of High-Voltage Field-Stop IGBTs”, <i>IEEE Trans. Industry Appl.</i> , vol. 39, no. 4, pp. 922–928, Jul./Aug. 2003. . . . .	24
2.13	ライフタイム抽出 [55] A. T. Bryant, L. Lu, E. Santi, P. R. Palmer, and J. L. Hudgins: “Two Step Parameter Extraction Procedure With Formal Optimazation for Physics-Based Circuit Simulator IGBT and p-i-n Diode Models”, <i>IEEE Trans. Power Electron.</i> , vol. 21, no. 6, pp. 295–309, Mar. 2006. . . . .	26
2.14	帰還容量の解析的抽出 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, <i>IEEE Trans. Power Electron.</i> , vol. 18, no. 5, pp. 1220–1229, Sep. 2003. . . . .	28
2.15	短絡動作の分類 . . . . .	29
2.16	短絡保護回路の従来例 [63] R. S. Chokhawala, J. Catt, and L. Kiraly: “A Discussion on IGBT Short-Circuit Behavior and Fault Protection Schemes”, <i>IEEE Trans. Industry Appl.</i> , vol. 31, no. 2, pp. 256–263, Mar./Apr. 1995. . . . .	30

2.17	短絡保護回路の従来例 [64] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, and M. Melito: “A New Gate Circuit Performing Fault Protections of IGBTs During Short Circuit Transients”, in <i>Proc. IEEE-IAS Annu. Meeting 2002</i> , vol. 3, pp. 2614–2621. . . . .	31
2.18	短絡動作時と正常動作時の各波形の比較 [65] Y. Nakayama, and T. Ohi: “Novel Over Current Protection Methods for IGBT Gate Drivers Using Gate Voltage Monitoring”, in <i>Proc. EPE 2003</i> . . . . .	32
2.19	短絡保護回路の従来例 [65] Y. Nakayama, and T. Ohi: “Novel Over Current Protection Methods for IGBT Gate Drivers Using Gate Voltage Monitoring”, in <i>Proc. EPE 2003</i> . . . . .	32
2.20	短絡保護回路の従来例 [66] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki: “A 600V Driver IC with New Short Circuit Protection in Hybrid Electric Vehicle IGBT Inverter System”, in <i>Proc. IEEE-ISPSPD 2005</i> , pp. 59–62. . . . .	33
2.21	コレクタ・エミッタ間電圧+ゲート・エミッタ間電圧による短絡検出原理 [66] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki: “A 600V Driver IC with New Short Circuit Protection in Hybrid Electric Vehicle IGBT Inverter System”, in <i>Proc. IEEE-ISPSPD 2005</i> , pp. 59–62. . . . .	34
2.22	ゲート・エミッタ間電圧検出による短絡保護回路 [68] M. A. Rodríguez-Blanco, A. Claudio-Sánchez, D. Theilliol, L. G. Vela-Valdés, P. Sibaja-Terán, L. Hernández-González, and J. Aguayo-Alquicira: “A Failure-Detection Strategy for IGBT Based on Gate-Voltage Behavior Applied to a Motor Drive System”, <i>IEEE Trans. Industry Electron.</i> , vol. 58, no. 5, pp. 1625–1633, May 2011. . . . .	35
2.23	ゲート・エミッタ間電圧検出による短絡保護回路 [69] B. G. Park, J. B. Lee, and D. S. Hyun: “A Novel Short-Circuit Detecting Scheme Using Turn-on Switching Characteristics of IGBT”, in <i>Proc. IEEE-IAS Annu. Meeting 2008</i> . . . . .	36
2.24	ゲート電荷検出による短絡保護回路例 [70] K. Yuasa, S. Nakamichi, and I. Omura: “Ultra High Speed Short Circuit Protection for IGBT With Gate Charge Sensing”, in <i>Proc. IEEE-ISPSPD 2010</i> , pp. 37–40. . . . .	37

2.25	ゲート電荷検出による短絡検出原理 [70] K. Yuasa, S. Nakamichi, and I. Omura: “Ultra High Speed Short Circuit Protection for IGBT With Gate Charge Sensing”, in <i>Proc. IEEE-ISPSPD 2010</i> , pp. 37–40. . . . .	37
2.26	ゲート電荷検出による短絡検出原理 [71] T. Tanimura, K. Yuasa, and I. Omura: “Full Digital Short Circuit Protection for Advanced IGBTs”, in <i>Proc. IEEE-ISPSPD 2011</i> , pp. 60–63. . . . .	38
2.27	従来のアーム短絡保護方式の検出原理と課題 [63, 65, 66, 68] . . . . .	38
2.28	赤外線カメラを用いたデバイス温度測定例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, <i>IEEE Trans. Power Electron.</i> , vol. 21, no. 6, pp. 248–257, Jan. 2012. . . . .	40
2.29	運転パターン例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, <i>IEEE Trans. Power Electron.</i> , vol. 21, no. 6, pp. 248–257, Jan. 2012. . . . .	41
2.30	デバイス温度の解析結果例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, <i>IEEE Trans. Power Electron.</i> , vol. 21, no. 6, pp. 248–257, Jan. 2012. . . . .	42
2.31	パワーサイクルとサーマルサイクル . . . . .	44
2.32	レインフロー法と累積損傷 . . . . .	45
3.1	pin ダイオードとキャリア分布 . . . . .	48
3.2	ターンオフ時のキャリア濃度, 電界の模式図 . . . . .	51
3.3	ステップ状ライフタイム分布 . . . . .	53
3.4	pin ダイオードの順方向特性 (記号: 実験結果, 実線: 解析結果) . . . . .	53
3.5	L 負荷スイッチング試験回路 . . . . .	54
3.6	pin ダイオードのリカバリー動作 (破線: 実験結果, 実線: 解析結果) . . . . .	54

3.7	IGBT の構造と等価回路 . . . . .	55
3.8	SGW30N60 伝達特性の実測結果 . . . . .	59
3.9	SGW30N60 出力特性の実測結果 . . . . .	60
3.10	SGW30N60 のターンオフ時のコレクタ電流波形 . . . . .	62
3.11	IGBT の出力特性 (記号：解析結果，線：実験結果) . . . . .	63
3.12	SGW30N60 の容量特性の測定結果 . . . . .	64
3.13	IGBT の構造と端子間容量 [55]. . . . .	65
3.14	IGBT の端子間容量と駆動回路 . . . . .	65
3.15	通常動作時のスイッチング波形 . . . . .	66
3.16	ミラー期間中のゲート電荷とゲート・エミッタ間電圧の関係 . . . . .	67
3.17	ゲート・エミッタ間容量 . . . . .	67
3.18	ミラー期間中のゲート電荷とコレクタ・ゲート間電圧の関係 . . . . .	68
3.19	帰還容量 . . . . .	68
3.20	コレクタ・エミッタ間容量 . . . . .	69
3.21	L 負荷スイッチング試験回路 . . . . .	70
3.22	スイッチング波形 ( $I_c = 30 \text{ A}$ , $R_g = 24\Omega$ , グレー：実測，カラー：解析) . . . . .	70
3.23	スイッチング波形 ( $I_c = 30 \text{ A}$ , $R_g = 24\Omega$ , グレー：実測，カラー：解析) . . . . .	71
4.1	並列接続 pin ダイオードの試験回路 . . . . .	75
4.2	配線インダクタンスが異なる $D_1$ と $D_2$ のリカバリー波形 (条件 I) . . . . .	76
4.3	配線インダクタンスが異なる $D_1$ と $D_2$ のキャリア分布 (条件 I) . . . . .	77
4.4	配線インダクタンスが異なる $D_1$ と $D_2$ のリカバリー波形 (条件 I) (実線： 解析結果，破線：実験結果) . . . . .	78
4.5	配線インダクタンスが異なる $D_1$ と $D_2$ のリカバリー波形 (条件 II) (実線： 解析結果，破線：実験結果) . . . . .	79
4.6	配線インダクタンスが異なる $D_1$ と $D_2$ のリカバリー波形 (条件 III) (実 線：解析結果，破線：実験結果) . . . . .	80
4.7	デバイス温度が異なる $D_1$ と $D_2$ のリカバリー波形 . . . . .	81
4.8	デバイス温度が異なる $D_1$ と $D_2$ のキャリア分布 . . . . .	82

4.9	デバイス温度が異なる $D_1$ と $D_2$ のリカバリー波形 (実線：解析結果，破線：実験結果)	83
4.10	IGBT <sub>1</sub> と IGBT <sub>2</sub> のスイッチング波形 (実線： $V_{th} = 4.31$ V，破線： $V_{th} = 4.81$ V)	85
4.11	ターンオン動作時の IGBT <sub>1</sub> と IGBT <sub>2</sub> の過剰キャリアの挙動	86
4.12	並列接続した IGBT に対する試験回路	87
4.13	IGBT <sub>1</sub> と IGBT <sub>2</sub> のスイッチング波形 (実線：解析結果，破線：実験結果)	88
5.1	フォスタータイプの熱回路網	91
5.2	過渡熱インピーダンス曲線	91
5.3	電気・熱連成解析の概略	92
5.4	損失計算の概略	93
5.5	スイッチング損失エネルギー (実線：IGBT <sub>1</sub> ，破線：IGBT <sub>2</sub> )	95
5.6	接合温度の解析結果 (実線：IGBT <sub>1</sub> ，破線：IGBT <sub>2</sub> ， $\Delta L = 20$ nH)	96
5.7	IGBT の温度差に対する配線インダクタンス依存性 (実線： $f_{out} = 1$ Hz，破線： $f_{out} = 50$ Hz)	97
5.8	接合温度の解析結果 (実線：IGBT <sub>1</sub> ，破線：IGBT <sub>2</sub> ， $\Delta V_{th} = 0.5$ V)	98
5.9	アーム短絡動作の試験回路	99
5.10	アーム短絡動作時の実験結果	100
5.11	アーム短絡動作時の解析結果と実験結果の比較 1 (温度依存性未考慮，破線：解析結果，実線：実験結果)	100
5.12	アーム短絡動作時の解析結果と実験結果の比較 2 (温度依存性考慮，破線：解析結果，実線：実験結果)	101
5.13	アーム短絡動作時の接合温度解析結果	101
5.14	負荷短絡動作の試験回路	102
5.15	負荷短絡動作時の実験結果	102
5.16	負荷短絡動作時の解析結果と実験結果の比較 (破線：解析結果，実線：実験結果)	103
5.17	負荷短絡動作時の接合温度解析結果	103
6.1	通常ターン動作時におけるスイッチング波形とゲート電荷特性の概略	107
6.2	アーム短絡動作時におけるスイッチング波形とゲート電荷特性の概略	108
6.3	負荷短絡動作時におけるスイッチング波形とゲート電荷特性の概略	109

6.4	正常動作時とアーム短絡動作時のゲート電荷特性	110
6.5	アーム短絡保護回路の概略	111
6.6	アーム短絡動作の試験回路	113
6.7	ゲート・エミッタ間電圧とゲート電流波形	114
6.8	アーム短絡時の保護動作なしの各シミュレーション波形	115
6.9	アーム短絡保護動作時の各シミュレーション波形	115
6.10	アーム短絡保護動作時におけるデバイス温度解析結果	116
6.11	実験結果に基づくゲート電荷量波形	116
6.12	実験結果に基づくゲート電荷特性	117
6.13	実験によるアーム短絡保護動作時における各波形その 1	117
6.14	実験によるアーム短絡保護動作時における各波形その 2	118
6.15	正常動作時と負荷短絡動作時のゲート電荷特性	118
6.16	負荷短絡動作の試験回路	119
6.17	負荷短絡時の保護動作なしの各シミュレーション波形	120
6.18	負荷短絡時保護動作時の各シミュレーション波形	120
6.19	負荷短絡保護動作時におけるデバイス温度解析結果	121
6.20	実験結果に基づくゲート電荷特性	121
6.21	実験による負荷短絡保護動作時における各波形	122
7.1	リアルタイム電気・熱連成解析システムの概要	125
7.2	PWM 信号の検出(上: PWM 信号 (9 kHz), 中: リアルタイムコンピュータの演算周波数 (18 kHz), 下: FPGA の演算周波数 (50 MHz))	126
7.3	損失計算のブロックダイアグラム	129
7.4	各パワーデバイスのステップ熱応答	130
7.5	IGBT モジュールの断面概略図	130
7.6	U 相上アーム IGBT のジャンクション・フィン間の過渡熱インピーダンス	131
7.7	動作条件 A	134
7.8	条件 A のモータ電流波形	134
7.9	条件 A での IGBT 温度の実測結果と解析結果の比較	135
7.10	条件 A での還流ダイオード温度の実測結果と解析結果の比較	135
7.11	動作条件 B	136

---

7.12 条件 B のモータ電流波形 . . . . .	136
7.13 条件 B での IGBT 温度の実測結果と解析結果の比較 . . . . .	137
7.14 条件 B での還流ダイオード温度の実測結果と解析結果の比較 . . . . .	137
7.15 条件 A での解析結果と実測結果の偏差 . . . . .	138
7.16 条件 B での解析結果と実測結果の偏差 . . . . .	138

# 第 1 章

## 序論

### 1.1 研究背景

#### 1.1.1 パワーエレクトロニクスの技術動向

パワーエレクトロニクスは、パワーデバイスを用いた電力の変換と制御に関する技術分野であり、数 kVA 程度の家庭用機器や、数十 kVA から数 MVA にいたる産業用機器、また、数十 MVA から数百 MVA の電力系統にいたるまで、幅広い容量にわたって普及している。

パワーエレクトロニクス技術の原点は、1957 年に General Electric 社によるサイリスタ (SCR: Silicon Controlled Rectifier) の開発である [1]。オン制御素子としてそれまで用いられていた水銀整流器はオン電圧降下が 20 V 程度と高かったが、サイリスタではオン電圧降下は 1.5 V 程度と劇的に低減した。しかし、サイリスタは自己消弧型のデバイスではなかったため、自己消弧可能なデバイスとして GTO (Gate Turn-Off thyristor) の研究・開発が進められた。1980 年頃に、定格 2.5-kV, 2-kA の GTO が開発され、GTO は高圧モータドライブ用インバータに使われるようになった [2]。その後、GTO を改良した GCT (Gate Commutated Turn-off thyristor) が 1990 年代半ばに実用化された [3]。GCT は GTO と比較して高速スイッチングが可能であり、また、スナバ回路が不要なため低損失であるという特長を有していた。

また、トランジスタをベースとしたパワーデバイスとして、1977 年頃に 200 V 系モータドライブ用の定格 450-V, 50-A のダーリントン型 BJT (Bipolar Junction Transistor) が開発され [4]、1979 年にはモールドパッケージの 100 A 品が製品化された [5]。1982 年には低速エレベータや家庭用エアコンにもトランジスタモジュールが使われるようにな

り、定格 1000-V, 300-A のトランジスタが実用化されるようになった [6]。

一方、MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor) もパワーデバイスとして利用可能となった。電圧駆動型素子である MOSFET のゲート駆動電力は、電流駆動型素子である BJT のベース駆動電力と比較して極めて小さく、また、BJT より高速スイッチングが可能であるという特徴を有している。しかし、MOSFET のオン抵抗は耐圧の 2 乗に比例することから高耐圧化が難しく、現在実用化されている MOSFET の耐圧は 600 V 程度である。

BJT と MOSFET それぞれの特長を兼ね備えた素子として IGBT(Insulated Gate Bipolar Transistor) が出現したのは、General Electric 社の Baliga が IGR(Insulated Gate Rectifier) の名で試作した 1982 年である [7]。しかし、寄生サイリスタを有する構造をしているために、当時の IGBT はラッチアップが生じるという課題を有していた。中川氏がノンラッチアップ構造の IGBT を発表した 1984 年以降、IGBT は本格的に実用化されていった [8]。IGBT は 600 V 以上の高耐圧化が可能で、低駆動電力であることから、200 V/400 V 低圧用の汎用インバータをはじめとして、これまで BJT が適用されていた分野に適用されるようになった。1985 年に IGBT モジュールの商品化が始まり、IGBT インバータは 1992 年に地下鉄に、1999 年に 700 系新幹線に適用された。

IGBT モジュールに対して、駆動回路や保護回路を内蔵したパワーモジュール (IPM: Intelligent Power Module) が 1989 年に製品化された。IPM は、短絡保護、過電流保護、過熱保護及び制御電源電圧低下保護といった自己保護機能を有している。産業用に開発された IPM であったが、エアコン用として 1996 年に DIPIPM(Dual Inline Package IPM) がリリースされ、その後、冷蔵庫や洗濯機等に適用され、家電製品のインバータ化は一気に加速していった。

IGBT の高耐圧化、大容量化は進み、現在では、6.5 kV 耐圧の IGBT が製品化されている。パワー半導体デバイスは電力容量に応じて使い分けられており、数 kVA までの容量では MOSFET が、数 kVA から数十 MVA までの容量では IGBT が、数十 MVA 以上の領域では GCT が用いられており、IGBT は、現在、パワーデバイスの主要デバイスとなっている [9]。

2000 年以後は、Si-MOSFET のオン抵抗の理論限界を突破したスーパージャンクション MOSFET (COOLMOS) [10] が開発された。また、Si に代わる新材料としてワイドバンドギャップ半導体である SiC(Silicon Carbide) や GaN(Galium Nitride) を用いたデバイスが開発された。特に SiC については、ショットキーバリアダイオード (SBD) や

MOSFET の製品化が進んでいる。例えば、SiC-SBD を搭載したルームエアコンが 2010 年に発売され、2011 年には SiC-SBD を搭載した鉄道車両用インバータが製品化された。2012 年にはパワー密度 50 kVA/l の強制空冷式フル SiC インバータ (出力 156 kVA) が開発されている。その後、2013 年 2 月には、SiC 適用エレベータ制御装置の開発 (1200-V, 1200-A フル SiC パワーモジュールの採用)、3 月には SiC 適用鉄道車両用補助電源装置 (140 kVA) が発表されている。2014 年 4 月には 3300-V, 1500-A フル SiC パワーモジュールを適用した電鉄用推進制御装置を三菱電機が受注したことが発表されている。

また、回路方式としては、直流 - 直流変換、交流 - 直流変換、直流 - 交流変換、交流 - 交流変換の方式がある。パワーデバイスや制御器の性能向上やコスト低減に伴い、マルチレベルインバータ [11] や階調制御インバータ [12, 13, 14] といった複数の変換回路を組み合わせた回路方式が提案、実用化されている。

制御器に目を向けると、従来からあるアナログ制御に加え、最近では DSP(Digital Signal Processor) や FPGA(Field Programmable Gate Array) によるデジタル制御が広く用いられるようになってきている。デジタル制御では複雑な演算処理に対してもソフトウェアで容易に実装することができる。

以上、述べてきたように、パワーデバイスの進化、新たな回路方式や高度な制御方式を適用することにより、パワーエレクトロニクス機器の性能向上が飛躍的に進んでいる。

### 1.1.2 シミュレーション技術と電力変換器の信頼性設計

電力変換器設計に用いられるシミュレーション技術の代表的な例を以下に示す。このようなシミュレーション技術を用いることにより、電力変換器の設計・開発期間を大幅に短縮することができる。

- 回路解析を用いたゲート周辺回路の設計  
ゲート駆動回路、過電流や短絡動作に対する保護回路
- 電磁界解析を用いた電力変換器主回路やゲート駆動回路の配線構造の開発  
主回路、ゲート駆動回路の低インダクタンス配線設計
- 伝熱解析や熱・流体解析を用いた冷却器の設計・開発
- 温度解析や構造解析による寿命解析、設計
- 高調波解析によるノイズ評価

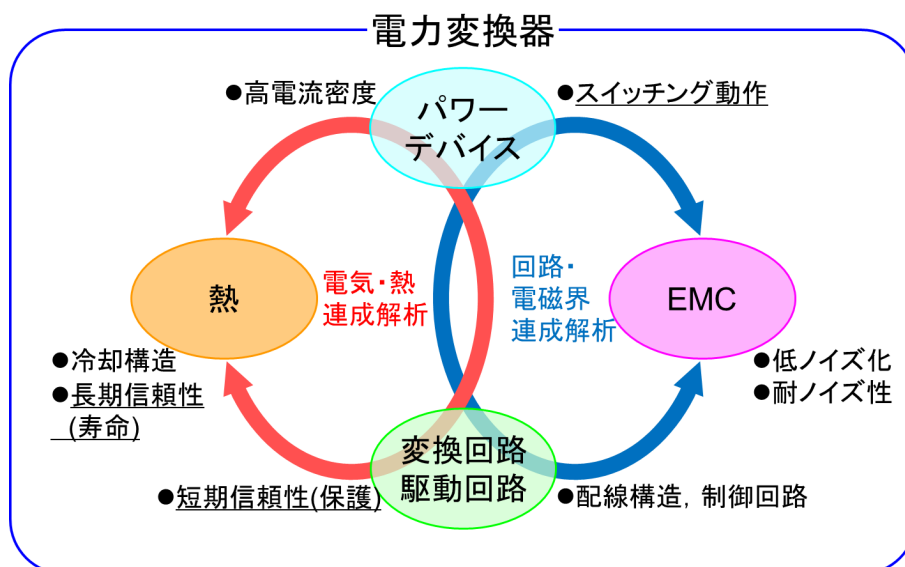


図 1.1: 電力変換器を取り巻くシミュレーション環境

各シミュレーション技術はそれぞれ密接に関連している。例えば、主回路配線の設計では、単に低インダクタンス配線とすればいいというわけではない。主回路配線とゲート配線間の相互インダクタンスに起因する電磁誘導は、パワーデバイスにスイッチング指令を与えるゲート駆動電圧の変動を引き起こす可能性がある。そのため、電磁界解析と回路解析とを組み合わせ合わせた回路・電磁界解析を行う必要がある。また、冷却器の設計では、電力変換器の実際の運転パターンを想定し、デバイス特性の温度依存性を考慮した正確な損失評価に基づいて最適な設計を行うことが重要である。そこで、電気的現象と熱的現象とを同時に取り扱う電気・熱連成解析に取り組むことになる。このように、複数のシミュレーションを同時に実行する連成解析が電力変換器の設計において重要である。図 1.1 に電力変換器を取り巻くシミュレーション環境を模式的に示す。

回路・電磁界解析の適用例として、パワーモジュールや電力変換器の構造開発がある。電磁界解析で抽出した寄生インダクタンスや相互インダクタンスを回路シミュレータに取り込むことで電磁誘導を考慮した配線設計を行っている [15, 16, 17]。また、パワーデバイスを並列接続して用いる大容量の電力変換器では、配線インダクタンスを極力均等化したパワーモジュール構造の設計に適用している。

また、電気・熱連成解析は、パワーデバイスで発生する損失からデバイス温度を評価し、デバイス特性の温度依存性を考慮した最適な冷却器設計の開発や寿命評価に用いられている [18]。電力変換器に用いられるパワーモジュールの積層構造と、各部材の線膨

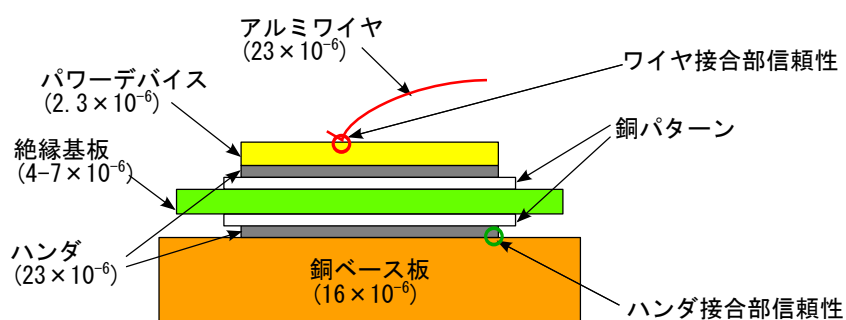


図 1.2: モジュール積層構造と部材の線膨張係数

張係数を図 1.2 に示す。部材間の線膨張係数が大きく異なるため、電力変換器の連続動作時に生じるパワーデバイス温度およびモジュールケース温度の時間変化は熱ストレスとなる。例えば、パワーデバイスの温度変化はパワーデバイスと Al ワイヤ接合部の寿命に影響を及ぼし、また、パワーモジュールケースの温度変化はパワーモジュールのハンダ接合部の寿命に影響を及ぼす。このような温度変化に伴う熱ストレスがパワーモジュールの寿命を決定づけることから、電力変換器の実運転パターンにおけるパワーデバイス温度、パワーモジュールのケース温度を電気・熱連成解析で評価することにより寿命を推定する。

短絡状態では、直流リンク電圧が印加された状態で、定格電流の約 10 倍もの大電流が流れるため、パワーデバイスでは非常に大きな損失が発生する。短絡動作に起因する熱破壊からパワーデバイスを保護するため、デバイスで発生する損失やデバイス温度を設計段階において高精度に予測することが重要である。このような短絡動作時におけるデバイス温度の評価に対して電気・熱連成解析を適用する。IGBT に対する短絡動作に対しては現在のところ  $10 \mu\text{s}$  以内での保護が一般的に求められているが、近年ではパワー密度の上昇に伴い、より高速な保護の必要性が高まっているのが現状である。

電力変換器の実際の運転パターンにおけるデバイス温度評価は長期的信頼性に、短絡動作解析によるデバイス温度評価は短期的信頼性に対して、それぞれ有効である。このように、電気・熱連成解析はパワーモジュールあるいは電力変換器の高信頼性化を実現する技術として重要なシミュレーション技術である。

表 1.1: パワーモジュールの信頼性

	破壊モード	原因
短期的信頼性	過電流	アーム短絡 負荷短絡
	過電圧	ターンオフ時のサージ電圧 電源電圧異常
	過熱	過電流によるデバイス温度上昇 並列動作時の特定デバイスへの電流集中 冷却能力不足，接触熱抵抗の増大 サーマルコンパウンド不足，フィンの反り
長期的信頼性	パワーサイクル	デバイス温度変化による熱応力 (デバイスと Al ワイヤ接合部)
	サーマルサイクル	ケース温度変化による熱応力 (ハンダ接合部)

## 1.2 本研究の目的

電力変換器を構成するパワーモジュールに要求される信頼性を表 1.1 に示す。ここでは信頼性を短期的信頼性と長期的信頼性という形で分類している。短期的信頼性を過電流，過電圧，過熱といった一時的な異常動作に対する保護とし，また，長期的信頼性をパワーサイクル寿命，サーマルサイクル寿命といったパワーモジュールの寿命としている。

デバイス温度の評価による寿命予測は長期的信頼性設計に，また，短絡動作時の各波形及びデバイス温度の評価に基づく短絡保護回路設計は短期的信頼性設計に有効であり，いずれも電気・熱連成解析を適用することにより実現できる。このような電気・熱連成解析によるパワーデバイス温度の評価には，高精度な損失評価が可能なデバイスモデルが求められる。

以上から，高精度なパワーデバイスモデルの開発，また，開発したパワーデバイス物理モデルと電気・熱連成解析とを適用することによる電力変換器の高信頼性化を本研究の目的とする。具体的内容について順に述べていく。

パワーデバイス物理モデルの開発では，バイポーラ系パワーデバイスの最も基本的な

構造である pin ダイオードモデルから着手する。pin ダイオードモデルを開発した後、IGBT モデルの開発に取り組む。このとき、IGBT は pin ダイオードと MOSFET の直列接続として物理モデルを構築する。

パワーデバイス物理モデルの応用として IGBT の並列接続動作の解析を行う。並列接続動作時において過渡的な電流アンバランスが生じる際のデバイス温度を電気・熱連成解析により評価し、IGBT を並列接続する際における設計指針の検討を行う。並列接続時における特定デバイスへの電流集中による過熱を抑制する設計指針を得ることができる。

IGBT 物理モデルを用いた短絡動作の解析を実施する。短絡動作の解析を行うため、定格動作条件よりも広い動作領域に対してデバイス特性を模擬可能なモデルパラメータを決定する。IGBT 物理モデルの電力変換器設計への応用として、IGBT 物理モデルを用いたシミュレーションにより高速短絡保護回路を提案するとともに、実験による検証を行う。高速短絡保護回路の提案・設計により、電力変換器の短期的な信頼性を確保する。

また、電気・熱連成解析技術のリアルタイム化を実現する。電気・熱連成解析は、電力変換器の設計段階においてパワーデバイス温度を予測可能という点で有効な手段である。一方で、製品評価試験におけるパワーデバイス温度を測定するにあたって赤外線カメラを用いる場合、デバイス上部に配線や基板等が配置されると測定ができないという課題がある。そこで、電気・熱連成解析技術とリアルタイムコンピューティング技術を融合することにより、実動作中の出力電流や出力電圧の検出値を用いてデバイス温度のリアルタイム評価を実現する。設計段階において電力変換器の実動作中におけるデバイス温度を予測し、製品評価試験におけるデバイス温度をリアルタイムに評価する技術は、パワーサイクルあるいはサーマルサイクル寿命設計に貢献する技術である。

## 1.3 本論文の構成

本論文は本章を含め全 8 章で構成されている。各章の内容は以下の通りである。

### 第 1 章 序論 (本章)

本研究の背景となるパワーエレクトロニクス技術の経緯を概説する。また、電力変換器の信頼性という観点から、パワーデバイス並列接続時の設計指針の検討、パワーデバイス温度の評価、パワーデバイス物理モデルを用いた短絡動作解析の意義について述べ

る。最後に、本研究の目的、論文構成について述べる。

## 第2章 関連技術動向

本論文に関する各関連技術動向・相違点を明確にする。具体的には、パワーデバイス物理モデルとして、pin ダイオードモデル及び IGBT 物理モデルの研究動向について述べる。pin ダイオードモデルの研究動向として、 $n^-$ ドリフト層内のキャリアの挙動を一次元両極性拡散方程式で記述する物理モデルと、両極性拡散方程式の解法について述べる。また、IGBT モデルの研究動向について述べる。

次に、短絡保護動作の研究動向について述べる。コレクタ電圧やコレクタ電流検出による保護方式や、ゲート電圧検出方式等、これまでに提案されている各種保護方式の検出原理と課題について述べる。

最後に、電気・熱連成解析を用いたパワーデバイスの温度評価方法に関する研究動向・技術的課題に対する先行研究と開発動向について述べる。

## 第3章 パワーデバイスモデルの構築

pin ダイオードの物理モデルについて、 $n^-$ ドリフト層内のキャリアの挙動を一次元両極性拡散方程式を用いて表現する物理モデルについて述べる。

IGBT 物理モデルを  $n^-$ ドリフト層のキャリア蓄積領域における過剰キャリアの挙動を表現する1次元両極性拡散方程式と、MOS チャネル部を流れる電子電流の理論式とを用いることにより、IGBT 物理モデルの基本構成を示す。更に、ゲート、エミッタ、コレクタの各端子間容量と組み合わせることにより、スイッチング動作時において空乏層幅が変化することによって流れる変位電流を考慮可能な IGBT 物理モデルを構築する。温度、電流、電圧といったパラメータの幅広い動作条件に対して、デバイス特性を高精度に模擬できる物理モデルを構成するためのパラメータ抽出方法と、物理モデルによる解析結果と実験結果との比較について述べる。

## 第4章 パワーデバイスモデルを用いた並列接続動作解析

pin ダイオード及び IGBT の並列接続動作について述べる。pin ダイオード並列接続時におけるリカバリ特性について実験結果と対比する。配線インダクタンス差やデバイス温度差がある際に観測される複雑なりカバリ波形について、過剰キャリア密度の挙動に基づき理論的に解明する。また、IGBT の並列接続動作における、閾値電圧差に起因する過渡的な電流アンバランス波形について、 $n^-$ ドリフト層内の過剰キャリアの挙動を

用いて説明する。

### 第5章 IGBT 物理モデルを用いた電気・熱連成解析

IGBT 並列駆動時における過渡的電流アンバランスのデバイス温度への影響について述べる。IGBT を並列動作させる場合、IGBT の素子特性差（閾値電圧やオン電圧等）や、主回路やゲート駆動回路の配線インダクタンス差等、様々な要因によって、IGBT チップ間に電流アンバランスが発生する可能性がある。IGBT 物理モデルと電気・熱連成解析を用いて、並列接続時に対する設計指針の検討について述べる。

また、短絡動作に対して電気・熱連成解析を適用する。短絡動作状態では非常に大きな損失が瞬時に発生するため、デバイス特性の温度依存性を反映させる必要がある。短絡動作に対して電気・熱連成解析を適用することの重要性・有効性を示す。

### 第6章 IGBT 物理モデルを用いた短絡保護回路開発

パワーデバイスの電流密度増加に伴い、短絡動作に対する高速な保護回路が求められている。高速に短絡保護を実現可能な短絡保護方式として、IGBT のゲート電荷特性を利用した短絡保護方法を提案する。アーム短絡、負荷短絡に対する検出原理を示し、IGBT 物理モデルを用いたシミュレーションによる動作原理を確認する。また、実験による高速短絡保護回路の動作検証結果について述べる。

### 第7章 電気・熱連成解析技術のリアルタイム化

パワーデバイス温度やパワーモジュールケース温度の評価は、電力変換器の長期的信頼性を確保する上で重要な要素である。電気・熱連成解析技術とリアルタイムコンピューティング技術との組み合わせにより、電力変換器の実動作中におけるパワーデバイス温度をリアルタイムに評価可能なシステムを構築する。パワーデバイス温度リアルタイム評価技術が、電気・熱連成解析技術の製品評価試験への実用例として有効であることを示す。

### 第8章 結論

本研究の成果として、第3章から第7章までの内容について各章の成果をまとめ、各章の意義について整理する。また、今後の課題について述べる。

## 第 2 章

### 関連技術動向

本章では、まずパワーデバイス物理モデルの技術動向として pin ダイオード物理モデルと IGBT 物理モデルについて述べる。次に、現在までに研究・開発されている短絡保護，及び，パワーデバイス温度の評価方法の技術動向を明らかにする。

#### 2.1 パワーデバイス物理モデルの技術動向

##### 2.1.1 pin ダイオード物理モデルの技術動向

バイポーラ型パワーデバイスの物理モデルの原点は pin ダイオード物理モデルの開発 [19, 20] である。pin ダイオード物理モデルとは、 $n^-$  ドリフト層のキャリア蓄積領域における過剰キャリアの挙動を 1 次元両極性拡散方程式で記述し、回路シミュレータに組み入れることのできるモデルのことである。キャリア蓄積領域における過剰キャリアの挙動を示す両極性拡散方程式を、余弦フーリエ展開を用いることにより RC 等価回路で表現した解法が発表された [21]。pin ダイオード物理モデルの確立により、現在の IGBT 物理モデルへと発展している。

図 2.1 に pin ダイオードのオフ動作の過剰キャリアの挙動を模式的に示す [20]。pin ダイオードのリカバリー特性は  $n^-$  ドリフト層に蓄積された過剰キャリアの過渡応答によって決まる。順方向に定電流が流れている状態から、ダイオードのオフ動作が始まると、ダイオードに流れる電流は減少して 0 A に達した後、逆電流が流れ始める。これがリカバリー動作である。このとき、 $n^-$  ドリフト層中の正孔は  $p^+$  層へ、電子は  $n^+$  層へと掃き出される。その後、空乏層が形成され始め、空乏層の拡大とともに  $n^-$  ドリフト層に蓄積されたキャリアは減少していく。ダイオードの端子電圧の上昇とともに、ダイオー

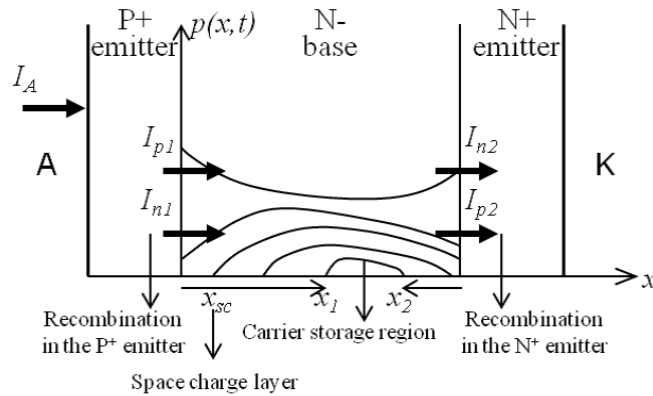


図 2.1: pin ダイオードのオフ動作における過剰キャリアの挙動 [20] Ph. Leturcq, O. Berraies, and J.-L. Massol: “Implementation and Validation of a New Diode Model for Circuit Simulation”, in *Proc. IEEE-PESC 1996*, vol. 1, pp. 35–43.

ドを流れる逆電流は減少する。

pin ダイオードでは高注入条件を満たしているため、電荷中性条件より  $n^-$  ドリフト層内の正孔濃度  $p(x, t)$  と電子濃度  $n(x, t)$  は等しく、そのキャリア分布は式 (2.1) に示す 1 次元両極性拡散方程式により求められる。式 (2.1) において、 $D$  は両極性拡散定数、 $\tau_{HL}$  は高注入ライフタイムであり、両極性拡散定数  $D$  は電子の拡散定数  $D_n$  と正孔の拡散定数  $D_p$  を用いて式 (2.2) で表される。

$$D \frac{\partial^2 p(x, t)}{\partial x^2} = \frac{p(x, t)}{\tau_{HL}} + \frac{\partial p(x, t)}{\partial t} \quad (2.1)$$

$$D = \frac{2D_n D_p}{D_n + D_p} \quad (2.2)$$

境界条件はキャリア蓄積領域の両端 ( $x_1, x_2$ ) における過剰キャリア密度の勾配を用いて式 (2.3) で与えられる。式 (2.3) において、 $q$  は素電荷、 $S$  はダイ面積である。また、 $I_{ni}$ 、 $I_{pi}$  はそれぞれ  $x_i$  における電子電流と正孔電流である ( $i = 1, 2$ )。

$$\left. \frac{\partial p(x, t)}{\partial x} \right|_{x_1} = \frac{1}{2qS} \left( \frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right), \quad \left. \frac{\partial p(x, t)}{\partial x} \right|_{x_2} = \frac{1}{2qS} \left( \frac{I_{n2}}{D_n} - \frac{I_{p2}}{D_p} \right) \quad (2.3)$$

次に、電流と電圧の関係式について述べる。 $n^-$  ドリフト層における  $p^+$  層側、 $n^+$  層側それぞれの空乏層幅を  $W_{d1}$ 、 $W_{d2}$ 、空乏層の電界を  $E_{d1}$ 、 $E_{d2}$  とする。このとき、変位

電流  $I_{disp1}$  ,  $I_{disp2}$  を考慮すると , ダイオードに流れる全電流  $I_a$  は式 (2.4) で表される。

$$I_a = I_{n1} + I_{p1} + I_{disp1} = I_{n2} + I_{p2} + I_{disp2} \quad (2.4)$$

p<sup>+</sup> 層 , n<sup>+</sup> 層での再結合による電流  $I_{n1}$  ,  $I_{p2}$  は , 再結合パラメータ  $h_p$  ,  $h_n$  を用いて式 (2.5) で表される [22]。

$$I_{n1} = qh_p S p(x_1)^2 , \quad I_{p2} = qh_n S p(x_2)^2 \quad (2.5)$$

また , 変位電流  $I_{disp1}$  ,  $I_{disp2}$  は Si の誘電率  $\varepsilon_{Si}$  を用いて式 (2.6) で表される。

$$I_{dispi} = \varepsilon_{Si} S \left( \frac{\partial E_{di}}{\partial t} \right) \quad (i = 1, 2) \quad (2.6)$$

一方 , ダイオードの端子間電圧  $V_{AK}$  は , 接合電圧  $V_j$  , 蓄積領域電圧  $V_b$  , 空乏層電圧  $V_{d1}$  ,  $V_{d2}$  の和で表される [23]。

$$V_{AK} = V_j + V_b + V_{d1} + V_{d2} \quad (2.7)$$

式 (2.7) における各電圧は式 (2.8)–(2.10) で表される。

$$V_j = \frac{kT}{q} \ln \left( \frac{p(x_1)p(x_2)}{n_i^2} \right) \quad (2.8)$$

$$V_b = \frac{I_a}{q\mu S} \int_{x_1}^{x_2} \frac{1}{p(x, t)} dx \quad (2.9)$$

$$V_{di} = \frac{q}{2\varepsilon_{Si}} \left( N_B + \frac{I_a}{qAv_{sat}} \right) W_{di}^2 \quad (i = 1, 2) \quad (2.10)$$

ここで ,  $N_B$  はベース領域のドーパント濃度 ,  $v_{sat}$  は飽和ドリフト速度である。

両極性拡散方程式 (2.1) は , 定常状態では  $\partial p(x, t)/\partial t = 0$  となることから解析的に解くことができる。

ライフタイムが n<sup>-</sup> 層全体で均一とした場合 , キャリア濃度は

$$p(x) = A \exp \left( \frac{x}{L} \right) + B \exp \left( -\frac{x}{L} \right) \quad (2.11)$$

と表すことができる。ここで ,

$$A = L \frac{g - f \exp(-W/L)}{\exp(W/L) - \exp(-W/L)} , \quad B = L \frac{g - f \exp(W/L)}{\exp(W/L) - \exp(-W/L)} \quad (2.12)$$

$$L = \sqrt{D\tau} \quad (2.13)$$

である。

次に過渡状態における両極性拡散方程式 (2.1) の解法について述べる。キャリア濃度  $p(x, t)$  を  $x$  方向の余弦フーリエ展開により RC 等価回路へと置換し、回路シミュレータに実装することにより解くことができる [19, 21]。

キャリア濃度のフーリエ級数を考え、偶周期的展開を行うと、

$$p(x, t) = v_0 + \sum_{k=1}^{\infty} v_k(t) \cos \frac{k\pi(x - x_1)}{x_2 - x_1} \quad (2.14)$$

ここで、

$$v_0 = \frac{1}{x_2 - x_1} \int_{x_1}^{x_2} p(x, t) dx \quad (2.15)$$

$$v_k = \frac{2}{x_2 - x_1} \int_{x_1}^{x_2} p(x, t) \cos \frac{k\pi(x - x_1)}{x_2 - x_1} dx \quad (2.16)$$

である。

式 (2.1) の各項に  $\cos \{n\pi(x - x_1)/(x_2 - x_1)\}$  を乗じ、 $x_1$  から  $x_2$  の範囲で積分を行い、

$$f(t) = \left. \frac{\partial p(x, t)}{\partial x} \right|_{x_1}, \quad g(t) = \left. \frac{\partial p(x, t)}{\partial x} \right|_{x_2} \quad (2.17)$$

とすると、以下の方程式を得る。

- $k = 0$  の場合

$$(x_2 - x_1) \frac{dv_0(t)}{dt} + \frac{x_2 - x_1}{\tau} v_0(t) = D \{g(t) - f(t)\} - I_0 \quad (2.18)$$

$$I_0 = \sum_{n=1}^{\infty} v_n(t) \left\{ \frac{dx_1}{dt} - (-1)^n \frac{dx_2}{dt} \right\} \quad (2.19)$$

ここで、

$$C_0 = x_2 - x_1, \quad R_0 = \frac{\tau}{x_2 - x_1} \quad (2.20)$$

とすると、

$$C_0 \frac{dv_0(t)}{dt} + \frac{v_0(t)}{R_0} = D \{g(t) - f(t)\} - I_0 \quad (2.21)$$

と表される。

- $k \neq 0$  の場合

$$\frac{x_2 - x_1}{2} \left[ \frac{dv_k(t)}{dt} + \left\{ \frac{1}{\tau} + \frac{k^2 \pi^2 D}{(x_2 - x_1)^2} \right\} v_k(t) \right] = D \{(-1)^k g(t) - f(t)\} - I_k(t) \quad (2.22)$$

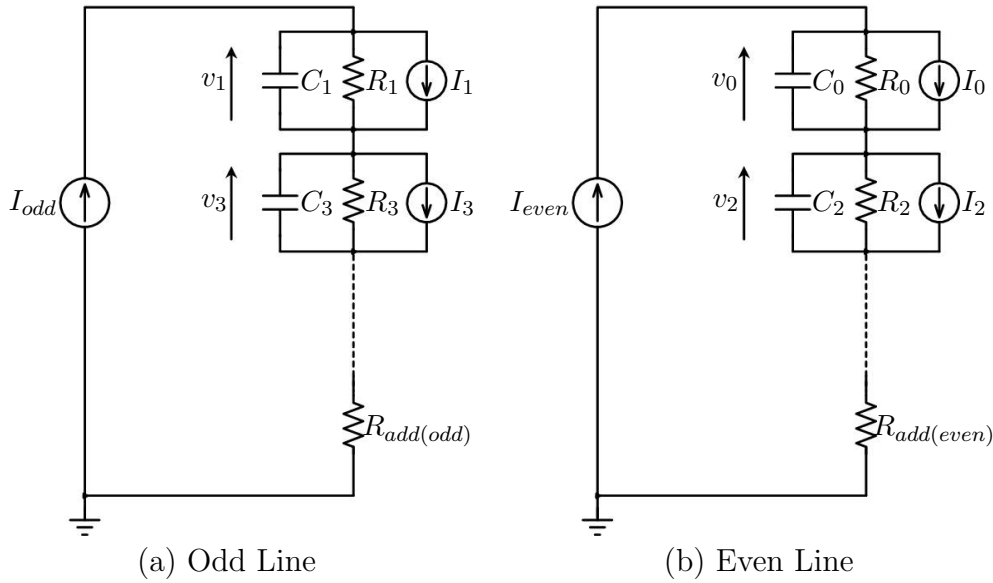


図 2.2: RC 等価回路

$$I_k = \frac{v_k(t)}{4} \left( \frac{dx_1}{dt} - \frac{dx_2}{dt} \right) + \sum_{\substack{n=1 \\ n \neq k}}^{\infty} \frac{n^2}{n^2 - k^2} v_n(t) \left\{ \frac{dx_1}{dt} - (-1)^{k+n} \frac{dx_2}{dt} \right\} \quad (2.23)$$

ここで,

$$C_k = \frac{x_2 - x_1}{2}, \quad R_k = \frac{2}{x_2 - x_1} \left\{ \frac{1}{\tau} + \frac{k^2 \pi^2 D}{(x_2 - x_1)^2} \right\}^{-1} \quad (2.24)$$

とすると,

$$C_k \frac{dv_k(t)}{dt} + \frac{v_k(t)}{R_k} = D \{ (-1)^k g(t) - f(t) \} - I_k(t) \quad (2.25)$$

と表される。

以上のように, 式 (2.1) の両極性拡散方程式は, 式 (2.21), (2.25) に示すような  $v_k(t)$  についての 1 階の微分方程式となり, また, 回路方程式とみなすことができるため回路シミュレータで解くことが可能となる。式 (2.21), (2.25) を図 2.2 に示す RC 等価回路に置き換えると, 一つのコンデンサ, 抵抗, 電流源から成る並列回路に発生する電圧が各フーリエ係数  $v_k$  となる。

また, 偶数項, 奇数項で共通する電流源の大きさは次式で表される。

$$I_{\text{even}} = D \{ g(t) - f(t) \} \quad (2.26)$$

$$I_{\text{odd}} = -D \{ g(t) + f(t) \} \quad (2.27)$$

RC 等価回路の終端に直列に挿入されている終端抵抗  $R_{\text{add(even)}}$  ,  $R_{\text{add(odd)}}$  は、打ち切られた高次の項に含まれる抵抗成分の総和であり、打ち切り誤差を軽減する働きを持つ。 $k$  次 ( $k$  : 自然数) で打ち切るとすると抵抗値は以下ようになる [24]。

$$R_{\text{add(even)}} = \sum_{n=k/2+1}^{\infty} R_{2n} = \frac{\tau}{2L} \coth\left(\frac{x_2 - x_1}{2L}\right) - \sum_{n=0}^{k/2} R_{2n} \quad (2.28)$$

$$R_{\text{add(odd)}} = \sum_{n=k/2}^{\infty} R_{2n+1} = \frac{\tau}{2L} \tanh\left(\frac{x_2 - x_1}{2L}\right) - \sum_{n=1}^{k/2} R_{2n-1} \quad (2.29)$$

次に境界条件について述べる。

順方向に定電流が流れている時は、 $x_1 = 0$  ,  $x_2 = W$  で、 $x_1$  ,  $x_2$  は  $n^-$  層の両端に位置し、 $x_1$  ,  $x_2$  でのキャリア濃度  $p(x_1, t)$  ,  $p(x_2, t)$  は次式を満たしている。

$$p(x_1, t) > 0 \quad , \quad p(x_2, t) > 0 \quad (2.30)$$

逆電流が流れキャリア蓄積領域が小さくなると、位置座標  $x_1$  ,  $x_2$  が移動し空乏層が形成される。この時、 $p(x_1, t)$  ,  $p(x_2, t)$  は、

$$p(x_1, t) = p(x_2, t) = 0 \quad \text{or} \quad p(x_1, t) = 0 \quad , \quad p(x_2, t) > 0 \quad (2.31)$$

となる。式 (2.31) の後者は、空乏層が  $p^+$  層側から形成し、 $x_1$  が先に移動する状態を意味する。

これらの条件を満たす  $x_1$  ,  $x_2$  は、図 2.3 に示すブロック線図を実装することで、アナログ的に得られる。図 2.3 (a) は、 $x_1 = 0$  ,  $x_2 = W$  の位置におけるキャリア濃度を求めることを意味する。図 2.3 (b) は、オペアンプの動作から  $p(x_1, t)$  ,  $p(x_2, t)$  が 0 の場合のみ  $x_1$  ,  $x_2$  の値を出力することを意味する。

その後、モデル精度向上の観点から、ライフタイム分布を考慮したモデルが提案された [25, 26, 27]。  $n^-$  ドリフト層内のキャリアのライフタイムを 2 種類としステップ状に分布している際のモデルを示している。

この pin ダイオードモデルは広い動作範囲にわたって高い精度で実測波形を再現することができ、また、汎用回路シミュレータで動作するため、回路設計者が容易に取り扱えるという利点がある。

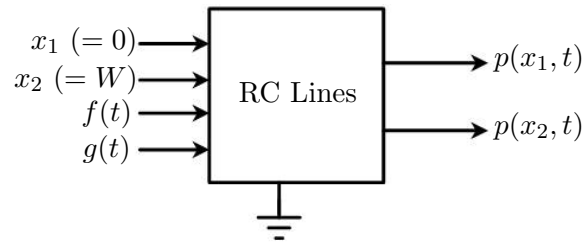
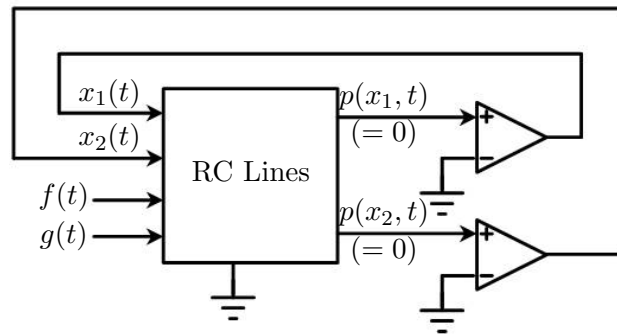
(a) 固定境界 ( $x_1 = 0, x_2 = W$ )(b) 可動境界 ( $x_1(t) > 0, x_1(t) < x_2(t) < W$ )

図 2.3: 境界値計算ブロック線図

### 2.1.2 IGBT 物理モデルの技術動向

IGBT もまたバイポーラ型のパワーデバイスである。図 2.4 はプレーナ型 IGBT の構造を示したものである。従来，IGBT の等価回路は図 2.5(a) に示すような MOSFET と pnp トランジスタの並列回路で表されてきた [28, 29]。この等価回路から，ゲート・エミッタ間に電圧を印加して MOSFET がオンすることにより流れる電子電流が，pnp トランジスタのベース電流となって，pnp トランジスタが動作すると理解することができる。しかし，このような等価回路で IGBT を表現したため，IGBT の高耐圧化は 2 kV が限界であると考えられるようになった [30]。その後，オン電圧を高くすることなく，耐圧を 2 kV 以上にするようなデバイス構造の開発が行われるようになり，1994 年に IGBT の等価回路が MOSFET と pin ダイオードの直列接続で表されることを裏付ける実験結果が発表された [31]。現在では，図 2.5(b) に示すような MOSFET と pin ダイオードの直列接続とするモデルが IGBT の等価回路として適切であると認識されている [32]。

IGBT の  $n^-$  ドリフト層内では，pin ダイオードの  $i$  層と同様に高水準注入条件を満た

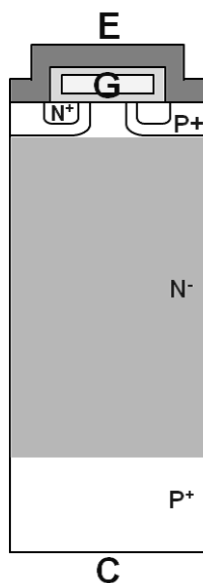


図 2.4: プレーナ型 IGBT の構造

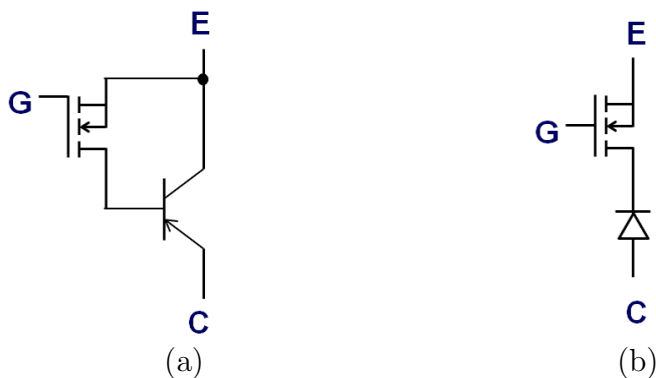


図 2.5: IGBT の等価回路 (a) pnp トランジスタモデル, (b) pin Diode モデル

していることから,  $n^-$  ドリフト層内における過剰キャリア密度分布は両極性拡散方程式から求められる。両極性拡散方程式から求めたキャリア蓄積領域の MOS チャネル側を流れる電子電流 ( $I_{n2}$ ) が MOS チャネル部を流れる電流  $I_{ch}$  の理論式に一致すると仮定することで, IGBT の基本的な物理モデルを構成することができる [33]。

その後, IGBT デバイスの発展に伴い, その物理モデルも進化しており, NPT(Non Punch Through) 型 IGBT や PT(Punch Through) 型 IGBT, FS(Field Stop) 型 IGBT に対応した物理モデルが開発されていく [34, 35]。

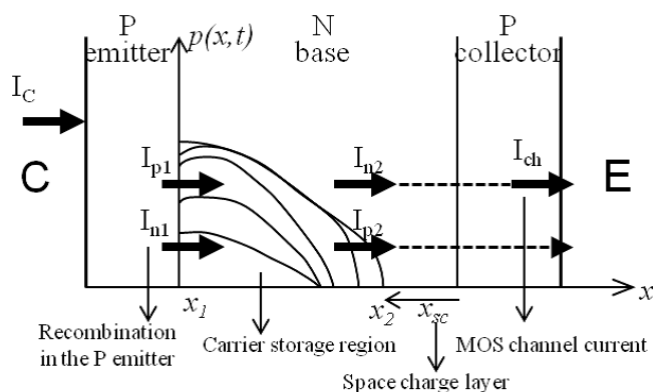


図 2.6: IGBT のオフ動作における過剰キャリアの挙動 [42] Ph. Leturcq: “A Study of Distributed Switching Processes in IGBTs and Other Power Bipolar Devices”, in *Proc. IEEE-PESC 1997*, vol. 1, pp. 139–147.

図 2.5(a) に示した等価回路モデルを用いて，IGBT のターンオフ時の挙動が報告されている [28, 36]。IGBT の低ゲイン，高注入条件を表現するためには，ベース領域の電子とホール移動を両極性拡散方程式で記述する必要がある。定常状態，過渡状態を両極性拡散方程式を用いて解析的に表現したモデルがいわゆる Hefner モデルである [29]。両極性拡散方程式を用いてベース領域の伝導度変調を考慮し，オン電圧の解析式を示している [37]。

Hefner らは，MOSFET+バイポーラトランジスタモデルに非線形性の各端子間の容量を組み込んだ IGBT モデルを提案した [38]。その後，MOSFET 領域のモデル高度化 [39] や動的電気・熱連成解析用モデルを提案している [40]。更に，パンチスルー型 IGBT(PT-IGBT) に対するバッファ層のモデル化へと展開している [41]。

一方で，pin ダイオードモデルで提案された RC 等価回路を用いて両極性拡散方程式を解く手法 [21] の IGBT モデルへの適用が発表された [33, 42]。文献 [33] では，IGBT の  $n^-$  ドリフト層内の過剰キャリアの挙動を両極性拡散方程式で表現し，RC 等価回路で解く手法を採用している。MOSFET 構造部については， $n^-$  ドリフト層の MOS チャネル側端部を流れる電子電流を MOS チャネル電流として計算している。文献 [42] も同様の手法を用いており，いずれの文献もターンオフ動作時のキャリアの挙動に重きをおいている。図 2.6 に IGBT のターンオフ動作時の過剰キャリアの挙動の模式図を示す。図

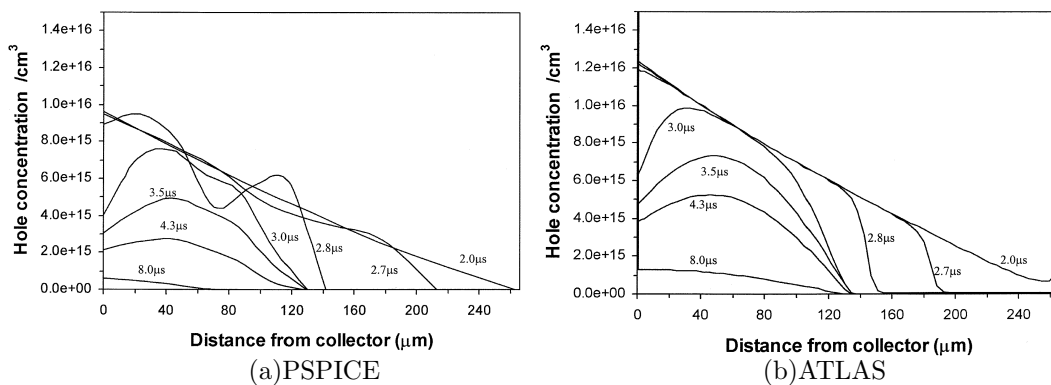


図 2.7: オフ動作時のキャリア分布比較 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, *IEEE Trans. Power Electron.*, vol. 18, no. 5, pp. 1220–1229, Sep. 2003.

2.1 に示した pin ダイオードのオフ動作時のキャリアの挙動と本質的に同じであることがわかる。このことからわかるように、IGBT の物理モデルはまずはターンオフ動作の挙動に対するモデル化から始まっている。

プレーナ型 IGBT に対する物理モデルの動向について詳述する。Palmer らは、プレーナ型 NPT-IGBT について 1 次元モデルの妥当性を 2 次元のデバイスシミュレータ ATLAS を用いて検証を行っている [43, 44]。図 2.7 はドリフト層内のキャリア分布の比較を示したものであり、(a) が回路シミュレータ PSPICE、(b) がデバイスシミュレータ ATLAS を用いて計算したキャリア濃度のプロファイルである。p ウェル側端部でこそ結果に差異が生じているものの、ドリフト層におけるキャリア分布はその 90% が一次的であることを示しており、1 次元モデルでも妥当な結果が得られることを示している。この結果を踏まえ、更にデバイスモデルの精度向上をめざし、ターンオフ時の空乏層の拡がり方の幾何学検討から数式で表現したコレクタ・エミッタ間、コレクタ・ゲート間の非線形容量から生じる変位電流を考慮したモデルを提案している。

IGBT 物理モデルを用いてキャリア分布を計算する際、図 2.8 に示すようにキャリア蓄積領域を 6 分割している。このとき、p ウェル直下でキャリアがゼロになると従来の 1 次元プロファイルでは非現実的な高抵抗となってしまうことから、p ウェル側端部から 2 番目の点のキャリア密度値を端部の点における値としている。このような擬 2 次元

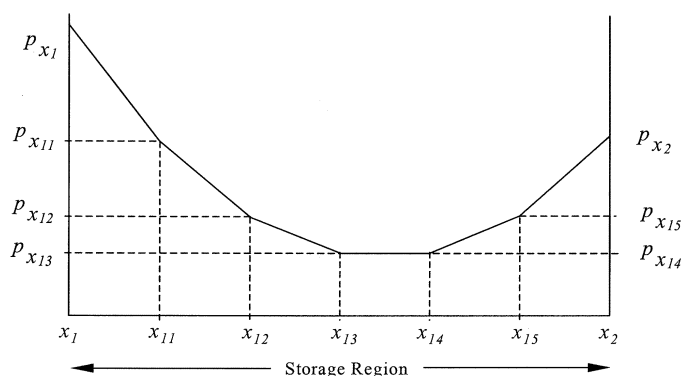


図 2.8: キャリア蓄積領域の分割 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, *IEEE Trans. Power Electron.*, vol. 18, no. 5, pp. 1220–1229, Sep. 2003.

的なモデルとすることによりターンオフ時のミラー効果を高精度に模擬しており、テール電流や電圧上昇を従来モデルと比較して非常によく再現している。また、温度依存性を考慮した物理モデルとするため、閾値電圧やトランスコンダクタンスパラメータに対して温度依存性の式を導入し、ターンオフ動作について実測結果と比較している。ダイオードのリカバリ波形については実験結果と解析結果を比較している。

Luらは、プレーナ型 NPT-IGBT に対して、定常状態におけるキャリア分布をデバイスシミュレータ ATLAS による解析結果と比較し、その妥当性を述べている [45]。IGBT の MOS 領域の電圧をキャリア分布から計算し、MOSFET 部に関しては、MOS チャネル電流の理論式を適用している。MOS チャネル電流の解析式の適用により、IGBT と重複する MOSFET モデルの動特性を無視し、MOSFET 部については静特性のみで対応している。また、 $-125^{\circ}\text{C}$  から  $+125^{\circ}\text{C}$  の温度依存性について検討している。

Luらは、また、プレーナ型 IGBT の MOS 構造部の 2 次元効果に言及している [46]。ここで、2 次元効果とは、図 2.9 に示すように、電子とホール電流経路が異なる効果のことである。2 次元効果を考慮することにより、ドリフト層の MOS 領域側端部でのキャリア分布をデバイスシミュレータで求められるキャリア分布に近づけ、現実的なキャリア分布を再現しようとしている。(図 2.7 参照。)このような手法としては、Johnson モ

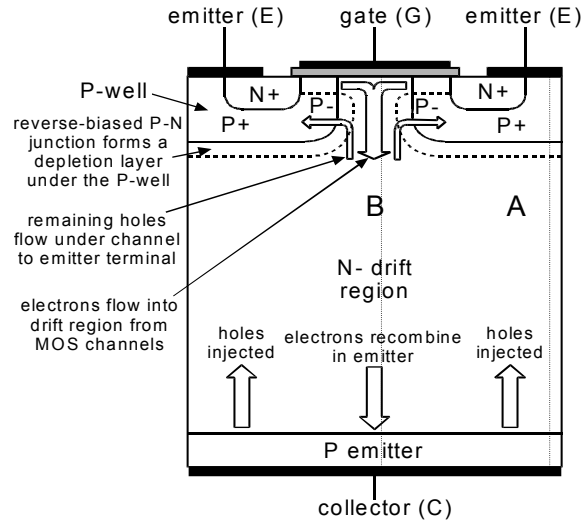


図 2.9: IGBT 基本構造とオン状態での挙動 [46] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physics-Based Model of IGBT Including MOS Side Two-Dimensional Effects”, in *Proc. IEEE-IAS Annu. Meeting 2006*, vol. 3, pp. 1457–1464.

デル [47] と Sheng モデル [48] とが提案されているが、回路シミュレータへの展開の容易さから Johnson モデルを適用している。JFET 領域での 2 次元効果を考慮することにより、導通時の電圧降下の低減、及び、ターンオン動作時の電圧テールの抑制を実現し、スイッチング波形をよりよく再現可能となった。

これまで、ターンオフ動作を模擬する IGBT モデルの作成が中心であったが、Bryant らは、ターンオン動作について抵抗負荷及び誘導性負荷での評価を実施し、ターンオン動作について体系的に整理した [49]。プレーナ型 NPT-IGBT に対するモデル化を行っており、 $n^-$  ドリフト層内のキャリアの挙動を両極性拡散方程式で表現し、RC 等価回路で解く手法を採用している。また、MOSFET 部については、MOS チャネル電流を SPICE の NMOS Level1 モデルで採用されている解析式で表現しており、飽和領域においては式 (2.32) で、線形領域においては式 (2.33) で表される。

$$I_{ch} = \frac{K_p}{2} (V_{ge} - V_{th})^2 (1 + \lambda V_{mos}) \quad (2.32)$$

$$I_{ch} = K_p \left\{ V_{mos} (V_{ge} - V_{th}) - \frac{1}{2} V_{mos}^2 \right\} (1 + \lambda V_{mos}) \quad (2.33)$$

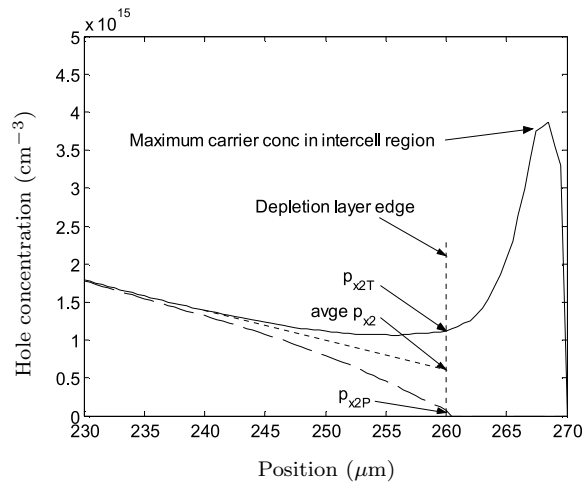


図 2.10: デバイスシミュレータによるキャリア分布 [46] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physics-Based Model of IGBT Including MOS Side Two-Dimensional Effects”, in *Proc. IEEE-IAS Annu. Meeting 2006*, vol. 3, pp. 1457–1464.

ターンオン動作については，MOSFET 構造部のトランスコンダクタンスパラメータ  $K_p$  や，回路のエミッタ側インダクタンス  $L_e$ ，ダイオードのリカバリー動作が重要であることに言及している。

文献 [41] ではプレーナ型のフィールドストップ IGBT において，ターンオフ時において形成される空乏層幅の計算を簡略化する手法について述べている。パンチスルー型 IGBT では，バッファ層の不純物濃度  $N_H$  は  $n^-$  ドリフト層の不純物濃度  $N_B$  より十分大きい，計算上，不純物濃度  $N_B$  の  $n^-$  ドリフト層が続いていると仮定し，空乏層幅を連続して取り扱う。パンチスルー前は空乏層は  $n^-$  ドリフト層内でのみ形成されるため電圧は三角形の面積で表される。 $n^-$  ドリフト層が完全に空乏化（パンチスルー）すると，バッファ層にも空乏層が形成されはじめ，図 2.11 に示すような台形の面積が電圧に相当する。

文献 [35] を基に，空乏層電圧（ $V_{mos}$  に相当）は次式のように表すことができる（図 2.12 参照）。

パンチスルー前：

$$V = \frac{q}{2\epsilon_{Si}} \left( N_B + \frac{I_c}{qSv_{sat}} \right) (W_L - x_2)^2 \quad (2.34)$$

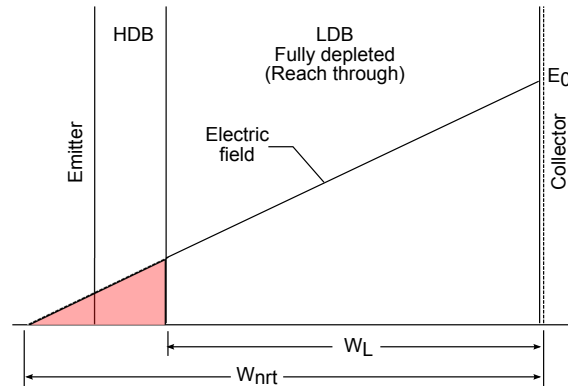


図 2.11: FS-IGBT の電界分布計算 [41] A. R. Hefner, Jr.: “Modeling Buffer Layer IGBT’s for Circuit Simulation’, *IEEE Trans. Power Electron.*, vol. 10, no. 2, pp. 111–123, Mar. 1995.

パンチスルー時：

$$V = \frac{q}{2\epsilon_{Si}} \left( N_B + \frac{I_c}{qSv_{sat}} \right) W_L^2 \quad (2.35)$$

パンチスルー後：

$$V = \frac{q}{2\epsilon_{Si}} \left( N_H + \frac{I_c}{qSv_{sat}} \right) x_{sc}^2 + E_{sc} W_L + \frac{q}{2\epsilon_{Si}} \left( N_B + \frac{I_c}{qSv_{sat}} \right) W_L^2 \quad (2.36)$$

$$E_{sc} = \frac{dV_{sc}}{dt} = \frac{q}{\epsilon_{Si}} \left( N_H + \frac{I_c}{qSv_{sat}} \right) x_{sc} \quad (2.37)$$

また，文献 [35] ではプレーナ型 FS-IGBT について，文献 [41] を参考に，フィールドストップ層におけるキャリア分布を温度依存性を考慮した物理モデルの開発について述べている。1200-V, 60-A の IGBT に対して物理モデルを作成し，実測結果と比較することによりモデルの妥当性を示したものである。−50°C から +125°C の温度範囲で検証している。また，実測結果との比較はないものの，6500 V の IGBT モデルも構築している。

フィールドストップ層におけるキャリア密度と電流の関係式について丁寧に記述しているため，以下に記しておく。

$$\delta p(x) = \frac{P_{H0} \sinh\left(\frac{W_H - x}{L_{PH}}\right) + P_{HW} \sinh\left(\frac{x}{L_{PH}}\right)}{\sinh\left(\frac{W_H}{L_{PH}}\right)} \quad (2.38)$$

$$P_{HW} = \frac{P_{L0}^2}{N_H} \quad (2.39)$$

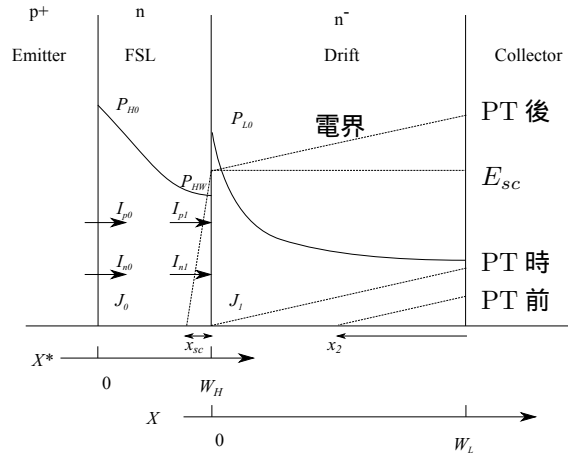


図 2.12: FS-IGBT のキャリア分布と電界分布 [35] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer: “Characterization and Modeling of High-Voltage Field-Stop IGBTs”, *IEEE Trans. Industry Appl.*, vol. 39, no. 4, pp. 922–928, Jul./Aug. 2003.

$$Q_H = \frac{q(P_{H0} + P_{HW})AW_H}{2} \quad (2.40)$$

$$P_{H0} = \frac{I_A}{K_{PH0}} + \frac{qAD_{PH}}{K_{PH0}L_{PH}\sinh(\frac{W_H}{L_{PH}})}P_{HW} \quad (2.41)$$

$$I_{p1} = \frac{qAD_{PH}}{L_{PH}\sinh(\frac{W_H}{L_{PH}})} \times \left[ P_{H0} - P_{HW}\cosh(\frac{W_H}{L_{PH}}) \right] + I_{QH} \quad (2.42)$$

$$I_{QH} = -\frac{dQ_H}{dt} \quad (2.43)$$

$$I_A = I_{n0} + I_{p0} = I_{n1} + I_{p1} \quad (2.44)$$

更に、フィールドストップ型モデルについて、フィールドストップ層における典型的なパラメータ値として、ドーピング濃度が  $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 、フィールドストップ層の幅が  $8 \sim 10 \text{ }\mu\text{m}$  であると記している。

次にトレンチ型 IGBT に対する物理モデルの動向について述べる。

トレンチ型 IGBT の定常状態におけるオン電圧降下の低減を説明するための物理モデルとして、従来の pnp トランジスタ+MOSFET モデルに対して、ゲート直下の pin ダイオードの効果を考慮したモデルでは、デバイスシミュレータ Medici を用いた数値解析により定常状態におけるキャリア分布の比較を行っている [50, 51]。このような定常

状態におけるオン電圧降下については、2次元のキャリア分布の数値解析を行うモデルが提案されている [48]。

Santi らは、トレンチ型 PT-IGBT に関する温度依存性について、 $-150^{\circ}\text{C}$  から  $+150^{\circ}\text{C}$  の温度領域でのスイッチング波形と順方向特性を示している [52]。温度依存性に関しては文献 [43] や、文献 [18]–[34] も参考にしている。PT-IGBT (定格: 1200-V, 60-A) を抵抗性負荷でスイッチング試験を実施し、 $-150^{\circ}\text{C}$  から  $+150^{\circ}\text{C}$  の温度範囲で、ターンオフ動作時の電流波形を示しており、短時間で速く減少した後、テール電流が確認されている。モデル化するにあたり、文献 [19] の手法を適用し、PT-IGBT ではあるが第一近似としてバッファ層の効果は無視している。その結果、実測結果と比較してほとんど一致しなかったことから、精緻なモデル化が必要で、ゲート・コレクタ間容量とバッファ層のモデル化の必要性を述べている。また、文献 [53] では、プレーナ型 IGBT で検討した MOS 構造部における 2 次元効果 [46] をトレンチ型 IGBT に展開している。

デバイス物理モデルの作成においては、パラメータの設定も重要な要素であり、pin ダイオード、NPT 型 IGBT、PT 型 IGBT の物理モデル作成に必要なパラメータ数はそれぞれ 5 個、13 個、16 個である<sup>注1</sup>。Kang らは、NPT 型 IGBT、PT 型 IGBT のそれぞれについてパラメータ抽出法を示し、特に、端子間容量やライフタイムの抽出方法について詳細に述べている [54]。抵抗負荷、誘導性負荷に対する実験結果と解析結果との比較からモデルの妥当性を示しているものの、ターンオフ波形に特化している。また、PT 型 IGBT のバッファ層に関するパラメータは経験値を基にしている。

文献 [55] は pin ダイオード、NPT 型、PT 型 IGBT のパラメータ抽出法について、代表的な値を取り上げながら構造や静特性、スイッチング特性の評価に基づいた具体的な抽出手順を示すとともに、各種パラメータの典型的な値を記している。例えば、ドリフト層のパラメータについて、 $N_B$  が  $6 \times 10^{13} - 2 \times 10^{14} \text{ cm}^{-3}$  であり、典型的な値として  $1 \times 10^{14} \text{ cm}^{-3}$  とし、再結合パラメータを  $h_p = 1 \times 10^{-12} \text{ cm}^4\text{s}^{-1}$  としている。また、パンチスルー型 IGBT におけるバッファ層では  $W_H = 4 - 10 \mu\text{m}$  や、 $N_H = 10^{16} - 10^{17} \text{ cm}^{-3}$  とし、CSTBT や FS 型 IGBT ではこれらの値がもう少し小さな値であることを記している。また、バッファ層の少数キャリア飽和電流  $I_{sne} = 10^{-14} - 10^{-12} \text{ A}$  を初期値として用いている。なお、これらの数値は、IGBT 物理モデルの作成にあたって参考にした数値である。更に、最適パラメータ抽出手法として Hooke and Jeeves 法 [56] を採用

<sup>注1</sup> 端子間容量 ( $C_{ce}$ ,  $C_{ge}$ ,  $C_{cg}$ ) は構造から解析的に算出せず、実験的に算出するとした場合。

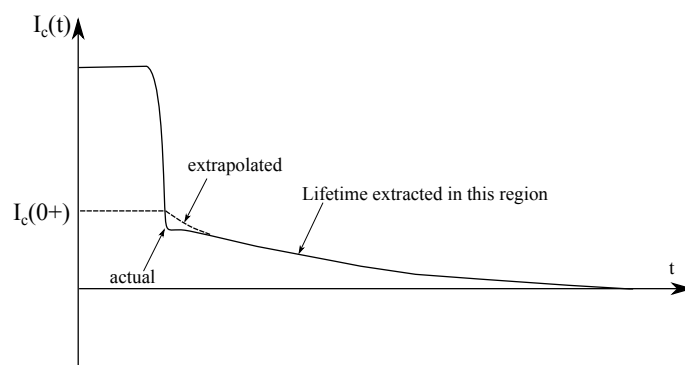


図 2.13: ライフタイム抽出 [55] A. T. Bryant, L. Lu, E. Santi, P. R. Palmer, and J. L. Hudgins: “Two Step Parameter Extraction Procedure With Formal Optimazation for Physics-Based Circuit Simulator IGBT and p-i-n Diode Models”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 295–309, Mar. 2006.

している。

ライフタイムについては，ターンオフ動作時におけるコレクタ電流のテール波形に対して式 (2.45) を用いた算出方法が記されている [29]。

$$I_c(t) = \frac{I_c(0+)}{\left[ \frac{I_c(0+)}{I_k^\tau} + 1 \right] \exp\left(\frac{t}{\tau_{HL}}\right) - \frac{I_c(0+)}{I_k^\tau}}, \quad I_k^\tau = \frac{q^2 A^2 D_p n_i^2}{I_{sne} \tau_{HL}} \quad (2.45)$$

ここで，

$$n_i(T) = \frac{3.88 \times 10^{16} \times T^{1.5}}{\exp(7000/T)} \quad (2.46)$$

$$I_{sne} = \frac{1 \times 10^{-12} \times (300/T)^{0.5}}{\exp\{14000 \times (1/T - 1/300)\}} \quad (2.47)$$

である。

Igic らは，ターンオフ動作について，NPT-IGBT 及び PT-IGBT に展開し，回路シミュレータ Saber に組み込んでいる。また，トランスコンダクタンスパラメータを  $K_{plin}$  と  $K_{psat}$  に分割している [57]。

Bryant らは，モデルパラメータの最適化 [56, 58] について，IGBT と還流ダイオードのそれぞれの特性が相手に与える影響を Matlab/Simulink を用いて検討している [59]。

次に、端子間容量のパラメータ抽出方法について述べる。IGBT のゲート、コレクタ、エミッタの各端子間に存在する容量（キャパシタンス）には電圧依存性がある。特にコレクタ・ゲート間容量  $C_{cg}$  は電圧依存性が非常に大きく、スイッチング速度に大きな影響を与えることが知られている [43, 44]。

文献 [44] では、ターンオフ動作中における空乏層の伸展を解析的に表現することで、コレクタ・ゲート間容量を数式で表現している。具体的には、ゲート直下の空乏領域は  $V_{de} = V_{ge}$  となったとき形成され、このときの空乏領域幅  $l_1$  は、

$$l_1 = \sqrt{2\varepsilon_{Si}V_{ge}/qN_B} \quad (2.48)$$

と表され、コレクタ方向に  $W_B - W$  まで伸展すると、ゲート直下では  $W_B - W - l_1$  となっている。その後、ゲート直下の空乏領域が p ウェルの中の距離の半分の長さ  $l_M$  まで成長すると、左右からの空乏領域がゲート酸化膜直下で重なり、ゲート・コレクタ間に空乏層  $C_{dep}$  が出現し、空乏領域幅  $W' > 0$  となる。ゲート酸化膜直下に形成される空乏層容量  $C_{dep}$  は

$$C_{dep} = \frac{\varepsilon_{Si}Aa_i}{W'} \quad (2.49)$$

$$W' = W_B - l_M - l_1 \quad (2.50)$$

である。ここで、 $W'$  は空乏領域幅、 $\varepsilon_{Si}$  は Si の比誘電率、 $A$  は全ダイ面積、 $a_i$  は全ダイ面積に対するインターセルエリアの比（ゲート重なり領域比）である。このとき、コレクタ・ゲート間容量は、ゲート酸化膜容量  $C_{ox}$  と空乏層容量  $C_{dep}$  の直列接続であることから、

$$C_{cg} = \frac{C_{ox}Aa_i}{1 + C_{ox}\frac{W'}{\varepsilon_{Si}}} \quad (2.51)$$

と表している。このような解析的な式で求める手法は、空乏層の形成を簡略化しているという点で、物理モデルの精度に影響を及ぼすものとする。（図 2.14 参照）

また、文献 [54] では、データシートに記載されている帰還容量  $C_{res}$  を  $C_{cg}$  とし、式 (2.51) における  $a_i$  を式 (2.52) から算出している。

$$a_i = \frac{C_{res}}{C_{oes}} \quad (2.52)$$

しかし、データシートに記載されている帰還容量  $C_{cg}$  は、ゲート・エミッタ間電圧  $v_{ge}$  を 0 V として求めた実験結果であり、実際のスイッチング動作時には  $v_{ge}$  が変化することを考慮すると、データシートの値をそのまま採用するには不適當であるとする [60]。

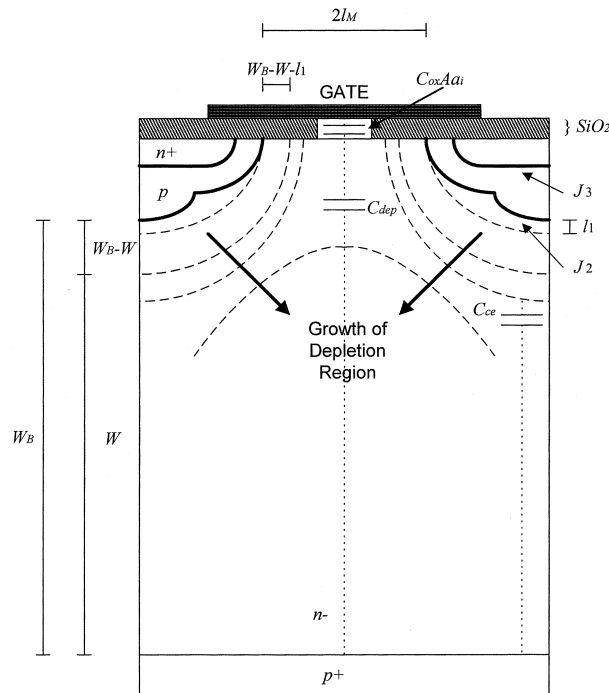


図 2.14: 帰還容量の解析的抽出 [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng : “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, *IEEE Trans. Power Electron.*, vol. 18, no. 5, pp. 1220–1229, Sep. 2003.

以上，述べてきたように，バイポーラ系パワーデバイスの物理モデルは pin ダイオードのモデル化から始まった。IGBT のターンオフ動作のモデル化へと展開され，単純な一次元モデルから擬二次元的なモデルが考案された。更に，プレーナ型からトレンチ型へ，また，ノンパンチスルー型からパンチスルー型へと高度化されていった。同時に物理パラメータの抽出手法に対する研究も進み，現在に至っている。

また，これまで述べてきた両極性拡散方程式を解かないモデルとして HiSIM-IGBT モデルが提案されている [61, 62]。HiSIM-IGBT モデルは，表面ポテンシャルに基づく高精度な MOSFET モデルとバイポーラトランジスタとを組み合わせたモデルである。

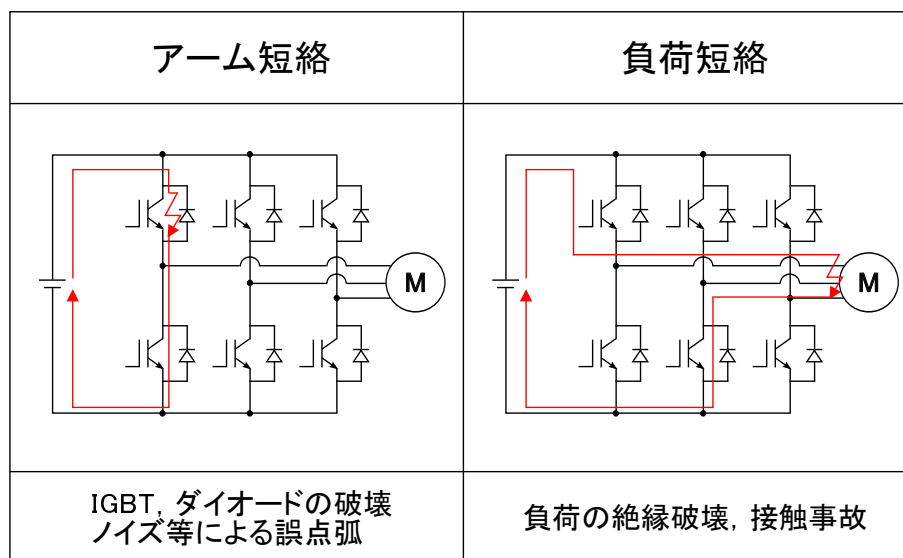


図 2.15: 短絡動作の分類

## 2.2 短絡保護方法の技術動向

次に短絡保護方法の技術動向について記す。図 2.15 に短絡動作の分類を示す。パワーデバイスの誤点弧等により上下アームのパワーデバイスが同時に導通状態となるアーム短絡と、負荷で絶縁破壊等が発生することによる負荷短絡とに分類することができる。短絡時には、高電圧、大電流状態となることからパワーデバイスで非常に大きな損失が発生し、熱的に破壊する可能性がある。近年ではパワーデバイスの高電流密度化が進んでいるため高速な短絡保護動作が求められている。

IGBT の開発初期段階では、損失は大きいもののゲインが低かったため、短絡保護という観点においては  $10 \mu\text{s}$  以上の長時間に対しても耐えうるものであった。その後、デバイス性能の進化とともに IGBT は低損失、高ゲインとなり、短絡時には  $10 \mu\text{s}$  以下の短時間で保護する手法の検討がなされ始めた。

文献 [63] では、従来の短絡検出手法であるコレクタ電流検出、コレクタ・エミッタ間電圧検出のそれぞれについて技術動向を詳述している。シャント抵抗を用いたコレクタ電流検出については、負荷電流経路に挿入したシャント抵抗の電圧を検出する手法であり、過電流と短絡保護双方に対して正確に電流を検出できるメリットがあるものの、シャント抵抗の自己インダクタンスや配線インダクタンスによる過渡応答の悪さや、主回路と制御・保護回路の絶縁を要するための回路構成の複雑さというデメリットがある。

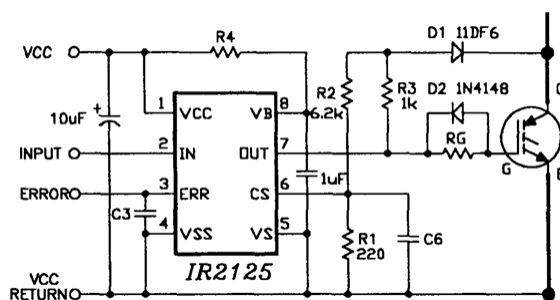


図 2.16: 短絡保護回路の従来例 [63] R. S. Chokhawala, J. Catt, and L. Kiraly: “A Discussion on IGBT Short-Circuit Behavior and Fault Protection Schemes”, *IEEE Trans. Industry Appl.*, vol. 31, no. 2, pp. 256–263, Mar./Apr. 1995.

また，CT(Current Transformer) によるコレクタ電流検出については，主回路とは絶縁されるため取り扱いは容易というメリットはあるが，高価であり，また，広い周波数帯域での応答性確保の困難さをデメリットとして述べている。一方，コレクタ・エミッタ間電圧検出については，応答性がよく，シンプルな回路構成で検出可能というメリットがある一方，主回路との絶縁性の問題や検出マスク期間の設定が必要というデメリットを述べている。

このような技術動向を踏まえて，コレクタ・エミッタ間電圧検出が使い勝手がよく低コストで実現可能な短絡保護方法として現実的であるとし，図 2.16 に示すような回路を提案している。図 2.16 における  $D_1$  がコレクタ・エミッタ間電圧検出用のダイオードである。正常動作時には  $D_1$  は順方向にバイアスされているが，短絡動作時には逆バイアス状態となり，コンデンサ  $C_6$  が充電される。CS ピンの電圧が上昇すると PIC 内部の保護回路が動作することで短絡保護を実現している。

文献 [64] は，コレクタ・エミッタ間電圧検出+ゲート・エミッタ間電圧制御による保護方法を提案している。コレクタ・エミッタ間電圧検出では，短絡時において飽和電圧から直流リンク電圧にまで上昇するコレクタ・エミッタ間電圧を，IGBT のコレクタ端子に接続したダイオードを用いて検出する。誤検出を防止するためには，検出回路に所定の遅延時間（マスク期間）を設定する必要がある。コレクタ・エミッタ間電圧検出法を用いてアーム短絡を検知した際，ゲート・エミッタ間電圧を正常時のゲート・エミッタ間電圧より低い電圧でクランプすることにより保護する方法を提案している。ゲート

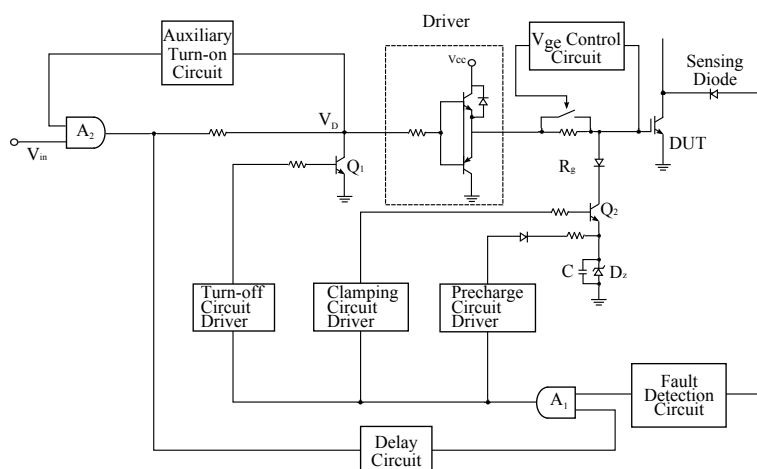


図 2.17: 短絡保護回路の従来例 [64] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, and M. Melito: “A New Gate Circuit Performing Fault Protections of IGBTs During Short Circuit Transients”, in *Proc. IEEE-IAS Annu. Meeting 2002*, vol. 3, pp. 2614–2621.

・エミッタ間電圧をクランプするものの、やはり遮断する必要がある場合には、別途設けている安全遮断用回路により IGBT をターンオフさせる。

一方、負荷短絡時において、ゲート・エミッタ間電圧の上昇に伴うコレクタ電流の増大という課題がある。負荷短絡状態では、コレクタ・エミッタ間電圧の上昇に伴い帰還容量が小さくなり、コレクタ端子からゲート抵抗を介してゲート駆動回路電源に変位電流が流れるためゲート・エミッタ間電圧が上昇する。そこで、負荷短絡を検出した際に、ゲート抵抗を小さくすることによってゲート・エミッタ間電圧の上昇を抑制し、コレクタ電流の増大を抑制する方法を提案している。アーム短絡、負荷短絡それぞれに対する保護を同時に実現する回路として、図 2.17 に示すような短絡保護回路を提案している [64]。

Nakayama らは、従来のコレクタ電流検出やコレクタ・エミッタ間電圧検出に取って代わる保護方法として、ゲート・エミッタ間電圧検出を用いた手法を提案し、実験的に検証している [65]。従来のコレクタ・エミッタ間電圧検出を用いた短絡保護は、特に高耐圧 IGBT においてコレクタ・エミッタ間電圧が低下するまでに要する時間が長いためターンオン動作の過渡状態において検出することが難しく、更に、高耐圧ダイオードを直列接続しなければならないことから信頼性という点で課題がある。また、CT を使ったコレクタ電流検出方式は、CT のコストが高いことや CT を用いることによりインダ

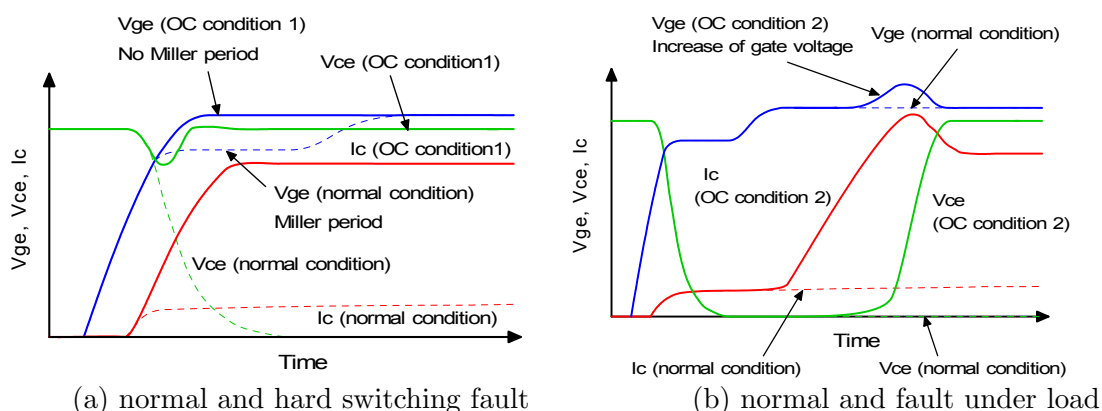


図 2.18: 短絡動作時と正常動作時の各波形の比較 [65] Y. Nakayama, and T. Ohi: “Novel Over Current Protection Methods for IGBT Gate Drivers Using Gate Voltage Monitoring”, in *Proc. EPE 2003*.

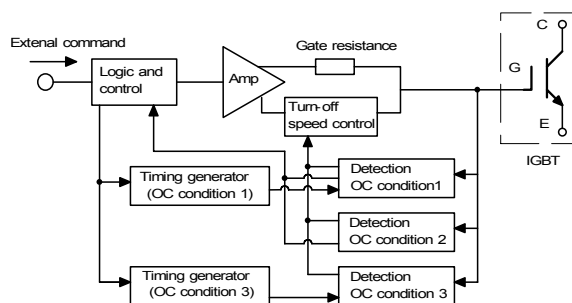


図 2.19: 短絡保護回路の従来例 [65] Y. Nakayama, and T. Ohi: “Novel Over Current Protection Methods for IGBT Gate Drivers Using Gate Voltage Monitoring”, in *Proc. EPE 2003*.

クタンズが増加するといった課題がある。そこで、ゲート・エミッタ間電圧の挙動に着目している。正常スイッチング動作時のターンオン過渡期間では、ミラー期間と呼ばれるゲート・エミッタ間電圧が一定となる期間が存在する。これは、コレクタ・エミッタ間電圧の低下とともに帰還容量が増大し、ゲート電流がゲート端子からコレクタ端子へと流れるためである。一方、アーム短絡時では、コレクタ・エミッタ間電圧がほとんど変化しないため、ミラー期間が現れない。そこで、ターンオン過渡期間におけるゲート・エミッタ間電圧をモニターすることで、短絡状態の判定を行っている。また、負荷短絡時に対する保護回路についても述べている。負荷短絡時では、定常状態から急激にコレクタ電流  $I_c$  が上昇することによって、コレクタ・エミッタ間電圧が上昇する。コレク

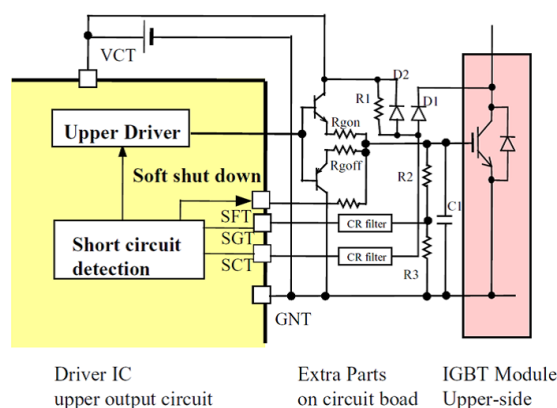


図 2.20: 短絡保護回路の従来例 [66] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki: “A 600V Driver IC with New Short Circuit Protection in Hybrid Electric Vehicle IGBT Inverter System”, in *Proc. IEEE-ISPSD 2005*, pp. 59–62.

タ・エミッタ間電圧の上昇に伴い、帰還容量が小さくなるため、コレクタ端子からゲート抵抗を介してゲート駆動回路電源に変位電流が流れ、ゲート・エミッタ間電圧が上昇する。このゲート・エミッタ間電圧の上昇を検出することによって負荷短絡状態であることを判定している。コレクタ・エミッタ間電圧を検出しないため、検出用の高耐圧ダイオードが不要となり、高耐圧 IGBT 対しては有効な短絡保護方法である。

文献 [66, 67] では、コレクタ・エミッタ間電圧とゲート・エミッタ間電圧を検出し、短絡保護を実現する手法を提案している。コレクタ・エミッタ間電圧とゲート・エミッタ間電圧を検出することで、誤検知を防止しながら高速に短絡検知する方法を提案している。短絡保護回路構成を図 2.20 に、短絡検出原理を図 2.21 に示す。文献中では、ゲート・エミッタ間電圧  $V_{ge}$  の検出レベルを 14 V、コレクタ・エミッタ間電圧  $V_{ce}$  の検出レベルを 11 V と設定している。正常のターンオン動作時では、コレクタ・エミッタ間電圧  $V_{ce}$  が検出レベル 11 V 以下にまで低下するのは  $V_{ge}$  がミラー電圧（文献中では約 12 V）に達した後であるため、 $V_{ce}$  と  $V_{ge}$  は同時には Hi 信号となることはない。一方、短絡状態においては、 $V_{ce}$  については常に Hi 信号のまま帰還容量が小さいままほとんど変化しないため、 $V_{ge}$  はゲート電源電圧 15 V まで一気に上昇する。そのため、 $V_{ge}$  が検出レベル 11 V を超えるや否や、 $V_{ce}$  と  $V_{ge}$  がともに Hi 信号となり短絡状態であることを判定することができる。コレクタ・エミッタ間電圧検出では必要であった検出マスク期間

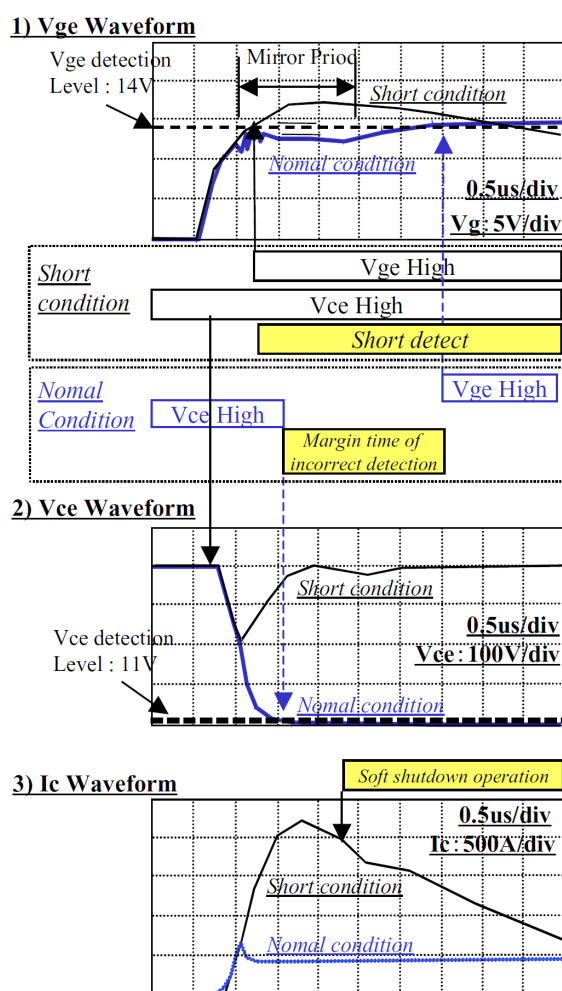


図 2.21: コレクタ・エミッタ間電圧+ゲート・エミッタ間電圧による短絡検出原理 [66] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki: “A 600V Driver IC with New Short Circuit Protection in Hybrid Electric Vehicle IGBT Inverter System”, in *Proc. IEEE-ISPSSD 2005*, pp. 59–62.

が不要となり，高速に短絡を検知することを実現している。

文献 [68] では，ゲート・エミッタ間電圧検出を用いてアーム短絡保護を行う手法を提案し，実験にて検証を行っている。正常時とアーム短絡時のゲート・エミッタ間電圧波形におけるミラー期間の有無に着目している。閾値電圧  $V_{th}$  と  $V_{th} + 5\text{ V}$  の間の期間に応じたパルス電圧信号  $P_1$  を，3つの閾値 ( $VZ_1, VZ_2, VZ_3$ ) と比較している。回路構成を図 2.22 に示す。図 2.22 において，パルス信号  $P_1$  のオン信号出力期間中，電流源によ

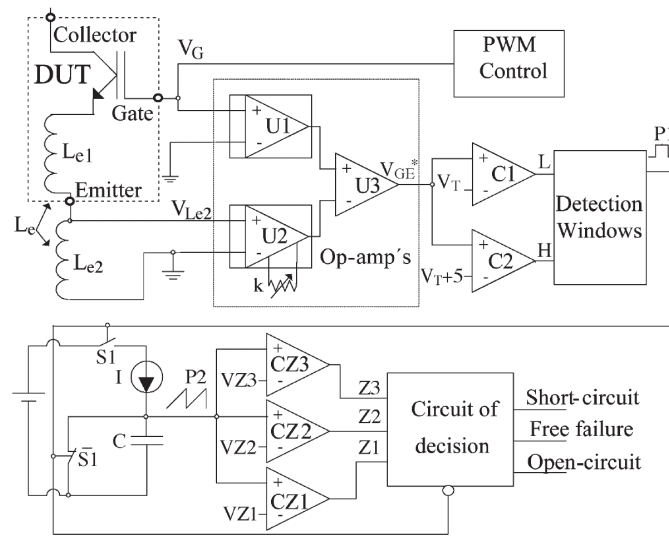


図 2.22: ゲート・エミッタ間電圧検出による短絡保護回路 [68] M. A. Rodríguez-Blanco, A. Claudio-Sánchez, D. Theilliol, L. G. Vela-Valdés, P. Sibaja-Terán, L. Hernández-González, and J. Aguayo-Alquicira: “A Failure-Detection Strategy for IGBT Based on Gate-Voltage Behavior Applied to a Motor Drive System”, *IEEE Trans. Industry Electron.*, vol. 58, no. 5, pp. 1625–1633, May 2011.

りコンデンサ  $C$  が充電され,  $P_1$  のオフ信号出力期間にコンデンサ  $C$  は放電される。このように, コンデンサ  $C$  の電圧はパルス信号  $P_1$  の期間に比例した値となる。3つの閾値 ( $VZ_1, VZ_2, VZ_3$ ) には,  $VZ_1 < VZ_2 < VZ_3$  の関係があり, 3つのコンパレータ ( $CZ_1, CZ_2, CZ_3$ ) の出力信号 ( $Z_1, Z_2, Z_3$ ) に応じて短絡状態, 正常状態, 解放状態を判定している。

文献 [69] もゲート・エミッタ間電圧検出に基づく短絡保護回路を提案している。やはり, 正常時とアーム短絡時のゲート・エミッタ間電圧波形の違いに着目している。ゲート・エミッタ間電圧をオペアンプを使ったフィルタで検出し, コンパレータで参照値と比較しており, 図 2.23 にその回路構成を示す。文献 [65] や文献 [68] のように検出期間を設定する必要はないが, 正常時と短絡時とを区別するために必要なフィルタ回路の定数設定が困難と推察される。また, シミュレーションのみの検討であるため, 実験的検証が求められる。

他にも, ゲート電荷検出による短絡保護が提案されている [70, 71]。文献 [70] では,

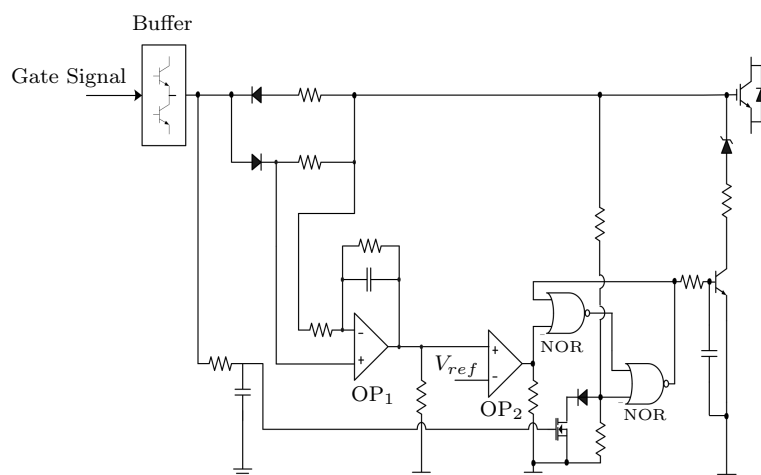


図 2.23: ゲート・エミッタ間電圧検出による短絡保護回路 [69] B. G. Park, J. B. Lee, and D. S. Hyun: “A Novel Short-Circuit Detecting Scheme Using Turn-on Switching Characteristics of IGBT”, in *Proc. IEEE-IAS Annu. Meeting 2008*.

ゲート電荷検出による短絡保護を実験的に検証している。正常動作時と短絡動作時において、ゲート電荷量が異なる点に着目している。従来手法の一つであるセンスチップによるコレクタ電流検出では約  $5 \mu\text{s}$  を要していたアーム短絡検出を、ゲート電荷検出により  $1 \mu\text{s}$  以下の応答性を実現している。図 2.24 が短絡保護回路の構成である。カレントミラー回路を用いてゲート電流と等価な電流を検出し、コンデンサ  $C_m$  とその両端に発生する電圧  $V_{QG}$  との積が電荷量に相当する。図 2.25 に示すように電荷量の検出値  $V_{det}$  を、事前に評価した正常ターンオン動作時の電荷量をマイナス方向にオフセットさせた信号  $V_{ref}$  と比較し、 $V_{det} < V_{ref}$  のとき短絡状態であると判定している。

また、文献 [71] では、文献 [70] に対して、短絡保護回路を FPGA を用いたデジタル回路で構成している。文献 [70] の方法では、参照値を事前に設定する必要があり、温度依存性も考慮する必要があるのに対して、デジタル回路を用いることで正常動作時のゲート電荷を自己検出し、参照値を自動設定できるとある。FPGA(32 MHz) にすべての機能を組み込み、アナログインタフェイスとして 60 MHz の A/D コンバータ、125 MHz の D/A コンバータを用いている。

図 2.27 に、代表的なアーム短絡保護方式の検出原理と課題をまとめておく。

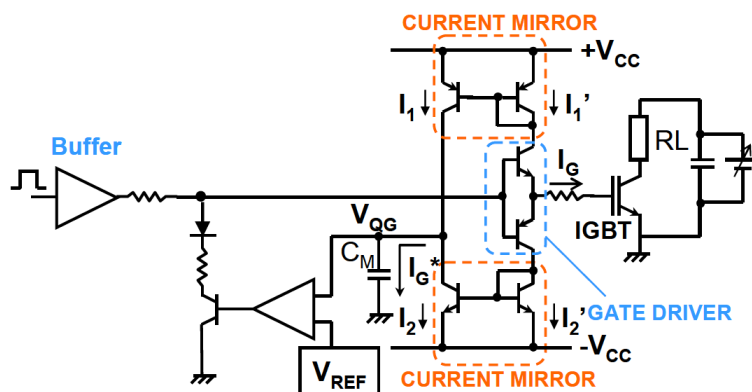


図 2.24: ゲート電荷検出による短絡保護回路例 [70] K. Yuasa, S. Nakamichi, and I. Omura: “Ultra High Speed Short Circuit Protection for IGBT With Gate Charge Sensing”, in *Proc. IEEE-ISPSPD 2010*, pp. 37–40.

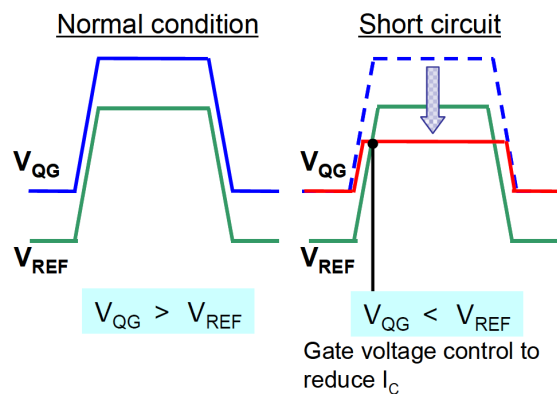


図 2.25: ゲート電荷検出による短絡検出原理 [70] K. Yuasa, S. Nakamichi, and I. Omura: “Ultra High Speed Short Circuit Protection for IGBT With Gate Charge Sensing”, in *Proc. IEEE-ISPSPD 2010*, pp. 37–40.

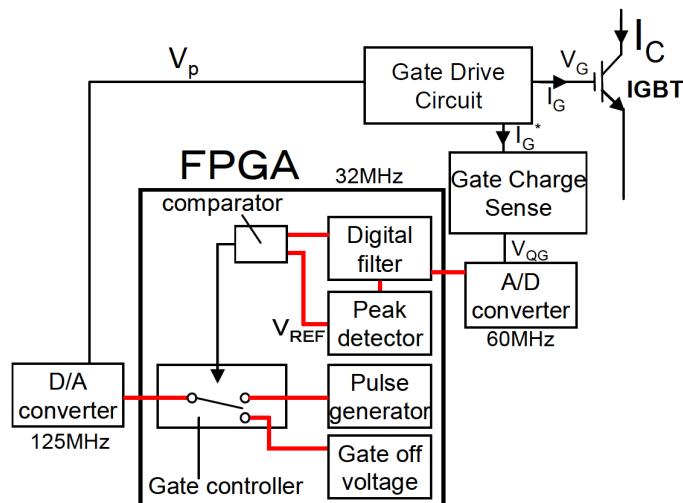


図 2.26: ゲート電荷検出による短絡検出原理 [71] T. Tanimura, K. Yuasa, and I. Omura: “Full Digital Short Circuit Protection for Advanced IGBTs”, in *Proc. IEEE-ISPST 2011*, pp. 60–63.

	$V_{ce}$ 検出方式	$V_{ge}$ 検出方式	$V_{ge} + V_{ce}$ 検出方式
	<p>アーム短絡: <math>v_{ce} \gg V_{ce(sat)}</math></p> <p>通常時</p>	<p>アーム短絡: ミラー期間がない</p> <p>通常時</p>	<p>アーム短絡: <math>v_{ce} &gt; V_{miller} + v_{ce} \gg V_{ce(sat)}</math></p> <p>通常時</p>
課題	検出遅い ( $> 5 \mu s$ )	課題 煩雑な回路設計 (検出期間調整要)	課題 高価 (高耐圧検出素子要)

図 2.27: 従来のアーム短絡保護方式の検出原理と課題 [63, 65, 66, 68]

## 2.3 パワーデバイス温度評価方法の技術動向

電力変換器の動作中におけるパワーデバイス温度や熱サイクルは、電力変換器の性能や信頼性に大きな影響を及ぼすため、パワーデバイスの温度評価手法の研究がなされている。パワーデバイス温度を評価する手法としては電気・熱連成解析の適用が一般的である。電気・熱連成解析とは、電氣的現象と熱的現象とを相互の影響を考慮しつつ同時に解析する手法である。熱回路網を用いることによって、回路シミュレータで電気・熱連成解析を実行することができる。デバイス温度を計算するためには、各デバイスで発生する損失を求める必要がある。

文献 [72] では損失を平均化することで高速化を図っている。また、損失を事前に電流値と温度について評価して Look-up Table として数値データ化しておき、半導体デバイスは理想スイッチとダイオードで表現している。基本モデルと、高速化モデルの2種類について比較検討している。基本モデルでは両極性拡散方程式で記述した IGBT コンパクトモデルを SABER に組み込み 80 ns の時間刻みで計算している。一方、高速化モデルは MATLAB/SIMULINK を用い PWM スwitching 周期 1 ms の時間刻みで計算をしている。いずれも熱回路網は 3 次元有限要素法を用いたステップ応答で求め、Cauer モデルを構築している。デバイス温度  $T_j$  の解析結果を 2 種類で比較して、Look-up Table を用いた高速化手法の妥当性とそのメリットを主張している。

また、文献 [73] では、スプレッドシート (Excel) を用いたデバイス温度の計算方法について述べている。損失の計算には解析式を用い、各損失は温度と電流の関数とした近似式で表現している。PWM インバータ動作時の接合温度、特に、モータロック条件下に対して、キャリア周波数 2.5 kHz、変調率 0.6、力率 0.9 と設定し、出力周波数を 0.05 Hz としてデバイス温度の計算を行っている。

熱モデルに関しては、積層構造の各層の熱抵抗  $R_{th}$ 、熱容量  $C_{th}$  を密度  $\rho$ 、比熱  $C_p$ 、厚み  $t$ 、面積  $S$ 、熱伝導率  $\kappa$  を用いて、

$$R_{th} = \frac{t}{\kappa \cdot S} \quad (2.53)$$

$$C_{th} = \rho \cdot C_p \cdot t \cdot S \quad (2.54)$$

として表している。冷却フィンに関しては有効熱伝達率  $h$  を用いて表現している。また、横方向の熱の拡がりを  $\theta = 45^\circ$  としている。複数のデバイス間の熱干渉の寄与を考慮していないものの、スプレッドシートを用いて簡単に見積もることができるとして、

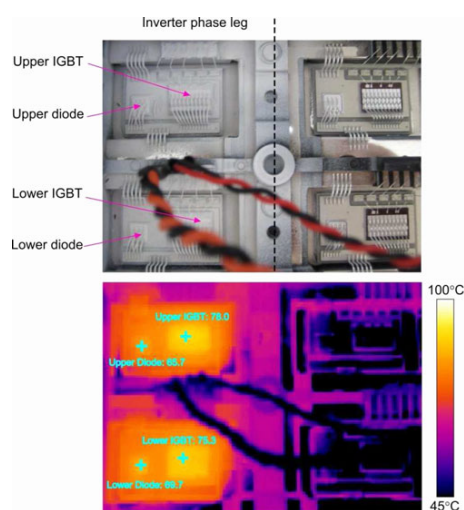


図 2.28: 赤外線カメラを用いたデバイス温度測定例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 248–257, Jan. 2012.

その有効性を述べている。

文献 [74] では、高精度なコンパクト物理デバイスモデル、3次元の熱モデルを組み込んだ新たな変換器モデリングの枠組み（フレームワーク）を提案している。

電圧，電流，力率，周波数などの変換器出力の電氣的条件（負荷サイクルデータ）を事前に計算しておき，損失，デバイス温度を計算するという方法である。温度が影響するのはデバイス特性であるため，スイッチングパターンを含めた電氣的条件を入力信号として用いることで高速化を図っている。デバイスモデルは，Fourier series-based compact model を用い，MATLAB/Simlink に組み込んでいる。このモデルの核となるのも，やはり Look-up Table であり，逆並列接続されているデバイスの温度も考慮している。Look-up Table も事前に評価しておく。直流リンク電圧は，Look-up Table の 4 番目のパラメータとして設定している。また，熱モデルは温度  $T$  を

$$T(x, y, z, t) = \sum_{m,n,k=0}^{\infty} T_{m,n,k}(t) \cos\left(\frac{m\pi x}{W}\right) \cos\left(\frac{n\pi y}{L}\right) \cos\left(\frac{k\pi z}{D}\right) \quad (2.55)$$

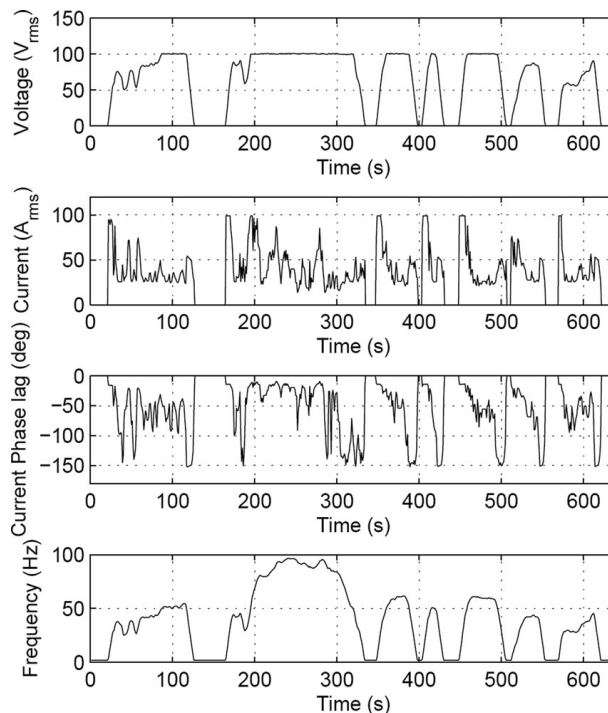


図 2.29: 運転パターン例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 248–257, Jan. 2012.

として記述した 3 次元フーリエ級数モデルを用い, 3 次元有限要素法を用いたソフトウェア Flotherm と比較検証をしている。熱モデルに関しては 3 次元コンパクト熱モデルとし, 1 レグ分のみ計算する。

Federal Urban Driving Schedule に基づいた約 10 分間の負荷サイクルのもと, 赤外線カメラを用いてチップ温度を 1 フレーム/秒で測定している。変換器動作解析は 605 秒, Look-up Table 作成に 119 秒, 合計 724 秒 (約 12 分) 費やしている。解析結果を赤外線カメラによる実験結果と比較し, その妥当性を示している。図 2.28 に赤外線カメラによるデバイス測定の様子を示す。図 2.29 に運転パターンを, また, 図 2.30 にデバイス温度の解析結果例をそれぞれ示す。

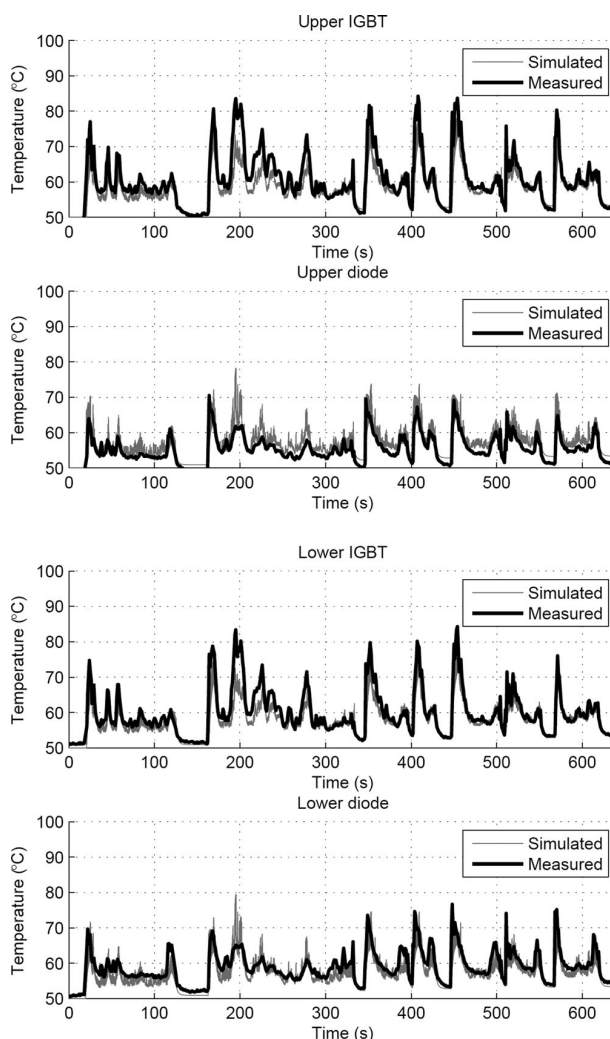


図 2.30: デバイス温度の解析結果例 [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta, T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 248–257, Jan. 2012.

次に、パワーデバイス温度を高速に評価する手法について説明する。パワーデバイス温度評価の高速化の最たる手法はリアルタイム評価方法である。リアルタイムにパワーデバイス温度を評価する手法の研究がなされている。

リアルタイム温度評価の応用例として、文献 [75] では、リアルタイム熱モデルを

DSP(Texas Instruments:32C6701) に組み込んでいる。C 言語を用いて 1 次元の熱方程式を記述し、40 W の方形波パルス熱源としてデバイス温度を評価している。1 つのパワーデバイス(MOSFET) だけに着目し、デバイスからグリースまでの 7 層ある積層構造を 3 分割に簡略化した T 型の熱回路網として表現した熱モデルを用いている。

文献 [76] では、フルブリッジコンバータを構成する一方のブリッジ(ハーフブリッジコンバータ) を評価対象とし、Look-up Table とフォスタータイプの熱回路網を dSpace に組み込んでいる。IGBT と環流ダイオードそれぞれ 2 並列接続された 2 in 1 モジュールに対して、各デバイス間の熱干渉を考慮したモデルとなっている [77]。各デバイスで発生する損失を相電流とデューティ比と評価温度を用いて PWM 周期ごとに計算し、熱モデルは PWM 信号の N 周期ごとに計算している。解析結果は赤外線カメラを用いた実験結果とよく一致している。文献 [75, 76] は、いずれも DSP または dSpace に組み込まれたシミュレーションによるパワーデバイス温度の評価である。

また、大容量電力変換器では IGBT 等のパワーデバイスを並列接続して用いる。並列接続する IGBT 間の配線インダクタンス差やデバイス特性差等により各 IGBT を流れる電流に不均衡が生じると、各 IGBT で発生する損失の不均衡を引き起こし、IGBT 間に温度差が生じる可能性がある。文献 [78, 79] では、並列接続時において IGBT 間の閾値電圧差や熱抵抗の差がデバイス温度に与える影響について、抵抗負荷を用いた連続動作に対して検討している。オン電圧が負の温度係数を示す小電流領域の電流値となる抵抗負荷条件であるため、並列接続しているデバイス間の温度差は単調に拡大していく結果を示している [78, 79]。このような並列接続動作時における各パワーデバイス温度の評価も重要な課題である。

次に、パワーデバイス温度評価方法の応用例について説明する。パワーデバイス温度及びその温度変化は、電力変換器(またはパワーモジュール)の長期的信頼性に対して大きな影響を及ぼす。図 2.31 は、電力変換器の動作中におけるパワーデバイス温度とパワーモジュールケース温度の温度変化の概略である。パワーデバイス温度の過渡的な温度変化の繰り返しで生じる熱ストレスはパワーデバイスと Al ワイヤ接合部の寿命に、パワーモジュールケース温度の過渡的な温度変化の繰り返しで生じる熱ストレスはハンダ接合部の寿命に大きな影響を及ぼす。前者をパワーサイクル寿命、後者をサーマルサイクル寿命と呼ぶ。

寿命評価を行うためには、パワーデバイス温度やパワーモジュールケース温度の時間変化とその変化量を把握し、その温度変化量に応じた熱ストレスを見積もる必要がある。

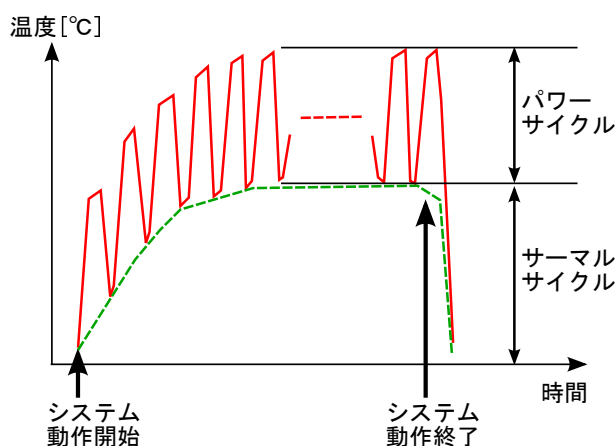


図 2.31: パワーサイクルとサーマルサイクル

熱ストレスの大きさ及び数え方としてはレインフロー法と呼ばれる手法がある [80]。図 2.32 に示すような温度変化を示す場合，レインフロー法に従うと，図中に示した  $\sigma_1, \sigma_2, \sigma_3$  の熱ストレスが各 2 回ずつ発生することになる。このような熱ストレスとパワーサイクル寿命とを結びつけるのが累積損傷（マイナー則）の考え方である [81]。図 2.32 に示すようなパワーサイクル寿命曲線を示すとき，熱ストレス  $\sigma_1, \sigma_2, \sigma_3$  がそれぞれ  $n_1, n_2, n_3$  回発生したとする。熱ストレス  $\sigma_1, \sigma_2, \sigma_3$  に対する寿命をそれぞれ  $N_1, N_2, N_3$  とするとき，寿命は式 (2.56) で表されるというのがマイナー則である。

$$\frac{n_1}{N_1} + \frac{n_2}{N_2} + \frac{n_3}{N_3} = \sum_{i=1}^3 \frac{n_i}{N_i} = 1 \quad (2.56)$$

文献 [82] では，任意の運転条件に対してパワーデバイス温度を評価するとともに，レインフロー法 [80] とマイナー則 [81] に基づいた寿命評価を試みている。180 秒間のランダムな温度変化に対する 2 in 1 の IGBT モジュールにおけるワイヤ接合部の寿命を定量的に評価している。

更に，文献 [83] では，1200-V, 300-A フルブリッジ IGBT 変換器で 500 秒の電鉄走行パターン（加減速や航続運転，停止期間）におけるデバイス温度評価を行い，ワイヤ接合部とハンダ接合部の寿命を評価している。寿命診断にはリアルタイムレインフロー法を用い，C 言語と dSPACE を用いてリアルタイム化を実現している。

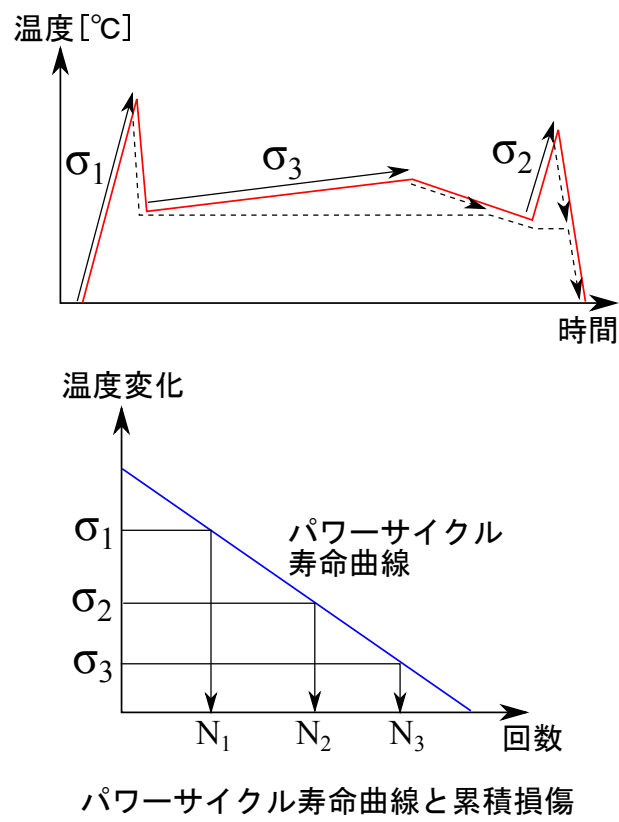


図 2.32: レインフロー法と累積損傷

## 第3章

# パワーデバイスモデルの構築

電力変換器では、電圧、電流、温度といったパラメータについて広い範囲にわたって動作するため、幅広いパラメータに対して精度の高いパワーデバイスモデルが必要である。市販の回路シミュレータに標準実装されているパワーデバイスモデルはビヘイビアモデルであり、特定の動作条件においては精度が高いものの、電圧、電流、温度といったパラメータの範囲全体にわたって十分な精度を有しているという訳ではない。

そこで、ビヘイビアモデルに代わるデバイスモデルとして pin ダイオード物理モデルが開発された [19, 20]。pin ダイオードのベース領域における蓄積キャリアの挙動を、一次元の両極性拡散方程式で記述したモデルである。このモデルは広い動作範囲にわたって高い精度で実測波形を再現することができ、また、汎用回路シミュレータで動作するため、回路設計者が容易に取り扱えるという利点がある。回路シミュレータで動作するパワーデバイスモデルは、一次元両極性拡散方程式を RC 等価回路で表現する解法 [21] がきっかけとなり、その後の IGBT 物理モデルへと発展していく。pin ダイオードモデルにおいては、その後、モデル精度向上の観点から、ライフタイム分布を考慮したダイオードモデルの開発が行われた [25, 26, 27]。ライフタイム分布を考慮することにより、静特性と動特性（特に、リカバリー動作）の双方を一層精度よく表現することができるようになった。

また、pin ダイオード同様にバイポーラ系のパワーデバイスである IGBT についても、 $n^-$ ドリフト層のキャリア蓄積領域における過剰キャリアの挙動を一次元両極性拡散方程式で表現したモデルが提案されている [33, 45, 46, 49]。

本章では、pin ダイオードモデルと IGBT 物理モデルについて述べ、pin ダイオード（定格：600-V, 50-A）並びに IGBT（定格：600-V, 30-A）に対するモデル構築について述べる。

## 3.1 pin ダイオードの物理モデル

### 3.1.1 pin ダイオードのオフ動作

図 3.1 は、pin ダイオードのオフ動作について、(a) はリカバリー電流・電圧波形、(b) は過剰キャリア分布と空乏層の過渡変化を示したものである。pin ダイオードのリカバリー特性は、 $n^-$  ドリフト層に蓄積された過剰キャリアの過渡応答によって決まる。順方向に定電流  $I_F$  が流れている状態における  $n^-$  ドリフト層中の過剰キャリアは、図 3.1(b) における時刻  $t_1$  で示すような分布を示す。ダイオードのオフ動作が始まり、ダイオードに流れる電流が 0 A に達した後、逆電流が流れ始めると、 $n^-$  ドリフト層中の正孔は  $p^+$  層へ、電子は  $n^+$  層へと掃き出される。時刻  $t_2$  において空乏層が形成され始め、以降、空乏層が拡大していくとともにダイオードの端子電圧は上昇し、キャリアの蓄積量も減少していきダイオードに流れる逆電流は減少する。なお、図 3.1(b) において  $x_1$  と  $x_2$  はキャリア蓄積領域の両端の位置座標である。

### 3.1.2 pin ダイオードのモデル化

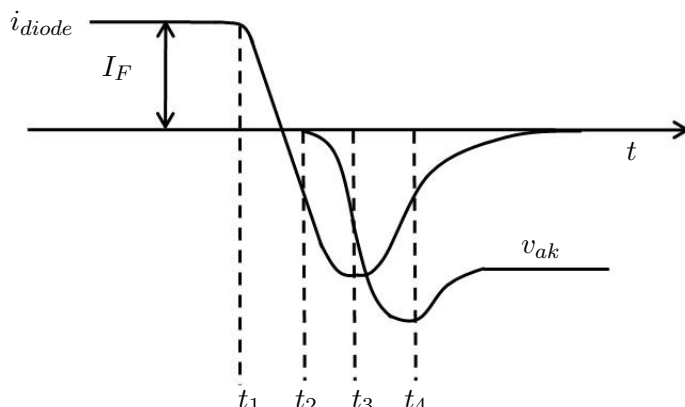
pin ダイオードのリカバリー特性を模擬するために、 $n^-$  ドリフト層中のキャリア分布を計算する物理モデル [84] を用いている。pin ダイオードでは高注入条件を満たしているため、電荷中性条件より  $n^-$  ドリフト層内の正孔濃度  $p(x, t)$  と電子濃度  $n(x, t)$  は等しく、そのキャリア分布は式 (3.1) に示す 1 次元両極性拡散方程式により求められる。式 (3.1) において、 $D$  は両極性拡散定数、 $\tau_{HL}$  は高注入ライフタイムである。両極性拡散定数  $D$  は電子の拡散定数  $D_n$  と正孔の拡散定数  $D_p$  を用いて式 (3.2) で表される。

$$D \frac{\partial^2 p(x, t)}{\partial x^2} = \frac{p(x, t)}{\tau_{HL}} + \frac{\partial p(x, t)}{\partial t} \quad (3.1)$$

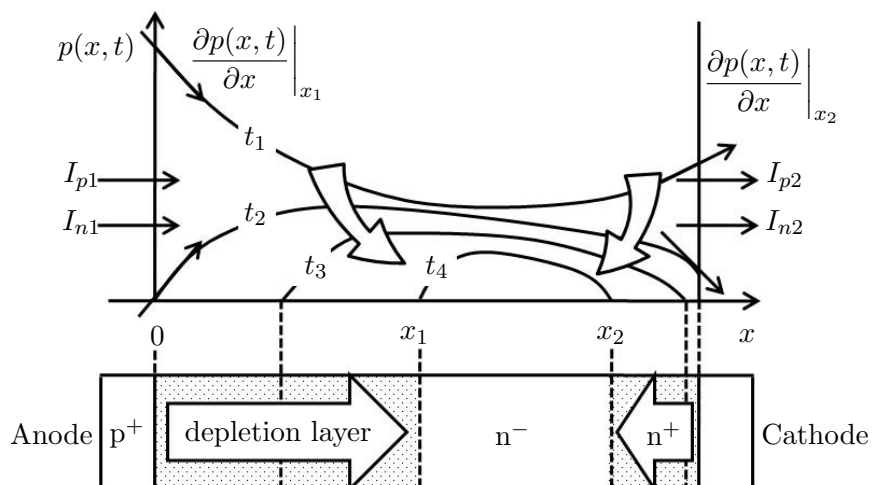
$$D = \frac{2D_n D_p}{D_n + D_p} \quad (3.2)$$

境界条件はキャリア蓄積領域の両端 ( $x_1, x_2$ ) における過剰キャリア密度の勾配を用いて式 (3.3) で与えられる。式 (3.3) において、 $q$  は素電荷、 $S$  は有効チップ面積である。また、 $I_{n1}, I_{p1}$  はそれぞれ  $x_1$  における電子電流と正孔電流である ( $i = 1, 2$ )。

$$\left. \frac{\partial p(x, t)}{\partial x} \right|_{x_1} = \frac{1}{2qS} \left( \frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right), \quad \left. \frac{\partial p(x, t)}{\partial x} \right|_{x_2} = \frac{1}{2qS} \left( \frac{I_{n2}}{D_n} - \frac{I_{p2}}{D_p} \right) \quad (3.3)$$



(a) リカバリー電流・電圧波形



(b) 過剰キャリア分布と空乏層の過渡変化

図 3.1: pin ダイオードとキャリア分布

$n^-$  ドリフト層における  $p^+$  層側,  $n^+$  層側それぞれの空乏層幅を  $W_{d1}$ ,  $W_{d2}$ , 空乏層の電界を  $E_{d1}$ ,  $E_{d2}$  とする。このとき, 空乏層を変位電流  $I_{disp1}$ ,  $I_{disp2}$  が流れることから, ダイオードに流れる全電流  $I_a$  は,

$$I_a = I_{n1} + I_{p1} + I_{disp1} = I_{n2} + I_{p2} + I_{disp2} \quad (3.4)$$

と表される。

また,  $p^+$  層,  $n^+$  層での再結合による電流  $I_{n1}$ ,  $I_{p2}$  は, 再結合パラメータ  $h_p$ ,  $h_n$  を用いて,

$$I_{n1} = qh_p S p(x_1)^2, \quad I_{p2} = qh_n S p(x_2)^2 \quad (3.5)$$

と表される [22]。

また，変位電流  $I_{disp1}$  ,  $I_{disp2}$  は Si の誘電率  $\varepsilon_{Si}$  を用いて式 (3.6) で表される。

$$I_{disp1} = \varepsilon_{Si} S \left( \frac{\partial E_{d1}}{\partial t} \right) \quad , \quad I_{disp2} = \varepsilon_{Si} S \left( \frac{\partial E_{d2}}{\partial t} \right) \quad (3.6)$$

また，ダイオードの端子間電圧  $V_{AK}$  は，接合電圧  $V_j$  , 蓄積領域電圧  $V_b$  , 空乏層電圧  $V_{d1}$  ,  $V_{d2}$  の和で表される [23]。

$$V_{AK} = V_j + V_b + V_{d1} + V_{d2} \quad (3.7)$$

以下，接合電圧  $V_j$  , 蓄積領域電圧  $V_b$  , 空乏層電圧  $V_{d1}$  ,  $V_{d2}$  それぞれについて示す。

• 接合電圧

接合部  $j_1$  ,  $j_2$  におけるビルトイン電圧をそれぞれ  $V_{b1}$  ,  $V_{b2}$  , 順方向電圧をそれぞれ  $V_{j1}$  ,  $V_{j2}$  とする。このとき，接合部  $j_1$  ,  $j_2$  における電圧  $\Delta V_{j1}$  ,  $\Delta V_{j2}$  はそれぞれ式 (3.8) で表される。

$$\Delta V_{j1} = V_{b1} - V_{j1} \quad , \quad \Delta V_{j2} = V_{b2} - V_{j2} \quad (3.8)$$

また， $p^+$  層におけるホール密度を  $p_p$  ,  $n^+$  層における電子密度を  $n_n$  とし， $n^-$  ドリフト層の接合部  $j_1$  近傍におけるホール密度を  $p(x_1)$  , 接合部  $j_2$  近傍における電子密度を  $n(x_2)$  とする。このとき，それぞれのキャリア密度は式 (3.9) で表される。

$$\frac{p(x_1)}{p_p} = \exp\left(-\frac{q\Delta V_{j1}}{kT}\right) \quad , \quad \frac{n(x_2)}{n_n} = \exp\left(-\frac{q\Delta V_{j2}}{kT}\right) \quad (3.9)$$

また，熱平衡状態における  $n^-$  ドリフト層のホール密度  $p_0$  , 電子密度  $N_D$  は，

$$\frac{p_0}{p_p} = \exp\left(-\frac{qV_{b1}}{kT}\right) \quad , \quad \frac{N_D}{n_n} = \exp\left(-\frac{qV_{b2}}{kT}\right) \quad (3.10)$$

と表され，式 (3.9) と式 (3.10) から式 (3.11) が得られる。

$$p(x_1) = p_0 \exp\left(\frac{qV_{j1}}{kT}\right) \quad , \quad n(x_2) = N_D \exp\left(\frac{qV_{j2}}{kT}\right) \quad (3.11)$$

$$V(j_1) = \frac{kT}{q} \ln\left(\frac{p(x_1)}{p_0}\right) \quad , \quad V(j_2) = \frac{kT}{q} \ln\left(\frac{n(x_2)}{N_D}\right) \quad (3.12)$$

ここで，真性キャリア密度を  $n_i$  として質量作用の法則  $p_0 N_D = n_i^2$  を適用し，また，高注入条件を満たしていることから  $n(x_2) = p(x_2)$  とすると，接合電圧  $V_j$  は

$$V_j = V_{j1} + V_{j2} = \frac{kT}{q} \ln\left(\frac{p(x_1)p(x_2)}{n_i^2}\right) \quad (3.13)$$

と表すことができる。

● 蓄積領域電圧

キャリア蓄積領域における電子電流  $I_n$  とホール電流  $I_p$  はそれぞれ式 (3.14) で表される。

$$I_n = qS \left( \mu_n n E + D_n \frac{dn}{dx} \right), \quad I_p = qS \left( \mu_p p E - D_p \frac{dp}{dx} \right) \quad (3.14)$$

ここで,  $\mu = \mu_n + \mu_p$  とするとダイオードを流れる全電流  $I_a$  は式 (3.15) で表される。

$$I_a = qS \left\{ \mu p E + (D_n - D_p) \frac{dp}{dx} \right\} \quad (3.15)$$

キャリア蓄積領域における電界は, 式 (3.15) より

$$E = \frac{I_a}{q\mu S} \frac{1}{p} - \frac{(D_n - D_p)}{\mu} \frac{1}{p} \frac{dp}{dx} \quad (3.16)$$

となり, 蓄積領域における電圧は式 (3.17) で表される。

$$\begin{aligned} V_b &= \int_{x_1}^{x_2} E dx \\ &= \frac{I_a}{q\mu S} \int_{x_1}^{x_2} \frac{1}{p(x,t)} dx - \frac{D_n - D_p}{\mu} \ln \left( \frac{p(x_2)}{p(x_1)} \right) \end{aligned} \quad (3.17)$$

ここで, 第2項は第1項よりも十分小さいため, キャリア蓄積領域における電圧  $V_b$  は, 式 (3.18) と表すことができる。

$$V_b = \frac{I_a}{q\mu S} \int_{x_1}^{x_2} \frac{1}{p(x,t)} dx \quad (3.18)$$

● 空乏層電圧

図 3.2 は pin ダイオードのターンオフ時のキャリア濃度, 電界の模式図である。

$p^+$  層,  $n^+$  層側に形成される空乏層における有効空間電荷密度をそれぞれ  $qN_{eff1}$ ,  $qN_{eff2}$  とし, 領域全体で一定と仮定すると, ポアソン方程式より式 (3.19) が成り立つ。

$$\frac{\partial E_1(x,t)}{\partial x} = \frac{qN_{eff1}}{\varepsilon_{Si}}, \quad \frac{\partial E_2(x,t)}{\partial x} = \frac{qN_{eff2}}{\varepsilon_{Si}} \quad (3.19)$$

ここで,  $\varepsilon_{Si}$  はシリコン (Si) の誘電率である。このとき,

$$E_1(x_1, t) = E_2(x_2, t) = 0 \quad (3.20)$$

とすると, 図 3.2 に示すように, 電界分布は傾きが一定となり, 各空乏層の両端電圧は

$$V_{d1} = - \int_0^{x_1} \frac{qN_{eff1}}{\varepsilon_{Si}} (x - x_1) dx = \frac{qN_{eff1} W_{d1}^2}{2\varepsilon_{Si}} \quad (3.21)$$

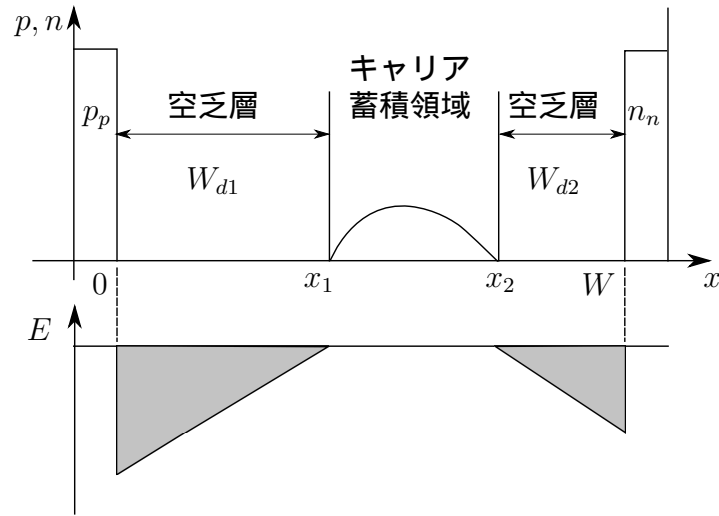


図 3.2: ターンオフ時のキャリア濃度，電界の模式図

$$V_{d2} = - \int_{x_2}^W \frac{qN_{eff1}}{\epsilon_{Si}} (x_2 - x) dx = \frac{qN_{eff1}W_{d2}^2}{2\epsilon_{Si}} \quad (3.22)$$

と表される。

空乏層が形成されるときダイオードは逆バイアスされており，空乏層  $W_{d1}$  にはホール電流  $I_{p1}$  が，空乏層  $W_{d2}$  には電子電流  $I_{n2}$  が拡散電流として流れている。このホール電流  $I_{p1}$  および電子電流  $I_{n2}$  の電荷密度は，空乏層内の電荷密度  $N_B$  に加えられ電界に寄与する。空乏層  $W_{d1}$  を流れる電流で電荷として寄与するのはホールのみであり，ホールの空乏層内でのドリフト速度を  $v_{sat}$  とすると，空乏層  $W_{d1}$  の有効電荷密度  $qN_{eff1}$  は

$$N_{eff1} = N_B + \frac{I_{p1}}{qSv_{sat}} \quad (3.23)$$

となる。同様に，空乏層  $W_{d2}$  の有効電荷密度  $qN_{eff2}$  は

$$N_{eff2} = N_B + \frac{I_{n2}}{qSv_{sat}} \quad (3.24)$$

で表される。ここで， $N_B$  はベース領域のドーパント濃度， $v_{sat}$  は飽和ドリフト速度である。

以上の式を用い，文献 [19, 20, 21] に従って，両極性拡散方程式を RC 等価回路へと置換して回路シミュレータに実装することにより，pin ダイオードモデルを構築する。

表 3.1: pin ダイオードモデルのパラメータ

Symbol	Description	Value
$S$ [cm <sup>2</sup> ]	Device area	0.4
$W$ [μm]	Drift region width	85
$N_B$ [cm <sup>-3</sup> ]	Drift region doping	$1.0 \times 10^{14}$
$\tau_1$ [μs]	Lifetime	$0.025 \times (T/300)^{1.5}$
$\tau_2$ [μs]	Lifetime	$0.2 \times (T/300)^{1.5}$
$h_p$ [cm <sup>4</sup> /s]	Anode recombination parameter	$5.0 \times 10^{-13}$
$h_n$ [cm <sup>4</sup> /s]	Cathode recombination parameter	$4.0 \times 10^{-13}$
$x_d$ [μm]	Lifetime boundary location	15
$r_s$ [mΩ]	Parasitic resistance	10
$\mu_p$ [cm <sup>2</sup> /(V·s)]	Hole mobility	$450 \times (300/T)^{2.5}$
$\mu_n$ [cm <sup>2</sup> /(V·s)]	Electron mobility	$1400 \times (300/T)^{2.5}$

RC 等価回路は，第 2 章で述べたように，キャリア濃度を

$$p(x, t) = v_0 + \sum_{k=1}^{\infty} v_k(t) \cos \frac{k\pi(x - x_1)}{x_2 - x_1}$$

$$v_0 = \frac{1}{x_2 - x_1} \int_{x_1}^{x_2} p(x, t) dx$$

$$v_k = \frac{2}{x_2 - x_1} \int_{x_1}^{x_2} p(x, t) \cos \frac{k\pi(x - x_1)}{x_2 - x_1} dx$$

として，両極性拡散方程式の各項に  $\cos \{n\pi(x - x_1)/(x_2 - x_1)\}$  を乗じて  $x_1$  から  $x_2$  の範囲で積分を行うことにより得ることができる。

このような RC 等価回路による解法は汎用性が高いものの数値安定性に難があることから [85]， $n^-$  層を  $x$  方向に空間離散化し，有限差分法によって両極性拡散方程式を解く手法を採用している [86]。

### 3.1.3 pin ダイオードモデルのパラメータ

今回，評価対象としたダイオードは定格 600-V，50-A の高速リカバリーダイオードであり，局所ライフタイム制御を行っているものと仮定している。局所ライフタイム制御

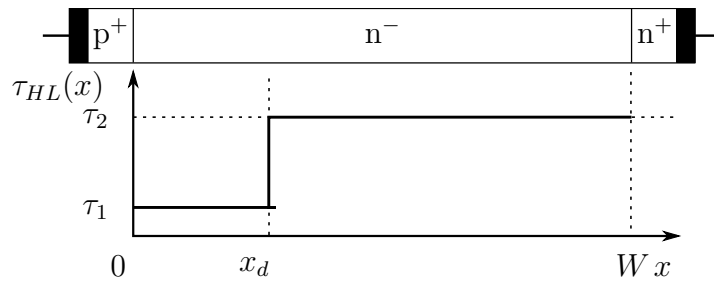


図 3.3: ステップ状ライフタイム分布

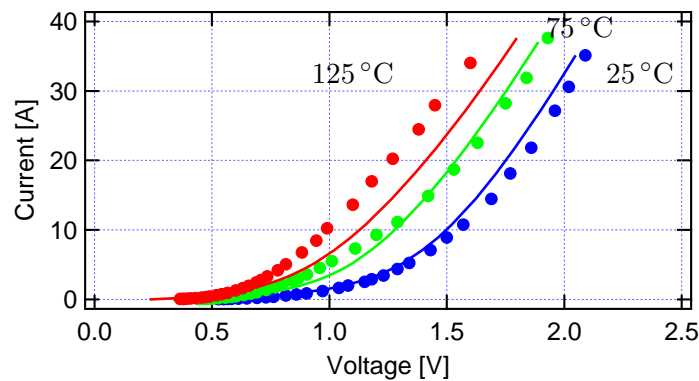


図 3.4: pin ダイオードの順方向特性 (記号：実験結果，実線：解析結果)

を行っているダイオードでは、 $n^-$  層におけるライフタイムは一様ではなく位置座標  $x$  の関数となる。ここでは簡略化ならびにパラメータ数削減のため、図 3.3 に示すようにライフタイムがステップ状に分布しているものとしてモデル化を行った。表 3.1 に実験結果に基づいて最適化した物理パラメータを示す [86]。

図 3.4 に  $25^\circ\text{C}$ 、 $75^\circ\text{C}$ 、 $125^\circ\text{C}$  における順方向特性の実験結果と解析結果の比較を示す。各温度において、解析結果は実験結果と比較的良好に一致していることがわかる。

図 3.5 はダイオードのリカバリー特性を評価する L 負荷スイッチング試験回路であり、スイッチング素子には MOSFET を用いた。図 3.6 に室温におけるリカバリー特性の実験結果と解析結果の比較を示す。解析結果と実験結果とは良好に一致している。

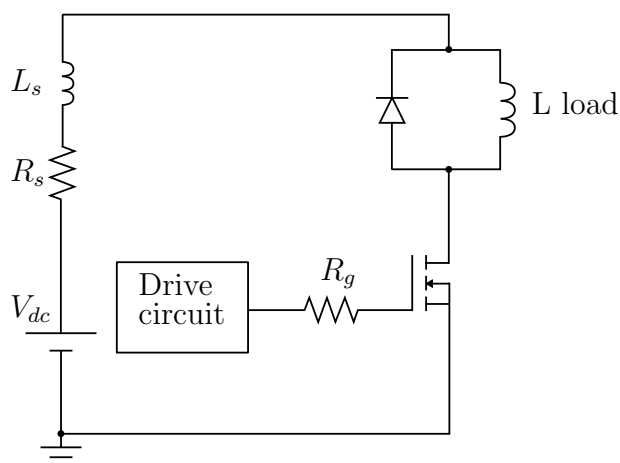


図 3.5: L 負荷スイッチング試験回路

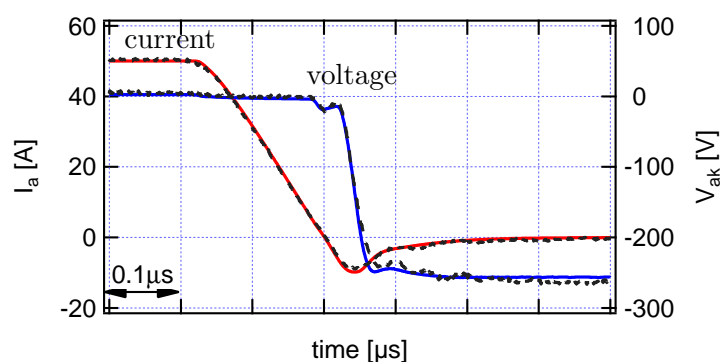


図 3.6: pin ダイオードのリカバリー動作 (破線：実験結果，実線：解析結果)

## 3.2 IGBT モデル

### 3.2.1 IGBT の等価回路と物理モデル

図 3.7 にノンパンチスルー (NPT) 型 IGBT の構造を示す。従来, IGBT の等価回路は MOSFET と pnp トランジスタの並列回路として表され [29], MOSFET によって駆動される pnp トランジスタとして理解されてきた。その後, IGBT の等価回路を MOSFET と pin ダイオードの直列接続で表されることを示す実験結果が発表され [31], 最新の IGBT では,  $n^-$  ドリフト層中のキャリア分布は pin ダイオードに近い分布を示している。本論文では, IGBT を MOSFET と pin ダイオードを直列接続した等価回路で表す。

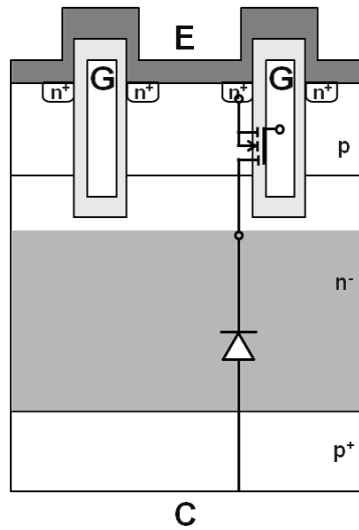


図 3.7: IGBT の構造と等価回路

IGBT の  $n^-$  ドリフト層における過剰キャリアの挙動は、pin ダイオードモデル同様に 1 次元の両極性拡散方程式で記述することができる。IGBT の  $n^-$  ドリフト層では高注入条件を満たしているため、電荷中性条件より  $n^-$  ドリフト層中の正孔濃度  $p(x, t)$  と電子濃度  $n(x, t)$  は等しく、そのキャリア分布は 1 次元両極性拡散方程式により求められる。

$$D \frac{\partial^2 p(x, t)}{\partial x^2} = \frac{p(x, t)}{\tau_{HL}} + \frac{\partial p(x, t)}{\partial t}, \quad D = \frac{2kT}{q} \frac{\mu_n \mu_p}{\mu_n + \mu_p}$$

ここで、 $D$  は両極性拡散定数、 $\tau_{HL}$  は高注入ライフタイムであり、両極性拡散定数  $D$  は、アインシュタインの関係式から電子と正孔の移動度  $\mu_n, \mu_p$  を用いて表される。境界条件はキャリア蓄積領域の両端 ( $x_1, x_2$ ) における過剰キャリア密度の勾配を用いて次式で与えられる。

$$\left. \frac{\partial p(x, t)}{\partial x} \right|_{x_1} = \frac{1}{2qS} \left( \frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right), \quad \left. \frac{\partial p(x, t)}{\partial x} \right|_{x_2} = \frac{1}{2qS} \left( \frac{I_{n2}}{D_n} - \frac{I_{p2}}{D_p} \right)$$

ここで、 $q$  は素電荷、 $S$  は有効チップ面積である。また、 $I_{ni}, I_{pi}$  はそれぞれ  $x_i$  における電子電流と正孔電流である ( $i = 1, 2$ )。

pin ダイオードモデル同様の手法により両極性拡散方程式を  $v_k(t)$  についての 1 階の微分方程式で記述する [19, 20, 21]。

$n^-$  ドリフト層の  $p^+$  エミッタ領域側端部を流れる電子電流  $I_{n1}$  とホール電流  $I_{p1}$  は式 (3.25) で表される。

$$I_{n1} = qh_p S p(x_1)^2, \quad I_{p1} = I_c - I_{n1} \quad (3.25)$$

ここで、 $h_p$  は再結合パラメータ、 $I_c$  は全コレクタ電流である。

一方、 $n^-$  ドリフト層の MOS チャネル領域側端部を流れるホール電流  $I_{p2}$  は、MOS チャネル電流  $I_{ch}$  と電子電流  $I_{n2}$  が等しいことから式 (3.26) で表される。

$$I_{p2} = I_c - I_{n2} = I_c - I_{ch} \quad (3.26)$$

MOS チャネル電流  $I_{ch}$  は、飽和領域と線形領域それぞれにおけるトランスコンダクタンスパラメータ  $K_{psat}$ 、 $K_{plin}$  を用いて、飽和領域においては式 (3.27) で、線形領域においては式 (3.28) でそれぞれ表すことができる [39, 57]。

$$I_{ch} = \frac{K_{psat}}{2} (V_{ge} - V_{th})^2 \frac{1 + \lambda V_{mos}}{1 + \theta(V_{ge} - V_{th})} \quad (3.27)$$

$$I_{ch} = K_{plin} \left\{ V_{mos}(V_{ge} - V_{th}) - \frac{K_{plin}}{2K_{psat}} V_{mos}^2 \right\} \times \frac{1 + \lambda V_{mos}}{1 + \theta(V_{ge} - V_{th})} \quad (3.28)$$

ここで、 $V_{mos}$  は MOS チャネル電圧、 $V_{ge}$  はゲート・エミッタ間電圧、 $V_{th}$  は閾値電圧であり、 $\lambda$  は短チャネルパラメータ、 $\theta$  は移動度に対するゲート電圧の影響を考慮した移動度変調パラメータである。

IGBT の等価回路が MOSFET と pin ダイオードの直列接続で表すことができること、また、IGBT のゲート、コレクタ、エミッタの各端子間には容量が存在することから、キャリア蓄積領域における過剰キャリア密度の挙動を記述する 1 次元両極性拡散方程式と、MOS チャネル電流の解析式、各端子間容量とを組み合わせることにより IGBT 物理モデルを構成している。

### 3.2.2 IGBT モデルのパラメータ

IGBT モデルのパラメータの抽出方法について説明する。表 3.2 は IGBT モデルの作成に必要なパラメータを示したものである [54]。

MOS ゲートに関連するパラメータにおいて、閾値電圧  $V_{th}$  は伝達特性から設定する。また、飽和領域のトランスコンダクタンスパラメータ  $K_{psat}$  と移動度変調パラメータ  $\theta$  は出力特性のデータにおいて、飽和領域における出力特性から算出する。MOS チャネル電流  $I_{ch}$  とコレクタ電流  $I_c$  との間には次式が成り立つ [55]。

$$I_{ch} = \frac{\mu_n}{\mu_n + \mu_p} I_c \quad (3.29)$$

表 3.2: IGBT モデル作成に必要なパラメータ

Part	Symbol	Description
MOS ゲート	$V_{th}$ [V]	Threshold voltage
	$K_{plin}$ [A/V <sup>2</sup> ]	Transconductance coefficient in linear region
	$K_{psat}$ [A/V <sup>2</sup> ]	Transconductance coefficient in saturation region
	$\theta$ [V <sup>-1</sup> ]	Transverse field transconductance factor
	$\lambda$ [V <sup>-1</sup> ]	Short channel parameter
構造	$S$ [cm <sup>2</sup> ]	Effective die area
コレクタ ボディ	$W_B$ [cm]	Width of N-drift region
	$N_B$ [cm <sup>-3</sup> ]	Doping concentration of N-drift region
	$\tau_{HL}$ [ $\mu$ s]	Carrier high-level lifetime in N-drift region
	$h_p$ [cm <sup>4</sup> /s]	Hole recombination coefficient in emitter (NPT)
	$W_H$ [cm]	Width of N-buffer layer (PT)
	$N_H$ [cm <sup>-3</sup> ]	Doping concentration of N-buffer layer (PT)
	$\tau_{BF}$ [ $\mu$ s]	Carrier lifetime in N-buffer layer (PT)
	$I_{sne}$ [A]	Minority carrier saturation current (PT)

式 (3.27) において  $\lambda = 0$  として, 式 (3.29) を用いて  $K_{psat}$  について解くと,

$$\begin{aligned}
 K_{psat} &= \frac{2 \cdot \{1 + \theta(V_{ge} - V_{th})\}}{(V_{ge} - V_{th})^2} \cdot I_{ch} \\
 &= \frac{2 \cdot \{1 + \theta(V_{ge} - V_{th})\}}{(V_{ge} - V_{th})^2} \cdot \frac{\mu_n}{\mu_n + \mu_p} \cdot I_c
 \end{aligned} \tag{3.30}$$

となる。

短チャネルパラメータ  $\lambda = 0$  とし, また、閾値電圧  $V_{th}$  が伝達特性から求まっていることから, 2つのゲート・エミッタ間電圧における飽和電流値を用いると  $\theta$  と  $K_{psat}$  を変数とする2元連立方程式が得られる。この連立方程式を解くことにより  $\theta$  と  $K_{psat}$  の初期値を決定することができる。その後, 線形領域の出力特性が一致するように  $K_{plin}$  を調整する。

次に, 構造に関連するパラメータの有効チップ面積  $S$  に関しては, 実際に面積を測定することで決定することができる。

ドリフト層に関連するパラメータには  $W_B$ ,  $N_B$  がある。 $W_B$ ,  $N_B$  について最も正確なパラメータの設定方法は実際のチップ設計者から情報を入手することである。他の方法としては,  $N_B$  の標準値  $6 \times 10^{13} - 2 \times 10^{14} \text{ cm}^{-3}$  と, Si に対する臨界電界強度  $E_c = 2 - 3 \times 10^5 \text{ V/cm}$  を用いて, 式 (3.31) から算出することも可能である。ここで,  $\varepsilon_{Si}$  は Si の誘電率である。

$$W_B = \frac{\varepsilon_{Si} E_c}{q N_B} \quad (3.31)$$

ライフタイムに関連するパラメータについて, NPT 型 IGBT におけるハイレベルライフタイム  $\tau_{HL}$  と PT 型 IGBT におけるバッファ層ライフタイム  $\tau_{BF}$  は, いずれも誘導負荷に対するターンオフ動作時のコレクタ電流のテール電流部から算出する [29]。

NPT 型 IGBT のハイレベルライフタイム  $\tau_{HL}$  はコレクタ電流依存性がほとんどないため, 容易に決定することができる [55]。一方, PT 型 IGBT では, NPT 型 IGBT のハイレベルライフタイム  $\tau_{HL}$  の代わりに有効ライフタイム  $\tau_{eff}$  を用いる。有効ライフタイム  $\tau_{eff}$  はドリフト層のハイレベルライフタイム  $\tau_{HL}$  とバッファ層のライフタイム  $\tau_{BF}$  の関数であり, コレクタ電圧依存性がある。ドリフト層のハイレベルライフタイム  $\tau_{HL}$  は低コレクタ電圧時の有効ライフタイム  $\tau_{eff}$  に相当し, バッファ層ライフタイム  $\tau_{BF}$  は, ドリフト領域が空乏化している高コレクタ電圧時の有効ライフタイム  $\tau_{eff}$  に相当する。このように, PT 型 IGBT のライフタイムを算出するためには, ターンオフ波形のコレクタ電圧依存性を評価する試験を実施する必要がある [55]。

再結合パラメータ  $h_p$  は, NPT 型 IGBT では,  $p^+$  エミッタ領域から  $n^-$  ドリフト層に注入されるホールとの再結合に関するパラメータであり, 初期値として  $1 \times 10^{-12} \text{ cm}^4/\text{s}$  が用いられる。このとき,  $p^+$  エミッタ領域と  $n^-$  ドリフト層の境界を流れる電子電流  $I_{n1}$  は

$$I_{n1} = q h_p S p(x_1)^2 \quad (3.32)$$

で表される [22]。

一方, PT 型 IGBT では, NPT 型 IGBT の再結合パラメータに相当するパラメータはバッファ層に関するパラメータであり,  $W_H$ ,  $N_H$ ,  $I_{sne}$  がある。バッファ層幅  $W_H = 4 - 10 \text{ }\mu\text{m}$ , ドーピング濃度  $N_H = 1 \times 10^{16} \text{ cm}^{-3}$  が経験的な値として用いられる。なお, 比較的低いドーピング濃度のバッファ領域が用いられている CSTBT や FS 型 IGBT では, より小さい  $W_H$ ,  $N_H$  が用いられる。また, バッファ層の少数キャリア飽和電流  $I_{sne} = 10^{-14} - 10^{-12} \text{ A}$  が初期値として用いられる [55]。

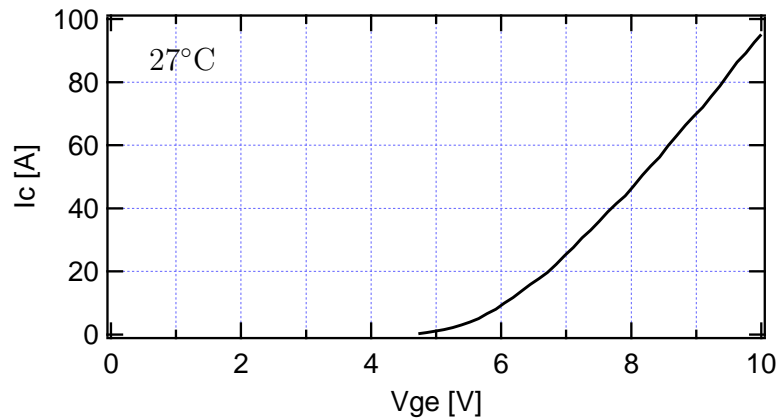


図 3.8: SGW30N60 伝達特性の実測結果

### 3.2.3 パラメータの設定

定格 600-V, 30-A の NPT 型 IGBT を評価対象として物理モデルを作成する。

閾値電圧  $V_{th}$  は伝達特性の試験結果から算出する。図 3.8 に室温における伝達特性の測定結果を示す。図 3.8 から閾値電圧は  $V_{th} = 4.86$  と求まる。

また、トランスコンダクタンスパラメータ  $K_{psat}$ ,  $K_{plin}$ , 移動度変調パラメータ  $\theta$  は出力特性のゲート電圧依存性の試験結果から算出する。なお、短チャネルパラメータ  $\lambda = 0$  としている。図 3.9 に出力特性の測定結果を示す。短チャネルパラメータ  $\lambda = 0$ , 閾値電圧  $V_{th} = 4.86$  についてはいずれも既知である。 $V_{ge} = 7$  V と 9 V のときの式 (3.30) を用いて  $\theta$  と  $K_{psat}$  を求めると、 $27^\circ\text{C}$  では、 $\theta = 0.2$ ,  $K_{psat} = 10.2$  となる。線形領域における出力特性が一致するように  $K_{plin}$  を設定すると  $K_{plin} = 13.6$  となる。

同様に、図 3.9 に示した出力特性の温度依存性の実験結果から、 $75^\circ\text{C}$  においては  $V_{th} = 4.61$ ,  $K_{psat} = 9.1$ ,  $K_{plin} = 12.1$  となり、また、 $125^\circ\text{C}$  においては  $V_{th} = 4.42$ ,  $K_{psat} = 8.2$ ,  $K_{plin} = 10.8$  と求めることができる。これらの結果から閾値電圧  $V_{th}$ , トランスコンダクタンスパラメータ  $K_{psat}$ ,  $K_{plin}$  の温度依存性は、それぞれ式 (3.33), 式 (3.34), 式 (3.35) のように表すことができる [40]。

$$V_{th} = 4.86 + 0.0047 \times (300 - T) \quad (3.33)$$

$$K_{psat} = 10.2 \times \left(\frac{300}{T}\right)^{0.77} \quad (3.34)$$

$$K_{plin} = 13.6 \times \left(\frac{300}{T}\right)^{0.82} \quad (3.35)$$

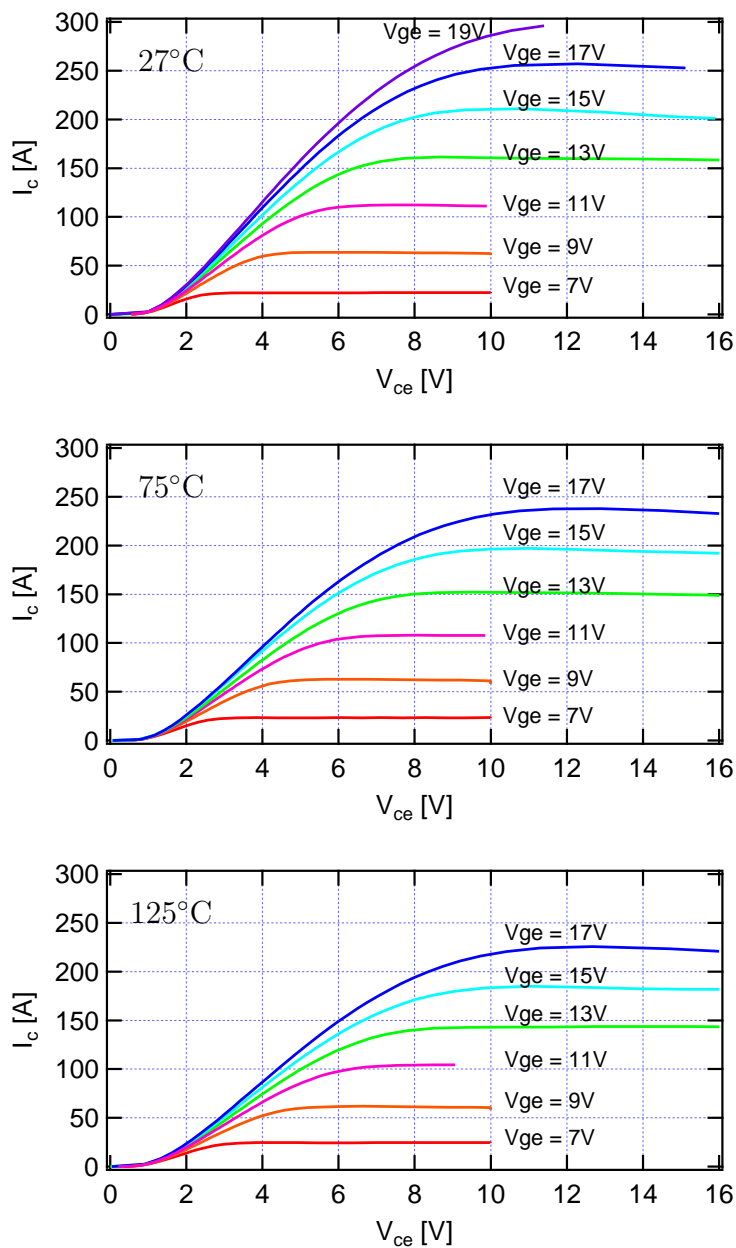


図 3.9: SGW30N60 出力特性の実測結果

このようにして，表 3.2 に示した MOS ゲートに関連するパラメータを決定することができる。

次にライフタイムの設定方法について述べる。図 3.10 は 27°C におけるターンオフ波

形を示したものである。式 (3.36) に基づきライフタイムを推定することができる [29]。

$$I_c(t) = \frac{I_c(0+)}{\left[ \frac{I_c(0+)}{I_k^\tau} + 1 \right] \exp\left(\frac{t}{\tau_{HL}}\right) - \frac{I_c(0+)}{I_k^\tau}} \quad (3.36)$$

ここで，

$$I_k^\tau = \frac{q^2 A^2 D_p n_i^2}{I_{sne} \tau_{HL}} \quad (3.37)$$

である。また，

$$n_i(T) = \frac{3.88 \times 10^{16} \times T^{1.5}}{\exp(7000/T)} \quad (3.38)$$

$$I_{sne} = \frac{1 \times 10^{-12} \times (300/T)^{0.5}}{\exp\{14000 \times (1/T - 1/300)\}} \quad (3.39)$$

としている。

式 (3.36)–式 (3.39) を用いてターンオフ実測波形に対するカーブフィッティングを行うことにより， $27^\circ\text{C}$  におけるライフタイム  $\tau_{HL}$  は約 100 ns と推定することができる。

残るパラメータは，有効チップ面積  $S$ ，再結合パラメータ  $h_p$ ，ドリフト層厚み  $W_B$ ，ドリフト層のドーパント濃度  $N_B$  と IGBT の各端子間の容量である。以下，順に説明する。

まず，有効チップ面積  $S$  については実測から求めることができ  $0.25 \text{ cm}^2$  と設定している。次に，再結合パラメータ  $h_p$  は初期値を参考に  $3 \times 10^{-13} \text{ cm}^4/\text{s}$  と設定している。

ドリフト層厚み  $W_B$  は  $65 \text{ }\mu\text{m}$  とし，ドリフト層のドーパント濃度  $N_B$  は  $3 \times 10^{14} \text{ cm}^{-3}$  としている。これら  $W_B$  と  $N_B$  の値は，臨界電界強度  $E_c = 3 \times 10^5 \text{ V/cm}$  としたとき，式 (3.31) を満足する値である。

これらパラメータをまとめると表 3.3 のようになる。また，各パラメータを用いた出力特性の解析結果を実測結果と比較すると図 3.11 のようになり，実線が実測結果を，記号が解析結果を表している。解析結果と実験結果のオン電圧の差分を  $\Delta V_{ce(sat)}$ ，両者の平均値を  $V_{ce(sat),ave}$  とし，誤差率を

$$E_{error} = \frac{\Delta V_{ce(sat)}}{V_{ce(sat),ave}} \times 100 [\%] \quad (3.40)$$

とすると， $27^\circ\text{C}$ ， $75^\circ\text{C}$  と  $125^\circ\text{C}$  における解析結果と実験結果の誤差率はそれぞれ 6.1%，8.1%，7.3% と非常によく一致している。

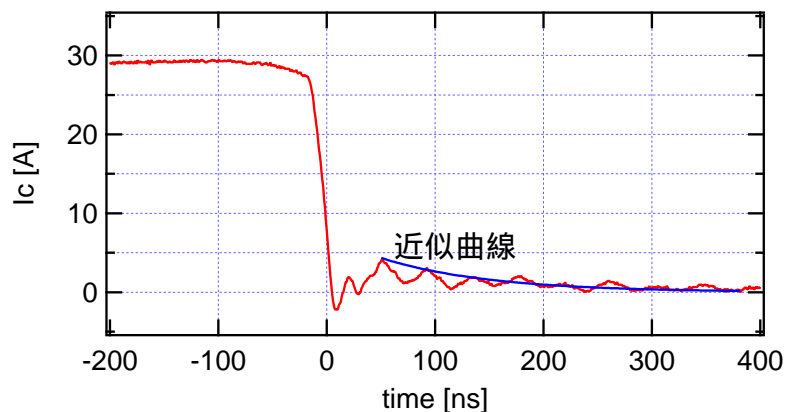


図 3.10: SGW30N60 のターンオフ時のコレクタ電流波形

表 3.3: IGBT モデルのパラメータ

Symbol	Description	Value
$V_{th}$ [V]	Threshold voltage	$4.87 + 0.0043 \times (300 - T)$
$K_{psat}$ [A/V <sup>2</sup> ]	Transconductance in saturation region	$10.2 \times (300/T)^{0.77}$
$K_{plin}$ [A/V <sup>2</sup> ]	Transconductance in linear region	$13.6 \times (300/T)^{0.82}$
$\theta$ [V <sup>-1</sup> ]	Transverse field transconductance factor	0.2
$S$ [cm <sup>2</sup> ]	Effective die area	0.25
$W_B$ [ $\mu$ m]	N-drift region width	65
$N_B$ [cm <sup>-3</sup> ]	Doping concentration	$3 \times 10^{14}$
$\tau_{HL}$ [ $\mu$ s]	High-level lifetime	$0.1 \times (T/300)^{2.5}$
$h_p$ [cm <sup>4</sup> /s]	Hole recombination coefficient	$3 \times 10^{-13}$
$I_{sne}$ [A]	Carrier saturation current	$\frac{1 \times 10^{-12} \times (300/T)^{0.5}}{\exp\{14000 \times (1/T - 1/300)\}}$
$\mu_n$ [cm <sup>2</sup> /(V·s)]	Electron mobility	$1400 \times (300/T)^{2.5}$
$\mu_p$ [cm <sup>2</sup> /(V·s)]	Hole mobility	$450 \times (300/T)^{2.5}$

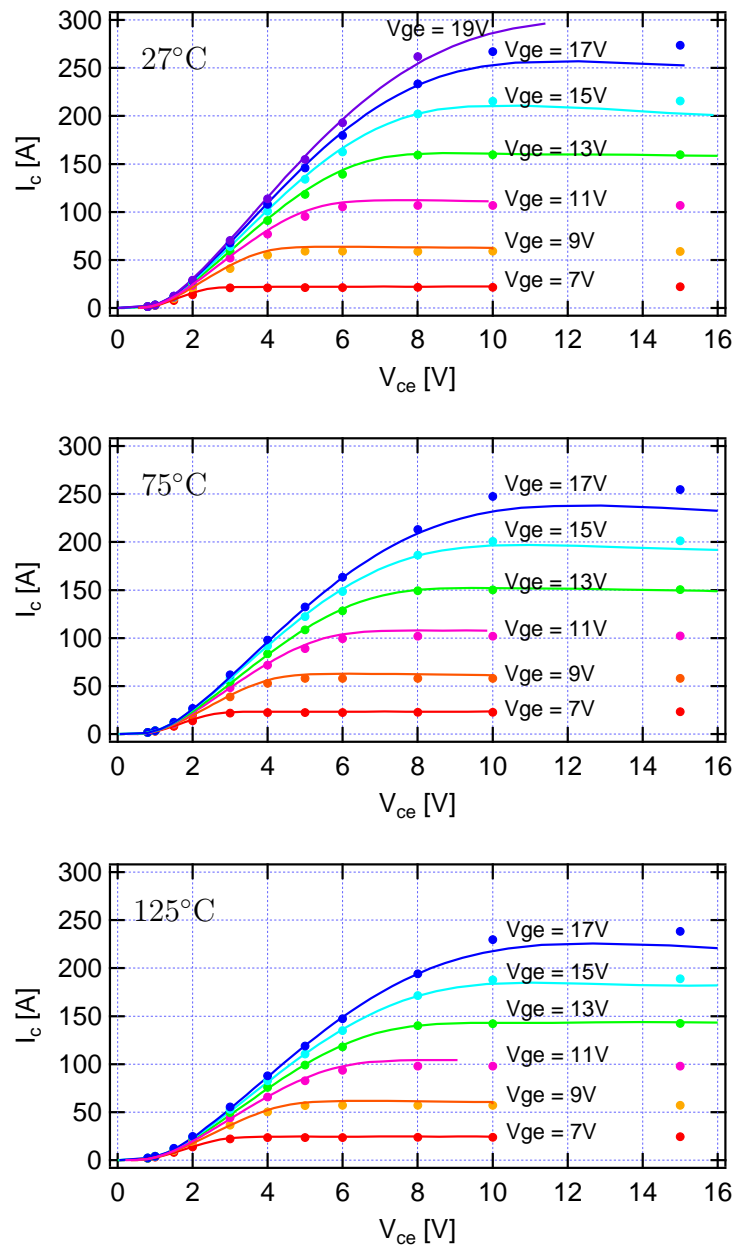


図 3.11: IGBT の出力特性 (記号：解析結果，線：実験結果)

次に IGBT のゲート，コレクタ，エミッタの各端子間容量について述べる。これら端子間容量には電圧依存性があり，特に，コレクタ・ゲート間容量  $C_{cg}$  は，電圧依存性が非常に大きく，スイッチング速度に与える影響が大きい。

NPT 型 IGBT の SGW30N60 の容量特性の LCR メータを用いた測定結果を図 3.12 に示す。ゲート・エミッタ間電圧  $v_{ge} = 0$  と固定し，周波数  $f = 1$  MHz として，コレクタ・

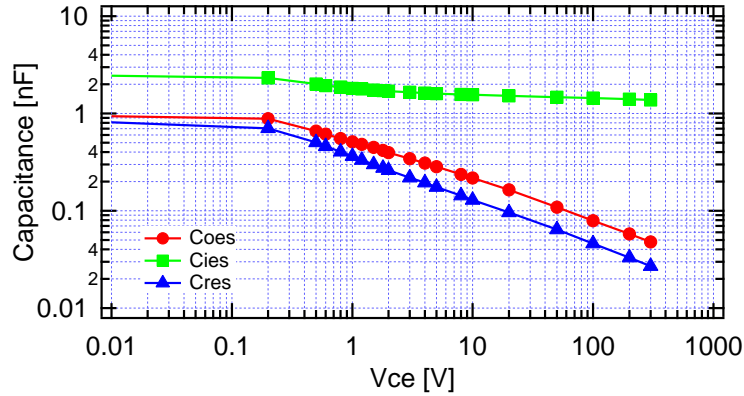


図 3.12: SGW30N60 の容量特性の測定結果

エミッタ間電圧  $v_{ce}$  を変化させた場合の入力容量  $C_{ies}$  , 出力容量  $C_{oes}$  , 帰還容量  $C_{res}$  を測定している。データシートに記載されている容量特性も同様である。このとき, 入力容量  $C_{ies}$  , 出力容量  $C_{oes}$  , 帰還容量  $C_{res}$  とゲート・エミッタ間, コレクタ・エミッタ間, コレクタ・ゲート間の各端子間容量 ( $C_{ge}$ ,  $C_{ce}$ ,  $C_{cg}$ ) とは次式で示す関係が成り立つ。

$$C_{ge} = C_{ies} - C_{res} \quad (3.41)$$

$$C_{ce} = C_{oes} - C_{res} \quad (3.42)$$

$$C_{cg} = C_{res} \quad (3.43)$$

しかし, データシートに記載されている帰還容量  $C_{cg}$  は, ゲート・エミッタ間電圧  $v_{ge} = 0$  V として求めた実験結果であり, 実際のスイッチング動作時では  $v_{ge}$  が変化することを考慮すると, LCR メータを用いた実験結果に基づく決定方法は不適當であると考ええる [60]。そこで, スwitching動作波形を用いて各端子間容量を設定する。

図 3.13 に NPT-IGBT の構造と内部キャパシタンスの概略を示す [55]。コレクタ・ゲート間容量  $C_{cg}$  は空乏層容量  $C_{dep}$  と MOS 容量  $C_{ox}$  の直列接続で表される。また, 図 3.14 に示すように, ゲート電流  $i_g$  は, ゲート・エミッタ間容量  $C_{ge}$  を流れる電流  $i_{ge}$  とコレクタ・ゲート間容量  $C_{cg}$  を流れる電流  $i_{cg}$  との和で表されることから, IGBT の帰還容量とゲート電流はそれぞれ式 (3.44), 式 (3.45) で表される。

$$C_{cg} = \frac{C_{ox} \cdot C_{dep}}{C_{ox} + C_{dep}} = \frac{C_{dep}}{1 + C_{dep}/C_{ox}} \quad (3.44)$$

$$i_g = i_{ge} + i_{cg} = C_{ge} \frac{dv_{ge}}{dt} + v_{ge} \frac{dC_{ge}}{dt} - C_{cg} \frac{dv_{cg}}{dt} - v_{cg} \frac{dC_{cg}}{dt} \quad (3.45)$$

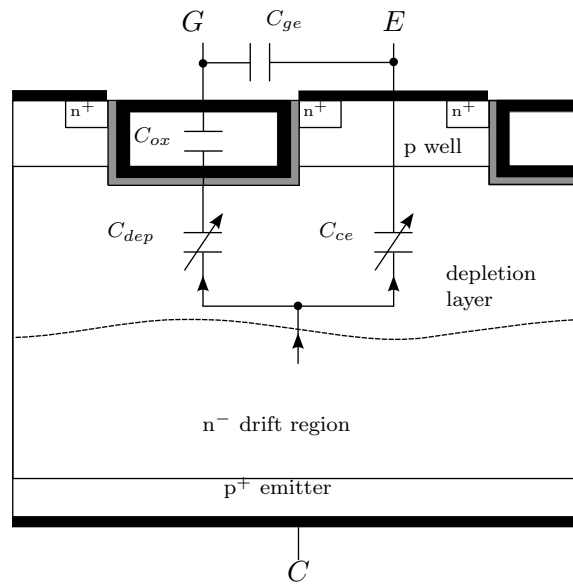


図 3.13: IGBT の構造と端子間容量 [55].

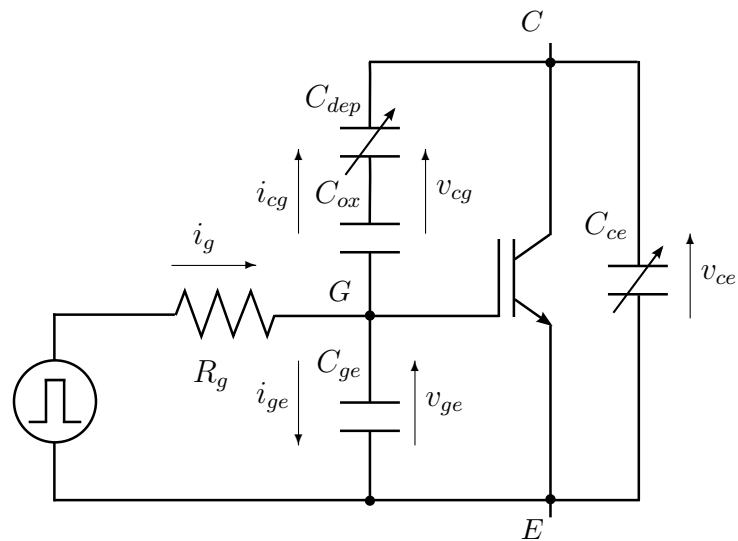


図 3.14: IGBT の端子間容量と駆動回路

図 3.15 に正常ターンオン動作時におけるスイッチング波形の概略を示す。各波形について、期間 1，期間 2，期間 3 に分けてターンオン動作を説明する。

期間 1 ( $t_0 \leq t < t_1$ ) : コレクタ・エミッタ間電圧  $v_{ce}$  が高い期間 1 においては、空乏層容量  $C_{dep}$  が MOS 容量  $C_{ox}$  に比べて十分小さいため、帰還容量  $C_{cg}$  は式 (3.44) より  $C_{dep}$  にほぼ等しい。また、帰還容量  $C_{cg}$  がゲート・エミッタ間容量  $C_{ge}$  より十分小さいこと

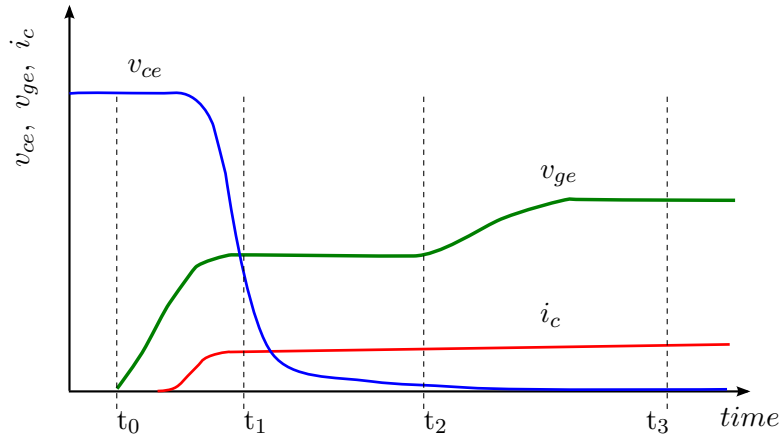


図 3.15: 通常動作時のスイッチング波形

から，ゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  を充電するだけである。

期間 2 ( $t_1 \leq t < t_2$ ): IGBT が活性領域から飽和領域へと遷移していき，コレクタ・エミッタ間電圧  $v_{ce}$  が飽和電圧  $V_{ce(sat)}$  に向かって低下していく。このとき，ゲート電流  $i_g$  が帰還容量  $C_{cg}$  を充電するため，ゲート・エミッタ間電圧  $v_{ge}$  は一定となる。この期間は一般にミラー期間と呼ばれる。

期間 3 ( $t_2 \leq t < t_3$ ): IGBT は完全に飽和領域に遷移し，コレクタ・エミッタ間電圧  $v_{ce}$  は飽和電圧  $V_{ce(sat)}$  を示す。ゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  と帰還容量  $C_{cg}$  の両方を充電し，ゲート・エミッタ間電圧はゲート駆動電源電圧まで上昇する。

期間 1 ではゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  を充電するだけであることから， $C_{ge}$  は式 (3.46) に示すように微分容量として表すことができる。

$$C_{ge} = \frac{dQ_{ge}}{dv_{ge}} = \frac{Q_{ge}(v_{ge} + \Delta v_{ge}) - Q_{ge}(v_{ge})}{(v_{ge} + \Delta v_{ge}) - v_{ge}} \quad (3.46)$$

同様に，期間 2 (ミラー期間) では，ゲート電流  $i_g$  はコレクタ・ゲート間容量  $C_{cg}$  を充電するだけであり， $C_{cg}$  は式 (3.47) で表される。

$$C_{cg} = -\frac{dQ_{cg}}{dv_{cg}} = -\frac{Q_{cg}(v_{cg} + \Delta v_{cg}) - Q_{cg}(v_{cg})}{(v_{cg} + \Delta v_{cg}) - v_{cg}} \quad (3.47)$$

以上から，ターンオン動作時におけるゲート・エミッタ間電圧  $v_{ge}$ ，コレクタ・エミッタ間電圧  $v_{ce}$ ，コレクタ・ゲート間電圧  $v_{cg}$  とゲート電流  $i_g$  の実験結果に基づき，ゲート・エミッタ間容量  $C_{ge}$ ，コレクタ・ゲート間容量  $C_{cg}$  を評価することができる。

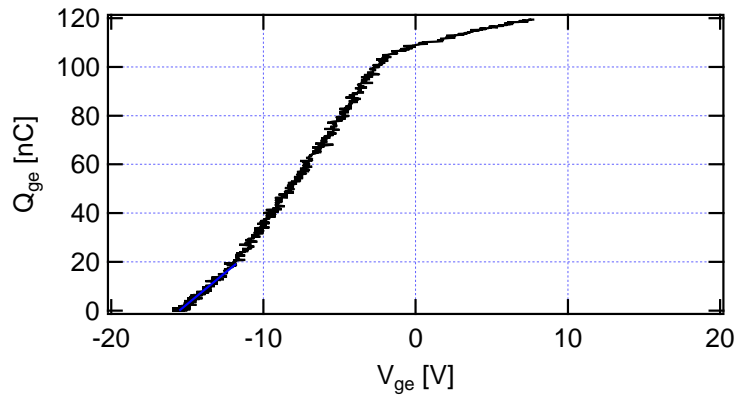


図 3.16: ミラー期間中のゲート電荷とゲート・エミッタ間電圧の関係

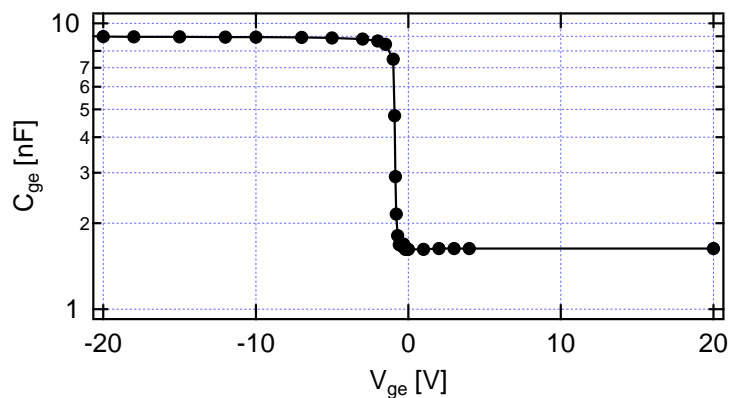


図 3.17: ゲート・エミッタ間容量

図 3.16 にターンオン動作後ミラー期間に達するまでの期間におけるゲート電荷量とゲート・エミッタ間電圧の関係を示す。ターンオン動作開始時におけるゲート電荷量を 0 としている。図 3.16 と式 (3.46) からゲート・エミッタ間容量を求めると図 3.17 のようになる。

また、図 3.18 にミラー期間中のゲート電荷量とコレクタ・ゲート間電圧の関係を示す。ミラー期間の開始時におけるゲート電荷量を 0 としている。図 3.18 と式 (3.47) からコレクタ・ゲート間容量を求めると図 3.19 のようになる。

最後に、コレクタ・エミッタ間容量  $C_{ce}$  については LCR メータによる測定結果と、式 (3.42)、式 (3.43) に基づいて決定している。図 3.20 にコレクタ・エミッタ間容量  $C_{ce}$  を

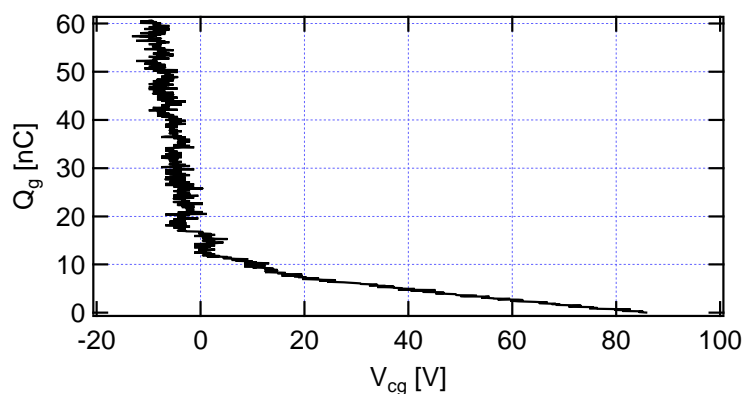


図 3.18: ミラー期間中のゲート電荷とコレクタ・ゲート間電圧の関係

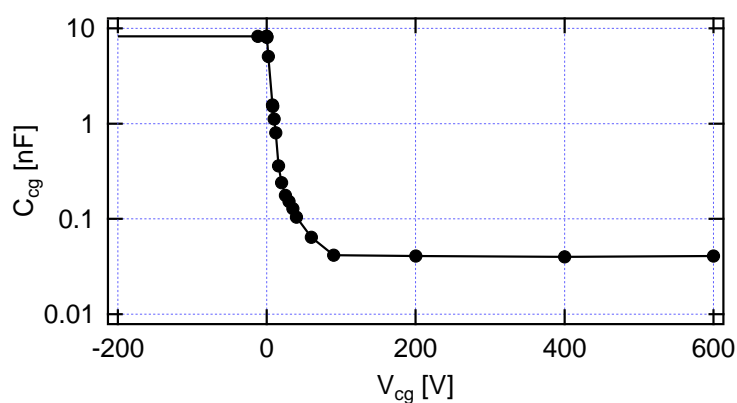


図 3.19: 帰還容量

示す。

### 3.3 解析結果と実験結果の比較

図 3.21 に誘導性負荷に対するスイッチング試験回路を示す。主回路電圧は  $V_{DC} = 300 \text{ V}$  , ゲート駆動回路におけるゲート抵抗を  $R_g = 24 \Omega$  としている。電流値は  $30 \text{ A}$  としている。

通常スイッチング動作時において、室温及び  $125^\circ\text{C}$  における解析結果と実験結果の比較を図 3.22 , 図 3.23 に示す。解析結果と実験結果の誤差率をスイッチング損失に基づ

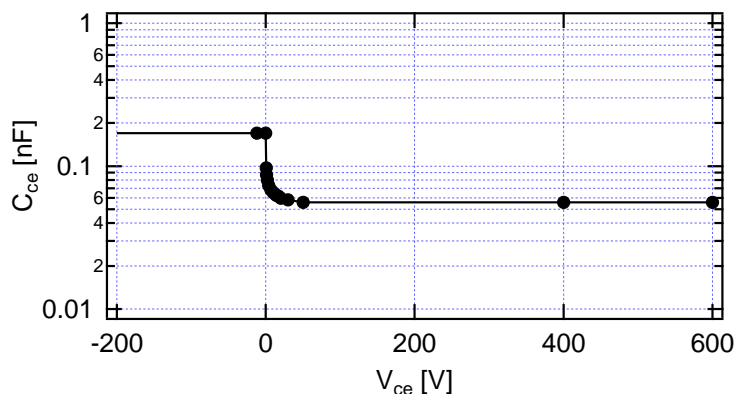


図 3.20: コレクタ・エミッタ間容量

いて求める。

スイッチング損失は、ターンオン損失については電流値の 10% から電圧値の 10% の区間における電流と電圧の積の積分とし、ターンオフ損失については電圧値の 10% から電流値の 10% の区間における電流と電圧の積の積分として求める。

実測結果によるスイッチング損失と解析結果によるスイッチング損失をそれぞれ  $E_{exp}$  ,  $E_{sim}$  , 両者の平均値を  $E_{ave}$  とし、スイッチング損失の誤差率  $E_{error}$  を

$$E_{error} = \frac{E_{exp} - E_{sim}}{E_{ave}} \times 100 [\%] \quad (3.48)$$

として定義する。

このとき、27°C におけるターンオン損失とターンオフ損失の誤差率はそれぞれ 17.5% , 6.0% であり、また、125°C におけるターンオン損失とターンオフ損失の誤差率はそれぞれ 11.5% , 4.5% である。

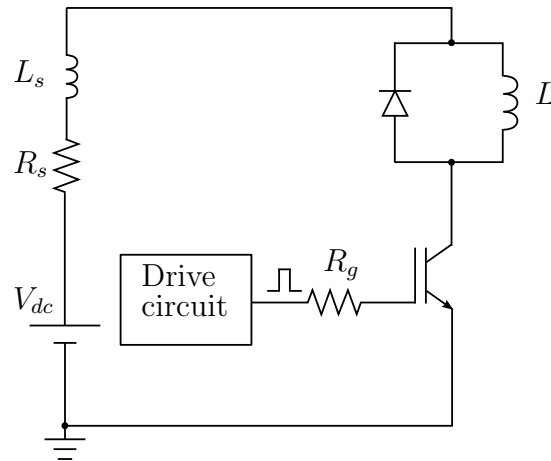
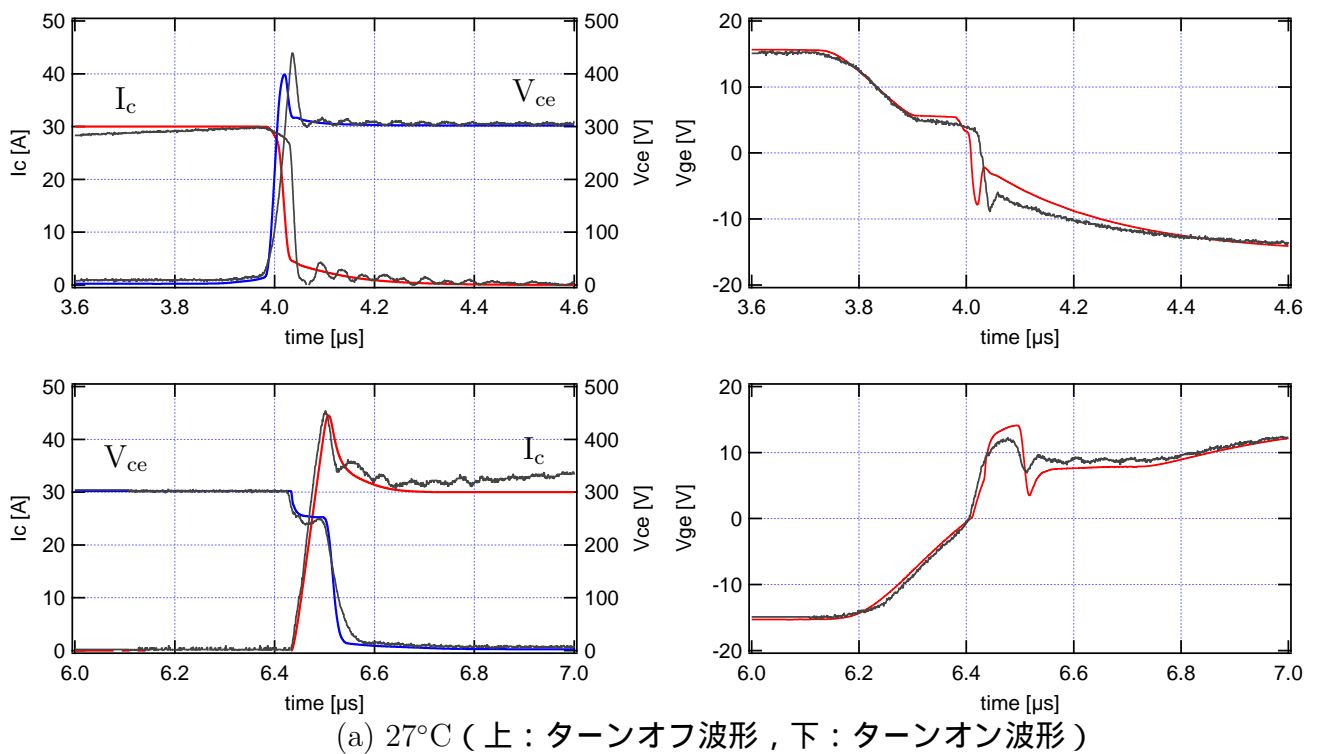
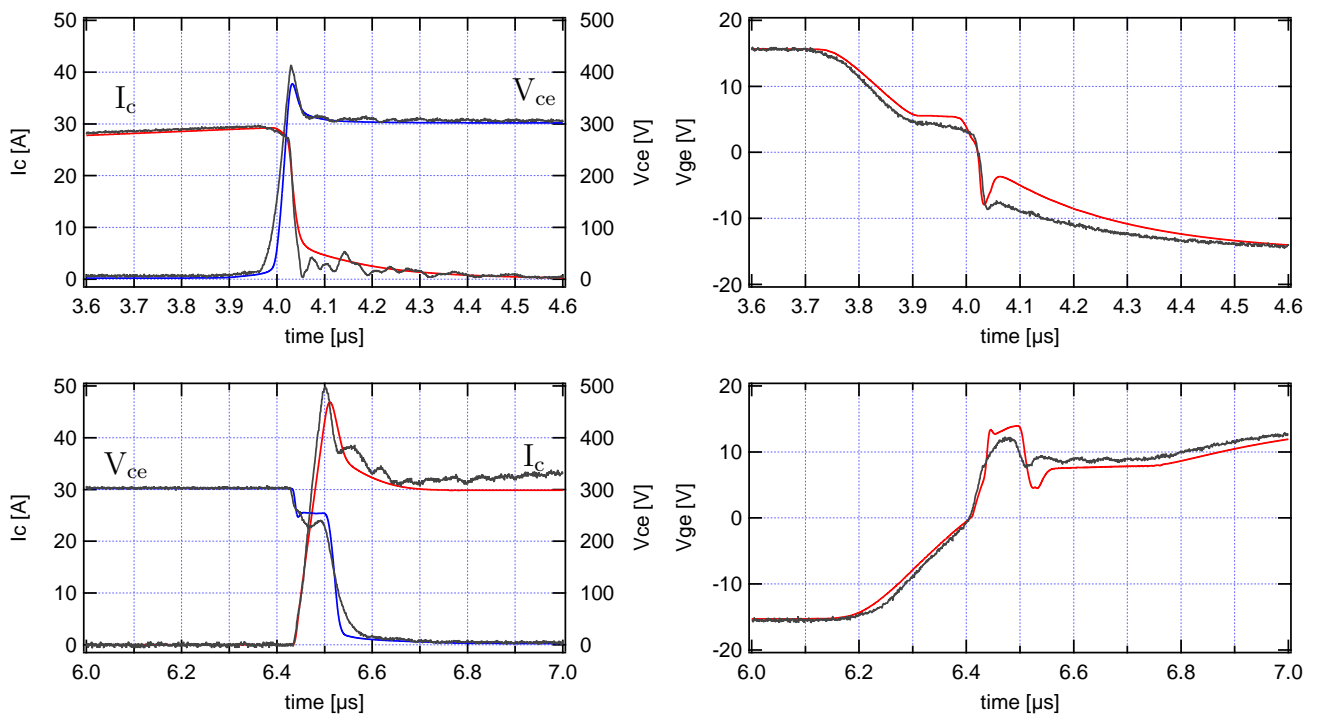


図 3.21: L 負荷スイッチング試験回路

図 3.22: スwitching 波形 ( $I_c = 30 \text{ A}$ ,  $R_g = 24 \Omega$ , グレー: 実測, カラー: 解析)



(b) 125°C (上：ターンオフ波形，下：ターンオン波形)

図 3.23: スイッチング波形 ( $I_c = 30 \text{ A}$ ,  $R_g = 24\Omega$ , グレー：実測，カラー：解析)

### 3.4 第3章まとめ

pin ダイオードに対する物理モデルを一次元両極性拡散方程式を用いて構築した。pin ダイオードはバイポーラデバイスの最も基本的な構造であり、その後の IGBT 物理モデルの構築における寄与は大きい。

また、IGBT 物理モデルを MOSFET と pin ダイオードの直列接続で表現したノンパンチスルー型 IGBT に対する物理モデルを作成した。スイッチング特性を再現するにあたって重要なパラメータであるゲート、コレクタ、エミッタ各端子間の容量は、LCR メータを用いた測定並びにスイッチング動作試験の実験結果を基に設定した。特にスイッチング特性に大きな影響を与えるコレクタ・ゲート間容量、ゲート・エミッタ間容量に対し、スイッチング動作時におけるゲート電荷特性に基づく端子間容量の設定方法を提案した。

IGBT 物理モデルの精度は、出力特性については 7% 以内の誤差率で、スイッチング損失については 18% 以内の誤差率で実験結果を再現した。

以下の章では、このデバイスモデルを用いて並列接続動作や電気・熱連成解析によるデバイス温度の評価を実施し、電力変換器の高信頼性化について検討していく。

## 第4章

# パワーデバイスモデルを用いた並列接続動作解析

パワーデバイス物理モデルの発展により、回路設計への応用例として損失解析や EMI 解析の精度向上が期待される [88, 89, 90]。電力変換器の回路設計や熱設計への適用について検討するため、パワーデバイスの並列接続動作に着目する。

大容量電力変換器のようにパワー半導体デバイスを並列接続する場合、デバイスの特性差や配線インダクタンス差等に起因して、デバイス間の電流が不均衡となる場合が考えられる。並列デバイス間の電流不均衡は並列デバイス間の損失不均衡を引き起こすため、デバイス温度が並列素子間で異なってくる可能性がある。このような特定デバイスへの電流集中は過熱の要因となるため、電力変換器の信頼性に影響を及ぼしかねない。

本章では、pin ダイオードと IGBT の並列動作解析について述べる。pin ダイオードの並列動作では、配線インダクタンスが異なるケースとデバイス温度が異なるケースの 2 ケースについて、リカバリー動作に対するシミュレーション結果と実験結果との比較、損失評価結果について述べる。また、電流不均衡発生時における電流波形について、過剰キャリアの挙動に基づいて理論的に解明する。

一方、IGBT の並列接続動作では、閾値電圧が異なるケースにおいて生じる電流アンバランス波形について、pin ダイオード同様に過剰キャリアの挙動に基づき説明可能であることを示す。

## 4.1 pin ダイオード並列接続時のリカバリー特性

今回、評価対象としたダイオードは定格 600-V, 50-A の高速リカバリーダイオードである。実験結果に基づいて最適化した物理パラメータは表 3.1 に示したとおりである。これらの値を用いて、pin ダイオードモデルの並列接続時におけるリカバリー特性について、(1) 配線インダクタンスが異なる場合、(2) デバイス温度が異なる場合の 2 ケースについて、pin ダイオードモデルを用いてシミュレーションを実施し、実測結果と比較した。

### 4.1.1 配線インダクタンスが異なる場合

図 4.1 は並列接続時のリカバリー特性の評価回路を示したものである。試験条件は、直流印加電圧  $V_{DC} = 300 \text{ V}$ 、ゲート抵抗  $R_g = 51 \Omega$ 、温度  $T = 25^\circ\text{C}$  とし、負荷インダクタンスに 100 A の電流が流れるように MOSFET をスイッチング動作させた。なお、図中の  $L_s$  と  $R_s$  はそれぞれ寄生インダクタンス、寄生抵抗である。

静特性と動特性が共に等しい 2 個の pin ダイオード ( $D_1$ ,  $D_2$ ) を用い、並列接続時における両者のリカバリー波形が等しくなるように配線長を設定した。その後、一方のダイオードの配線長は固定しておき、他方のダイオードの配線長を短くすることにより、配線インダクタンス差を設定し、3 種類の配線インダクタンス差におけるリカバリー特性について評価した。 $D_1$ ,  $D_2$  それぞれの配線インダクタンスは実測結果から算出した。このときの各配線インダクタンスを表 4.1 に示す。

回路シミュレーションで用いた MOSFET モデルは、SPICE モデルの NMOS LEVEL3 を基に静特性を模擬し、ゲート、ソース、ドレインの各端子間容量の電圧依存性を考慮した可変キャパシタンスで動特性を表現した高精度なモデル [87] である。なお、回路の寄生インダクタンス  $L_s$ 、寄生抵抗  $R_s$  を考慮しており、実測より求めた値  $L_s = 60 \text{ nH}$ 、 $R_s = 300 \text{ m}\Omega$  を用いている。

図 4.2 は条件 I におけるシミュレーションによる電流波形を示したものである。図 4.2 において、緑色は配線インダクタンスが小さな  $D_1$  の、赤色は配線インダクタンスが大きな  $D_2$  のリカバリー波形である。通常のリカバリー波形とは異なり複雑に変化していることがわかる。

今回用いた pin ダイオードモデルは、 $n^-$  ドリフト層における過剰キャリアの挙動を回

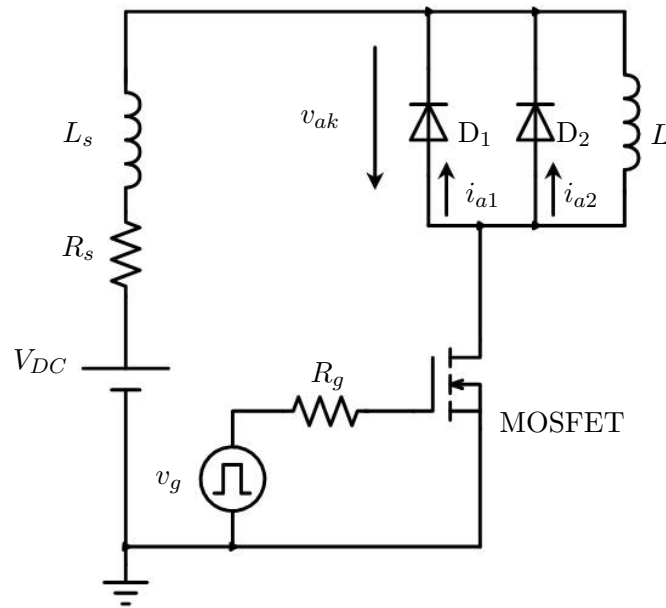


図 4.1: 並列接続 pin ダイオードの試験回路

表 4.1:  $D_1$  と  $D_2$  のインダクタンス値

	$D_1$	$D_2$
条件 I	11 nH	20 nH
条件 II	15 nH	20 nH
条件 III	17 nH	20 nH

路シミュレータ上で計算する物理モデルであるため、 $n^-$  ドリフト層におけるキャリア分布の過渡応答を知ることができる。図 4.3 は条件 I における過剰キャリア分布の過渡応答を示したものであり、(a) は配線インダクタンスの小さな  $D_1$  の、(b) は配線インダクタンスの大きな  $D_2$  の過剰キャリア分布の過渡応答である。時刻  $t_0$  の定常状態における  $n^-$  ドリフト層の過剰キャリアは、表 3.1 に示すようにキャリアのライフタイムを  $\tau_1 < \tau_2$ 、再結合パラメータを  $h_p > h_n$  と設定しているため、 $p^+$  層側より  $n^+$  層側に多く分布する。

配線インダクタンスが異なる場合の各 pin ダイオードのリカバリ特性について、図 4.2 と図 4.3 を用いて説明する。

並列接続している pin ダイオードの物理パラメータはともに等しく、配線インダクタンスが異なるだけであるため、図 4.2 に示すように、時刻  $t_0$  における定常状態では、両

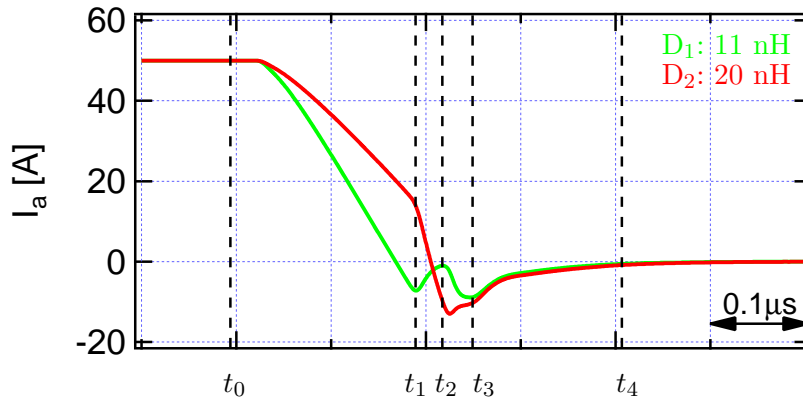


図 4.2: 配線インダクタンスが異なる  $D_1$  と  $D_2$  のリカバリー波形 (条件 I)

者に流れている順方向電流はともに等しく 50 A である。このとき、図 4.3 に示すように各ダイオードの過剰キャリアも等しくなっている。その後、ダイオードのオフ動作が始まると、配線インダクタンスの違いにより、 $D_1$  と  $D_2$  の電流の減少率  $di/dt$  が異なってくる。図 4.2 に示すように配線インダクタンスの小さな  $D_1$  は  $di/dt$  が大きいのに対し、配線インダクタンスの大きな  $D_2$  は  $di/dt$  が小さい。図 4.3 は過剰キャリアの過渡応答を示したグラフであるが、 $D_1$  の過剰キャリアの減少が速いのに対し、 $D_2$  の過剰キャリアの減少は遅いことがわかる。

時刻  $t_1$  に達すると、 $D_1$  の過剰キャリア密度は図 4.3(a) に示すように  $p^+$  層側で零となり空乏層が形成され始めるのに対し、 $D_2$  の過剰キャリア密度は図 4.3(b) に示すように有限の値であるため空乏層はまだ形成されない。

時刻  $t_1$  から  $t_2$  の期間では、 $D_1$  の座標  $x_1$  における過剰キャリア密度の勾配は正であるため逆電流が流れているのに対して、 $D_2$  の座標  $x_1$  における過剰キャリア密度の勾配は負から正へと変化していることから、順方向電流から逆電流へと変化していく。また、この期間における各ダイオードの  $n^-$  ドリフト層の  $p^+$  層側における過剰キャリアに着目すると、先に空乏化している  $D_1$  では、過剰キャリア密度の勾配は小さく過剰キャリアの減少はわずかであるのに対し、 $D_2$  では過剰キャリアが急激に減少している。このように、 $D_1$  の逆電流は減少していくが、 $D_2$  の逆電流は増加していく。

その後、時刻  $t_2$  に達すると、 $D_2$  においても  $n^-$  ドリフト層の  $p^+$  層側で過剰キャリアが零となり空乏層が形成され始める。時刻  $t_2$  を過ぎると、 $D_1, D_2$  の双方が空乏化し、空乏層幅が等しくなるように双方の過剰キャリアは掃き出されていく。このとき、先に空

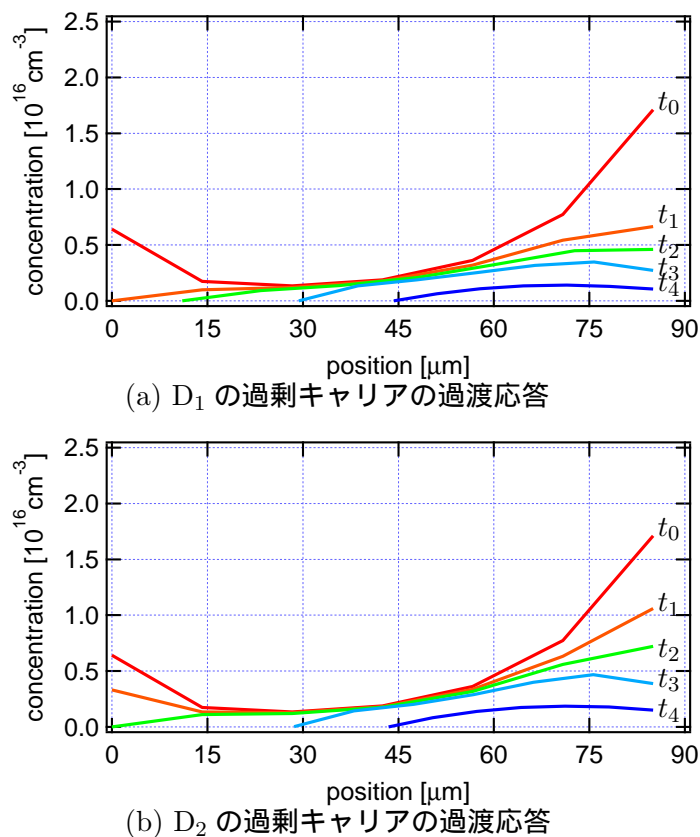


図 4.3: 配線インダクタンスが異なる  $D_1$  と  $D_2$  のキャリア分布 (条件 I)

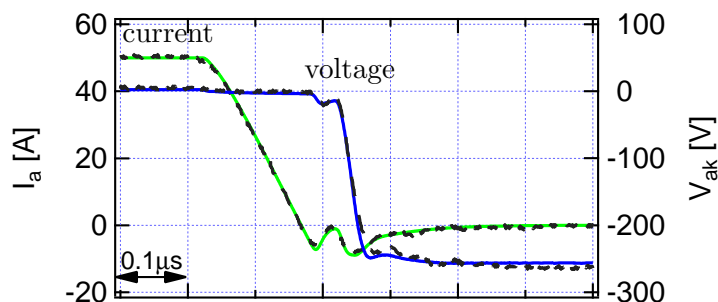
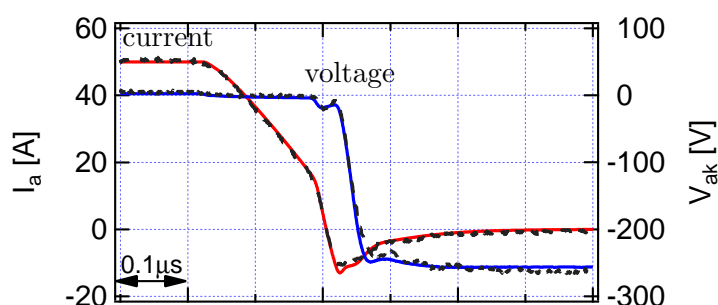
乏化していた  $D_1$  では過剰キャリアの掃き出し量が増加して逆電流は増加し,  $D_2$  の逆電流は減少していく。

最後に, 電流が零に近付くと, ダイオードの電圧はほぼすべて空乏層で保持することになり, 電圧が等しい  $D_1$  と  $D_2$  の空乏層幅は等しくなっている。

このように, 空乏層が形成され始めるタイミングの違いにより, リカバリー電流が変化することを確認することができる。

条件 I におけるシミュレーションと実測によるリカバリー波形を図 4.4 に示す。シミュレーション波形を実線で, 実測波形を破線で示している。シミュレーション波形と実測波形はよく一致していることがわかる。同様に, 条件 II, 条件 III におけるシミュレーションと実測によるリカバリー波形を, それぞれ図 4.5, 図 4.6 に示す。シミュレーション波形と実測波形はよく一致している。

次に, 配線インダクタンスが異なる場合におけるリカバリー損失について述べる。電

(a)  $D_1$  のリカバリー波形(b)  $D_2$  のリカバリー波形図 4.4: 配線インダクタンスが異なる  $D_1$  と  $D_2$  のリカバリー波形 (条件 I)

(実線: 解析結果, 破線: 実験結果)

流波形と電圧波形の積に対して、ドレイン電流が 0 となる時刻からリカバリーピーク後にリカバリーピーク電流の 10% となる時刻の範囲における積分を損失とした。

表 4.2 に各条件におけるシミュレーションと実測による  $D_1$ ,  $D_2$  のリカバリー損失と誤差率を示す。実測結果と解析結果によるリカバリ損失をそれぞれ  $E_{exp}$ ,  $E_{sim}$ , 両者の平均値を  $E_{ave}$  とし, リカバリ損失の誤差率  $E_{error}$  を

$$E_{error} = \frac{E_{exp} - E_{sim}}{E_{ave}} \times 100 [\%] \quad (4.1)$$

として定義する。表 4.2 において, 条件 I における  $D_1$ ,  $D_2$  のリカバリー損失のシミュレーションと実測の誤差は最大で 6.1% である。条件 II, III についても,  $D_1$ ,  $D_2$  のリカバリー損失のシミュレーションと実測の誤差はそれぞれ最大で 7.0%, 4.0% である。このように, 条件 I ~ III において, シミュレーションと実験によるリカバリー損失は 10% 以内の誤差で一致している。

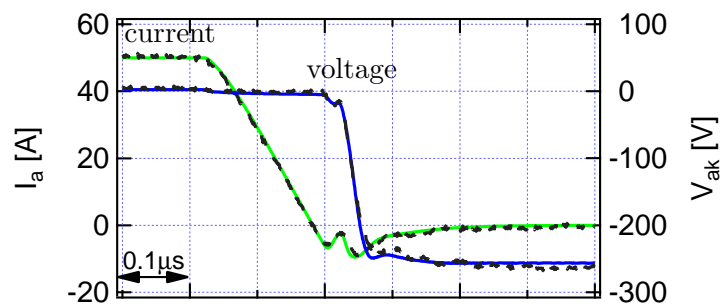
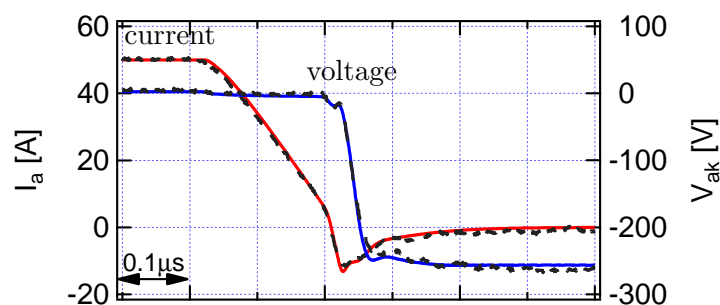
(a) D<sub>1</sub> のリカバリ波形(b) D<sub>2</sub> のリカバリ波形

図 4.5: 配線インダクタンスが異なる D<sub>1</sub> と D<sub>2</sub> のリカバリ波形 (条件 II)  
(実線: 解析結果, 破線: 実験結果)

#### 4.1.2 デバイス温度が異なる場合

デバイス温度が異なる pin ダイオードを並列接続した場合について述べる。試験回路は図 4.1 と同様であり、負荷インダクタンスに 100 A の電流が流れるように MOSFET をスイッチング動作させた。MOSFET と D<sub>1</sub> は 25°C とし、D<sub>2</sub> についてはホットプレートを用いて 65°C に設定して実験を行った。

シミュレーションにおいて、ダイオードのパラメータ及び移動度、ライフタイムの温度依存性については表 3.1 に記した値を用い、真性キャリア密度の温度依存性 [23, 40, 52] には式 (4.2) を用いて、シミュレーションを実施した。

$$n_i(T) = \frac{3.88 \times 10^{16} \times T^{1.5}}{\exp(7000/T)} \quad (4.2)$$

また、再結合パラメータについては、実測結果と解析結果のフィッティングパラメー

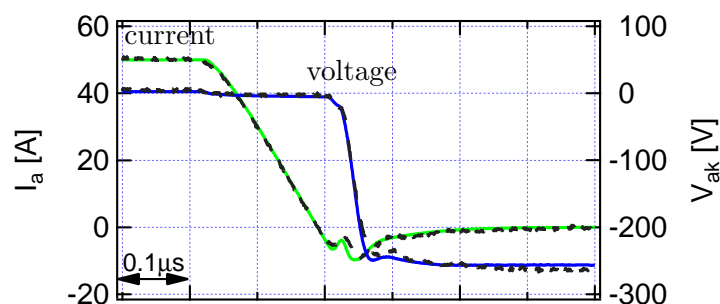
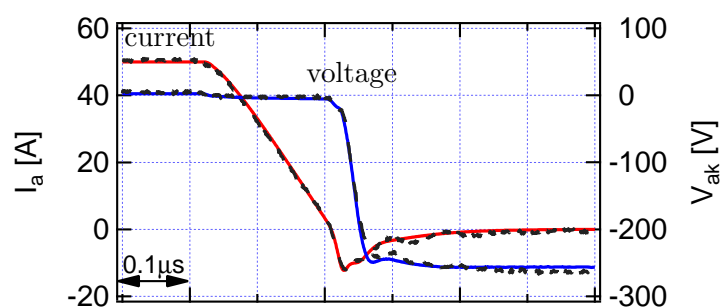
(a)  $D_1$  のリカバリー波形(b)  $D_2$  のリカバリー波形

図 4.6: 配線インダクタンスが異なる  $D_1$  と  $D_2$  のリカバリー波形 (条件 III)  
(実線: 解析結果, 破線: 実験結果)

タとし、今回の解析では温度依存性を考慮していない。

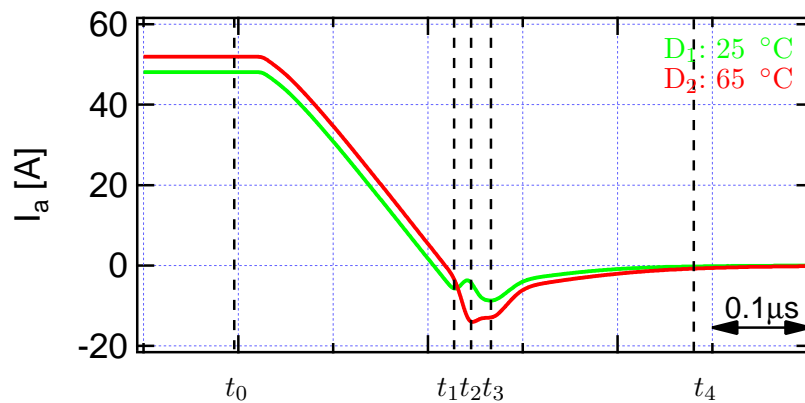
図 4.7 に並列接続したダイオードのデバイス温度が異なる場合のシミュレーションによるリカバリー波形を示す。 $D_1$  と  $D_2$  の温度はそれぞれ  $25^\circ\text{C}$ 、 $65^\circ\text{C}$  であり、緑色が  $D_1$ 、赤色が  $D_2$  のリカバリー波形である。

図 4.7 に示すように、定常状態における順方向電流は、温度が低い  $D_1$  では 48 A、温度が高い  $D_2$  では 52 A とアンバランスが生じており、温度が高いダイオード  $D_2$  には  $D_1$  と比較して多くの過剰キャリアが蓄積していることを示している。温度が高いほどキャリアのライフタイムが長い、即ち、拡散長が長いいため、伝導度変調効果が大きくなる。その結果、高温のダイオード  $D_2$  に蓄積される過剰キャリアは低温のダイオード  $D_1$  より多くなる。

過剰キャリアが多く蓄積する高温のダイオード  $D_2$  に多くの電流が流れているが、並

表 4.2: 各条件におけるリカバリ損失

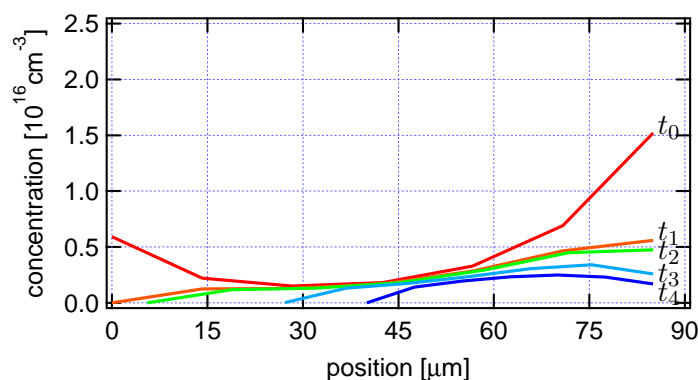
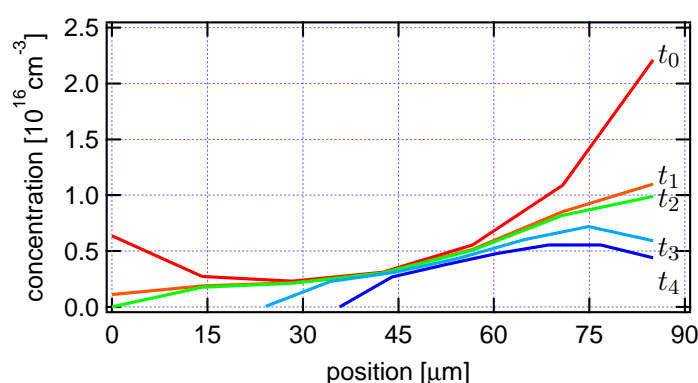
条件	デバイス	解析結果	実験結果	誤差率
I	D <sub>1</sub>	118.0 $\mu\text{J}$	111.0 $\mu\text{J}$	6.1%
	D <sub>2</sub>	145.4 $\mu\text{J}$	147.3 $\mu\text{J}$	-1.3%
II	D <sub>1</sub>	124.4 $\mu\text{J}$	129.4 $\mu\text{J}$	-3.9%
	D <sub>2</sub>	138.4 $\mu\text{J}$	148.5 $\mu\text{J}$	-7.0%
III	D <sub>1</sub>	127.6 $\mu\text{J}$	126.4 $\mu\text{J}$	0.9%
	D <sub>2</sub>	135.9 $\mu\text{J}$	141.5 $\mu\text{J}$	-4.0%

図 4.7: デバイス温度が異なる D<sub>1</sub> と D<sub>2</sub> のリカバリ波形

列接続している pin ダイオード間の配線インダクタンスが等しいため、D<sub>1</sub> と D<sub>2</sub> の電流の減少率は等しい。その結果、配線インダクタンス差を設けた場合と同様にリカバリ波形は複雑に変化する。

図 4.8 は並列接続したダイオードのデバイス温度が異なる場合の過剰キャリア分布の過渡応答を示したものである。図 4.8(a) において、時刻  $t_1$  では、温度が低い D<sub>1</sub> は過剰キャリアの蓄積量が少ないため、過剰キャリア密度は  $p^+$  層側で零となり空乏層が形成され始める一方、温度が高い D<sub>2</sub> の過剰キャリア密度は有限の値となっており、D<sub>2</sub> では空乏層はまだ形成されていない。このとき、D<sub>1</sub>、D<sub>2</sub> とも過剰キャリア密度の勾配は正であり、逆電流が流れている。

時刻  $t_1$  から  $t_2$  の期間における各ダイオードの  $n^-$  ドリフト層の  $p^+$  層側における過剰

(a)  $D_1$  の過剰キャリアの過渡応答(b)  $D_2$  の過剰キャリアの過渡応答図 4.8: デバイス温度が異なる  $D_1$  と  $D_2$  のキャリア分布

キャリアに着目すると、先に空乏化している  $D_1$  の過剰キャリアの減少量は少ない一方、 $D_2$  の過剰キャリアの減少量は  $D_1$  と比較して大きい。そのため、 $D_1$  の逆電流は減少していく一方、 $D_2$  の逆電流は増加していく。

その後、時刻  $t_2$  になると、 $D_2$  においても  $n^-$  ドリフト層の  $p^+$  層側で過剰キャリアが零となり空乏層が形成され始める。

時刻  $t_2$  を過ぎると、 $D_1, D_2$  の双方が空乏化し、空乏層幅が等しくなるように双方の過剰キャリアは掃き出されていく。このとき、先に空乏化していた  $D_1$  では過剰キャリアの掃き出しが増加していくことから逆電流は増加し、 $D_2$  の逆電流は減少する。

デバイス温度が異なるため、空乏層が形成され始めるタイミングは異なるが、 $D_1$  と  $D_2$  の空乏層幅は等しくなるように拡大していく。電流がほぼ零になる時刻  $t_4$  において空乏層幅はほぼ等しくなる。

図 4.9 に、実測結果をシミュレーション結果と比較して示す。シミュレーション結果

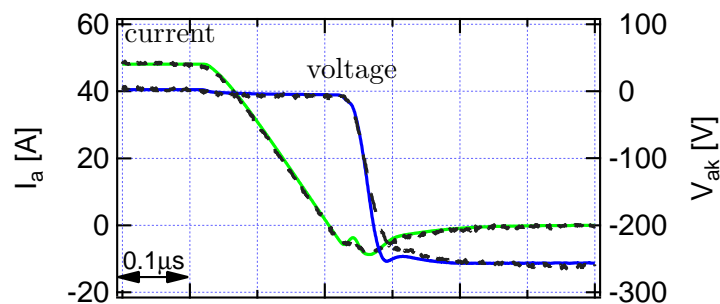
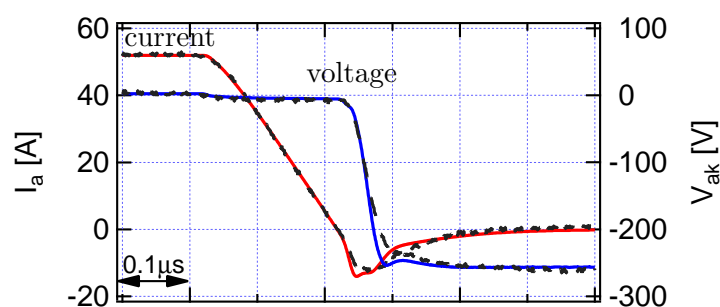
(a)  $D_1$  のリカバリー波形(b)  $D_2$  のリカバリー波形

図 4.9: デバイス温度が異なる  $D_1$  と  $D_2$  のリカバリー波形 (実線: 解析結果, 破線: 実験結果)

表 4.3: デバイス温度が異なる場合のリカバリ損失

デバイス	解析結果	実験結果	誤差率
$D_1$ ( $T = 25^\circ\text{C}$ )	119.1 $\mu\text{J}$	127.7 $\mu\text{J}$	-7.0%
$D_2$ ( $T = 65^\circ\text{C}$ )	207.7 $\mu\text{J}$	205.8 $\mu\text{J}$	0.9%

を実線で、実測結果を破線で示しており、よく一致していることがわかる。

デバイス温度が異なる場合についてリカバリー損失の評価結果を表 4.3 に示す。シミュレーションと実測による  $D_1$ ,  $D_2$  のリカバリー損失の誤差は 6.7% である。

表 4.4: IGBT モデルのパラメータ

Symbol	Description	Value
$V_{th}$ [V]	Threshold voltage	$4.87 + 0.0043 \times (300 - T)$
$K_{psat}$ [A/V <sup>2</sup> ]	Transconductance in saturation region	$10.2 \times (300/T)^{0.77}$
$K_{plin}$ [A/V <sup>2</sup> ]	Transconductance in linear region	$13.6 \times (300/T)^{0.82}$
$\theta$ [V <sup>-1</sup> ]	Transverse field transconductance factor	0.2
$S$ [cm <sup>2</sup> ]	Effective die area	0.25
$W_B$ [ $\mu$ m]	N-drift region width	65
$N_B$ [cm <sup>-3</sup> ]	Doping concentration	$3 \times 10^{14}$
$\tau_{HL}$ [ $\mu$ s]	High-level lifetime	$0.1 \times (T/300)^{2.5}$
$h_p$ [cm <sup>4</sup> /s]	Hole recombination coefficient	$3 \times 10^{-13}$
$I_{sne}$ [A]	Carrier saturation current	$\frac{1 \times 10^{-12} \times (300/T)^{0.5}}{\exp\{14000 \times (1/T - 1/300)\}}$
$\mu_n$ [cm <sup>2</sup> /(V·s)]	Electron mobility	$1400 \times (300/T)^{2.5}$
$\mu_p$ [cm <sup>2</sup> /(V·s)]	Hole mobility	$450 \times (300/T)^{2.5}$

## 4.2 IGBT の並列接続動作

今回、評価対象とした IGBT は、定格 600-V、30-A の NPT 型 IGBT であり、モデルパラメータを表 4.4 に示す。並列接続した IGBT 間の閾値電圧差や配線インダクタンス差がある場合、IGBT を流れる電流にアンバランスが発生する。そこで、IGBT 物理モデルを用いて、IGBT を 2 個並列接続する際、各 IGBT 間の閾値電圧が 0.5 V 異なるケースと、配線インダクタンスが 20 nH 異なるケースの 2 ケースに対して電流アンバランスの解析を実施した。

### 4.2.1 閾値電圧差と電流アンバランス

並列接続する IGBT の閾値電圧について、一方の IGBT (IGBT<sub>1</sub>) の閾値電圧を 4.31 V、他方の IGBT (IGBT<sub>2</sub>) の閾値電圧を 4.81 V と設定することにより、閾値電圧差  $\Delta V_{th} = 0.5$  V としてスイッチング動作解析を実施した。試験条件は、直流印加電圧  $V_{DC} = 300$  V、温度 27°C としている。図 4.10 に解析結果を示す。実線が閾値電圧の低い IGBT<sub>1</sub>、破線が

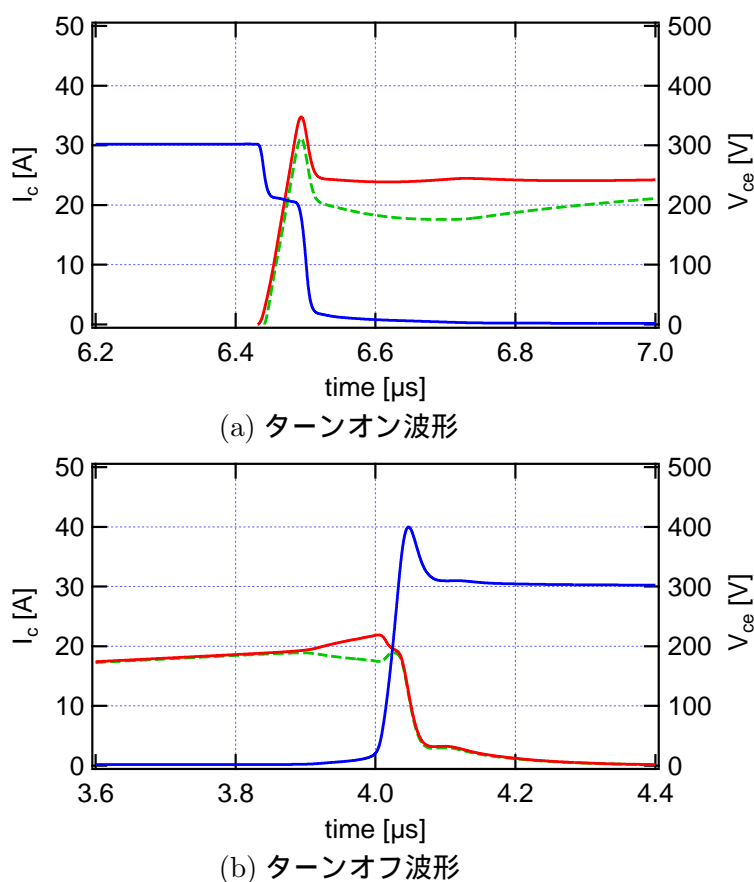


図 4.10: IGBT<sub>1</sub> と IGBT<sub>2</sub> のスイッチング波形 (実線:  $V_{th} = 4.31$  V, 破線:  $V_{th} = 4.81$  V)

閾値電圧の高い IGBT<sub>2</sub> の電流波形である。閾値電圧の低い IGBT<sub>1</sub> は、閾値電圧の高い IGBT<sub>2</sub> より先にターンオン動作し、後からターンオフ動作するため、ターンオン、ターンオフ動作のいずれにおいても過渡的に多くの電流が流れる。

図 4.11 にターンオン動作時における各 IGBT の過剰キャリアの挙動を示す。閾値電圧の低い IGBT<sub>1</sub> では、過剰キャリアの増加量が少ないのに対し、閾値電圧の高い IGBT<sub>2</sub> では、過剰キャリアの増加量が多いことがわかる。その結果、過剰キャリアの増加量が少ない IGBT<sub>1</sub> では電流値はほぼ一定となるのに対して、過剰キャリアの増加量が多い IGBT<sub>2</sub> では電流値はほぼ一定となる。

過剰キャリアを計算する物理モデルを用いているからこそ、このような電流アンバランスの原因を理論的に明らかにすることができた。なお、本解析においては、各種物理パラメータのうち閾値電圧  $V_{th}$  の値のみを変更している。

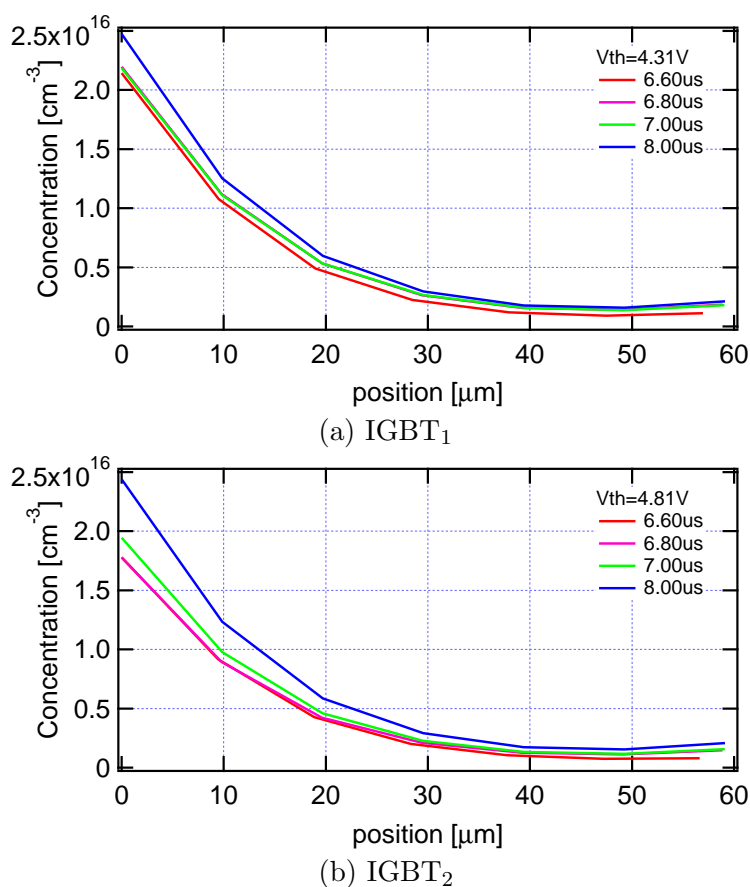


図 4.11: ターンオン動作時の IGBT<sub>1</sub> と IGBT<sub>2</sub> の過剰キャリアの挙動

#### 4.2.2 配線インダクタンス差と電流アンバランス

次に、並列接続した IGBT 間に電流アンバランスが生じる他の条件として配線インダクタンス差について検討する。

並列接続した IGBT のスイッチング動作試験回路を図 4.12 に示す。一方の IGBT のエミッタ側に 20 nH のインダクタンスを追加し、並列接続する IGBT 間に配線インダクタンス差を設定する。試験条件は、直流印加電圧  $V_{DC} = 300 \text{ V}$ 、温度  $27^\circ\text{C}$  としている。

図 4.13 に負荷電流 60 A 時の実験結果と解析結果の比較を示す。実験結果を破線で、解析結果を実線で示している。20 nH の配線インダクタンスを追加した IGBT<sub>2</sub> では、ターンオン動作時における電流の立ち上がりが抑制されており、実験結果と解析結果のターンオン波形は非常によく一致している。また、ターンオフ波形についても実験結果と解析結果がよく一致している。スイッチング損失の誤差率を算出すると、IGBT<sub>1</sub> のターンオン損失、ターンオフ損失の誤差率はそれぞれ 6.7%、10.8% であり、また、IGBT<sub>2</sub> の

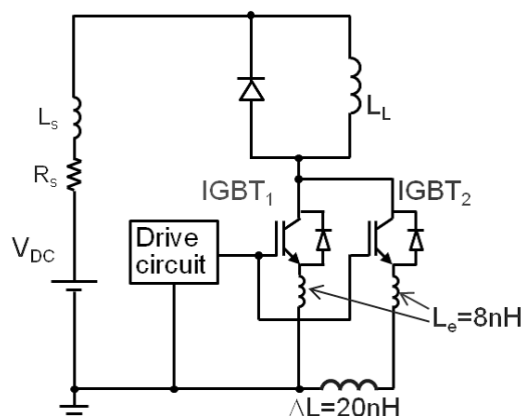


図 4.12: 並列接続した IGBT に対する試験回路

ターンオン損失，ターンオフ損失の誤差率はそれぞれ 11.5%，23.4% である。

このように今回構築した IGBT 物理モデルが，単体での出力特性やスイッチング特性に加え，並列接続時の配線インダクタンス差を設定したスイッチング動作に対しても実験結果を精度よく模擬できており，スイッチング波形の解析や損失評価に対して有効な物理モデルであることを示している。

### 4.3 第4章まとめ

パワーデバイスの並列接続動作について，デバイスモデルを用いたシミュレーションを実施した。

pin ダイオードを並列接続する際において，配線インダクタンスが異なる場合，デバイス温度が異なる場合のリカバリ動作の検討を行った。pin ダイオードモデルを用いたシミュレーション結果から，過剰キャリアの挙動の違いに伴う空乏層形成タイミングの違いにより，リカバリ波形が複雑に変化することを理論的に解明した。また，シミュレーションと実験によるリカバリ電流，電圧の波形は極めてよく一致し，リカバリ損失は 10% 以内の誤差で一致した。

IGBT 並列接続時における電流アンバランスについても，過剰キャリアの挙動の違いが，コレクタ電流波形の形状を特徴付けているを明らかにした。

いずれも，両極性拡散方程式を解く物理モデルであることから理論的解明を実現したものである。

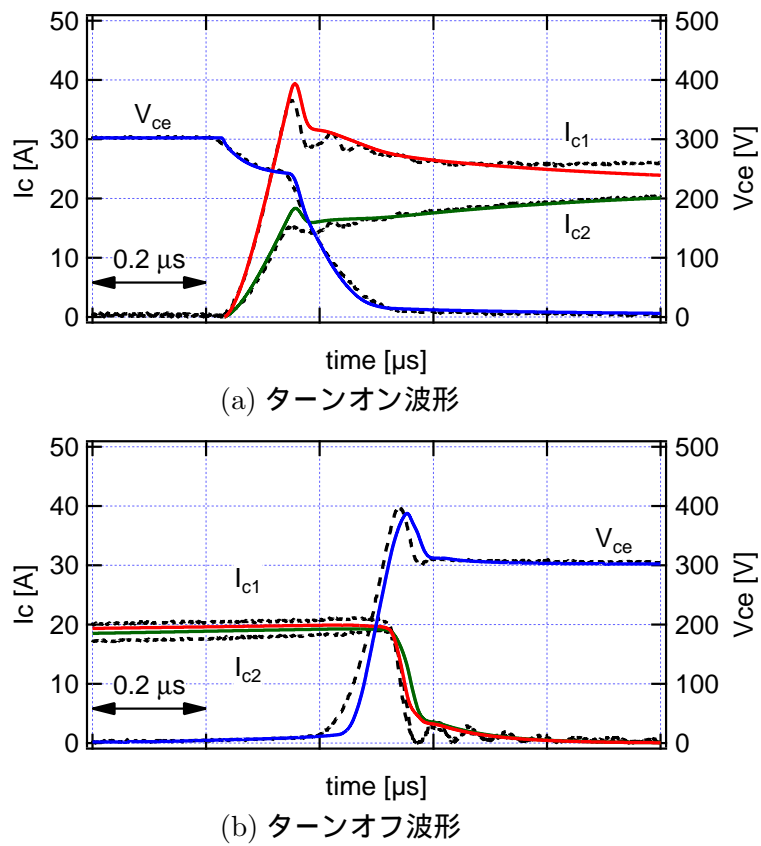


図 4.13: IGBT<sub>1</sub> と IGBT<sub>2</sub> のスイッチング波形 (実線：解析結果，破線：実験結果)

## 第 5 章

# IGBT 物理モデルを用いた電気・熱連成解析

電気・熱連成解析は電氣的現象と熱的現象とを同時に取扱うことにより、デバイス温度を評価するシミュレーションである。連続動作中におけるデバイス温度を評価することにより、電力変換器の冷却器設計や寿命予測を行うケースが多い。一方、短絡動作時においては非常に大きな損失が瞬時に発生してデバイス温度が急上昇する。このように、デバイス温度の評価は、電力変換器の長期的また短期的信頼性を確保する上で重要な解析技術である。

電気・熱連成解析を用いたデバイス温度の高精度な評価は、パワーデバイスモデルの開発 [19, 40, 91] により可能となった。しかし、パワーデバイスモデルを用いて連続動作におけるデバイス温度を評価する際、スイッチング動作時間を考慮すると、ナノ秒オーダーの時間刻みで解析を実行する必要がある。その結果、実動作時間に対応したシミュレーションを行うには膨大な時間を要することとなる。そのため連続動作に対して用いられる電気・熱連成解析として、パワーデバイスを物理モデルではなく理想スイッチで表し、パワーデバイスの損失の温度依存性、電流値依存性を Look-up Table を用いて表現した手法がある [18, 72, 73, 75, 79]。一方、短絡動作に対する電気・熱連成解析では、評価対象は高々  $10 \mu\text{s}$  程度の 1 回のスイッチング動作であり、その間に、デバイス温度は急上昇していくことから、Look-up Table を用いるのではなく、パワーデバイスモデルを用いて直接評価する必要がある。即ち、短絡動作に対しては、パワーデバイスモデルを用いて、電流と電圧の積で求めた損失を熱回路網に入力することによりデバイス温度を計算する。

## 5.1 電気・熱連成解析

1つのパワー半導体素子を熱源とし発熱量を  $p(t)$ 、温度基準点を IGBT のケース温度  $T_c(t)$  とすると、時刻  $t$  におけるパワー半導体素子の接合温度  $T_j(t)$  は、過渡熱インピーダンス  $z(t)$  を用いると、式 (5.1) のように表現することができる [92, 93]。

$$T_j(t) - T_c(t) = \int_0^t p(\tau) z'(t - \tau) d\tau \quad (5.1)$$

ここで、 $z'(t)$  はパワー半導体素子接合部-ケース間の過渡熱インピーダンス  $z(t)$  の時間微分である。過渡熱インピーダンス  $z(t)$  が熱量に対するステップ応答であることから、その時間微分  $z'(t)$  はインパルス応答に相当し、コンボリューションを用いて表すことができる。

パワー半導体素子接合部-ケース間の過渡熱インピーダンス  $z(t)$  を、図 5.1 に示すようなフォスタータイプの熱回路で表現すると、式 (5.2) で表すことができる。図 5.1 において、 $p$  は損失、 $T_c$  は基準温度（ここではケース温度としている）を表している。

$$z(t) = \sum_{i=1}^k \left[ r_i \cdot \left\{ 1 - \exp\left(-\frac{t}{c_i \cdot r_i}\right) \right\} \right] \quad (5.2)$$

式 (5.1) に対するラプラス変換から、周波数領域におけるパワー半導体素子の接合温度  $T_j(s)$  を求めると、

$$T_j(s) = Z'(s) \times P(s) + T_c(s) \quad (5.3)$$

と表すことができる。ここで、

$$\mathcal{L}[z'(t)] = Z'(s) = \sum_{i=1}^k \left( \frac{r_i}{1 + s \cdot c_i \cdot r_i} \right) \quad (5.4)$$

を用いている。

図 5.2 の実線は、今回評価対象としている 600-V, 30-A の IGBT におけるジャンクション-ケース間の過渡熱インピーダンス曲線を示している。このような過渡熱インピーダンス曲線に対して、図 5.1 に示すフォスター型の熱回路網を得るため、式 (5.5) を用いて実施したカーブフィッティング結果を破線で示している。

$$z(t) = \sum_{i=1}^3 \left[ r_i \cdot \left\{ 1 - \exp\left(-\frac{t}{c_i \cdot r_i}\right) \right\} \right] \quad (5.5)$$

表 5.1 にフィッティングパラメータを示す。

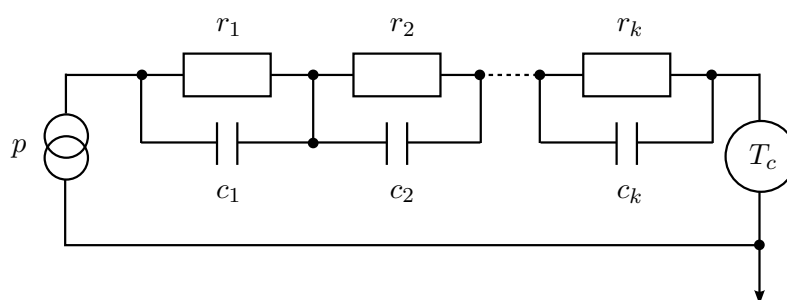


図 5.1: フォスタータイプの熱回路網

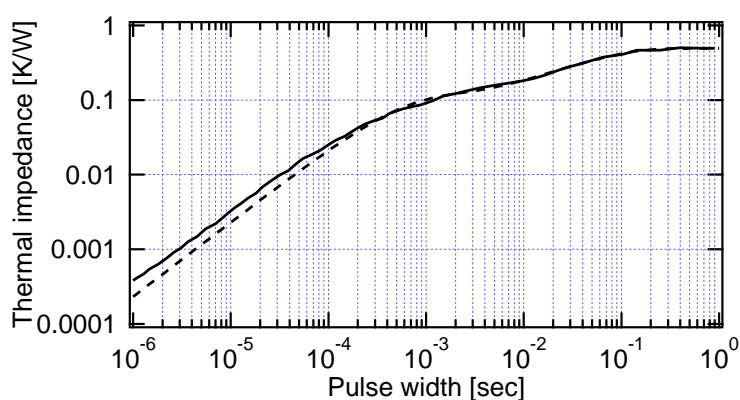


図 5.2: 過渡熱インピーダンス曲線

表 5.1: 熱回路網のパラメータ

Parameter	1	2	3
$r_i$ [K/W]	0.309	0.104	0.0787
$c_i$ [J/K]	0.228	0.0045	0.185

連続動作に対する電気・熱連成解析の概略を図 5.3 に示す。電気回路と熱回路と Look-up Table で構成されるのが一般的である。ここで、Look-up Table は IGBT で発生する損失に関する配列表であり、IGBT 物理モデルを用いて事前に作成する。図 5.3 において、 $T_c$  は IGBT のケース温度である。

IGBT で発生する損失には導通損失、ターンオン損失、ターンオフ損失があり、これらの損失を計算するために 3 種類の Look-up Table を作成する。いずれもコレクタ電流

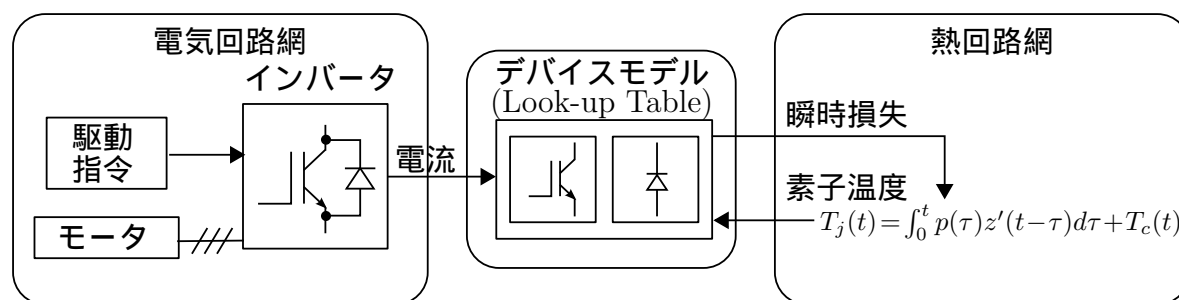


図 5.3: 電気・熱連成解析の概略

とデバイス温度を入力信号とし，出力信号については，それぞれ飽和電圧，ターンオン損失エネルギー，ターンオフ損失エネルギーとしている。以下，順を追って説明する。

IGBT の導通損失については，IGBT の出力特性の温度依存性の試験結果に基づき，コレクタ電流値と温度を入力信号とし，コレクタ・エミッタ間飽和電圧値を出力信号とする Look-up Table を作成する。スイッチング損失に関する Look-up Table については，所定の動作条件下におけるスイッチング動作試験結果に基づき作成する。スイッチング損失は，温度，電流値，ゲート駆動回路条件，直流リンク電圧に依存する。そのため，温度，電流値以外に，ゲート駆動回路条件や直流リンク電圧をパラメータとしたスイッチング試験結果に基づき，温度，電流値，ゲート駆動回路条件，直流リンク電圧を Look-up Table の入力信号とし，ターンオン損失エネルギー，ターンオフ損失エネルギーをそれぞれ出力信号とする Look-up Table を作成することが望ましい。今回，実機動作と同一の駆動回路条件となるようなゲート駆動回路とし，また，直流リンク電圧は一定であると仮定することにより，電流値と温度を入力信号とし，ターンオン損失，ターンオフ損失を出力信号とする Look-up Table を作成する。

ダイオードで発生する損失には導通損失とリカバリー損失がある。順方向特性の温度依存性の試験から，順方向電流と温度を入力信号として順方向電圧を出力信号とする Look-up Table を作成する。また，リカバリー特性の温度依存性の測定結果から，順方向電流と温度を入力信号としてリカバリー損失を出力信号とする Look-up Table を作成する。

次に，Look-up Table を用いた導通損失とスイッチング損失の計算方法について，IGBT を例に述べる。図 5.4 は Look-up Table を用いた損失計算の概略を IGBT を例に示したものである。導通損失については，出力特性の試験結果に基づいて作成した Look-up

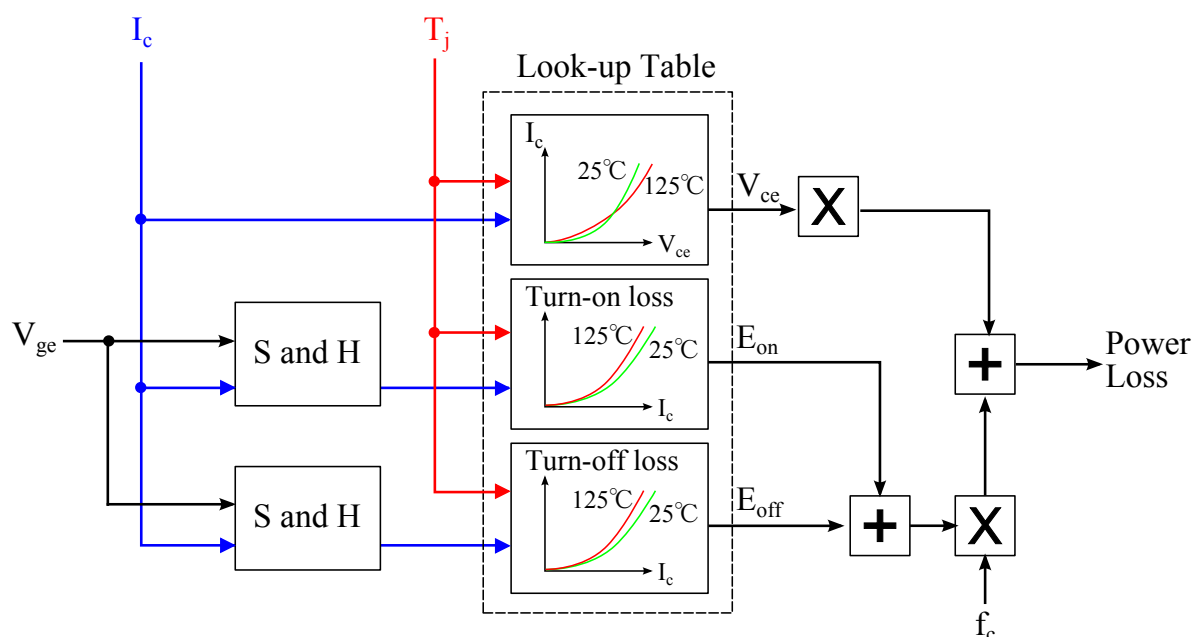


図 5.4: 損失計算の概略

Table を用い，IGBT を流れるコレクタ電流と，Look-up Table から出力されるコレクタ・エミッタ間飽和電圧の積として求めることができる。一方，スイッチング損失については，評価対象の IGBT のコレクタ電流信号に対してゲート指令信号を用いてサンプルホールド (S and H) した信号をターンオン損失エネルギー及びターンオフ損失エネルギーに関する Look-up Table の入力信号とする。Look-up Table から出力される信号は，それぞれターンオン損失エネルギー [J/Pulse]，ターンオフ損失エネルギー [J/Pulse] であるため，ターンオン損失エネルギーとターンオフ損失エネルギーの和に対してキャリア周波数  $f_c$  を乗ずることにより，1 回のスイッチング動作に関するスイッチング損失エネルギーを，キャリア周波数 1 周期分のスイッチング損失 [W] に変換している。

ダイオードで発生する損失についても同様に導通損失とリカバリー損失を算出する。

一方，短絡動作に対しては，1 回のターンオン動作に対するシミュレーションでよく，かつ，温度上昇が非常に大きいため，IGBT 物理モデルを直接用いた電気・熱連成解析を実施する。即ち，先に述べたような Look-up Table を用いるのではなく，電流と電圧の積で求めた損失を直接熱回路網に入力することによりデバイス温度を計算する。

## 5.2 並列接続 IGBT の PWM 連続動作時のデバイス温度

並列接続した IGBT 間の閾値電圧差や配線インダクタンスの差がデバイス温度に与える影響について検討する。これまで、抵抗負荷を用いた連続動作に対して検討されている [78]。抵抗負荷条件では電流値が一定である。IGBT のオン電圧の温度係数は、小電流領域では負、大電流領域では正である。そのため、抵抗負荷条件においては、並列接続した IGBT 間に生じるデバイス温度差は、小電流条件下では拡大、大電流条件下では縮小と単調に変化するだけである。一方、PWM インバータの連続動作では電流値は刻々と変化するため、オン電圧の温度係数が正負両方の値をとることとなる。

今回、IGBT を 2 個並列接続した PWM インバータの連続動作時において、各 IGBT 間の配線インダクタンスが 20 nH 異なるケースと、閾値電圧が 0.5 V 異なるケースの 2 ケースに対して、IGBT 物理モデルを用いた電気・熱連成解析によるデバイス温度の評価を行い、解析結果に基づき IGBT 並列接続動作に対する設計指針について検討する。

### 5.2.1 IGBT の接合温度に並列接続時の配線インダクタンス差が与える影響

図 4.13 に示したように、並列接続した IGBT 間に配線インダクタンス差がある場合、過渡的な電流アンバランスが発生する。電気・熱連成解析で用いるスイッチング損失と導通損失に関する Look-up Table を作成する上で、過渡的な電流アンバランスの影響を考慮する必要がある。

並列接続した IGBT の温度上昇は自己発熱による温度上昇と熱干渉による温度上昇の和で表される。並列接続している IGBT 間の熱干渉の寄与は互いに等しく、また、熱干渉による温度上昇は自己発熱による温度上昇と比較して小さいことから、今回の電気・熱連成解析では、並列接続している IGBT 間の熱干渉は無視できるものとして、配線インダクタンス差がデバイス温度差に与える影響について評価する。

図 5.5 に、並列接続した IGBT 間に 20 nH の配線インダクタンス差を設定した際の、各負荷電流値に対するスイッチング損失エネルギーを示す。

次に、導通損失に関する Look-up Table について説明する。スイッチング動作時に生じた電流アンバランスに起因するデバイス温度差を考慮して導通損失を計算する必要がある。導通損失の計算には IGBT の出力特性を用いる。並列接続している 2 個の

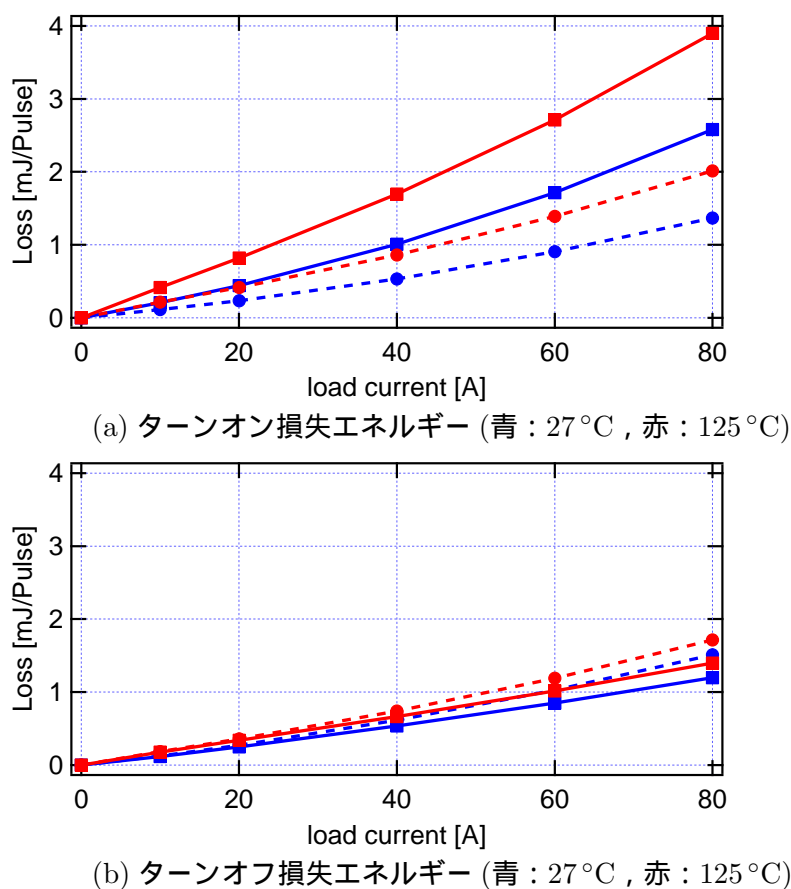


図 5.5: スwitching 損失エネルギー (実線：IGBT<sub>1</sub>，破線：IGBT<sub>2</sub>)

IGBT について両者のデバイス特性は等しいと仮定することにより，導通損失に関する Look-up Table は 1 種類でよい。

Look-up Table では各データ間を線形補間して利用することから，並列接続している各 IGBT の温度をそれぞれ  $T_1$ ,  $T_2$  とするとき， $T_1$  と  $T_2$  それぞれの温度における出力特性がわかる。各温度における出力特性の和から  $I_{c1} + I_{c2} = I_L$  を満足する  $I_{c1}$ ,  $I_{c2}$ ,  $V_{ce}$  を導出することによって，各 IGBT の導通損失が見積もることができる。

並列接続している IGBT 間に 20 nH の配線インダクタンス差がある条件下で，PWM 連続動作時におけるデバイス温度の解析を実施した。解析条件は，出力電圧 300 V，出力電流 60 A，キャリア周波数  $f_c = 20$  kHz とし，また，力率は 1，ケース温度は  $T_c = 75^\circ\text{C}$  で一定と仮定する。

図 5.6 に各 IGBT のデバイス温度の解析結果を示す。IGBT<sub>1</sub> の温度を実線で，配線インダクタンスが 20 nH 大きい IGBT<sub>2</sub> の温度を破線で表している。図 5.6(a) は出力周波

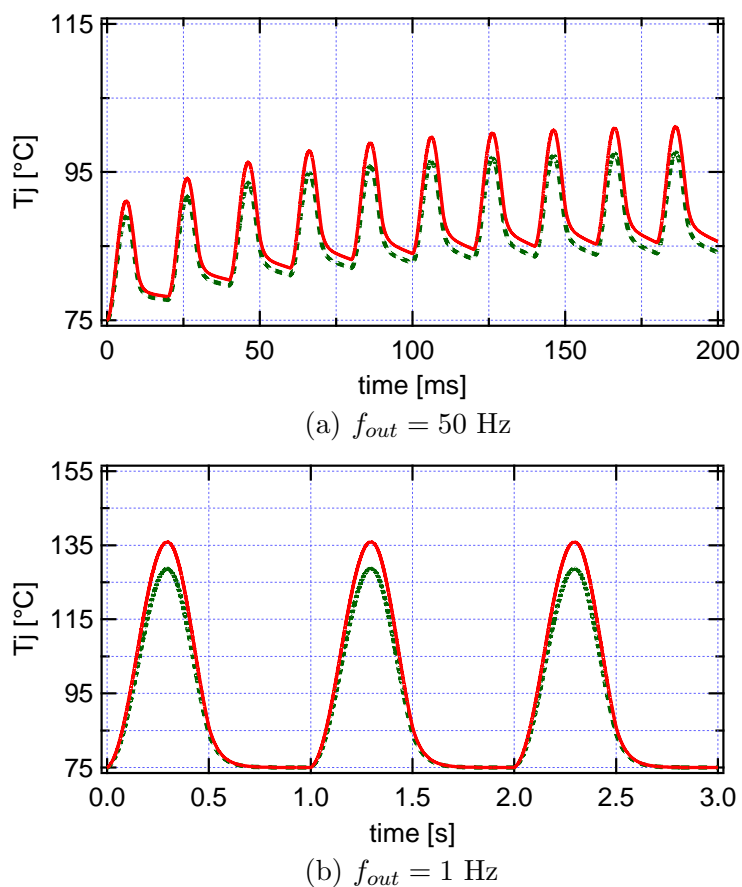


図 5.6: 接合温度の解析結果 (実線 : IGBT<sub>1</sub> , 破線 : IGBT<sub>2</sub>,  $\Delta L = 20 \text{ nH}$ )

数  $f_{out} = 50 \text{ Hz}$  としたときの解析結果であり, IGBT<sub>1</sub> は  $101^\circ\text{C}$ , IGBT<sub>2</sub> は  $97^\circ\text{C}$  まで上昇し, 両者の温度差は  $4^\circ\text{C}$  である。また, 図 5.6(b) は出力周波数  $f_{out} = 1 \text{ Hz}$  としたときの解析結果である。IGBT<sub>1</sub> は  $136^\circ\text{C}$ , IGBT<sub>2</sub> は  $129^\circ\text{C}$  まで上昇し, 両者の温度差は  $7^\circ\text{C}$  である。いずれも配線インダクタンスの小さな IGBT<sub>1</sub> の方が高温となる。

また, 図 5.6(a),(b) を比較すると, 出力周波数が低いほどデバイス温度は高くなる。出力周波数が低い場合, 連続的にスイッチング動作を繰り返している期間, 即ち, 損失発生期間が長くなるためである。

図 5.7 に並列接続した IGBT のデバイス温度差の配線インダクタンス差依存性を示す。実線が出力周波数  $1 \text{ Hz}$ , 破線が出力周波数  $50 \text{ Hz}$  に対する結果である。出力周波数によらず, 配線インダクタンス差の増加に伴い温度差は大きくなるが, 緩やかに飽和している様子がわかる。

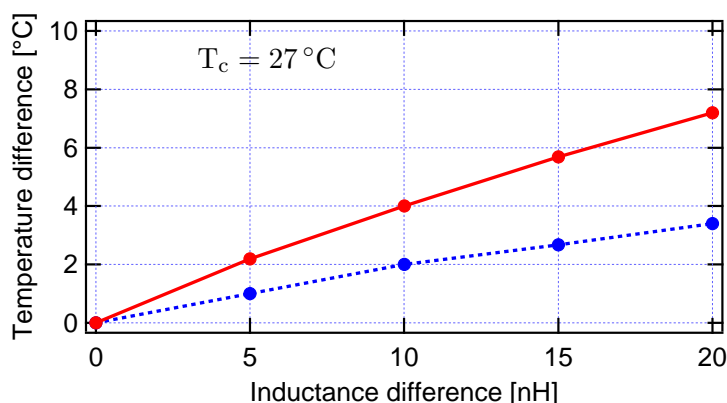


図 5.7: IGBT の温度差に対する配線インダクタンス依存性 (実線:  $f_{out} = 1$  Hz, 破線:  $f_{out} = 50$  Hz)

### 5.2.2 IGBT の接合温度に並列接続時の閾値電圧差が与える影響

5.2.1 節と同様に, 所定のスイッチング動作条件において IGBT 物理モデルを用いた解析結果に基づき, スwitching 損失エネルギーに関する Look-up Table を作成し, 電気・熱連成解析により PWM 連続動作時におけるデバイス温度の解析を実施した。解析条件は, 出力電圧 300 V, 出力電流 60 A, キャリア周波数  $f_c = 20$  kHz とし, また, 力率は 1, ケース温度は  $T_c = 75^\circ\text{C}$  で一定と仮定する。

解析結果を図 5.8 に示す。図 5.8(a) は出力周波数  $f_{out} = 50$  Hz としたときの解析結果であり, IGBT<sub>1</sub> は  $103^\circ\text{C}$ , IGBT<sub>2</sub> は  $99^\circ\text{C}$  まで上昇し, 両者の温度差は  $4^\circ\text{C}$  である。また, 図 5.8(b) は出力周波数  $f_{out} = 1$  Hz としたときの解析結果である。IGBT<sub>1</sub> は  $133^\circ\text{C}$ , IGBT<sub>2</sub> は  $127^\circ\text{C}$  まで上昇し, 両者の温度差は  $6^\circ\text{C}$  である。このように,  $0.5$  V の閾値電圧差がある場合, 閾値電圧の低い IGBT<sub>1</sub> の方が高温となり, 並列接続した IGBT 間には  $4 - 6^\circ\text{C}$  の温度差が生じる。また, 出力周波数が低いほど連続的に損失が発生する期間が長くなるため, デバイス温度は高くなる。

### 5.2.3 IGBT 並列接続時の接合温度差に基づく設計指針の検討

20 nH の配線インダクタンス差がある場合, 出力周波数が 50 Hz のとき, IGBT<sub>1</sub> と IGBT<sub>2</sub> の温度はそれぞれ  $101^\circ\text{C}$ ,  $97^\circ\text{C}$  であり, 両 IGBT 間には  $4.1\%$  に相当する  $4^\circ\text{C}$  の温度差が生じる。また, 出力周波数が 1 Hz のとき, 各 IGBT の温度はそれぞれ  $136^\circ\text{C}$ ,

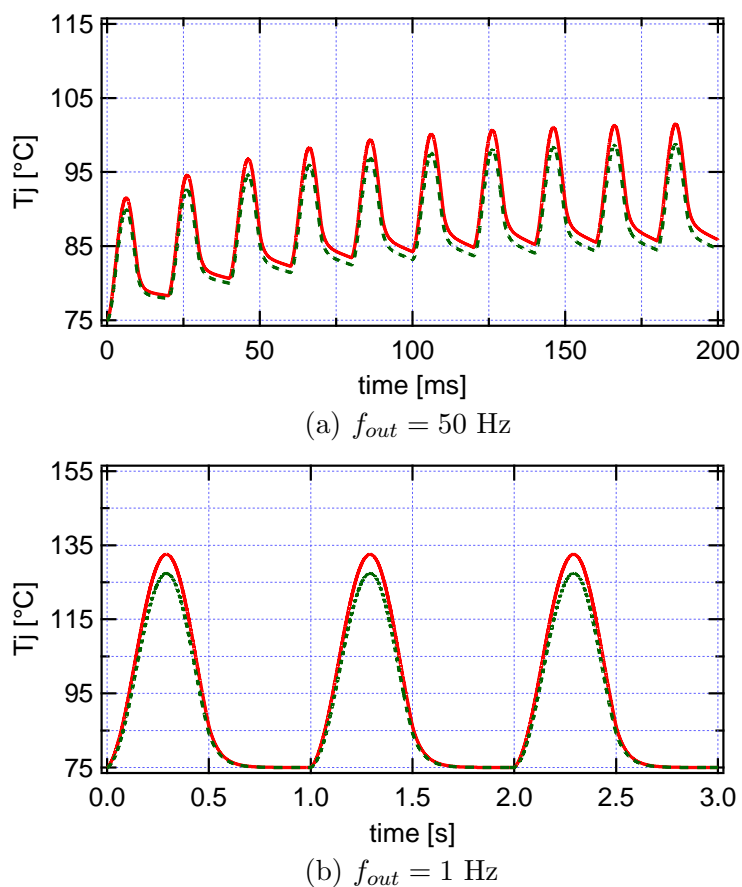


図 5.8: 接合温度の解析結果 (実線 : IGBT<sub>1</sub>, 破線 : IGBT<sub>2</sub>,  $\Delta V_{th} = 0.5 \text{ V}$ )

129°C であり, 5.4% に相当する 7°C の温度差が生じる。このことから, 並列接続する IGBT 間で生じる温度差の許容値を 5% と仮定すると, 配線インダクタンス差は 20 nH 以下となるように設計する必要がある。

0.5 V の閾値電圧差がある場合, 出力周波数が 50 Hz のとき, IGBT<sub>1</sub> と IGBT<sub>2</sub> の温度はそれぞれ 103°C, 99°C であり, 両 IGBT 間には 4% に相当する 4°C の温度差が生じる。また, 出力周波数が 1 Hz のとき, 各 IGBT の温度はそれぞれ 133°C, 127°C であり, 4.7% に相当する 6°C の温度差が生じる。このことから, 並列接続する IGBT 間で生じる温度差の許容値を 5% と仮定すると, IGBT の選別基準は, 閾値電圧差を 0.5 V 以下となる。

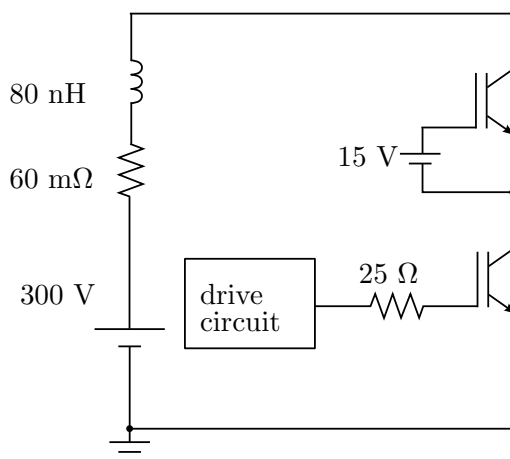


図 5.9: アーム短絡動作の試験回路

## 5.3 短絡動作に対する電気・熱連成解析

### 5.3.1 アーム短絡動作に対する電気・熱連成解析

アーム短絡動作に対する試験回路を図 5.9 に示す。下側アームの IGBT をスイッチング素子とし、上側アームにはゲート・エミッタ間に 15 V の電圧を印加することにより、アーム短絡状態を模擬し、ゲート抵抗は 25  $\Omega$  とした。図 5.10 に保護回路なしのアーム短絡動作に対する実験結果を示す。コレクタ電流が急速に増加し、そのピーク値は定格電流の約 10 倍に相当する 300 A に到達している。また、短絡時に発生する損失は最大で 80 kW にも達していることがわかる。アーム短絡状態ではこのように瞬時に非常に大きな損失が発生する。

図 5.11 は、電気・熱連成解析を適用していない場合、即ち、IGBT 特性の温度依存性が考慮していない場合の解析結果を実験結果と比較したグラフである。デバイス特性の温度依存性が反映されていないため、解析結果ではコレクタ電流がピーク値に到達した後、一定のコレクタ電流が流れるという結果となっている。図 5.12 に電気・熱連成解析を適用した際の解析結果と実験結果の比較を示す。電気・熱連成解析を適用することにより、コレクタ電流はピーク値をとった後、減少するという実験結果をよく再現しており、IGBT の出力特性の温度依存性を反映していることがわかる。高温状態においては、IGBT の MOS チャネル部やドリフト層におけるフォノン散乱による抵抗増大が支配的となるため、コレクタ電流は減少する。図 5.13 にアーム短絡動作時の接合温度の解析結

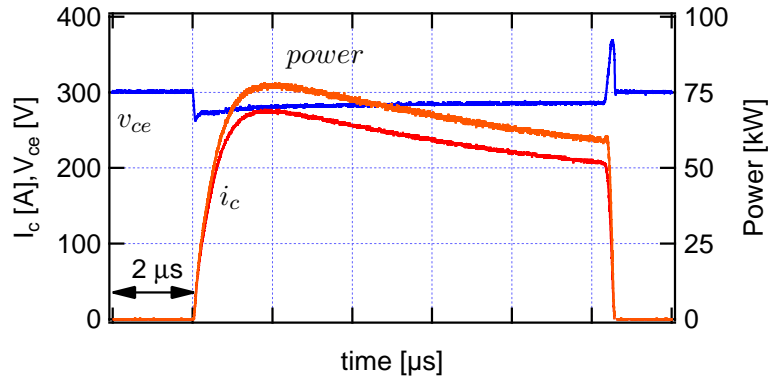


図 5.10: アーム短絡動作時の実験結果

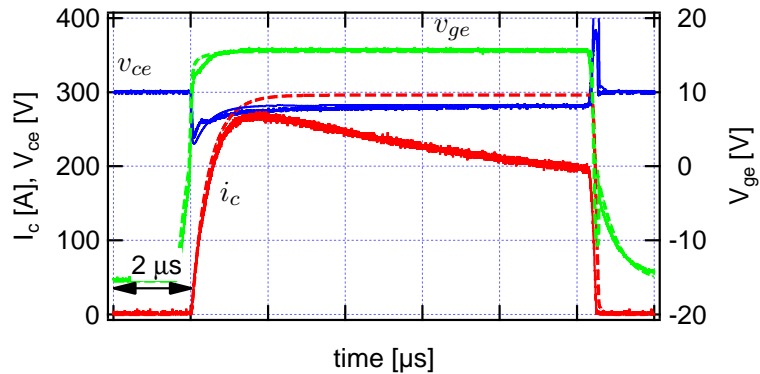


図 5.11: アーム短絡動作時の解析結果と実験結果の比較 1 (温度依存性未考慮, 破線: 解析結果, 実線: 実験結果)

果を示す。初期温度を  $27^{\circ}\text{C}$  , 保護動作なしで導通期間を  $10\ \mu\text{s}$  としており, IGBT の接合温度は約  $180^{\circ}\text{C}$  まで上昇する。

### 5.3.2 負荷短絡動作に対する電気・熱連成解析

図 5.14 に負荷短絡動作に対する試験回路を示す。負荷インダクタンスは  $2.2\ \mu\text{H}$  とし, ゲート抵抗は  $25\ \Omega$  とした。図 5.15 に保護回路なしの負荷短絡動作に対する実験結果を示す。コレクタ・エミッタ間電圧は, 通常のターンオン動作同様に, 一度飽和電圧  $V_{ce(sat)}$  まで低下するが, コレクタ電流の増大とともに直流リンク電圧まで上昇していく。

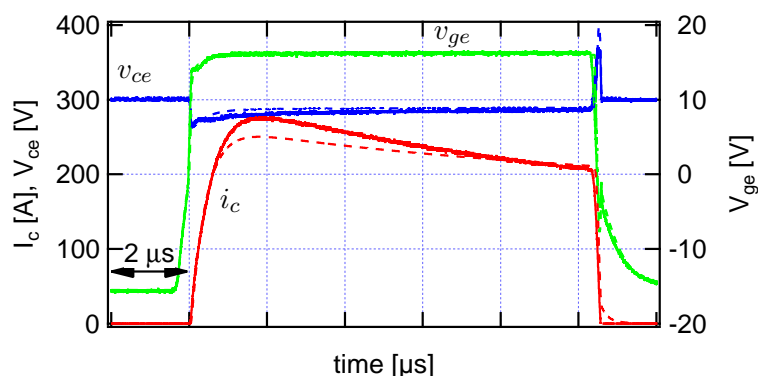


図 5.12: アーム短絡動作時の解析結果と実験結果の比較 2 (温度依存性考慮, 破線: 解析結果, 実線: 実験結果)

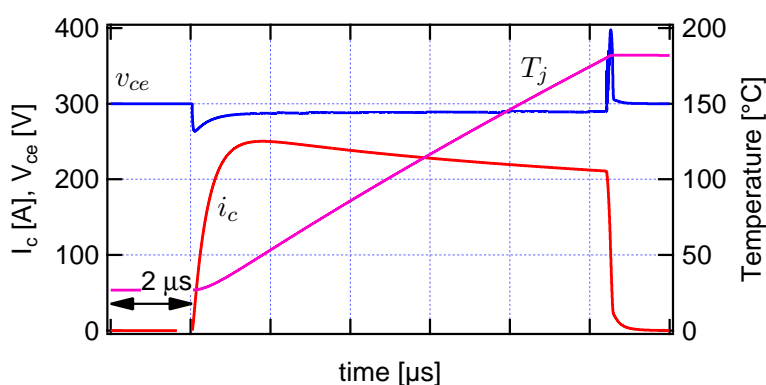


図 5.13: アーム短絡動作時の接合温度解析結果

また、損失増大による温度上昇に伴い、コレクタ電流はピーク値に到達した後に減少していく。図 5.16 に電気・熱連成解析を適用した際の解析結果と実験結果の比較を示す。電気・熱連成解析を適用することにより、コレクタ電流はピーク値をとった後、減少するという実験結果をよく再現していることがわかる。図 5.17 は負荷短絡動作時の接合温度の解析結果である。初期温度を  $27^{\circ}\text{C}$ 、保護動作なしで導通期間を  $10\ \mu\text{s}$  としており、IGBT の接合温度は約  $200^{\circ}\text{C}$  まで上昇する。

なお、負荷短絡動作については、負荷のインダクタンス値の大きさに応じてコレクタ電流の値が変わってくる。今回の解析では、負荷インダクタンスを  $2.2\ \mu\text{H}$  としているため、ターンオン動作後、約  $3\ \mu\text{s}$  でコレクタ電流値がピークとなっている。

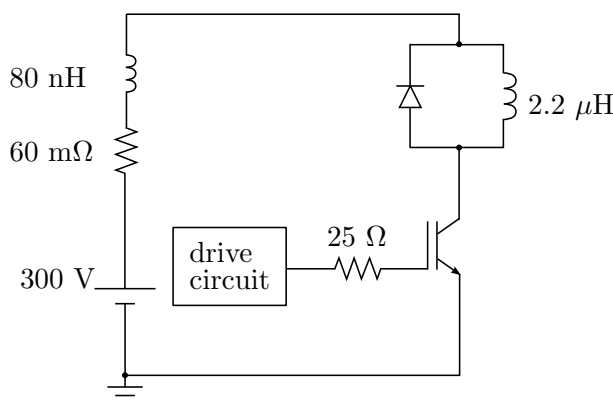


図 5.14: 負荷短絡動作の試験回路

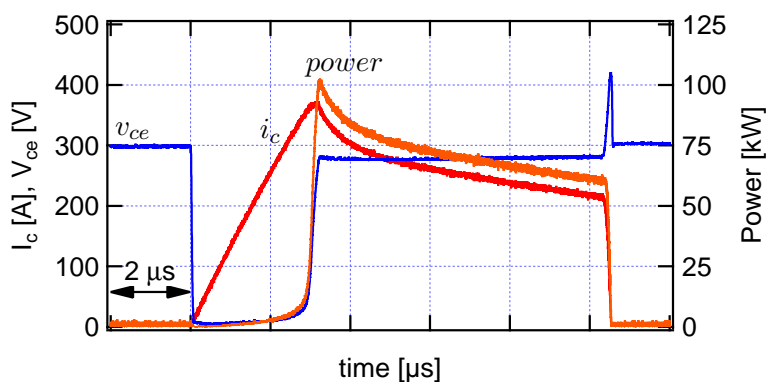


図 5.15: 負荷短絡動作時の実験結果

図 5.12, 図 5.16 に示したように, 電気・熱連成解析を適用することにより, アーム短絡動作, 負荷短絡動作のいずれも実験結果と解析結果は良好に一致している。

コレクタ電流のピーク値における誤差は実験および解析におけるコレクタ電流のピーク値をそれぞれ  $I_{c,exp}$ ,  $I_{c,sim}$  として, 誤差率  $I_{c,error}$  を

$$I_{c,error} = \frac{I_{c,exp} - I_{c,sim}}{I_{c,exp}} \times 100 [\%] \quad (5.6)$$

として表すと, 約 9% の誤差率で解析結果と実験結果と一致している。

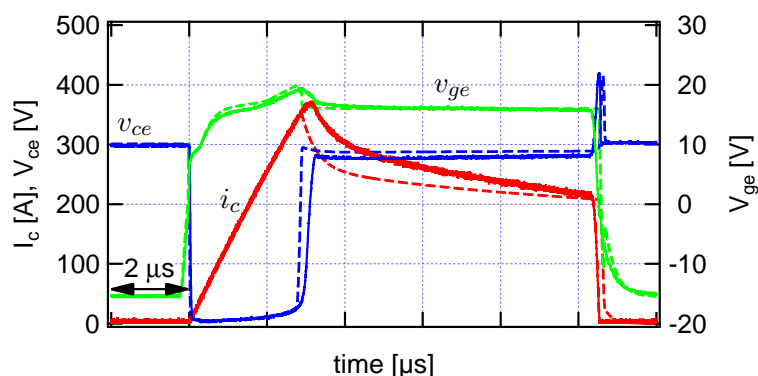


図 5.16: 負荷短絡動作時の解析結果と実験結果の比較 (破線：解析結果，実線：実験結果)

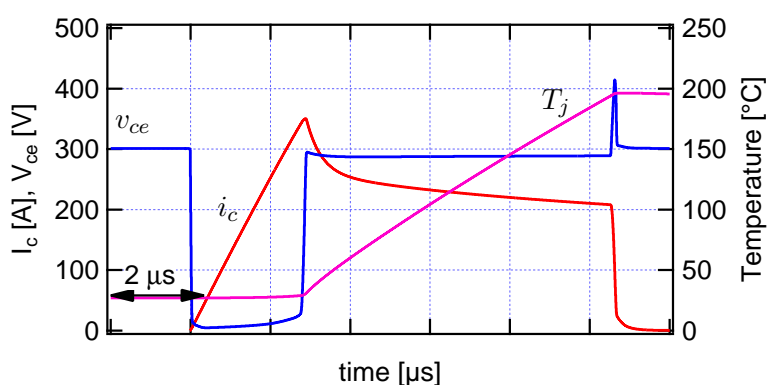


図 5.17: 負荷短絡動作時の接合温度解析結果

## 5.4 第5章まとめ

並列接続した IGBT のデバイス温度に対して、配線インダクタンス差や閾値電圧差が与える影響について定量的に評価した。IGBT の温度差は、配線インダクタンス差が 20 nH の場合は 4 – 7 °C、また、閾値電圧差が 0.5 V の場合は 4 – 6 °C と求めた。並列接続する IGBT 間の温度差の許容値を 5% と仮定すると、配線インダクタンス差は 20 nH 以下、閾値電圧差は 0.5 V 以下となるように設計することが求められる。

また、アーム短絡や負荷短絡動作に対して電気・熱連成解析を適用することにより、スイッチング波形の実験結果を精度良く再現することを示した。短絡動作時のデバイス

温度は実験的評価が困難であるため、IGBT 物理モデルを用いた電気・熱連成解析を用いたデバイス温度評価は、短絡保護回路の設計に対して極めて有効である。

以上、デバイスモデル及びそれを用いた電気・熱連成解析が電力変換器の高信頼性設計に対して有効であることを明らかにした。

## 第 6 章

# IGBT 物理モデルを用いた短絡保護回路 開発

電力変換器の信頼性として求められる機能に、過電流、過電圧や短絡動作等に対する保護機能がある。短絡保護に関しては、パワー半導体デバイスの高電流密度化に伴い、高速保護に対する要求が高まっている。

代表的な短絡保護方式として、コレクタ・エミッタ間電圧検知による保護方式 ( $V_{ce}$  検知方式) やコレクタ電流検知による保護方式 ( $I_c$  検知方式) があるが [63]、他にも様々な短絡保護方式が報告されている [63, 64, 65, 66, 68, 69]。

$V_{ce}$  検知方式では、アーム短絡状態において、IGBT のコレクタ・エミッタ間電圧が直流リンク電圧とほぼ等しいため、飽和電圧  $V_{ce(sat)}$  よりもはるかに高いことを利用して検出する方式である。しかし、正常動作時において、コレクタ・エミッタ間電圧が飽和電圧まで低下するまでに要する時間が長いために、アーム短絡状態であることを検出するまでに長い時間を要するという課題がある。また、 $I_c$  検知方式においては、CT 等の電流センサを必要とするため、コストが高く、また、電力変換器の構成が複雑になるといった課題がある。

ゲート・エミッタ間電圧検知による保護方式 ( $V_{ge}$  検知方式) は、アーム短絡時においてゲート・エミッタ間電圧が一定となる期間 (ミラー期間) が観測されないことを利用する方式である。そのため、 $V_{ce}$  検出方式で必要なコレクタ・エミッタ間電圧を検知する高耐圧ダイオードや、 $I_c$  検出方式で必要なコレクタ電流検出に用いる CT 等の電流センサを必要としないため、安価な短絡保護方式として有効である [65, 68, 69]。しかし、 $V_{ge}$  検知方式では、ゲート・エミッタ間電圧のミラー期間の有無を利用することから、アーム短絡状態と正常ターンオン動作とを区別するためには、検出期間を設定する必要がある

る。また、 $V_{ge}$  検知方式と  $V_{ce}$  検知方式とを組み合わせた短絡保護方式も提案されている [64, 66]。この方式では、ターンオン動作の過渡状態においてアーム短絡を検出することができ、検出期間を設定する必要がないという利点があるものの、コレクタ・エミッタ間電圧を検出するための高耐圧ダイオードが必要となるためコスト面で課題がある。

他にも、ゲート電荷量に着目したアーム短絡保護回路が提案されている [70, 71]。アーム短絡時におけるゲート電荷量が通常ターンオン動作時と比較して少ないことを利用した保護方式である。ターンオン動作の過渡時においてアーム短絡状態を検出し、低コストで実現可能な保護方式であるが、アーム短絡判定基準となるゲート電荷量をゲート・エミッタ間電圧の関数として、デジタル回路を用いて保護回路を設計している。

本章では、新たな短絡保護回路として、ゲート電荷特性を利用した短絡保護回路を提案する。IGBT のコレクタ・ゲート間に存在する帰還容量は大きなコレクタ・エミッタ間電圧依存性を有しているため、IGBT のスイッチング動作に対して大きな影響を与える。IGBT のゲート電荷特性は帰還容量の影響を受けて、正常ターンオン動作時、アーム短絡動作時、負荷短絡動作時において大きく異なってくる。

このようなゲート電荷特性を利用した短絡保護回路の検討には、近年、精力的に開発されている IGBT 物理モデルを用いた回路解析が有効である。IGBT 物理モデルは、従来のビハイビアモデルと比較して、電力変換器において考慮すべき温度、電流、電圧といった各種パラメータの幅広い動作範囲において精度が高く、電力変換器の設計に有効なデバイスモデルである [49, 55, 57]。

本章では、ゲート電荷特性を利用したアーム短絡及び負荷短絡に対する保護回路を提案し、提案する短絡保護回路の動作原理を示す。また、IGBT 物理モデルを用いた回路解析及び実験による動作検証結果について述べる。

## 6.1 ゲート電荷特性

今回、提案する短絡保護回路はゲート電荷特性を利用することから、通常ターンオン、アーム短絡、負荷短絡の各動作時におけるゲート電荷特性について説明する。

はじめに、通常ターンオン動作におけるスイッチング波形とゲート電荷特性の概略を図 6.1 に示す。通常ターンオン動作時のゲート電荷特性について説明する。

期間 (i) ( $t_0 \leq t < t_1$ ): コレクタ・エミッタ間電圧  $v_{ce}$  が高い期間 (i) では、ゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  を充電するだけであり、ゲート電荷量は単調に増加し

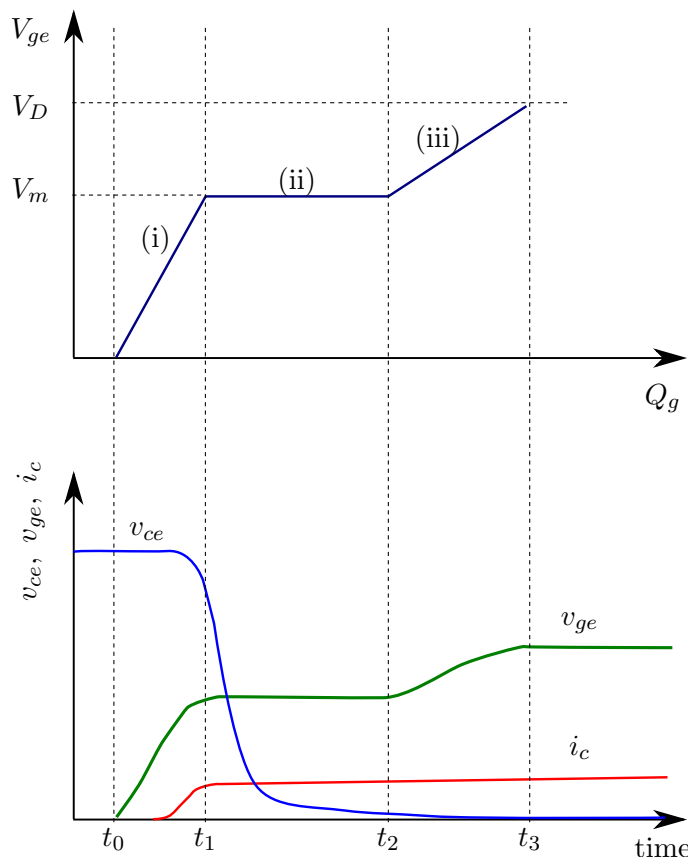


図 6.1: 通常ターン動作時におけるスイッチング波形とゲート電荷特性の概略

ていき，ゲート電荷特性は直線的になる。

期間 (ii) ( $t_1 \leq t < t_2$ ): ゲート・エミッタ間電圧  $v_{ge}$  が一定となるいわゆるミラー期間である。 $v_{ge}$  が一定で，ゲート電流がコレクタ・ゲート間容量を流れることで IGBT に蓄積されるゲート電荷量は増加するため，ミラー期間中のゲート電荷特性はフラットになる。

期間 (iii) ( $t_2 \leq t < t_3$ ): ゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  と帰還容量  $C_{cg}$  の両方を充電することから，ゲート・エミッタ間電圧はゲート駆動電源電圧まで上昇し，期間 (iii) においてもゲート電荷特性は直線的となる。以上から，通常ターンオン動作時におけるゲート電荷特性は階段状の特性を示すことになる。

図 6.2 は，アーム短絡動作におけるスイッチング波形とゲート電荷特性の概略である。アーム短絡状態では，IGBT のコレクタ・エミッタ間電圧は直流リンク電圧にほぼ等しい高電圧状態を維持し続けるため，帰還容量  $C_{cg}$  はほとんど変化しない。ゲート・エミッタ間電圧波形にミラー期間は現れず，ゲート・エミッタ間電圧は一気にゲート駆動電源電圧まで上昇していく。そのため，アーム短絡動作時におけるゲート電荷特性は直線的

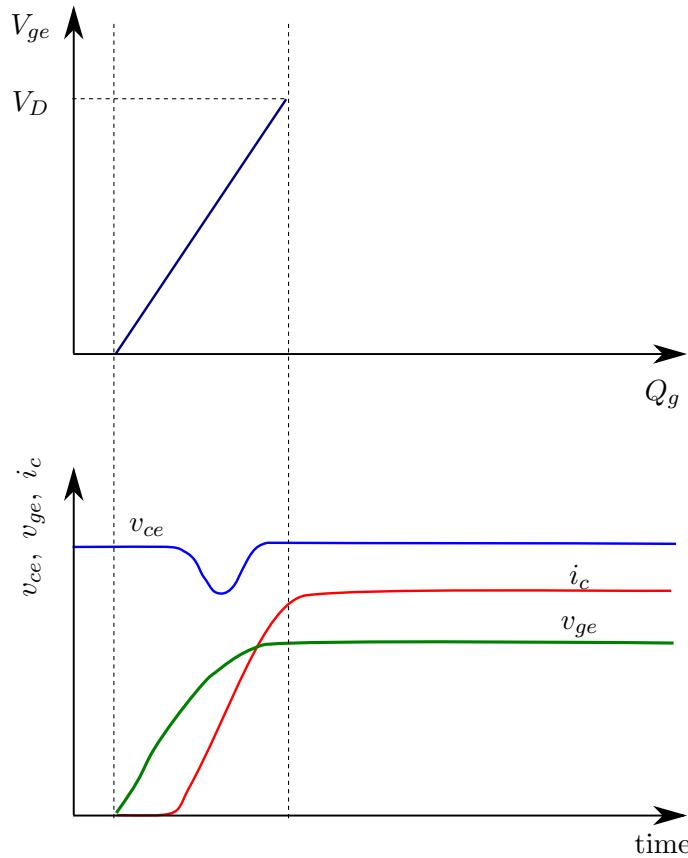


図 6.2: アーム短絡動作時におけるスイッチング波形とゲート電荷特性の概略

な特性を示す。

図 6.3 に負荷短絡動作時におけるスイッチング波形とゲート電荷特性の概略を示す。負荷短絡時の IGBT の動作とゲート電荷特性について以下に説明する。

期間 (i) ( $t_0 \leq t < t_1$ ): ゲート・エミッタ間電圧が上昇し、ミラー期間に到達するまでの期間である。ゲート電流  $i_g$  はゲート・エミッタ間容量  $C_{ge}$  を充電するだけである。ゲート電荷量は単調に増加していき、ゲート電荷特性は直線的になる。

期間 (ii) ( $t_1 \leq t < t_2$ ): ゲート・エミッタ間電圧  $v_{ge}$  が一定となるミラー期間である。ゲート電流  $i_g$  は帰還容量  $C_{cg}$  のみを充電し、IGBT が活性領域から飽和領域へと遷移していく。コレクタ・エミッタ間電圧  $v_{ce}$  は直流リンク電圧から飽和電圧  $V_{ce(sat)}$  へと低下していく。通常ターンオン動作同様、ミラー期間中のゲート電荷特性はフラットである。

期間 (iii) ( $t_2 \leq t < t_3$ ): IGBT は飽和領域に遷移し、コレクタ・エミッタ間電圧  $v_{ce}$  は飽和電圧  $V_{ce(sat)}$  を示す。負荷短絡状態では、大きなコレクタ電流が流れるため、IGBT は飽和領域から活性領域へと再び遷移する。ゲート・エミッタ間電圧が上昇し、IGBT

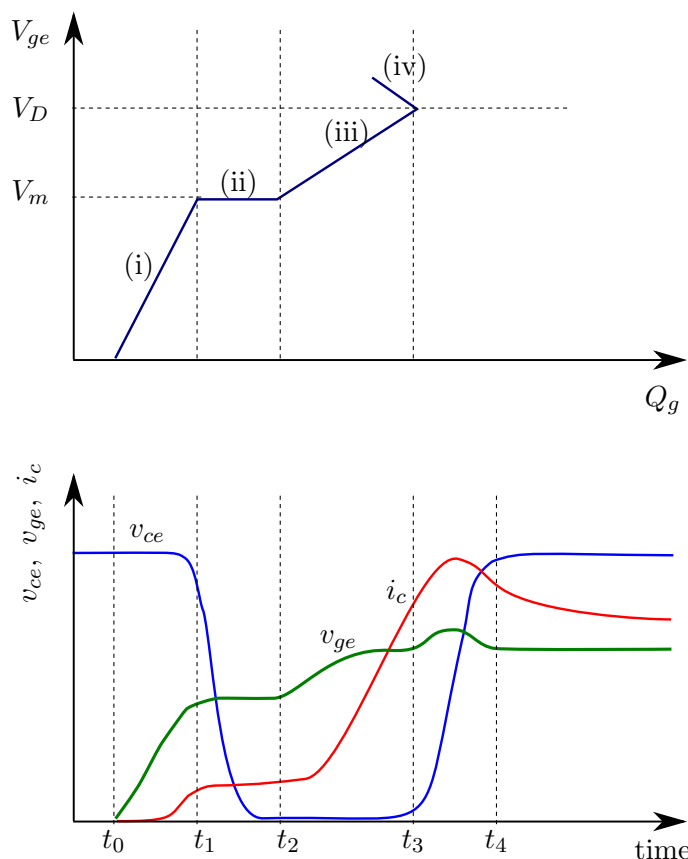


図 6.3: 負荷短絡動作時におけるスイッチング波形とゲート電荷特性の概略

に蓄積されるゲート電荷量が増加するため、直線的なゲート電荷特性を示す。

期間 (iv) ( $t_3 \leq t < t_4$ ): コレクタ・エミッタ間電圧が飽和電圧から直流リンク電圧まで上昇し、IGBT は活性領域に遷移している。コレクタ・エミッタ間電圧がゲート・エミッタ間電圧より高くなり、ゲート電流がコレクタ端子から帰還容量を介してゲート駆動回路へと流れていく（ゲート負電流）。その結果、ゲート・エミッタ間電圧はゲート駆動電源電圧以上に上昇し、また、ゲート負電流の影響により IGBT に蓄積されたゲート電荷量が減少する。

以上のように、アーム短絡動作及び負荷短絡動作時におけるゲート電荷特性は、通常ターンオン動作時のゲート電荷特性と比較して大きく異なる。

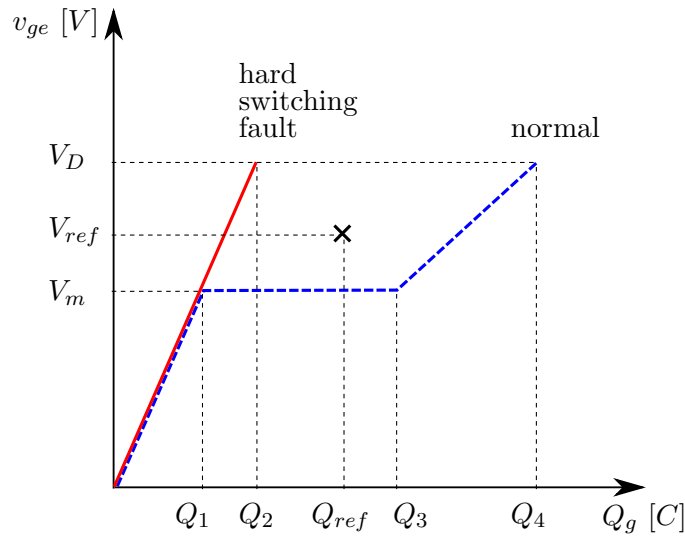


図 6.4: 正常動作時とアーム短絡動作時のゲート電荷特性

## 6.2 アーム短絡保護動作

### 6.2.1 アーム短絡検出原理

図 6.4 に IGBT のゲート電荷特性を、通常動作時とアーム短絡時のそれぞれについて示す。通常のスウィッチング動作時では、ゲート・エミッタ間電圧  $v_{ge}$  がミラー電圧  $V_m$  に到達するまでは、ゲート・エミッタ間容量  $C_{ge}$  を充電するだけであり、ゲート電荷量は  $Q_1$  まで単調に増加する。 $v_{ge}$  がミラー電圧に到達すると、ゲート電荷量が  $Q_3$  に達するまで  $v_{ge}$  は一定である。ミラー期間終了後、 $v_{ge}$  はゲート駆動電源電圧  $V_D$  まで上昇し、ゲート電荷量は  $Q_4$  まで増加する。

一方、アーム短絡動作時では、帰還容量  $C_{cg}$  がほとんど変化しないため、ゲート・エミッタ間電圧  $v_{ge}$  はゲート駆動電源電圧  $V_D$  まで一気に上昇し、ゲート電荷量は単調に増加し、 $v_{ge} = V_D$  におけるゲート電荷量は  $Q_2 (< Q_4)$  である。アーム短絡動作時におけるゲート電荷量は、正常ターンオン動作時に必要なゲート電荷量に比べて少ないことがわかる。

このように、通常ターンオン動作とアーム短絡動作時において、ゲート電荷特性に違いが現れることから、ゲート電圧とゲート電荷量を検出することにより、アーム短絡を検知することが可能である。

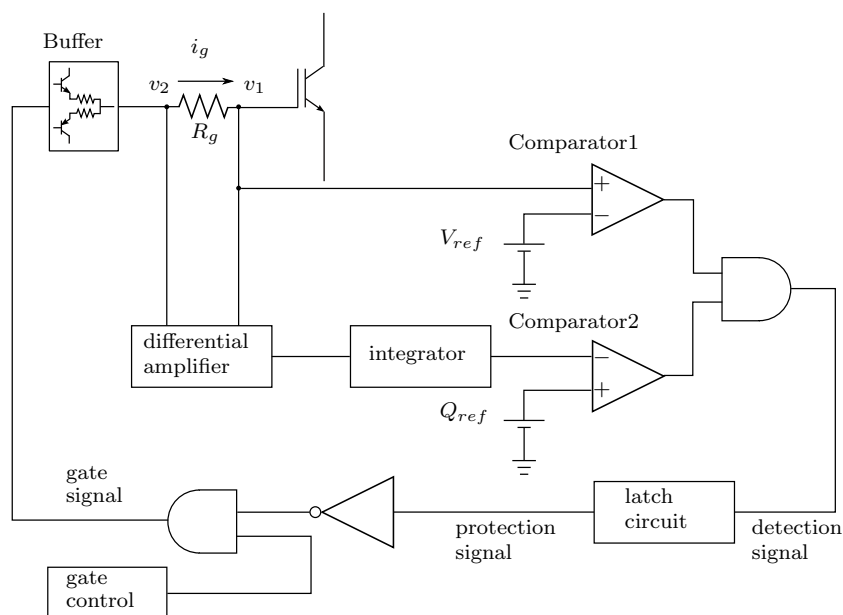


図 6.5: アーム短絡保護回路の概略

ゲート電圧の基準値とゲート電荷量の基準値をそれぞれ  $Q_{ref}$ 、 $V_{ref}$  としたとき、図 6.4 に示したゲート電荷特性において、座標  $(Q_1, V_m)$ 、 $(Q_3, V_m)$ 、 $(Q_4, V_D)$ 、 $(Q_2, V_D)$  で囲まれる領域内の任意の値に設定することができる。

アーム短絡発生時においては、ゲート電荷量  $Q$  は常に  $Q_{ref}$  より小さい値を示す。ゲート・エミッタ間電圧  $v_{ge}$  がミラー電圧  $V_m$  に到達するまでは、通常ターンオン動作とアーム短絡動作を区別することはできないが、ゲート・エミッタ間電圧  $v_{ge}$  が  $V_{ref}$  より高くなったとき、ゲート電荷量  $Q$  が  $Q_{ref}$  より大きい時は通常のターンオン動作であり、 $Q_{ref}$  より小さい時はアーム短絡状態の動作であると判定することができる。即ち、アーム短絡状態におけるゲート電荷量  $Q$  は常に  $Q_{ref}$  より小さな値であることから、ゲート・エミッタ間電圧が  $V_{ref}$  を超えた瞬間にアーム短絡状態であると判定することができる。

図 6.5 にアーム短絡保護回路の概略を示す。ゲート・エミッタ間電圧  $v_{ge}$  とゲート抵抗  $R_g$  の両端に発生する電圧を検出する。検出したゲート・エミッタ間電圧  $v_{ge}$  を参照値  $V_{ref}$  と比較する。また、ゲート抵抗両端電圧  $V_{Rg}$  を差動増幅器に入力し、積分回路を介することで、ゲート電荷量  $Q_g$  に対応する電圧  $v_q$  を算出する。 $v_q$  を参照値  $Q_{ref}$  と比較する。

正常ターンオン動作時においては、ゲート・エミッタ間電圧  $v_{ge}$  がミラー電圧  $V_m$  より

表 6.1: 正常ターンオン動作時の論理信号

gate-emitter voltage	$v_{ge} < V_{ref}$	$V_{ref} \leq v_{ge}$
gate control	1	1
comp1 output	0	1
comp2 output	1	0
detection signal	0	0
protection signal	0	0
gate signal	1	1

表 6.2: アーム短絡動作時の論理信号

gate-emitter voltage	before detection		after detection	
	$v_{ge} < V_{ref}$	$V_{ref} \leq v_{ge}$	$V_{ref} < v_{ge}$	$v_{ge} \leq V_{ref}$
gate control	1	1	1	1
comp1 output	0	1	1	0
comp2 output	1	1	1	1
detection signal	0	1	1	0
protection signal	0	1	1	1
gate signal	1	0	0	0

高くなると、 $v_q$  は  $Q_{ref}$  より高くなるが、アーム短絡動作時には、 $v_q$  は常に  $Q_{ref}$  より低い。その結果、ゲート・エミッタ間電圧  $v_{ge}$  がミラー電圧  $V_m$  より高くなるや否や、アーム短絡状態であることを検知することができる。

アーム短絡を検知すると、IGBT を保護するためにターンオフ指令が出力されるため、ゲート・エミッタ間電圧  $v_{ge}$  は低下していく。ゲート・エミッタ間電圧  $v_{ge}$  がミラー電圧  $V_m$  より低くなると、Comparator1 が Lo 信号を出力するため、SR-FF (セトリセットフリップフロップ) 等を用いてアーム短絡検出信号を保持する。

このように、提案するアーム短絡保護回路では、短絡判定基準値を  $Q_{ref}$  と  $V_{ref}$  の 2 種類有しているため、検出期間を設定することなく高速にアーム短絡を検知することが可能である。

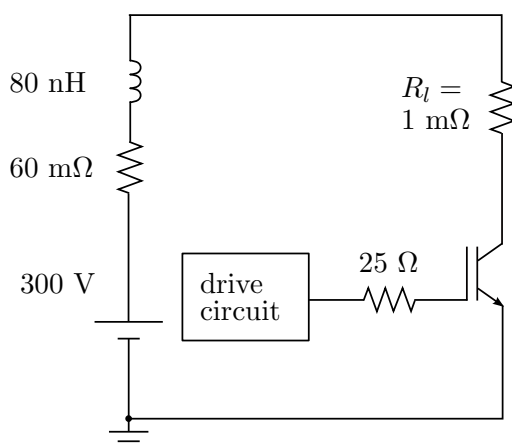


図 6.6: アーム短絡動作の試験回路

表 6.1 に正常ターンオン動作時における各信号の論理信号を，また，表 6.2 にアーム短絡動作時における各信号の論理信号を示す。

### 6.2.2 アーム短絡保護動作の解析結果

図 6.6 にアーム短絡動作試験回路を示す。下側アームの IGBT をスイッチング素子とし，ゲート抵抗は  $25 \Omega$  としている。上側アームには  $1 \text{ m}\Omega$  の抵抗を用いることによりアーム短絡状態を模擬している。図 6.7 に，IGBT 物理モデルを用いた正常ターンオン動作時とアーム短絡動作時のゲート・エミッタ間電圧  $v_{ge}$  とゲート電流  $i_g$  の解析結果を示す。アーム短絡動作時には，図 6.7(b) に示すように，ゲート・エミッタ間電圧  $v_{ge}$  波形にミラー期間は現れず，ゲート・エミッタ間電圧はゲート駆動電源電圧まで一気に上昇する。

図 6.8 に保護動作なしのアーム短絡動作の解析結果を示す。コレクタ電流が急速に増加し，そのピーク値は定格電流の約 9 倍に相当する  $260 \text{ A}$  に到達している。

図 6.9 に今回提案する保護回路を設けた際のアーム短絡動作の解析結果を示す。アーム短絡状態を，コレクタ電流が流れ始めてから約  $500 \text{ ns}$  で検知しており，コレクタ電流のピーク値は定格値の約 6 倍の  $180 \text{ A}$  程度である。

また，図 6.10 にアーム短絡保護動作時において，IGBT で発生する損失とデバイス温度の解析結果を示す。損失のピーク値は約  $60 \text{ kW}$  であり，デバイス温度は初期状態の

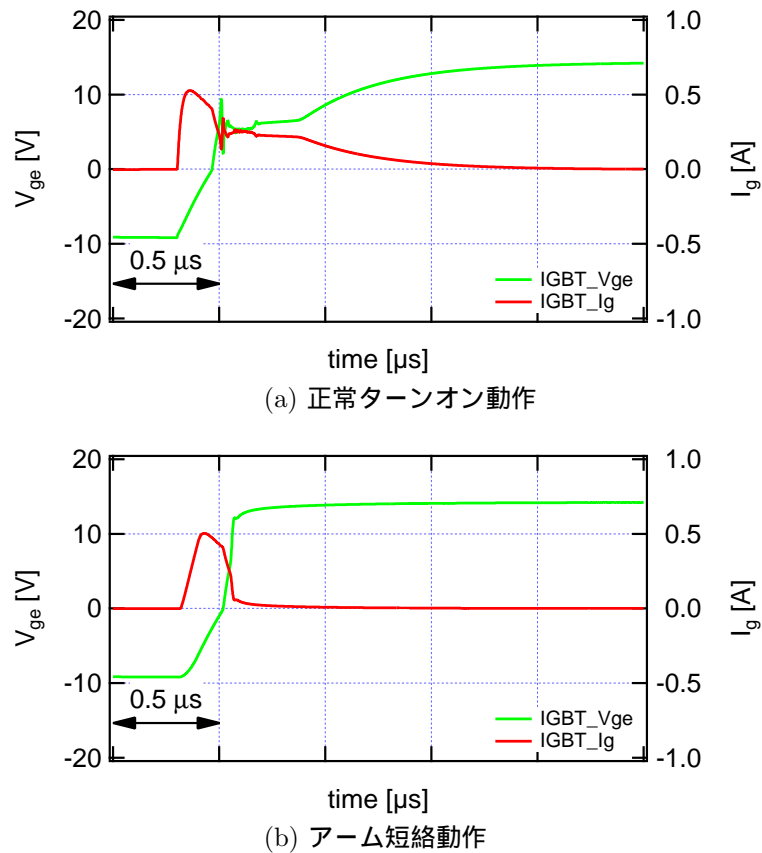


図 6.7: ゲート・エミッタ間電圧とゲート電流波形

27°C から 31.5°C へとわずかに 4.5°C 上昇するだけである。デバイス温度がほとんど上昇しないのは、図 5.2 に示した過渡熱インピーダンス曲線のグラフからわかるように、1  $\mu\text{s}$  後における熱抵抗は高々 0.2 mK/W 程度だからである。

このように IGBT 物理モデルを用いた解析により、ゲート電荷特性を利用したアーム短絡保護回路は、アーム短絡状態を高速に検知し、保護可能であることを示した。

### 6.2.3 アーム短絡保護動作の実験結果

図 6.11 は正常動作時とアーム短絡動作時におけるゲート電荷量のグラフである。ゲート電荷量は実験により測定したゲート電流波形を積分することにより求めている。正常動作時とアーム短絡時におけるゲート電荷量に大きな違いが現れる。

図 6.12 に正常動作時とアーム短絡動作時のゲート電荷特性を示す。図 6.11 の結果を

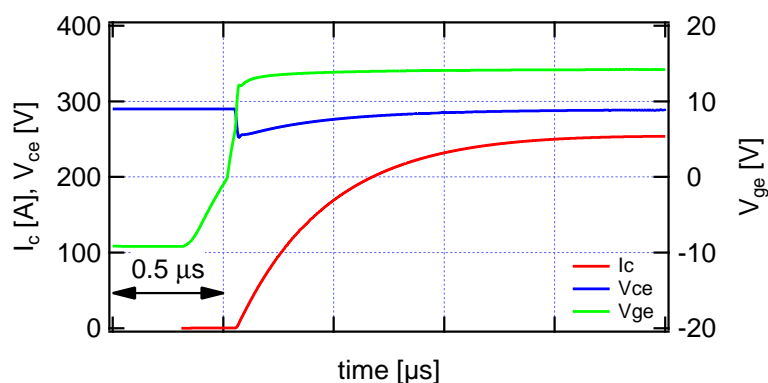


図 6.8: アーム短絡時の保護動作なしの各シミュレーション波形

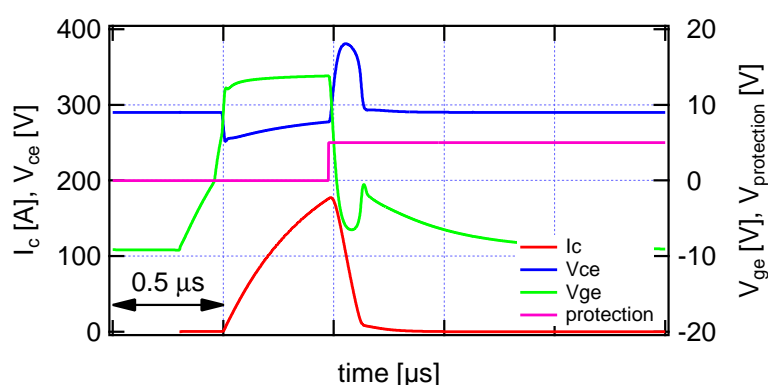


図 6.9: アーム短絡保護動作時の各シミュレーション波形

用いて求めており，アーム短絡動作時におけるゲート電荷量は正常ターンオン動作時に比べて十分少ないことがわかる。また，ミラー電圧が約 8 V であることから，ゲート・エミッタ間電圧の検出レベルを 13 V に設定した。

図 6.13 にアーム短絡保護動作の実験結果を示す。コレクタ電流が流れ始めてから約  $1 \mu\text{s}$  後にアーム短絡状態を検知し，約  $1.2 \mu\text{s}$  後にターンオフ動作を開始している。その結果，コレクタ電流のピーク値は定格値の約 6 倍の 180 A 程度である。

アーム短絡保護の検出タイミングはゲート・エミッタ間電圧の検出レベルの設定値によって決まる。ゲート・エミッタ間電圧の検出レベルを 12 V と設定した際のアーム短絡保護動作の実験結果を図 6.14 に示す。ゲート・エミッタ間電圧の検出レベルを低くしたため，より高速な短絡検知が可能となり，コレクタ電流が流れ始めてから約 350 ns 後にアーム短絡状態を検知し，約 600 ns 後にターンオフ動作を開始している。このときの

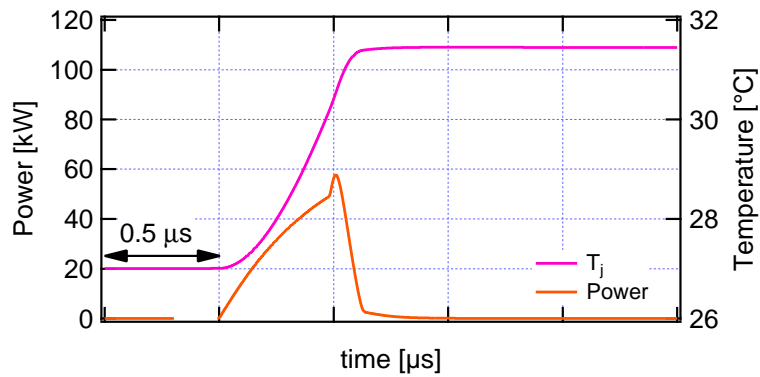


図 6.10: アーム短絡保護動作時におけるデバイス温度解析結果

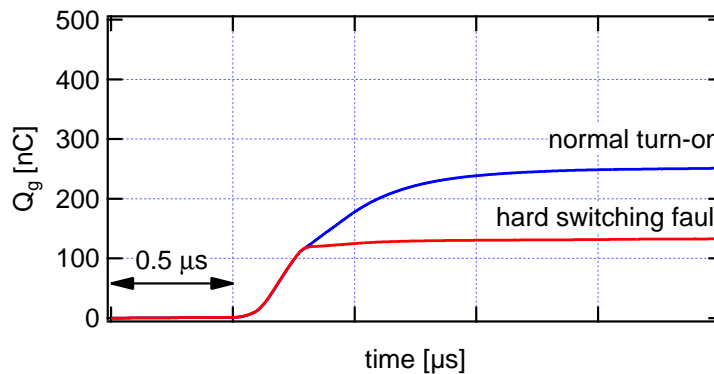


図 6.11: 実験結果に基づくゲート電荷量波形

コレクタ電流のピーク値は定格値の約 6 倍の 180 A 程度である。

## 6.3 負荷短絡保護動作

### 6.3.1 負荷短絡検出原理

図 6.15 に、正常動作時と負荷短絡動作時のゲート電荷特性の違いを示す。ゲート・エミッタ間電圧  $v_{ge}$  がゲート駆動電源電圧  $V_D$  に到達するまでは、正常ターンオン動作と負荷短絡動作は同じであるが、負荷短絡状態では、ゲート・エミッタ間電圧  $v_{ge}$  がゲート駆動電源電圧  $V_D$  より上昇し、ゲート電荷量は減少するという特性を示す。従って、

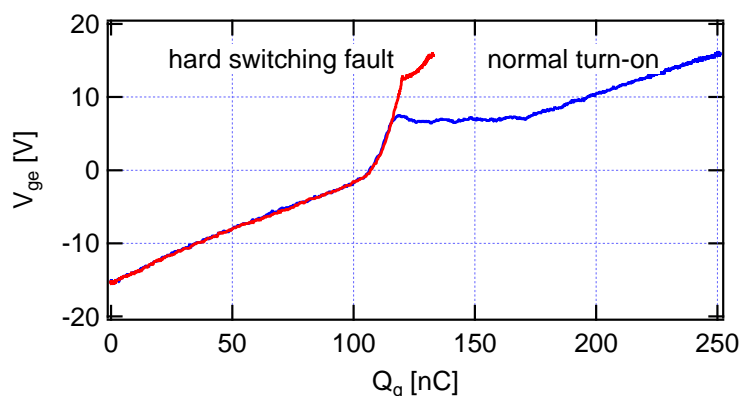


図 6.12: 実験結果に基づくゲート電荷特性

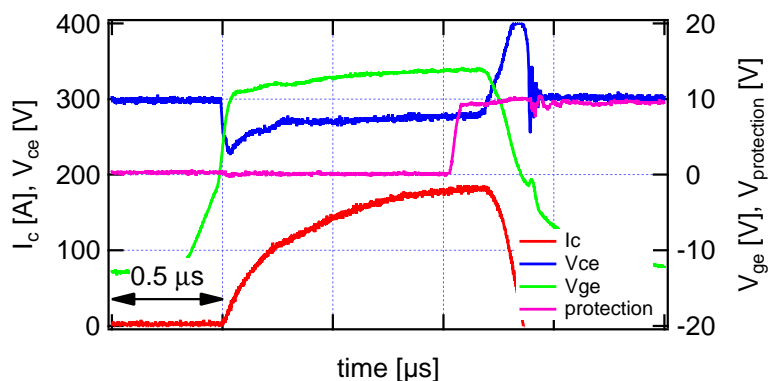


図 6.13: 実験によるアーム短絡保護動作時における各波形その 1

ゲート・エミッタ間電圧の基準値  $V_{ref}$  を  $V_D$  より高い値に、ゲート電荷量の基準値  $Q_{ref}$  をゲート駆動電源電圧時の電荷量  $Q_D$  より小さい値に設定すればよい。負荷短絡を高速に検出するためには、 $V_{ref}$  は  $V_D$  よりわずかに大きく、 $Q_{ref}$  は  $Q_D$  よりわずかに小さい値に設定することが望ましい。従来技術である  $V_{ge}$  検出方式を用いる場合、ノイズ耐性の観点からマージンを大きくとる必要があるが、ゲート電荷特性を利用した今回の方式では、ゲート・エミッタ間電圧とゲート電荷量の 2 つの参照値を設定することから、 $V_{ge}$  検出方式よりマージンを小さく設定することが可能となり、従来方式と比較して高速に負荷短絡を検出することができる。

このように、正常ターンオン動作と負荷短絡動作時におけるゲート電荷特性の違いか

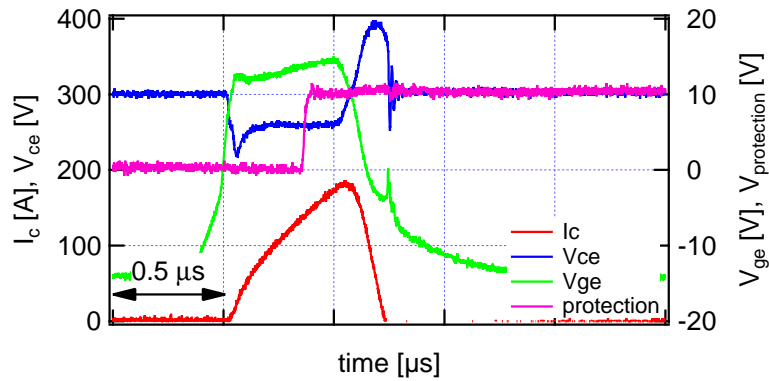


図 6.14: 実験によるアーム短絡保護動作時における各波形その 2

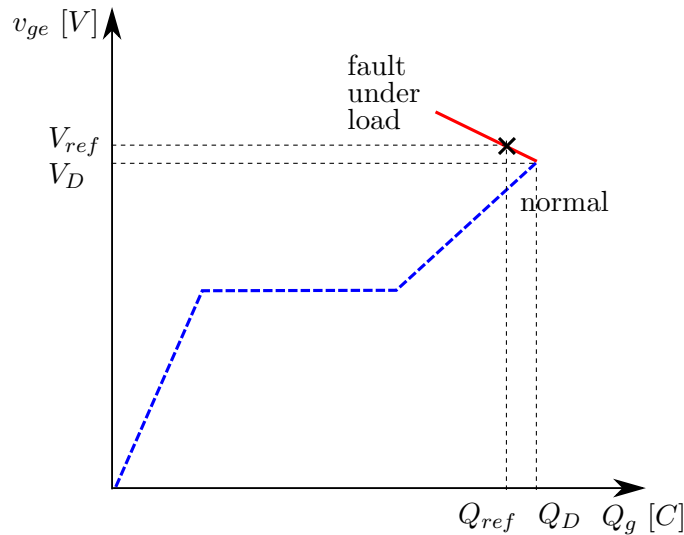


図 6.15: 正常動作時と負荷短絡動作時のゲート電荷特性

ら，ゲート電圧とゲート電荷量を検出することにより，負荷短絡についても検出可能である。

### 6.3.2 負荷短絡保護動作の解析結果

図 6.16 に負荷短絡動作試験回路を示す。負荷インダクタンスは  $2.2 \mu\text{H}$  とし，ゲート抵抗は  $25 \Omega$  とした。負荷短絡保護回路については，負荷短絡の検出原理がアーム短絡検出と同じであることから，図 6.5 に示したアーム短絡保護回路と同一の回路構成で，

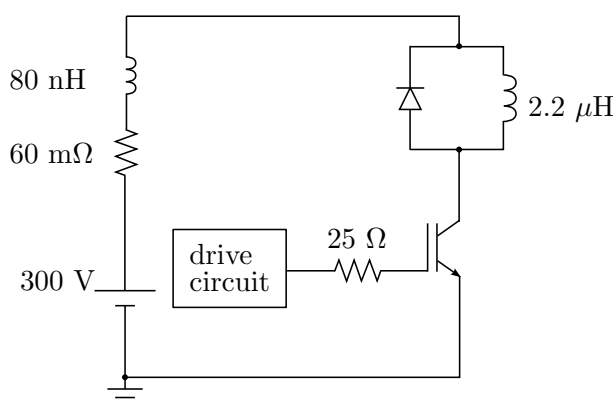


図 6.16: 負荷短絡動作の試験回路

ゲート・エミッタ間電圧及びゲート電荷量の基準値を変えるだけで負荷短絡保護が可能である。

図 6.17 は、保護動作なしの負荷短絡動作の解析結果である。図 6.18 は IGBT 物理モデルを用いて実施した負荷短絡保護動作の解析結果である。ゲート負電流の影響により、ゲート・エミッタ間電圧が上昇する様子がわかる。

図 6.18 に負荷短絡保護動作の解析結果を示す。コレクタ電流がピーク値に到達するタイミングで負荷短絡を検知して IGBT がターンオフしている。また、図 6.19 は、負荷短絡保護動作時において IGBT で発生する損失とデバイス温度の解析結果のグラフである。損失のピーク値は約 100 kW に達しているが、デバイス温度は初期状態の 27°C から 30.7°C へとわずかに 3.7°C 上昇するだけである。今回の負荷短絡動作の条件では、コレクタ電流がピークとなる約 3  $\mu\text{s}$  後に負荷短絡を検出しているが、負荷短絡検出するまでのコレクタ・エミッタ間電圧は飽和電圧程度であるため、検出までに発生する損失は数 kW 程度と小さく、損失が急増するタイミングで負荷短絡を検出している。また、図 5.2 に示した過渡熱インピーダンス曲線のグラフから、3  $\mu\text{s}$  後における熱抵抗は 1 mK/W 程度である。以上から、負荷短絡動作時におけるデバイス温度の上昇はアーム短絡動作と比較して小さくなっている。

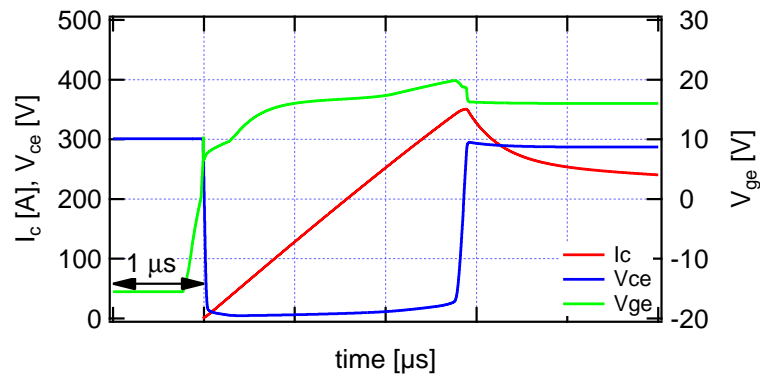


図 6.17: 負荷短絡時の保護動作なしの各シミュレーション波形

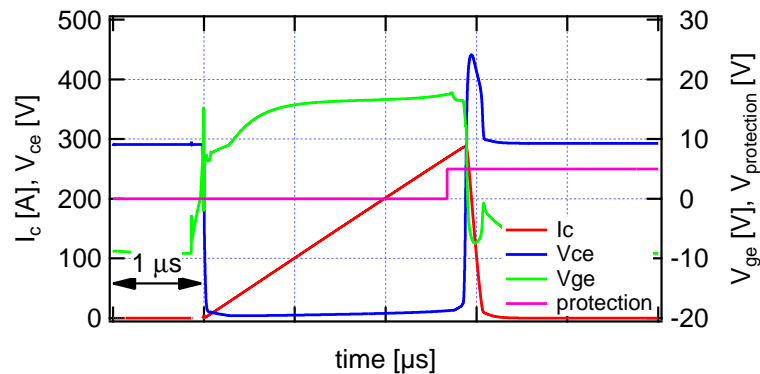


図 6.18: 負荷短絡時保護動作時の各シミュレーション波形

### 6.3.3 負荷短絡保護動作の実験結果

図 6.20 は正常動作時と負荷短絡動作時のそれぞれにおけるゲート電荷特性である。測定したゲート電流波形に対する積分結果を用いて求めた結果であり、負荷短絡発生時に、ゲート・エミッタ間電圧が上昇し、ゲート電荷量が減少する特徴を示している。負荷短絡状態では、ゲート・エミッタ間電圧の上昇に伴うゲート負電流の影響により、ゲート電荷量が減少していくことが確認できる。

図 6.21 は、実験による負荷短絡保護動作の検証結果である。シミュレーション結果同様に、コレクタ電流がピーク値に到達するタイミングで負荷短絡を検知して IGBT がターンオフしている。

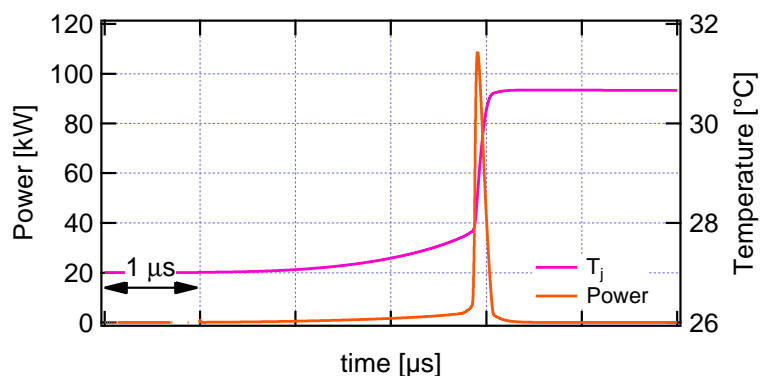


図 6.19: 負荷短絡保護動作時におけるデバイス温度解析結果

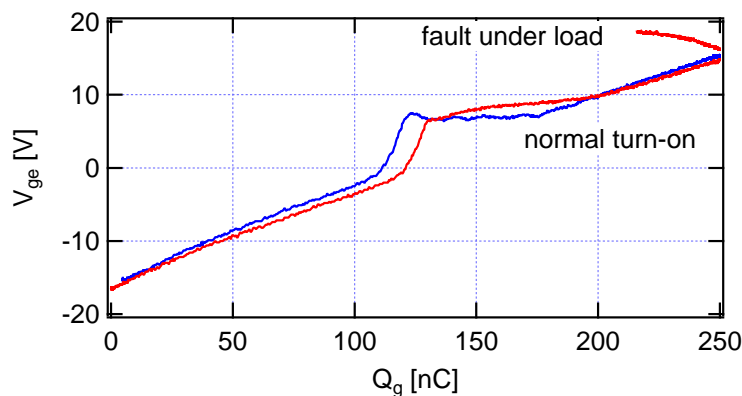


図 6.20: 実験結果に基づくゲート電荷特性

## 6.4 第6章まとめ

本章では、ゲート電荷特性を利用した短絡保護回路を提案した。提案する短絡保護回路は、ゲート・エミッタ間電圧とゲート電荷とを検出する方法であり、アーム短絡及び負荷短絡に対して同一の回路構成で検出・保護可能である。

実用的見地から十分高速に短絡保護が可能であり、アーム短絡に対しては、コレクタ電流が流れ始めてから約  $1 \mu\text{s}$  後に短絡状態を検知・保護可能であることを実験的に検証した。負荷短絡に対しては、コレクタ電流がピークとなるタイミングで短絡検知・保護可能であることを実験的に検証した。

また、本保護回路では、コレクタ・エミッタ間電圧検出用の高耐圧ダイオードや、コ

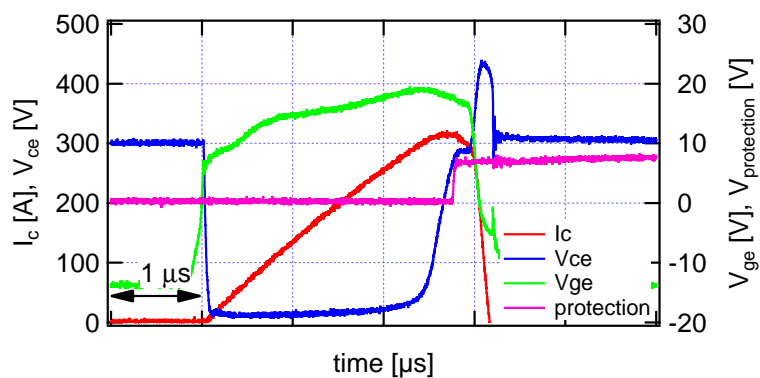


図 6.21: 実験による負荷短絡保護動作時における各波形

レクタ電流検出用の電流センサ，また，検出期間の設定が不要であるため，安価でシンプルな設計の短絡保護回路という特長も有している。

## 第7章

# 電気・熱連成解析技術のリアルタイム化

パワーデバイスの接合温度 ( $T_j$ ) は電力変換装置の長期信頼性に大きな影響を与えることから、電力変換器の設計段階におけるパワーデバイスの接合温度の高精度な予測は重要な研究課題であることはいうまでもない。

パワーデバイスの接合温度の実験的評価方法として、赤外線カメラを用いたパワーデバイスの接合温度測定がある。赤外線カメラによる測定では、実動作における接合温度をリアルタイムに観測することができるという利点がある。しかし、赤外線カメラで測定するためには、プラスチックケースカバーを取り外し、モジュール内部に封入されている絶縁用ゲルを除去してデバイス表面を黒色塗料を塗布したパワーモジュールを準備する必要がある。また、パワーデバイスがモジュール内部の主回路配線で覆われているようなパワーモジュールやトランスファーモールド型のパワーモジュール、あるいはパワーモジュールを覆うように外部主回路配線が接続されているような場合、赤外線カメラを用いたパワーデバイスの接合温度の測定は不可能であり、その結果、実製品でのデバイス温度評価は困難なケースが多い。

本章では、電気・熱連成解析技術とリアルタイムコンピューティングとを組み合わせることにより、パワーデバイスデバイス温度をリアルタイムで評価するリアルタイム電気・熱連成解析システムについて説明する。本システムは、電力変換器の実動作中におけるパワー半導体の接合温度を文字通りリアルタイムに評価する計測システムである。実際のモータ駆動中のパワーデバイスの接合温度について、本システムによる推定値と赤外線カメラを用いて測定した実験結果との比較について述べる。

## 7.1 接合温度の評価方法

リアルタイム電気・熱連成解析システムにおける3相IGBTインバータとして、6-in-1タイプのIGBTモジュール(定格:600-V, 15-A)を用いている。このIGBTモジュールには、IGBTと還流ダイオードが6個ずつ合計12個のパワーデバイスが実装されているため、パワーデバイスの接合温度は、自身の発熱による温度上昇に加え、他の11個のパワーデバイスの発熱に伴う熱干渉による温度上昇を考慮する必要がある。

熱源となるパワーデバイスが12個あることから、 $m$ 番目のパワーデバイスの接合温度  $T_j^{(m)}(t)$  は式(7.1)で表すことができる。

$$T_j^{(m)}(t) - T_f(t) = \sum_{n=1}^{12} \int_0^t p_n(\tau) z'_{m,n}(t - \tau) d\tau \quad (7.1)$$

ここで、 $p_n(t)$  は  $n$  番目のパワーデバイスにおける損失、 $z'_{m,n}(t)$  は  $m$  番目のパワーデバイスに対する  $n$  番目のパワーデバイスからの熱干渉による過渡熱インピーダンス

$$z_{m,n}(t) = \sum_{i=1}^k \left[ r_{m,n}^{(i)} \cdot \left\{ 1 - \exp\left(-\frac{t}{C_{m,n}^{(i)} \cdot r_{m,n}^{(i)}}\right) \right\} \right] \quad (7.2)$$

の時間微分である。

今回用いたIGBTモジュールには12個のパワーデバイスがあることから、モジュール全体の過渡熱インピーダンスは  $12 \times 12$  の行列で表される。対角成分  $z_{m,m}(t)$  は自己発熱による過渡熱インピーダンスであり、非対角成分  $z_{m,n}(t)$  は、 $m$  番目のパワーデバイスに対する  $n$  番目のパワーデバイスからの熱干渉による過渡熱インピーダンスである。

式(7.1)をラプラス変換し、周波数領域における  $m$  番目のパワーデバイスの接合温度  $T_j^{(m)}(s)$  を求めると、

$$T_j^{(m)}(s) = \sum_{n=1}^{12} \{ Z'_{m,n}(s) \times P_n(s) \} + T_f(s) \quad (7.3)$$

と表すことができる。ここで、

$$\mathcal{L}[z'_{m,n}(t)] = Z'_{m,n}(s) = \sum_{i=1}^k \left( \frac{r_{m,n}^{(i)}}{1 + s \cdot C_{m,n}^{(i)} \cdot r_{m,n}^{(i)}} \right) \quad (7.4)$$

を用いている。

パワーデバイス間の熱干渉を考慮した熱回路網を構築することにより、接合温度を正確に見積もることができる。

また、今回、開発したシステムでは、リアルタイムコンピュータを用いているため、接合温度をリアルタイムに計算することができる。

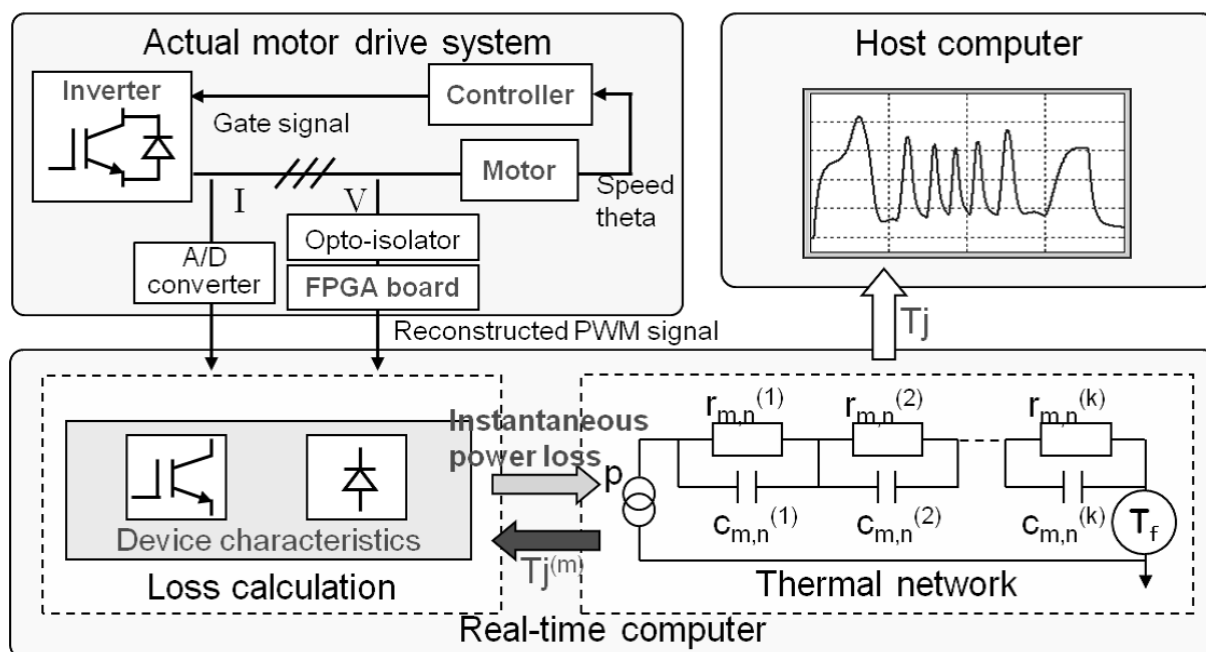


図 7.1: リアルタイム電気・熱連成解析システムの概要

## 7.2 リアルタイム電気・熱連成解析システム

### 7.2.1 システム概要

図 7.1 に、今回開発したリアルタイム電気・熱連成解析システムの概要を示す。3相 IGBT インバータ、永久磁石モータ、制御器、電流検出回路、電圧検出回路と FPGA ボードからなる実機モータ駆動システムとリアルタイムコンピュータ及びホストコンピュータとで構成されている。リアルタイムコンピュータには損失計算プログラム、熱回路網と Look-up Table が組み込まれている。パワーデバイスの接合温度はリアルタイムコンピュータの演算周期  $T_s$  ( $55 \mu\text{s} = 1/18 \text{ [kHz]}$ ) で計算され、計算結果はホストコンピュータを用いてディスプレイにリアルタイムで表示される。

各パワーデバイスの導通状態は、インバータの出力電流信号と出力電圧信号を用いて判定することができる。電流センサで検出した出力電流信号を A/D 変換した後、リアルタイムコンピュータへと転送する。光アイソレーションアンプで絶縁して取得したインバータの出力電圧信号を、FPGA ボード (クロック周波数:  $50 \text{ MHz}$ ) へと転送する。FPGA では、リアルタイムコンピュータの演算周期  $T_s$  ( $55 \mu\text{s}$ ) における、PWM 信号の立ち上がり回数 ( $N_r$ )、立ち下がり回数 ( $N_f$ )、High レベル信号を出力していた時間

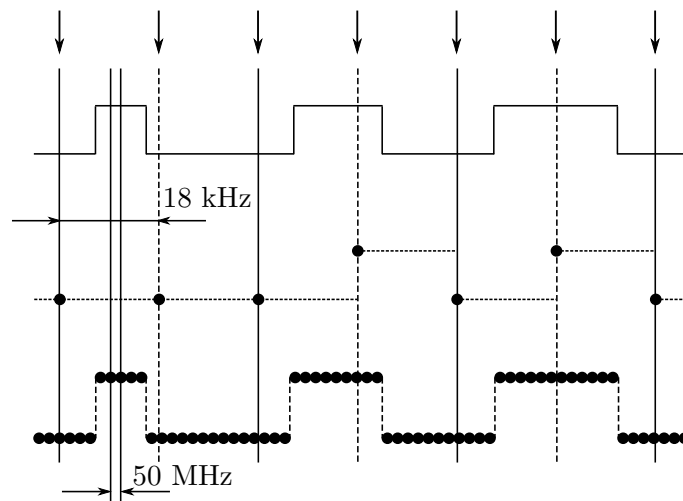


図 7.2: PWM 信号の検出 (上: PWM 信号 (9 kHz), 中: リアルタイムコンピュータの演算周波数 (18 kHz), 下: FPGA の演算周波数 (50 MHz))

(デューティ比:  $D$ ) の 3 つの情報を計算し, インバータの出力電流信号と, インバータの出力電圧に関する 3 つの情報 ( $N_r, N_f, D$ ) を,  $55 \mu\text{s}$  周期でリアルタイムコンピュータに転送する。

パワーデバイスの損失計算には, IGBT の導通損失とスイッチング損失, ならびに, 還流ダイオードの導通損失とリカバリー損失に関する Look-up Table を利用する方法を採用している。これら Look-up Table もリアルタイムコンピュータに組み込んでいるため, 3 相 IGBT インバータの出力電流と出力電圧に関する情報 ( $N_r, N_f, D$ ) を用いることにより, パワーデバイスの瞬時損失を計算することができる。

パワーデバイスで発生する瞬時損失を熱回路網に入力し, パワーデバイスの接合温度を計算する。接合温度はホストコンピュータを用いてディスプレイにリアルタイムで表示される。

### 7.2.2 導通状態の判定と損失計算

接合温度の計算はリアルタイムコンピュータの演算周期  $T_s (55 \mu\text{s})$  で行うため, 導通損失, スwitching 損失を  $55 \mu\text{s}$  ごとのデータで表現する必要がある。3 相 IGBT インバータの出力電流と, 演算周期  $T_s$  におけるインバータの出力電圧に関する情報 ( $N_r, N_f, D$ ) を用いて瞬時損失を計算する。このとき, インバータの出力電圧に関する情報

表 7.1: 各パワーデバイスの導通状態

デバイス	出力電流	出力電圧	オンデューティ
上アーム IGBT	正	High	$D$
下アーム FWD	正	Low	$1 - D$
下アーム IGBT	負	Low	$1 - D$
上アーム FWD	負	High	$D$

( $N_r, N_f, D$ ) を FPGA ボードを用いて計算している理由を図 7.2 を用いて説明する。上段はインバータの出力電圧信号を模式的に示したものである。出力電圧信号が、リアルタイムコンピュータの演算周期よりパルス幅が短いとき、リアルタイムコンピュータの演算周期  $T_s$  で検出すると、中段に示すように正確に検出することができず、また、導通期間が不明であるため、正確に損失を計算することができない。一方、クロック周波数 50 MHz の FPGA を用いてインバータの出力電圧信号を検出すると、下段に示すように PWM 信号を疑似的に再現することが可能となる。このように FPGA ボードを用いることにより、パルス幅が短い信号に対しても、精度よくインバータの出力電圧に関する情報 ( $N_r, N_f, D$ ) を得ることができる。

IGBT と還流ダイオードの導通状態を表 7.1 に示す。インバータの出力電流信号（正または負）と出力電圧信号（High または Low）の組み合わせにより、IGBT と還流ダイオードの導通状態を判定することができる。

例えば、出力電流信号が正（インバータからモータ方向）の期間の場合、出力電圧信号の立ち上がりが上アーム IGBT のターンオン動作に、出力電圧信号の立ち下がりが上アーム IGBT のターンオフ動作に相当するため、High 信号出力期間が上アームの IGBT が導通状態、Low 信号出力期間が下アームの還流ダイオードが導通状態である。

IGBT で発生する損失は導通損失とスイッチング損失であり、ダイオードで発生する損失は導通損失とリカバリー損失である。

IGBT の導通損失については、IGBT の出力特性の温度依存性の試験結果に基づき、コレクタ電流値と温度を入力信号とし、コレクタ・エミッタ間飽和電圧値を出力信号とする Look-up Table を作成する。また、スイッチング損失に関しては、所定の動作条件下におけるスイッチング動作試験結果に基づき Look-up Table を作成する。

ダイオードについても IGBT の場合と同様に、順方向特性の温度依存性の試験から、

順方向電流と温度を入力信号として順方向電圧を出力信号とする Look-up Table を作成する。また，リカバリー特性の温度依存性の測定結果から，順方向電流と温度を入力信号としてリカバリー損失を出力信号とする Look-up Table を作成する。

スイッチング損失やリカバリー損失は，温度，電流値，ゲート駆動回路条件（例えばゲート電圧やゲート抵抗），直流リンク電圧に依存する。そのため，温度，電流値以外に，ゲート駆動回路条件や直流リンク電圧をパラメータとしたスイッチング試験結果に基づき，温度，電流値，ゲート駆動回路条件，直流リンク電圧を Look-up Table の入力信号とし，ターンオン損失，ターンオフ損失，リカバリー損失をそれぞれ出力信号とする Look-up Table を作成することが望ましい。今回は，実際のモータ駆動時におけるゲート駆動回路と同一の駆動回路条件とし，また，モータ駆動時において直流リンク電圧は一定であると仮定して，電流値と温度を入力信号とし，ターンオン損失，ターンオフ損失，リカバリー損失を出力信号とする Look-up Table を作成している。このように，評価するモータ駆動条件に応じて Look-up Table を作成すればよい。

以下，IGBT を例に導通損失，スイッチング損失について述べる。

導通損失に関しては，温度とコレクタ電流を入力信号とし，コレクタ・エミッタ間飽和電圧を出力信号とする Look-up Table を用いる。演算周期  $T_s$  における出力電流の変化量が十分小さいと仮定することにより，出力電流信号とデューティ比の積を演算周期  $T_s$  間の導通期間における等価的コレクタ電流と近似することができる。等価コレクタ電流値と Look-up Table からの出力信号の積を IGBT の導通損失とする。

スイッチング損失に関しては，温度とコレクタ電流を入力信号とし，ターンオン損失  $E_{on}$ ，ターンオフ損失  $E_{off}$  を出力信号とする Look-up Table を用いる。演算周期  $T_s$  における上アーム IGBT のスイッチング損失  $p_{sw}$  は，PWM 信号の立ち上がり回数  $N_r$ ，立ち下がり回数  $N_f$  を用いて式 (7.5) で表される。

$$p_{sw} = (E_{on} \times N_r + E_{off} \times N_f) \times \left(\frac{1}{T_s}\right) \quad (7.5)$$

還流ダイオードの導通損失とリカバリー損失についても同様に算出することができる。

損失計算の概略を上アーム IGBT を例に図 7.3 に示す。ある計算ステップにおいて，温度依存性を考慮した Look-up Table を用いて計算した損失が熱回路網への入力信号となり，接合温度  $T_j$  が計算される。接合温度  $T_j$  は，次の計算ステップにおける Look-up Table への入力信号として用いられる。

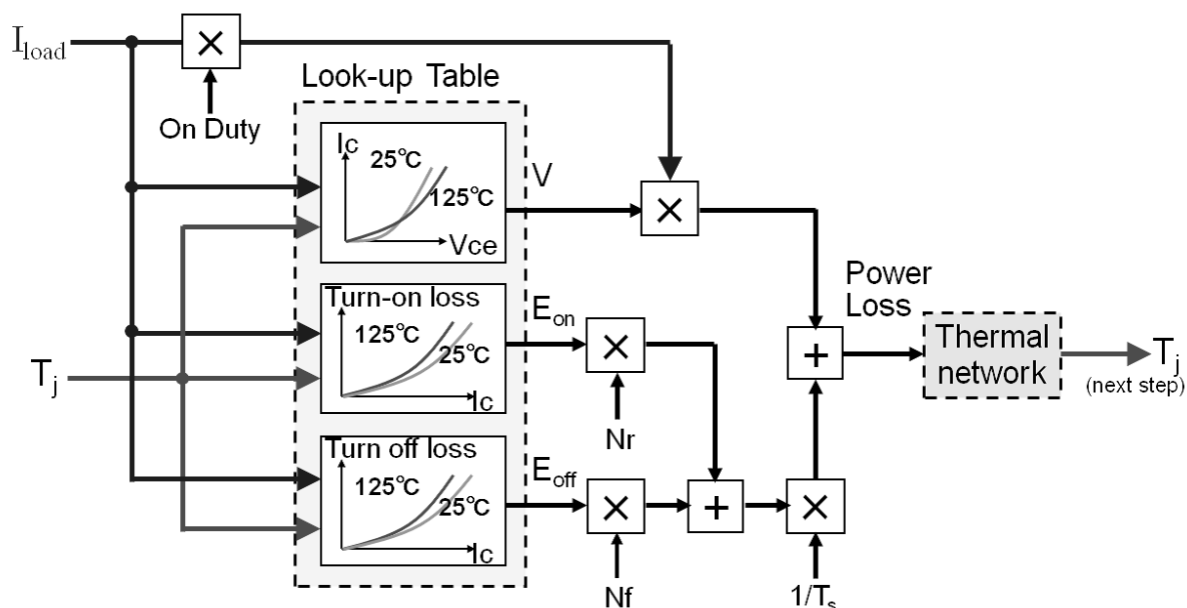


図 7.3: 損失計算のブロックダイアグラム

### 7.2.3 熱回路網の構築

熱回路網の構築には、有限要素法を用いた過渡熱解析から構築する方法と、実験的に構築する方法の2つの方法がある。いずれの方法においても、ある1つのパワーデバイスに対してステップ状の熱量を与え、そのときの全チップの温度上昇の時間変化を測定して過渡熱インピーダンスを算出する。発熱源とするパワーデバイスを変更して過渡熱インピーダンスの算出を繰り返し実施することにより、全パワーデバイスに対して作成した過渡熱インピーダンスから熱回路網を構築する。本章では、実験的に熱回路網を構築する方法を採用している。

熱回路網を構築するため、ゲル未封入、パッケージ開封状態としたIGBTモジュール（以下、オープンサンプル）を準備し、モジュール内部を黒色塗料で塗布した。このオープンサンプルを用いることにより、赤外線カメラを用いたパワーデバイスの表面温度の実測が可能となる。ある1つのパワーデバイスにステップ状の電流を流し、全パワーデバイスと冷却フィンの温度の過渡応答を測定した。冷却フィン温度の測定には熱電対を用い、パワーデバイス温度評価の基準温度とした。

冷却フィン温度を基準とした過渡熱インピーダンス  $z_{m,n}(t)$  の算出方法についてU相上アームIGBT発熱時を例に説明する。U相上アームのIGBTに5Aの電流をステップ

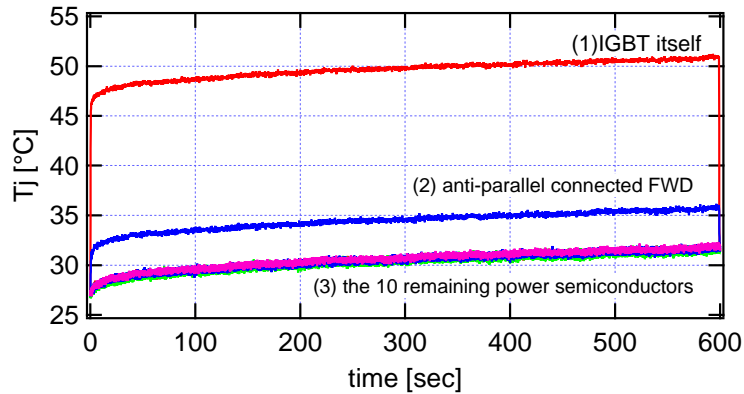


図 7.4: 各パワーデバイスのステップ熱応答

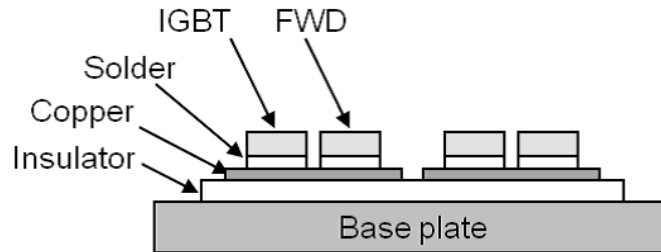


図 7.5: IGBT モジュールの断面概略図

状に流して 6.4 W の熱量を与えた時の全パワーデバイスの表面温度の過渡応答を図 7.4 に示す。

温度上昇の様子は、(1) 発熱源である U 相上アーム IGBT、(2) 発熱源の IGBT に逆並列に接続されている U 相上アームの還流ダイオード、(3) U 相上アーム以外の 10 個のパワーデバイスの 3 つのパターンに分類することができる。

図 7.5 に IGBT モジュールの断面の概略を示す。U 相上アームの還流ダイオードは、そのカソード電極面が発熱源である IGBT のコレクタ電極面と同一の銅パターンにハンダ付けされているため、熱干渉効果が大きく、比較的大きな温度上昇を示す。しかし、他の 10 個のパワーデバイスは、積層方向の熱伝導率を考慮すると IGBT モジュールのベース板を介して温度上昇するため、発熱源の IGBT からの熱干渉の影響が小さく、これら 10 個の素子間における温度上昇はほぼ等しくなる。

式 (7.2) において、U 相上アームの IGBT を  $m = 1$  とすると、自己発熱による過渡熱

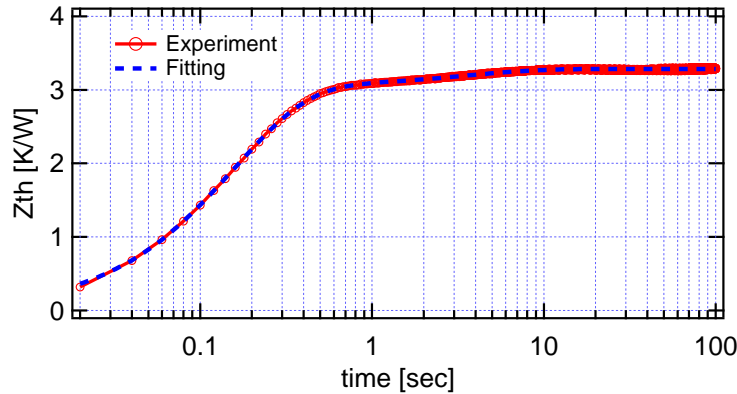


図 7.6: U 相上アーム IGBT のジャンクション・フィン間の過渡熱インピーダンス

インピーダンス  $z_{1,1}(t)$  は，与えた熱量  $p_1(t)$  を用いて式 (7.6) で表すことができる。

$$z_{1,1}(t) = \frac{T_j^{(1)}(t) - T_f(t)}{p_1(t)} \quad (7.6)$$

U 相上アームの IGBT の自己発熱によるパワーデバイス表面と冷却フィン間の過渡熱インピーダンス  $z_{1,1}(t)$  を図 7.6 に示す。実線は実測結果を，破線は式 (7.7) を満たすように最小二乗法を用いてカーブフィッティングした結果を示している。

$$z_{1,1}(t) = \sum_{i=1}^2 \left[ r_{1,1}^{(i)} \cdot \left\{ 1 - \exp\left(-\frac{t}{c_{1,1}^{(i)} \cdot r_{1,1}^{(i)}}\right) \right\} \right] \quad (7.7)$$

式 (7.7) を満たすようにカーブフィッティングを行うことにより，過渡熱インピーダンスのパラメータである熱抵抗  $r_{1,1}^{(i)}$  ( $i = 1, 2$ ) と熱容量  $c_{1,1}^{(i)}$  ( $i = 1, 2$ ) を導出することができる。残りの 11 個のパワーデバイス ( $m = 2, 3, \dots, 12$ ) の温度上昇に対して同様のカーブフィッティングを行うことにより，U 相上アーム IGBT 発熱時の過渡熱インピーダンス  $z_{1,1}(t)$ ,  $z_{2,1}(t)$ ,  $\dots$ ,  $z_{12,1}(t)$  を求めることができる。

また，U 相上アームの IGBT 以外のパワーデバイス ( $m = 2, 3, \dots, 12$ ) について 1 個ずつ同様の実験を行い，式 (7.2) を満たすカーブフィッティング結果から，過渡熱インピーダンス  $z_{m,n}(t)$  のパラメータ  $r_{m,n}^{(i)}$ ,  $c_{m,n}^{(i)}$  ( $i = 1, 2$ ) を導出することができる。このようにして，すべてのパワーデバイス間の熱干渉を考慮することで，パワーデバイスの接合温度を正確に評価することができる。

### 7.3 接合温度評価結果と赤外線カメラによる実験結果の比較

6-in-1 タイプの IGBT モジュール（定格：600-V, 15-A）を用いて 3 相の永久磁石モータ（定格：0.75 kW）を駆動した際の各パワーデバイスの接合温度を，今回開発したリアルタイム電気・熱連成解析システムを用いて評価した。同時に，赤外線カメラ（撮影レート：30 Hz）を用いて半導体素子の表面温度を測定し，両者の結果を比較した。また，リアルタイム電気・熱連成解析システムにおける熱回路網を構築する際，冷却フィン温度を基準温度としたことから，冷却フィン温度を熱電対を用いて測定した。このとき冷却フィン温度の測定箇所を熱回路網作成時における測定箇所と等しくすることにより整合性をとっている。

実験に使用した永久磁石モータの諸元を表 7.2 に，モータ駆動条件を表 7.3 に示す。IGBT 及び還流ダイオードの温度上昇が大きくなる動作条件として，条件 A と条件 B の 2 ケースに対して実験した。いずれの動作条件も低速運転動作であり，かつ，始動時と停止時にそれぞれ 0.5 秒間のモータロック期間を設定している。条件 A では 3 秒間加速した後，ただちに 3 秒間減速させた。一方，条件 B では 0.8 秒間の加速後，0.8 秒間の一定速度期間を設け，その後 0.8 秒間で減速させた。なお，インバータのキャリア周波数は 9 kHz とした。

動作条件 A におけるモータの回転速度，負荷トルクを図 7.7 に，このときのモータ電流波形の実測結果を図 7.8 に示す。図 7.8 から，V 相の負荷電流は始動直後の直流状態から正方向に電流が流れているため，V 相上アームの IGBT が急激に温度上昇することが推測できる。V 相上アームの IGBT と逆並列接続された還流ダイオードの接合温度について，リアルタイム電気・熱連成解析システムによる評価結果と赤外線カメラによる測定結果の比較をそれぞれ図 7.9，図 7.10 に示す。図 7.9，図 7.10 において，実線は赤外線カメラによる実測結果を，破線は熱干渉を考慮した際のリアルタイムシステムによる評価結果である。参考までに熱干渉の影響を無視した際の評価結果を点線で示している。

動作条件 A では，モータがロックした状態から徐々にモータの回転速度は速くなる。その後，モータの回転速度は遅くなり，停止直前に再びロック状態となる。始動直後はモータに直流電流が流れているため，IGBT の接合温度は室温から 75°C 近くまで急激に上昇する。その後，正弦波の負荷電流が流れているが，高々 2 Hz<sup>注1</sup>程度という低周波数であるため，接合温度は急激な温度変化を示す。停止直前に再び直流電流が流れる

<sup>注1</sup> 最高速度が 40 r/min で極対数が 3 であることから，周波数は最高で 2 Hz である。

表 7.2: モータパラメータ

定格出力	定格速度	定格トルク	定格電流	極対数
750 W	3000 r/min	2.29 N·m	5.14 A <sub>rms</sub>	3

表 7.3: 動作条件

条件	最高速度	負荷トルク	ロック期間	加速期間	定速期間
A	40 r/min	150%	0.5 sec	3.0 sec	0 sec
B	150 r/min	100%	0.5 sec	0.8 sec	0.8 sec

ために IGBT の接合温度は 60°C 近くまで上昇している。

また、パワーデバイス間の熱干渉を考慮することにより、接合温度の過渡応答を正確に評価することができ、実測結果と比較して極めてよく一致していることがわかる。熱干渉の効果は、オフ状態になったときのパワーデバイスの接合温度に顕著に表れている。熱干渉を考慮しない場合、オフ状態では接合温度は低下していくのに対し、熱干渉を考慮することにより、他のパワーデバイスからの熱干渉の影響を受けて接合温度の低下は緩やかになっている。

動作条件 B におけるモータの回転速度、負荷トルクを図 7.11 に、モータ電流波形の実測結果を図 7.12 に示す。動作条件 A 同様に、V 相上アームの IGBT が急激に温度上昇することが推測できることから、V 相上アームの IGBT と還流ダイオードの接合温度について、リアルタイム電気・熱連成解析システムによる評価結果と赤外線カメラによる測定結果の比較をそれぞれ図 7.13、図 7.14 に示す。図 7.13、図 7.14 において、実線は赤外線カメラによる実測結果を、破線は熱干渉を考慮した際のリアルタイムシステムによる評価結果を示している。動作条件 B では、モータがロックした状態から加速して一定速度に達した後、減速し、ロック状態を経て停止する。始動直後、モータには直流電流が流れているため、IGBT の接合温度は 50°C 近くまで急激に上昇する。加速した後、モータの回転速度は 150 r/min で一定となり、接合温度の変化は緩やかとなる。減速後、停止直前に再び直流状態となるため、IGBT の接合温度は 45°C 近くまで上昇している。動作条件 B では、負荷トルクを 100% と、動作条件 A と比較して小さくしているため、パワーデバイスの接合温度の上昇は小さくなっている。

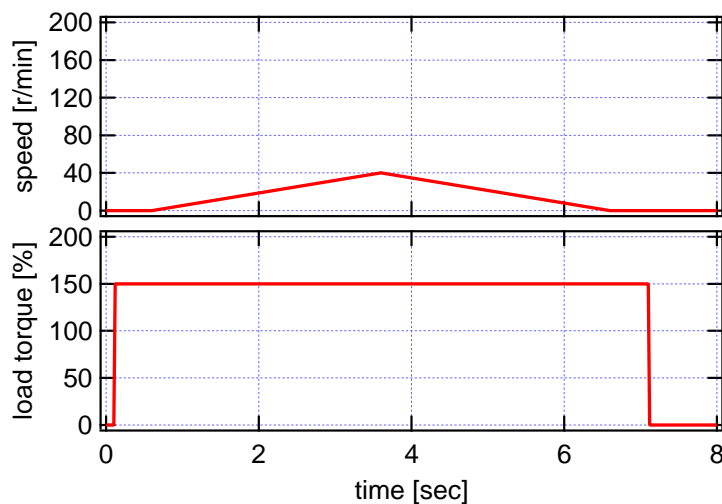


図 7.7: 動作条件 A

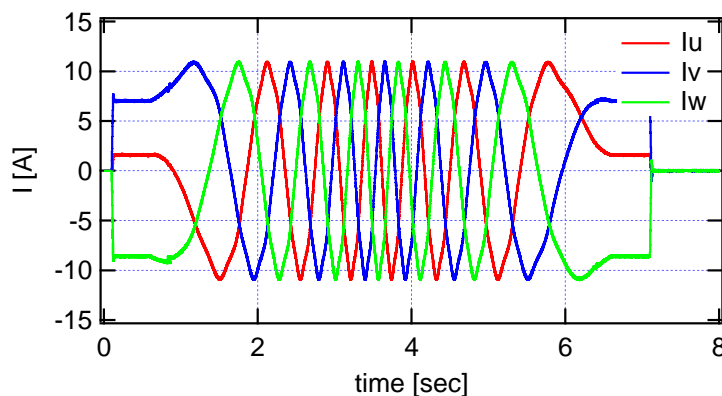


図 7.8: 条件 A のモータ電流波形

動作条件 A, B いずれにおいても, リアルタイムシステムによる評価結果と赤外線カメラによる測定結果はよく一致している。本システムによる評価結果を  $T_{j,(sim)}$ , 両者の平均値を  $T_{j,(ave)}$  として, 偏差  $\Delta T_j$  を式 (7.8) で, 誤差率  $\varepsilon$  を式 (7.9) で定義する。

$$\Delta T_j = T_{j,(sim)} - T_{j,(ave)} \quad (7.8)$$

$$\varepsilon = \frac{\Delta T_j}{T_{j,(ave)}} \times 100 \quad (7.9)$$

動作条件 A における V 相上アームの IGBT と還流ダイオードの各時刻における偏差  $\Delta T_j$  を図 7.15 に, 動作条件 B における偏差  $\Delta T_j$  を図 7.16 に示す。動作条件 A, B における偏差はそれぞれ 2 K 以内, 1 K 以内であることがわかる。また, 誤差率を求めると,

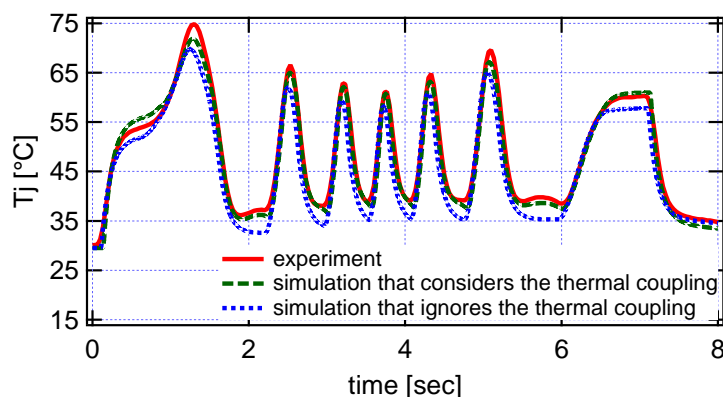


図 7.9: 条件 A での IGBT 温度の実測結果と解析結果の比較

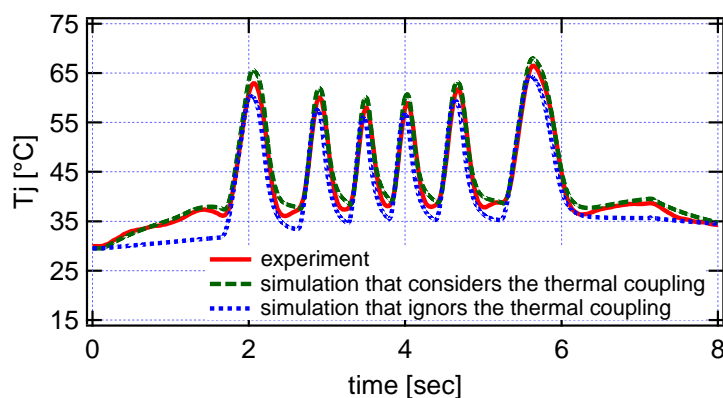


図 7.10: 条件 A での還流ダイオード温度の実測結果と解析結果の比較

動作条件 A に対しては約 4%，動作条件 B に対しては約 3% となり，本システムによる評価結果は赤外線カメラによる実験結果とよく一致している。なお，赤外線カメラの撮影レートは 30 Hz，リアルタイムコンピュータのサンプリング周波数が 18 kHz と異なることから，赤外線カメラによる測定結果に対して内挿する形でデータ点数をそろえて演算処理を行っている。また，測定タイミングは両者で特に同期していないため，演算誤差が多少存在している。

今回開発したリアルタイム電気・熱連成解析システムでは，リアルタイムでパワーデバイスの接合温度の評価は完了する。従来の電気・熱連成解析では，動作条件 A に対して約 3 時間（CPU：3 GHz，RAM：8 GB）要しており，本システムの有効性がわかる。

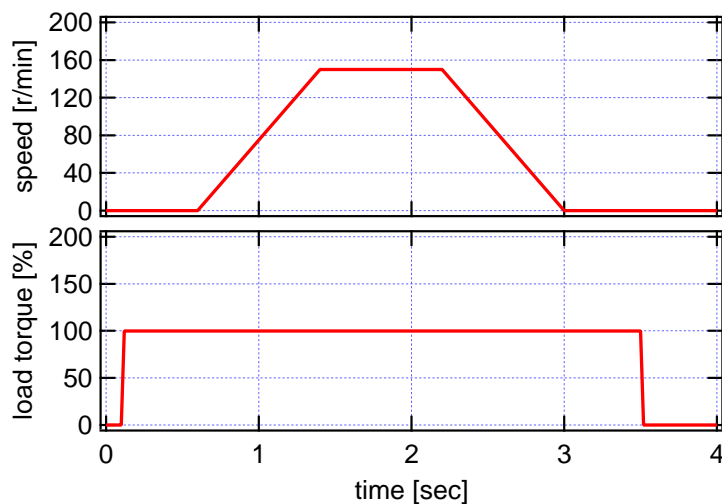


図 7.11: 動作条件 B

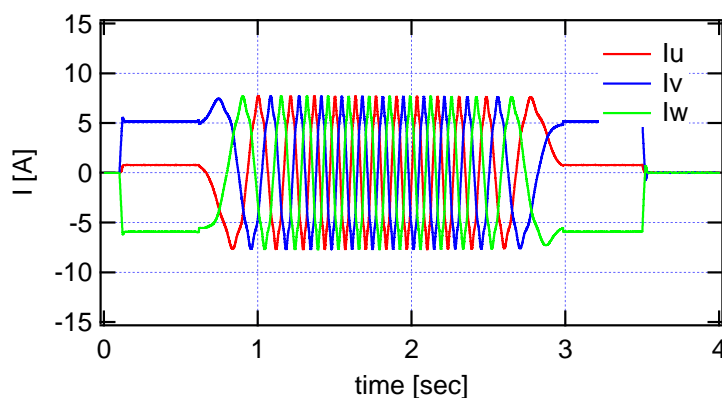


図 7.12: 条件 B のモータ電流波形

## 7.4 第 7 章まとめ

電気・熱連成解析技術をリアルタイム化することにより、電力変換器の実動作中におけるパワーデバイスの接合温度を評価するリアルタイム電気・熱連成解析システムを開発した。

リアルタイム電気・熱連成解析システムを用いた、永久磁石モータ駆動時におけるパワーデバイスの接合温度の解析結果は、赤外線カメラによる実測結果との誤差率が 4% 以内と非常によく一致した。

本システムは、赤外線カメラが不要であることから、パワーモジュール構造や電力変

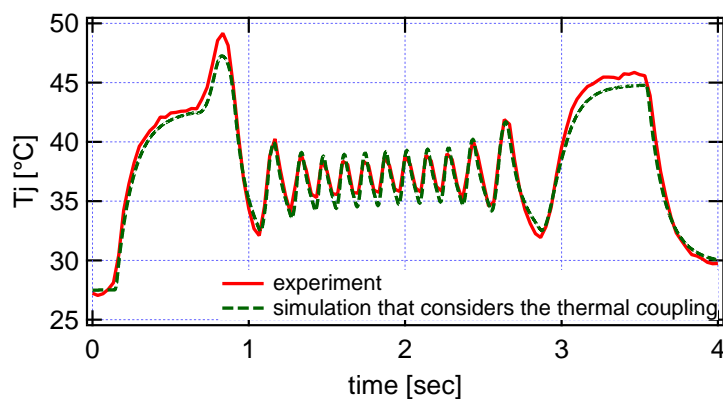


図 7.13: 条件 B での IGBT 温度の実測結果と解析結果の比較

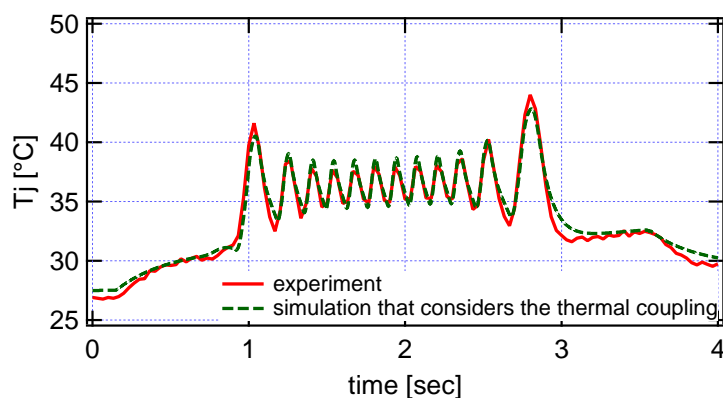


図 7.14: 条件 B での還流ダイオード温度の実測結果と解析結果の比較

換器の構成に関わらず，実動作中におけるパワーデバイス温度の評価が可能である。また，定常動作運転のほか，過渡的に急激な温度上昇が予想される極低速運転や短時間過負荷運転といった非定常動作に対しても，実機を用いてパワーデバイス温度を評価することが可能である。本システムを用いることで，パワーデバイスの温度履歴を得ることができることから，パワーサイクル寿命やヒートサイクル寿命を推定する信頼性評価装置としての活用も期待できる。

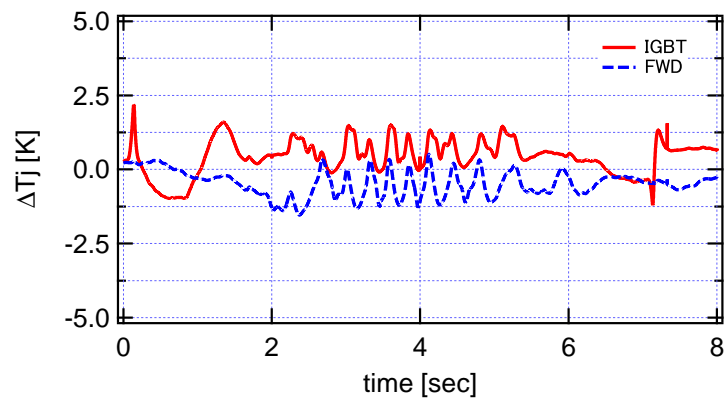


図 7.15: 条件 A での解析結果と実測結果の偏差

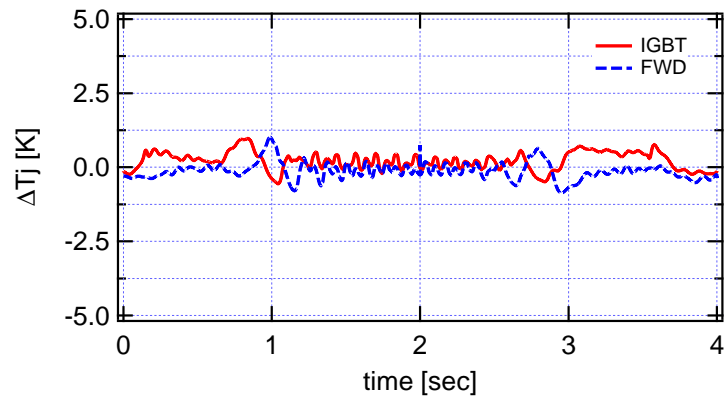


図 7.16: 条件 B での解析結果と実測結果の偏差

## 第 8 章

### 結論

#### 8.1 本研究の成果

本研究では、パワーデバイスモデルと電気・熱連成解析に焦点を当て、電力変換器の高信頼性化を実現するための技術開発に取り組んだ。具体的には、

- パワーデバイスモデルの構築
- デバイスモデルを用いた並列接続動作に対する設計指針の検討
- 高速短絡保護回路の検討及び設計・開発
- パワーデバイス温度評価方法のリアルタイム化に関する検討

である。大容量変換器設計における設計指針、短絡保護回路の開発、変換器連続動作中におけるデバイス温度評価は、いずれも電力変換器の信頼性に大きく関わる内容である。それぞれの成果について以下に記す。

##### 8.1.1 パワーデバイスモデルの構築

回路シミュレータで動作するパワーデバイスモデルとして、pin ダイオードモデルと IGBT 物理モデルを構築した。ドリフト層における過剰キャリアの挙動を一次元の両極性拡散方程式を用いることで、伝導度変調に基づくバイポーラパワーデバイスのスイッチング動作を表現している。pin ダイオードモデルは、バイポーラパワーデバイスの最も基本的な構成であり、後で述べる IGBT 物理モデル作成に対する第一ステップとしての位置付けとしても重要である。IGBT 物理モデルについては、pin ダイオードと MOSFET の並列接続を基本構造とし、ゲート、コレクタ、エミッタの各端子間に電圧

依存性を有した容量を接続する構成である。各端子間容量は実験結果に基づき設定している。特に、スイッチング動作に大きな影響を与えるコレクタ・ゲート間容量、ゲート・エミッタ間容量は、スイッチング動作時におけるゲート電荷特性に基づく端子間容量の設定方法を提案した。

### 8.1.2 パワーデバイスモデルを用いた並列接続動作解析

パワーデバイスモデルの応用として、それぞれの並列接続動作解析に適用した。pin ダイオード、IGBT それぞれの並列接続動作について、配線インダクタンス差、デバイス温度差やデバイス特性差など特定の動作条件下で過渡的な電流アンバランスが発生する。この電流アンバランスの原因をパワーデバイスのドリフト層内の過剰キャリアの挙動に基づき理論的解釈を示した。pin ダイオードの並列動作時のリカバリ波形の複雑な変化が、各 pin ダイオードの過剰キャリアの挙動の違いによる空乏層形成タイミングの差異に起因することを理論的に解明した。同様に、IGBT の並列動作に対しても、電流アンバランス波形がドリフト層内の過剰キャリアの挙動に依存することを確認した。

### 8.1.3 IGBT 物理モデルを用いた電気・熱連成解析

IGBT の並列接続動作において、配線インダクタンス差や閾値電圧差が電流アンバランスあるいはデバイス温度に与える影響を、IGBT 物理モデルを用いて定量的に評価し、設計指針の検討を行った。今回構築した高精度な IGBT 物理モデルを用いることにより、並列接続動作の設計指針の検討に対するパワーデバイスモデルの有効性を明らかにした。

また、アーム短絡、負荷短絡動作に対して、電気・熱連成解析を適用することにより、コレクタ電流やコレクタ・エミッタ間電圧、ゲート・エミッタ間電圧の各波形が実験結果を高精度に再現できることを示した。デバイスモデル及び電気・熱連成解析の信頼性設計に対する有効性を明らかにした。

### 8.1.4 IGBT 物理モデルを用いた短絡保護回路開発

ゲート電荷特性を利用した短絡保護回路を提案し、IGBT 物理モデルを用いたシミュレーションならびに実験によりその妥当性を検証した。アーム短絡については、コレク

タ電流が流れ始めてからわずか  $1 \mu\text{s}$  程度で短絡を検知・保護を実現した。また、負荷短絡については、コレクタ電流がピーク値に到達するタイミングで負荷短絡を検知・保護を実現しており、いずれも実用的見地から十分高速である。更に、本方式は、コレクタ・エミッタ間電圧検出用の高耐圧ダイオードやコレクタ電流検出センサが不要であることから安価であり、また、短絡検出期間を設定する必要がないため、回路設計が容易となる。更に、アーム短絡、負荷短絡ともに同一の回路構成（判定基準値は異なる）で保護できるという長所を備えている。

### 8.1.5 電気・熱連成解析技術のリアルタイム化

寿命設計（長期的信頼性評価）に不可欠な、パワーデバイス温度の評価方法について、電気・熱連成解析技術とリアルタイムコンピューティング技術を組み合わせたリアルタイム電気・熱連成解析システムを提案・開発した。電力変換器を用いて実際にモータを駆動した際における IGBT 及び還流ダイオードの温度をリアルタイムに評価し、赤外線カメラによる測定結果と比較して 4% の誤差率でデバイス温度評価を実現した。リアルタイム電気・熱連成解析システムは、電気・熱連成解析技術の製品評価試験への実用化例である。デバイス温度の評価に必須であった赤外線カメラは不要となり、モジュール構造や電力変換器の構成によらずデバイス温度の評価可能な極めて有効なシステムである。

## 8.2 今後の展望

現在は IGBT が主要なスイッチングデバイスであるが、SiC-MOSFET デバイスの開発が進み、SiC-MOSFET を実装したパワーモジュール、電力変換器が実用化されつつある。今後は、SiC-MOSFET に対する高精度なデバイスモデルの構築が必要である。また、電力変換器の高信頼性化の観点から、ノイズ評価も極めて重要なテーマであることから、IGBT 物理モデル並びに SiC-MOSFET モデルを用いたノイズ評価が期待される。

## 参考文献

- [1] T. Fukao, “Power electronics: I. Expectations for and roles of power electronics”, *IEEJ Trans. IA*, vol. 112, no. 1, pp. 2–5, Jan. 1992. (in Japanese)  
深尾正 : 「パワーエレクトロニクス –I. パワーエレクトロニクス技術への期待と果たすべき役割–」, 電気学会論文誌 D, vol. 112, no. 1, pp. 2–5, 1992-1.
- [2] I. Takata, and G. Majumdar “Trends Related to Power Device Technologies (I)”, *IEEJ Journal*, vol. 129, no. 12, pp. 817–820, Dec. 2009. (in Japanese)  
高田育紀, ゴーラブ マジウムダール : 「パワーモジュールの発展と動向 (I) –パワーデバイス発展の歴史–」, 電気学会誌, vol. 129, no. 12, pp. 817–820, 2009-12.
- [3] K. Sato, and M. Yamamoto “Progress of Power Semiconductor Devices. 2. Development of Gate Commutated Turn-off Thyristor”, 佐藤克己, 山元正則 : 「GCT サイリスタの開発状況–ゲート転流形ターンオフサイリスタ–」, *IEEJ*, vol. 118, no. 5, pp. 270–273, May 1998. (in Japanese)  
電気学会誌, vol. 118, no. 5, pp. 270–273, 1998-5.
- [4] 関谷恒人, 古畑昌一, 伊藤伸一, 春木弘 : 「富士大容量トランジスタ」, 富士時報, vol. 51, no. 6, pp. 6–10, 1978-6.
- [5] 関谷恒人, 小林経広, 古畑昌一, 伊藤伸一, 上条健友 : 「ビルディング ブロック トランジスタ (BBT)」, 富士時報, vol. 53, no. 2, pp. 24–29, 1980-2.
- [6] H. Nishiumi, I. Takata, Y. Takagi and S. Kojima, “High Voltage High Power Transistor Modules for 440V Line Voltage Applications”, in *Proc. IEEJ-IPEC Tokyo 1983*, pp. 297–305.

- [7] B. J. Baliga, M. S. Adler, P. V. Gray, R. P. Love, and N. Zommer, “The Insulated Gate Rectifier (IGR): A New Power Switching Device”, in *Proc. IEEE-IEDM 1982*, pp. 264–267.
- [8] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe, “Non-Latch-up 1200 V 75 A Bipolar Mode MOSFET With Large ASO”, in *Proc. IEEE-IEDM 1984*, pp. 860–861.
- [9] I. Takata, and G. Majumdar “Trends Related to Power Device Technologies (II)”, *IEEJ Journal*, vol. 130, no. 1, pp. 32–36, Jan. 2009. (in Japanese)  
高田育紀, ゴーラブ マジウムダール:「パワーモジュールの発展と動向 (II) –IGBT モジュールへの発展–」, 電気学会誌, vol. 130, no. 1, pp. 32–36, 2010-1.
- [10] L. Lorenz, G. Deboy, A. Knapp, and M. Marz, “COOLMOS<sup>TM</sup>—a new milestone in high voltage power MOS”, in *Proc. IEEE-ISPSPD 1999*, pp. 3–10.
- [11] 電気学会・半導体電力変換システム調査委員会編:「パワーエレクトロニクス回路」第5章, オーム社, 2000-11.
- [12] N. Hatano, M. Yamada, A. Iwata, and T. Kikunaga, “Effective operation method of the voltage sag compensator with controlled gradational voltage by interdependent use of capacitor energy on different phase of a power line”, *IEEJ Trans. IA*, vol. 125, no. 1, pp. 3-8-45, Jan. 2005. (in Japanese)  
羽田野伸彦, 山田正樹, 岩田明彦, 菊永敏之:「階調制御型瞬低補償装置における相間エネルギー流用制御」, 電気学会論文誌 D, vol. 125, no. 1, pp. 38–45, 2005-1.
- [13] M. Yamada, A. Suzuki, A. Iwata, T. Kikunaga, H. Yoshiyasu, K. Yamamoto, and N. Hatano, “Proposal of voltage transient sag compensator with controlled gradational voltage”, *IEEJ Trans. IA*, vol. 125, no. 2, pp. 119–125, Feb. 2005. (in Japanese)  
山田正樹, 鈴木昭弘, 岩田明彦, 菊永敏之, 吉安一, 山本和生, 羽田野伸彦:「階調制御型瞬低補償装置の提案」, 電気学会論文誌 D, vol. 125, no. 2, pp. 119–125, 2005-2.
- [14] M. Yamada, A. Suzuki, A. Iwata, T. Kikunaga, H. Yoshiyasu, K. Yamamoto, and

- N. Hatano, “Effective operation method by interdependent use of condenser energy of the voltage transient sag compensator with controlled gradational voltage”, *IEEEJ Trans. IA*, vol. 125, no. 2, pp. 126–132, Feb. 2005. (in Japanese)
- 山田正樹, 鈴木昭弘, 岩田明彦, 菊永敏之, 吉安一, 山本和生, 羽田野伸彦: 「階調制御型瞬低補償装置におけるエネルギー流用制御」, *電気学会論文誌 D*, vol. 125, no. 2, pp. 126–132, 2005-2.
- [15] T. Ohi, T. Horiguchi, T. Okuda, T. Kikunaga, and H. Matsumoto, “Analysis and measurement of chip current imbalances caused by the structure of bus bars in an IGBT module”, in *Proc. IEEE-IAS Annu. Meeting 1999*, vol. 3, pp. 1775–1779.
- [16] O. Usui, H. Nakatake, and T. Ohi, “Analysis of the dynamic characteristics of a power semiconductor module considering the influence of electromagnetic coupling between wiring”, in *Proc. EPE 2005*.
- [17] C. Martin, J.-M. Guichon, J.-L. Schanen, and R.-J. Pasterczyk, “Gate Circuit Layout Optimazation of Power Module Regarding Transient Current Imbalance”, *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1176–1184, Sep. 2006.
- [18] A. T. Bryant, P. A. Mawby, P. R. Palmer, E. Santi, and J. L. Hudgins: “Exploration of Power Device Reliability Using Compact Device Models and Fast Electrothermal Simulation”, *IEEE Trans. Industry Appl.*, vol. 44, no. 3, pp. 894–903, May/Jun. 2008.
- [19] Ph. Leturcq, O. Berraies, J.-L. Debie, P. Gillet, M. A. Kallala, and J.-L. Massol: “Bipolar Semiconductor Device Models for Computer-Aided Design in Power Electronics”, in *Proc. EPE 1995*, vol. 1, pp. 222–227.
- [20] Ph. Leturcq, O. Berraies, and J.-L. Massol: “Implementation and Validation of a New Diode Model for Circuit Simulation”, in *Proc. IEEE-PESC 1996*, vol. 1, pp. 35–43.
- [21] P. Gillet, M. A. Kallala, J.-L. Massol and Ph. Leturcq: “Analog Solution of the Ambipolar Diffusion Equations”, *C. R. Acad Sci. Paris*, t. 321, Série II b, pp. 53–

- 59, 1995.
- [22] H. Schlangenotto and W. Gerlach: “On the Effective Carrier Lifetime in p-s-n Rectifiers at High Injection Levels”, *Solid-state Electron.*, vol. 12, no. 4, pp. 265–275, Apr. 1969.
- [23] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer: “Parameter Extraction for a Power Diode Circuit Simulator Model Including Temperature Dependent Effects”, in *Proc. IEEE-APEC 2002*, vol. 1, pp. 452–458.
- [24] G. Bonnet, P. Austin, and J. L. Sanchez: “New distributed model of NPT IGBT dedicated to power circuits design”, *Microelectronics Reliability*, vol. 44, no. 1, pp. 79–88, Jan. 2004.
- [25] E. Napoli, A. Strollo, and P. Spirito: “Numerical Analysis of Local Lifetime Control for High-Speed Low-Loss P-i-N Diode Design”, *IEEE Trans. Power Electron.*, vol. 14, no. 4, pp. 615–621, Jul. 1999.
- [26] A. T. Bryant, L. Lu, E. Santi, P. R. Palmer, and J. L. Hudgins: “Physical Modeling of Fast p-i-n Diodes With Carrier Lifetime Zoning, Part I: Device Model”, *IEEE Trans. Power Electron.*, vol. 23, no. 1, pp. 189–197, Jan. 2008.
- [27] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physical Modeling of Fast p-i-n Diodes With Carrier Lifetime Zoning, Part II: Parameter Extraction”, *IEEE Trans. Power Electron.*, vol. 23, no. 1, pp. 198–205, Jan. 2008.
- [28] B. J. Baliga: “Analysis of Insulated Gate Transistor Turn-Off Characteristics”, *IEEE Electron Device Lett.*, vol. EDL-06, no. 2, pp. 74–77, Feb. 1985.
- [29] A. R. Hefner, and D. L. Blackburn: “An Analytical Model for the Steady-State and Transient Characterization of the Power Insulated-Gate Bipolar Transistor”, *Solid State Electron.*, vol. 31, no. 10, pp. 1513–1532, Oct. 1988.
- [30] N. Tokura: “Milestones Achieved in IGBT Development over the Last 25 Years (1984 ~ 2009)”, *IEEJ Trans. IA*, vol. 131, no. 1, pp. 1–8, Jan. 2011. (in Japanese)

- 戸倉規仁：「四半世紀にわたる IGBT 開発の軌跡（1984 年～2009 年）」，電気学会論文誌 D, vol. 131, no. 8, pp. 1–8, 2011-1.
- [31] M. Harada, T. Minato, T. Takahashi, H. Nishihara, K. Inoue and I. Takata: “600V Trench IGBT in comparison with Planer IGBT – An Evaluation of the Limit of IGBT Performance –”, in *Proc. IEEE-ISPSPD 1994*, pp. 411–416.
- [32] I. Takata: “The Advanced IGBTs – From the Devices to Modules –”, 1996 National Convention Record, IEE Japan, Advanced Tech. Seminar, pp. 17–25, Mar. 1996. (in Japanese)
- 高田育紀：「IGBT 最先端 –デバイスからモジュールまで–」，平成 8 年電気学会全国大会，先端技術セミナー，pp. 17–25, 1996-3.
- [33] Ph. Leturcq, J.-L. Debrie, and O. Berraies: “A Distributed Model of IGBTs for Circuit Simulation”, in *Proc. EPE 1997*, vol. 1, pp. 494–501.
- [34] P. M. Igit, P. A. Mawby, and M. S. Towers: “Physics-Based Dynamic Electro-Thermal Models of Power Bipolar Devices (Pin Diode and IGBT)”, in *Proc. IEEE-ISPSPD 2001*, pp. 381–384.
- [35] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer: “Characterization and Modeling of High-Voltage Field-Stop IGBTs”, *IEEE Trans. Industry Appl.*, vol. 39, no. 4, pp. 922–928, Jul./Aug. 2003.
- [36] D. S. Kuo, J. Y. Choi, D. Giandomenico, C. Hu, S. P. Sapp, K. A. Sassman, and R. Bregar: “Modeling the Turn-Off Characteristics of the Bipolar-MOS Transistor”, *IEEE Electron Device Lett.*, vol. EDL-06, no. 5, pp. 211–214, May 1985.
- [37] D. S. Kuo, C. Hu, and S. P. Sapp: “An Analytical Model for the Power Bipolar-MOS Transistor”, *Solid State Electron.*, vol. 29, no. 12, pp. 1229–1237, Dec. 1986.
- [38] A. R. Hefner, Jr.: “An Investigation of the Drive Circuit Requirements for the Power Insulated Gate Bipolar Transistor(IGBT)”, *IEEE Trans. Power Electron.*, vol. 6, no. 2, pp. 208–219, Apr. 1991.

- [39] A. R. Hefner, Jr., and D. M. Diebolt: “An Experimentally Verified IGBT Model Implemented in the Saber Circuit Simulator”, *IEEE Trans. Power Electron.*, vol. 9, no. 5, pp. 532–542, Sep. 1994.
- [40] A. R. Hefner, Jr.: “A Dynamic Electro-Thermal Model for the IGBT”, *IEEE Trans. Industry Appl.*, vol. 30, no. 2, pp. 394–405, Mar./Apr. 1994.
- [41] A. R. Hefner, Jr.: “Modeling Buffer Layer IGBT’s for Circuit Simulation”, *IEEE Trans. Power Electron.*, vol. 10, no. 2, pp. 111–123, Mar. 1995.
- [42] Ph. Leturcq: “A Study of Distributed Switching Processes in IGBTs and Other Power Bipolar Devices”, in *Proc. IEEE-PESC 1997*, vol. 1, pp. 139–147.
- [43] P. R. Palmer, J. C. Joyce, P. Y. Eng, J. L. Hudgins, E. Santi, and R. Dougal: “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, in *Proc. IEEE-PESC 2001*, vol. 4, pp. 2171–2177.
- [44] P. R. Palmer, E. Santi, J. L. Hudgins, X. Kang, J. C. Joyce, and P. Y. Eng: “Circuit Simulator Models for the Diode and IGBT With Full Temperature Dependent Features”, *IEEE Trans. Power Electron.*, vol. 18, no. 5, pp. 1220–1229, Sep. 2003.
- [45] L. Lu, S. G. Pytel, E. Santi, A. T. Bryant, J. L. Hudgins, and P. R. Palmer: “Physical Modeling of Forward Conduction in IGBTs and Diodes”, in *Proc. IEEE-IAS Annu. Meeting 2005*, vol. 4, pp. 2635–2642.
- [46] L. Lu, A. T. Bryant, E. Santi, J. L. Hudgins, and P. R. Palmer: “Physics-Based Model of IGBT Including MOS Side Two-Dimensional Effects”, in *Proc. IEEE-IAS Annu. Meeting 2006*, vol. 3, pp. 1457–1464.
- [47] C. M. Johnson: “Comparison of Silicon and Silicon Carbide Semiconductors for a 10 kV Switching Applications”, in *Proc. IEEE-PESC 2004*, vol. 1, pp. 572–578.
- [48] K. Sheng, S. J. Finney, and B. W. Williams: “A New Analytical IGBT Model With Improved Electrical Characteristics”, *IEEE Trans. Power Electron.*, vol. 14, no. 2, pp.98–107, Jan. 1999.

- [49] A. T. Bryant, L. Lu, E. Santi, J. L. Hudgins, and P. R. Palmer: “Modeling of IGBT Resisitive and Inductive Turn-On Behavior”, *IEEE Trans. Industry Appl.*, vol. 44, no. 3, pp. 904–914, May/June. 2008.
- [50] F. Udrea, and G. A. J. Amaratunga: “A Unified Analytical Model for Carriere Dynamics in Trench Insulated Gate Bipolar Transistors(TIGBT)”, in *Proc. IEEE-IPSD 1995*, pp. 190–200.
- [51] F. Udrea, and G. A. J. Amaratunga: “An On-State Analytical Model for the Trench Insulated Gate Bipolar Transistors(TIGBT)”, *Solid State Electron.*, vol. 41, no. 8, pp. 1111–1118, Aug. 1997.
- [52] E. Santi, A. Caiafa, X. Kang, J. L. Hudgins, P. R. Palmer, D. Goodwine, and A. Monti : “Temperature Effects on Trench-Gate IGBTs”, in *Proc. IEEE-IAS Annu. Meeting 2001*, vol. 3, pp. 1931–1937.
- [53] L. Lu, Z. Chen, A. T. Bryant, J. L. Hudgins, P. R. Palmer, and E. Santi: “Modeling of MOS-Side Carrier Injection in Trench-Gate IGBTs”, *IEEE Trans. Industry Appl.*, vol. 46, no. 2, pp. 875–883, Mar./Apr. 2010.
- [54] X. Kang, E. Santi, J. L. Hudgins, P. R. Palmer, and J. F. Donlon: “Parameter Extraction for a Physics-Based Circuit Simulator IGBT Model”, in *Proc. IEEE-APEC 2003*, vol. 2, pp. 946–952.
- [55] A. T. Bryant, L. Lu, E. Santi, P. R. Palmer, and J. L. Hudgins: “Two Step Parameter Extraction Procedure With Formal Optimazation for Physics-Based Circuit Simulator IGBT and p-i-n Diode Models”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 295–309, Mar. 2006.
- [56] R. Hooke, and T. A. Jeeves: ““Direct Search” Solution of Numerical and Statistical Problems”, *Journal of the ACM*, vol. 8, no. 2, pp. 212–229, Apr. 1964.
- [57] P. M. Igcic, P. A. Mawby, M. S. Towers, W. Jamal, and S. Batcup: “Investigation of the Power Dissipation During IGBT Turn-Off Using a new Physics-Based IGBT Compact Model”, *Microelectronics Reliability*, vol. 42, no. 7, pp. 1045–1052, Jul.

- 2002.
- [58] A. Connor, and D. Tilley: “A Tabu Search for the Optimization of Fluid Power Circuits”, in *Proc. Inst. Mech. Eng. J. Syst. Control Eng. 1998*, vol. 212, no. 5, pp. 373–381, Oct.
- [59] A. T. Bryant, P. R. Palmer, E. Santi, and J. L. Hudgins: “Simulation and Optimization of Diode and Insulated Gate Bipolar Transistor Interaction in a Chopper Cell Using MATLAB and Simulink”, *IEEE Trans. Industry Appl.*, vol. 43, no. 4, pp. 874–883, Jul./Aug. 2007.
- [60] S. Tominaga, H. Urushibata, H. Fujita, H. Akagi, T. Horiguchi, S. Kinouchi and T. Oi, “Modeling of IGBTs With Focus on Voltage Dependency of Terminal Capacitances,” in *Proc. EPE 2011*.
- [61] M. Miyake, H. Masuoka, U. Feldmann, and M. Miura-Mattausch: “HiSIM-IGBT: A Compact IGBT Model for Circuit Simulation”, IEICE Technical Report, SDM2009-139, pp. 23–27, Nov. 2009. (in Japanese)  
三宅正堯・舩岡弘基・フェルトマン ウヴェ・三浦道子：「回路シミュレーション用 IGBT モデル “HiSIM-IGBT”」, 平成 21 年電子情報通信学会技術報告 ,SDM2009-139, pp. 23–27 , 2009-11.
- [62] M. Miyake, D. Navarro, U. Feldmann, H. J. Mattausch, T. Kojima, T. Ogawa, and T. Ueta: “HiSIM-IGBT: A Compact Si-IGBT Model for Power Electronic Circuit Design”, *IEEE Trans. Electron Devices*, vol. 60, no. 2, pp. 571–579, Feb. 2013.
- [63] R. S. Chokhawala, J. Catt, and L. Kiraly: “A Discussion on IGBT Short-Circuit Behavior and Fault Protection Schemes”, *IEEE Trans. Industry Appl.*, vol. 31, no. 2, pp. 256–263, Mar./Apr. 1995.
- [64] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, and M. Melito: “A New Gate Circuit Performing Fault Protections of IGBTs During Short Circuit Transients”, in *Proc. IEEE-IAS Annu. Meeting 2002*, vol. 3, pp. 2614–2621.
- [65] Y. Nakayama, and T. Ohi: “Novel Over Current Protection Methods for IGBT

- Gate Drivers Using Gate Voltage Monitoring”, in *Proc. EPE 2003*.
- [66] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki: “A 600V Driver IC with New Short Circuit Protection in Hybrid Electric Vehicle IGBT Inverter System”, in *Proc. IEEE-ISPST 2005*, pp. 59–62.
- [67] 佐々木正貴, 石川勝美, 斉藤隆一, 須田晃一, 高橋克明: 「電力制御用半導体素子の保護装置及びそれを備えた電力変換装置」, 特許第 4223331 号, 登録日 2008-11-28, 発効日 2009-2-12.
- [68] M. A. Rodríguez-Blanco, A. Claudio-Sánchez, D. Theilliol, L. G. Vela-Valdés, P. Sibaja-Terán, L. Hernández-González, and J. Aguayo-Alquicira: “A Failure-Detection Strategy for IGBT Based on Gate-Voltage Behavior Applied to a Motor Drive System”, *IEEE Trans. Industry Electron.*, vol. 58, no. 5, pp. 1625–1633, May 2011.
- [69] B. G. Park, J. B. Lee, and D. S. Hyun: “A Novel Short-Circuit Detecting Scheme Using Turn-on Switching Characteristics of IGBT”, in *Proc. IEEE-IAS Annu. Meeting 2008*.
- [70] K. Yuasa, S. Nakamichi, and I. Omura: “Ultra High Speed Short Circuit Protection for IGBT With Gate Charge Sensing”, in *Proc. IEEE-ISPST 2010*, pp. 37–40.
- [71] T. Tanimura, K. Yuasa, and I. Omura: “Full Digital Short Circuit Protection for Advanced IGBTs”, in *Proc. IEEE-ISPST 2011*, pp. 60–63.
- [72] Z. Zhou, M. S. Khanniche, P. Igit, S. T. King, M. T. Towers, and P. A. Mawby: “A Fast Power Loss Calculation Method for Long Real Time Thermal Simulation of IGBT modules for a Three-Phase Inverter System”, in *Proc. EPE 2005*.
- [73] M. Ishiko, and T. Kondo: “A Simple Approach for Dynamic Junction Temperature Estimation of IGBTs on PWM Operating Conditions”, in *Proc. IEEE-PESC 2007*, pp. 916–920.
- [74] A. T. Bryant, N. A. Parker-Allotey, D. Hamilton, I. Swan, P. A. Mawby, T. Ueta,

- T. Nishijima, and K. Hamada: “A Fast Loss and Temperature Simulation Method for Power Converters, Part I : Electrothermal Model and Validation”, *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 248–257, Jan. 2012.
- [75] M. Musallam, P. P. Acarnley, C. M. Johnson, and L. Pritchard: “Real-Time Power Electronic Device Junction Temperature Estimation”, in *Proc. IET-PEMD 2004*, vol. 1, pp. 231–235.
- [76] M. Musallam, C. Buttay, M. Whitehead, and C. M. Johnson: “Real-Time Compact Electronic Thermal Modelling of for Health Monitoring”, in *Proc. EPE 2007*.
- [77] M. Whitehead, and C. M. Johnson: “Determination of Thermal Cross-Coupling Effects in Multi-Devices Power Electronic Modules”, in *Proc. IET-PEMD 2006*, vol. 1, pp. 261–265.
- [78] M. Ciappa, W. Fichtner, T. Kojima, Y. Yamada, and Y. Nishibe: “Extraction of Accurate Thermal Compact Models for Fast Electro-Thermal Simulation of IGBT Modules in Hybrid Electric Vehicles”, *Microelectronics Reliability*, vol. 45, no. 9–11, pp. 1694–1699, Sep.–Nov. 2005.
- [79] T. Kojima, Y. Yamada, Y. Nishibe, M. Ciappa, and W. Fichtner : “A Novel Compact Thermal Modeling Approach to Electro-Thermal Simulation for Automotive IGBT Modules”, in *Proc. IEEJ-IPEC Niigata 2005*, pp. 787–792.
- [80] I. Rychlik: “A new definition of the rainflow cycle counting method”, *International Journal of Fatigue*, vol. 9, no. 2, pp. 119–121, Apr. 1987.
- [81] M. Ciappa, F. Carbognani, and W. Fichtner: “Lifetime Prediction and design of Reliability Tests for High-Power Devices in Automotive Applications”, *IEEE Trans. Device Mater. Rel.*, vol. 3, no. 4, pp. 191–196, Dec. 2003.
- [82] M. Musallam, C. M. Johnson, C. Yin, H. Lu, and C. Bailey: “In-Service Lifer Consumption Estimation in Power Modules”, in *Proc. EPE-PEMC 2008*, vol. 1, pp. 76–83.

- [83] M. Musallam, C. M. Johnson, C. Yin, C. Bailey, and M. Mermet-Guynnet: “Real-Time Life Consumption Power Modules Prognosis Using On-Line Rainflow Algorithm in Metro Applications”, in *Proc. IEEE-ECCE 2010*, vol. 1, pp. 970–977.
- [84] T. Toyama, S. Tominaga, H. Urushibata, H. Fujita, H. Akagi, S. Kinouchi, and T. Oi: “Effect of Carrier Lifetime Zoning on pin Diode Model”, *JIASC 2009*, IEE Japan, vol. 1, pp. 415–418, Aug. 2009. (in Japanese)  
遠山 喬・富永真志・漆畑廣明・藤田英明・赤木泰文・木ノ内伸一・大井健史：  
「pin ダイオードモデルにおけるライフタイム分布の影響」, 平成 21 年電気学会産業  
応用部門大会, vol. 1, pp. 415–418, 2009-8.
- [85] A. Mishima, and A. Hatanaka: “New Trend of Power Device Modeling for Circuit Simulations”, *Proc. of 2009 JIASC*, vol. 1, pp. 7–12, Sep. 2009. (in Japanese)  
三島 彰・畑中 歩:「パワーデバイスのモデリング技術の新動向」, 平成 21 年電  
気学会産業応用部門大会, vol. 1, pp. 7–12, 2009-8.
- [86] T. Toyama, S. Tominaga, H. Urushibata, H. Fujita, H. Akagi, S. Kinouchi, and T. Oi: “A Parameters-Extraction Procedure Based on Integrated Evaluation of Static and Dynamic Characteristics: Its Application to a pin Diode Model”, *IEEJ Trans. IA*, vol. 131, no. 7, pp. 864–872, Jul. 2011. (in Japanese)  
遠山 喬・富永真志・漆畑廣明・藤田英明・赤木泰文・木ノ内伸一・大井健史：  
「静特性と動特性に基づくパラメータ抽出手法—pin ダイオードモデルへの応用—」,  
電学論 D, vol. 131, no. 7, pp. 864–872, 2011-7.
- [87] S. Tominaga, T. Jimichi, H. Urushibata, H. Fujita, H. Akagi, S. Kinouchi, and T. Oi: “Modeling of Power MOSFETs with Focus on Voltage Dependency of Terminal Capacitances”, *2009 National Convention Record*, IEE Japan, vol. 4, pp. 242–243, Mar. 2009. (in Japanese)  
富永真志・地道拓志・漆畑廣明・藤田英明・赤木泰文・木ノ内伸一・大井健史：  
「端子間容量の電圧依存性を考慮したパワー MOSFET のモデリング」, 平成 21 年  
電気学会全国大会, vol. 4, pp. 242–243, 2009-3.
- [88] T. Kawashima, A. Hatanaka, K. Ochi, T. Kanazawa, and A. Mishima: “Switching

- Analysis for Power Dissipation with Recovery Diode Model”, JIASC 2008, IEE Japan, vol. 1, pp. 521-524, Aug. 2008. (in Japanese)
- 川島徹也・畑中 歩・越智健太郎・金澤卓郎・三島 彰：「リカバリーダイオードモデルを用いたスイッチング解析による損失評価」, 平成 20 年電気学会産業応用部門大会, vol. 1, pp. 521-524, 2008-8.
- [89] A. Hatanaka, T. Kawashima, and A. Mishima: “Analysis technique of EMC for on-board power supply with recovery diode model”, JIASC 2008, IEE Japan, vol. 1, pp. 525-528, Aug. 2010-8. (in Japanese)
- 畑中 歩・川島徹也・三島 彰：「リカバリーダイオードモデルを用いたオンボード電源の EMC 解析技術」, 平成 20 年電気学会産業応用部門大会, vol. 1, pp. 525-528, 2010-8.
- [90] A. Mishima, T. Chida, and A. Hatanaka: “EMC Analysis for Power Electronics Systems using Power Device Modeling”, JIASC 2009, IEE Japan, vol. 1, pp. 11-14, Aug. 2010. (in Japanese)
- 三島 彰・千田忠彦・畑中 歩：「パワー半導体モデルを用いた EMC 解析」, 平成 22 年電気学会産業応用部門大会, vol. 1, pp. 11-14, 2010-8.
- [91] H. A. Mantooth, and A. R. Hefner, Jr.: “Electrothermal Simulation of an IGBT PWM Inverter”, *IEEE Trans. Power Electron.*, vol. 12, no. 3, pp. 474-484, May 1997.
- [92] V. Székely: “A new evaluation method of thermal transient measurement results”, *Microelectron. Journal*, vol. 28, no. 3, pp. 277-292, Mar. 1997.
- [93] J. Zarębski, and K. Górecki: “Properties of some convolution algorithms for the thermal analysis of semiconductor devices”, *Applied Mathematical Modeling*, vol. 31, no. 8, pp. 1489-1496, Aug. 2007.

## 発表論文

### 学会誌論文

- [1] (a) 堀口剛司, 杉本貴之, 富永真志, 漆畑廣明, 藤田英明, 赤木泰文, 木ノ内伸一, 大井健史:「物理モデルに基づく並列接続 pin ダイオードのリカバリー特性解析」, 電気学会論文誌 D, Vol. 132, No. 5, pp. 566–573, 2012. (第4章)
- (b) Takeshi Horiguchi, Takayuki Sugimoto, Shinji Tominaga, Hiroaki Urushibata, Hideaki Fujita, Hirofumi Akagi, Shin-ichi Kinouchi, and Takeshi Oi, “Reverse-Recovery Analysis of Parallel-Connected pin Diodes Using a Physics-Based Device Model,” *Electronics and Communications in Japan*, Vol. 97, No. 4, pp. 80–89, 2014. (第4章)
- [2] 堀口剛司, 原川雅哉, 今中晶, 長野鉄明, 大井健史:「電気・熱連成解析技術を用いたパワー半導体素子温度のリアルタイム評価システム」, 電気学会論文誌 D, Vol. 132, No. 9, pp. 891–898, 2012. (第7章)
- [3] 堀口剛司, 塚本剛平, 富永真志, 西村正, 藤田英明, 赤木泰文, 木ノ内伸一, 大井健史, 小山正人:「物理モデルに基づく並列接続 IGBT の PWM 連続動作時における接合温度解析」, 電気学会論文誌 D, Vol. 134, No. 5, pp. 486–495, 2014. (第5章)
- [4] 岡本昌二, 堀口剛司, 富永真志, 西村正, 藤田英明, 赤木泰文, 木ノ内伸一, 大井健史:「IGBT 物理モデルの負荷短絡保護回路への適用」, 電気学会論文誌 D, Vol. 134, No. 10, 2014 (掲載決定). (第6章)
- [5] Takeshi Horiguchi, Shin-ichi Kinouchi, Yasushi Nakayama, Takeshi Oi, Hiroaki Urushibata, Shoji Okamoto, Shinji Tominaga, and Hirofumi Akagi, “A High-Speed Protection Circuit for IGBTs Subjected to Hard Switching Faults,” *IEEE Trans.*

*Industry Appl.*, to be published. (第6章)

- [6] Takeshi Horiguchi, Shin-ichi Kinouchi, Yasushi Nakayama, Takeshi Oi, Hiroaki Urushibata, Shoji Okamoto, Shinji Tominaga, and Hirofumi Akagi, “A Short Circuit Protection Method Based on a Gate Charge Characteristic,” *IEEE Journal Industry Appl.*, Vol. 4, No. 3, 2015 (submitted for peer review). (第6章)

## 国際会議

- [1] Takeshi Horiguchi, Takeshi Oi, Masaya Harakawa, Akira Imanaka, and Tetsuaki Nagano, “Real-time Electro-Thermal Simulation of a Motor Drive System,” in *Proc. European Power Electronics Conf.* Barcelona, Sep. 8–10, 2009.
- [2] Shinji Tominaga, Hiroaki Urushibata, Hideaki Fujita, Hirofumi Akagi, Takeshi Horiguchi, Shin-ichi Kinouchi and Takeshi Oi, “Modeling of IGBTs With Focus on Voltage Dependency of Terminal Capacitances,” in *Proc. European Power Electronics Conf.* Birmingham, Aug. 30–Sep. 1, 2011.
- [3] Takeshi Horiguchi, Shin-ichi Kinouchi, Yasushi Nakayama, Takeshi Oi, Hiroaki Urushibata, Shoji Okamoto, Shinji Tominaga, and Hirofumi Akagi, “A High-Speed Protection Circuit for IGBTs Subjected to Hard Switching Faults,” in *Proc. IEEE Applied Power Electronics Conf.*, Fort Worth, Mar. 16–20, 2014.
- [4] Takeshi Horiguchi, Shin-ichi Kinouchi, Yasushi Nakayama, Takeshi Oi, Hiroaki Urushibata, Shoji Okamoto, Shinji Tominaga, and Hirofumi Akagi, “A Short Circuit Protection Method Based on a Gate Charge Characteristic,” in *Proc. IEEJ/IEEE International Power Electronics Conf. -ECCE-ASIA-*, Hiroshima, May 18–21, 2014.

## 特許

- [1] 堀口剛司：特許第 5317881 号，「電力変換装置および電力変換装置の保護方法」，2013-7-19. (特開 2011-36095，公開日 2011-2-17)
- [2] 堀口剛司，中山靖：特願 2013-183887，「電力用半導体素子の駆動回路」，出願日 2013-9-5.

## 謝辞

本論文を執筆するにあたり，赤木泰文 教授には多大なるご指導を賜りました。本論文以外にも IEEE の Transaction paper 執筆時に頂戴した様々なご助言は，今後の研究活動においても大変有益なものであります。心より厚く御礼申し上げます。電力グループの安岡康一 教授，藤田英明 准教授，高橋宏治 准教授，竹内希 講師には審査に携わっていただき，大変有益なご指導，ご助言を頂きました。謹んで感謝いたします。千葉明 教授，萩原誠 助教，杉元紘也 助教，渡邊朝紀 特任教授，中出雅彦 連携教授，東京電力の高見潤氏（前連携准教授）の皆様方には，公聴会をはじめとする様々な場面で有益なご助言を頂きました。心より御礼申し上げます。

本研究は，筆者の所属する三菱電機株式会社と東京工業大学との組織連携における成果であります。三菱電機株式会社の堤和彦 顧問（前開発本部長），田中健一 役員技監（前先端技術総合研究所長），小山健一 情報技術総合研究所副所長（元パワーエレクトロニクスシステム開発センター長），木全政弘 知的財産センター長（元パワーエレクトロニクスシステム開発センター長），葛本昌樹 パワーエレクトロニクス技術部門長，大井健史 主管技師長（前パワーモジュール開発プロジェクトリーダー）には，組織連携による産学連携研究室：漆畑・富永研（現：西村・富永研）の連携研究員として，東工大にて研究に専念できる環境を整えて頂きましたことを感謝します。産学連携研究室において，漆畑廣明 金沢工業大学教授（前連携教授），西村正 連携教授には研究全般に対して，富永真志 連携准教授には具体的な研究内容に対して，ご指導，ご助言頂き，心より感謝します。

また，三菱電機株式会社入社後，公私にわたってお世話になった関係各位，東京工業大学の赤木・藤田研究室，漆畑・富永（西村・富永）研究室の卒業生や在学生，東京工業大学における各種事務手続きでお世話になった秘書の水村直美氏，遠山佳代子氏に感謝いたします。

最後に，学位取得に対する理解と協力をしてくれた妻 利子に感謝します。