

論文 / 著書情報
Article / Book Information

題目(和文)	酸化物半導体の強誘電体メモリ応用と液体プロセスに関する研究
Title(English)	Study on Oxide Semiconductors with Ferroelectric Memory Applications and Liquid Process
著者(和文)	羽賀 健一
Author(English)	Ken-ichi Haga
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9649号, 授与年月日:2014年9月25日, 学位の種別:課程博士, 審査員:徳光 永輔,筒井 一生,半那 純一,波多野 睦子,大見 俊一郎, 伊藤 学
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第9649号, Conferred date:2014/9/25, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

酸化物半導体の
強誘電体メモリ応用と液体プロセスに関する研究

Study on Oxide Semiconductors
with Ferroelectric Memory Applications and Liquid Process

東京工業大学
総合理工学研究科 物理電子システム創造専攻
羽賀 健一

目次

第 1 章 序論	1
1.1 酸化物半導体	2
1.1.1 酸化物材料	2
1.1.2 酸化物半導体	2
1.2 強誘電体ゲート薄膜トランジスタ(FeTFT)	3
1.2.1 強誘電体	3
1.2.2 強誘電体メモリ(FeRAM)	4
1.2.3 強誘電体ゲート薄膜トランジスタ(FeTFT)	7
1.2.4 各種不揮発性メモリとの比較	10
1.3 液体プロセス	11
1.3.1 液体プロセスとは	11
1.3.2 塗布方法およびパターニング方法	11
1.3.3 液体プロセスのメリット	12
1.3.4 本研究における液体プロセスの意義	12
1.4 本研究の目的	13
1.5 本論文の構成	14
第 2 章 サンプル作製方法および評価方法	17
2.1 SiO ₂ 上 TFT の作製手順	18
2.1.1 ボトムゲートトップコンタクト構造	18
2.1.2 ボトムゲートボトムコンタクト構造	18
2.2 FeTFT の作製手順	19
2.2.1 ボトムゲートトップコンタクト構造	19
2.2.2 ボトムゲートボトムコンタクト構造	20
2.3 強誘電体キャパシタ作製手順	22
2.4 RF マグネトロンスパッタ法	22
2.5 Sol-gel 法	24
2.6 熱重量-示差熱分析(TG-DTA)	25
2.6.1 熱重量測定(thermogravimetry, TG)	25
2.6.2 示差熱分析(differential thermal analysis, DTA)	26

2.7	容量-電圧($C-V$)測定	26
2.8	電流-電圧($I-V$)測定	27
第3章	強誘電体および酸化物半導体の成膜条件検討と FeTFT の基礎特性評価	29
3.1	強誘電体 BLT の成膜条件検討	30
3.1.1	熱分析(TG-DTA)による化学現象の推定	30
3.1.2	BLT の結晶化メカニズム	33
3.1.3	成膜条件の設定と実験方法	33
3.1.4	実験結果および考察	35
3.1.5	まとめ	40
3.2	酸化物半導体 In_2O_3 の成膜条件検討	41
3.2.1	XRD 分析($\theta-2\theta$ 測定)	41
3.2.2	$\text{In}_2\text{O}_3/\text{SiO}_2$ TFT の評価	42
3.2.3	In_2O_3 ターゲットの酸素抜け	43
3.3	FeTFT の基礎特性評価(In_2O_3 /BLT FeTFT の評価)	44
第4章	FeTFT のソース・ドレイン構造の検討	49
4.1	研究背景	50
4.1.1	酸化物チャネル FeTFT のスイッチング特性とソース・ドレイン構造	50
4.1.2	本章の目的とアプローチ	51
4.2	実験方法	51
4.2.1	デバイス作製方法	51
4.2.2	I_D-V_G 特性とリテンション特性(I_D-t 特性)の測定	52
4.2.3	$C-V$ 測定	52
4.2.4	$Q-V$ 測定	52
4.2.5	スイッチング測定	53
4.3	I_D-V_G 特性とリテンション特性	54
4.4	$C-V$ 特性	54
4.5	$Q-V$ 特性	59
4.6	スイッチング特性	60
4.7	まとめ	63

第 5 章 アモルファス酸化物半導体をチャネルに用いた FeTFT の作製と評価	65
5.1 研究背景	66
5.1.1 FeTFT の微細集積化に必要なチャネル物性	66
5.1.2 a-IGZO をチャネルに用いるメリット	67
5.1.3 a-IGZO/BLT FeTFT の報告例・課題・解決策	68
5.1.4 本章の目的とアプローチ	68
5.2 実験方法	69
5.2.1 a-IGZO/SiO ₂ TFT の作製と評価	69
5.2.2 a-IGZO/BLT FeTFT の作製と評価	70
5.3 a-IGZO/SiO ₂ TFT の特性評価	71
5.4 a-IGZO/BLT FeTFT の特性評価	74
5.5 a-IGZO/BLT FeTFT と In ₂ O ₃ /BLT FeTFT の特性比較	76
5.6 まとめ	76
第 6 章 液体プロセスによる酸化物半導体薄膜の形成と TFT 応用	77
6.1 研究背景	78
6.1.1 液体プロセスの現状と課題	78
6.1.2 本章の目的とアプローチ	79
6.1.3 本研究で扱った液体原料について	79
6.2 実験手順	83
6.2.1 液体原料の調合	84
6.2.2 基礎現象の観察	84
6.3 基礎現象の観察	86
6.3.1 前駆体の溶解性	86
6.3.2 溶液の安定性(前駆体の反応性)	87
6.3.3 塗膜の均一性	88
6.3.4 IBA・PGME・ANS・MES 溶媒の結果	92
6.3.5 まとめ	92
6.3.6 複数の前駆体・溶媒の組み合わせ	93
6.3.7 IZO 溶液の前駆体と溶媒の選択	94

6.4	熱分析(TG-DTA)	94
6.4.1	測定方法	94
6.4.2	結果と考察	97
6.5	TFT の作製と評価	100
6.5.1	TFT の作製方法	100
6.5.2	In ₂ O ₃ TFT の作製と評価	100
6.5.3	IZO TFT の作製と評価	102
6.6	まとめ	104
第 7 章	結論	105
7.1	本研究で得られた結果や知見	106
7.2	今後に残された課題	107
7.3	今後の展望	108
7.4	総括	108
参考文献		110
研究業績		122
謝辞		124

第1章

序論

本研究では、材料・デバイス・プロセスとして、それぞれ、酸化物・強誘電体ゲート薄膜トランジスタ (FeTFT)・液体プロセスに着目した。そして「良好な特性を持つ酸化物チャネル FeTFT を液体プロセスによって作製すること」を将来目標とし、FeTFT の作製条件やデバイス構造、液体プロセスにおける酸化物薄膜形成技術などを研究テーマとした。本論文は、それらの研究成果をまとめたものである。

本章では、上記のような研究の背景・目的・位置付け、および本論文の構成について述べる。まず 1.1 節では、酸化物材料として注目した酸化物半導体について述べる。次に 1.2 節では、酸化物半導体の応用例として本研究で取り上げた、強誘電体ゲート薄膜トランジスタ (FeTFT) について述べる。1.3 節では、作製プロセスとして着目した液体プロセスについて述べる。1.4 節では、本研究の目的と位置付けについて述べる。最後に 1.5 節で、本論文の構成についてまとめる。

1.1	酸化物半導体	2
1.1.1	酸化物材料	2
1.1.2	酸化物半導体	2
1.2	強誘電体ゲート薄膜トランジスタ (FeTFT)	3
1.2.1	強誘電体	3
1.2.2	強誘電体メモリ (FeRAM)	4
1.2.3	強誘電体ゲート薄膜トランジスタ (FeTFT)	7
1.2.4	各種不揮発性メモリとの比較	10
1.3	液体プロセス	11
1.3.1	液体プロセスとは	11
1.3.2	塗布方法およびパターニング方法	11
1.3.3	液体プロセスのメリット	12
1.3.4	本研究における液体プロセスの意義	12
1.4	本研究の目的	13
1.5	本論文の構成	14

1.1 酸化物半導体

本節では、まず 1.1.1 項で酸化物の特徴や長所を簡単に述べ、次に 1.1.2 項で本研究で着目した酸化物半導体について説明する。

1.1.1 酸化物材料

我々人類が住む地球上では、大気中に体積比でおよそ 20%の酸素が含まれており、全ての物質は最終的に酸化される。そのため、酸化物は地球上において極めて安定な材料であるといえる。さらに酸化物は、複合酸化物の形をとることで、多様な結晶構造に由来する多彩な物性を有する。特に、超伝導・強磁性・強相関電子・強誘電性などの性質を利用した酸化物エレクトロニクスは近年注目を浴びており、新しい機能性デバイスの実現が期待されている。

1.1.2 酸化物半導体

酸化物半導体(導電体)とは

酸化物はイオンが作る静電ポテンシャル（マードリングポテンシャル）が大きいいため、一般的にバンドギャップが大きく（3 eV 以上）、可視光に対して透明である。そのため、 $\text{In}_2\text{O}_3 : \text{Sn}$ (indium-tin oxide, ITO) や In-Zn-O (IZO) は、透明導電膜 (transparent conductive oxide, TCO) としてフラットパネルディスプレイや太陽電池の透明電極に広く用いられている。

また、一般的に伝導帯端 (conduction band minimum, CBM) がエネルギー的に深く、電子ドーピングは容易であるが、正孔ドーピングは困難な材料が多い。さらに、正孔の有効質量が大きいため、n 型半導体 (導電体) になりやすい。実際に、代表的な酸化物半導体である $\text{ZnO} \cdot \text{In}_2\text{O}_3 \cdot \text{SnO}_2 \cdot \text{In-Ga-Zn-O}$ (IGZO) や透明導電膜である ITO $\cdot$ IZO などは全て n 型伝導を示し、p 型伝導は非常に困難である。ただし、正孔電流が流れないことには以下のようなメリットもある。薄膜トランジスタ (thin-film transistor, TFT) のチャネル材料として応用する場合は、ソース・ドレイン電極にブロッキングコンタクト (n^+ 層) を設ける必要もなく、プロセスは簡略化できる。IGZO などは、正孔電流が流れないため OFF リーク電流も極めて低く [1.1-1.5]、このメリットを利用して集積回路への応用例も提案されている [1.4, 1.5]。

透明アモルファス酸化物半導体の発展と集積回路応用

2004 年に Nomura らから、アモルファス IGZO (a-IGZO) が a-Si の $\sim 1 \text{ cm}^2/\text{Vs}$ よりも高い $10\sim 20 \text{ cm}^2/\text{Vs}$ 程度の電子移動度を持つことが報告され [1.6]、a-Si のような安価な製造コストを維持しつつ高性能・高精彩なディスプレイを実現できるチャネル材料として、フラットパネルディスプレイの駆動用 TFT への応用が注目されるようになった [1.6-1.10]。透明性 [1.6, 1.9] や柔軟性 [1.6, 1.10] を活かした新たな応用も検討されている。2012 年 11 月には、シャープ (株) から結晶性 IGZO (CAAC-IGZO) を用いたスマートフォンの販売が開始されており、CAAC-IGZO の集積回路への混載や [1.4-1.5]、a-IGZO (n 型) と SnO (p 型) による相補型 TFT 回路 [1.11] など、集積回路への応用も検討されている。

本研究では、酸化物強誘電体と良好な界面を形成し得る半導体として酸化物半導体を選択した。酸化物半導体は、非酸化物半導体と酸化物強誘電体で問題であった界面での酸化（酸素の拡散）の問題 [1.12] を解消できると考えられる。特にアモルファス酸化物半導体は、堆積膜によって TFT を安価に作製でき、従来のアモルファス材料が持たない高移動度 [1.1, 1.6-1.8] や低 OFF リーク電流 [1.1, 1.2] によって集積回路への応用も期待される有望な半導体材料である。透明性 [1.5, 1.8] や柔軟性 [1.5, 1.9] を活かした応用も期待されており、本論文においても第 5 章・第 6 章で扱っている。

1.2 強誘電体ゲート薄膜トランジスタ(FeTFT)

本節では、まず 1.2.1 項で強誘電体の定義と特徴を述べ、次に 1.2.2 項で強誘電体メモリについて説明する。その後 1.2.3 項で強誘電体ゲート薄膜トランジスタ (FeTFT) について述べ、最後に 1.2.4 項で各種不揮発性メモリとの比較を行い、FeTFT が不揮発性メモリ素子として有望であることを示す。

1.2.1 強誘電体

強誘電体は「自発分極を持ち、外部電界を用いてその分極を反転させることが可能な物質」と定義されている。強誘電体は、電子材料として以下のような特徴を持つ。

- 1) 誘電分極がヒステリシス（履歴現象）を示す。
- 2) 誘電分極が非常に大きい。
- 3) 焦電効果を示す。
- 4) 圧電効果を示す。
- 5) 電気光学効果（Pockels 効果や Kerr 効果など）や非線形光学効果を示す。
- 6) 光起電力効果を示す。

これらの特徴を利用して、メモリ素子 $[\text{Pb}(\text{Zr,Ti})\text{O}_3 (\text{PZT}) \cdot \text{SrBi}_2\text{Ta}_2\text{O}_9 (\text{SBT})]$ 、焦電型赤外線センサー ($\text{LiTaO}_3 \cdot \text{PZT}$)、圧電デバイス (PZT)、光変調器 (LiNbO_3) などに強誘電体が用いられている。強誘電体メモリでは 1) の特徴を利用している。

ここで、代表的な強誘電体であるペロブスカイト型強誘電体を例に、強誘電体の分極発生メカニズムについて述べる。ペロブスカイト型酸化物は図 1.1 のようなイオン結晶であり、中心付近の小さな陽イオンに 2 つの安定点を持つ。電界を加えるとその向きによりイオンが上下に動き、印加電圧を 0 V にしてもその分極が保持される。この分極の向きをそれぞれブール代数の “0” と “1” に対応させることで、不揮発性メモリとして応用できる。

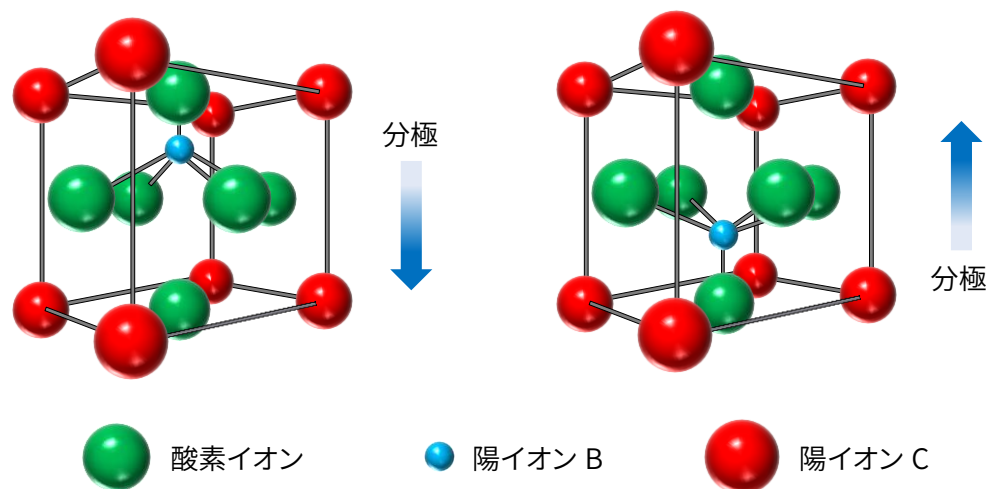


図 1.1 ペロブスカイト型強誘電体の結晶構造

1.2.2 強誘電体メモリ(FeRAM)

強誘電体メモリ (ferroelectric random access memory, FeRAM) は、強誘電体の自発分極を利用した不揮発性メモリであり、強誘電体キャパシタで構成されるキャパシタ型 (1T1C 構造) と、強誘電体ゲートトランジスタ [1.13] で構成されるトランジスタ型 (1T 構造) の 2 種類の素子構造 (図 1.2) がある。1T1C 構造は、DRAM (dynamic random access memory) のキャパシタ部分を強誘電体キャパシタに置き換えた構造となっている。

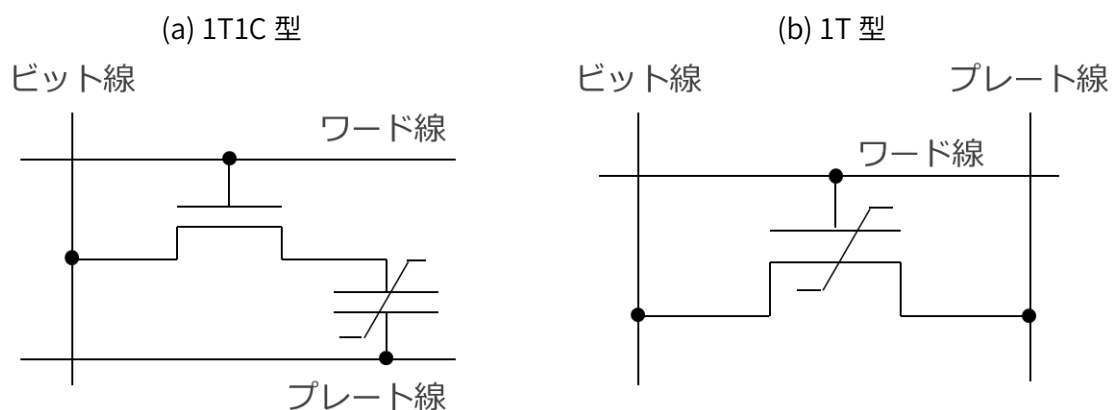


図 1.2 強誘電体メモリのセル構造 (a) 1T1C 型 (b) 1T 型

キャパシタ型

キャパシタ型は、強誘電体キャパシタの電荷量の差を情報として検出する方式である。ここで、強誘電体キャパシタの $Q-V$ 特性を用いて動作原理を説明する（図 1.3）。強誘電体の分極電荷は以前に印加された電圧により A・C のいずれかの状態にある。この状態をそれぞれ “0” ・ “1” とすることで不揮発性メモリとして機能する。これらの電荷を読み出すときには、読み出し電圧として例えば V_W を印加する。読み出し前の電荷が A であれば、強誘電体キャパシタの分極電荷は $A \rightarrow B \rightarrow C$ と遷移し、電荷量 ΔQ_0 が検出される。読み出し前の電荷が C であれば、強誘電体キャパシタの分極電荷は $C \rightarrow B \rightarrow C$ と遷移し、電荷量 ΔQ_1 が検出される。この ΔQ_0 と ΔQ_1 のどちらが検出されるかによって読み出し前の状態が “0” か “1” かを判定できる。しかし、読み出し前の電荷に関わらず読み出し後の電荷は必ず C になってしまう（破壊読み出し）ため、電荷 A の読み出し後は $-V_W$ を印加して電荷を $C \rightarrow D \rightarrow A$ と遷移させ、電荷 A を再書き込みする必要がある。これにより、余分な書き込み時間と消費電力を要するため、強誘電体は書き換え回数に対する疲労特性に優れている必要がある。また、キャパシタ面積に比例して電荷量が減少するため、スケーリング則に従わない。電荷量 ΔQ_0 と ΔQ_1 の違いをセンスアンプで検出するためにはある程度のキャパシタ面積が必要であり、キャパシタ素子の微細化に限界がある。

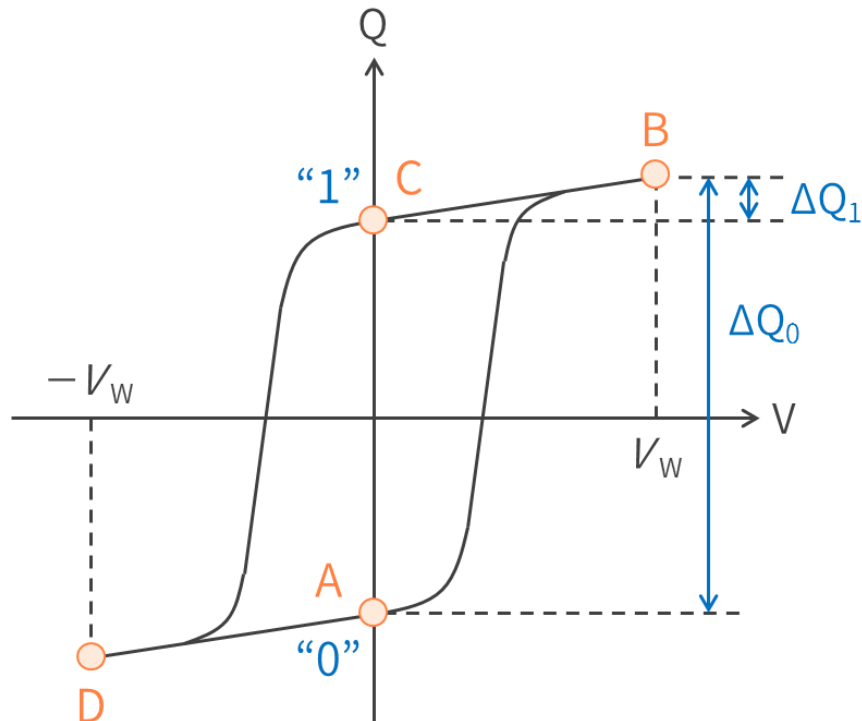


図 1.3 キャパシタ型 FeRAM の動作原理

トランジスタ型

強誘電体ゲートトランジスタ (ferroelectric-gate field effect transistor, FeFET) は、Si-MOSFET (metal-oxide-semiconductor field-effect transistor) のゲート絶縁膜を強誘電体に置き換えた構造を持つ。FeFET は強誘電体の分極状態によってドレイン電流が変調し、ON 電流と OFF 電流を自発分極によって保持することができる。ON 電流と OFF 電流を “0” ・ ”1” に対応させるため、データを破壊せずに読み出すことができる。加えて、キャパシタ型とは対称的に、スケーリング則に従うため、微細化が可能である。

しかし FeFET は、1957 年に提案 [1.13] されてから 50 年以上経過した現在においても実用化には至っていない。なぜなら、強誘電体と Si の界面において、Si が酸化して粗悪な遷移層が形成したり、強誘電体の構成元素である Pb や Bi の拡散が起こるなど、良好な強誘電体/Si 界面を形成できないためである。これによって、長期のデータ保持ができないことが FeFET の長年の課題であった。界面特性を向上させるために、強誘電体と Si の間に絶縁性のバッファ層を挿入した MFIS (metal-ferroelectric-insulator-semiconductor) 構造も提案され [1.14-1.22]、長期データ保持に関する報告もされているが [1.19-1.22]、強誘電体の分極を弱める方向の電界（減分極電界）[1.23] や、バッファ層の絶縁破壊電界付近まで FeFET に電界を印加しないと強誘電体が分極反転しない [1.23] といった別の問題が発生するため、FeFET の実用化には至っていない。

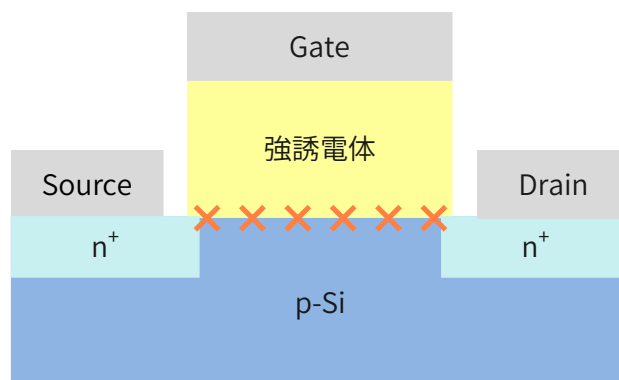


図 1.4 強誘電体ゲートトランジスタ(FeFET)の断面構造

(酸素雰囲気下の高温アニールによって Si 基板上で強誘電体を結晶化させるため、強誘電体/Si の界面特性が悪い。)

1.2.3 強誘電体ゲート薄膜トランジスタ(FeTFT)

良好な半導体/強誘電体界面を形成するために、筆者らの研究グループでは半導体の堆積膜をチャンネルに用いた強誘電体ゲート薄膜トランジスタ (ferroelectric-gate thin-film-transistor, FeTFT) を研究してきた。ボトムゲートスタガ型の TFT 構造をとることで、結晶化温度が高い強誘電体を先に結晶化させることができ、半導体/強誘電体界面が高温アニールを経ずにデバイスを作製できる。さらに、酸化物の半導体を低温堆積させることで、界面で酸化が起こらず、酸化物どうしの良好な界面を形成できると期待される。

動作原理

一般的にワイドギャップである酸化物の半導体をチャンネルに用いることで、半導体の蓄積状態と空乏状態のみで ON・OFF を実現している（フェルミレベルピンングによって反転状態にはならない）。以下では、本研究でもチャンネルに用いている n 型酸化物半導体を例に説明するが、もし p 型酸化物半導体を用いても、電子の役割を正孔が代わることにより同様の原理で動作する。

ゲートに正電圧を印加したときはチャンネルが蓄積状態となり、強誘電体の分極とカップリングした電子が界面に二次元電子ガス（2DEG）を形成して大きなドレイン電流（ON 電流）が流れ、デバイスは ON 状態となる。ゲートに負電圧を印加したときはチャンネルが空乏状態となり、電流はほとんど流れない（OFF 電流）。電圧を 0 にしても強誘電体の自発分極によって蓄積・空乏状態を保持できるため、不揮発性メモリ素子として機能する。なお、ON 状態が保持されているときには ON 電流が流れ続けるため、FeTFT は (FeFET も) 原理的にノーマリーオンデバイスである。

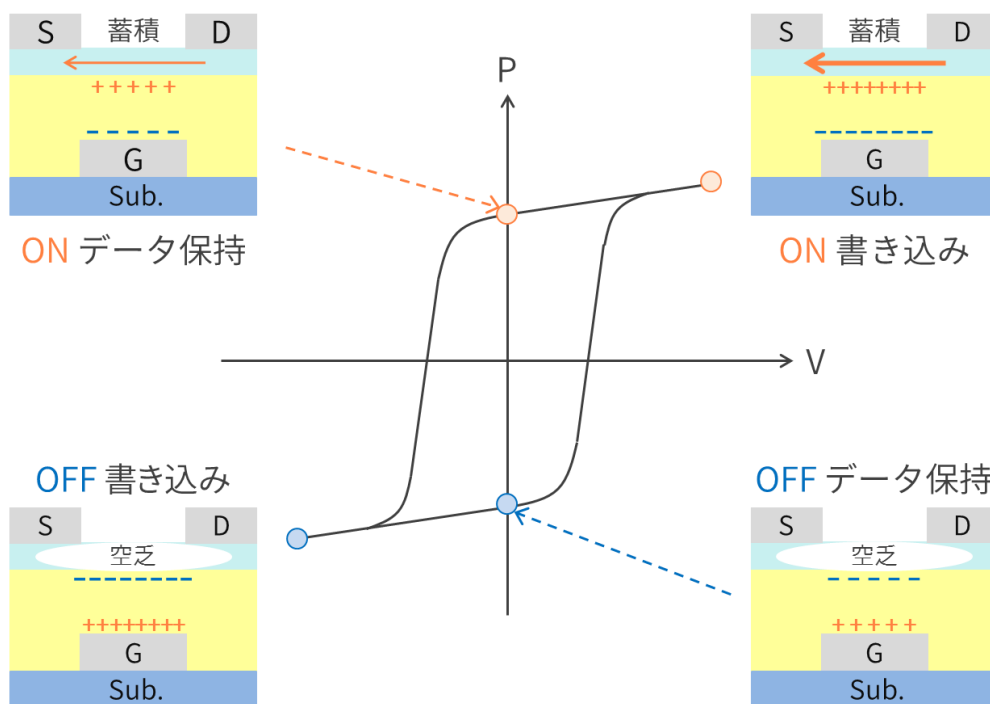


図 1.5 強誘電体ゲート薄膜トランジスタ(FeTFT)の動作原理

強誘電体材料に要求される物性

FeTFT では、強誘電体に以下のような物性が求められる。

* 残留分極 (remnant polarization, P_r)

強誘電体の分極とカップリングする電子の数は強誘電体の分極の大きさに比例するため、FeTFT の ON 電流は強誘電体の分極の大きさに依存する。また、強誘電体の大きな分極によってチャネルが完全空乏化されれば、OFF 電流を小さく抑えることができる。よって大きな ON 電流や小さい OFF 電流を得るために、残留分極値は大きい方が望ましい。

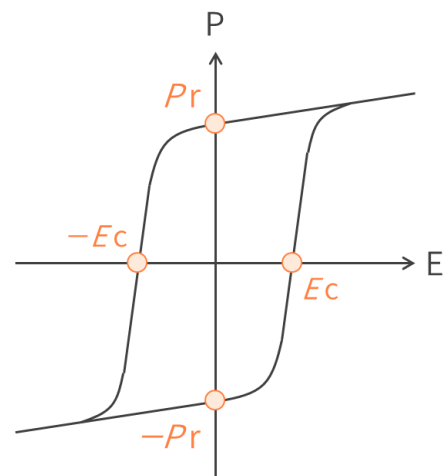


図 1.6 強誘電体の残留分極 (P_r) と抗電界 (E_c)

* 抗電界 (coercive field, E_c)

FeTFT の不揮発性メモリとしての性能にとって、しきい値電圧のシフト量であるメモリウインドウは重要なパラメータの 1 つである。メモリウインドウが大きすぎるとメモリの書き込み電圧が大きくなり、小さすぎるとメモリとしての信頼性を欠く。メモリウインドウは強誘電体の抗電界と膜厚に比例するため、デバイス特性を考慮して、膜厚とともに適した値に設計する必要がある。

* リーク電流

ゲートリーク電流は、強誘電体の分極を劣化させ、保持しているデータを消失させる恐れがある。長期のデータ保持特性を含めた、不揮発性メモリとしての信頼性を確保するためには、極力小さなリーク電流が要求される。

* 疲労特性

強誘電体材料は、分極反転を繰り返す事により残留分極値が減少することが知られている。これは、トランジスタの ON/OFF 比が小さくなることを意味する。これに伴いデータの判別が困難になることが予想される。同一セルが使用され続けることはないという仮定のもとで、実用化に必要な分極反転回数の目安は 10^{12} 回とされている。

* 表面平坦性

トップコンタクト構造 FeTFT では、チャネル膜厚が薄い方がスイッチング特性が向上する（詳しくは 4.6 節参照）と考えられるが、薄い連続膜のチャネルを形成するためには、下地の強誘電体薄膜の表面は平坦である方が望ましい。平坦である方が、チャネル移動度低下の原因となる表面粗さによるキャリア散乱も抑制できると考えられる。

＊ 矩形性

FeTFT は、強誘電体の分極によってチャネルの蓄積・空乏を制御するため、強誘電体のヒステリシス形状がそのままドレイン電流－ゲート電圧 ($I_D - V_G$) 特性に反映される。小さなサブスレッショルド係数 (subthreshold voltage swing, S 値) や大きな ON/OFF 比を実現し、FeTFT を低電圧動作させるためには、良好な矩形性が必要である。

＊ 分極飽和特性

「分極飽和特性が良い」とは「印加電界が小さいマイナーループにおいても杭電界が小さくならない」ことを意味する。飽和特性が良い方が、印加電圧に関わらずメモリウインドウが一定になり、また、強誘電体の残留分極が保持されやすいと考えられる。

以上のような要求の全てを満たす材料の探索は極めて困難であり、どの材料も一長一短であるため、本研究では、人体に有害な鉛を含まない非鉛強誘電体で、結晶化温度が低い $(\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$ (BLT) を選択した。BLT は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT) の Bi サイトを一部 La で置換した強誘電体材料であり、La 添加によって結晶化温度が低減され、矩形性も向上している。BLT はランダム配向膜においても $15 \mu\text{C}/\text{cm}^2$ 程度の残留分極が再現性良く得られ、疲労耐性にも比較的優れている。

表 1.1 代表的な強誘電体材料の諸物性

	BLT ($\text{Bi,L a})_4\text{Ti}_3\text{O}_{12}$	PZT $\text{Pb}(\text{Zr,Ti})\text{O}_3$	SBT $\text{SrBi}_2\text{Ta}_2\text{O}_9$
残留分極	$15 \mu\text{C}/\text{cm}^2$	$50 \mu\text{C}/\text{cm}^2$	$4 \sim 16 \mu\text{C}/\text{cm}^2$
杭電界	100 kV/cm	60 kV/cm	40 kV/cm
リーク電流密度 (200 kV/cm)	$10^{-8} \text{ A}/\text{cm}^2$	$10^{-6} \text{ A}/\text{cm}^2$	$10^{-8} \text{ A}/\text{cm}^2$
疲労特性	$10^9 \sim 10^{10}$ 回	10^7 回	10^{13} 回
矩形性	○	○	◎
分極飽和特性	?	×	○
結晶化温度	$650 \sim 750^\circ\text{C}$	$500 \sim 550^\circ\text{C}$	$750 \sim 850^\circ\text{C}$
バンドギャップ	3.3~4.0 eV	3.3~3.5 eV	3.9~4.1 eV

1.2.4 各種不揮発性メモリとの比較

表 1.2 は、各種不揮発性メモリの技術予測（ITRS 2013）である [1.24-1.26]。FeFET と ReRAM（resistance random access memory）は best projected の値を、それ以外のメモリは 2026 年の予測値をまとめている。

FeFET（FeTFT）の微細化限界は原理的に FET（TFT）と同じであり、スケーリング則に従うため、FeFET（FeTFT）は微細化に適している。また、強誘電体の分極反転が高速かつ低消費電力で行われるため、原理的には、他の不揮発性メモリと比べ 1 桁以上の高速動作・低消費電力を実現できる。FeFET（FeTFT）は不揮発ロジックやアナログメモリとしての応用も期待されており [1.27-1.29]、次世代の不揮発性メモリ素子として非常に有望であると言える。

表 1.2 各種不揮発性メモリの技術予測 [1.24-1.26]

	NAND Flash	PRAM	SST-MRAM	ReRAM	キャパシタ型 FeRAM	FeFET (FeTFT 含む)
動作原理	チャージ トラップ	相変化記録	スピン注入 磁化反転	バイポーラ フィラメント	強誘電体 キャパシタ	強誘電体 ゲート絶縁膜
セル構成	1T	1T1R	1T1R		1T1C	1T
加工寸法	10 nm	8 nm	16 nm	< 5 nm	65 nm	5 nm
セル面積	4 F ²	4 F ²	8 F ²	4 F ²	12 F ²	4 F ²
書き込み時間	1 ms	< 50 ns	< 1 ns	< 1 ns	< 10 ns	< 100 ps
書き換え回数	10 ⁵	10 ⁹	> 10 ¹⁵	> 10 ¹²	> 10 ¹⁵	> 10 ¹²
書き込み電圧	15 V	< 3 V	< 1 V	< 1 V	0.7~1.5	?
// エネルギー	0.1 fJ/bit	1 fJ/bit	150 fJ/bit	0.1 fJ/bit	7 fJ/bit	0.1 fJ/bit
特徴	回数× 電圧×		回数○ 消費電力×	動作原理 不明確×	微細化× 破壊読出し×	速度○ 消費電力○

1.3 液体プロセス

温室効果ガスの削減や、化石燃料・レアメタルの可採年数、およびそれら資源の偏在性などをはじめとする環境・資源・エネルギーの問題は、今日の人類社会・科学技術にとって最も重要な課題の1つであり、それはエレクトロニクスにとっても例外ではない。しかし、現在のデバイス製造プロセスに必要な資源・エネルギーはフォトリソグラフィーと真空成膜装置によって律速されているため、大幅な削減は困難である。

そのような中で、近年、液体原料と印刷技術を用いた新たなデバイス製造技術が注目されている。それは液体プロセスや、印刷エレクトロニクス（プリンテッド・エレクトロニクス）などと呼ばれ、革命的な省資源化・省エネルギー化を実現可能な新技術として期待されている。本研究では、FeTFT などの集積回路素子を液体プロセスによって製造することを目指し、酸化物半導体の液体原料の調合・薄膜形成・TFT 応用などを行い、液体原料の設計指針を議論した。

1.3.1 液体プロセスとは

液体原料による薄膜作製技術は、化学溶液堆積（chemical solution deposition, CSD）法などと呼ばれすでに実用化されており、エレクトロニクスにおいても広く利用されている。現在は、液体原料を基板全面に均一に塗布し、それを熱処理などによって固化させて薄膜を作製している。そのため電子デバイスを作製する際は、得られた薄膜をフォトリソグラフィーによってパターンニングする必要がある。

それに対し印刷エレクトロニクスでは、原料を基板に印刷することで、塗布とパターンニングを同時に行うことが可能である。また、原料をナノインプリントによって直接パターンニングする、ナノレオロジープリンティング（nano-rheology printing, n-RP）[\[1.30, 1.31\]](#) というパターンニング法も提案されている。本研究ではこれらのような、液体原料の塗布とパターンニングを同時に行うことができるプロセスの総称を液体プロセスと呼ぶ。液体プロセスは、効率的な原料使用や、製造エネルギーの削減、製造装置・設備の削減などの様々なメリットを持つため、資源・エネルギーの問題や、半導体産業における初期投資の高騰などの社会問題を解決できる可能性を持つ、革新的なプロセス技術である。

1.3.2 塗布方法およびパターンニング方法

実験室では、スピコート法とディップコート法による塗布が主流である。製造法としては、インクジェット印刷およびグラビアオフセット印刷などの印刷技術や n-RP を利用することで、塗布とパターンニングを同時に行うための研究がなされている。n-RP は、フォトリソグラフィーが不要であることに加えて、10 nm 程度の極微細加工を実現できるというメリットも有する。

1.3.3 液体プロセスのメリット

- ・ 化学気層成長（chemical vapor deposition, CVD）法やスパッタ法などの真空成膜とフォトリソグラフィーを用いる現在のデバイス製造プロセスでは、原料・材料の使用効率がわずか数%である [例えば CVD 法では成膜時のガス使用効率が 10～20%であり、その後フォトリソグラフィーによって不要な部分を取り除かれる（パターニングされる）ため、最終的な使用効率は数%。]。それに対し液体プロセスは、原料の段階でパターニングができるため使用効率がほぼ 100%である。
- ・ フォトリソグラフィーが不要であり、プロセスの短縮が可能である。フォトリソグラフィーは装置コストも非常に高額であるため、コストも大幅に削減できる。
- ・ 真空成膜装置が不要なため、半導体工場で使用される電力の 13%にあたるエネルギーを削減できる [1.32]。装置コストも削減が可能。
- ・ 大面積化が可能であり、照明やディスプレイなどの大面積デバイスの製造に適する。
- ・ フレキシブル基板上に原料を印刷することで roll-to-roll プロセスが可能になる。roll-to-roll プロセスとは、ロール状の基板フィルムを巻き出しながら、デバイスをフィルム上に連続で印刷し、完成したデバイスを再びロールに巻き取るプロセスである。低コストで高速・大量生産が可能であると期待されている。
- ・ フォトリソグラフィーや真空成膜装置など様々な製造装置が不要であるため、ミニマルファブとの親和性が高い。ミニマルファブとは、クリーンルームを使用せずに安価な設備投資で多品種・少量生産を行い、デバイス製造プロセスの収益を高めようという構想である。

1.3.4 本研究における液体プロセスの意義

本研究では、FeTFT の一部を液体原料から作製している。ただし、印刷技術などによる塗布とパターニングは行っておらず、熱処理条件や前駆体の選択などをテーマとしている。FeTFT の強誘電体ゲート絶縁膜に用いた BLT 薄膜は、sol-gel 法によって成膜した。3.1 節ではそのアニール条件を検討している。また第 6 章では、アモルファス酸化物半導体薄膜の液体原料を調合し、薄膜形成や TFT 応用などを行った。将来目標としては、代表的なアモルファス酸化物半導体である a-In-Ga-Zn-O (IGZO) を指向しているが、本研究ではその前段階として $\text{In}_2\text{O}_3 \cdot \text{ZnO} \cdot \text{In-Zn-O}$ (IZO) の液体原料をテーマに設計指針を議論した。

1.4 本研究の目的

本研究では、エレクトロニクスにおける重要な 3 要素である 1) 材料 2) デバイス 3) プロセスに、1) 酸化物 2) 強誘電体ゲート薄膜トランジスタ (FeTFT) 3) 液体プロセスを選択している。

1) 酸化物

酸化物は化学的に安定であり、強誘電性などの機能性材料の電子デバイスへの応用が期待されている。本研究では、酸化物強誘電体と良好な界面を形成し得る半導体材料の候補として、酸化物半導体に着目した。特にアモルファス酸化物半導体は、堆積膜によって TFT を安価に作製でき、従来のアモルファス材料が持たない高移動度 [1.1, 1.6-1.8] や低 OFF リーク電流 [1.1, 1.2] によって集積回路への応用も期待される有望な半導体材料である。透明性 [1.5, 1.8] や柔軟性 [1.5, 1.9] を活かした応用も期待されている。

2) 強誘電体ゲート薄膜トランジスタ (FeTFT)

強誘電体は機能性酸化物の 1 つであり、不揮発性メモリへと応用されている。強誘電体を TFT のゲート絶縁膜に用いた強誘電体ゲート薄膜トランジスタ (FeTFT) は、現在実用化されているキャパシタ型強誘電体よりも微細化が可能であり、高速・低消費電力で動作するため、次世代の不揮発性メモリとして有望である。特に、強誘電体の物性に起因する極めて低い消費電力は他の不揮発性メモリに対する大きなアドバンテージである [1.24-1.26]。

3) 液体プロセス

現在のデバイス製造プロセスに必要な資源・エネルギーはフォトリソグラフィーと真空成膜装置によって律速されているため、大幅な削減は困難である。そこで近年、液体原料と印刷技術を用いた新たなデバイス製造技術が注目されている。それは液体プロセスや、印刷エレクトロニクス (プリンテッド・エレクトロニクス) などと呼ばれ、革命的な省資源化・省エネルギー化を実現可能な新技術として期待されている。液体プロセスは原料の段階でパターニングができるため使用効率がほぼ 100% であり、フォトリソグラフィー装置や真空成膜装置の装置コスト・消費電力も削減できる。クリーンルームを使用せずに安価な設備投資で半導体デバイスの多品種・少量生産を行うミニマルファブや、低コストで高速・大量生産が可能な roll-to-roll プロセスとの親和性も優れているため、新たな産業や社会をつくり得る、大きな可能性を秘めたプロセス技術である。

本研究が目指す究極の目標は「酸化物材料で構成される FeTFT を液体プロセスで作製すること」であり、これは省資源・省エネルギーという現代社会の要請に十分応えることが可能である。本論文は、FeTFT の特性改善とアモルファス酸化物薄膜の液体原料設計という 2 点の要素技術確立し、革新的な省資源・省エネルギーを実現できる新たなエレクトロニクスの創生に寄与することを目指した研究成果を記すものである。

1.5 本論文の構成

第1章 序論

本論文の研究背景、目的、構成などを述べる。

第2章 薄膜作製手法とデバイス評価手法

本論文の多くに共通する実験手法とその原理を簡単に記す。

第3章 強誘電体および酸化物半導体の成膜条件検討と FeTFT の基礎特性評価

FeTFT 作製のための準備として、強誘電体 BLT の sol-gel 法による成膜条件と、酸化物半導体チャネル In_2O_3 のスパッタ法による成膜条件を検討する。次に、その結果を基にトップコンタクト構造の FeTFT を作製し、FeTFT の基礎特性を評価する。

第4章 FeTFT のソース・ドレイン構造の検討

ボトムゲート構造を持つ TFT のソース・ドレイン構造には、トップコンタクト構造とボトムコンタクト構造の2種類がある。トップコンタクト構造 FeTFT では ON→OFF のスイッチング速度が遅いことが報告されていたが、これは、空乏化したチャネルが強誘電体への電圧印加を妨げるためであると考えられる。そこで、強誘電体に対して効率的に電圧を印加できると考えられるボトムコンタクト構造をとることで、FeTFT のスイッチング特性の改善を目指す。

第5章 アモルファス酸化物半導体をチャネルに用いた FeTFT

FeTFT は次世代の不揮発性メモリとして非常に有望であるが、産業応用のためには微細集積化が必須課題である。本章では、微細集積化で懸念される電気特性ばらつきを防ぐために、アモルファス酸化物半導体をチャネルに用いることを検討する。アモルファス In-Ga-Zn-O (a-IGZO) のスパッタ成膜条件や成膜後のアニール条件の最適化を行い、良好な a-IGZO/BLT FeTFT の実現を目指す。

第6章 液体プロセスによる酸化物半導体薄膜形成と TFT 応用

液体プロセスは、省資源化・省エネルギー化を実現可能なデバイス製造技術として期待されているが、液体プロセスによるデバイス製造を実現するためには、原料溶液の作製、印刷による塗布とパターニング、アニールによる薄膜形成、デバイス作製という製造工程のすべてをクリアする必要がある。本研究では特に、マイクロスケール・ナノスケールで塗布とパターニングを行うためには、塗膜および液滴の乾燥挙動の制御が必要であることを提起し、それに係る物理的性質として塗膜形成能に着目する。そして、アモルファス酸化物半導体の液体原料の設計指針について、薄膜やデバイスの電気特性だけでなく、液体原料の特性や塗布時の塗膜形成能も含めて包括的に議論する。

第7章 結論

本研究で得られた結果や知見をまとめた後、今後に残された課題と展望について述べ、本研究の総括を行う。

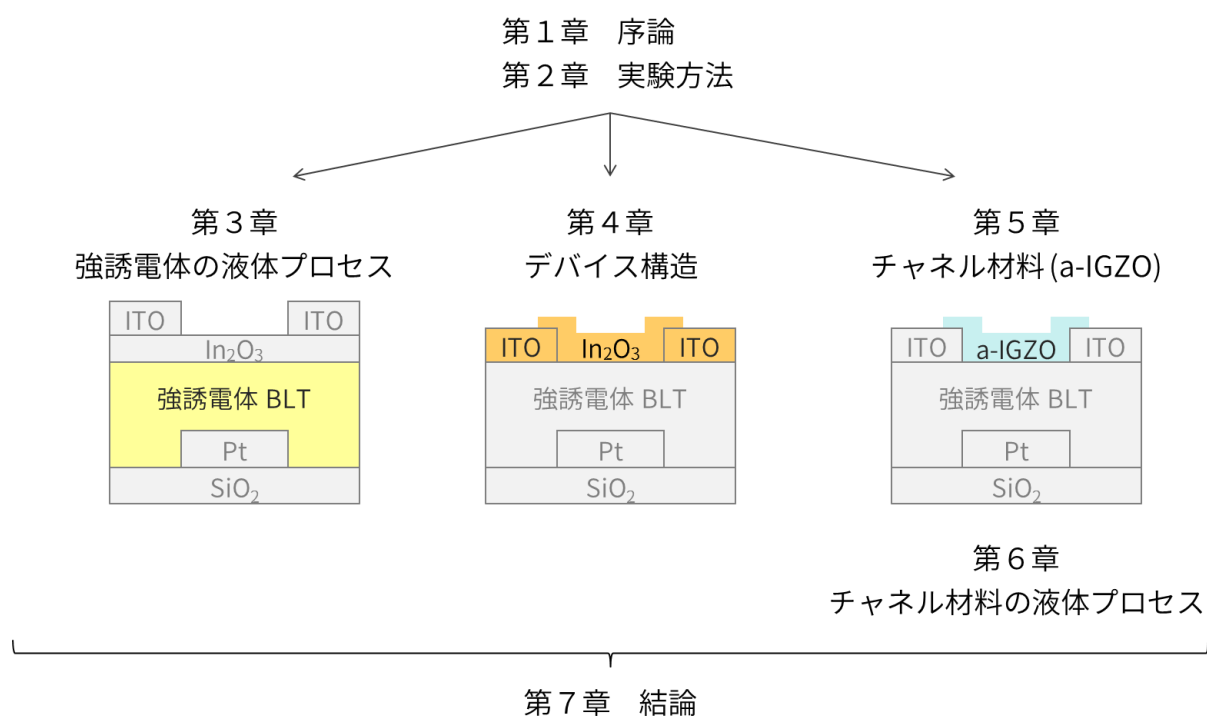


図 1.7 本論文の構成

第 2 章

サンプル作製方法および評価方法

本章では、デバイスの作製手順（プロセスフロー）、薄膜の作製手法、サンプルの評価手法、デバイスの評価方法などの実験方法を概説する。

デバイス作製手順

2.1	SiO ₂ 上 TFT の作製手順	18
2.1.1	ボトムゲートトップコンタクト構造	18
2.1.2	ボトムゲートボトムコンタクト構造	18
2.2	FeTFT の作製手順	19
2.2.1	ボトムゲートトップコンタクト構造	19
2.2.2	ボトムゲートボトムコンタクト構造	20
2.3	強誘電体キャパシタ作製手順	22

薄膜作製手法

2.4	RF マグネトロンスパッタ法	22
2.5	Sol-gel 法	24

サンプル評価手法

2.6	熱重量-示差熱分析(TG-DTA)	25
2.6.1	熱重量測定(thermogravimetry, TG)	25
2.6.2	示差熱分析(differential thermal analysis, DTA)	26

デバイス評価方法

2.7	容量-電圧($C-V$)測定	26
2.8	電流-電圧($I-V$)測定	27

2.1 SiO₂ 上 TFT の作製手順

本研究で作製した SiO₂ 上 TFT の構造を図 2.1 に示す。すべてボトムゲート構造であり、熱酸化 SiO₂/n⁺-Si 基板上に作製し、SiO₂（膜厚 100 nm）をゲート絶縁膜、n⁺-Si をゲート電極として利用している。ボトムゲートーボトムコンタクト構造の TFT は、第 5 章で作製した a-IGZO/SiO₂ TFT のみが該当する。

2.1.1 ボトムゲートートップコンタクト構造

1) チャンネル成膜

SiO₂/Si 基板上に、スパッタ法または液体プロセスによって、酸化物半導体薄膜を成膜した。

2) ソース・ドレイン電極形成

レジストの塗布・パターニング後に ITO・Mo・Al 薄膜のいずれかを 50～100 nm 成膜した。

その後、リフトオフによってソース・ドレイン電極を形成した。

3) 素子分離

レジストの塗布・パターニング後にチャンネル層をエッチングし、素子分離を行った。

2.1.2 ボトムゲートーボトムコンタクト構造（第 5 章において作製した a-IGZO/SiO₂ TFT のみ）

1) ソース・ドレイン電極形成

SiO₂/Si 基板上にレジストの塗布・パターニングを行い、スパッタ法で ITO 薄膜を 100 nm 成膜した後、リフトオフによってソース・ドレイン電極を形成した。

2) チャンネル成膜・形成

レジストの塗布・パターニングを行い、スパッタ法で a-IGZO 薄膜を 40 nm 成膜した後、リフトオフによってチャンネルを形成した。

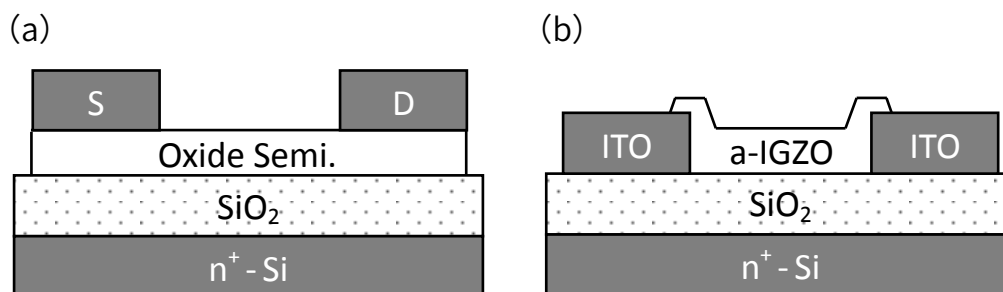


図 2.1 本研究で製した SiO₂ 上 TFT の構造

(a) トップコンタクト構造 (b) ボトムコンタクト構造（第 5 章の a-IGZO/SiO₂ TFT のみ）

2.2 FeTFT の作製手順

本研究で作製した FeTFT の構造を図 2.2 に示す。すべてボトムゲート構造である。

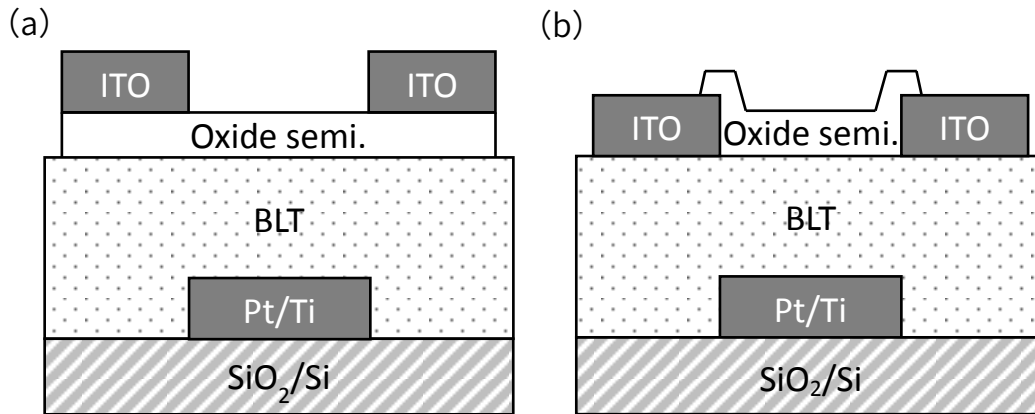


図 2.2 本研究で作製した FeTFT の構造
(a) トップコンタクト構造 (b) ボトムコンタクト構造

2.2.1 ボトムゲート・トップコンタクト構造

1) ゲート電極 (Pt/Ti) 形成

Pt/Ti/SiO₂/Si 基板の上にレジストの塗布・パターニングを行った後、Pt/Ti を 100～120℃の王水 (HNO₃:HCl = 1:3) でエッチングし、ゲート電極を形成した。その後、レジストを 120℃/5 min の SPM 処理 (H₂O₂:H₂SO₄ = 1:4) によって剥離した。

2) ゲート絶縁膜 (強誘電体 BLT) 成膜

Sol-gel 法によって膜厚 320 nm の BLT 薄膜を成膜した。成膜条件は 3.1.3 項参照。

3) チャンネル成膜

スパッタ法または液体プロセスによって、酸化物半導体薄膜を成膜した。

4) ソース・ドレイン電極 (ITO) 形成

レジストの塗布・パターニング後に、スパッタ法によって ITO 薄膜を 100 nm 成膜した。その後、リフトオフでソース・ドレイン電極を形成した。

5) 素子分離

レジストの塗布・パターニング後に、チャンネル層をエッチングして素子分離を行った。

6) コンタクトホール形成

レジストの塗布・パターニング後に HF・HCl・HNO₃ の混合液 (HF:HCl:HNO₃ = 2:2:1) で BLT をエッチングし、コンタクトホールを開口した。

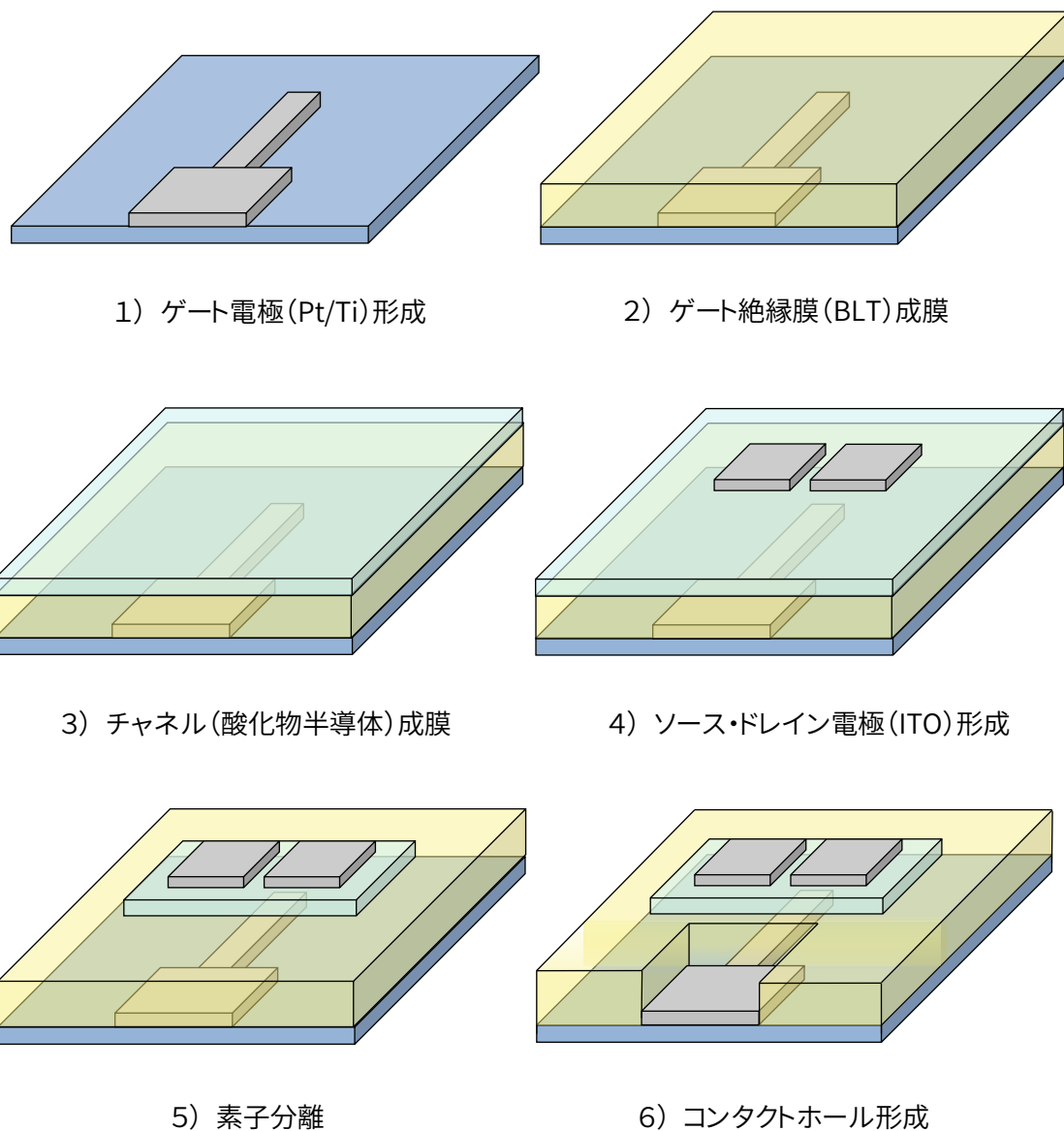


図 2.3 トップコンタクト構造 FeTFT のプロセスフロー

2.2.2 ボトムゲートーボトムコンタクト構造

手順 1)～2) は、2.2.1 項のボトムゲートートップコンタクト構造の作製手順と同じである。

1) ゲート電極(Pt/Ti)形成

Pt/Ti/SiO₂/Si 基板上にレジストの塗布・パターニングを行った後、Pt/Ti を 100～120℃の王水 (HNO₃ : HCl = 1 : 3) でエッチングし、ゲート電極を形成した。その後、レジストを 120℃/5 min の SPM 処理 (H₂O₂ : H₂SO₄ = 1 : 4) によって剥離した。

2) ゲート絶縁膜(強誘電体 BLT)成膜

Sol-gel 法によって膜厚 320～400 nm の BLT 薄膜を成膜した。成膜条件は 3.1.3 項参照。

3) ソース・ドレイン電極(ITO)形成

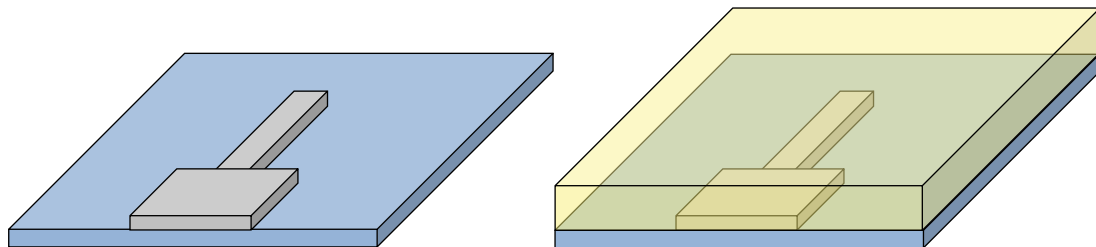
レジストの塗布・パターニング後に、スパッタ法によって ITO 薄膜を 100 nm 成膜した。
その後リフトオフでソース・ドレイン電極を形成し、600°C / 1 h の O₂ アニールを行った。

4) チャンネル成膜・形成

スパッタ法によって酸化物半導体薄膜を成膜し、リフトオフでチャンネルを形成した（ウェットエッチングでは酸化物半導体と ITO の選択性が取れない）。成膜条件は 3.3 参照。

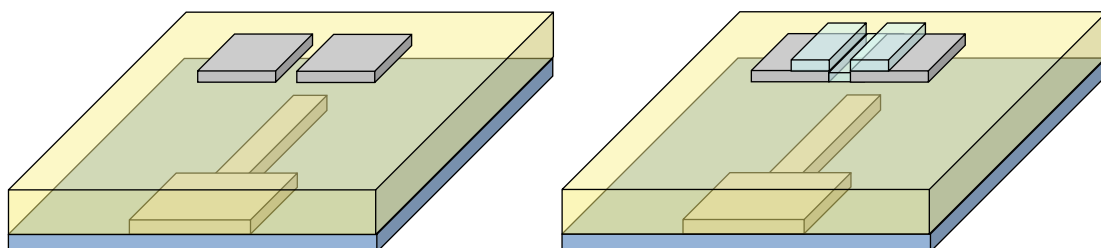
5) コンタクトホール形成

レジストの塗布・パターニング後に、HF・HCl・HNO₃ の混合液 (HF:HCl:HNO₃ = 2:2:1) で BLT をエッチングし、コンタクトホールを開口した。



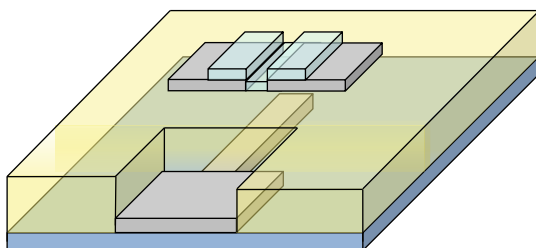
1) ゲート電極(Pt/Ti)形成

2) ゲート絶縁膜(BLT)成膜



3) ソース・ドレイン電極(ITO)形成

4) チャンネル(酸化物半導体)成膜・形成



5) コンタクトホール形成

図 2.4 ボトムコンタクト構造 FeTFT のプロセスフロー

2.3 強誘電体キャパシタ作製手順

MFS (metal/ferroelectric/semiconductor) キャパシタはトップコンタクト構造 FeTFT と同時に、MFM (metal/ferroelectric/metal) キャパシタはボトムコンタクト構造の FeTFT と同時に、同一基板上に作製される。(図 2.5)

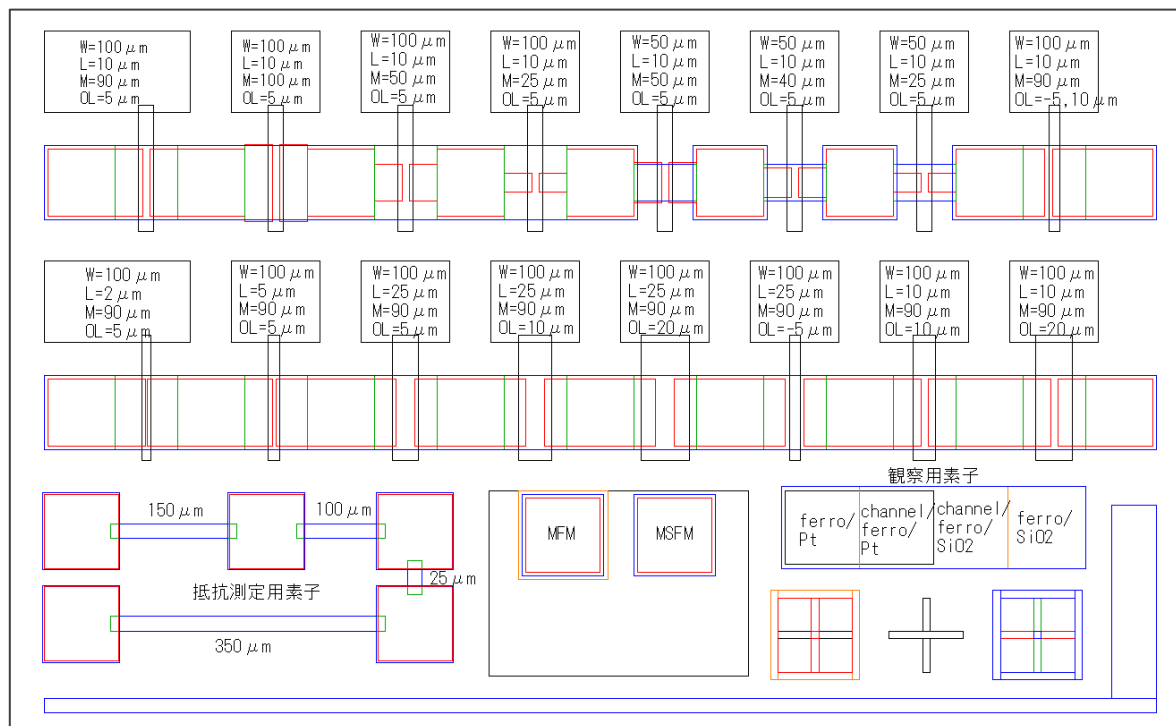


図 2.5 本研究においてデバイス作製に使用したフォトマスクの概略図

W: チャンネル幅 L: チャンネル長 M: ソース・ドレイン電極幅

OL: ソース・ドレイン電極とゲート電極のオーバーラップ

2.4 RF マグネトロンスパッタ法

電極として用いた ITO や、チャンネル材料として用いた酸化物半導体などの成膜には RF マグネトロンスパッタ法を用いた。スパッタ法は、スパッタリング現象（高電圧をかけてプラズマを発生させ、イオン化された Ar などの希ガスをターゲットに衝突させると、その衝撃によってターゲット物質が飛び出す）ことを利用して、飛び出したスパッタ粒子を基板上に堆積させる薄膜形成手法である。スパッタ法の放電方式には直流 (DC) と交流 (RF) の 2 種類があるが、本研究では、導電性が低いターゲットもスパッタでき、成膜圧力も DC 放電より 1~2 桁低い RF 放電を選択している。低い成膜圧力は、成膜速度の増加や、薄膜の膜質向上に寄与する。本研究で用いたスパッタ方式は、さらにターゲット背面にマグネットを配置した RF マグネトロンスパッタ法である。この RF マグネトロンスパッタ法は、マグネットが作る磁場でプラズマをターゲット表面近傍に高密度に拘束することで、さらなる高速成膜と膜質向上を可能にしており、工業的な量産ラインにおいても広く用いられている。以下にスパッタ法の一般的な長所と短所をまとめる。

スパッタ法の長所

- * 大面積基板上に均一な膜厚の薄膜を作製するのに有利である。
- * 金属・合金・絶縁物など広範囲の材料の薄膜を作製できる。
- * 合金系や化合物のターゲットの組成比をほぼ保ったまま薄膜を作製できる。
- * 融点が高い材料でも成膜が可能である。(真空蒸着法では基本的には不可能)
- * 投入電力と成膜時間の制御だけで高精度の膜厚制御が可能である。
- * スパッタ粒子は非常に大きなエネルギー(数十 eV)を持つため、基板との付着力が強く、密着性が高い薄膜を作製できる。(真空蒸着法の粒子はおよそ 0.2 eV)
- * スパッタ粒子は大きなエネルギーを持つため、薄膜形成の初期過程における核発生密度が高く、10 nm 以下の極めて薄い連続膜を作製できる。
- * ガスとの衝突によってスパッタ粒子の回り込みが発生するため、段差被覆性が良い。

スパッタ法の短所

- * 基板がプラズマに晒されることで、ダメージを受けやすい。
- * 真空蒸着などと比べると成膜速度が遅い。
- * ガスとの衝突によってスパッタ粒子の回り込みが発生するため、マスク制御が難しい。

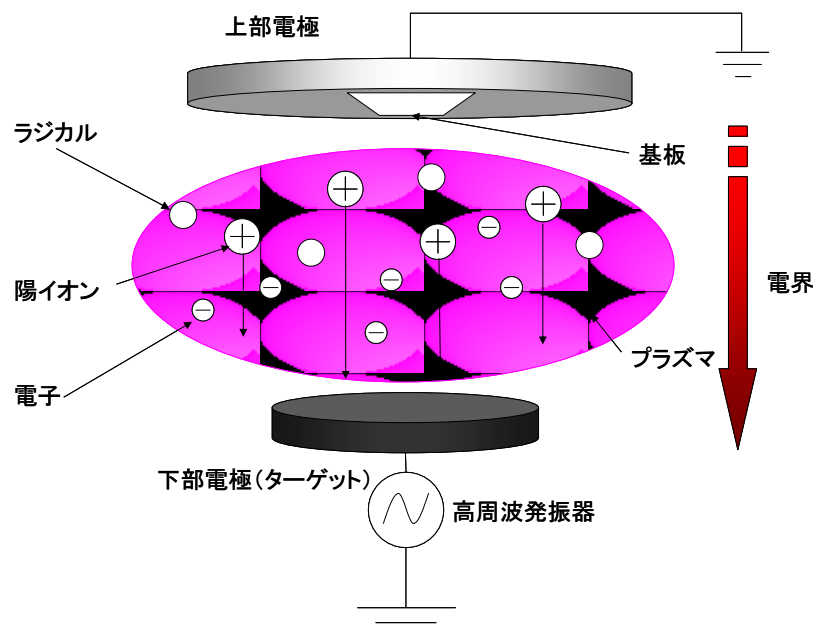


図 2.6 RF スパッタ法の原理

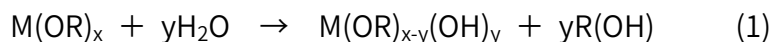
2.5 sol-gel 法

本研究では、強誘電体である BLT 薄膜の形成や、酸化物半導体の液体プロセスに sol-gel 法を用いた。

分散系において、分散質 (dispersoid) の粒子の大きさが 1 nm ~ 100 nm 程度であり、チンダル現象などを示す物質状態をコロイド (colloid) と呼ぶ。多くの場合において、分散質の粒子は水素結合やファンデルワールス力などの分子間力によって凝集しているため、巨視的には一様な性質を示すが微視的には 2 種以上の相が混合している。したがって、現象としてはあくまで分散であり溶解とは異なる。

ゾル (sol) およびゲル (gel) は、液体を分散媒 (disperse medium) とするコロイドである。狭義には、さらに分散質が固体であるものに限ることもある。このゾルとゲルは、粘性や流動性によって区別される。流動性があり液体のような状態をゾル、粘性が高く固体のように振る舞う状態をゲルと呼ぶ。ゲルは通常、ゾルの分散質を凝集させてネットワークを作り、流動性を抑えて粘性を高めることで形成される。さらに、ゲルの分散媒を乾燥させて空隙のある網目構造を持たせたものをキセロゲル (xerogel)、ゲルの分散媒を超臨界乾燥させて体積の大部分を空隙としたものをエアロゲル (aerogel) と呼ぶ。

sol-gel 法は、加水分解と縮重合によって液体原料からゾルやゲルを作製し、熱処理によって有機溶媒を取り除いて酸化物の固体 (ガラスやセラミックス) を作製するプロセスである。原料が液体であるため、バルク状・薄膜・ファイバー・エアロゲルなどの様々な形状が得られる。酸化物の前駆体には有機金属や金属塩化物など様々な種類があるが、簡単な蒸留操作によって半導体級の高純度品が得られる金属アルコキシドが用いられることが多い。これを有機溶媒に溶かし、加水分解用の水と、触媒となる酸または塩基を加え、加水分解と縮重合を起こす。これによってまず原料を凝集させてゾルとする。さらに反応を進めてコロイド粒子を沈殿させ架橋構造を作り、ゾルをゲル化させる。この間に、所望の形状に合わせて適切なタイミングで塗布・乾燥・熱処理を行う。加水分解と縮重合の化学反応式は以下の通りである。



(1) の加水分解反応が進むと最終的に $y = x$ となり、 M(OH)_x が生成される。続いて (2) のような縮重合反応が起こる。ここでは M(OH)_x による脱水縮重合反応を示したが、 $\text{M(OR)}_{x-y}(\text{OH})_y$ の状態でも重合反応は起こると考えられる。また、脱アルコール反応が起こる場合もある。

2.6 熱重量－示差熱分析(TG-DTA)

示差熱分析（differential thermal analysis, DTA）は、加熱炉内の基準物質と試料の温度を一定のプログラムにしたがって変化させながら両者の温度差を測定する分析技術である。これを熱重量測定（thermogravimetry, TG）と同時に行う（TG-DTA）ことで、昇温時の重量変化と熱特性（発熱反応であるか吸熱反応であるか）の組み合わせによって、種々の化学反応を推定することが出来る。

2.6.1 熱重量測定(thermogravimetry, TG)

TG は物質の温度を一定のプログラムに従って変化させながら、測定試料の質量を温度の関数として測定する技法である。一般には TG 装置は DTA との複合型測定装置（TG-DTA）が多く普及している。図 2.7 に示したのは、水平差動型 TG-DTA 同時測定装置の概略図である。試料ホルダーに置かれた試料は加熱炉によって加熱され、昇温過程において試料の重量が変化すると天秤ビームが傾く。このビームの傾きを検出部のフォトセンサーにより検出し、その信号をフィードバックすることによってビームが常に水平を保つように駆動コイルが作動する。この時、駆動コイルに流れる電流は重量変化に比例するため、あらかじめ重量と電流との関係を校正しておくことで測定試料の重量変化を測定できる。また、各ホルダーに取り付けられた熱電対を用いて測定試料と基準物質の温度差を検出する DTA を同時に行うことも可能である。

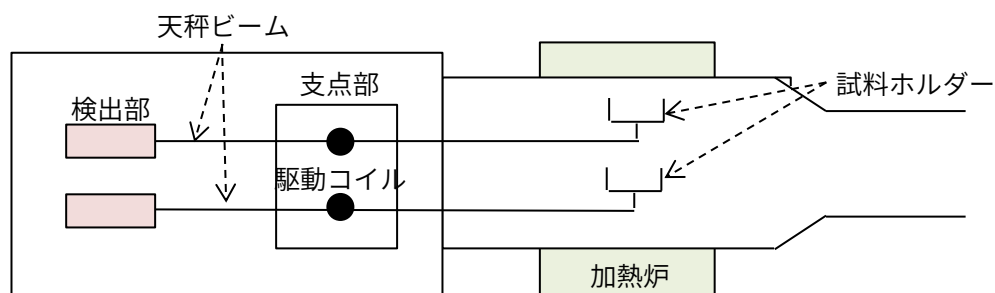


図 2.7 水平差動型 TG/DTA 同時測定装置の概略図

2.6.2 示差熱分析(differential thermal analysis, DTA)

DTA は試料と基準物質の温度を一定のプログラミングに従って変化させながら、両物質間の温度差を温度の関数として測定する技法である。DTA 装置の概略図を図 2.17 に示す。炉体内に基準試料と測定試料を入れ、昇温過程における両者間の温度差を検出する。ここで基準試料は、測定温度範囲内においては熱的变化を起こさない物質を用いるので、加熱炉と同じ傾きで温度が上昇する。昇温の過程で測定試料が熱的に安定である間は基準試料との間の温度差はゼロまたは一定で推移するが、測定試料に何らかの熱的变化が起こると基準物質との温度差に変化が生じる。この時の温度差を時間に対してプロットするとそれぞれの反応に応じて吸発熱ピークや段差があらわれ、これを DTA 曲線とする。

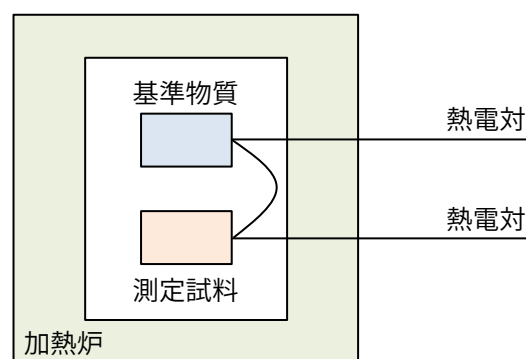


図 2.8 DTA 装置の概略図

2.7 容量-電圧(C-V)測定

キャパシタや FeTFT の $C-V$ 測定には、LCR メータ (Agilent 4284A) を用いた。LCR メータの測定原理を図 2.9 に示す。直流信号と小信号を加えた交流電圧を印加し、サンプルを流れる交流電流 I と両端の電圧 V を電流検出端子 $H_{CUR} \cdot L_{CUR}$ と電圧検出端子 $H_{POT} \cdot L_{POT}$ で測定し、インピーダンス $Z = V/I$ を求める。インピーダンス Z は、 $Z = R + jX$ と、抵抗成分 R とリアクタンス成分 X に分離できる。また、サンプル周辺の金属との間で生じる静電容量を除去するために、サンプルの周囲の電位は GND にする。本研究では C_p モードで測定を行っている。インピーダンス Z は図 2.10 の回路で表すことができ、 C_p が実測されるキャパシタ容量となる。

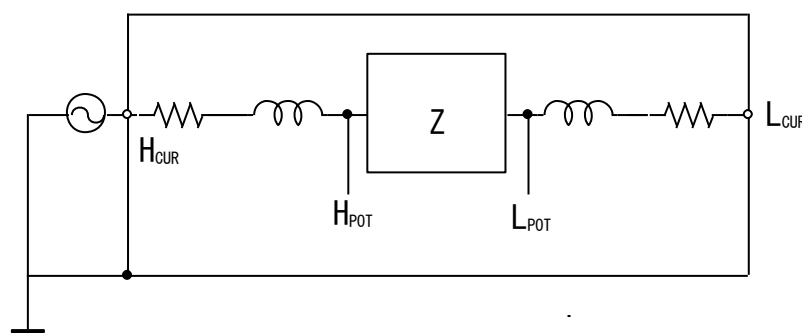


図 2.9 LCR メータによる4端子対測定法の原理

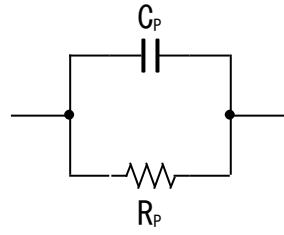


図 2.10 サンプルの等価回路

2.8 電流－電圧(I － V)測定

ステップ電圧を用いた一般的な I － V 測定の原理を図 2.11 に示す。電圧ステップ ΔV と遅延時間 Δt を設定し、電圧ステップ ΔV を積算することによって電圧が上昇する。この電圧ステップの上昇に対して吸収電流が誘起される。吸収電流は単調に減少し、この操作が繰り返し行われ電流が測定される。本研究では、強誘電体薄膜のリーク電流を評価するために I － V 測定を行った。測定装置は半導体パラメータアナライザ (Agilent 4156C) を用いた。トランジスタのドレイン電流－ゲート電圧 (I_D － V_G) 測定などにもこの装置を用いている。

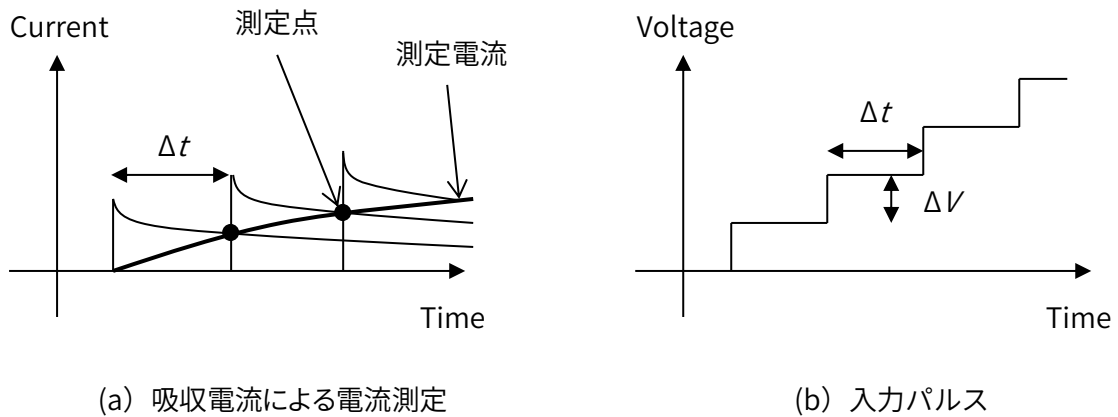


図 2.11 ステップ電圧を用いた I － V 測定の原理

第3章

強誘電体および酸化物半導体の成膜条件検討と

FeTFT の基礎特性評価

本章では、良好な特性を持つ FeTFT 作製のための準備として、はじめに強誘電体 $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT) および酸化物半導体 In_2O_3 の成膜条件を検討した。BLT については Sol-gel 法におけるアニール条件を検討し、 In_2O_3 についてはスパッタ法における O_2/Ar 分圧比と成膜後のアニール条件を検討した。次に、これらの結果を基にボトムゲートトップコンタクト構造（逆スタガ構造）の FeTFT を作製し、 I_D-V_G 特性を評価した。

3.1	強誘電体 BLT の成膜条件検討	30
3.1.1	熱分析(TG-DTA)による化学現象の推定	30
3.1.2	BLT の結晶化メカニズム	33
3.1.3	成膜条件の設定と実験方法	33
3.1.4	実験結果および考察	35
3.1.5	まとめ	40
3.2	酸化物半導体 In_2O_3 の成膜条件検討	41
3.2.1	XRD 分析($\theta-2\theta$ 測定)	41
3.2.2	$\text{In}_2\text{O}_3/\text{SiO}_2$ TFT の評価	42
3.2.3	In_2O_3 ターゲットの酸素抜け	43
3.3	FeTFT の基礎特性評価(In_2O_3 /BLT FeTFT の評価)	44

3.1 強誘電体 BLT の成膜条件検討

本研究では、BLT 薄膜の成膜方法に sol-gel 法を用いている。sol-gel 法は酸化物材料の合成方法として工業的に広く使われており、成熟した既存技術であるが、主な応用例はファイバー・コーティング膜（厚膜）・ナノポーラス材料（ナノ構造）などであり、薄膜の作製に対しては、基礎研究の一部において利用されているのみである。そのため、既存の sol-gel プロセスの主眼はゾル・ゲルの粒径の制御やアニールの最高温度の設定などに置かれており、薄膜作製に対する技術の成熟度はあまり高くない。

これは sol-gel 法による BLT 薄膜作製の学術研究についても同様であり、組成の最適化 [3.1]、基板に対する依存性 [3.2]、アニールの最高温度 [3.2] などの報告例が大部分を占める。そのため、低温（室温～500℃程度）でのアニール条件は現在まで考えられてこなかった。しかし sol-gel 法による BLT 薄膜の作製プロセスでは、コーティングと低温アニールを数回繰り返して所望の膜厚を得てから、高温のアニールによって薄膜全体を一度に結晶化させる手法が一般的であり、低温でのアニール条件についても検討すべきと考えられる。

そこで本研究では、BLT の sol-gel プロセスにおいて低温（室温～500℃程度）で生じる化学現象を原料溶液の熱分析によって推定し、これらの化学現象に対してアニール条件を設定することを考えた。加えて、高温での結晶化についても BLT の結晶化メカニズムを考慮したアニール条件を検討した。

3.1.1 熱分析(TG-DTA)による化学現象の推定

示差熱分析（differential thermal analysis, DTA）は、加熱炉内の基準物質と試料の温度を一定のプログラムにしたがって変化させながら両者の温度差を測定する分析技術である。これを熱重量測定（thermogravimetry, TG）と同時に行う（TG-DTA）ことで、昇温時の重量変化と熱特性（発熱反応であるか吸熱反応であるか）の組み合わせから、種々の化学反応を推定することが出来る。本研究では、BLT の sol-gel 原料溶液の TG-DTA 曲線（図 3.1）を、表 3.1 や一般的な sol-gel 法の知見 [3.3, 3.4] を基に考察し、BLT の sol-gel プロセスにおいて生じる化学現象を推定した。

TG-DTA の測定条件

試料溶液： 三菱マテリアル製 $\text{Bi}_{3.35}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ sol-gel 溶液

[溶媒： 1-ブタノール 組成： 3 mol% Bi 過剰（アニール時の揮発分を補償するため）]

溶液量： 約 9 mg

基準物質： Al_2O_3 粉末

容器： Al パン（直径 5 mm 程度）

昇温レート： 5℃/min

雰囲気： 乾燥空気

測定間隔： 0.5 s

TG-DTA の測定データ

- * 時間と試料温度は線形であったため、温度を横軸に取っている。
- * この線形性により、重量の時間微分と温度微分もほぼ等しい。
- * DTA 曲線は、発熱(exothermic)を上側、吸熱(endothermic)を下側に取っている。

TG: 熱重量測定(thermogravimetry, TG) 重量を初期重量に対する(%)で表示。

DTG: 微分熱重量(derivative TG, DTG) TG の温度微分を($\mu\text{g}/^{\circ}\text{C}$)で表示。

DTA: 示差熱分析(differential thermal analysis, DTA) 熱電対の電位差を任意単位で表示。

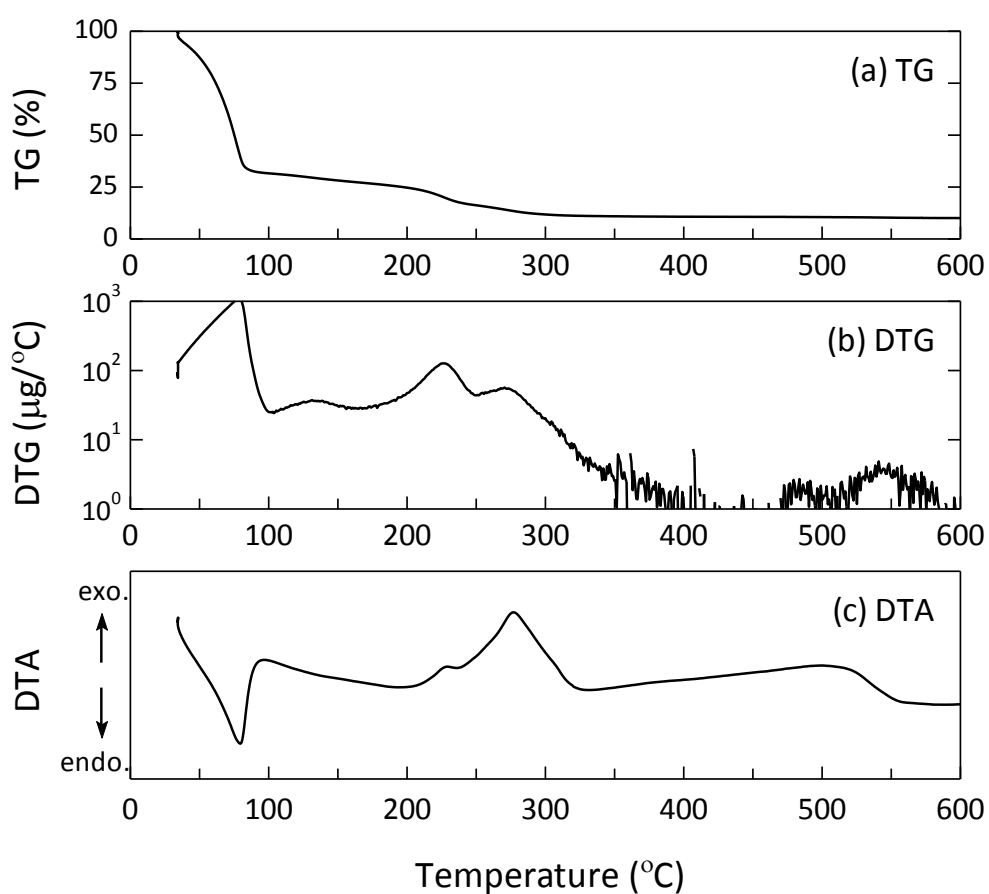


図 3.1 BLT 溶液の TG・DTG・DTA 曲線

化学現象とその温度の推定

80°C付近の大きな重量減少を伴う吸熱ピークは、溶媒である 1-ブタノール（沸点 117°C）の蒸発を示している。230°Cと 280°Cにおける DTG ピークを伴う 2つの発熱ピークは、残留有機物の分解を示している。320~550°Cの発熱は脱水縮合反応によるものと考えられる。そのため、550°Cにおいて化合物としての BLT の形成はほぼ完了していると考えられる。これらの化学現象と温度は、表 3.2 にまとめている。

表 3.1 代表的な化学現象の熱的挙動

(ガスが発生する現象は、ガスが系外に散逸するため重量が減少する。)

現象	ガスの発生	TG	DTA	現象	ガスの発生	TG	DTA
熱分解	大抵あり			結晶化	—		
酸化	— (酸素と結合)			脱離 脱水	あり		
還元	あり			燃焼 (分解+酸化)	あり		
昇華 蒸発	あり			ガラス転移	—		
融解	大抵あり (不純物など)						

3.1.2 BLT の結晶化メカニズム

図 3.2 は、BLT の結晶構造（ユニットセルの半分）を示している。強誘電性の起源である TiO_6 八面体を含む擬ペロブスカイト層が Bi_2O_2 層に挟まれており、Bi 層状ペロブスカイト構造と呼ばれている。これら Bi_2O_2 層と TiO_6 八面体の形成温度（結晶化温度）は Sugita らによって報告されている [3.5]。Sugita らは本研究と同じ原料溶液から得られた BLT 薄膜に対して、ラマン分光法を用いて結晶化アニール時におけるその場観察を行った。その結果、 Bi_2O_2 層の形成（結晶化）は 500°C 付近から始まり 550°C までに完了することと、 TiO_6 八面体は 600°C 以上で形成（結晶化）が始まることを発見した [3.5]。測定時の昇温レートは $20^\circ\text{C}/\text{min}$ であったため、 $500\sim 550^\circ\text{C}$ で 2.5 min 以上アニール温度を保持すれば、両者の形成（結晶化）温度の違いを利用して Bi_2O_2 層と TiO_6 八面体（擬ペロブスカイト層）の形成を順番に（独立に）行うことができると考えられる。

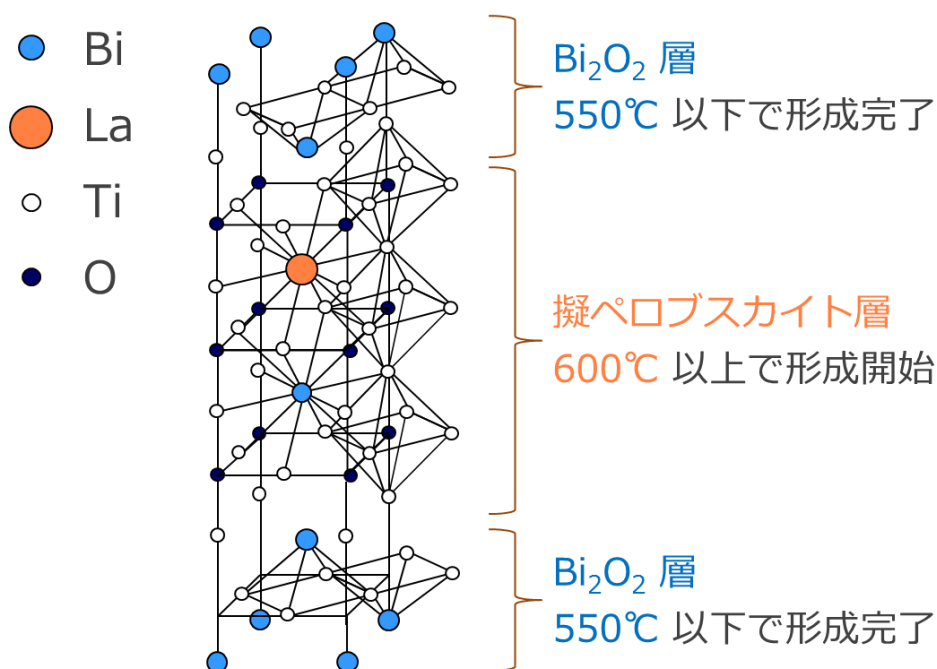


図 3.2 BLT の結晶構造(ユニットセルの半分)

3.1.3 成膜条件の設定と実験方法

成膜条件の設定

表 3.2 のような 2 種類のアニール条件を設定した。(1) conventional プロセスは従来の sol-gel 法による BLT 薄膜の作製条件と同じ [3.1, 3.6-3.8] であるのに対し、(2) step-by-step プロセスは $200\sim 750^\circ\text{C}$ に昇温レート ($5^\circ\text{C}/\text{min}$) を設定している。これは TG-DTA と in-situ ラマン分光測定 の昇温レート（それぞれ $5^\circ\text{C}/\text{min}$ と $20^\circ\text{C}/\text{min}$ [3.5]）より緩やかな値であり、sol-gel プロセス

の下で生じる化学現象（反応）を少しずつ緩やかに進行させ、特に Bi_2O_3 層と TiO_6 八面体（擬ペロブスカイト層）の形成（結晶化）を順番に（独立に）行うことが出来ると考えられる。これにより、(2) step-by-step プロセスは電氣的欠陥が少なく高品質な薄膜を作製出来るのではないかと期待される。

実験方法

2 種類のアニール条件を用いて Pt/Ti/SiO₂/Si 基板上に sol-gel 法により BLT 薄膜を作製した。 TiO_6 八面体の形成（結晶化）に対応するステップ [(1) では 750°C、(2) では 550~750°C および 750°C] を除いて、スピコートとアニールを数回繰り返すことで、320~400 nm の膜厚を得ている。そして最後に 1 回だけ TiO_6 八面体の形成（結晶化）に対応するアニールを行い、BLT 薄膜を結晶化させている。得られた BLT 薄膜について、XRD 分析と AFM によって結晶配向性と表面モフォロジーを評価した。その後、上部電極を形成して強誘電体キャパシタ（MFM）を作製し、分極特性（ $P-E$ ヒステリシス）とリーク電流を評価した。なお、(2) step-by-step プロセスについては、500~550°C アニールの直後にも XRD 分析を行っている。

BLT の sol-gel 溶液

三菱マテリアル製 $\text{Bi}_{3.35}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ sol-gel 溶液

溶媒：1-ブタノール

組成：3 mol% Bi 過剰（アニール時の揮発分を補償するため）

表 3.2 本研究で検討したアニール条件

(1) Conventional			(2) Step by step		
Temp. (°C)	Time (min)	Chemical phenomenon	Temp. (°C)	Time (min)	Rate (°C/min)
240	8	Evaporation of solution (1-butanol)	100	10	–
			100–200	10	10
400	10	Decomposition of residual organics	200–300	20	5
750	30	Dehydration and condensation	300–500	40	5
		Bi_2O_3 layer formation	500–550	10	5
		TiO_6 octahedron formation	550–750	40	5
			750	30	–

3.1.4 実験結果および考察

XRD 分析(結晶配向性)

図 3.3 は BLT 薄膜の XRD 回折パターン ($\theta-2\theta$ 測定) である。0012・200・020 の回折ピークは非常に近い角度で現れるため、ピークの分離は困難であり、本研究では行っていない。

(1) conventional プロセスで作製した BLT 薄膜では、Bi 層状ペロブスカイト構造の結晶による回折ピークが明瞭に表れている。BLT 単結晶粉末の $\theta-2\theta$ 測定では 117 回折ピークが最大ピークであるが、(1) conventional プロセスで作製した BLT 薄膜では大きな 00 ℓ 回折ピークが現れており、c 軸方向に優先配向していることがわかる。(2) step-by-step プロセスで作製した BLT 薄膜では、550°Cにおいては回折ピークがほとんど見られず結晶化が進んでいない。それに対し 750°Cにおいては、111・117・200/020 の回折ピークが現れ結晶化が進んでいる。この結果から、Bi₂O₂ 層と TiO₆ 八面体の形成(結晶化)がおそらく順番に(独立に)起こっていると考えられる。加えて、特筆すべきは 00 ℓ 回折ピークがほとんど現れていないことであり、(2) step-by-step プロセスでは (1) conventional プロセスとは結晶配向性が大きく異なり、c 軸配向の結晶粒の成長が強く抑制されることが明らかとなった。200/020 回折ピークが 117 回折ピークより大きいことから、やや a・b 軸に優先配向していると考えられる。BLT は強誘電性に異方性を持つため、このような配向性の違いは、図 3.5 に示す分極特性 ($P-E$ 特性) にも影響をもたらす(詳しくは後述)。

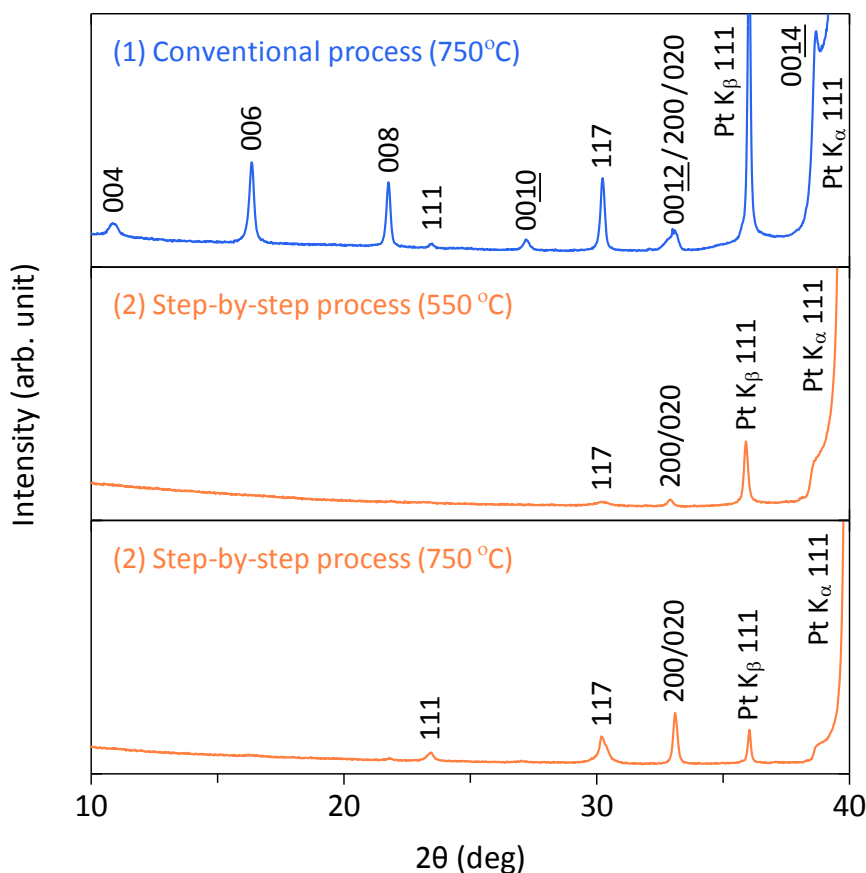


図 3.3 BLT 薄膜(Pt/Ti/SiO₂/Si 基板上)の XRD 回折パターン

AFM 像(表面モフォロジー)

図 3.4 は BLT 薄膜の AFM 像である。プロセス(1)・(2)の間で、結晶粒の大きさに顕著な違いが現れており、(1) conventional プロセスで作製した BLT 薄膜では大きな結晶粒が、(2) step-by-step プロセスで形成した BLT 薄膜では小さな結晶粒が見られている。リーク電流は主として結晶粒界を流れると考えられるため、このような結晶粒の大きさの違いは図 3.6 に示すリーク電流特性にも影響をもたらす(詳しくは後述)。

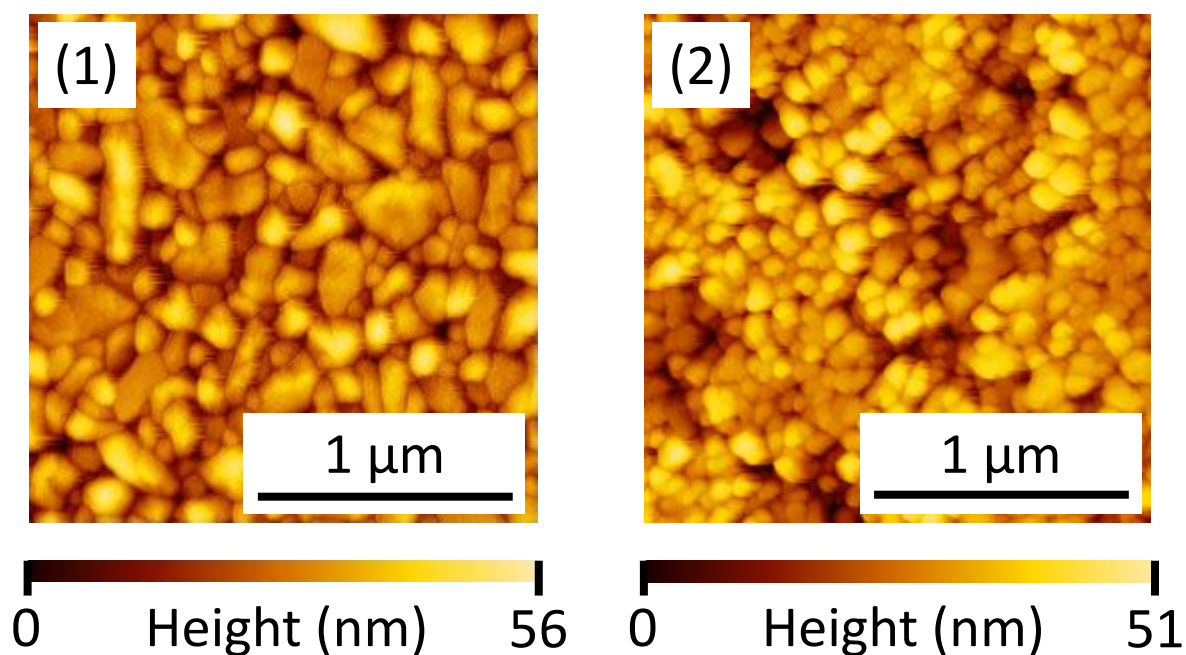


図 3.4 BLT 薄膜表面の AFM 像

分極特性($P-E$ ヒステリシス)

図 3.5 は BLT 薄膜の分極-電界 ($P-E$) 特性である。スイープ電界が、FeTFT の動作における書き込み電圧(例えば 400 nm の BLT ゲート絶縁膜に 6 V のゲート電圧を印加したとき)に相当する 150 kV/cm よりも小さい $P-E$ ループでは、(2) step-by-step プロセスで作製した BLT 薄膜の方が (1) conventional プロセスで作製した BLT 薄膜よりもやや残留分極が大きい(図 3.6 参照)。また、(2) step-by-step プロセスで作製した BLT 薄膜の杭電界(分極が 0 となる電界)がおおよそ 80 kV/cm であるのに対し、(1) conventional プロセスで作製した BLT 薄膜の杭電界は 100 kV/cm 以上であり、(2) step-by-step プロセスで作製した BLT 薄膜の方が分極反転しやすく、強誘電性が強く現れている。

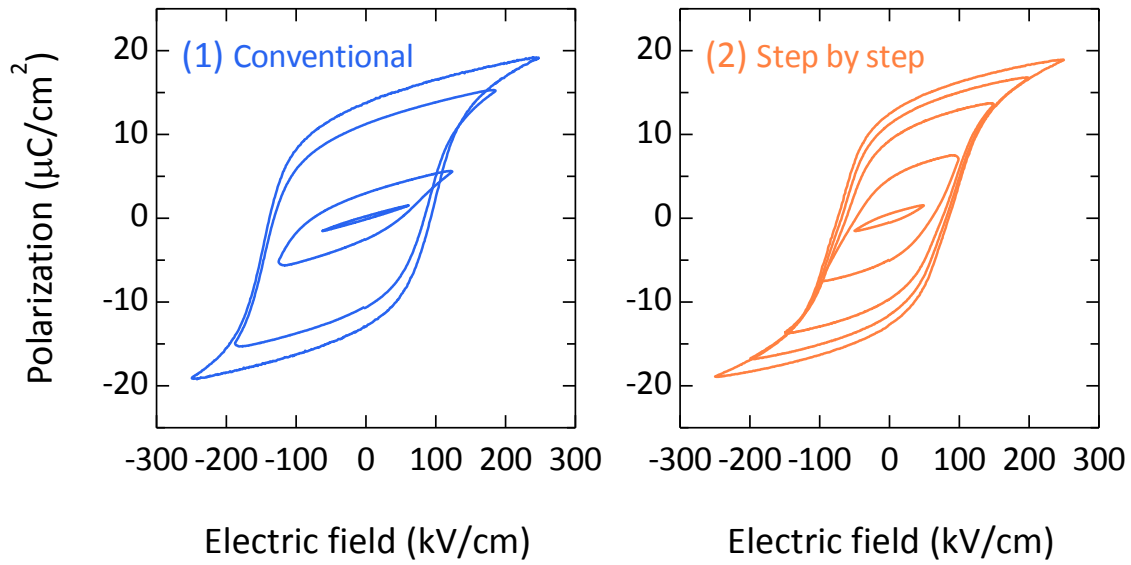


図 3.5 BLT 薄膜の分極特性

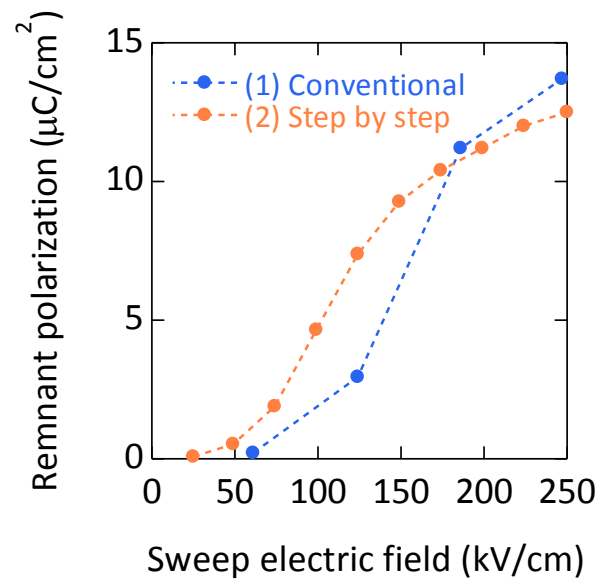


図 3.6 残留分極の比較

両プロセスの間の残留分極と杭電界の違いは、BLT が強誘電性に強い異方性を持つことに起因している。例えば、BLT の母体材料 [BLT は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT) の Bi の一部が La に置換されている] である BIT では $a \cdot b$ 軸方向の自発分極がおよそ $50 \mu\text{C}/\text{cm}^2$ であるのに対し、 c 軸方向の自発分極がおよそ $4 \mu\text{C}/\text{cm}^2$ であり [3.9]、BLT も同様に $a \cdot b$ 軸方向に強い強誘電性を示す。本研究においても c 軸（強誘電性が弱い）配向が抑制される (2) step-by-step プロセスの方が強い強誘電性を示している。したがって本研究の結果は、BLT 薄膜の結晶配向性と、BLT が持つ強誘電性の異方性によってもたらされていると結論付けることができる。(2) step-by-step プロセスによって BLT 薄膜の c 軸配向を抑制することで、強誘電性が向上することが明らかとなった。

リーク電流特性

図 3.7 は、BLT 薄膜のリーク電流密度－印加電界特性（ J － E 特性）である。FeTFT の動作における書き込み電圧（例えば 400 nm の BLT ゲート絶縁膜に 6 V のゲート電圧を印加したとき）に相当する 150 kV/cm 以下の低電界領域においては、(2) step-by-step プロセスで作製した BLT 薄膜の方が、(1) conventional プロセスで作製した BLT 薄膜よりも、2 桁以上リーク電流が小さい。これは、図 3.4 に示されたように結晶粒が小さくなることで、結晶粒界を流れるリーク電流が低減されたためであると推測される。このリーク電流の低減は、FeTFT の消費電力の低減や、データ保持特性の向上に寄与することが期待される。

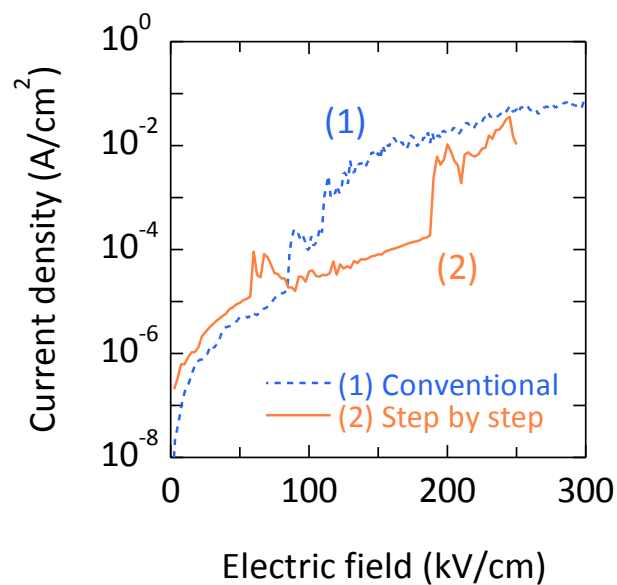


図 3.7 BLT 薄膜のリーク電流特性

BLT 薄膜の結晶性・配向性について

(1) conventional プロセスで作製した BLT 薄膜は、大きな結晶粒を持ち、顕著な c 軸配向を示した。(2) step-by-step プロセスで作製した BLT 薄膜は、小さな結晶粒を持ち、c 軸配向が大きく抑制され、わずかに a・b 軸配向を示した。

(1) conventional プロセスでは、750°Cのアニールにおいて Bi_2O_2 層と TiO_6 八面体の形成（結晶化）が同時に起こり、その結果として c 軸配向の結晶粒が大きく成長していると考えられる。 Bi_2O_2 層の方が TiO_6 八面体よりも形成（結晶化）温度が低い [3.5] ことから、(1) conventional プロセスでは Bi_2O_2 層の方が TiO_6 八面体よりも成長が速い、つまり、a・b 軸方向の方が c 軸方向よりも結晶成長が速いと考えられる。この成長速度の異方性が、薄膜の c 軸配向を引き起こしていると推測される。一方、(2) step-by-step プロセスでは、局所構造である Bi_2O_2 層が配向性を持たずに TiO_6 八面体より先に形成されるため、c 軸配向の結晶粒の成長が抑制されていると考えられる。

他の報告例においても、 Bi_2O_2 層を先に形成せずに、 Bi_2O_2 層と TiO_6 八面体の両方が形成される 600°C以上でアニールを行った BLT 薄膜では、顕著な c 軸配向が見られている [3.1, 3.7, 3.10]。一方、750°Cアニールの前に、 Bi_2O_2 層のみが形成され得る 500~550°Cでアニールを行うことで c 軸配向が抑制されており [3.1, 3.11]、 TiO_6 八面体の前に Bi_2O_2 層を形成することが c 軸配向を抑制するポイントであると考えられる。本研究における (2) step-by-step プロセスでは、500~550°Cでのアニール時間が Bi_2O_2 層の形成に十分であった（昇温レートが十分に遅かった）ことが、c 軸配向が強く抑制される結果をもたらしていると推測される。

3.1.5 まとめ

2種類のアニールプロセスによって BLT 薄膜を作製し、結晶配向性・表面モフォロジー・分極特性 ($P-E$ ヒステリシス)・リーク電流を比較した。その結果を以下に記し、表 3.3 にまとめる。

実験結果

- ・ (1) conventional プロセスで作製した BLT 薄膜は、大きな結晶粒を持ち、顕著な c 軸配向を示した。(2) step-by-step プロセスで作製した BLT 薄膜は、小さな結晶粒を持ち、c 軸配向が大きく抑制され、わずかに a・b 軸配向を示した。
- ・ (1) conventional プロセスで作製した BLT 薄膜は、小さな残留分極と大きな杭電界 (100 kV/cm 以上) を示した。(2) step-by-step プロセスで作製した BLT 薄膜は、大きな残留分極と小さな杭電界 (およそ 80 kV/cm) を示した。
- ・ (2) step-by-step プロセスで作製した BLT 薄膜では、(1) conventional プロセスで作製した BLT 薄膜と比べて、リーク電流が低減された。

得られた知見

- ・ (1) conventional プロセスでは Bi_2O_2 層と TiO_6 八面体の形成 (結晶化) が同時に起こるのに対し、(2) step-by-step プロセスでは Bi_2O_2 層が TiO_6 八面体よりも先に形成されていると考えられる。
- ・ (2) step-by-step プロセスでは、局所構造である Bi_2O_2 層が配向性を持たずに TiO_6 八面体より先に形成されるため、c 軸配向の結晶粒の成長が抑制されていると考えられる。
- ・ 上記のような結晶化過程の差異が、結晶性および電気特性の差異を生んでいる。
- ・ 液体プロセスによる薄膜形成において、その結晶化過程を理解し、それに合わせたアニール方法を採用することで、結晶性や電気特性の制御が可能であることが一例として示された。

表 3.3 (1) conventional プロセスと (2) step-by-step プロセスの比較

	(1) Conventional	(2) Step by step
Bi_2O_2 層と TiO_6 八面体の形成	同時	独立 (Bi_2O_2 層が先)
BLT 薄膜の結晶配向性	顕著な c 軸配向	やや a・b 軸配向
残留分極	小さい	大きい
杭電界 (kV/cm)	~80	100 以上
結晶粒の大きさ	大きい	小さい
150 kV/cm でのリーク電流 (A/cm^2)	$\sim 10^{-2}$	$\sim 10^{-4}$

3.2 酸化物半導体 In_2O_3 の成膜条件検討

本節では、FeTFT のチャンネルに用いた酸化物半導体 In_2O_3 の成膜条件について検討した。

3.2.1 XRD 分析(θ - 2θ 測定)

In_2O_3 薄膜を SiO_2/Si 基板上にスパッタ法で 100 nm 成膜し、 O_2 雰囲気中でアニールを行ってから、 θ - 2θ 測定を行った。成膜条件および成膜後のアニール条件の詳細は表 3.4 の通りである。

図 3.8 は In_2O_3 薄膜の XRD 回折パターンである。 In_2O_3 は常圧・ 800°C 以下において立方晶系 bixbyte 構造を取り、粉末 X 線回折の最大ピーク (222 回折ピーク) は 30.6° (図 3.8 中の点線) に現れる [3.12]。アニール温度の上昇と共にピーク位置が 30.6° に近づいていることから、成膜直後は歪みなどが存在していたが、それがアニールによって解消されていると考えられる。 300°C 以上でピーク位置がかなり 30.6° に近づいているため、FeTFT 作製時においても、スパッタ成膜後に 300°C 以上でアニールを行うことを検討した。

表 3.4 In_2O_3 薄膜の成膜条件および成膜後のアニール条件

ターゲット	多結晶 In_2O_3 焼結体
基板温度	室温
全圧	0.8 Pa
RF 電力	50 W
O_2/Ar 分圧比	3%
膜厚	100 nm
アニール雰囲気	O_2
アニール温度	100°C / 200°C / 300°C / 400°C / 500°C
アニール時間	1 h

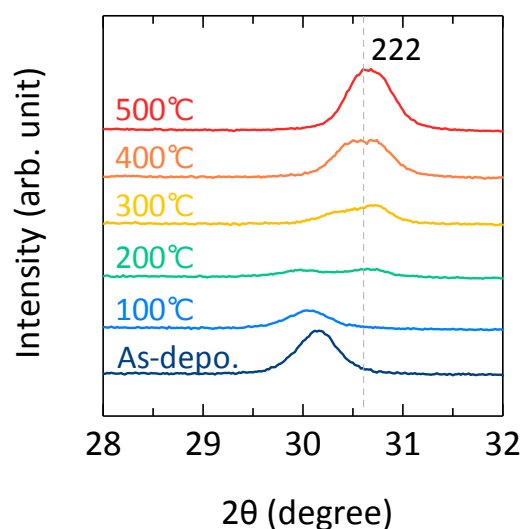


図 3.8 In_2O_3 薄膜 (SiO_2/Si 基板上) の XRD 回折パターン

3.2.2 $\text{In}_2\text{O}_3/\text{SiO}_2$ TFT の評価

$\text{SiO}_2/\text{n}^+\text{-Si}$ 基板の上にボトムゲートトップコンタクト構造の TFT を作製し、 I_D-V_G 特性を評価した。 SiO_2 (膜厚 100 nm) をゲート絶縁膜、 $\text{n}^+\text{-Si}$ をゲート電極として利用している。 In_2O_3 チャネル層の成膜条件および成膜後のアニール条件の詳細は表 3.5 の通りである。

表 3.5 In_2O_3 チャネル層の成膜条件および成膜後のアニール条件

ターゲット	多結晶 In_2O_3 焼結体
基板温度	室温
全圧	0.8 Pa
RF 電力	50 W
O_2/Ar 分圧比	3% / 4% / 5%
膜厚	10 nm
アニール雰囲気	O_2
アニール温度	300°C / 500°C
アニール時間	1 h

図 3.9 は $\text{In}_2\text{O}_3/\text{SiO}_2$ TFT の I_D-V_G 特性である。 In_2O_3 薄膜のキャリア濃度が一般的なチャネルと比べて高い [ホール測定 (van der Pauw 法) での結果は $10^{17}\sim 10^{18} \text{ cm}^{-3}$] ため、しきい値が非常に小さく、一部の I_D-V_G 特性では OFF 動作が実現されていない。As-depo 膜において O_2/Ar 分圧比が大きくなるにつれて電流値が減少しているのは、酸素欠損の減少によってキャリア濃度も減少しているためと考えられる。しかし、300°C 以上でアニールを行うと、おそらく酸素の出入れが起こりキャリア濃度が調節されるため、成膜時の O_2/Ar 分圧比に依存せず大体同じような I_D-V_G 特性を示している。

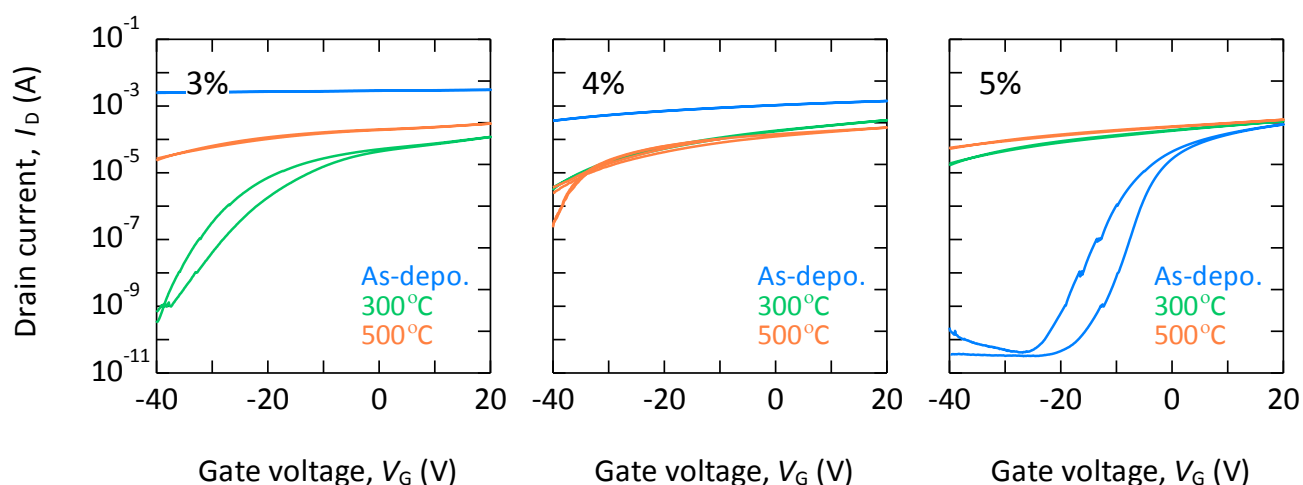


図 3.9 $\text{In}_2\text{O}_3/\text{SiO}_2$ TFT の I_D-V_G 特性 ($L = 10 \mu\text{m}$ / $W = 100 \mu\text{m}$ / $V_D = 5 \text{ V}$)

3.2.3 In_2O_3 ターゲットの酸素抜け

本研究で用いているマグネトロンスパッタ法では、マグネットが作る磁場によってプラズマに空間分布が生まれるため、ターゲット内に強くスパッタされる部分とほとんどスパッタされない部分が存在する。前者の強くスパッタされる部分はエロージョンと呼ばれており、ターゲットの中心に対して環状に分布している。

図 3.10 は成膜後の In_2O_3 ターゲットの写真であるが、 O_2/Ar 分圧比が 1% と 5% のときはエロージョンに黒い変色が見られる。一方、 O_2/Ar 分圧比が 10% のときはエロージョンに変色は見られない。この変色は、ターゲットがスパッタされているときに、ターゲット中の酸素が抜けるために発生していると考えられる。このような酸素抜けが起こると、薄膜の質を継続的に一定に保つことができない。加えて、過剰な酸素欠損によって電氣的欠陥が増加する恐れもある。そのため、第 4 章では O_2/Ar 分圧比を 10% に固定している。

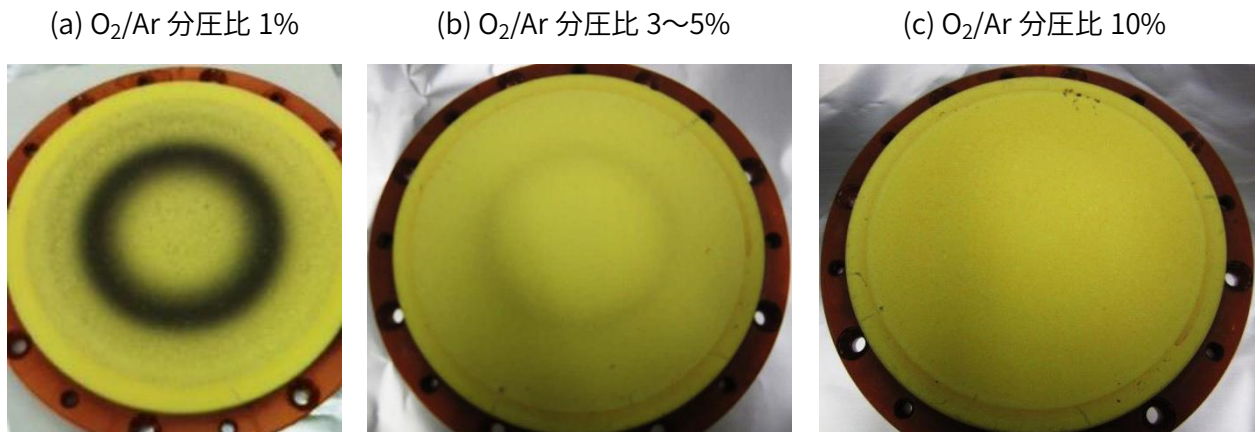


図 3.10 スパッタ成膜後の In_2O_3 ターゲット

3.3 FeTFT の基礎特性評価(In₂O₃/BLT FeTFT の評価)

本節では、トップコンタクト構造の In₂O₃/BLT FeTFT を作製し、 $I_D - V_G$ 特性を評価した。作製手順は 2.2.1 項で述べた通りで、BLT の成膜条件は表 3.2 の conventional プロセス、膜厚は 320 nm、In₂O₃ チャンネル層の成膜条件および成膜後のアニール条件は表 3.6 の通りである。

表 3.6 In₂O₃ チャンネル層の成膜条件および成膜後のアニール条件

ターゲット	多結晶 In ₂ O ₃ 焼結体
基板温度	室温
全圧	0.8 Pa
RF 電力	50 W
O ₂ /Ar 分圧比	3% / 5% / 10%
膜厚	10 nm / 40 nm
アニール雰囲気	O ₂
アニール温度	300°C / 400°C / 500°C
アニール時間	1 h

酸素分圧(O₂/Ar 分圧比)およびアニール温度依存性

図 3.11 はチャンネル膜厚 40 nm のときの In₂O₃/BLT FeTFT の $I_D - V_G$ 特性である。In₂O₃/SiO₂ TFT とは異なり、負の V_G において TFT の OFF 動作が明確に現れている。これは、BLT が持つ SiO₂ よりも遥かに大きい分極によって In₂O₃ 薄膜中のキャリアが制御され、In₂O₃ の空乏化が実現されているためである。

また、アニールによって強誘電性（反時計回り）のヒステリシスが強く現れていることから、前述の XRD 分析の結果のように、アニールによって In₂O₃ の膜質が向上していると考えられる。ここで、明瞭な強誘電性のヒステリシスを得るためのアニール温度に注目すると、O₂/Ar 分圧比 3%では 500°Cアニール、O₂/Ar 分圧比 5%では 300°Cアニールが必要であるのに対し、O₂/Ar 分圧比 10%では as-depo のときから既に比較的明瞭な強誘電性のヒステリシスが見られるため、O₂/Ar 分圧比 10%の方が In₂O₃ の膜質が優れていると考えられる。これは、In₂O₃ 膜中の酸素欠損（電氣的欠陥を生成し得る）が成膜段階で減少しているためと推測される。O₂/Ar 分圧比は前項で述べたターゲットの酸素抜けとも関連しており、O₂/Ar 分圧比 3%・5%・10%の中では、10%が最も膜質に優れた（酸素欠損および電氣的欠陥が少ない）In₂O₃ 薄膜を成膜できると結論付けることができる。

また、アニール温度については、O₂/Ar 分圧比 10%における 300°C・400°C・500°Cの比較から、400°C以上（400°Cと 500°Cのデータはほぼ重なっている）で FeTFT として良好な特性（明瞭な強誘電性のヒステリシスと、それに伴う $V_G = 0$ V における ON/OFF 比、および S 値）が得られ、良好な不揮発性メモリ機能を有することが明らかになった。

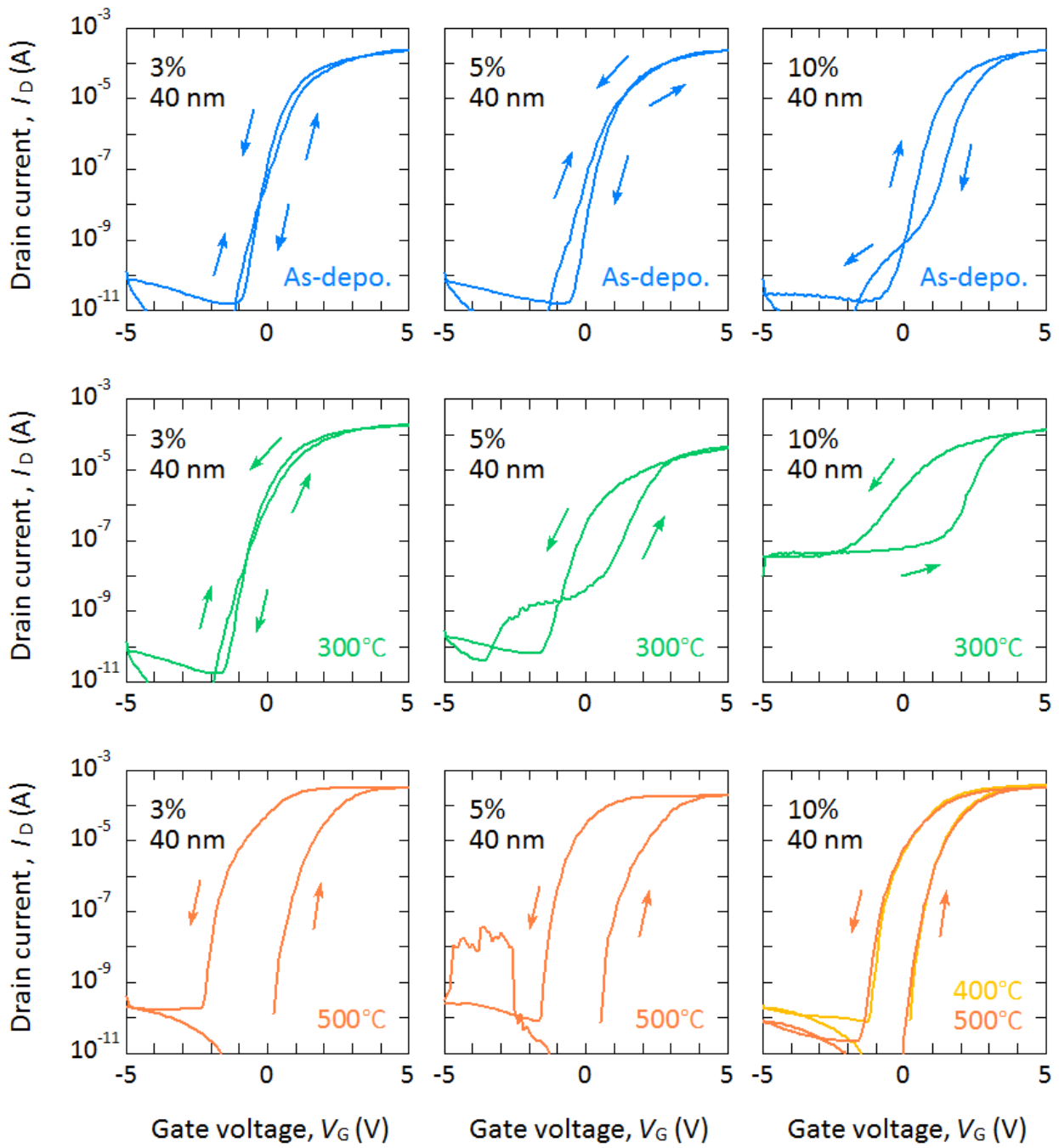


図 3.11 $\text{In}_2\text{O}_3/\text{BLT}$ FeTFT (チャネル膜厚 40 nm) の I_D - V_G 特性

($L = 10 \mu\text{m}$ / $W = 100 \mu\text{m}$ / $V_D = 5 \text{ V}$)

チャンネル膜厚依存性

次に、 O_2/Ar 分圧比 3%と 5%での In_2O_3/BLT FeTFT の I_D-V_G 特性である図 3.12 を基に、チャンネル膜厚 10 nm と 40 nm の比較を行う。As-depo では、 O_2/Ar 分圧比 3%・5%共に、膜厚 10 nm のみキंकが見られている。チャンネルが薄いと、ドレイン電流はバックチャンネルの近くを流れることになるため、バックチャンネル欠陥の影響を受けやすい。As-depo 膜のバックチャンネル（表面数 nm）は酸化物の表面準位によって電氣的欠陥が非常に多い [3.13] ため、チャンネル膜厚 10 nm のみでキंकが見られていると考えられる。

500°Cアニールでは、 O_2/Ar 分圧比 3%・5%共に、膜厚 10 nm の方が 40 nm よりも S 値が小さくなっているが、これは 10 nm の方が強誘電体に印加される電圧が大きくなるためであり、チャンネル内の欠陥量が 10 nm と 40 nm で異なっているわけではない。 V_G を正から負にスイープしたときは、 V_G は空乏化した In_2O_3 と強誘電体の両方に分配される。このとき In_2O_3 と強誘電体は直列に接続しており電圧は容量の逆比で分配されるため、容量が大きい 10 nm の方が強誘電体に電圧が印加されやすく、強誘電体の分極反転が速い（強誘電体の分極反転速度は印加電圧に依存する [3.14-3.19]）。このため、10 nm の方が 40 nm よりも ON から OFF への立ち下がり V_G が正側にシフトし、立ち下がりも急峻になりデバイスパラメータとしての S 値は小さくなる（10 nm の方がチャンネル内の電氣的欠陥が少ないわけではない。むしろ前述のバックチャンネルの影響は 10 nm の方が大きい）。さらに、強誘電体への印加電圧が大きくなると強誘電体の $P-E$ ヒステリシスもさらに大きなループを通るため、 V_G を負から正にスイープするときに強誘電体の分極反転に必要な電圧（杭電圧）が大きくなる。これにより、10 nm では OFF から ON への立ち上がり V_G が 40 nm よりも正側にシフトする。

なお、膜厚 10 nm と 40 nm の間におけるチャンネルの空乏容量の違いが、強誘電体への印加電圧（分配される電圧）に対してどの程度影響するのかは第 4 章で議論するが、その影響は決して小さいくない。それは、強誘電体が微小な電圧印加の下でも非常に大きな分極を持ち、等価的な比誘電率 [(分極/電圧)に比例する値] が極めて大きいことに起因する。

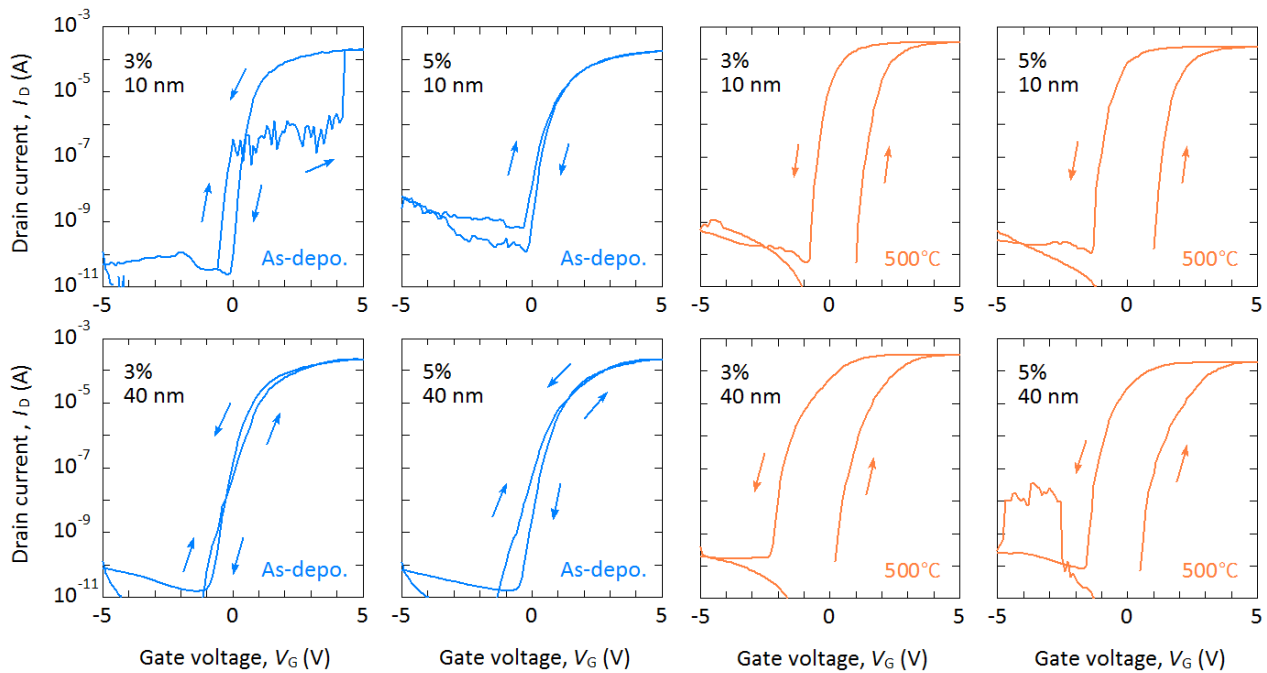


図 3.12 $\text{In}_2\text{O}_3/\text{BLT}$ FeTFT (チャネル膜厚 40 nm) の I_D-V_G 特性

(上段: チャネル膜厚 10 nm 下段: チャネル膜厚 40 nm $L = 10 \mu\text{m}$ / $W = 100 \mu\text{m}$ / $V_D = 5 \text{ V}$)

まとめ

チャネルである In_2O_3 薄膜のスputta成膜条件を変えながら、トップコンタクト構造の $\text{In}_2\text{O}_3/\text{BLT}$ FeTFT を作製し、 I_D-V_G 特性を評価した。

- In_2O_3 薄膜のキャリア濃度は $10^{17} \sim 10^{18} \text{ cm}^{-3}$ であり、一般的なチャネルと比べてかなり高いが、強誘電体を持つ非常に大きな分極によって $\text{In}_2\text{O}_3/\text{SiO}_2$ TFT では実現されなかった OFF 動作が実現された。
- O_2/Ar 分圧比 3%および 5%と比べると、10%において最も良好な特性が得られた。10%は、ターゲットの酸素抜けが起こらない O_2/Ar 分圧比でもあり、電氣的欠陥が最も少ない In_2O_3 薄膜が得られていると考えられる。
- 400°C 以上のアニールによって、良好な不揮発性メモリ機能が得られることが明らかになった。おそらく In_2O_3 チャネルの膜質が向上しているためであると考えられる。
- 薄いチャネルの方が小さい S 値を与えることが明らかになった。詳細は第 4 章で議論するが、これはトップコンタクト構造において顕著な特徴であり、薄いチャネルの方が強誘電体への印加電圧を増加させ、FeTFT のスイッチング特性を向上させることに起因する。

第4章

FeTFT のソース・ドレイン構造の検討

ボトムゲート構造を持つ TFT のソース・ドレイン構造には、トップコンタクト構造 [図 4.1(a)] と、ボトムコンタクト構造 [図 4.1(b)] の2つがある。本章では、トップコンタクト構造 FeTFT のスイッチング特性の改善策としてボトムコンタクト構造を提案し、トップコンタクト構造との比較を行った。

まず 4.1 節で本章の研究背景を述べる。現状として、酸化物チャネル FeTFT はスイッチング特性に問題があることを指摘し、その問題はトップコンタクト構造に起因することを動作原理に基づいて説明する。そして、その解決策としてボトムコンタクト構造を提案する。4.2 節で実験方法について述べた後、4.3 節で両構造の I_D-V_G 特性を評価し、不揮発性メモリ機能を確認する。4.4 節と 4.5 節で、それぞれ $C-V$ 特性と $Q-V$ 特性から FeTFT の動作原理に関する検証を行い、4.6 節で両構造のスイッチング特性を比較する。最後に 4.7 節で本章の総括を行う。

4.1	研究背景	50
4.1.1	酸化物チャネル FeTFT のスイッチング特性とソース・ドレイン構造	50
4.1.2	本章の目的とアプローチ	51
4.2	実験方法	51
4.2.1	デバイス作製方法	51
4.2.2	I_D-V_G 特性とリテンション特性 (I_D-t 特性) の測定	52
4.2.3	$C-V$ 測定	52
4.2.4	$Q-V$ 測定	52
4.2.5	スイッチング測定	53
4.3	I_D-V_G 特性とリテンション特性	54
4.4	$C-V$ 特性	54
4.5	$Q-V$ 特性	59
4.6	スイッチング特性	60
4.7	まとめ	63

4.1 研究背景

ボトムゲート構造を持つ TFT のソース・ドレイン構造には、チャンネル層の上にソース・ドレイン電極を形成するトップコンタクト構造 [図 4.1(a)] と、ゲート絶縁膜上にソース・ドレイン電極をチャンネル層より先に形成し、その後にチャンネル層を堆積させるボトムコンタクト構造 [図 4.1(b)] の2つがある。本節では、FeTFT のスイッチング特性とソース・ドレイン構造の関係を論じた後、本章の目的とアプローチを述べる。

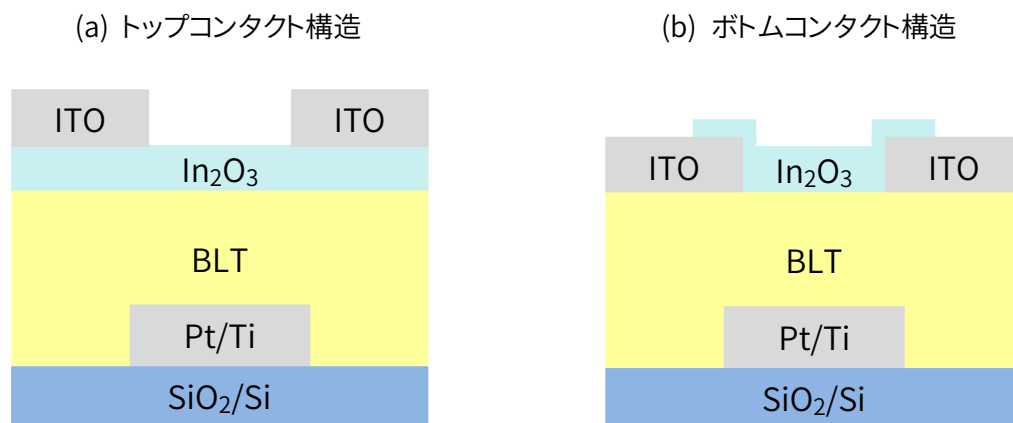


図 4.1 ボトムゲート構造 FeTFT のソース・ドレイン構造

4.1.1 酸化物チャンネル FeTFT のスイッチング特性とソース・ドレイン構造

酸化物半導体（および導電体）をチャンネルに用いた FeTFT は、筆者らのグループ [4.1-4.4] を含めたいくつかの研究機関から報告されているが、そのほとんどがトップコンタクト構造である [4.1-4.14]。しかし、Prins ら [4.5] や Kaneko ら [4.6] によって報告されているように、トップコンタクト構造 FeTET では ON 状態から OFF 状態に遷移する場合のスイッチング速度が遅い。Kaneko らは、この原因をトップコンタクト構造の酸化物チャンネル FeTFT の動作原理に基づいて、以下のように推測している。

酸化物半導体の多くはバンドギャップが大きいので、その TFT は単極性動作である。FeTET が ON 状態のときは、酸化物チャンネルは蓄積状態で低抵抗になっており、大きな ON 電流が流れる。そのため、ゲートとソース・ドレインの間に印加された電圧は全てが強誘電体に印加されていると考えられる。一方、FeTET が OFF 状態のときは、酸化物チャンネルは空乏状態で高抵抗になっており、電流は小さな値となる（OFF 電流）。この空乏化したチャンネルは容量として強誘電体に直列に接続される。そのため、ゲートとソース・ドレインの間に印加された電圧の一部が空乏化したチャンネルに奪われ [4.6]、強誘電体へ大きな電圧を印加することが難しい。強誘電体の分極反転速度は印加電圧の大きさと時間に依存し、小さい電圧の場合は分極反転速度が遅くなるため [4.15-4.20]、空乏化したチャンネルが強誘電体への電圧印加を妨げることが、トップコンタクト構造 FeTFT のスイッチング速度を遅くする主要原因と考えられる。

4.1.2 本章の目的とアプローチ

そこで本研究では、この問題を解決するためにボトムコンタクト構造を提案する。ボトムコンタクト構造ではソース・ドレイン電極が強誘電体に直に接触しているため、OFF 時にチャンネルが空乏化しても、ゲートとソース・ドレインの間に印加された電圧は全て強誘電体に印加されると考えられる。したがって、特にオン状態からオフ状態へのスイッチング速度の向上が期待される。

まず、4.3 節で両構造の I_D-V_G 特性を評価し、不揮発性メモリ機能を確認する。次に、4.4 節でトップコンタクト構造 FeTFT・ボトムコンタクト構造 FeTFT・MFS (metal/ferroelectric/semiconductor) キャパシタ・MFM (metal/ferroelectric/metal) キャパシタの $C-V$ 特性を比較し、トップコンタクト構造において空乏化したチャンネルに電圧が奪われることと、ボトムコンタクト構造においてゲートとソース・ドレインの間に印加された電圧が全て強誘電体に印加されることを確認する。4.5 節では、MFS キャパシタと MFM キャパシタの $Q-V$ 特性を比較し、トップコンタクト構造 FeTFT のスイッチング中に強誘電体に印加される電圧を見積もる。そして 4.6 節で、トップコンタクト構造とボトムコンタクト構造のスイッチング特性を比較する。

4.2 実験方法

In_2O_3 をチャンネル、BLT を強誘電体ゲート絶縁膜に用いて、トップコンタクト構造およびボトムコンタクト構造の FeTFT を作製した。作製プロセスは 4.2.1 節で述べる。電気特性は全て室温・大気中で測定した。最初に、作製した FeTFT の I_D-V_G 特性とリテンション特性 (I_D-t 特性) を評価し、両構造の FeTFT が不揮発性メモリ機能を有することを確認した。次に、両構造の FeTFT のゲートとソース・ドレイン間の $C-V$ 特性を評価し、MFM キャパシタおよび MFS キャパシタとの比較を行った。この比較によって、トップコンタクト構造において空乏化したチャンネルに電圧が奪われることと、ボトムコンタクト構造においてゲートとソース・ドレインの間に印加された電圧が全て強誘電体に印加されることを確認した。また、MFS キャパシタと MFM キャパシタの $Q-V$ 特性から、トップコンタクト構造 FeTFT のスイッチング中に強誘電体に印加される電圧を見積もった。最後に、両構造の FeTFT のスイッチング特性の評価と比較を行った。

4.2.1 デバイス作製方法

In_2O_3 をチャンネル、BLT を強誘電体ゲート絶縁膜に用いて、トップコンタクト構造およびボトムコンタクト構造の FeTFT と、MFM キャパシタ、MFS キャパシタを作製した。作製手順は 2.2～2.3 節で述べた通りで、BLT の成膜条件は表 3.2 の conventional プロセス、膜厚は 320 nm、 In_2O_3 チャンネル層の成膜条件および成膜後のアニール条件は表 4.1 の通りである。作製後に O_2 雰囲気中で 500°C / 30 min アニールを行っている。FeTFT のチャンネル長 L とチャンネル幅 W はそれぞれ 10、100 μm であり、MFM キャパシタと MFS キャパシタも図 2.5 のマスクによって同一基板上に同時に作製されている。ボトムコンタクト構造 FeTFT のみ強誘電体とチャンネルの界面が一度レジストで覆われるが、両構造の間で I_D-V_G 特性に顕著な差は認められなかった (図 4.3(a))。

表 4.1 In_2O_3 チャンネル層の成膜条件および成膜後のアニール条件

ターゲット	多結晶 In_2O_3 焼結体
基板温度	室温
全圧	0.8 Pa
RF 電力	50 W
O_2/Ar 分圧比	10%
膜厚	40 nm
アニール雰囲気	O_2
アニール温度	500°C
アニール時間	30 min

4.2.2 I_D-V_G 特性とリテンション特性(I_D-t 特性)の測定

I_D-V_G 特性

I_D-V_G 特性とリテンション特性は、半導体パラメータアナライザ (Agilent 4156C) を用いて測定した。ドレイン電圧 V_D は 0.5 V であり、スイッチング測定の読み出し電圧と同じ値である。

リテンション特性

ON 状態の測定前には、 V_G を 0 V $\rightarrow$ 5 V $\rightarrow$ 0 V とスイープして書き込みを行った。OFF 状態の測定前には、 V_G を 0 V $\rightarrow$ -5 V $\rightarrow$ 0 V とスイープして書き込みを行った。これらの書き込み動作の後に、ON 状態と OFF 状態のそれぞれに対して V_D (読み出し電圧) を 0.5 V として、30 s ごとに 5 min まで I_D を測定した。

4.2.3 $C-V$ 測定

$C-V$ 特性は、LCR メータ (Agilent 4284A) を用いて 1 MHz で測定した。FeTFT の測定時には、ソースとドレインの間を短絡し、ゲートとソース・ドレインの間の容量を測定している。なお、単位面積当たりの容量の計算には、光学顕微鏡写真から採寸した寸法を用いた。

4.2.4 $Q-V$ 測定

$Q-V$ 特性は、強誘電体評価システム (東陽テクニカ FCE-1A) を用いて測定した。測定前に、下部電極 (Pt) に +5 V の矩形波を 10^{-3} s 印加してリセットを行っている。これは ON 状態から OFF 状態へのスイッチング特性の測定時と同じリセット動作である。その後、1 kHz の三角波を負側と正側に 1 つずつ、負 $\rightarrow$ 正の順番に下部電極に印加して $Q-V$ 測定を行った。正側の振幅を 15 V に固定し、負側の振幅を -1 $\sim$ -10 V まで 1 V ずつ変化させて 10 回測定を行った。

4.2.5 スイッチング測定

FeTFT のスイッチング特性は、書き込みパルスの幅や高さに応じた I_D の遷移として表される。強誘電体評価システム（東陽テクニカ FCE-1A）を用いて、 I_D を書き込みパルス幅に対する関数として測定した。各測定の前に必ず 1) リセットパルスを印加（reset）し、その直後に様々な 2) 書き込みパルスを印加（write）してから 3) I_D を測定（read）した。

1) リセット（reset）

ソース・ドレイン電極を接地し、ゲート電極に 10^{-3} s のリセットパルスを印加した。パルスの向きと大きさは、ON→OFF のスイッチング測定前：+5 V、OFF→ON のスイッチング測定前：-5 V（ボトムコンタクト） / -15 V（トップコンタクト）である。トップコンタクト構造 FeTFT では、負のゲート電圧は強誘電体だけでなく空乏化したチャネルにも印加されるため、強誘電体の分極反転に十分な負電圧を印加することが難しく、DC 電圧でないと OFF しにくい。そこで、デバイスが壊れない範囲で可能な限り振幅が大きい -15 V のパルスをリセットに用いている。

2) 書き込み（write）

ソース・ドレイン電極を接地したまま、ゲート電極に $10^{-7} \cdot 10^{-6} \cdot 10^{-5} \cdot 10^{-4} \cdot 10^{-3}$ s のいずれかの幅の書き込みパルスを印加した。パルスの向きと振幅は、OFF→ON の書き込み：+5 V、ON→OFF の書き込み：-5 V（ボトムコンタクト） / -5 or -15 V（トップコンタクト）である。

3) 読み出し（read）

ソース電極を接地したまま、ドレイン電極に 0.5 V の V_D （読み出し電圧）を印加して I_D を測定した。

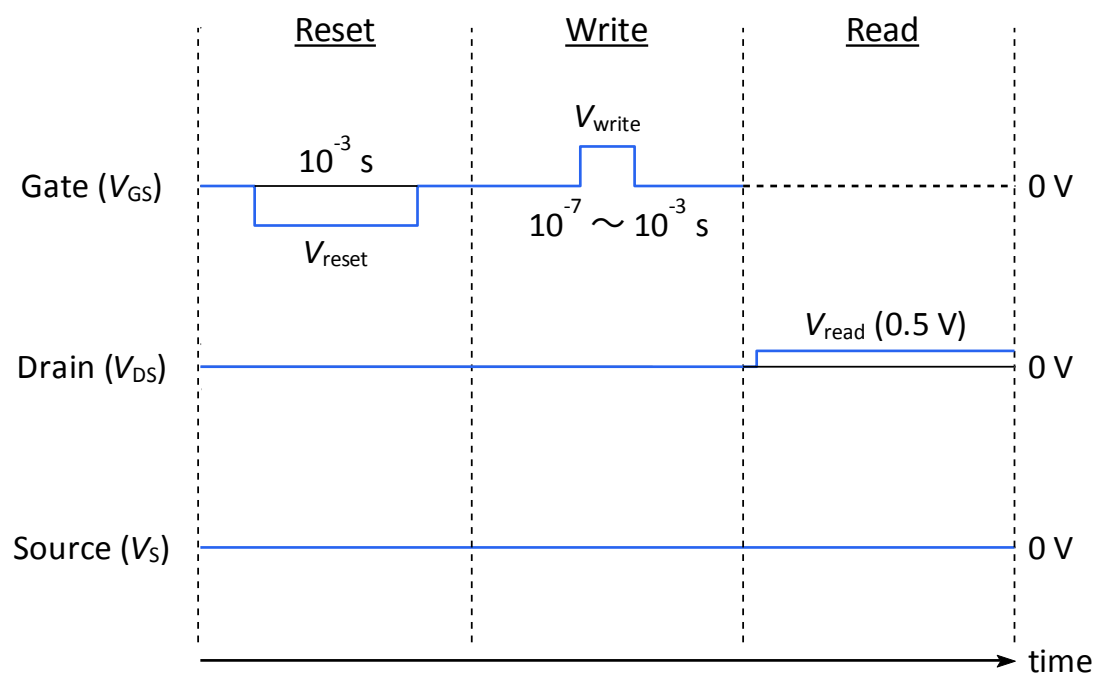


図 4.2 パルスシーケンス (OFF→ON のスイッチング測定の例)

4.3 I_D - V_G 特性とリテンション特性

図 4.3(a)は両構造の FeTFT の I_D - V_G 特性である。同程度の大きさの ON 電流と OFF 電流を示している。加えて、両構造とも強誘電性のヒステリシスを示しており、不揮発性のメモリ機能を有していることが確認された。図 4.3(b)はトップコンタクト構造 FeTFT の保持特性であるが、ON 電流・OFF 電流ともに少なくとも 5 min 以上ほぼ一定値を保っている。そのため、スイッチング測定において読み出している I_D はスイッチング直後の I_D とほぼ同じであると考えられ、スイッチング特性を問題なく評価できることが確認された。

図 4.3(a)では、 I_D の立ち上がり・立ち下がり共に、ボトムコンタクト構造 FeTFT の方がトップコンタクト構造 FeTFT よりも正側の V_G で起こっているが、これはボトムコンタクト構造 FeTFT の方がトップコンタクト構造 FeTFT よりも強誘電体に負電圧を印加しやすいことに起因している。 V_G を正から負にスイープしたときは、強誘電体に負電圧を印加しやすいボトムコンタクト構造 FeTFT の方が強誘電体の分極反転が早いため、正側の V_G において I_D が立ち下がる。そして、強誘電体への印加電圧が大きいボトムコンタクト構造 FeTFT の方が、強誘電体の P - E ヒステリシスは大きなループを通ることになる。これにより、 V_G を負から正にスイープするときに強誘電体の分極反転に必要な電圧（杭電圧）が大きくなり、ボトムコンタクト構造 FeTFT の方が正側の V_G において I_D が立ち上がると考えられる。

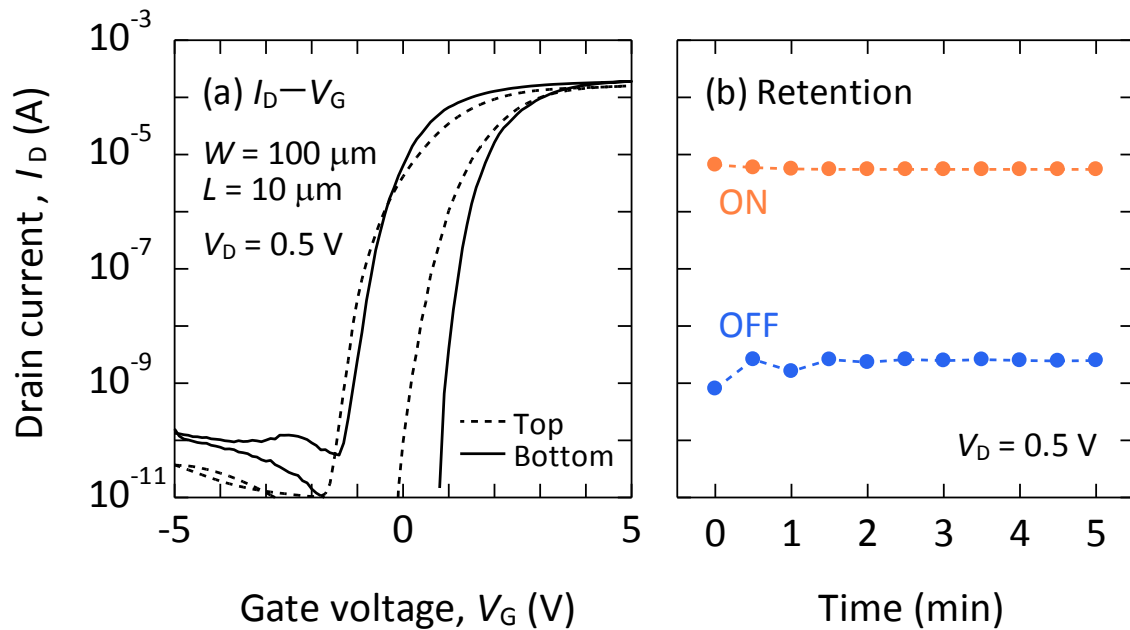


図 4.3 両構造の FeTFT の (a) I_D - V_G 特性 と (b) リテンション特性

4.4 C - V 特性

図 4.4(a)-(f)は、(a) (d) : MFM キャパシタと MFS キャパシタ、(b) (e) : MFS キャパシタとトップコンタクト構造 FeTFT、(c) (f) : MFM キャパシタとボトムコンタクト構造 FeTFT の C - V 特性を示しており、強誘電性に起因するバタフライカーブがすべての C - V 曲線に見られている。

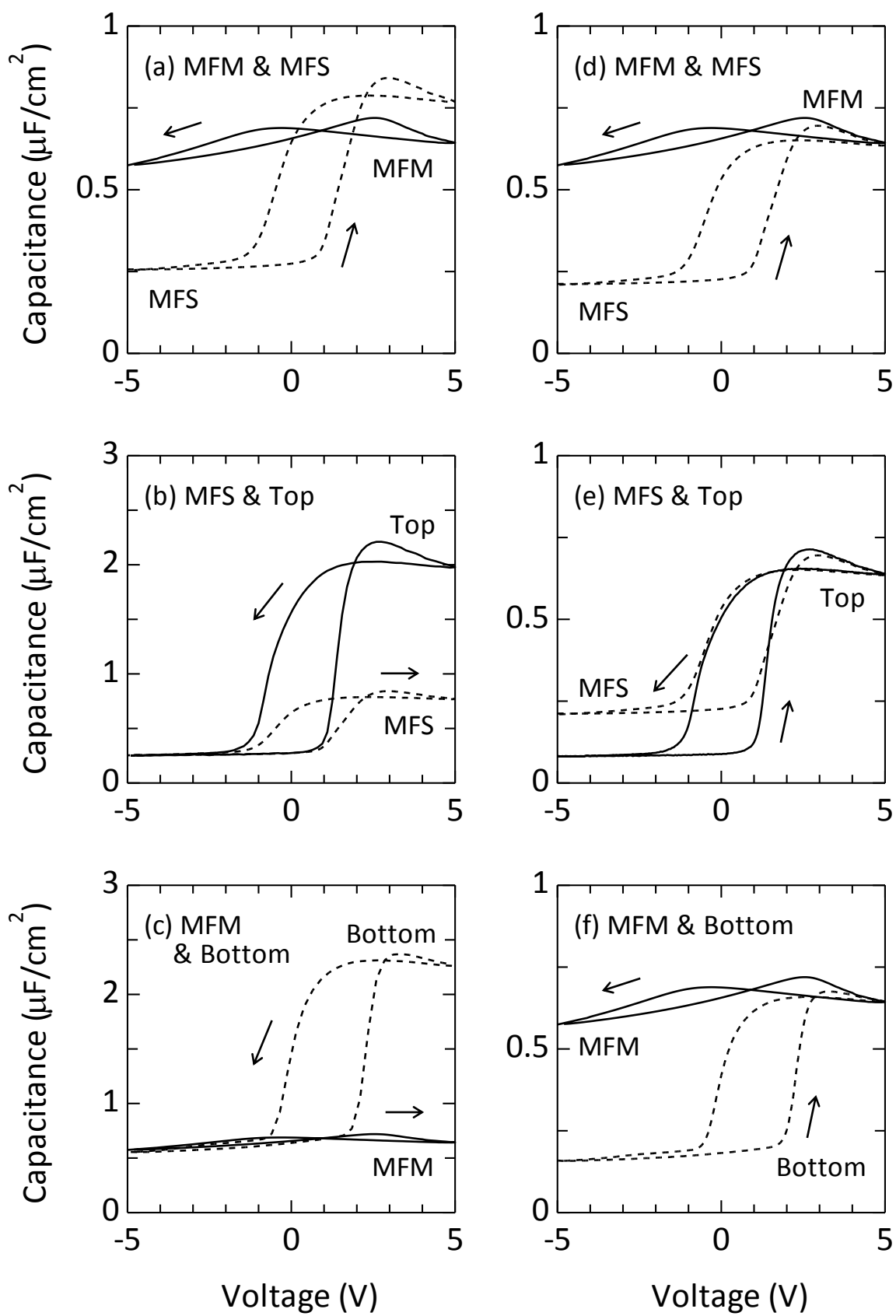


図 4.4 C - V 特性(単位面積当たり)

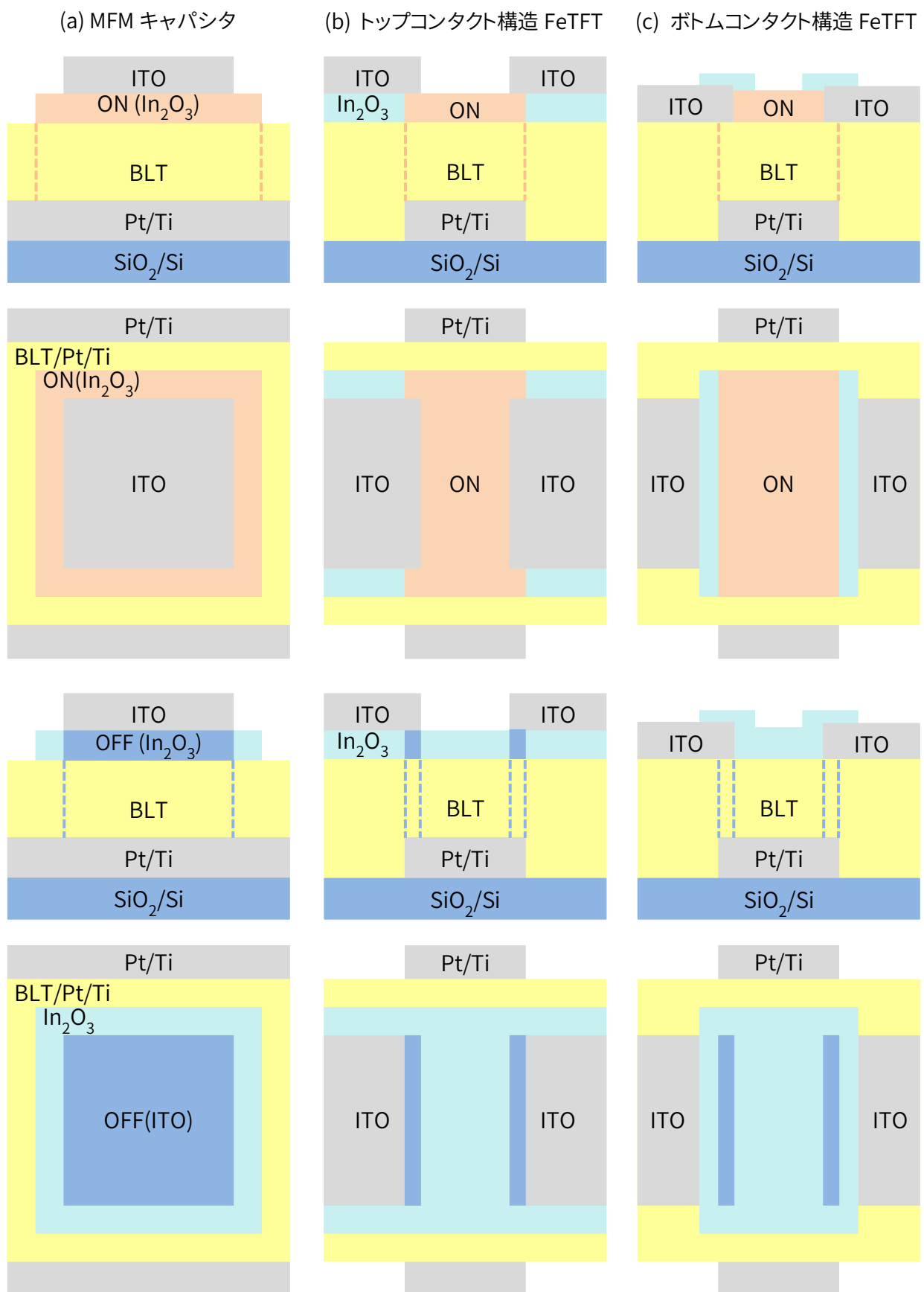


図 4.5 FeTFT のチャネルの ON 領域 (蓄積状態になる領域) と OFF 領域 (空乏状態になる領域)

単位面積当たりの容量の算出方法

* MFM キャパシタ

MFM キャパシタのデータは図 4.4 の(a)・(c)・(d)・(f)に示しているが、これらはすべて同じデータであり、単位面積当たりの容量は上部電極と下部電極のオーバーラップ領域の面積から算出した。

* MFS キャパシタ・トップコンタクト構造 FeTFT・ボトムコンタクト構造 FeTFT

正電圧と負電圧の印加時で In_2O_3 の導電性が異なるため、算出に用いた面積の値も異なる。

正電圧印加時は In_2O_3 が蓄積状態であり導電性を持つため、図 4.4(d)・(e)・(f)に示している MFS キャパシタと FeTFT の単位面積当たりの容量は、 In_2O_3 と下部電極（FeTFT ではゲート電極）のオーバーラップ領域の面積（図 4.5(b)）の ON 領域）から算出した。したがって、図 4.5(d)・(e)・(f)は In_2O_3 が蓄積状態（FeTFT が ON 状態）の評価が可能である。

負電圧印加時は In_2O_3 が空乏状態であるため、図 4.4(a)・(b)・(c)に示している MFS キャパシタと FeTFT の単位面積当たりの容量は、上部電極（FeTFT ではソース・ドレイン電極）と下部電極（FeTFT ではゲート電極）のオーバーラップ領域の面積（図 4.5(c)の OFF 領域）から算出した。したがって、図 4.4(a)・(b)・(c)は In_2O_3 が空乏状態（FeTFT が OFF 状態）の評価が可能である。

正電圧印加時

図 4.4(d)・(e)・(f)において 5 V 付近の単位面積当たりの容量を比較すると、MFS キャパシタ・トップコンタクト構造 FeTFT・ボトムコンタクト構造 FeTFT の容量は MFM キャパシタの容量に一致することがわかる。したがって、単位面積当たりの容量の算出に使用した In_2O_3 と下部電極（FeTFT ではゲート電極）のオーバーラップ領域は確かに導電性を持っており、FeTFT は ON 状態である。そして ON 状態では、トップコンタクト構造 FeTFT・ボトムコンタクト構造 FeTFT のどちらにおいても MFM キャパシタと同様に、ゲート電極（下部電極）に印加された電圧の全てが強誘電体に印加されていることがわかる。

負電圧印加時

図 4.4(a)において、負電圧における MFS キャパシタの単位面積当たりの容量は、MFM キャパシタの容量よりも小さい。MFS キャパシタでは、空乏化した In_2O_3 の容量が強誘電体に直列に接続されるためである。この In_2O_3 の容量にゲート電極に印加された電圧の一部が奪われる。

また、図 4.4(b)において、負電圧におけるトップコンタクト構造 FeTFT の単位面積当たりの容量は MFS キャパシタの容量と一致している。したがって、単位面積当たりの容量の算出に使用したソース・ドレイン電極とゲート電極のオーバーラップ領域の In_2O_3 は確かに空乏化している。そしてトップコンタクト構造 FeTFT の OFF 状態においても、MFS キャパシタの負電圧印加時と同様に、空乏化した In_2O_3 の容量が強誘電体の容量に直列に接続されていることがわかる。この

In_2O_3 の容量がゲート電極に印加された電圧の一部を奪うため、MFM キャパシタと比べると強誘電体に大きな電圧を印加することが難しい。

また、図 4.4(c)においては、負電圧におけるボトムコンタクト構造 FeTFT の単位面積当たりの容量は MFM キャパシタの容量と一致している。したがって、ボトムコンタクト構造 FeTFT の OFF 状態では MFM キャパシタの負電圧印加時と同様に、ゲート電極（下部電極）に印加された電圧の全てが強誘電体に印加されていることがわかる。

表 4.1 C-V特性(図 4.4)のまとめ

図 4.4	評価できる状態	容量の大小関係	印加電圧の様子
(a)	In_2O_3 が空乏状態 (負電圧)	MFS < MFM	空乏化した In_2O_3 の容量が 印加電圧の一部を奪う
(b)		トップ = MFS	
(c)		ボトム = MFM	
(d)	In_2O_3 が蓄積状態 (正電圧)	MFS = MFM	印加電圧の全てが 強誘電体に印加されている
(e)		トップ = MFS	
(f)		ボトム = MFM	

トップコンタクト構造 FeTFT・MFS キャパシタにおいて負電圧時に強誘電体に印加される電圧

負電圧においては、空乏化した In_2O_3 の容量が強誘電体の容量に直列に接続されている。 -5V における MFM キャパシタの容量 ($0.58\text{ }\mu\text{F}/\text{cm}^2$) とトップコンタクト構造 FeTFT の容量 ($0.26\text{ }\mu\text{F}/\text{cm}^2$) を用いて空乏化した In_2O_3 の容量を見積もると $0.47\text{ }\mu\text{F}/\text{cm}^2$ となる。したがって $0.58\text{ }\mu\text{F}/\text{cm}^2$ と $0.47\text{ }\mu\text{F}/\text{cm}^2$ の逆比から、トップコンタクト構造 FeTFT の OFF 状態において強誘電体に印加される電圧は全体の 45% ($= 0.47 / (0.47+0.58)$) に過ぎないことがわかる。

この問題は、強誘電体が小さな電圧においても巨大な分極を誘起出来る（等価的な容量が非常に大きく、MFM キャパシタの容量も $0.58\text{ }\mu\text{F}/\text{cm}^2$ と非常に大きい。）ことに起因している。例えば BLT と同じ膜厚の SiO_2 をゲート絶縁膜に用いた場合にも、強誘電体のときと同様に、空乏化した In_2O_3 の容量が SiO_2 の容量に直列に接続される。しかし $\text{In}_2\text{O}_3/\text{SiO}_2$ キャパシタの容量は $0.01\text{ }\mu\text{F}/\text{cm}^2$ であり、 SiO_2 ゲート絶縁膜に印加される電圧は $\text{In}_2\text{O}_3/\text{SiO}_2$ キャパシタ全体に印加される電圧の 98%であるため、空乏化した In_2O_3 に奪われる電圧は無視できるほど小さい。

4.5 Q - V 特性

図 4.6 は MFS キャパシタと MFM キャパシタの Q - V 特性である。MFS キャパシタの In_2O_3 の面積は、MFM キャパシタの上部電極の面積の 1.21 ($= 110\ \mu\text{m} \times 110\ \mu\text{m} / 100\ \mu\text{m} \times 100\ \mu\text{m}$) 倍であるため、図 4.6 の MFM キャパシタの電荷量も、この面積差を考慮して 1.21 倍している。なお、測定に用いた三角波の周波数 (1 kHz) は、ON から OFF へのスイッチング測定の書き込みパルス幅の 10^{-3} s に対応している。

MFS キャパシタでは、負電圧における電荷量の変化が小さく Q - V 曲線が変形している。例えば、 -10 V の三角波印加後の MFS キャパシタの電荷量は 0 nC 程度であり、電荷量が -2 nC 程度まで減少する MFM キャパシタと比べると、電荷量の変化は非常に小さい。これは、MFS キャパシタに対してパルスの負電圧 (4.4 節では DC の負電圧について議論した) が印加されたときにも、印加電圧の一部が空乏化した In_2O_3 に奪われることを示している。つまり、トップコンタクト構造 FeTFT の ON $\rightarrow$ OFF のスイッチング中も (4.4 節では OFF 状態について議論した) 強誘電体には電圧を印加しにくいと考えられる。

ここで、図 4.6 のデータから、MFS キャパシタの正電圧側 $\rightarrow$ 負電圧側の分極反転時に強誘電体に印加される電圧を見積もる。 -5 V 付近において、MFS キャパシタに -9 V の三角波を与えたループと MFM キャパシタに -4 V の三角波を与えたループが交わっていることから、 In_2O_3 が空乏化するのに必要な時間などを無視すれば、この 2 つの三角波がそれぞれ強誘電体にもたらしめている分極反転の度合いは同程度であると考えられる。したがって、MFS キャパシタの分極反転時に強誘電体に印加される電圧は全体の 44% ($= 4/9$) と見積もることができ、この値は、4.4 節で C - V 特性から見積もった 45%と同程度である。

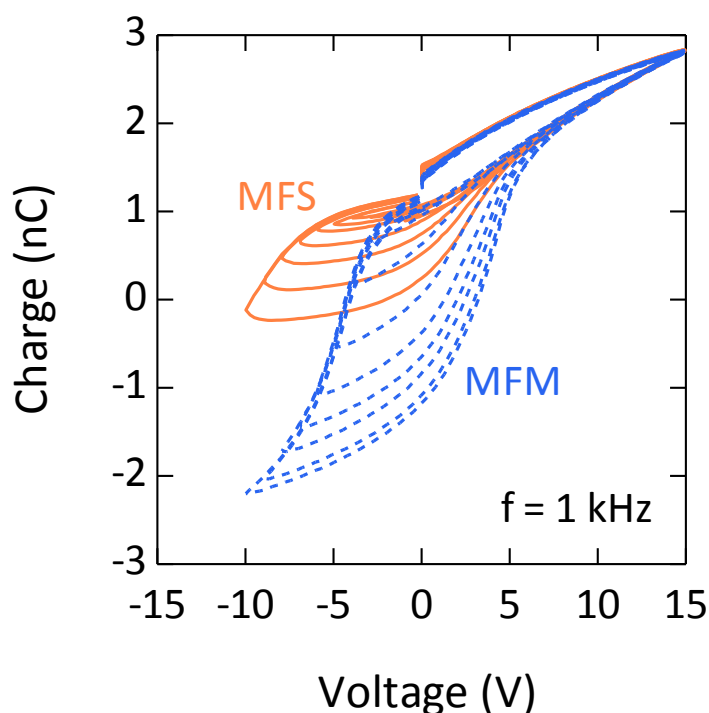


図 4.6 MFS キャパシタと MFM キャパシタの Q - V 特性

4.6 スイッチング特性

図 4.7(a)・(b)はそれぞれ、トップコンタクト構造 FeTFT およびボトムコンタクト構造 FeTFT のスイッチング特性である。縦軸は読み出されたドレイン電流 (I_D)、横軸は書き込みパルス幅である。図中のキャプションはスイッチングの向きと、それに用いた書き込みパルスを示している。図中の破線は 10^{-3} s の書き込みパルス印加後の I_D の値を示しており、リセットパルス（幅が書き込みパルスと同じ 10^{-3} s）印加直後の I_D の値と同じであると考えられる。

トップコンタクト構造 FeTFT （図 4.7(a)）

図 4.7(a)において、ON→OFF のスイッチング後の I_D は、 -15 V / 10^{-3} s の書き込みパルス印加後においても 10^{-7} A 程度である。これは、図 4.3(a)の I_D - V_G 特性の OFF 電流 ($V_G = 0$ において 10^{-10} A 程度) と比べてかなり大きいため、 -15 V / 10^{-3} s の書き込みパルスによる ON→OFF のスイッチングは不十分である。ところで、OFF→ON のスイッチング測定前に印加したりセットパルスも同じ -15 V / 10^{-3} s であるため、OFF→ON のスイッチング測定前のリセット動作も不十分であると考えられる。しかし、測定系の都合により 10^{-3} s より長いパルスを印加することができず、また、 -15 V よりも振幅が大きい（負の）パルスを印加するとデバイスが電氣的に破壊されることから、 -15 V / 10^{-3} s のリセットパルスを用いている。

* OFF→ON のスイッチング

I_D が書き込みパルス 10^{-6} s 付近で飽和しているが、前述のとおり、測定前のリセット動作が不十分であるため、正確な OFF→ON のスイッチング時間は不明である（少なくとも 10^{-6} s 以上）。

* ON→OFF のスイッチング

前述のとおり、 -15 V / 10^{-3} s の書き込みパルスによる ON→OFF のスイッチングは不十分であるため、ON→OFF のスイッチング時間は少なくとも 10^{-3} s 以上である。 -5 V の書き込みパルスを用いた場合は、 I_D が上側の破線からあまり減少していないため、ON→OFF のスイッチング時間は -15 V の書き込みパルスを用いた場合よりも一層長くなる。

4.4 節・4.5 節で述べたとおり、負電圧印加時は空乏化したチャネルの容量が印加電圧の一部を奪うため、同じ振幅の正電圧印加時と比べると強誘電体への印加電圧が減少する。小さい印加電圧では強誘電体の分極反転速度が遅くなるため [4.15-4.20]、トップコンタクト構造 FeTFT ではこのように ON→OFF のスイッチングが遅くなる。

* チャネル膜厚

ただし、トップコンタクト構造 FeTFT においても、チャネル膜厚を薄くして空乏容量を増やすことで、ON→OFF のスイッチング特性をいくらか改善できると考えられる。4.4 節で見積もったように、本研究で用いた膜厚 40 nm の In_2O_3 が空乏化したときの単位面積当たりの容量は 0.47

$\mu\text{F}/\text{cm}^2$ で、このときに強誘電体に印加される電圧は全体の 45%である。これに対し、もし膜厚 10 nm の In_2O_3 をチャンネルに用いると、空乏化したときの容量は $1.88 \mu\text{F}/\text{cm}^2$ となり、このときに強誘電体に印加される電圧は全体の 76% ($= 1.88 / (1.88+0.58)$) に増加するため、スイッチング特性の改善が期待できる。

ボトムコンタクト構造 FeTFT (図 4.7(b))

図 4.7(b)のように、OFF→ON / ON→OFF のいずれのスイッチングについても、明瞭かつ対称的なドレイン電流の遷移が見られている。 10^{-3} s の書き込みパルスによるスイッチング後の I_D は、OFF→ON または ON→OFF のいずれについても、図 4.3(a)の I_D-V_G 特性の ON または OFF 電流とほぼ一致しているため、 10^{-3} s の書き込みパルスによってボトムコンタクト構造 FeTFT は十分にスイッチングされていると考えられる。リセットパルスの幅も書き込みパルスと同じ 10^{-3} s であるため、ボトムコンタクト構造 FeTFT ではスイッチング測定前に十分なリセット動作が実現されている。つまり、ボトムコンタクト構造 FeTFT のスイッチング特性は正確に測定されていると考えられる。

10^{-6} s の書き込みパルスにおいて ON/OFF 比が 3 桁程度取れており、OFF→ON / ON→OFF の両方が十分にスイッチングされていると言える。特に ON→OFF のスイッチング時間については、トップコンタクト構造 FeTFT と比較して顕著に短縮されていることが実証された。これは前述のように、負電圧印加時にゲート電極（下部電極）に印加された電圧の全てが強誘電体に印加されているためである。

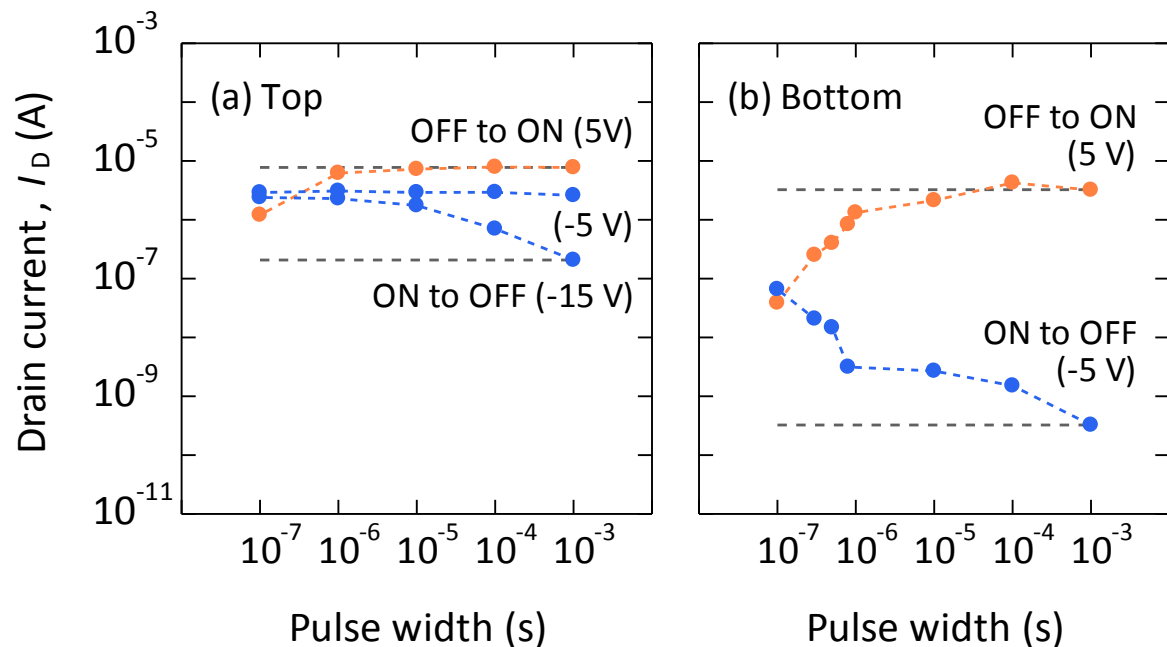


図 4.7 FeTFT のスイッチング特性 (a) トップコンタクト構造 (b) ボトムコンタクト構造
(横軸は書き込みパルス幅 / 破線はリセットパルス印加直後の I_D の値
図中のキャプションはスイッチングの向きとそれに用いた書き込みパルス)

まとめ・他の報告例との比較

表 4.2 は、本研究で測定したスイッチング時間をまとめており、他の報告例との比較も行っている。FeTFT のスイッチングはチャンネル方向に伝播し、チャンネル長が短いほどスイッチング時間が短くなることが Kaneko らによって報告されているが、チャンネル長 10 μm と 20 μm のスイッチング時間の違いは 2 倍程度である [4.6] のに対して、[1]–[4] のスイッチング時間は桁で異なっているため、ここではチャンネル長の違いは無視して比較することができる。

本研究の結果 [3]・[4] から、ボトムコンタクト構造の方がトップコンタクト構造よりも ON→OFF のスイッチング時間が 3 桁以上短いことが実証された。他の報告例を含めて比較をしても、[4] が最も短い ON→OFF のスイッチング時間を示している。

また、OFF→ON のスイッチングについても、[4] が最も短いスイッチング時間を示している。トップコンタクト構造では、OFF→ON のスイッチングにおいても極初期段階にはチャンネルが空乏化しており、強誘電体に効率よく電圧を印加できないため、ソース・ドレイン電極と強誘電体が接触しているボトムコンタクト構造の方が、OFF→ON のスイッチングもいくらか速いのではないかと推測される。

本研究のボトムコンタクト構造 [4] は、[1]–[4] の中で唯一 ON と OFF について対称なスイッチング特性を示しており、スイッチング時間も非常に短い。ボトムコンタクト構造によって強誘電体に効率よく電圧を印加することが、スイッチング特性の向上（特に ON→OFF のスイッチング）にとって非常に重要であると考えられる。

表 4.2 $\pm 5\text{ V}$ の書き込みパルスによる FeTFT のスイッチング特性

No.	報告例 (ソース・ドレイン構造)	チャンネル		スイッチング	
		材料	長さ	向き	時間
[1]	Prins et al. [4.5] (トップコンタクト)	$\text{SnO}_2\text{:Sb}$	20 μm	OFF→ON	不明
				ON→OFF	10^{-1} s 以上
[2]	Kaneko et al. [4.6] (トップコンタクト)	ZnO	10 μm	OFF→ON	10^{-5} s 程度
				ON→OFF	10^{-2} s 程度
[3]	本研究 (トップコンタクト)	In_2O_3	10 μm	OFF→ON	10^{-6} s 以上
				ON→OFF	10^{-3} s 以上
[4]	本研究 (ボトムコンタクト)			OFF→ON	10^{-6} s 程度
				ON→OFF	10^{-6} s 程度

4.7 まとめ

本章では、トップコンタクト構造 FeTFT のスイッチング特性の改善策としてボトムコンタクト構造を提案し、トップコンタクト構造との比較を行った。まず 4.3 節で、両構造の $I_D - V_G$ 特性に大きな差がないことを確認した。

次に 4.4 節では、ゲート電極に DC の負電圧が印加されたときに、強誘電体に印加される電圧について $C - V$ 特性を基に議論した。トップコンタクト構造では空乏化したチャネルに印加電圧の一部が奪われることを確認した。この空乏化したチャネルは、強誘電体への電圧印加の妨げとなる（膜厚 40 nm の In_2O_3 チャネルでは全体の 45%しか強誘電体に印加することができない）。一方、ボトムコンタクト構造では、印加電圧の全てが強誘電体に印加されることを確認した。

加えて 4.5 節では、ゲート電極にパルスの負電圧が印加されたときに、強誘電体に印加される電圧について $Q - V$ 特性を基に議論した。MFS キャパシタでは、DC の負電圧が印加されたときと同様に、空乏化したチャネルに印加電圧の一部が奪われることを確認した。これにより、トップコンタクト構造 FeTFT の ON→OFF のスイッチング中も、空乏化したチャネルが強誘電体への電圧印加を妨げる（本研究で作製したデバイスでは全体の 44%しか強誘電体に印加することができない）と考えられる。

最後に 4.6 節において、ボトムコンタクト構造 FeTFT とトップコンタクト構造 FeTFT のスイッチング特性を比較した結果、ボトムコンタクト構造の方がトップコンタクト構造より ON→OFF のスイッチング時間が 3 桁以上短いことが実証された。ボトムコンタクト構造によって強誘電体に効率よく電圧を印加することが、スイッチング特性の向上（特に ON→OFF のスイッチング）にとって非常に重要であると考えられる。

第5章

アモルファス酸化物半導体をチャネルに用いた FeTFT

本章では、FeTFT の微細集積化を実現するために、代表的なアモルファス酸化物半導体である a-In-Ga-Zn-O (a-IGZO) をチャネルに用いることを提案し、a-IGZO/BLT FeTFT の作製と評価を行った。まず 5.1 節で、a-IGZO/BLT FeTFT に関する研究背景を述べる。FeTFT の微細集積化に必要なチャネル物性を述べた上で、a-IGZO をチャネルに用いるメリットや、a-IGZO/BLT FeTFT の報告例・課題・解決策をまとめる。次に、5.2 節で本章の実験方法を述べ、その結果を 5.3 節・5.4 節に記す。5.5 節において a-IGZO/BLT FeTFT と In_2O_3 FeTFT の比較を行い、最後に 5.6 節で本章の総括を行う。

5.1	研究背景	66
5.1.1	FeTFT の微細集積化に必要なチャネル物性	66
5.1.2	a-IGZO をチャネルに用いるメリット	67
5.1.3	a-IGZO/BLT FeTFT の報告例・課題・解決策	68
5.1.4	本章の目的とアプローチ	68
5.2	実験方法	69
5.2.1	a-IGZO/ SiO_2 TFT の作製と評価	69
5.2.2	a-IGZO/BLT FeTFT の作製と評価	70
5.3	a-IGZO/ SiO_2 TFT の特性評価	71
5.4	a-IGZO/BLT FeTFT の特性評価	74
5.5	a-IGZO/BLT FeTFT と In_2O_3 /BLT FeTFT の特性比較	76
5.6	まとめ	76

5.1 研究背景

FeTFT は書き換え回数や省電力性能に優れ、不揮発性メモリとして有望であるが、産業応用のためには微細集積化が必須課題である。特に FeTFT においては、短チャネル化が高速化や省電力化に寄与する（これは、強誘電体の分極反転がチャネル方向に伝播してスイッチングが行なわれるという FeTFT の動作原理 [5.1] に起因する。）ため、その意義は大きい。FeTFT の短チャネル化については、チャネル長 60 nm の $\text{ZnO}/(\text{Pb,Zr})\text{TiO}_3$ FeTFT が報告されている [5.2] が、材料やプロセスなどの詳細な検討はまだ行われていない。

5.1.1 FeTFT の微細集積化に必要なチャネル物性

NAND 型 Flash メモリの微細集積化の進歩によって、昨今の不揮発性メモリにはチャネル長が数十～サブ 100 nm の微細集積化が要求されている。チャネル長が数十 nm の FeTFT でメモリアレイを構成することを考えると、素子間の電気特性ばらつきが懸念される。微細トランジスタの特性ばらつきには、しきい値・チャネル移動度・ゲートの寄生容量・ソース/ドレインの寄生抵抗など様々な項目があり、さらにそれらのばらつきは、不純物濃度ばらつき・レイアウトばらつき・界面ラフネス・結晶粒界などの様々な要因によって引き起こされる。これらの中で、結晶粒界はプロセスよりもむしろ材料物性的な問題であり、MOSFET における poly-Si ゲート電極や poly-Si TFT におけるチャネル移動度などのばらつきを引き起こしている。Poly-Si TFT では各チャネルに含まれる結晶粒界の数に応じて特性ばらつきが生じており、FeTFT においても同様の問題が懸念される。もしチャネル材料の粒径がチャネル長に対して十分に小さければ、各チャネル内の結晶粒界の数が均等化されるため、チャネル材料は粒径数 nm 程度の微結晶であることが好ましく、さらには粒界を持たない単結晶、またはアモルファスであることが望ましい。ただし、不揮発性メモリに要求される安価な製造コストとの両立を考えると、アモルファス半導体がチャネル材料の有力な候補であると考えられる。加えて、アモルファス酸化物半導体薄膜は液体プロセスによる薄膜作製も可能である（多結晶薄膜は結晶化時にパターンの矩形性が崩れる）。以上より本研究では、FeTFT のチャネルにはアモルファス酸化物半導体が最適であると考え、 a-In-Ga-Zn-O （a-IGZO）を選択した。酸化物半導体は従来の半導体（Si など）とは異なり、アモルファスにおいても移動度があまり落ちないため、ON 電流を損なわずに FeTFT のチャネルとして機能すると考えられる。なお、アモルファス酸化物半導体の中から特に a-IGZO を選択した理由については次項で述べる。

表 5.1 酸化物半導体における結晶性と物性の関係

	単結晶	多結晶	微結晶	アモルファス
結晶粒界・粒径	なし	数十～数百 nm	数 nm	なし
電気特性の均一性	◎	×	○	◎
製造コスト	高価	高価	比較的安価	安価
液体プロセスによる 薄膜作製	作製困難	結晶化時に パターン崩れ	?	作製可能
薄膜の電子移動度 (cm^2/Vs)	50～100 (ZnO)	20～50 ($\text{In}_2\text{O}_3 \cdot \text{ZnO}$)	?	10～20 (a-IGZO)

5.1.2 a-IGZO をチャネルに用いるメリット

a-IGZO [5.3-5.7] は代表的なアモルファス酸化物半導体であるとともに、これまでに報告例がある ITO/BLT FeTFT [5.8, 5.9] や In_2O_3 /BLT FeTFT [5.10, 5.11] のチャネル材料である ITO や In_2O_3 と同じ In 系の酸化物半導体である。そのため、BLT ゲート絶縁膜に対するチャネル材料として、ITO や In_2O_3 と同様に良好な界面を形成し、チャネル材料として機能することが期待される。

加えて、a-IGZO は FeTFT のデータ保持特性も向上させることが期待される。データ保持を妨げるメカニズムは、ON 時はゲートリーク電流のみである。しかし OFF 時は、強誘電体の分極がチャネルの空乏状態を維持する必要があるため、ゲートリーク電流に加えて、強誘電体の分極に対する逆方向電界（減分極電界）が作用する。つまり、原理的に OFF 時の方が強誘電体の減分極が起こりやすく、FeTFT のデータ保持が難しい。ITO や In_2O_3 はキャリア濃度が高く（それぞれ $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ・ $10^{17} \sim 10^{18} \text{ cm}^{-3}$ ）、TFT はノーマリーON (depletion) 型であるため、チャネルの空乏状態を維持しにくく、空乏状態が解けたときには大きなドレイン電流が流れてしまう。一方、a-IGZO はキャリア濃度が低く ($10^{15} \sim 10^{16} \text{ cm}^{-3}$)、TFT の OFF 電流も極めて小さい [5.7] ため、チャネルの空乏状態を維持しやすい。また、強誘電体の分極が減少して空乏状態が解けても低い OFF 電流が保たれるため、OFF 時のデータ保持特性を助けると考えられる。

なお、FeTFT のチャネル材料に望ましい物性について補足しておく、長期データ保持や省電力のためにキャリア濃度および OFF 電流は低い方が良く、大きな ON 電流のために移動度は高い方が良い。

a-IGZO をチャネルに用いるメリット

- ・ 結晶粒界を持たないため、電気特性が均一である。
- ・ 単結晶・多結晶に比べて、プロセスが短縮でき、製造コストが安い。
- ・ 液体プロセスによる薄膜作製が可能である。
- ・ 既に良好な FeTFT 動作報告例がある In_2O_3 と同じく、In 系の酸化物材料である。
- ・ キャリア濃度が低い ($10^{15} \sim 10^{16} \text{ cm}^{-3}$) ため、OFF 時の空乏状態を維持しやすい。
- ・ OFF 電流が極めて小さいため、消費電力の削減およびデータ保持特性の向上に寄与する。

5.1.3 a-IGZO/BLT FeTFT の報告例・課題・解決策

しかし過去の報告例では、a-IGZO/BLT FeTFT の $I_D - V_G$ 特性におけるヒステリシスは強誘電性ではなく、電荷注入型であった [5.10]。それに対し本研究では、a-IGZO チャネル層の成膜条件と成膜後のアニール条件を改善することで、電荷注入型ヒステリシスの原因と考えられる a-IGZO 薄膜のバルク欠陥と a-IGZO/BLT 界面の欠陥を低減し、強誘電性のヒステリシスを得ることができると考えた。

5.1.4 本章の目的とアプローチ

本章では、a-IGZO/BLT FeTFT における強誘電性ヒステリシスの発現、さらにメモリ特性の向上を目的として、a-IGZO チャネル層の成膜条件と成膜後のアニール条件の最適化を行った。まず a-IGZO/ SiO_2 TFT において、 $I_D - V_G$ 特性の (1) ヒステリシス幅 (2) S 値 (3) 移動度を評価し、a-IGZO チャネル層の成膜条件を検討した。これら 3 つのパラメータは、FeTFT の $I_D - V_G$ 特性ひいてはメモリ特性にとって、それぞれ (1) 強誘電性ヒステリシスの発現 ・ (2) ヒステリシスによってもたらされる ON/OFF 比の向上 ・ (3) ON 電流の向上を議論するために必要なパラメータである。その後、検討結果を用いて a-IGZO/BLT FeTFT を作製し、 $I_D - V_G$ 特性を評価した。

5.2 実験方法

まず 5.3 節において、ボトムゲートーボトムコンタクト構造の a-IGZO/SiO₂ TFT（図 5.1）の作製と評価を行い、a-IGZO チャンネル層のスパッタ成膜条件と成膜後のアニール温度の検討を行った。この検討結果をもとに、5.4 節において a-IGZO/BLT FeTFT（図 5.2）を作製し、 $I_D - V_G$ 特性を評価した。

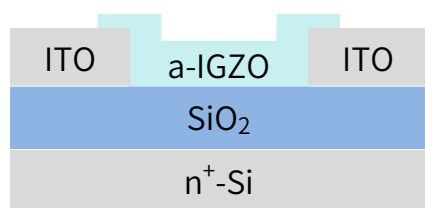


図 5.1 a-IGZO/SiO₂ TFT の構造

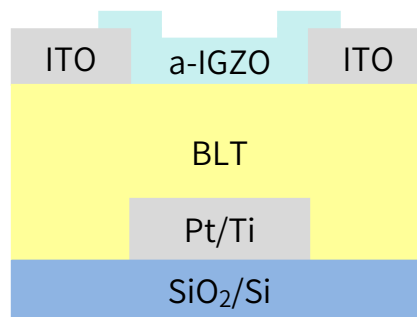


図 5.2 a-IGZO/BLT FeTFT の構造

5.2.1 a-IGZO/SiO₂ TFT の作製と評価

作製手順は、2.1.2 項に示した通りである。a-IGZO チャンネル層の成膜条件および成膜後のアニール条件は表 5.2 に示す。TFT のチャンネル長 L は 10 μm 、チャンネル幅 W は 50 μm である。

表 5.2 a-IGZO チャンネル層の成膜条件および成膜後のアニール条件

ターゲット	多結晶 InGaZnO ₄ 焼結体
全圧	0.8 Pa
基板温度	室温
RF 電力	50 W / 300W
O ₂ /Ar 分圧比	2% / 3%
膜厚	40 nm
アニール雰囲気	O ₂
アニール温度	150°C / 300°C / 400°C / 500°C
アニール時間	1 h

I_D-V_G 特性の評価について

5.1.4 項で述べたように、本章の目的は強誘電性ヒステリシスの発現やメモリ特性の向上であるため、(1) ヒステリシス幅、(2) サブスレッショルド係数 (subthreshold voltage swing, S 値)、(3) 移動度を重視して評価した。

(1) ヒステリシス幅

V_G が負から正へのスイープと正から負へのスイープに対して、 I_D が 1 nA となる V_G の差をヒステリシス幅として定義した。表 5.4 中で、*で示した値 [条件 (a)・(b) の as-depo] については、 I_D が 1 nA 未満であったため、10 pA での V_G の差で定義している。

(2) S 値

線形領域 ($V_D = 5\text{ V} < V_G - V_{th}$) の I_D-V_G 特性を用いて、

$$S = \frac{dV_G}{d \log_{10} I_D}$$

によって算出した。

(3) 移動度 [5.7]

・飽和移動度 (μ_{sat})

飽和領域 ($V_D = 15\text{ V} \gg V_G - V_{th}$) の I_D-V_G 特性を用いて、

$$\mu_{sat} = 2 \frac{\left(\frac{d\sqrt{I_D}}{dV_G} \right)^2}{\frac{W}{L} C}$$

によって算出した。

・電界効果移動度 (μ_{FE})

線形領域 ($V_D = 5\text{ V} \ll V_G - V_{th}$) の I_D-V_G 特性を用いて、

$$\mu_{sat} = \frac{\frac{dI_D}{dV_G}}{\frac{W}{L} C V_D}$$

によって算出した。

[$L = 10\text{ }\mu\text{m}$ 、 $W = 50\text{ }\mu\text{m}$ 、 $C = 0.0345\text{ }\mu\text{F/cm}^2$ (SiO_2 100 nm の単位面積当たり容量) である。]

5.2.2 a-IGZO/BLT FeTFT の作製と評価

5.2.1 項において得られた結果をもとに、a-IGZO チャネル層のスパッタ成膜条件を RF 電力 300 W、 O_2/Ar 分圧比 3% に固定して、図 5.2 の a-IGZO/BLT FeTFT を作製した。作製手順は 2.2.2 項に示した通りで、BLT の成膜条件は表 3.2 の step-by-step プロセス、膜厚は 400 nm である [第 3 章・第 4 章 (In_2O_3 /BLT FeTFT) の BLT 膜厚は 320 nm]。最後に O_2 / 300~500°C / 1 h のアニールを行った。 I_D-V_G 特性 ($V_D = 1\text{ V}$) に加えて、ソース・ドレインを短絡しながらソース・ドレインとゲートの間の $C-V$ 特性 (1 MHz) も評価した。

表 5.3 a-IGZO チャンネル層の成膜条件および成膜後のアニール条件

ターゲット	多結晶 InGaZnO ₄ 焼結体
全圧	0.8 Pa
基板温度	室温
RF 電力	300W
O ₂ /Ar 分圧比	3%
膜厚	40 nm
アニール雰囲気	O ₂
アニール温度	300°C / 400°C / 500°C
アニール時間	1 h

5.3 a-IGZO/SiO₂ TFT の特性評価

表 5.4 に a-IGZO TFT のヒステリシス幅を示している。これらのヒステリシスは全て電荷注入型（時計回り）であった。また、表 5.5 は飽和移動度（ μ_{sat} ）、表 5.6 は S 値を示している。

まず RF 電力について、同じ O₂/Ar 分圧比・アニール温度どうして比較を行うと、全体的に RF 電力が高い方が、小さなヒステリシス幅・大きな飽和移動度・大きな S 値を示している。理由については以下のように推測される。

- 1) 300 W 成膜の方が 50 W 成膜よりも、欠陥が少ない a-IGZO 薄膜を形成できる。
(300 W 成膜の方が 50 W 成膜よりも、スパッタされた IGZO 粒子に大きなエネルギーを与えるため、基板到達時の表面拡散をより促進するのではないかと推測される。)
- 2) 300 W 成膜の方が 50 W 成膜よりも、a-IGZO/SiO₂ 界面に多くの欠陥を生成する。
(スパッタ成膜時のプラズマによって欠陥が生成されていると考えられる。)
- 3) ヒステリシス幅と移動度は a-IGZO チャンネルの膜質に、 S 値は a-IGZO/SiO₂ 界面の特性に、それぞれ大きく依存している。

スパッタ法を用いて作製した a-IGZO TFT の RF 電力に関する報告例は少ないが、RF 電力がある程度大きい方が移動度も大きい（もしくはどこかの間に最大値を取る）ことが報告されており [5.12-5.14]、表 5.5 の結果はそれらと矛盾しない。

次に O₂/Ar 分圧比について、同じ RF 電力・アニール温度どうして比較を行うと、ヒステリシス幅・飽和移動度・ S 値の全てに関して、O₂/Ar 分圧比 3%の方がいくらか良好な特性を示している。a-IGZO では酸素欠損の一部が電子トラップを形成するため [5.15-5.16]、O₂/Ar 分圧比 2%の方が欠陥を多く生成していると考えられる。

アニール温度については、ヒステリシス幅・飽和移動度・ S 値の全てに関して、アニール温度が高い方が良好な値を示す。特にヒステリシス幅と S 値は 300°C 以上のアニールによって顕著に向上しているため、a-IGZO 薄膜と a-IGZO/SiO₂ 界面の欠陥は熱アニールによって低減されと考えられる。アニール温度が高いほどヒステリシス幅・飽和移動度・ S 値が向上しており、a-IGZO チャンネルの膜質および a-IGZO/SiO₂ の界面特性が向上していると推測される。

表 5.4 a-IGZO/SiO₂ TFT のヒステリシス幅

条件	RF 電力	O ₂ /Ar 分圧比	ヒステリシス幅 (V)				
			As-depo.	150°C	300°C	400°C	500°C
(a)	50 W	2%	8.2*	1.2	1.8	1.8	0.8
(b)		3%	3.2*	1.6	1.6	0.6	0.2
(c)	300 W	2%	2.8	1.6	0.6	0.4	0.2
(d)		3%	5.6	1.4	0.6	0.4	0.2

- ・ヒステリシスの向きは全て電荷注入型。
- ・* のサンプルについては、 I_D が 10 pA となる時の V_G の差から算出している。

表 5.5 a-IGZO/SiO₂ TFT の飽和移動度 (μ_{sat})

条件	RF 電力	O ₂ /Ar 分圧比	飽和移動度 (μ_{sat}) [cm ² /(V·s)]				
			As-depo.	150°C	300°C	400°C	500°C
(a)	50 W	2%	0.0003	0.025	0.19	0.93	1.2
(b)		3%	0.00003	0.019	3.3	4.3	2.1
(c)	300 W	2%	0.004	0.61	0.52	3.7	4.7
(d)		3%	0.012	0.75	1.7	2.7	4.0

表 5.6 a-IGZO/SiO₂ TFT の S 値

条件	RF 電力	O ₂ /Ar 分圧比	S 値 (V/dec)				
			As-depo.	150°C	300°C	400°C	500°C
(a)	50 W	2%	0.34	0.55	0.34	0.60	0.45
(b)		3%	0.56	0.65	0.29	0.20	0.24
(c)	300 W	2%	2.1	1.1	0.24	0.29	0.24
(d)		3%	1.9	0.39	0.25	0.27	0.23

以上より、スパッタ条件 (d) の RF 電力 300 W・O₂/Ar 分圧比 3%で a-IGZO を成膜し、さらに 300°C以上のアニールを行った TFT が、概ね良好な特性を示すことが明らかになった。スパッタ条件 (d) によって作製した a-IGZO/SiO₂ TFT の I_D - V_G 特性を図 5.3 に示す。また、400°Cアニール・500°Cアニールの TFT のパラメータを表 5.7 に示す。これらは、一般的な a-IGZO TFT の報告例と概ね同程度の値である。[5.3-5.7]

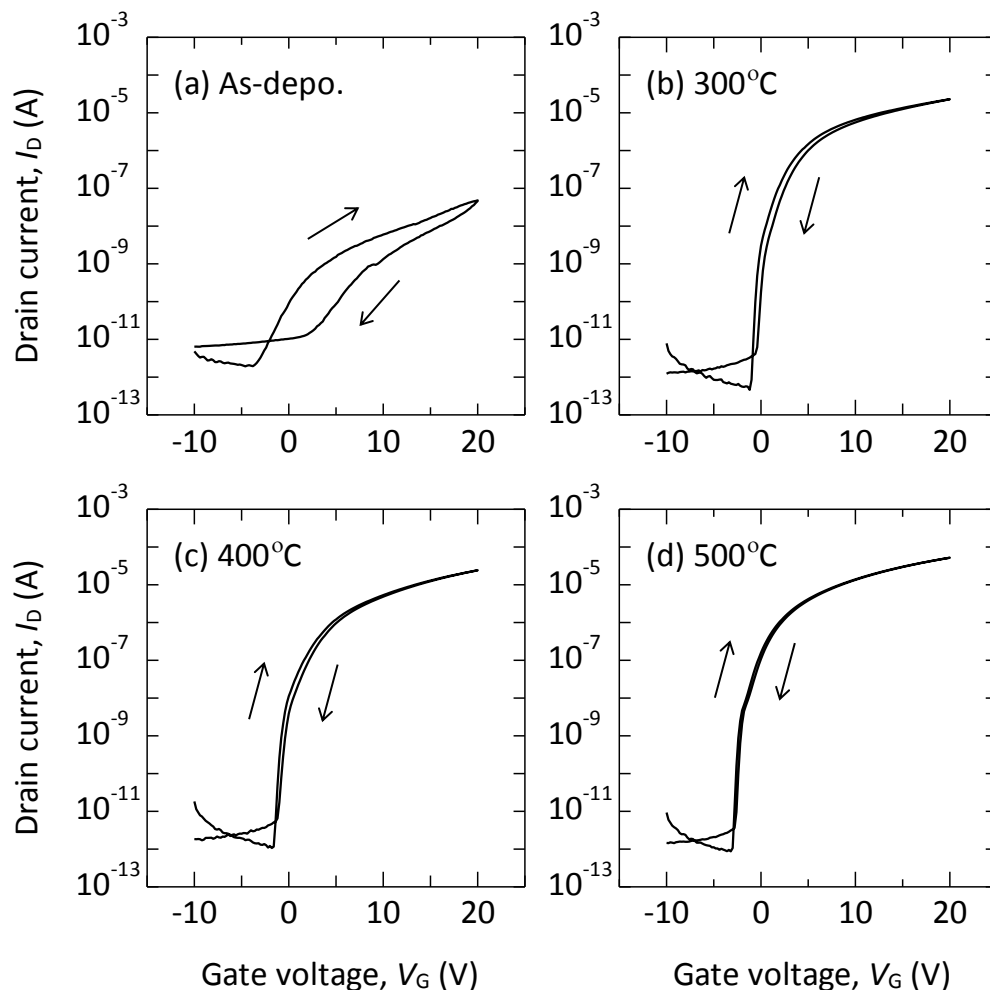


図 5.3 RF 電力 300 W・O₂/Ar 分圧比 3%で作製した a-IGZO/SiO₂ TFT の I_D - V_G 特性
($V_D = 5$ V $L = 10$ μ m $W = 50$ μ m)

表 5.7 400°Cアニールと 500°Cアニールの TFT のパラメータ

アニール	ヒステリシス幅 (V)	μ_{sat} (cm ² /V・s)	μ_{FE} (cm ² /V・s)	S値 (V/dec)	ON/OFF 比
400°C	0.4	2.7	3.0	0.27	$> 10^7$
500°C	0.2	4.0	5.7	0.23	$> 10^7$

5.4 a-IGZO/BLT FeTFT の特性評価

図 5.4 に、スパッタ条件 (d) によって作製した a-IGZO/BLT FeTFT の I_D – V_G 特性を示す。–5 ～ 5 V の V_G で測定した時は、すべて電荷注入型のヒステリシスを示しており、a-IGZO/BLT 界面において電荷注入が生じている。特に 500°Cアニール FeTFT においては、 V_G が 3 V の辺りで I_D のキंकと I_G の急激な増加が見られている。図 3.7 の (2) step-by-step プロセスのリーク電流特性から、 V_G が 5 V のとき（膜厚が 400 nm のため電界は 125 kV/cm）の I_G を見積もると、

(V_G が 5 V のときの I_G)

$$\begin{aligned} &= (\text{電界が } 125 \text{ kV/cm のときのリーク電流密度}) \times (\text{チャンネルとゲートのオーバーラップ面積}) \\ &= (5 \times 10^{-5} \text{ A/cm}^2) \times (20 \text{ } \mu\text{m} \times 100 \text{ } \mu\text{m}) \\ &= 1 \text{ nA} \end{aligned}$$

であり、500°Cアニール FeTFT の I_G は、BLT 薄膜のリーク電流特性から予想される値よりも遥かに大きい。そのため、 I_D のキंकおよび I_G の急激な増加は、a-IGZO/BLT の界面特性（電荷注入）と関係しているのではないかと推測している。

–3 ～ 3 V の V_G で測定した時は、300°Cアニールと 400°Cアニールにおいてのみ、強誘電性のヒステリシスが得られている。表 5.8 に示すように、 S 値や ON 電流についても 300°Cアニールと 400°Cアニールが最も良い特性を示している。したがって 500°Cアニールは、アニール温度を高くしているにも関わらず、400°Cアニールよりも特性が劣化している。5.3 節 a-IGZO/SiO₂ TFT での結果から、アニール温度が高いほど a-IGZO の膜質は向上すると考えられるため、500°Cアニールにおいては相互拡散などが生じ、a-IGZO/BLT の界面特性が劣化していると考えられる。

以上より、アニール温度の増加に伴って、a-IGZO の膜質は向上するが a-IGZO/BLT の界面特性は劣化すると考えられる。ゆえに、FeTFT のデバイス全体として良好な特性を得るためには、適切なアニール温度（例えば 300～400°C）の選択が重要となる。

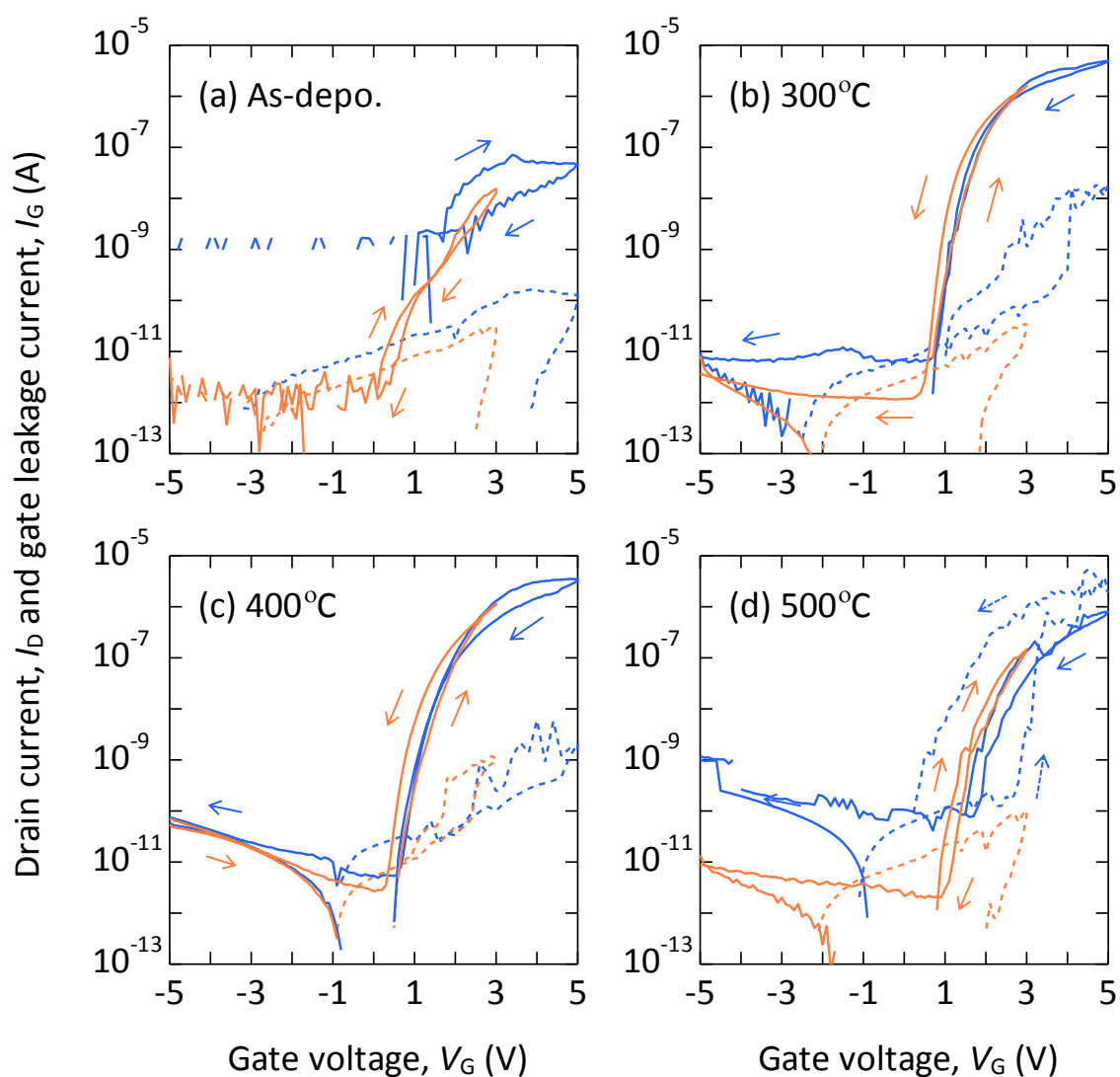


図 5.4 a-IGZO/BLT FeTFT の I_D - V_G 特性

(オレンジ: $-3 \sim 3$ V の V_G で測定 青: $-5 \sim 5$ V の V_G で測定

$V_D = 1$ V $L = 10$ μ m $W = 100$ μ m)

表 5.8 a-IGZO/BLT FeTFT のパラメータ

アニール	ヒステリシス	ヒステリシス幅 (V)	S 値 (V/dec)	ON 電流 ($V_G = 3$ V) (A)
As-depo.	電荷注入型	0.1	0.35	1.5×10^{-8}
300°C	強誘電性	0.3	0.15	2.3×10^{-6}
400°C	強誘電性	0.4	0.10	1.5×10^{-6}
500°C	電荷注入型	0.2	0.20	1.5×10^{-7}

5.5 a-IGZO/BLT FeTFT と In_2O_3 /BLT FeTFT の特性比較

図 5.5 に a-IGZO/BLT FeTFT と In_2O_3 /BLT FeTFT の I_D - V_G 特性と C - V 特性を示す。FeTFT の構造はどちらもボトムコンタクト構造である。 C - V 特性は、ソース・ドレイン間を短絡して、ソース・ドレインとゲートの間の容量を 1 MHz にて測定している。単位面積当たりの容量の計算はチャンネルの蓄積側（チャンネルが導電性になり電極として作用する）に合わせ、チャンネルとゲート電極のオーバーラップの面積で計算している。

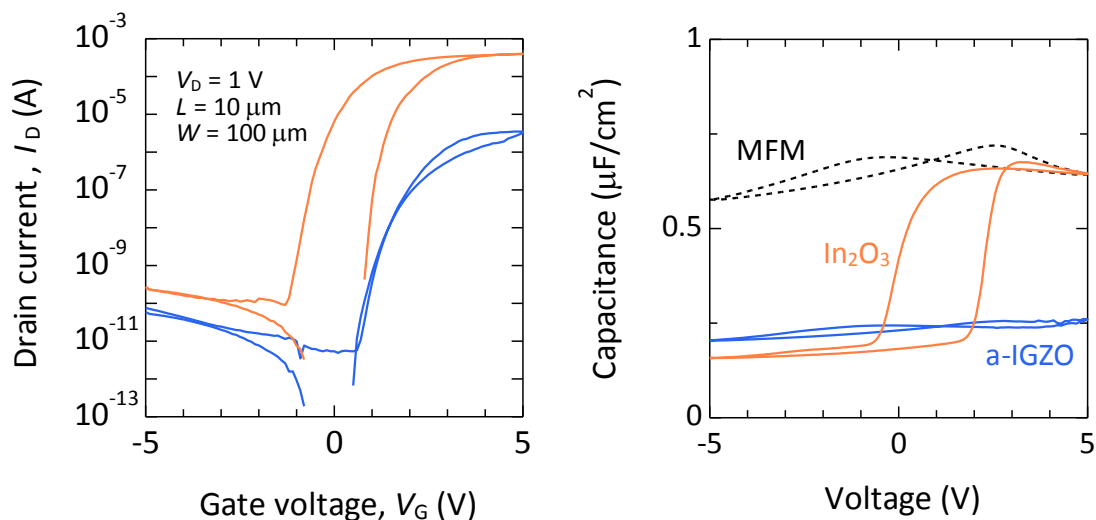


図 5.5 a-IGZO/BLT FeTFT と In_2O_3 /BLT FeTFT の特性比較

(左) I_D - V_G 特性 (右) C - V 特性

In_2O_3 /BLT FeTFT の I_D - V_G 特性は、強誘電性のヒステリシスと大きな ON 電流を示している。 C - V 特性の立ち上がりも急峻であり、蓄積側の容量も強誘電体キャパシタ（MFM キャパシタ）と等しいため、比較的良好な In_2O_3 /BLT 界面が形成されていると思われる。一方、a-IGZO/BLT FeTFT の I_D - V_G 特性は電荷注入型のヒステリシスを示しており、ON 電流も小さい。BLT 膜厚は a-IGZO/BLT の方が厚い（ In_2O_3 /BLT：320 nm、a-IGZO/BLT：400 nm）ため、強誘電体薄膜の抗電圧が大きく、本来は In_2O_3 /BLT よりも強誘電性のヒステリシスが現れやすいはずである。 C - V 特性においても蓄積側の立ち上がりがほとんど見られないため、a-IGZO/BLT 界面で電荷注入が生じていると考えられる。

5.6 まとめ

本章では、FeTFT のチャンネル材料として、微細化に適するアモルファス材料である a-IGZO を検討した。a-IGZO チャンネルのスパッタ条件や成膜後のアニール温度の調整により、a-IGZO/BLT FeTFT の I_D - V_G 特性において強誘電性のヒステリシスを観測した。この結果は、アモルファス酸化物半導体と酸化物強誘電体による FeTFT としては初の報告例である。しかし、a-IGZO/BLT 界面では電荷注入が生じており界面特性に問題があるため、メモリとしての信頼性が高く、かつ微細な FeTFT を実現するためには他のアモルファス酸化物半導体の検討が必要である。

第6章

液体プロセスによる酸化物半導体薄膜形成と TFT 応用

本章では、FeTFT などの集積回路素子を液体プロセスによって製造することを目指し、アモルファス酸化物半導体の液体原料の調合・薄膜形成・TFT 応用などを行い、液体原料の設計指針を議論する。まず 6.1 節で、液体プロセスの現状と課題について述べ、本研究の目的や位置付けを示す。次に 6.2 節で実験手順、6.3・6.4・6.5 節で実験結果を述べ、6.6 節で本章の総括を行う。

6.1	研究背景	78
6.1.1	液体プロセスの現状と課題	78
6.1.2	本章の目的とアプローチ	79
6.1.3	本研究で扱った液体原料について	79
6.2	実験手順	83
6.2.1	液体原料の調合	84
6.2.2	基礎現象の観察	84
6.3	基礎現象の観察	86
6.3.1	前駆体の溶解性	86
6.3.2	溶液の安定性(前駆体の反応性)	87
6.3.3	塗膜の均一性	88
6.3.4	IBA・PGME・ANS・MES 溶媒の結果	92
6.3.5	まとめ	92
6.3.6	複数の前駆体・溶媒の組み合わせ	93
6.3.7	IZO 溶液の前駆体と溶媒の選択	94
6.4	熱分析(TG-DTA)	94
6.4.1	測定方法	94
6.4.2	結果と考察	97
6.5	TFT の作製と評価	100
6.5.1	TFT の作製方法	100
6.5.2	In ₂ O ₃ TFT の作製と評価	100
6.5.3	IZO TFT の作製と評価	102
6.6	まとめ	104

6.1 研究背景

6.1.1 液体プロセスの現状と課題

液体プロセスによって作製されたアモルファス酸化物 TFT は 2007 年頃から報告されはじめ、2014 年 9 月現在までに約 150 件が報告されているが、デバイスの作製温度や電気特性が研究対象とされており、印刷技術を用いた塗布とパターニングなどについてはほとんど検討されていない（液体原料を用いて作製した薄膜を、フォトリソグラフィーでパターニングしてデバイスを作製している報告例がほとんどである。）。しかし、液体プロセスによるデバイス製造を実現するためには、原料溶液の作製、印刷による塗布とパターニング、アニールによる薄膜形成、デバイス作製という製造工程のすべてをクリアする必要がある。

本研究では特に、マイクロスケール・さらにはナノスケールで塗布とパターニングを行うためには、塗膜および液滴の乾燥挙動の制御が必要であることを提起する。なぜなら、乾燥による塗膜の分裂（ドット状）[\[6.1-6.2\]](#) や、図 6.1 のようなパターン収縮・パターンずれ・矩形性の崩れが懸念されるためである。[\[6.2-6.4\]](#)

上述のような塗膜の乾燥過程については、成熟した既存技術である sol-gel 法においても詳細に研究された例はない。現在までの sol-gel 法の応用例は、エレクトロニクスではなくセラミックスが主流であり、ガラス・ファイバー・コーティング膜などのサイズが大きいバルク体で作製されていた。そのため、詳細な物理やメカニズムに関わらず、厚膜化や急乾燥などのノウハウによって塗膜の分裂を防ぐことができるからである。また、sol-gel 法は結晶性が高いバルク体を高温のアニールで作製することを指向してきたため、アモルファス酸化物 TFT に要求されている、アモルファスの薄膜を低温のアニールで作製するという制約条件に対する技術も未成熟である。

以上より本研究では、液体プロセスによるデバイス製造を実現するためには、デバイスの電気特性の向上よりも、プロセス全体を見通して液体原料を一から設計することが重要であると考え、その設計指針を議論した。

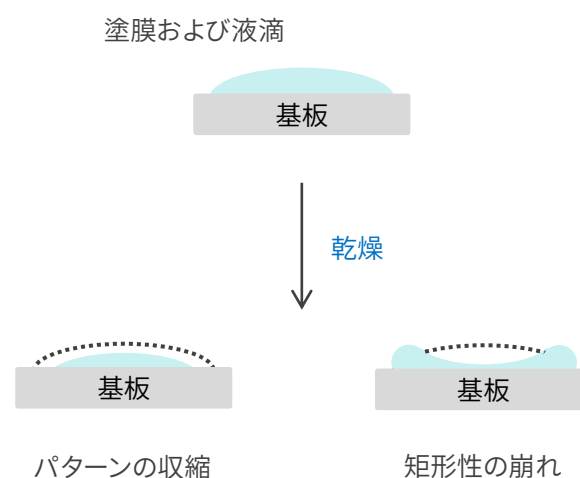


図 6.1 塗膜および液滴の乾燥挙動

6.1.2 本研究の目的とアプローチ

本研究では、アモルファス酸化物半導体の液体原料の設計指針について、薄膜やデバイスの電気特性だけでなく、液体原料の特性や塗膜形成能も含めて包括的に議論する。印刷技術による塗布とパターニングは行っていないが、それに係る物理的性質として塗膜形成能に着目した。本研究独自の視点であるこの塗膜形成能は、個々の印刷手法のノウハウにはよらない普遍的な性質であるため、塗膜のパターニングを物理的に考察する上でも極めて重要な視点であると考えられる。

具体的には、実際のデバイス製造工程に倣って原料溶液の調合・基板への塗布・アニールによる薄膜形成・TFT 作製という一連の工程を試行し、基礎現象の観察・原料溶液の熱分析・TFT の電気特性の評価などを行った。基礎現象としては、前駆体の溶解性・溶液の安定性（前駆体の反応性）・塗膜の均一性を観察した。酸化物半導体の材料は、代表的なアモルファス酸化物半導体である a-In-Ga-Zn-O (IGZO) を指向しているが、本研究ではその前段階として $\text{In}_2\text{O}_3 \cdot \text{ZnO}$ とそれらを組み合わせた a-In-Zn-O (a-IZO) の液体原料をテーマにした。調合・評価を行う液体原料の選定については、できるだけ網羅的な探索を行うために、多種多様な前駆体、溶媒、およびそれらの化学反応（酸化物薄膜形成手法）を揃えている。

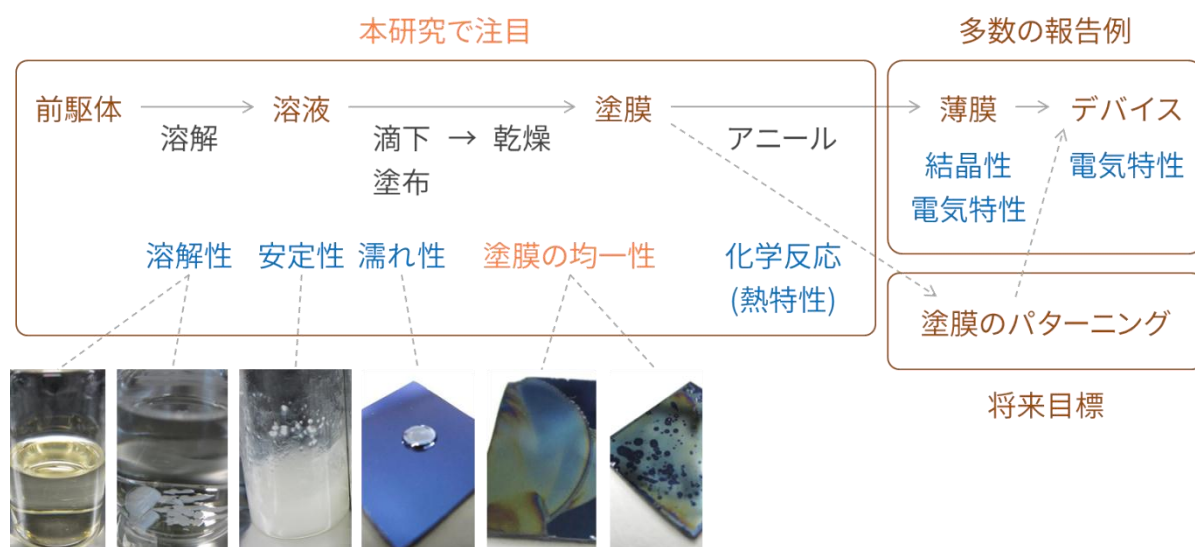


図 6.2 本研究の位置付け

6.1.3 本研究で扱った液体原料について

1) 酸化物薄膜形成手法(化学反応)

液体原料から酸化物薄膜を形成する手法（化学反応）は、sol-gel 法と有機金属分解（metal organic decomposition/deposition, MOD）法の 2 種類に大別される。

sol-gel 法

sol-gel 法は、酸化物の前駆体を有機溶媒に溶かしてゾルやゲルを作製し、熱処理によって溶媒を取り除いて酸化物の固体（ガラスやセラミックス）を作製するプロセスであり、ゾルやゲルを

作製する際に、加水分解や縮重合を伴うのが特徴である。酸化物の前駆体には有機金属や金属塩化物など様々な種類があるが、簡単な蒸留操作によって半導体級の高純度品が得られる金属アルコキシドが用いられることが多い。

前駆体に有機金属を用いた場合は、これを有機溶媒に溶かし、加水分解用の水と触媒となる酸または塩基を加えて加水分解と縮重合を起こす。これによってまず原料を凝集させてゾルとする。したがって液体原料は溶液ではなくコロイド溶液であり、さらに縮重合が進んで粒径が 100～1000 nm より大きくなると懸濁液 (suspension) となる。さらに反応を進めて粒子を沈殿させて架橋構造を作り液体原料をゲル化させる。この間に、適切なタイミングで塗布・乾燥・熱処理を行う。

前駆体に金属塩化物や金属臭化物を用いた場合は、多くの場合で液体原料は溶液になっており、基板に塗布された後の熱処理によって加水分解と縮重合が起こる。

また、金属アルコキシドに対して少量のキレート化剤を添加して化学修飾を行うと、立体構造が形成されアルコキシドの反応性が抑制されるため、液体原料の反応性を制御することができる。この場合も sol-gel 法ではあるが、キレート化剤を用いない sol-gel 法とは区別されることがある。キレート化剤としては、エチレンジアミン四酢酸 (ethylenediaminetetraacetic acid, EDTA)・アセチルアセトン (acetylacetone, acac)・酢酸・酒石酸などが代表的である。

MOD 法

酸化物の前駆体に有機金属を用いて、熱処理によって有機物を分解・揮発させて酸化物のガラスやセラミックスを得るプロセスを MOD 法という。狭義には、加水分解および縮重合反応を含まない (つまり sol-gel 法ではない) 場合に限られることもあるが、液体原料に有機金属を用いる場合は MOD 法と呼ばれることが一般的であるため、実際には sol-gel 法と定義がオーバーラップしている。液体原料には、金属のアセチルアセトナート錯体や β -ジケトナートなどの高分子化合物が用いられることが多く、これらの熱分解のために熱処理温度が高温となる傾向にある。イットリウム系の高温超電導体線材の作製では、オクチル酸塩やトリフルオロ酢酸塩を原料とする MOD 法が用いられる。後者は特に TFA-MOD (metal organic decomposition/deposition using trifluoro acetates) 法と呼ばれ、高品質な線材を低コストで得る方法として期待されている。

sol-gel 法と MOD 法の違い

両者はよく混同されて使用されることが多いため、ここで定義について整理する。sol-gel 法の定義は、加水分解と縮重合によって原料物質の凝集や架橋構造の生成を行うプロセスに由来する。それに対し、広義の MOD 法の定義は酸化物の前駆体に有機金属を用いることに由来する。そのため sol-gel 法と MOD 法は必ずしも異なるプロセスではなく、むしろ液体プロセスの大半は sol-gel 法かつ MOD 法でもあり両方に属している。例えば金属アルコキシドを用いた sol-gel 法や TFA-MOD 法などがこれに当てはまる。また、同じ有機金属であっても水を加えるかどうかで、sol-gel 法 (かつ MOD 法) にも MOD 法のみにも変わる前駆体も存在する。

2) 酸化物前駆体

本研究で用いた前駆体の一覧を表 6.1 に示す。一部の前駆体の構造式は図 6.3 に示している。

表 6.1 本研究で用いた酸化物前駆体

名称	塩の種類	化学式	化学反応	特徴
塩化インジウム	Cl	InCl_3	Sol-gel	
インジウムアセチルアセトナート	acac	図 6.3(a)	キレート	
塩化亜鉛	Cl	ZnCl_2	Sol-gel	潮解性
臭化亜鉛	Br	ZnBr_2	Sol-gel	潮解性
亜鉛アセチルアセトナート	acac	図 6.3(b)	キレート	
酢酸亜鉛2水和物	酢酸(水和物)	$\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$	Sol-gel	
酢酸亜鉛(無水物)	酢酸(無水物)	$\text{Zn}(\text{CH}_3\text{COO})_2$	Sol-gel	
硝酸亜鉛6水和物	硝酸	$\text{Zn}(\text{NO}_3)_2 \cdot 6\text{H}_2\text{O}$	?	潮解性
シュウ酸亜鉛2水和物	シュウ酸	図 6.3(c)	?	
酒石酸亜鉛	酒石酸	図 6.3(d)	キレート	

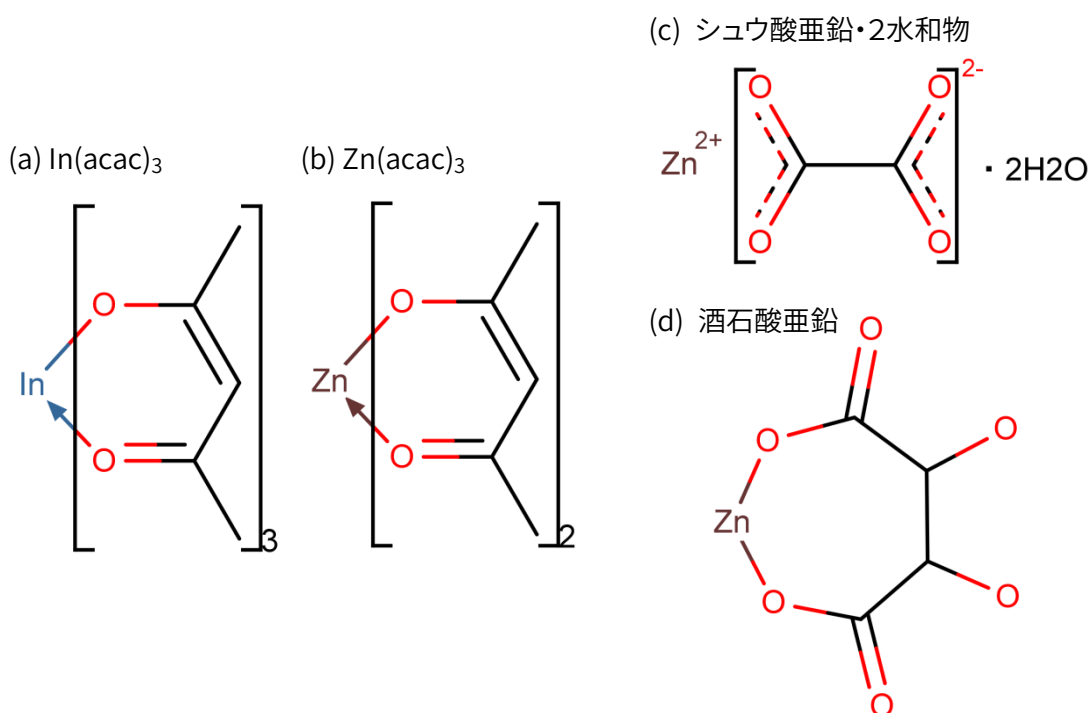


図 6.3 本研究で用いた酸化物前駆体の構造式(一部)

3) 溶媒

本研究で用いた溶媒の一覧を表 6.2 に示す。アルコール類を中心に、Sol-gel 法などで有機溶媒や添加剤としてよく用いられるものを選択した。また、沸点が塗膜の均一性に影響する可能性を考慮して、様々な沸点の溶媒を揃えている。有機溶媒 11 種類と水（超純水）の全 12 種類である。有機溶媒の構造式は、図 6.4 に示している。

表 6.2 本研究で用いた溶媒

名称	略称	化学式	沸点 (°C)
メタノール	MeOH	CH ₃ OH	65
エタノール	EtOH	C ₂ H ₅ OH	78
1-プロパノール	<i>n</i> -PrOH	C ₃ H ₆ OH	97
イソブチルアルコール (2-メチル-1-プロパノール)	IBA	(CH ₃) ₂ C ₂ H ₃ OH	108
プロピレングリコールモノメチルエーテル (1-メトキシ-2-プロパノール)	PGME	(CH ₃ O)C ₂ H ₃ (OH)CH ₃	120
エチレングリコールモノメチルエーテル (2-メトキシエタノール)	2-ME	(CH ₃ O)C ₂ H ₄ OH	125
プロパン酸（プロピオン酸）	PrA	C ₂ H ₅ COOH	141
アニソール（メトキシベンゼン）	ANS	C ₆ H ₅ OCH ₃	154
メシチレン（1,3,5-トリメチルベンゼン）	MES	C ₆ H ₃ (CH ₃) ₃	165
モノエタノールアミン (2-アミノエタノール)	MEA	NH ₂ C ₂ H ₄ OH	170
テトラヒドロフルフリルアルコール	THFA	(C ₄ H ₇ O)CH ₂ OH	178
水(超純水)	H ₂ O	H ₂ O	100

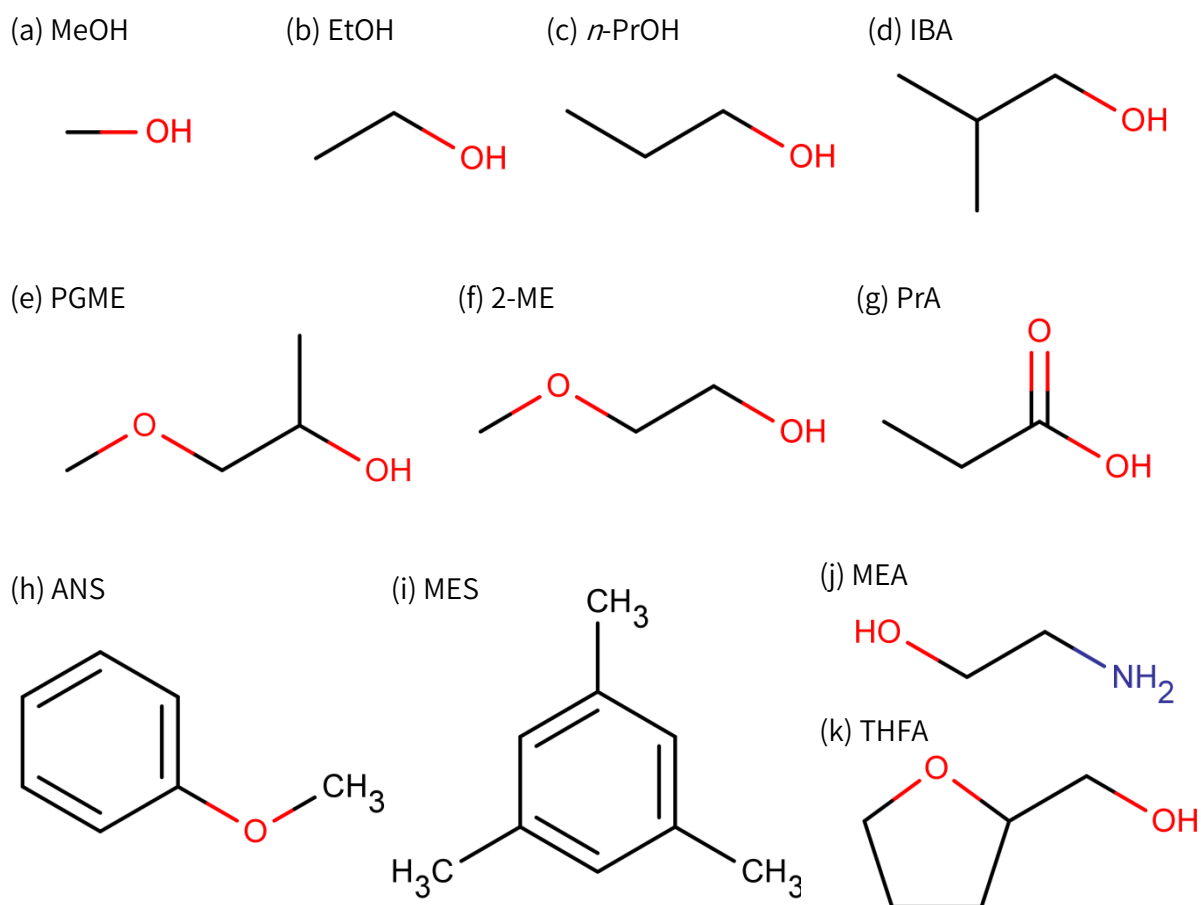


図 6.4 本研究で用いた有機溶媒の構造式

6.2 実験手順

まず、表 6.1 に示す酸化物前駆体（10 種類）と表 6.2 に示す溶媒（12 種類）を組み合わせ、バイアル瓶内で液体原料を調合し、溶媒に対する前駆体の溶解性と反応性を観察した。調合後は、すぐにスターラーを用いて攪拌（室温～120℃ / 1000 rpm）し、溶解性や前駆体の反応性を観察した。調合した液体原料はバイアル瓶に入れたまま室温・遮光環境で保存し、引き続き溶液の安定性（前駆体の反応性）を観察した。次に、白濁（懸濁）・ゲル化していない液体原料については、熱酸化 SiO₂/Si 基板上にスピンコート（500 rpm / 5 s → 2000 rpm / 10 s）した後、塗膜を大気中で乾燥（固化）させてから光学顕微鏡で観察した。乾燥条件は、[室温 / 乾くまで静置]、[150℃ / 3 min]、[350℃ / 3 min] の 3 通りである。以上の結果をもとに、IZO を作製するための In・Zn の前駆体と溶媒の組み合わせを検討した。その際に、異種前駆体や異種溶媒どうしを混合させて相性を確認した（6.3.5 項）。6.2.1 項と 6.2.2 項では、以上の実験方法の詳細を述べる。

また、一部の液体原料については熱分析や、TFT の作製と評価を行った。これらの実験方法については、それぞれ 6.4 節・6.5 節の中で述べる。

6.2.1 液体原料の調合

表 6.1 に示す酸化物前駆体（10 種類）と表 6.2 に示す溶媒（12 種類）をバイアル瓶内で混合して液体原料を調合した。前駆体と溶媒の量は、電子天秤で測定した重量で調節し、液体原料（溶液）の濃度は mol/kg で表している。調合後はすぐにスターラーで攪拌（室温～120℃ / 1000 rpm）し、溶解性や前駆体の反応性を観察した。

6.2.2 基礎現象の観察

1) 前駆体の溶解性

顆粒もしくは粉末である前駆体を溶媒と混合し、溶液になるかどうかを目視で確認した。無色透明および有色透明な組み合わせは、前駆体が溶媒に溶けて溶液になっていると判断し、溶解量（濃度）を mol/kg で表した。また、液体が白濁（懸濁）した組み合わせは、前駆体が溶媒に可溶ではあるが、前駆体が加水分解反応を起こしゾル化していると考えられるため溶液とは区別した。前駆体がバイアル瓶の底に沈殿し、溶媒が無色透明のままであった組み合わせは、前駆体の一部～全部が溶媒に不溶であり、かつ前駆体と溶媒は化学反応しないと判断した。

2) 溶液の安定性（前駆体の反応性）

液体原料の調合時に液体が白濁（懸濁）するかどうかを確認した。無色透明・有色透明な溶液あるいはコロイドが調合できた組み合わせは、その後室温・遮光環境で保存しながら経過を観察し、液体が白濁（懸濁）・ゲル化するかどうか（溶液の安定性）を確認した。白濁（懸濁）・ゲル化した組み合わせは、前駆体の加水分解反応が起こっていると考えられる。

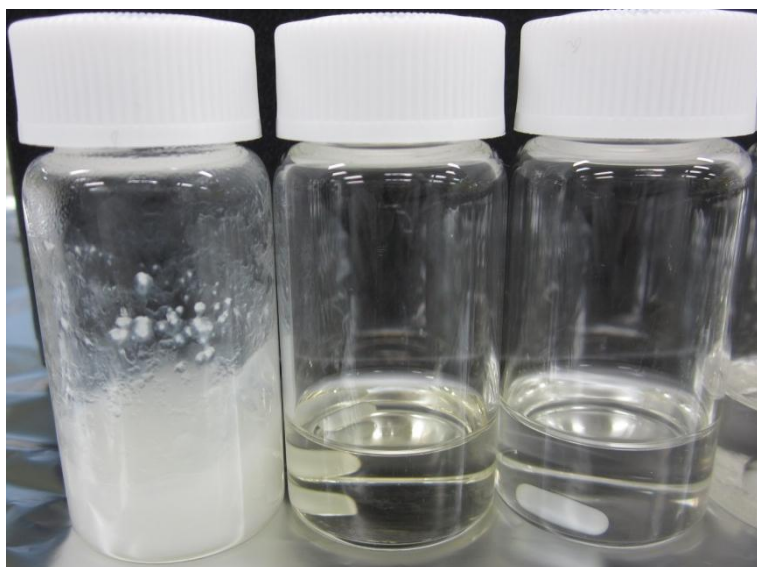


図 6.5 前駆体の溶解性・反応性

3) 塗膜の均一性

白濁（懸濁）・ゲル化していない液体原料のみ、熱酸化 SiO_2/Si 基板上にスピコート（500 rpm / 5 s → 2000 rpm / 10 s）した後、大気中で乾燥させた塗膜を観察した。乾燥条件は、[室温/乾くまで数分静置]、[150°C/3 min]、[350°C/3 min] の3通りである。

4) 1) ～ 3) IBA・PGME・ANS・MES 溶媒の結果

上記4種類の溶媒については、観察した前駆体の種類が少ないため、結果を 1) ～ 3) とは別にまとめる。

5) まとめ

1) ～ 4) の結果を総合的に判断し、IZO 溶液を作製するための In・Zn の前駆体と溶媒の候補を検討した。

6) 複数の前駆体・溶媒の組み合わせ

まず、1種類の前駆体に対して2種類の溶媒を組み合わせるなどの予備実験を行った後、4)で候補とした前駆体と溶媒を組み合わせ、溶液を作製し、塗膜の均一性などを観察した。

7) IZO 溶液の前駆体と溶媒の選択

5)・6) の結果をもとに、IZO 溶液を作製するための In・Zn の前駆体と溶媒を選択した。

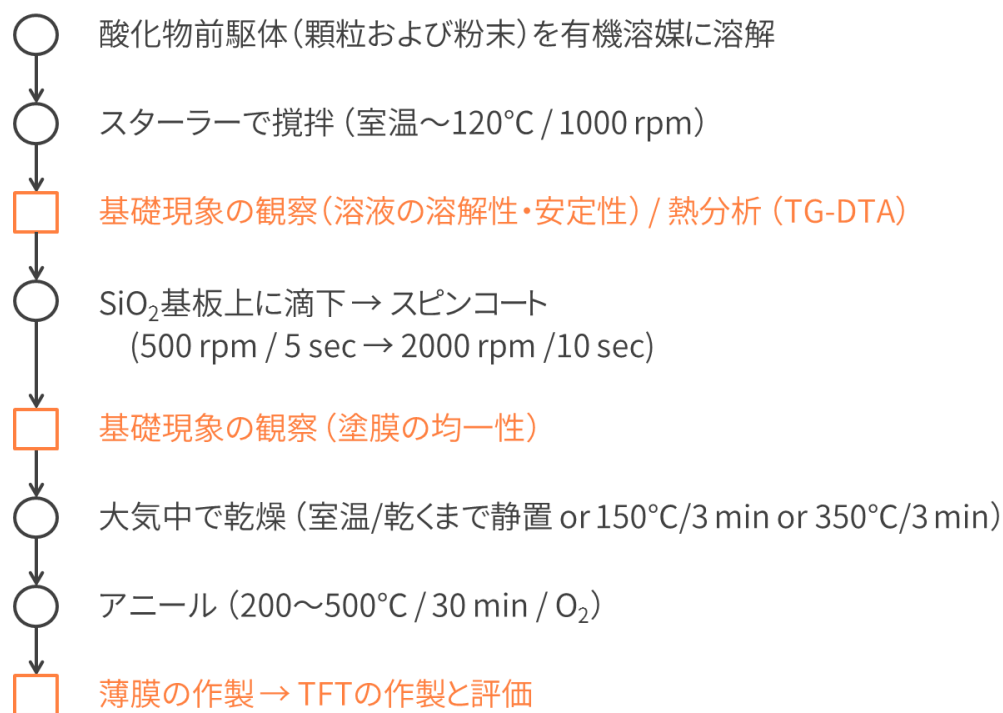


図 6.6 実験手順

6.3 基礎現象の観察

6.3.1 前駆体の溶解性

前駆体の溶解性を表 6.3 に、その凡例を表 6.4 に示す。溶解量（濃度）を mol/kg で表している。なお、薄膜の作製と膜厚測定の結果から、十分な膜厚（10～20 nm）の薄膜を作製するためには 0.2 mol/kg 程度の濃度が必要であることがわかっている。

表 6.3 前駆体の溶解性

金属 元素	塩の種類	MeOH (65℃)	EtOH (78℃)	<i>n</i> -PrOH (97℃)	2-ME (125℃)	PrA (141℃)	MEA (170℃)	THFA (178℃)	H ₂ O (100℃)
In	Cl	≥ 0.3	≥ 0.3	≥ 0.3	≥ 0.3	≥ 0.1	×	≥ 0.1	≥ 0.3
	acac	≥ 0.3	～ 0.1	～ 0.1	～ 0.1	≥ 3.0	×	微量	×
Zn	Cl	≥ 0.3	≥ 0.3	～ 0.1	≥ 0.3	≥ 0.3	≥ 0.3	≥ 0.2	×
	Br	—	—	—	—	≥ 0.2	—	—	—
	acac	微量	微量	×	～ 0.1	微量	≥ 0.1	微量	×
	酢酸 / 水和物	≥ 0.3	×	不溶	≥ 0.2	不溶	≥ 0.3	～ 0.1	≥ 0.3
	酢酸 / 無水物	≥ 0.3	～ 0.1	～ 0.1	不溶	×	≥ 0.3	不溶	≥ 0.3
	NO ₃ / 水和物	—	—	—	≥ 0.5	×	—	≥ 0.1	—
	シュウ酸	—	—	—	不溶	不溶	—	不溶	—
	酒石酸	—	—	—	×	不溶	—	×	—

表 6.4 表 6.3 の凡例

凡例(色)	濃度など	説明
(オレンジ色)	≥ 0.2	十分な膜厚（10～20 nm）の薄膜を作製可能。
(白色)	～ 0.1	溶解量が 0.1 mol/kg 程度。
微量	< 0.1	溶解量が 0.1 mol/kg 以下。
不溶	0	前駆体の顆粒・粉末が瓶底に沈殿。
×	白濁(懸濁)	調合した瞬間に前駆体と溶液どうしが反応。
—	未実験	未実験である。

6.3.2 溶液の安定性(前駆体の反応性)

前駆体の反応性を表 6.5 に、その凡例を表 6.6 に示す。6.3.1 項で “不溶” であった組み合わせについても調べているのは、IZO 溶液作製時に溶媒が 2 種類（以上）であるときの組み合わせの相性を判断するのに必要なためである。”△” である組み合わせは再現性が悪いものが多かった。おそらく調合時の湿度に強く影響を受けていると推測される。一方、“○” 以上の組み合わせは、比較的再現性が良かった。

表 6.5 溶液の安定性(前駆体の反応性)

金属 元素	塩の種類	MeOH (65°C)	EtOH (78°C)	<i>n</i> -PrOH (97°C)	2-ME (125°C)	PrA (141°C)	MEA (170°C)	THFA (178°C)	H ₂ O (100°C)
In	Cl	○	○	○	◎	○	×	○	○
	acac	△	△	○	△	◎	×	○	×
Zn	Cl	◎	◎	◎	◎	◎	◎	◎	×
	Br	—	—	—	—	○	—	—	—
	acac	△	△	×	△	○	△	△	×
	酢酸 / 水和物	○	×	○	×～△	×～△	◎	△	○
	酢酸 / 無水物	△～○	△	△	△	×	◎	○	△
	NO ₃ / 水和物	—	—	—	○	×	—	○	—
	シュウ酸	—	—	—	○	○	—	○	—
	酒石酸	—	—	—	×	○	—	×	—

表 6.6 表 6.5 の凡例

凡例	経過時間	説明
◎	数年以上	調合後から数年経過しても非常に安定。
○	数日以上	湿度にもよるが、調合した直後は比較的安定。
△	数分～数日	調合直後は使用できるが、湿度が高いと調合できない。
×	調合時	調合した瞬間に前駆体と溶液どうしが反応。
—	未実験	未実験である。

6.3.3 塗膜の均一性

塗膜の均一性を表 6.7・6.9・6.10 に、その凡例を表 6.8 に示す。以下の結果から、室温で塗布できる組み合わせは非常に少ないこと、乾燥温度の上昇によって均一性が飛躍的に上昇すること、均一性は前駆体の種類に強く依存すること、均一性は溶媒の沸点にやや依存することが明らかとなった。

表 6.7 塗膜の均一性(室温乾燥)

金属 元素	塩の種類	MeOH (65°C)	EtOH (78°C)	<i>n</i> -PrOH (97°C)	2-ME (125°C)	PrA (141°C)	MEA (170°C)	THFA (178°C)	H ₂ O (100°C)
In	Cl	×	×	×	×	×	/	×	×
	acac	×	×	△	△	◎	/	○	/
Zn	Cl	×	×	×	×	×	×	×	/
	Br	—	—	—	—	×	—	—	—
	acac	×	×	/	△～○	/	×	△	/
	酢酸 / 水和物	×～△	/	/	◎	/	×	△	×
	酢酸 / 無水物	×	×	×	/	/	×	/	×
	NO ₃ / 水和物	—	—	—	×	/	—	×	—
	シュウ酸	—	—	—	/	/	—	/	—
	酒石酸	—	—	—	/	/	—	/	—

表 6.8 表 6.7の凡例

凡例	説明
◎	非常にきれいで均一な膜を形成できる。
○	基板上に穴がない膜を形成できる。
△	穴のない膜は形成されるが、一部にムラやまだら模様が見られる。
×	対流セルパターン(p.91 参照)が形成され、全く膜にならない。
/	溶解性が“微量”または“不溶”や“×”であり、実験ができない。
—	未実験である。

室温乾燥と比べると、全体的に均一性が向上している。特に、前駆体が In (acac)・Zn (acac)・Zn (酢酸・水和物)である組み合わせや、溶媒の沸点が高い PrA・MEA・THFA を含む組み合わせにおいて顕著である。

表 6.9 塗膜の均一性(150℃乾燥) (凡例は表 6.8 の通り)

金属 元素	塩の種類	MeOH (65℃)	EtOH (78℃)	<i>n</i> -PrOH (97℃)	2-ME (125℃)	PrA (141℃)	MEA (170℃)	THFA (178℃)	H ₂ O (100℃)
In	Cl	×	×	×	×	△	/	△	×
	acac	△	△	○	◎	◎	/	○	/
Zn	Cl	×	×	×	×	△	△	△	/
	Br	—	—	—	—	×	—	—	—
	acac	△	△	/	○	/	△	○	/
	酢酸 / 水和物	△	/	/	◎	/	△	○	×
	酢酸 / 無水物	△	△	△	/	/	△	/	△
	NO ₃ / 水和物	—	—	—	△	/	—	△	—
	シュウ酸	—	—	—	/	/	—	/	—
	酒石酸	—	—	—	/	/	—	/	—

室温乾燥・150℃乾燥と比べて、飛躍的に均一性が向上している。バルク体やコーティング膜を作製する既存の sol-gel 法では、このように乾燥温度を工夫することによって均一性を確保しているが、微細電子デバイスの製造時にマイクロスケール・ナノスケールで塗布とパターニングを同時に行うためには、室温乾燥で良好な均一性を得る必要がある。

表 6.10 塗膜の均一性(350℃乾燥) (凡例は表 6.8 の通り)

金属 元素	塩の種類	MeOH (65℃)	EtOH (78℃)	<i>n</i> -PrOH (97℃)	2-ME (125℃)	PrA (141℃)	MEA (170℃)	THFA (178℃)	H ₂ O (100℃)
In	Cl	×～△	×～△	×～△	×～△	△	／	○	×～△
	acac	○	○	○	○	◎	／	○	／
Zn	Cl	×～△	×～△	×～△	△	△	○	○	／
	Br	—	—	—	—	×	—	—	—
	acac	○	○	／	○	／	○	○	／
	酢酸 / 水和物	○	／	／	◎	／	○	○	×～△
	酢酸 / 無水物	○	○	○	／	／	○	／	○
	NO ₃ / 水和物	—	—	—	○	／	—	◎	—
	シュウ酸	—	—	—	／	／	—	／	—
	酒石酸	—	—	—	／	／	—	／	—

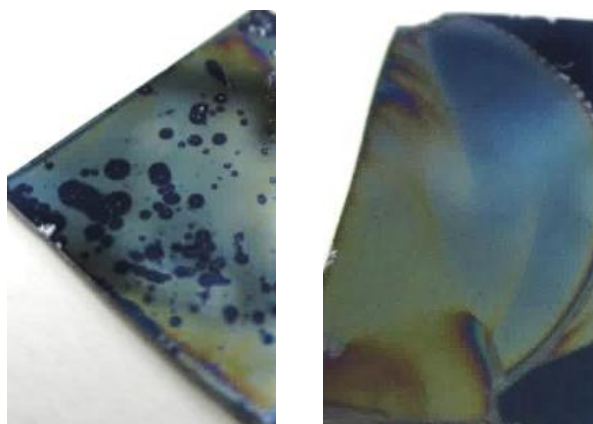


図 6.6 塗膜の均一性 (左) 均一性 “△” (右) 均一性 “○”

図 6.7 は塗膜の乾燥時に対流セルパターンが形成される過程を示している。塗膜の至るところから穴が発生し (1)、最後に細胞状のパターンが形成される (4)。溶媒の蒸発によって生じる温度差や濃度差が原因となり、溶媒表面の表面張力が不均一になると対流が発生する。この対流に流されて溶質が移動するため、溶媒の蒸発後に図 6.6 (4) のような対流セルパターンが形成される。

このような現象は、液体原料の塗布とパターンニングを行う際のパターン収縮・パターンずれ・矩形性の崩れの原因となる [6.2-6.4] ため、抑制する必要がある。そのためには、溶質と基板の間の分子間力 (引力) を大きくして塗膜を安定化させるアプローチ [6.1] や、化学修飾などにより溶質分子の形状を制御して、溶質分子間の相互作用によって塗膜を安定化させるアプローチ [6.4] などが考えられる。

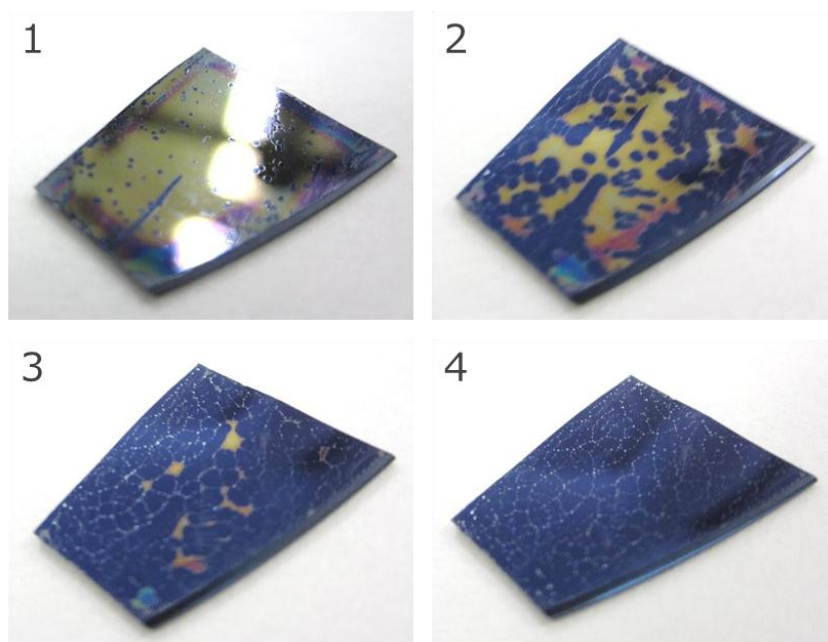


図 6.7 対流セルパターンが形成される過程

6.3.4 IBA・PGME・ANS・MES 溶媒の結果

表 6.3 にあるように、 $\text{Zn}(\text{acac})_2$ が溶解する溶媒が見つからなかったため、4 種類溶媒を追加して $\text{Zn}(\text{acac})_2$ の IBA・PGME・ANS・MES に対する溶解性を調べたが、全て調合した瞬間に $\text{Zn}(\text{acac})_2$ と溶媒が反応しており、溶液を作ることができなかった。

6.3.5 まとめ

溶解性・安定性・均一性の 3 項目全てを問題なくクリアした組み合わせは、 $\text{In}(\text{acac}) / \text{PrA}$ のみであった。塗布性については、室温乾燥において良好な均一性を示していることを条件とした。また、 $\text{Zn}(\text{酢酸}) \cdot \text{水和物} / 2\text{-ME}$ と $\text{Zn}(\text{酢酸}) \cdot \text{水和物} / \text{THFA}$ の組み合わせは、溶解性と均一性はクリアしているが安定性に課題があり、再現性に難がある（おそらく作製・保管時の湿度に影響を受けていると考えられる）ため、“△” とした。

表 6.11 前駆体の溶解性 × 溶液の安定性 × 塗膜の均一性 のまとめ

[オレンジ：候補として適する 青色：候補として不適(文字は適さない項目) 灰色：未実験]

金属 元素	塩の種類	MeOH (65°C)	EtOH (78°C)	<i>n</i> -PrOH (97°C)	2-ME (125°C)	PrA (141°C)	MEA (170°C)	THFA (178°C)	H ₂ O (100°C)
In	Cl	塗膜	塗膜	塗膜	塗膜	塗膜	安定性	塗膜	塗膜
	acac	塗膜	溶解量	溶解量	溶解量	◎	安定性	溶解量	安定性
Zn	Cl	塗膜	塗膜	塗膜	塗膜	塗膜	塗膜	塗膜	安定性
	Br	—	—	—	—	塗膜	—	—	—
	acac	溶解量	溶解量	安定性	溶解量	溶解量	塗膜	溶解量	安定性
	酢酸 / 水和物	塗膜	安定性	溶解量	△	溶解量	塗膜	△	塗膜
	酢酸 / 無水物	塗膜	塗膜	塗膜	溶解量	安定性	塗膜	溶解量	塗膜
	NO ₃ / 水和物	—	—	—	塗膜	安定性	—	塗膜	—
	シュウ酸	—	—	—	溶解量	溶解量	—	溶解量	—
	酒石酸	—	—	—	安定性	溶解量	—	溶解量	—

6.3.6 複数の前駆体・溶媒の組み合わせ

表 6.12 は、1 つの前駆体に対して溶媒を 2 種類にした場合の基礎現象の観察結果を示している。MEA は sol-gel 法において、溶解量の増加や溶液の安定化を目的として一般的によく用いられる添加剤であり、2-ME や THFA に添加すると、溶液の安定性は飛躍的に向上する。しかし、MEA は塗膜の均一性が悪いため、添加された混合溶液の塗膜の均一性は著しく劣化した。溶媒を 2 種類にすると塗膜の均一性が劣化するのは In (acac)においても同様であり、塗膜全体に放射状の模様が形成されていた。これは、溶媒が 2 種類になったことで溶媒の対流が激しくなり、塗膜が不均一になったためであると考えられる。塗膜の均一性は、前駆体の溶解性や溶液の安定性と比べて良好な特性を示す組み合わせが非常に少ないため、最も重要な性質である。溶媒を 2 種類にすることは塗膜の均一性を劣化させるため、避けた方がよい。

表 6.12 1 つの前駆体に対して溶媒を 2 種類にした場合

前駆体 (塩の種類)	溶媒	割合	前駆体		塗膜の均一性		
			溶解性	安定性	室温	150℃	300℃
Zn (酢酸・水和物)	2-ME のみ		≥ 0.2	$\times \sim \triangle$	◎	◎	◎
	MEA のみ		≥ 0.3	◎	×	△	○
	THFA のみ		~ 0.1	△	△	○	○
	2-ME + MEA	MEA 15%	≥ 0.3	◎	×	$\times \sim \triangle$	$\times \sim \triangle$
	THFA + MEA	MEA 15%	≥ 0.1	◎	×	○	○
In (acac)	PrA のみ		≥ 3.0	◎	◎	◎	◎
	2-ME のみ		~ 0.1	△	△	◎	○
	PrA + 2-ME	1 : 1	≥ 0.3	○	△	◎	△

表 6.13 は、2 種類の溶液を混合して作製した IZO 溶液の塗膜の均一性を示している。In (acac) / PrA と Zn (Cl) / PrA の組み合わせ（溶媒が 1 種類である）が良好な均一性を示している。

表 6.13 2 種類の溶液の混合

溶液 [前駆体 (塩の種類) / 溶媒]		塗膜の均一性		
1	2	室温	150℃	300℃
In (acac) / PrA	Zn (Cl) / PrA	○	○	○
In (acac) / PrA	Zn (酢酸・水和物) / MeOH	△	△	△

6.3.7 IZO 溶液の前駆体と溶媒の選択

表 6.11 のまとめから、Zn 前駆体の候補として Zn (酢酸・水和物)、In 前駆体の候補として In (acac) がまず挙げられる。表 6.5 の安定性の結果から、Zn (酢酸・水和物) は PrA との相性が良くないため、Zn (酢酸・水和物) を In (acac) / PrA と組み合わせることができない。また、6.3.6 項の結果のように溶媒は 1 種類に統一した方が良いと考えられるが、Zn (酢酸・水和物) との相性が良い 2-ME と THFA は両方とも In 前駆体との相性が良くないため、Zn (酢酸・水和物) を選ぶと溶媒を 1 種類に統一することができない。

一方、In 前駆体として In (acac) を選んだ場合は、In (acac) と相性が良い PrA と溶液を作ることができる Zn 前駆体は Zn (Cl) と Zn (Br) に限られる (その他は溶解性や安定性に問題がある)。Zn (Cl) / PrA と Zn (Br) / PrA は塗膜の均一性に問題があることがわかっているが、表 6.13 のように、In (acac) / PrA と Zn (Cl) / PrA の組み合わせでは、良好な均一性が得られていることから、IZO TFT を作製する際の IZO 溶液には、In (acac) / Zn (Cl) / PrA 溶液を用いた。

6.4 熱分析(TG-DTA)

示差熱分析 (differential thermal analysis, DTA) は、加熱炉内の基準物質と試料の温度を一定のプログラムにしたがって変化させながら両者の温度差を測定する分析技術である。これを熱重量測定 (thermogravimetry, TG) と同時に行う (TG-DTA) ことで、昇温時の重量変化と熱特性 (発熱反応であるか吸熱反応であるか) の組み合わせから、種々の化学反応を推定することが出来る。本研究では、各溶液で起こる化学現象を大まかに調べるために TG-DTA を行った。

6.4.1 測定方法

TG-DTA の測定条件

溶液量： 20~30 mg (溶液の種類により多少異なる)

基準物質： Al_2O_3 粉末

容器： Al パン (直径 5 mm 程度)

昇温レート： $10^\circ\text{C}/\text{min}$

雰囲気： 乾燥空気

測定間隔： 0.5 s

試料溶液について

In と Zn のそれぞれに対して、sol-gel 系 (Cl) とキレート系 (acac / 酢酸・水和物) を 1 つずつ選択した。溶液の濃度は全て 0.3 mol/kg である。

* InCl_3 / 2-ME

* $\text{In}(\text{acac})_3$ / PrA

- * $\text{ZnCl}_2 / 2\text{-ME}$
- * $\text{Zn}(\text{OAc})_2 \cdot 2\text{H}_2\text{O} / \text{MeOH}$
- * $[\text{In}(\text{acac})_3 / \text{PrA}] + [\text{ZnCl}_2 / 2\text{-ME}]$ (1 : 1 で混合)
- * $[\text{In}(\text{acac})_3 / \text{PrA}] + [\text{Zn}(\text{OAc})_2 \cdot 2\text{H}_2\text{O} / \text{MeOH}]$ (1 : 1 で混合)

TG-DTA の測定データ

TG：熱重量測定 (thermogravimetry, TG)

重量を初期重量に対する割合で表示 (%)。

DTG：微分熱重量 (derivative TG, DTG)

TG の温度微分を、その時点の重量に対する割合で表示 (%/°C)。重量減少の様子を示す。

DTA：示差熱分析 (differential thermal analysis, DTA)

熱電対の電位差 (V) を試料溶液に含まれている前駆体の量 (mol) で規格化して表示 (V/mol)。

向きは、発熱 (exothermic) が上向き、吸熱 (endothermic) が下向きである。

* 図 6.8 のように時間と試料温度の関係はほぼ線形であるため、温度を横軸に取っている。

* この線形性により、重量の時間微分と温度微分はほぼ等しい。

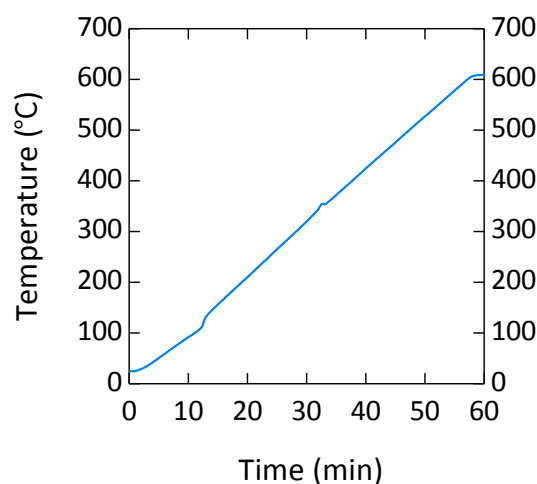


図 6.8 時間と試料温度の関係

TG-DTA 曲線の読み取り

TG-DTA では、TG 曲線および DTA 曲線の変化から試料の熱的挙動を判断し、それがどのような化学現象であるかを定性的に判断することができる。代表的な化学現象の熱的挙動を表 6.14 に、液体プロセスにおいて生じていると考えられる化学現象の熱的挙動を、表 6.15 に示す。TG 曲線の重量変化は系の内外への物質の移動を意味しているので、TG の増減によってガスの発生や酸化などの気体を介在とする反応の有無がわかる。

表 6.14 代表的な化学現象の熱的挙動
(ガスが発生する現象は、ガスが系外に散逸するため重量が減少する。)

現象	ガスの発生	TG	DTA	現象	ガスの発生	TG	DTA
熱分解	大抵あり			結晶化	—		
酸化	— (酸素と結合)			脱離 脱水	あり		
還元	あり			燃焼 (分解+酸化)	あり		
昇華 蒸発	あり			ガラス転移	—		
融解	大抵あり (不純物など)						

表 6.15 液体プロセスにおいて生じていると考えられる化学現象の熱的挙動

(a) 溶媒の蒸発時・中間体の分解時

(b) M-O-M の結合形成時・結晶化時

現象	ガスの発生	TG	DTA	現象	ガスの発生	TG	DTA
熱分解	大抵あり			酸化	— (酸素と結合)		
酸化	— (酸素と結合)			脱離 脱水	あり		
蒸発	あり			結晶化	—		
総合	多量			総合	少量		

6.4.2 結果と考察

In (Cl) / 2-ME 溶液 (図 6.9)

100°C付近で溶媒の 2-ME が蒸発した後、200°C付近で小さな発熱ピークを示している。ただし 200°C付近では、重量にはあまり変化が見られないため、有機物が系外に抜ける反応ではなく、系内でゲルの構造や化学結合などが変化しているのではないかと推測される。その後は急激な DTG や DTA ピークを示しておらず、0.1%/°C程度の DTG が 600°Cまで続くため、 In_2O_3 が形成される明確なしきい値のような温度が存在するのかは不明である。

In (acac) / PrA 溶液 (図 6.9)

110°C付近で溶媒の PrA が蒸発した後、しばらく 0.1%/°C程度の DTG を示し、360°C付近で大きな DTG および DTA ピークを示している。その後は DTG が 0.1%/°C以下となり、重量はあまり減少しない (360°Cから 600°Cにかけての重量減少はわずか 2.5%) ため、360°Cにおいて In_2O_3 の形成はほぼ完了していると考えられる。

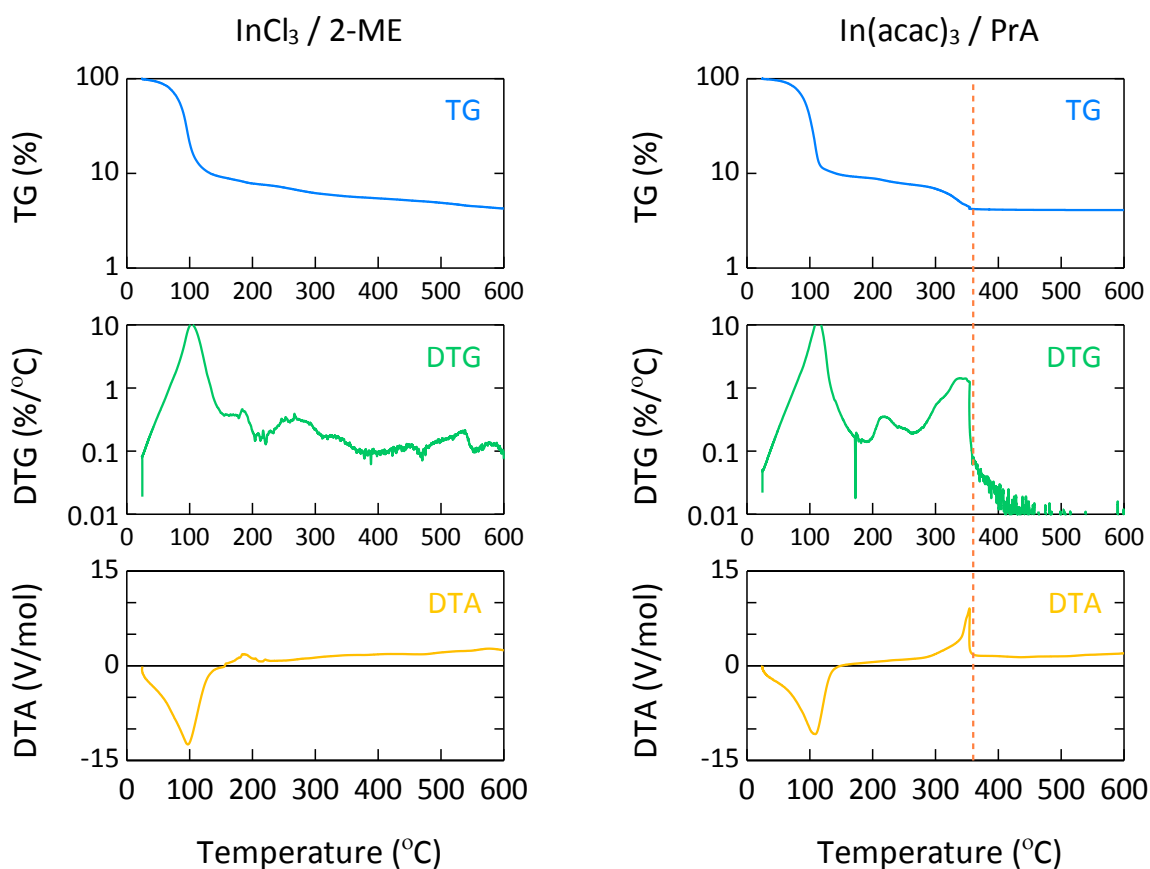


図 6.9 In_2O_3 溶液の TG-DTG-DTA 曲線

Zn (Cl) / 2-ME 溶液 (図 6.10)

100°C付近で溶媒の 2-ME が蒸発した後、380°C付近で大きな重量減少とそれに伴う発熱ピークを示している。しかし、その後も 0.1%/°C程度の DTG が 500°Cを超えるまで続くため、400°Cから 600°Cにかけての重量減少はおおよそ 12%にもなる。したがって、In (Cl) / 2-ME 溶液と同様、ZnO が形成される明確なしきい値のような温度は存在するのかわかりません。ただし、400°C以上では大きな DTA ピークは見られないため、400°Cで長時間のアニールを行うことで不純物の少ない ZnO を形成できる可能性がある。

Zn (酢酸・水和物) / MeOH 溶液 (図 6.10)

60°C付近で溶媒の MeOH が蒸発した後、240°C付近で大きな重量減少を示しているが、360°C付近にも、値は小さいが DTG ピークが見られている。240°Cから 600°Cにかけての重量減少は約 32%、360°Cから 600°Cにかけての重量減少は 5%であるため、不純物が少ない ZnO が形成されるのは、少なくとも 360°C以上であると考えられる。ただし、360°C以上では大きな DTA ピークは見られないため、400°Cで長時間のアニールを行うことで不純物の少ない ZnO を形成できる可能性がある。

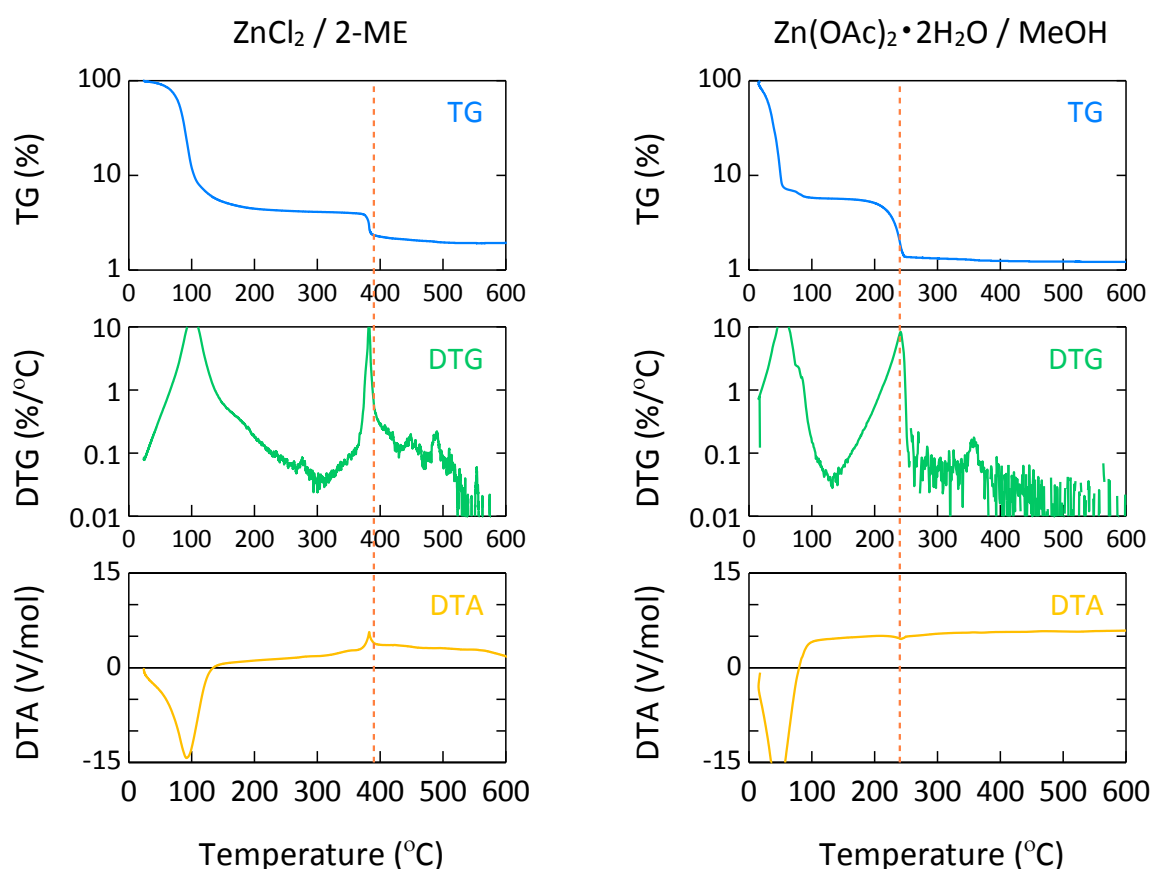


図 6.10 ZnO 溶液の TG-DTG-DTA 曲線

[In(acac) / PrA] + [Zn (Cl) / 2-ME] (1 : 1) (図 6.11)

120°C付近で溶媒の 2-ME と PrA が蒸発した後、しばらく緩やかな重量減少が続く。370°C付近で発熱ピークを示しているが大きな重量減少は伴わず、500°Cを超えるまで 0.1%/°C程度の DTG が続く。したがって、不純物の少ない IZO を形成するためには、少なくとも 400~500°C以上でのアニールが必要であると考えられる。なお、370°C付近の発熱ピークについては、In (acac) / PrA 溶液に見られる 360°C付近の発熱ピークや、Zn (Cl) / 2-ME 溶液に見られる 380°C付近の発熱ピークとの関連が予想される。

[In (acac) / PrA] + [Zn (酢酸・水和物) / MeOH] (1 : 1) (図 6.11)

110°C付近までに溶媒の MeOH と PrA が蒸発している。MeOH と PrA の沸点差が 80°C近くあるため、DTA 曲線において 110°Cまでに 2つの吸熱ピークが見られている。その後の 230°Cと 340°Cの DTG および DTA ピークは、それぞれ Zn (酢酸・水和物) / MeOH 溶液の 240°C付近のピークと、In (acac) / PrA 溶液の 360°C付近のピークに対応しているのではないかと推測される。そうであれば、Zn-O の結合が形成した後に、In-O の結合が形成することになる。360°Cを超えると DTG の値が 0.1%/°Cを切るようになり、360°Cから 600°Cにかけての重量減少はおよそ 2%であるため、360°Cにおいて IZO の形成はほぼ完了していると考えられる。

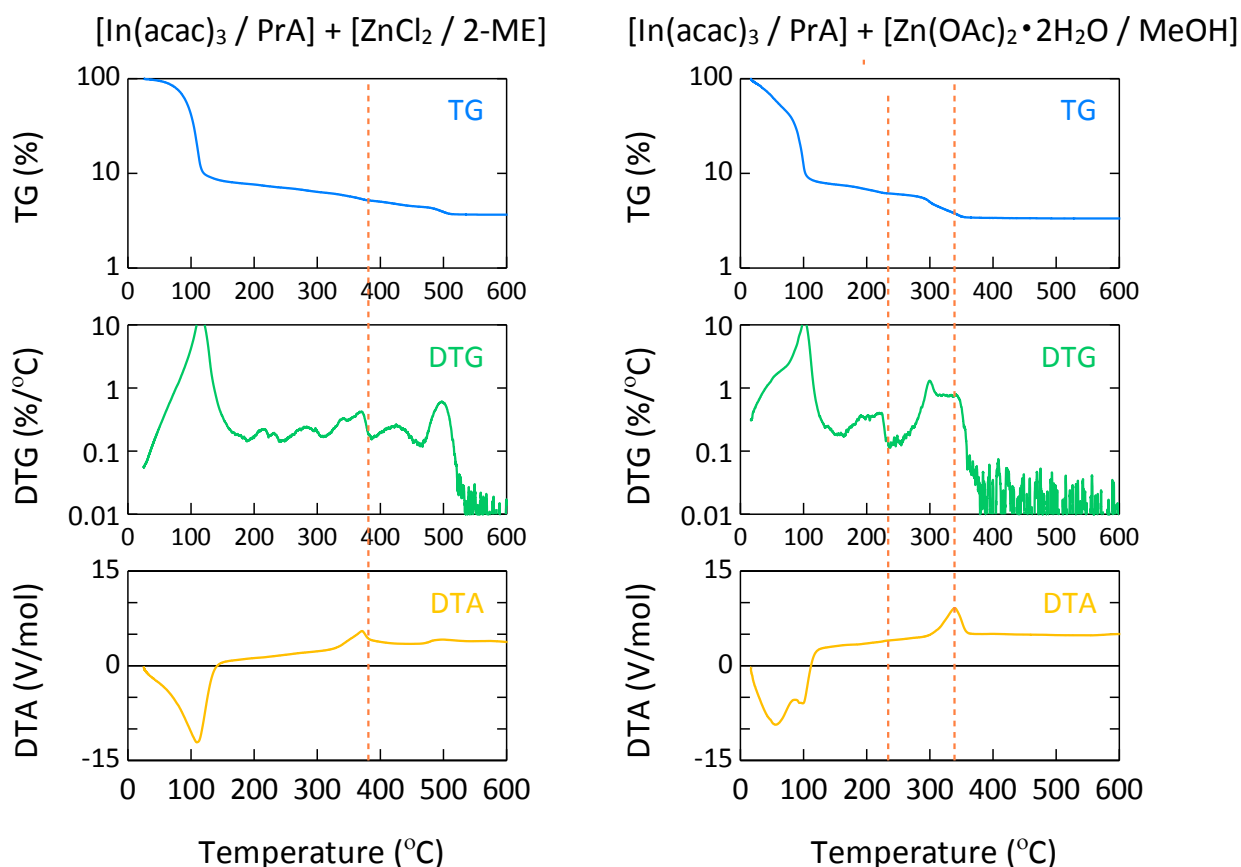


図 6.11 IZO 溶液の TG-DTG-DTA 曲線

6.5 TFT の作製と評価

6.5.1 TFT の作製方法

図 6.12 のようなボトムゲートトップコンタクト構造の TFT を作製し、 I_D-V_G 特性を評価した。作製手順は 2.1.2 項に示した通りである。ソース・ドレイン電極は、Al もしくは Mo 薄膜をスパッタ法で成膜して形成している。

- 1) 酸化物前駆体を溶媒に溶解させ、溶液を調合。
- 2) 熱酸化 $\text{SiO}_2/\text{n}^+\text{-Si}$ 基板上に溶液をスピコート。
- 3) 大気中・ホットプレート上で乾燥。
- 4) O_2 雰囲気中でアニール。
- 5) Al もしくは Mo 薄膜を 100 nm 堆積し、ソース・ドレイン電極を作製。

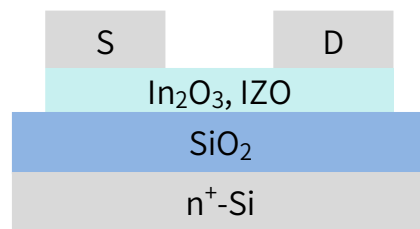


図 6.12 作製した TFT の構造

6.5.2 In_2O_3 TFT の作製と評価

6.4 節で TG-DTA を行った $\text{In}(\text{Cl})/2\text{-ME}$ 溶液と $\text{In}(\text{acac})/\text{PrA}$ 溶液を用いて In_2O_3 TFT を作製し、 I_D-V_G 特性を評価した。

作製条件

- * In_2O_3 溶液 $\text{In}(\text{Cl})/2\text{-ME}$ $\text{In}(\text{acac})/\text{PrA}$
- * 濃度 0.3 mol/kg
- * スピコート 500 rpm/5 s → 3000 rpm/25 s
- * 乾燥条件 240°C/10 min/air
- * アニール条件 200, 300, 400, 500°C/30 min/ O_2
- * チャネル膜厚 10 nm 程度
- * チャネル長 L 10 μm
- * チャネル長 W 1000 μm
- * S/D 電極 Al/抵抗加熱蒸着/メタルマスク (シャドーマスク)

結果と考察

図 6.13 は $\text{In}(\text{Cl}) / 2\text{-ME}$ および $\text{In}(\text{acac}) / \text{PrA}$ から作製した In_2O_3 TFT の $I_D - V_G$ 特性である。パラメータは表 6.16 の通りである。300°C から 400°C にかけてドレイン電流が増加しているが、サブスレッショルド特性は劣化している。これは、アニールによってキャリア濃度が増加し、 SiO_2 絶縁膜の誘起電荷量ではチャンネルを空乏化させることが困難になり、OFF 電流を抑制できなくなっているためと考えられる。近年は、チャンネルのキャリア濃度が高い TFT の特性を改善するために、high- k ゲート絶縁膜を用いてチャンネルを空乏化させ OFF 電流を抑制し、サブスレッショルド特性や ON/OFF 比を向上させる試みもあるが、キャリア濃度が高い酸化物半導体膜は概して大気安定性やストレス安定性にも欠けるため、チャンネルのキャリア濃度を制御することが重要である。

$\text{In}(\text{Cl}) / 2\text{-ME}$ と $\text{In}(\text{acac}) / \text{PrA}$ の比較では、 $\text{In}(\text{Cl}) / 2\text{-ME}$ の方が OFF 電流が大きいため、ON/OFF 比が小さく、 S 値も大きい。 $\text{In}(\text{Cl}) / 2\text{-ME}$ の方がキャリア濃度が高いと考えられる。

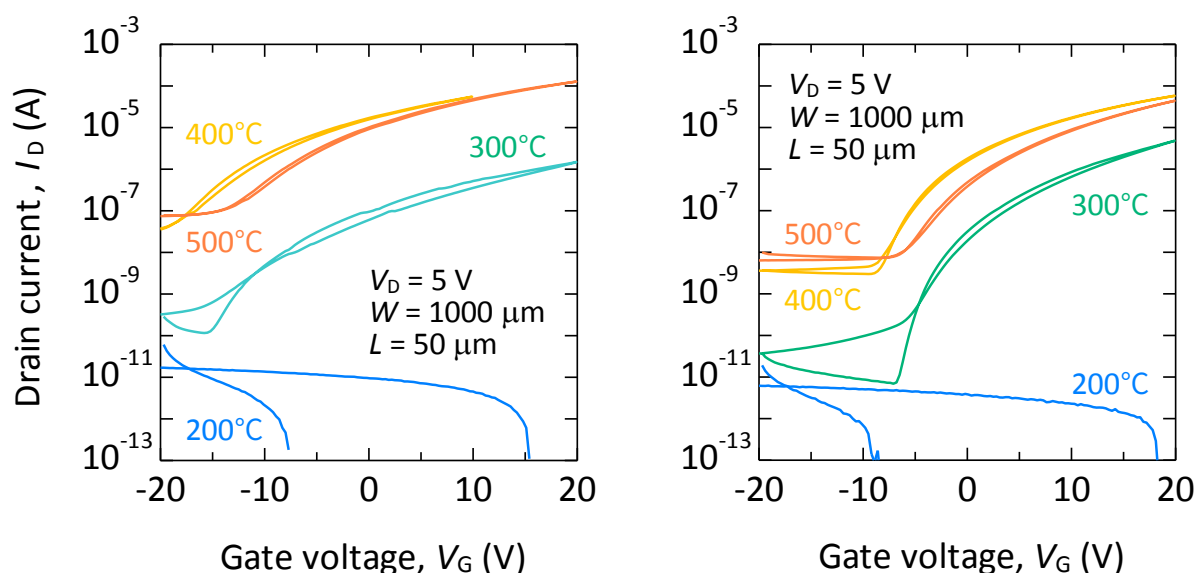


図 6.13 In_2O_3 TFT の $I_D - V_G$ 特性 (左) $\text{In}(\text{Cl}) / 2\text{-ME}$ (右) $\text{In}(\text{acac}) / \text{PrA}$

表 6.16 In_2O_3 TFT のパラメータ

アニール 温度 (°C)	$\text{In}(\text{Cl}) / 2\text{-ME}$					$\text{In}(\text{acac}) / \text{PrA}$				
	V_{th}	μ_{FE}	μ_{sat}	S 値	ON/OFF	V_{th}	μ_{FE}	μ_{sat}	S 値	ON/OFF
	(V)	(cm^2/Vs)	(V/dec)	(桁)	(桁)	(V)	(cm^2/Vs)	(V/dec)	(桁)	(桁)
300	9	0.045	0.004	2.4	3~4	13	0.2	0.032	0.98	~5
400	-2	1.6	0.2	4.2	3	9	1.6	0.21	1.8	4
500	6	2.9	0.3	5.1	3	11	1.6	0.25	2.9	~4

6.5.3 IZO TFT の作製と評価

6.3 節・6.4 節の結果をもとに、IZO TFT の作製と評価を行った。原料溶液には、次の 2 種類の IZO 溶液を用いた。

1) 次の 4 種類の溶液を等量ずつ（1 : 1 : 1 : 1）混合して作製した IZO 溶液

In と Zn のそれぞれに対して、sol-gel 系（Cl）とキレート系（acac / 酢酸・水和物）を 1 つずつ選択している。6.4 節の結果を参考にして、反応が高温まで少しずつ継続する sol-gel 系と、反応がある温度で急激に進むキレート系を組み合わせた。これは、乾燥後の塗膜に柔軟性を持たせパターニングを可能にし、同時にアニール時の体積収縮を抑制する狙いである。

- ・ In (Cl) / 2-ME 溶液 (sol-gel 系)
- ・ In (acac) / PrA 溶液 (キレート系)
- ・ Zn (Cl) / 2-ME 溶液 (sol-gel 系)
- ・ Zn (酢酸・水和物) / MeOH 溶液 (キレート系)

2) 6.3.7 項 (p.94) で選択した In (acac) / Zn (Cl) / PrA 溶液

作製条件

次の表 6.17 の通りである。

表 6.17 IZO TFT の作製条件

作製条件	4種混合溶液	In (acac) / Zn (Cl) / PrA 溶液
濃度	0.075 mol/kg	0.1 mol/kg
スピコート	500 rpm/5 s → 5000 rpm/25 s	500 rpm/5 s → 3000 rpm/25 s
乾燥	100°C/10 min → 150°C/10 min (どちらも air)	
アニール	400, 500°C/30 min/O ₂	
膜厚	5 nm	
チャンネル寸法	チャンネル長 L : 10 μm チャンネル幅 W : 50 μm	
S/D 電極	Mo/スパッタ法/リフトオフ	

結果と考察

図 6.14 は、4 種混合溶液および In (acac) / Zn (Cl) / PrA 溶液から作製した IZO TFT の $I_D - V_G$ 特性である。4 種混合溶液から作製した TFT において大きな ON 電流が見られているが、後述のように 4 種混合溶液は基板内の特性ばらつきが大きいため、必ずしも 4 種混合溶液から作製した TFT の方が、In (acac) / Zn (Cl) / PrA 溶液から作製した TFT より特性が良いというわけではない。

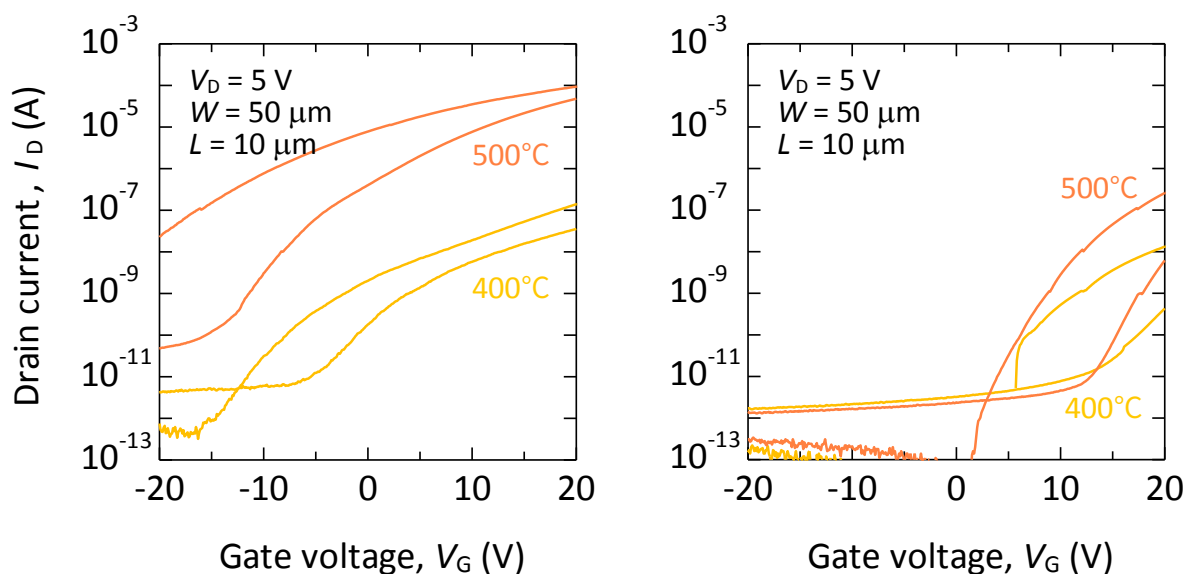


図 6.14 IZO TFT の I_D - V_G 特性 (左) 4種混合溶液 (右) In(acac)/Zn(Cl)/PrA 溶液
(ヒステリシスは全て電荷注入型)

図 6.15 は 4 種混合溶液および In(acac)/Zn(Cl)/PrA 溶液から作製した IZO 薄膜の写真である。In(acac)/Zn(Cl)/PrA 溶液では、溶媒を 1 種類に統一したことによって放射状のまだら模様が消え、膜厚の均一性が顕著に改善している。この影響によって、図 6.16 のように 4 種混合溶液で見られていた基板内の特性ばらつきが大きく改善した。



図 6.15 IZO 薄膜

(左) 4種混合溶液

(右) In(acac)/Zn(Cl)/PrA 溶液

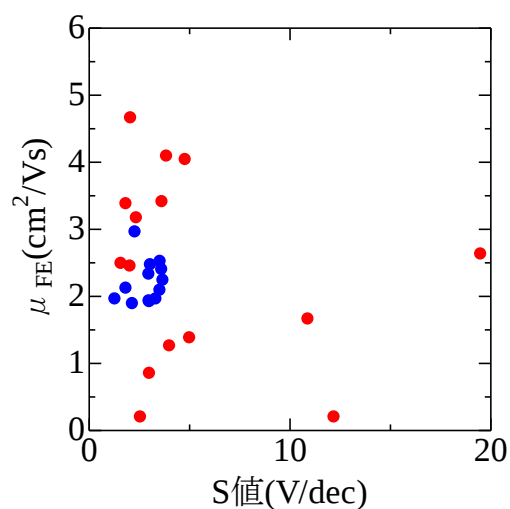


図 6.16 2つの TFT の μ_{FE} と S 値

(赤) 4種混合溶液

(青) In(acac)/Zn(Cl)/PrA 溶液

6.6 まとめ

In-Zn-O (IZO) の液体原料をテーマとして、原料溶液の調合・基板への塗布・アニールによる薄膜形成・TFT 作製という一連の工程を試行し、基礎現象の観察・原料溶液の熱分析・TFT の電気特性の評価などを行った。基礎現象としては、前駆体の溶解性・溶液の安定性（前駆体の反応性）・塗膜の均一性を観察した。その結果、均一な塗膜を形成できる原料溶液の種類は少数であることに加え、塗膜形成能は金属酸化物の前駆体に強く依存し、溶媒の選択も重要であることを明らかにした。この塗膜形成能に対して、TFT の電気特性を併せて考察を行い、原料溶液の設計指針を示した。以下に、本研究で得られた指針をまとめる。

原料溶液の設計指針

- * 溶液の基礎特性は塗膜の均一性に強く律速されているため、塗膜形成能を付与することが最も重要である。
- * 塗膜形成能は金属酸化物の前駆体に強く依存する。
- * 溶媒の沸点が高い方が、乾燥後の塗膜の均一性が良い傾向にある。
- * 溶媒は1種類の方が、乾燥後の塗膜の均一性が良く、膜厚のばらつきも少ない。

第 7 章

結論

まず 7.1 節で、本研究で得られた結果や知見をまとめ、7.2 節で今後に残された課題をまとめる。
その後、7.3 節で今後の展望を述べ、最後に 7.4 節で本論文の総括を行う。

7.1	本研究で得られた結果や知見	106
	第 3 章 強誘電体および酸化物半導体の成膜条件検討と FeTFT の基礎特性評価	
	第 4 章 FeTFT のソース・ドレイン構造の検討	
	第 5 章 アモルファス酸化物半導体をチャンネルに用いた FeTFT	
	第 6 章 液体プロセスによる酸化物半導体薄膜形成と TFT 応用	
7.2	今後に残された課題	107
7.3	今後の展望	108
7.4	総括	108

7.1 本研究で得られた結果や知見

第3章 強誘電体および酸化物半導体の成膜条件検討と FeTFT の基礎特性評価

良好な特性を持つ FeTFT 作製のための準備として、はじめに強誘電体 $(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ (BLT) と酸化物半導体 In_2O_3 の成膜条件を検討した。BLT については Sol-gel 法におけるアニール条件を検討し、 In_2O_3 についてはスパッタ法における O_2/Ar 分圧比と成膜後のアニール条件を検討した。特に BLT の成膜条件については、従来はあまり研究されてこなかった低温でのアニール条件に着目するとともに、BLT 特有の結晶化メカニズムに基づいた独自の視点を提案し、結晶粒を小さく制御し、リーク電流を低減出来るアニール条件を見出した。そして、これらの結果を基にトップコンタクト構造の FeTFT を作製し、良好な TFT 特性およびメモリ特性を実現した。

第4章 FeTFT のソース・ドレイン構造の検討

トップコンタクト構造 FeTFT のスイッチング特性の改善策としてボトムコンタクト構造を提案し、トップコンタクト構造との比較を行った。まず両構造の I_D-V_G 特性に大きな差がないことを確認した後、 $C-V$ 特性と $Q-V$ 特性を基に強誘電体に印加される電圧について議論した。

$C-V$ 特性からは、トップコンタクト構造においてゲート電極に DC の負電圧が印加されたときは、空乏化したチャンネルに印加電圧の一部が奪われ、全体の 45%しか強誘電体に印加することができないことが明らかになった。 $Q-V$ 特性からは、MFS キャパシタにおいてゲート電極にパルスの負電圧が印加されたときに、空乏化したチャンネルに印加電圧の一部が奪われ、全体の 44%しか強誘電体に印加することができないことが明らかになった。トップコンタクト構造 FeTFT における ON→OFF のスイッチング中にも、同じような現象が起きていると考えられる。

最後に、ボトムコンタクト構造 FeTFT とトップコンタクト構造 FeTFT のスイッチング特性を比較した結果、ボトムコンタクト構造の方がトップコンタクト構造より ON→OFF のスイッチング時間が 3 桁以上短いことが実証された。ボトムコンタクト構造によって強誘電体に効率よく電圧を印加することが、スイッチング特性の向上（特に ON→OFF のスイッチング）にとって非常に重要であることを示した。

第5章 アモルファス酸化物半導体をチャンネルに用いた FeTFT

FeTFT は書き換え回数や省電力性能に優れ、不揮発性メモリとして有望であるが、産業応用のためには微細集積化が必須課題である。微細集積化で懸念される電気特性ばらつきを防ぐために、アモルファス酸化物半導体である a-In-Ga-Zn-O (a-IGZO) をチャンネルに用いることを検討した。a-IGZO のスパッタ成膜条件や成膜後のアニール条件の最適化により、a-IGZO/BLT FeTFT の I_D-V_G 特性において強誘電性のヒステリシスを観測した。この結果は、アモルファス酸化物半導体と酸化物強誘電体による FeTFT としては初の報告例である。

第6章 液体プロセスによる酸化物半導体薄膜形成と TFT 応用

液体プロセスは、省資源化・省エネルギー化を実現可能なデバイス製造技術として期待されているが、液体プロセスによるデバイス製造を実現するためには、原料溶液の作製、印刷による塗布とパターニング、アニールによる薄膜形成、デバイス作製という製造工程のすべてをクリアする必要がある。そこで本研究では、アモルファス酸化物半導体の液体原料の設計指針について、薄膜やデバイスの電気特性だけでなく、液体原料の特性や塗布時の塗膜形成能も含めて包括的に議論した。

本研究では特に、マイクロスケール・ナノスケールで塗布とパターニングを行うためには、塗膜および液滴の乾燥挙動の制御が必要であることを提起し、それに係る物理的性質として塗膜形成能に着目した。本研究独自の視点であるこの塗膜形成能は、個々の印刷手法のノウハウにはよらない普遍的な性質であるため、塗膜のパターニングを物理的に考察する上でも極めて重要な視点であると考えられる。

具体的には、 In-Zn-O (IZO) の液体原料をテーマとして、原料溶液の調合・基板への塗布・アニールによる薄膜形成・TFT 作製という一連の工程を試行し、基礎現象の観察・原料溶液の熱分析・TFT の電気特性の評価などを行った。基礎現象としては、前駆体の溶解性・溶液の安定性（前駆体の反応性）・塗膜の均一性を観察した。その結果、均一な塗膜を形成できる原料溶液の種類は少数であることに加え、塗膜形成能は金属酸化物の前駆体に強く依存し、溶媒の選択も重要であることを明らかにした。この塗膜形成能に対して、TFT の電気特性を併せて考察を行い、原料溶液の設計指針を示した。

7.2 今後に残された課題

本研究において残された課題を以下に簡単にまとめる。

- BLT 薄膜の配向性に関する詳細なメカニズムの解明 (p.39 / 3.1.4 項)
- FeTFT の I_D-V_G 特性の解析 (p.54 / 4.3 節)
 - チャネル移動度の算出 (FeTFT における強誘電体の分極の詳細が未解明)
 - メモリウインドウの評価 (強誘電体のヒステリシスと理論的に一致するか?)
- 長期データ保持 (リテンション) 特性の評価 (p.54 / 4.3 節)
- 微細チャネルボトムコンタクト構造 FeTFT のスイッチング特性の評価 (p.61 / 4.6 節)
- a-IGZO/BLT 界面の分析 (p.76 / 5.5 節)
- a-IGZO 以外の (アモルファス) 酸化物半導体と BLT による FeTFT (p.76 / 5.5 節)
 - In 系 : a-In-Zn-O (a-IZO)・ In-Ga-O (IGO)・ a-In-W-O ・ a-In-Si-O など
 - Sn 系 : a-Zn-Sn-O (a-ZTO)・ a-Ga-Zn-Sn-O (GZTO) など

7.3 今後の展望

FeTFT は他の不揮発性メモリと比較して、消費電力が 1 桁以上低いという大きなメリットを有しており、次世代の不揮発性メモリ素子として非常に有望である。近年は、不揮発ロジックおよびアナログメモリとしての応用や [7.1-7.3]、省電力性を活かしたバッテリーレスデバイスへの混載 [7.4] など、実用に近い応用例が提案されているため、キャパシタ型 FeRAM の代替を超えて新たな市場を形成することが期待される。不揮発性メモリ素子は、一般的に 10 年のデータ保持を保障する必要があり、実用化のためには加速試験が必要である。そのため、ReRAM の一部材料系などで問題となっているように、動作原理の不明確さは実用化への大きな障害となってしまうが、強誘電体の物性は古くからよく知られており、この点も他の不揮発性メモリに対するアドバンテージである。そのため、良好な半導体/強誘電体界面による長期データ保持特性の確立や、sub-100 nm に微細化した FeTFT の特性評価 [7.5, 7.6] などをもさらに進めていくことが重要である。

さらに 2011 年以降は、Hf-Zn-O (HZO) など HfO₂ 系の強誘電体材料が新たに発見され、注目を集めている [7.6-7.14]。既存の high-k メタルゲートプロセスでよく使われている材料系であり、リーク電流が低く抗電界も大きいため、薄膜化が可能で微細集積化に適していると考えられる。そのため、この材料系を用いた FeTFT の開発も大いに期待される。

7.4 総括

本研究では、省電力性能に優れる FeTFT と、省資源・省エネルギーな製造技術である液体プロセスをテーマとし、「酸化物チャネル FeTFT の実用化と液体プロセスによる製造」を実現するために、材料・デバイス・プロセスについて多角的な研究を行った。具体的には、1) 液体プロセスによる強誘電体薄膜の形成、2) 構造の検討による FeTFT のスイッチング特性の改善、3) 微細集積化に適するアモルファス酸化物チャネルの検討、4) 液体プロセスにおける液体原料の設計などの要素技術の研究を行った。その結果、1) では、強誘電体薄膜の結晶化挙動を制御し、リーク電流を低減出来るアニール条件を見出し、2) ではソース・ドレイン電極をボトムコンタクト構造とすることでスイッチング特性が大きく改善することを実証し、3) では a-IGZO/BLT FeTFT の I_D - V_G 特性において強誘電性のヒステリシスを観測し、4) では溶液の基礎特性は塗膜の均一性に強く律速されており、塗膜形成能は前駆体の種類に強く依存していることを明らかにした。液体プロセスによる強誘電体薄膜および酸化物半導体薄膜の形成と、デバイス構造の両面における設計指針を明らかにした。

参考文献

第1章

- [1.1] T. Kamiya, K. Nomura, and H. Hosono
“Present status of amorphous In–Ga–Zn–O thin-film transistors”
Sci. Technol. Adv. Mater. 11, 044305 (2010).”
- [1.2] Y. Sekine, K. Furutani, Y. Shionoiri, K. Kato, J. Koyama, and S. Yamazaki
“Success in Measurement the Lowest Off-state Current of Transistor in the World”
ECS Trans. 37, 77 (2011).
- [1.3] S. Yamazaki, H. Suzawa, K. Inoue, K. Kato, T. Hirohashi, K. Okazaki, and N. Kimizuka
“Properties of crystalline In–Ga–Zn-oxide semiconductor and its transistor characteristics”
Jpn. J. Appl. Phys. 53, 04ED18 (2014).
- [1.4] H. Inoue, T. Matsuzaki, S. Nagatsuka, Y. Okazaki, T. Sasaki, K. Noda, D. Matsubayashi,
T. Ishizu, T. Onuki, A. Isobe, Y. Shionoiri, K. Kato, T. Okuda, J. Koyama, and S. Yamazaki
“Nonvolatile Memory With Extremely Low-Leakage Indium-Gallium-Zinc-Oxide
Thin-Film Transistor”
IEEE J. Solid-State Circuits 47, 2258 (2012).
- [1.5] M. Kozuma, Y. Okamoto, T. Nakagawa, T. Aoki, M. Ikeda, T. Osada, Y. Kurokawa, T. Ikeda,
N. Yamade, Y. Okazaki, H. Miyairi, M. Fujita, J. Koyama, and S. Yamazaki
“Crystalline In–Ga–Zn–O FET-based configuration memory
for multi-context field-programmable gate array realizing fine-grained power gating”
Jpn. J. Appl. Phys. 53, 04EE12 (2014).
- [1.6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono
“Room-temperature fabrication of transparent flexible thin-film transistors
using amorphous oxide semiconductors”
Nature 432, 488 (2004).
- [1.7] K. Nomura, A. Takagi, T. Kamiya H. Ohta, M. Hirano, and H. Hosono
“Amorphous Oxide Semiconductors for High-Performance Flexible Thin-Film Transistors”
Jpn. J. Appl. Phys. 45, 4303 (2006).
- [1.8] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya,
and H. Hosono
“High-mobility thin-film transistor with amorphous InGaZnO₄ channel
fabricated by room temperature rf-magnetron sputtering”
Appl. Phys. Lett. 89, 112123 (2006).

- [1.9] M. Ito, M. Kon, C. Miyazaki, N. Ikeda, M. Ishizaki, R. Matsubara, Y. Ugajin, and N. Sekine
“Amorphous oxide TFT and their applications in electrophoretic displays”
Phys. Status Solidi A 205, 1885 (2008).
- [1.10] W. Lim, E. A. Douglas, S.-H. Kim, D. P. Norton, S. J. Pearton, F. Ren, H. Shen,
and W. H. Chang
“High mobility InGaZnO₄ thin-film transistors on paper”
Appl. Phys. Lett. 94, 072103 (2009).
- [1.11] H. Sunamura, K. Kaneko, N. Furutake, S. Saito, M. Narihiro, M. Hane, and Y. Hayashi
“High-voltage complementary BEOL-FETs on Cu interconnects
using N-type IGZO and P-type SnO dual oxide semiconductor channels”
2013 Symposium on VLSI Technology Digest of Technical Papers, T250 (2013).
- [1.12] Y. Shichi, S. Tanimoto, T. Goto, K. Kuroiwa, and Y. Tarui
“Interaction of PbTiO₃ Films with Si Substrate”
Jpn. J. Appl. Phys. 33, 5172 (1994).
- [1.13] I. M. Ross
“Semiconductive translating device”
US Patent 2791760 (1957).
- [1.14] T. Yamaguchi, M. Koyama, A. Takashima, and S. Takagi
“Improvement of Memory Characteristics of Metal-Ferroelectrics/Insulating Buffer Layer/
Semiconductor Structures by Combination of Pulsed Laser Deposited SrBi₂Ta₂O₉ Films
and Ultra-Thin SiN Buffer Layers”
Jpn. J. Appl. Phys. 39, 2058 (2000).
- [1.15] E. Tokumitsu, G. Fujii, and H. Ishiware
“Nonvolatile ferroelectric-gate field-effect transistors
using SrBi₂Ta₂O₉/Pt/SrTa₂O₆/SiON/Si structures”
Appl. Phys. Lett. 75, 575 (1999).
- [1.16] E. Tokumitsu, G. Fujii, and H. Ishiware
“Electrical Properties of Metal-Ferroelectric-Insulator-Semiconductor (MFIS)-
and Metal-Ferroelectric-Metal-Insulator-Semiconductor (MFMIS)-FETs
Using Ferroelectric SrBi₂Ta₂O₉ Film and SrTa₂O₆/SiON Buffer Layer”
Jpn. J. Appl. Phys. 39, 2125 (2000).
- [1.17] E. Tokumitsu, D. Takahashi, and H. Ishiware
“Characterization of Metal-Ferroelectric-(Metal-)Insulator-Semiconductor (MF(M)IS)
Structures Using (Pb, La)(Zr, Ti)O₃ and Y₂O₃ Films”
Jpn. J. Appl. Phys. 39, 5456 (2000).

- [1.18] E. Tokumitsu, K. Okamoto, and H. Ishiwara
 “Low Voltage Operation of Nonvolatile Metal-Ferroelectric-Metal-Insulator-Semiconductor (MFMIS)-Field-Effect-Transistors (FETs) Using Pt/SrBi₂Ta₂O₉/Pt/SrTa₂O₆/SiON/Si Structures”
 Jpn. J. Appl. Phys. 40, 2917 (2001).
- [1.19] B. E. Park, K. Takahashi, and H. Ishiwara
 “Five-day-long ferroelectric memory effect in Pt/(Bi,La)₄Ti₃O₁₂/HfO₂/Si structures”
 Appl. Phys. Lett. 85, 4448 (2004).
- [1.20] K. Takahashi, K. Aizawa, B. E. Park, and H. Ishiwara
 “Thirty-Day-Long Data Retention in Ferroelectric-Gate Field-Effect Transistors with HfO₂ Buffer Layers”
 Jpn. J. Appl. Phys. 44, 6218 (2005).
- [1.21] M. Takahashi and S. Sakai
 “Self-Aligned-Gate Metal/Ferroelectric/Insulator/Semiconductor Field-Effect Transistors with Long Memory Retention”
 Jpn. J. Appl. Phys. 44, L800 (2005).
- [1.22] M. Takahashi, T. Horiuchi, S. Wang, Q. H. Li, and S. Sakai
 “Optimum ambient N₂ pressure during HfAlO pulsed-laser deposition in Pt/SBT/HfAlO/Si field effect transistors”
 J. Vac. Sci. Technol. B 26, 1585 (2008).
- [1.23] 石原 宏
 「トランジスタ型強誘電体メモリーの現状と展望」
 応用物理 第 75 巻 第 5 号 p.546 (2006).
- [1.24] International Technology Roadmap for Semiconductors (ITRS)
 ITRS 2013 Edition, Chapter Emerging Research Devices (ERD), page 6, Table ERD3
 “Current Baseline and Prototypical Memory Technologies”
- [1.25] International Technology Roadmap for Semiconductors (ITRS)
 ITRS 2013 Edition, Chapter Emerging Research Devices (ERD), page 6, Table ERD4a
 “Emerging Research Memory Devices—Demonstrated and Projected Parameters”
- [1.26] International Technology Roadmap for Semiconductors (ITRS)
 ITRS 2013 Edition, Chapter Emerging Research Devices (ERD), page 6, Table ERD4b
 “Emerging Research Memory Devices—Redox RAM Demonstrated and Projected Parameters”
- [1.27] M. Ueda, Y. Kaneko, Y. Nishitani, and E. Fujii
 “A neural network circuit using persistent interfacial conducting heterostructures”
 J. Appl. Phys. 110, 086104 (2011).

- [1.28] Y. Nishitani, Y. Kaneko, M. Ueda, T. Morie, and E. Fujii
 “Three-terminal ferroelectric synapse device with concurrent learning function
 for artificial neural networks”
 J. Appl. Phys. 111, 124108 (2012).
- [1.29] Y. Kaneko, Y. Nishitani, M. Ueda, and A. Tsujimura
 “Neural Network based on a Three-Terminal Ferroelectric Memristor
 to Enable On-chip Pattern Recognition”
 2013 Symposium on VLSI Technology Digest of Technical Papers, T238 (2013).
- [1.30] T. Kaneda, D. Hirose, T. Miyasako, P. T. Tue, Y. Murakami, S. Kohara, J. Li, T. Mitani,
 E. Tokumitsu, and T. Shimoda
 “Rheology printing for metal-oxide patterns and devices”
 J. Mater. Chem. C 2, 40 (2014).
- [1.31] 下田 達也
 「ソリューション法による電子デバイス形成の課題とそのソリューション」
 応用物理 第 83 巻 第 7 号 p.553 (2014).
- [1.32] 2008 International SEMATECH Manufacturing Initiative (ISMI) workshop on Equipment
 Energy Reduction

第 3 章

- [3.1] E. Tokumitsu, T. Isobe, T. Kijima, and H. Ishiwara
 “Preparation and Characterization of $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ Films by the Sol-Gel Technique”
 MRS Proc. 655, 655-CC13.9.1 (2001).
- [3.2] S. C-Liang, C. S-Yuan, C. S-Bai, and C. Albert
 “Effect of annealing temperatures on physical and electrical properties
 of $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ thin films on Al_2O_3 -buffered Si”
 Appl. Phys. Lett. 80, 1984 (2002).
- [3.3] 作花 済夫
 「ゾルーゲル法の科学」
 アグネ承風社 (1988).
- [3.4] 日本熱測定学会
 「熱分析の基礎と応用」
 科学技術社 (1986).

- [3.5] N. Sugita, E. Tokumitsu, M. Osada, and M. Kakihana
 “In Situ Raman Spectroscopy Observation of Crystallization Process
 of Sol-Gel Derived $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ Films”
 Jpn. J. Appl. Phys. 42, L944 (2003).
- [3.6] T. Suzuki and E. Tokumitsu
 “Characterization of Metal-Ferroelectric-Metal-Insulator-Semiconductor (MFMIS)
 Structures Using $(\text{Bi, La})_4\text{Ti}_3\text{O}_{12}$ and HfO_2 Buffer Layers”
 Jpn. J. Appl. Phys. 41, 6886 (2002).
- [3.7] X. Wang and H. Ishiware
 “Polarization enhancement and coercive field reduction
 in W- and Mo-doped $\text{Bi}_{3.35}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ thin films”
 Appl. Phys. Lett. 82, 2479 (2003).
- [3.8] T. Miyasako, M. Senoo, and E. Tokumitsu
 “Ferroelectric-gate thin-film transistors using indium-tin-oxide channel
 with large charge controllability”
 Appl. Phys. Lett. 86, 162902 (2005).
- [3.9] S. E. Cummins and L. E. Cross
 “Electrical and Optical Properties of Ferroelectric $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ Single Crystals”
 J. Appl. Phys. 39, 2268 (1968).
- [3.10] N. Sugita, M. Osada, and E. Tokumitsu
 “Characterization of Sol-gel Derived $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ Films”
 Jpn. J. Appl. Phys. 41, 6810 (2002).
- [3.11] M. Yamada, N. Iizawa, T. Yamaguchi, W. Sakamoto, K. Kikuta, T. Yogo, T. Hayashi,
 and S. Hirano
 “Processing and Properties of Rare Earth Ion-Doped Bismuth Titanate Thin Films
 by Chemical Solution Deposition method”
 Jpn. J. Appl. Phys. 42, 5222 (2003).
- [3.12] L. V. Morozova , P. A. Tikhonov, and V. B. Glushkova
 “Physicochemical Investigation of the In_2O_3 - HfO_2 system in the Indium Oxide-rich region”
 Inorg. Mater. 27, 217 (1991).
- [3.13] K. Nomura, T. Kamiya, E. Ikenaga, H. Yanagi, K. Kobayashi, and H. Hosono
 “Depth analysis of subgap electronic states in amorphous oxide semiconductor,
 a-In-Ga-Zn-O, studied by hard x-ray photoelectron spectroscopy”
 J. Appl. Phys. 109, 073726 (2011).

- [3.14] Y. Ishibashi and Y. Takagi
“Note on Ferroelectric Domain Switching”
J. Phys. Soc. Jpn. 31, 506 (1971).
- [3.15] J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh,
and W. F. Oliver
“Switching kinetics of lead zirconate titanate submicron thin-film memories”
J. Appl. Phys. 64, 787 (1988).
- [3.16] T. Tybell, P. Paruch, T. Giamarchi, and J. M. Triscone
“Domain Wall Creep in Epitaxial Ferroelectric $\text{Pb}(\text{Zr}_{0.2}\text{Ti}_{0.8})\text{O}_3$ Thin Films”
Phys. Rev. Lett. 89, 097601 (2002).
- [3.17] Y.-H. Shin, I. Grinberg, I. W. Chen, and A. M. Rappe
“Nucleation and growth mechanism of ferroelectric domain-wall motion”
Nature 449, 881 (2007).
- [3.18] E. Tokumitsu, N. Tanisake, and H. Ishiura
“Partial Switching Kinetics of Ferroelectric $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ Thin Films
Prepared by Sol-Gel Technique”
Jpn. J. Appl. Phys. 33, 5201 (1994).
- [3.19] J. Y. Jo, S. M. Yang, H. S. Han, D. J. Kim, W. S. Choi, T. W. Noh, T. K. Song, J. G. Yoon,
C. Y. Koo, J. H. Cheon, and S. H. Kim
“Composition-dependent polarization switching behaviors
of (111)-preferred polycrystalline $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ thin films”
Appl. Phys. Lett. 92, 012917 (2008).

第4章

- [4.1] E. Tokumitsu, M. Senoo, and T. Miyasako
“Use of ferroelectric gate insulator for thin film transistors with ITO channel”
Microelectron. Eng. 80, 305 (2005).
- [4.2] T. Miyasako, M. Senoo, and E. Tokumitsu
- (3.8) “Ferroelectric-gate thin-film transistors using indium-tin-oxide channel
with large charge controllability”
Appl. Phys. Lett. 86, 162902 (2005).
- [4.3] E. Tokumitsu and T. Oiwa
“Fabrication of IGZO and In_2O_3 -channel Ferroelectric-gate Thin Film Transistors”
MRS Proc. 1250, 1250-G13-07 (2010).

- [4.4] E. Tokumitsu and K. Kikuchi
 "Evaluation of Channel Modulation in $\text{In}_2\text{O}_3/(\text{Bi,La})_4\text{Ti}_3\text{O}_{12}$ Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements"
Ferroelectrics 429, 15 (2012).
- [4.5] M. W. J. Prins, S. E. Zinnemmers, J. F. M. Cillessen, and J. B. Giesbers
 "Depletion-type thin-film transistors with a ferroelectric insulator"
Appl. Phys. Lett. 70, 458 (1997).
- [4.6] Kaneko, Y. Nishitani, H. Tanaka, M. Ueda, Y. Kato, E. Tokumitsu, and E. Fujii
 "Correlated motion dynamics of electron channels and domain walls in a ferroelectric-gate thin-film transistor consisting of a $\text{ZnO-Pb}(\text{Zr,Ti})\text{O}_3$ stacked structure"
J. Appl. Phys. 110, 084106 (2011).
- [4.7] Y. Kato, Y. Kaneko, H. Tanaka, and Y. Shimada
 "Nonvolatile Memory Using Epitaxially Grown Composite-Oxide-Film Technology"
Jpn. J. Appl. Phys. 47, 2719 (2008).
- [4.8] H. Tanaka, Y. Kaneko, and Y. Kato
 "A Ferroelectric Gate Field Effect Transistor with a $\text{ZnO/Pb}(\text{Zr,Ti})\text{O}_3$ Heterostructure Formed on a Silicon Substrate"
Jpn. J. Appl. Phys. 47, 7527 (2008).
- [4.9] Y. Kaneko, H. Tanaka, and Y. Kato
 "NOR-Type Nonvolatile Ferroelectric-Gate Memory Cell Using Composite Oxide Technology"
Jpn. J. Appl. Phys. 48, 09KA19 (2009).
- [4.10] Y. Kaneko, H. Tanaka, M. Ueda, Y. Kato, and E. Fujii
 "A Dual-Channel Ferroelectric-Gate Field-Effect Transistor Enabling NAND-Type Memory Characteristics"
IEEE Trans. Electron Devices 58, 1311 (2011).
- [4.11] Y. Kaneko, Y. Nishitani, M. Ueda, E. Tokumitsu, and E. Fujii
 "A 60 nm channel length ferroelectric-gate field-effect transistor capable of fast switching and multilevel programming"
Appl. Phys. Lett. 99, 182902 (2011).
- [4.12] T. Fukushima, T. Yoshimura, K. Masuko, K. Maeda, A. Ashida, and N. Fujimura
 "Electrical Characteristics of Controlled-Polarization-Type Ferroelectric-Gate Field-Effect Transistor"
Jpn. J. Appl. Phys. 47, 8874 (2008).

- [4.13] T. Fukushima, T. Yoshimura, K. Masuko, K. Maeda, A. Ashida, and N. Fujimura
 “Analysis of carrier modulation in channel of ferroelectric-gate transistors
 having polar semiconductor”
 Thin Solid Films 518, 3026 (2010).
- [4.14] T. Fukushima, K. Maeda, T. Yoshimura, A. Ashida, and N. Fujimura
 “Impedance Analysis of Controlled-Polarization-Type Ferroelectric-Gate
 Thin Film Transistor Using Resistor–Capacitor Lumped Constant Circuit”
 Jpn. J. Appl. Phys. 50, 04DD16 (2011).
- [4.15] Y. Ishibashi and Y. Takagi
 (3.14) “Note on Ferroelectric Domain Switching”
 J. Phys. Soc. Jpn. 31, 506 (1971).
- [4.16] J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh,
 (3.15) and W. F. Oliver
 “Switching kinetics of lead zirconate titanate submicron thin-film memories”
 J. Appl. Phys. 64, 787 (1988).
- [4.17] T. Tybell, P. Paruch, T. Giamarchi, and J. M. Triscone
 (3.16) “Domain Wall Creep in Epitaxial Ferroelectric $\text{Pb}(\text{Zr}_{0.2}\text{Ti}_{0.8})\text{O}_3$ Thin Films”
 Phys. Rev. Lett. 89, 097601 (2002).
- [4.18] Y.-H. Shin, I. Grinberg, I. W. Chen, and A. M. Rappe
 (3.17) “Nucleation and growth mechanism of ferroelectric domain-wall motion”
 Nature 449, 881 (2007).
- [4.19] E. Tokumitsu, N. Tanisake, and H. Ishiura
 (3.18) “Partial Switching Kinetics of Ferroelectric $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ Thin Films
 Prepared by Sol-Gel Technique”
 Jpn. J. Appl. Phys. 33, 5201 (1994).
- [4.20] J. Y. Jo, S. M. Yang, H. S. Han, D. J. Kim, W. S. Choi, T. W. Noh, T. K. Song, J. G. Yoon,
 (3.19) C. Y. Koo, J. H. Cheon, and S. H. Kim
 “Composition-dependent polarization switching behaviors
 of (111)-preferred polycrystalline $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ thin films”
 Appl. Phys. Lett. 92, 012917 (2008).

第5章

- [5.1] Kaneko, Y. Nishitani, H. Tanaka, M. Ueda, Y. Kato, E. Tokumitsu, and E. Fujii
(4.6) “Correlated motion dynamics of electron channels and domain walls in a ferroelectric-gate thin-film transistor consisting of a ZnO/Pb(Zr,Ti)O₃ stacked structure”
J. Appl. Phys. 110, 084106 (2011).
- [5.2] Y. Kaneko, Y. Nishitani, M. Ueda, E. Tokumitsu, and E. Fujii
(4.11) “A 60 nm channel length ferroelectric-gate field-effect transistor capable of fast switching and multilevel programming”
Appl. Phys. Lett. 99, 182902 (2011).
- [5.3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono
(1.6) “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”
Nature 432, 488 (2004).
- [5.4] K. Nomura, A. Takagi, T. Kamiya H. Ohta, M. Hirano, and H. Hosono
(1.7) “Amorphous Oxide Semiconductors for High-Performance Flexible Thin-Film Transistors”
Jpn. J. Appl. Phys. 45, 4303 (2006).
- [5.5] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya,
(1.8) and H. Hosono
“High-mobility thin-film transistor with amorphous InGaZnO₄ channel fabricated by room temperature rf-magnetron sputtering”
Appl. Phys. Lett. 89, 112123 (2006).
- [5.6] M. Ito, M. Kon, C. Miyazaki, N. Ikeda, M. Ishizaki, R. Matsubara, Y. Ugajin, and N. Sekine
(1.9) “Amorphous oxide TFT and their applications in electrophoretic displays”
Phys. Status Solidi A 205, 1885 (2008).
- [5.7] T. Kamiya, K. Nomura, and H. Hosono
(1.1) “Present status of amorphous In–Ga–Zn–O thin-film transistors”
Sci. Technol. Adv. Mater. 11, 044305 (2010).
- [5.8] E. Tokumitsu, M. Senoo, and T. Miyasako
(4.1) “Use of ferroelectric gate insulator for thin film transistors with ITO channel”
Microelectron. Eng. 80, 305 (2005).
- [5.9] T. Miyasako, M. Senoo, and E. Tokumitsu
(3.8) “Ferroelectric-gate thin-film transistors using indium-tin-oxide channel
(4.2) with large charge controllability”
Appl. Phys. Lett. 86, 162902 (2005).

- [5.10] E. Tokumitsu and T. Oiwa
- (4.3) “Fabrication of IGZO and In_2O_3 -channel Ferroelectric-gate Thin Film Transistors”
MRS Proc. 1250, 1250-G13-07 (2010).
- [5.11] E. Tokumitsu and K. Kikuchi
- (4.4) “Evaluation of Channel Modulation in $\text{In}_2\text{O}_3/(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements”
Ferroelectrics 429, 15 (2012).
- [5.12] P. Barquinha, L. Pereira, G. Gonçalves, R. Martins, and E. Fortunato
“The Effect of Deposition Conditions and Annealing on the Performance of High-Mobility GIZO TFTs”
Electrochem. Solid-State Lett. 11, H248 (2008).
- [5.13] B. Kim, E. Chong, D. H. Kim, Y. W. Jeon, D. H. Kim, and S. Y. Lee
“Origin of threshold voltage shift by interfacial trap density in amorphous InGaZnO thin film transistor under temperature induced stress”
Appl. Phys. Lett. 99, 062108 (2011).
- [5.14] J. K. Jeong, J. H. Jeong, H. W. Yang, J.-S. Park, Y.-G. Mo, and H. D. Kim
“High performance thin film transistors with cosputtered amorphous indium gallium zinc oxide channel”
Appl. Phys. Lett. 91, 113505 (2007).
- [5.15] T. Kamiya, K. Nomura, and H. Hosono
“Electronic structure of the amorphous oxide semiconductor $\alpha\text{-InGaZnO}_{4-x}$: Tauc–Lorentz optical model and origins of subgap states”
Phys. Status Solidi A 206, 860 (2009).
- [5.16] T. Kamiya, K. Nomura, and H. Hosono
“Subgap states, doping and defect formation energies in amorphous oxide semiconductor $\alpha\text{-InGaZnO}_4$ studied by density functional theory”
Phys. Status Solidi A 207, 1698 (2010).

第6章

- [6.1] Takashi Masuda, Yasuo Matsuki, and Tatsuya Shimoda
“Stability of polydihydrosilane liquid films on solid substrates”
Thin Solid Films, 520, 5091 (2012).
- [6.2] 下田 達也
(1.28) 「ソリューション法による電子デバイス形成の課題とそのソリューション」
応用物理 第83巻 第7号 p.553 (2014).
- [6.3] R. D. Deegan, O. Bakajin, T. F. Dupont, G. Huber, S. R. Nagel, and T. A. Witten
“Capillary flow as the cause of ring stains from dried liquid drops”
Nature 389, 827 (1997).
- [6.4] P. J. Yunker, T. Still, M. A. Lohr, and A. G. Yodh
“Suppression of the coffee-ring effect by shape-dependent capillary interactions”
Nature 476, 308 (2011).

第7章

- [7.1] M. Ueda, Y. Kaneko, Y. Nishitani, and E. Fujii
(1.27) “A neural network circuit using persistent interfacial conducting heterostructures”
J. Appl. Phys. 110, 086104 (2011).
- [7.2] Y. Nishitani, Y. Kaneko, M. Ueda, T. Morie, and E. Fujii
(1.28) “Three-terminal ferroelectric synapse device with concurrent learning function
for artificial neural networks”
J. Appl. Phys. 111, 124108 (2012).
- [7.3] Y. Kaneko, Y. Nishitani, M. Ueda, and A. Tsujimura
(1.29) “Neural Network based on a Three-Terminal Ferroelectric Memristor
to Enable On-chip Pattern Recognition”
2013 Symposium on VLSI Technology Digest of Technical Papers, T238 (2013).
- [7.4] 金子 幸広, 西谷 雄, 上田 路人, 表 篤志
「振動発電素子と強誘電体メモリからなるバッテリーレス衝撃記憶素子」
第75回 応用物理学会秋季学術講演会 19p-A9-13 (2014).
- [7.5] Y. Kaneko, Y. Nishitani, M. Ueda, E. Tokumitsu, and E. Fujii
(4.11) “A 60 nm channel length ferroelectric-gate field-effect transistor
(5.2) capable of fast switching and multilevel programming”
Appl. Phys. Lett. 99, 182902 (2011).

- [7.6] J. Müller, E. Yurchuk, T. Schlösser, J. Paul, R. Hoffmann, S. Müller, D. Martin, S. Slesazeck, P. Polakowski, J. Sundqvist, M. Czernohorsky, K. Seidel, P. Kücher, R. Boschke, M. Trentzsch, K. Gebauer, U. Schröder, and T. Mikolajick
 “Ferroelectricity in HfO_2 enables nonvolatile data storage in 28 nm HKMG”
 2012 Symposium on VLSI Technology Digest of Technical Papers, 25 (2012).
- [7.7] J. Müller, T. S. Böske, D. Bräuhäus, U. Schröder, U. Böttger, J. Sundqvist, P. Kücher, T. Mikolajick, and L. Frey
 “Ferroelectric $\text{Zr}_{0.5}\text{Hf}_{0.5}\text{O}_2$ thin films for nonvolatile memory applications”
 Appl. Phys. Lett. 99, 112901 (2011).
- [7.8] J. Müller, T. S. Böske, U. Schröder, S. Mueller, D. Bräuhäus, U. Böttger, L. Frey, and T. Mikolajick
 Ferroelectricity in Simple Binary ZrO_2 and HfO_2
 Nano Lett. 12, 4318 (2012).
- [7.9] J. Müller, U. Schröder, T. S. Böske, I. Müller, U. Böttger, L. Wilde, J. Sundqvist, M. Lemberger, P. Kücher, T. Mikolajick, and L. Frey
 “Ferroelectricity in yttrium-doped hafnium oxide”
 J. Appl. Phys. 110, 114113 (2011).
- [7.10] S. Mueller, J. Mueller, A. Singh, S. Riedel, J. Sundqvist, U. Schroeder, and T. Mikolajick
 “Incipient Ferroelectricity in Al-Doped HfO_2 Thin Films”
 Adv. Funct. Mater. 22, 2412 (2012).
- [7.11] M. H. Park, H. J. Kim, Y. J. Kim, W. Lee, H. K. Kim, and C. S. Hwang
 “Effect of forming gas annealing on the ferroelectric properties of $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ thin films with and without Pt electrodes”
 Appl. Phys. Lett. 102, 112914 (2013).
- [7.12] M. H. Park, H. J. Kim, Y. J. Kim, W. Lee, T. Moon, and C. S. Hwang
 “Evolution of phases and ferroelectric properties of thin $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ films according to the thickness and annealing temperature”
 Appl. Phys. Lett. 102, 242905 (2013)
- [7.13] M. H. Park, H. J. Kim, Y. J. Kim, W. Lee, T. Moon, K. D. Kim, and C. S. Hwang
 “Study on the degradation mechanism of the ferroelectric properties of thin $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ films on TiN and Ir electrodes”
 Appl. Phys. Lett. 105, 072902 (2014).
- [7.14] S. Starschich, D. Griesche, T. Schneller, R. Waser, and U. Böttger
 “Chemical solution deposition of ferroelectric yttrium-doped hafnium oxide films on platinum electrodes”
 Appl. Phys. Lett. 104, 202903 (2014).

研究業績

筆頭論文（2 編）

- [1] Ken-ichi Haga, Yuuki Nakada, Dan Ricinski, and Eisuke Tokumitsu
“Relationship between source/drain-contact structures and switching characteristics in oxide-channel ferroelectric-gate thin-film transistors”
Jpn. J. Appl. Phys. 53, 09PA07 (2014).
- [2] Ken-ichi Haga and Eisuke Tokumitsu
“Fabrication and characterization of ferroelectric-gate thin-film transistors with an amorphous oxide semiconductor, amorphous In-Ga-Zn-O”
Jpn. J. Appl. Phys. 53, 111103 (2014).

国際学会発表（2 件）

- [1] Ken-ichi Haga, Takaya Shimizu, Tatsuya Shimoda, and Eisuke Tokumitsu
“Comparative study of In_2O_3 , ZnO and In-Zn-O source solutions for oxide channel thin film transistors”
IEEE EDS WIMNACT 37, Tokyo, Japan (Feb. 18, 2013).
- [2] Ken-ichi Haga, Yuuki Nakada, Dan Ricinski, and Eisuke Tokumitsu
“Characterization of In_2O_3 Channel Ferroelectric-Gate Thin Film Transistors”
10th Int. Thin-Film Transistor Conf. (ITC 2014), Delft, The Netherlands (Jan. 23-24, 2014).

国内学会発表（3 件）

- [1] 羽賀 健一, 大岩 朝洋, 徳光 永輔
IGZO および In_2O_3 をチャンネルに用いた強誘電体ゲート TFT の作製
薄膜材料デバイス研究会 第 6 回研究集会 3P40 龍谷大学（京都）（2009/11/5-6）
- [2] 羽賀 健一, 徳光 永輔
a-In-Ga-Zn-O チャンネル強誘電体ゲート薄膜トランジスタの作製
第 30 回強誘電体応用会議 (FMA30) 22-T-06 コーポイン京都（京都）（2013/5/22-25）
- [3] 羽賀 健一, 中田 祐貴, Dan Ricinski, 徳光 永輔
酸化物チャンネル強誘電体ゲート薄膜トランジスタのソース・ドレイン構造とスイッチング特性
第 31 回強誘電体応用会議 (FMA31) 29-T-14 コーポイン京都（京都）（2014/5/28-31）

関連共著発表（3件）

- [1] Eisuke Tokumitsu, Ken-ichi Haga, and Tomohiro Oiwa
“Fabrication of IGZO and In_2O_3 -Channel Ferroelectric-Gate Thin Film Transistors”
2010 Materials Research Society Spring Meeting and Exhibit, San Fran., USA (Apr. 5-9, 2010).
- [2] 清水 貴也, 羽賀 健一, 徳光 永輔, 金田 敏彦, 下田 達也
様々な液体原料を用いた In-Zn-O 薄膜の形成と薄膜トランジスタ応用
薄膜材料デバイス研究会 第8回研究集会 4P43 龍谷大学響都ホール（京都）（2011/11/4-5）
- [3] Eisuke Tokumitsu, Takaya Shimizu, Ken-ichi Haga, and Tatsuya Shimoda
“Comparative Study of In_2O_3 , ZnO and In-Zn-O Source Solutions
for Oxide Channel Thin Film Transistors”
Pacific Rim Meeting on Electrochemical and Solid-state Science (PRiME 2012),
Honolulu, Hawaii (Oct. 7-12, 2012).

他の研究テーマに関する学会発表（5件）

- [1] 近藤 洋平, 大岩 朝洋, 羽賀 健一, 徳光 永輔
 $\text{Bi}_{1.5}\text{Zn}_{1.0}\text{b}_{1.5}\text{O}_7$ をゲート絶縁膜に用いた酸化物チャネル薄膜トランジスタの作製
第56回応用物理学関係連合会講演会 31p-ZH-12 筑波大学（筑波）（2009/3/30-4/2）
- [2] 羽賀 健一, 徳光 永輔
スパッタ法による Al-Zn-Sn-O チャネル TFT の作製
第71回応用物理学会学術講演会 16a-ZJ-1 長崎大学（長崎）（2010/9/14-17）
- [3] 羽賀 健一, 徳光 永輔
スパッタ法による Al-Zn-Sn-O チャネル TFT の作製
薄膜材料デバイス研究会 第7回研究集会 6P34 奈良 100 年会館（奈良）（2010/11/5-6）
- [4] Ken-ichi Haga and Eisuke Tokumitsu
“Fabrication and Characterization of Zn-Sn-O series oxide thin film transistors”
8th Int. Thin-Film Transistor Conf. (ITC 2012), Lisbon, Portugal (Jan. 30-31, 2012).
- [5] Eisuke Tokumitsu, Kei Sato, and Ken-ichi Haga
“Fundamental Study on Thermal Nanoimprint Process
for Oxide-channel Thin Film Transistor Fabrication”
12th Int. Conf. on Nanoimprint and Nanoprint Technol., Barcelona, Spain (Oct. 21-23, 2013).

謝辞

本論文は、筆者が東京工業大学 徳光永輔 研究室に在籍した 2008～2014 年における研究成果をまとめたものです。

物理電子システム創造専攻 徳光永輔 連携教授（北陸先端科学技術大学院大学 グリーンデバイス研究センター 教授）には、指導教員として本論文のご指導を頂きました。いつも温かい目で見守って下さり、自由な環境の中で研究の喜びを教えてくださいましたことを心よりお礼申し上げます。国際学会への登壇や、凸版印刷株式会社でのインターンシップ、文部科学省実施の全国学力調査における採点業務など、学外で活動する機会についても数多くお許し頂きました。元より、徳光研究室でなければ、私が博士後期課程に入学し更に学位を取得することはあり得ませんでした。本当に感謝しております。

物理電子システム創造専攻 半那純一 教授、筒井一生 教授、大見俊一郎 准教授、電子物理工学専攻 波多野睦子 教授には副査を引き受けて頂き、細部にわたり本論文への温かいご指導を頂きました。深く感謝いたします。物理電子システム創造専攻 渡辺正裕 准教授にも、本論文への有益なご助言を頂きました。感謝致します。

凸版印刷株式会社 総合研究所 課長 伊藤学 博士には、本論文の外部審査員を快く引き受けて下さりましたことを大変感謝しております。貴研究所でのインターンシップにおいてご指導頂いた経験は、本論文においても大きな助けとなりました。池田典昭 氏をはじめとする同研究所 研究員の皆様にも深くお礼申し上げます。

パナソニック株式会社 金子幸広 博士が徳光研究室に残して下さった博士論文は、本研究を進める上で大変参考にさせて頂きました。大きな助けとなったことをここに記し、深くお礼申し上げます。

北陸先端科学技術大学院大学 下田達也 教授をはじめとする ERATO 下田ナノ液体プロセスプロジェクトの皆様ならびに下田研究室の皆様の研究成果は、本研究を進める上で大変参考にさせて頂きました。特にセイコーエプソン株式会社 金田敏彦 氏には、溶液作製やナノインプリントをはじめとする数多くの実験手法やノウハウを教えてくださいましたことを深くお礼申し上げます。また、下田研究室 深田和宏 博士、廣瀬大亮 博士には TG-DTA 測定や分子間力の測定などで大変お世話になりましたことを深く感謝しております。

これまでに、強誘電体材料および強誘電体ゲート薄膜トランジスタ（FeTFT）の研究の基礎を築いて下さった杉田直紀 博士、斎木博和 博士、宮迫毅明 博士、朴成一 氏、妹尾賢 氏、瀧悦 氏、柴田宏 氏、大岩朝洋 氏、Gwang-Geun Lee 博士をはじめとする徳光研究室の諸先輩方に深く感謝いたします。

強誘電体ゲート薄膜トランジスタ（FeTFT）や液体プロセスの研究と一緒に携わり、苦楽を共にした徳光研究室の高橋泰裕 氏、菊池和哉 氏、清水貴也 氏、中田祐貴 氏に心よりお礼申し上げます。交わした議論や一緒に行った実験結果は本論文にも数多く記されております。

本研究の良き理解者であり、筆者の良き後輩であり、数多くの助言と励ましも頂きました徳光研究室の永久雄一 博士に心よりお礼申し上げます。

研究と実験の基礎から極意、そして研究生活の楽しさについても教えて頂きました大岩朝洋 氏、近藤洋平 氏、守谷仁 氏、田中敬人 氏、奥村優作 氏をはじめとする徳光研究室および石原研究室の諸先輩方に深く感謝いたします。

真摯に、ひたむきに研究に励む姿は筆者の手本でありました。永久雄一 博士、木田憲之助 氏、山田泰之 氏、小林尚平 氏をはじめとする徳光研究室の後輩諸子に深く感謝いたします。

インターンシップのコーディネートだけでなく、戦略的コミュニケーションや第5世代のテクノロジーマネジメントなど、非常に刺激的で有益な講義を数多く授けて頂きました東京工業大学古田健二 特任教授、増沢隆太 特任教授をはじめとするイノベーション人材養成機構（旧 プロダクティブリーダー養成機構 PLIP）の皆様に心よりお礼申し上げます。

徳光研究室 秘書 小林久美子 氏と、物理電子システム創造専攻 事務 岩松瑞恵 氏にはいつもお世話になりました。深く感謝しております。

筆者が研究の道に進むことを喜び、励まし、温かく応援して頂きました友人の皆様に、心より感謝いたします。

最後に、筆者を博士後期課程まで進学させて頂きました家族に心より感謝いたします。