

論文 / 著書情報
Article / Book Information

論題(和文)	ウェーブデジタルフィルタの等価交換と感度について
Title(English)	On Equivalent Transformations and Sensitivity of Wave Digital Filters
著者(和文)	渡部英二, 西原明法
Authors(English)	Eiji Watanabe, AKINORI NISHIHARA
出典(和文)	電子通信学会論文誌(A), Vol. J69-A, No. 6, pp. 723-730
Citation(English)	, Vol. J69-A, No. 6, pp. 723-730
発行日 / Pub. date	1986, 6
URL	http://search.ieice.org/
権利情報 / Copyright	本著作物の著作権は電子情報通信学会に帰属します。 Copyright (c) 1986 Institute of Electronics, Information and Communication Engineers.

ウェーブディジタルフィルタの等価変換と感度について

正員 渡部 英二[†] 正員 西原 明法^{††}

On Equivalent Transformations and Sensitivity of Wave Digital Filters

Eiji WATANABE[†] and Akinori NISHIHARA^{††}, Members

あらまし 低感度なディジタルフィルタとして知られているウェーブディジタルフィルタの実現回路は各種存在するので、ある一つのLCラダーフィルタからいくつかの等価な回路が実現される。しかし、これらの回路の間の相互変換と回路の違いによる感度特性の違いについてはまだ考察されていない。以上を考慮して、本論文はWDFの等価変換と感度について述べたものである。まず、等価変換により新しい直列および並列区間の実現回路を提案し、これを従来の回路と組み合わせる用いて低感度化を図る方法について述べている。次に、ポート抵抗整合方式と整合位置を変換するための等価変換、および各種のGDUの実現回路の間の等価変換について述べている。これらの等価変換により、従来のWDFから加算器数を減らしかつ低感度化したWDFへの変換が、再びアナログ領域に戻ることなく、 z 領域のみで可能となる。さらに、ポート整合方式およびGDUの実現回路の違いによる感度特性の違いを調べ、例題により確かめている。その結果、従来の回路から本論文で提案する回路に等価変換することの妥当性が明らかになった。

1. ま え が き

ディジタルフィルタはその乗算器係数が有限の語長で表現されているため、無限語長の特性から劣化を生じる。この劣化はなるべく少ないことが望ましいので、ディジタルフィルタの構成にあたっては低感度な構造を有する回路を用いる必要がある。

このような要求を満たす構成法の一つとして、両端抵抗終端形リアクタンズフィルタの波動量をシミュレートして得られるウェーブディジタルフィルタ（以後WDFと略す）が知られている⁽¹⁾。WDFの実現回路は最初のFettweisの回路に始まり各種の回路が提案されているので^{(2)~(4)}、ある一つのLCラダーフィルタをアナログ参考フィルタとしてWDFを構成する場合、基本区間としてどの回路を用いるかにより、またどのポート抵抗整合方式を採用してどの位置でポート抵抗

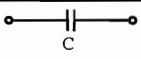
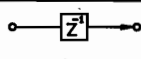
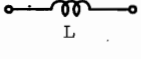
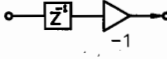
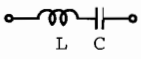
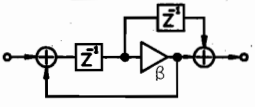
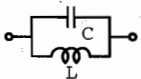
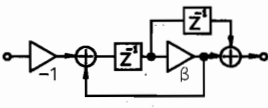
の整合を取るかにより、いくつかの回路が実現される。筆者らはこれまでに、回路構造を簡単化するという観点から、従来の回路より少数の加算器数でWDFを構成するための基本区間およびポート抵抗整合方式を提案した⁽⁵⁾。しかし、これらの回路の間の相互変換と回路の違いによる感度特性の違いについてはまだ考察されていない。

以上を考慮して、本論文ではWDFの等価変換と感度について述べる⁽⁶⁾。まず、文献(5)の基本区間を等価変換することにより新しい直列および並列区間の実現回路を提案する。そしてこれを従来の回路と組み合わせる用いて低感度化を図る方法について述べる。次に、ポート抵抗整合方式について検討を行い、整合方式と整合位置を変換するための等価変換を導入する。さらに、一般化遅延要素（以後GDUと略す）⁽⁴⁾の各種の実現回路の間の等価変換について述べる。以上の等価変換により、従来のFettweis等のWDFから加算器数を減らしかつ低感度化したWDFへの変換が、再びアナログ領域に戻ることなく、 z 領域のみで可能となる。最後に、整合方式およびGDUの実現回路の違いによる感度特性の違いを調べ、例題により検証する。

[†] 東京工業大学大学院総合理工学研究科, 横浜市
The Graduate School at Nagatsuta, Tokyo Institute of
Technology, Yokohama-shi, 227 Japan

^{††} 東京工業大学理工学国際交流センター, 東京都
International Cooperation Center for Science and Technology,
Tokyo Institute of Technology, Tokyo, 152 Japan

表1 GDUの回路例

$Z(p)$	$G(z^{-1})$
 $H = 1/C$	 $G(z^{-1}) = z^{-1}$
 $H = L$	 $G(z^{-1}) = -z^{-1}$
 $H = \frac{1 + LC}{C}$ $\beta = \frac{1 - LC}{1 + LC}$	 $G(z^{-1}) = z^{-1} \frac{\beta + z^{-1}}{1 + \beta z^{-1}}$
 $H = \frac{L}{1 + LC}$ $\beta = \frac{1 - LC}{1 + LC}$	 $G(z^{-1}) = -z^{-1} \frac{\beta + z^{-1}}{1 + \beta z^{-1}}$

2. 基本区間の新しい実現回路

直列区間の散乱行列は z 領域では

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \frac{1}{1 - \alpha G(z^{-1})} \begin{bmatrix} 1 - \alpha & \alpha \{1 - G(z^{-1})\} \\ 1 - G(z^{-1}) & (1 - \alpha) G(z^{-1}) \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (1)$$

と表され、 α はポート抵抗 R_1 と R_2 の比として

$$\alpha = \frac{R_1}{R_2} \quad (2)$$

のように与えられる。また $G(z^{-1})$ は GDU であり、1 次および 2 次のリアクタンス 1 ポート回路に対応した GDU の回路例を表 1 に示す。

式(1)を回路的に実現すると、図 1 のように α をその乗算器係数とする直列 CG アダプタのポート 3 に GDU を接続した回路となる。このデジタル直列区間の実現回路の加算器数は従来の Fettweis の回路あるいは Peikari-Erfani の回路よりも少ない。図 1 の回路は a_2 から b_2 へのパスにディレイフリーパス (以後 DFP と略す) がなく、そのためにポート抵抗 R_1 と R_2 の間

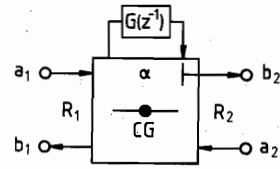


図 1 従来の直列区間
Fig. 1 Conventional series section.

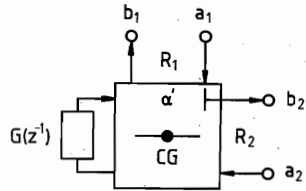


図 2 新しい直列区間
Fig. 2 New series section

には

$$R_2 = R_1 + H \quad (3)$$

なる関係が存在する。

ここで、

$$\alpha' = 1 - \alpha \quad (4)$$

として式(1)を書き直すと

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \frac{1}{1 - (1 - \alpha') G(z^{-1})} \begin{bmatrix} \alpha' & (1 - \alpha') \{1 - G(z^{-1})\} \\ 1 - G(z^{-1}) & \alpha' G(z^{-1}) \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (5)$$

を得る。この散乱行列を回路的に実現すると図 2 となり、図 1 は図 2 のように等価変換される。図 2 の回路は図 1 においてポート 1 と 3 の接続を逆にしたものなので、 α' は

$$\alpha' = \frac{H}{R_2} \quad (6)$$

としても与えられる。この場合も式(3)の関係は成立している。

このように同じ直列区間の実現方法にも 2 通りあるが、これらの違いは 3 ポートアダプタを実現するときに従属ポート⁽⁷⁾をどこにするかということに起因する。そして、それらは式(4)によって互いに等価変換される。

ここで、係数感度の面からみていずれの回路を採用すれば良いかについて考察する。回路の伝達関数を T

としたとき、 α および α' の相対振幅感度をそれぞれ $S_\alpha^{[T]}$ 、 $S_{\alpha'}^{[T]}$ と表すと

$$S_\alpha^{[T]} = \frac{\alpha - 1}{\alpha} S_{\alpha'}^{[T]} \quad (7)$$

である。ただし、 $S_{\alpha'}^{[T]}$ は

$$S_{\alpha'}^{[T]} = \frac{\alpha}{|T(e^{-j\omega})|} \frac{\partial |T(e^{-j\omega})|}{\partial \alpha} \quad (8)$$

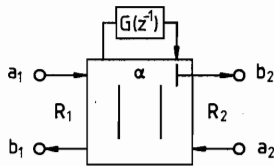
と定義される。従って、振幅感度の絶対値を小さくするためには

- (i) $0 < \alpha \leq 0.5$ のとき図1の回路
- (ii) $0.5 < \alpha < 1$ のとき図2の回路

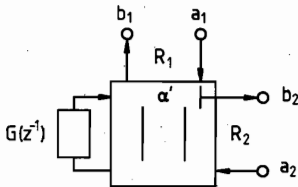
とする。

直列区間の場合と同様に、並列区間についても図3に示すような二つの実現回路が得られる。いずれの回路においてもポート抵抗の間には

$$\frac{1}{R_2} = \frac{1}{R_1} + \frac{1}{H} \quad (9)$$



(a) Conventional



(b) New

図3 並列区間
Fig.3 Parallel section.

なる関係がある。並列アダプタ内の乗算器係数は、図3(a), (b)についてそれぞれ

$$\alpha = \frac{R_2}{R_1} \quad (10)$$

および

$$\alpha' = \frac{R_2}{H} \quad (11)$$

で与えられる。この場合も式(4)の関係が成立しているため、二つの回路は式(4)により互いに等価変換される。二つの回路の選択法は、直列区間と同じく、

- (i) $0 < \alpha \leq 0.5$ のとき図3(a)の回路
- (ii) $0.5 < \alpha < 1$ のとき図3(b)の回路

とする。

3. ポート抵抗整合方式と等価変換

前章で述べた基本区間の継続接続によってWDFを構成する場合には、各区間のポート抵抗の間に式(3)あるいは式(9)の関係が存在しているため、隣り合ったポートのポート抵抗を等しくすることが不可能な部分の一つ生じる。例えば、直列区間において

$$R_2 \neq R_1 + H \quad (12)$$

および

$$R_1 \neq R_2 + H \quad (13)$$

が成立していると、この区間のどちらかのポートではポート抵抗を整合させることができない。

このようなポート接合部でポート抵抗を整合させるのに用いるのがポート抵抗整合回路で、図4に示す3種の方式がある。図4(a)がリフレクションフリーポートのない3ポートアダプタによる方式、同(b)が2ポートアダプタを用いてポート2で整合をとる方式、そして同(c)が2ポートアダプタを用いてポート1で整合をとる方式である。これらの回路は同じアナログ回路のウェーブ量をシミュレートしているため、互いに等価な回路である。それぞれの回路の乗算器係数の間には次のような関係がある。

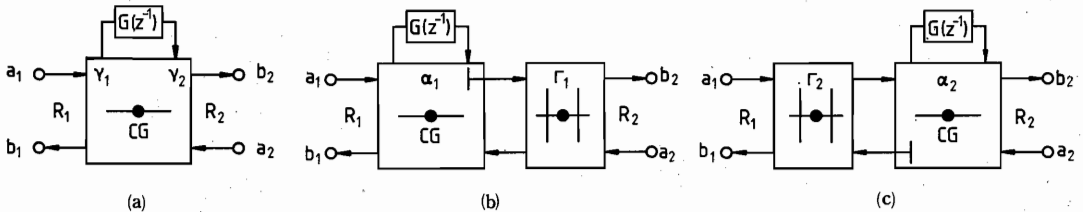


図4 直列区間での3種のポート抵抗整合方式
Fig.4 3 types of port matching scheme in a series section.

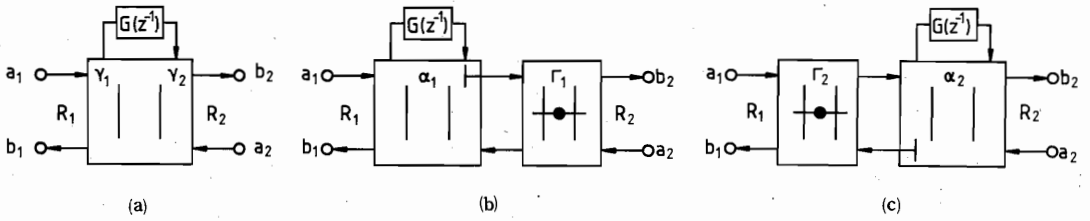


図5 並列区間での3種のポート抵抗整合方式
Fig.5 3 types of port matching scheme in a parallel section.

(i) 図4(a)と(b)

$$r_1 = \alpha_1 (1 - \Gamma_1) \quad (14a)$$

$$r_2 = 1 + \Gamma_1 \quad (14b)$$

(ii) 図4(a)と(c)

$$r_1 = 1 - \Gamma_2 \quad (15a)$$

$$r_2 = \alpha_2 (1 + \Gamma_2) \quad (15b)$$

(iii) 図4(b)と(c)

$$\alpha_1 = \frac{1 - \Gamma_2}{2 - \alpha_2 (1 + \Gamma_2)} \quad (16a)$$

$$\Gamma_1 = \alpha_2 (1 + \Gamma_2) - 1 \quad (16b)$$

式(14)~(16)を用いることにより、図4の三つの回路を相互に変換することが可能となる。これらの変換のうち、式(14)と式(15)が整合方式の変換であり、式(16)が整合位置の変換である。

並列区間についても、直列区間の三つの回路に対応して、図5に示す三つの回路がそれぞれ得られ、それらの相互の変換式は次のようになる。

(i) 図5(a)と(b)

$$r_1 = \alpha_1 (1 + \Gamma_1) \quad (17a)$$

$$r_2 = 1 - \Gamma_1 \quad (17b)$$

(ii) 図5(a)と(c)

$$r_1 = 1 + \Gamma_2 \quad (18a)$$

$$r_2 = \alpha_2 (1 - \Gamma_2) \quad (18b)$$

(iii) 図5(b)と(c)

$$\alpha_1 = \frac{1 + \Gamma_2}{2 - \alpha_2 (1 - \Gamma_2)} \quad (19a)$$

$$\Gamma_1 = 1 - \alpha_2 (1 - \Gamma_2) \quad (19b)$$

図5(a)の特別な場合として、出力区間が並列区間であり、かつ出力ポートでポート抵抗の整合をとるとき、3ポートアダプタのポート2と3の接続を交換すると図6の新しいポート抵抗整合回路を得る⁽⁵⁾。この回路を用いたポート抵抗整合方式は最も加算器数が少ない。図6と図5(a)の回路は、

$$\delta_1 = r_1 \quad (20a)$$

$$\delta_2 = 2 - r_1 - r_2 \quad (20b)$$

により互いに等価変換される。

4. GDUの実現回路と等価変換

表1のGDUの実現回路は、GDUの伝達関数の直接構成により得られる。1次のGDUについては表1の回路が唯一の実現回路であるが、2次以上の場合には他にも実現のし方がある。その代表例がアダプタと遅延要素を使用するFettweisの回路である。LC並列共振回路に対応する2種類のFettweisの回路を図7に示す。

図7(a)の係数 v は、 L および C に対応するデジタル1端子対を3ポートアダプタのいずれのDFPのな

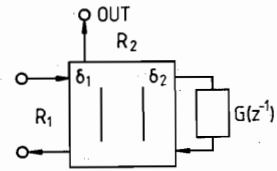


図6 新しいポート抵抗整合方式
Fig.6 New port matching scheme.

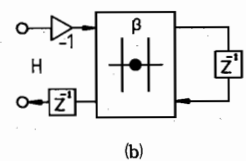
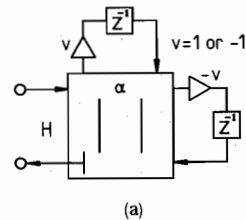


図7 FettweisのGDU実現回路
Fig.7 Fettweis' realization of second-order GDU's.

いポートに接続するかで、+1か-1のどちらかの値となる。図7(a)と(b)は

$$2\alpha = 1 + \nu\beta \quad (21)$$

により互いに交換可能である。また、係数 β は表1の回路と図7(b)の回路に共通な定数なので、これらは互いに置換可能である。なお、回路中の加算器数は表1の回路が最も少ない。

前章とこの章で述べた等価変換を用いれば、従来のFettweis等のWDFから加算器数を減らしかつ低感度化したWDFへの変換が、再びアナログ領域に戻ることなく、 z 領域で可能となる。ただし、出力区間が並列区間でないときには、WDFの双対変換⁽⁶⁾も必要となる。

5. WDFの感度

WDFの乗算器係数に対する振幅感度は

$$S_x^{[T]} = S_x^{P_{21}} + \frac{1}{2} S_x^{R_L/R_S} \quad (22)$$

のように表現できることがFettweisによって明らかにされた⁽⁹⁾。ここで、 x は回路中のある乗算器係数、 T は回路の伝達関数、 P_{21} は電力散乱行列の要素⁽¹⁰⁾、そして R_S と R_L はそれぞれ入力および出力ポートのポート抵抗である。式(22)の右辺第1項は通過域内の整合点では0になり、整合点以外でも非常に小さい値になることが知られている。また、第2項は周波数に無関係な量であり、その影響は利得水準の変動として現われる。ここでは、用いる基本区間およびポート抵抗整合方式によって感度特性がどのようになるかを式(22)の右辺第2項を中心に調べることにする。 $R_1 \sim R_n$ を隣りの区間とのポート接合におけるポート抵抗とすると、 R_S と R_L の比は

$$\frac{R_L}{R_S} = \frac{R_L}{R_n} \frac{R_n}{R_{n-1}} \dots \frac{R_i}{R_{i-1}} \dots \frac{R_1}{R_S} \quad (23)$$

と表すことができる。従って、 x をポート抵抗が R_{i-1} と R_i である区間に含まれる乗算器であるとする、式(22)の右辺第2項は

$$\frac{1}{2} S_x^{R_L/R_S} = \frac{1}{2} S_x^{R_i/R_{i-1}} \quad (24)$$

となる。 x が存在する場所としては、基本区間のアダプタ、GDU、およびポート抵抗整合回路に大別されるので、それぞれについて式(24)を計算すると次のようになる。

5.1 基本区間のアダプタ

まず直列区間について考える。このとき x は α ある

いは α' である。式(1)において、 R_2 と R_1 をそれぞれ R_i および R_{i-1} に置き換え、更に式(4)を考慮すると

$$\frac{R_i}{R_{i-1}} = \frac{1}{\alpha} = \frac{1}{1-\alpha'} \quad (25)$$

を得るので、式(24)は

$$\frac{1}{2} S_{\alpha'}^{R_L/R_S} = -\frac{1}{2} \quad (26)$$

および

$$\frac{1}{2} S_{\alpha'}^{R_L/R_S} = \frac{1-\alpha}{2\alpha} \quad (27)$$

となる。2で述べた方法で直列区間の実現回路を決定したとき、式(27)の値の絶対値の範囲は

$$\left| \frac{1}{2} S_{\alpha'}^{R_L/R_S} \right| < \frac{1}{2} \quad (28)$$

となる。すなわち、式(22)の右辺第2項の値の絶対値の上限は0.5となる。

並列区間の場合には、式(26)と(27)の右辺の符号が逆になるだけで、それ以外は同じ結果となる。

以上のことから、相対振幅感度の絶対値和をとると、通過域の整合点では、基本区間一つ当たり最大0.5だけ感度がレベルシフトする。これに対し、従来の構成法では1区間当たり必ず0.5シフトする。

5.2 ポート抵抗整合回路

(A) 図4(a)および図5(a)

いずれの回路も両側のポート抵抗の比は二つの乗算器係数の比に等しいので、 x が r_1 および r_2 のとき

$$\left| \frac{1}{2} S_{r_1}^{R_L/R_S} \right| = \left| \frac{1}{2} S_{r_2}^{R_L/R_S} \right| = \frac{1}{2} \quad (29)$$

となる。従って、この整合回路での感度のレベルシフト分は1である。

(B) 図4(b)および図5(b)

x が α のときの感度については5.1で明らかにしたので、ここでは Γ について述べる。文献(11)で明らかにしたように、2ポートアダプタの実現回路を選択すると感度のレベルシフトの上限は2/3となる。従って、この整合回路での感度のレベルシフト分は最大7/6である。

(C) 図6

このとき x は δ_1 と δ_2 である。この整合回路は出力区間として用いられるので

$$\frac{R_L}{R_n} = \frac{\delta_1}{2 - \delta_1 - \delta_2} \quad (30)$$

である。従って

$$\frac{1}{2} S_{\delta_1}^{R_L/R_S} = \frac{2 - \delta_2}{2(2 - \delta_1 - \delta_2)} \quad (31)$$

$$\frac{1}{2} S_{\delta_2}^{R_L/R_S} = \frac{\delta_2}{2(2 - \delta_1 - \delta_2)} \quad (32)$$

が得られる。式(31), (32)の値は δ_1 と δ_2 の値の組み合わせによっては非常に大きい値となり得る。逆に非常に小さい値となることもある。

5.3 GDU

式(22)に対しGDU中の乗算器係数 β は関与しないので、 α が β のとき式(21)の右辺第2項は0となり、通過域内での β の感度は小さい値になる。更に感度を下げるためには、2ポートアダプタのときと同じく、 β の値に従って

-1 < β < -0.5 のとき $\beta_1 = 1 + \beta$

-0.5 ≤ β ≤ 0.5 のとき β そのもの

0.5 < β < 1 のとき $\beta_2 = 1 - \beta$

を乗算器係数とすればよい。ただし、これを表1の回

路に適用すると、 β の絶対値が0.5より大きいときには加算器数が3個となる。図7(a)の回路の場合には、 ν の値を選択して α の値を0.5以下にすれば良いことが式(21)から分かる。

有極形フィルタにおいては、この乗算器係数は減衰極を作るのに大きくかかわっているため、その影響はむしろ阻止域において現れる。従って、このようにGDUを等価変換すると阻止域での大幅な感度低下が期待できる。

6. 構成例

標本化周波数1Hzに対して遮断周波数が0.4Hzで通過域リプル1dB、阻止域最小減衰量40dBのWDFを構成する。そのために図8の5次LCラダーフィルタをアナログ参考フィルタとして用いる。

まず、図1と図3(a)の基本区間と図6の整合回路を用いると図9の回路が得られる。このときの乗算器係数は表2のようになる。

また、同じ参考フィルタから図10に示すFettweis

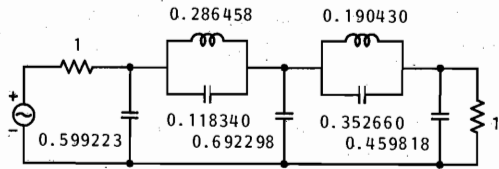


図8 アナログ参考フィルタ
Fig.8 Analog prototype filter.

表2 図9の乗算器係数値

α_1	0.625304	α_2	0.692961
α_3	0.615496	α_4	0.756836
β_1	0.934392	β_2	0.874134
δ_1	0.965584	δ_2	0.325824

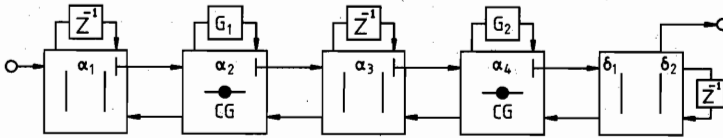


図9 従来のWDF
Fig.9 Conventional WDF.

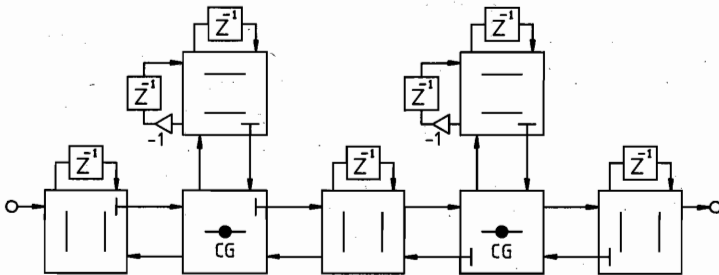


図10 FettweisのWDF
Fig.10 Fettweis' WDF.

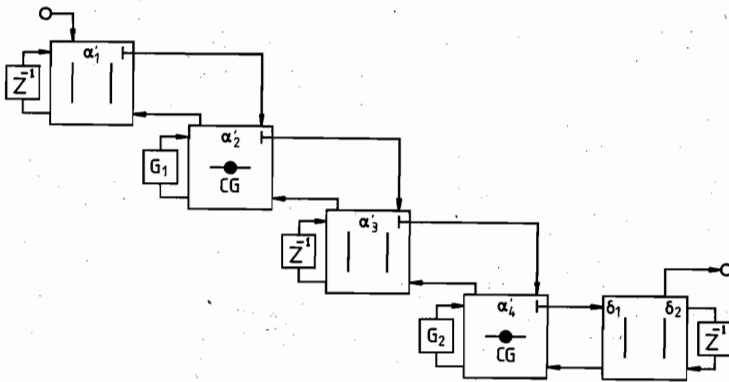


図11 新しいWDF
Fig.11 New WDF

の回路も構成できる。これを図9の回路に変換するには次のようにする。まず、ポート抵抗整合方式を図5(b)の方式に変換する。次に整合位置変換を2回施し、2ポートアダプタを出力ポートまで移動させる。最後に再び整合位置変換を施し、図6のポート抵抗整合方

式に変換すれば図9の回路が得られる。

図9の回路の全ての α の値は0.5を超えているので、図2と図3(b)の基本区間を用いるように等価変換すると図11が得られる。

図12に得られた回路の通過域における振幅感度の絶対値和の計算機による解析結果を示す。ただし、Proposed 1は図10の回路、Proposed 2は図10の回路のポート抵抗整合方式を図5(b)の方式に改めた回路である。

この図から基本区間の選択により感度低下がなされていることが分かる。この例では図6の整合方式ではなく図5(b)を用いると、加算器数が2個増えるが、感度は多少低くなる。

次に、5.3で述べた方法によりGDUに等価変換を施したときの感度解析結果を図13に示す。これから分かるように、GDUに等価変換を施すと阻止域で大幅に感度が下がっている。また、通過域では感度特性が平坦になり、整合点以外での感度が下がっている。

7. むすび

本論文では、WDFの等価変換と感度について述べた。まず、等価変換により新しい直列および並列区間の実現回路を提案し、これを従来の回路と組み合わせ用いて低感度化を図る方法について述べた。次に、ポート抵抗整合方式と整合位置を変換するための等価変換、および各種のGDUの実現回路の間の等価変換について述べた。以上の等価変換により、従来のWDFから加算器数を減らしかつ低感度化したWDFへの変換が、再びアナログ領域に戻ることなく、可能となった。さらに、ポート整合方式およびGDUの実現回路

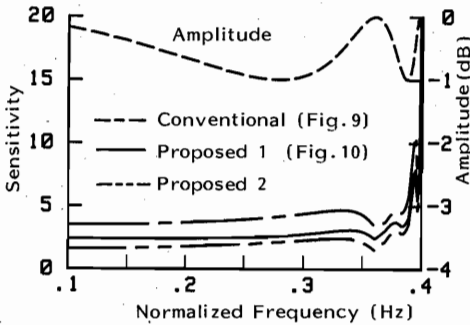


図12 通過域の感度特性
Fig.12 Worstcase sensitivity in passband.

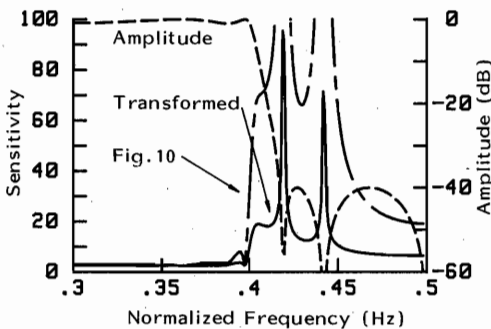


図13 阻止域の感度特性
Fig.13 Worstcase sensitivity in stopband.

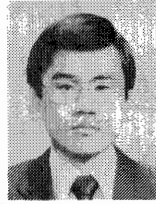
の違いによる感度特性の違いを調べ、例題により確かめた。その結果、従来の回路から本論文で提案する回路に等価変換することの妥当性が明らかになった。

謝辞 日頃から御指導頂き、本研究に対しても有益な御助言を頂いた東京工業大学の柳沢健教授ならびに藤井信生助教授に感謝する。

文 献

- (1) A. Fettweis : "Digital filter structures related to classical filter networks", Arch. Elektron. Übertragungstech., 25, pp.79-89 (Feb. 1971).
- (2) A. Sedlmeyer and A. Fettweis : "Realization of digital filters with true ladder configuration", 1973 IEEE ISCAS Proc., pp.149-152 (1973).
- (3) M. N. S. Swamy and K. S. Thyagarajan : "A new type of wave digital filter", J. Franklin Institute, 300, 1, pp.41-58 (July 1975).
- (4) S. Erfani and B. Peikari : "Digital design of general LC structures", IEEE Trans. Circuits & Syst., CAS-25, 5, pp. 269-272 (May 1978).
- (5) E. Watanabe and A. Nishihara : "Design of wave digital filters with simplified structures", Trans. IECE Japan, E68, 7, pp.441-447 (July 1985).
- (6) 渡部, 西原 : "ウェーブデジタルフィルタの等価変換と感度について", 信学技報, CAS85-13 (1985-07).
- (7) A. Fettweis and K. Meerkötter : "On adaptors for wave digital filters", IEEE Trans. Acoust., Speech & Signal Process., ASSP-23, 6, pp.516-525 (Dec. 1975).
- (8) 渡部英二 : "ウェーブデジタルフィルタ回路の等価変換とその応用", 信学技報, CAS83-215 (1984-03).
- (9) A. Fettweis : "On sensitivity and roundoff noise in wave digital filters", IEEE Trans. Acoust., Speech & Signal Process., ASSP-22, 5, pp.383-384 (Oct. 1974).
- (10) 渡部英二 : "無損失デジタル2ポート回路", 信学技報, CAS83-147 (1983-11).
- (11) 渡部, 西原 : "デジタルラティスフィルタ構成法の拡張", 信学論(A), J68-A, 11, pp.1209-1216 (昭60-11).

(昭和60年12月6日受付)



渡部 英二

昭56電通大・電気通信・電波通信卒。昭58同大学院修士課程了。同年東工大大学院博士後期課程入学。昭61同課程了。工博。同年同大学院総合理工学研究科物理情報工学専攻助手。低感度デジタルフィルタの研究に従事。



西原 明法

昭48東工大・工・電子物理卒。昭53同大学院博士課程了。工博。同年同大助手。現在同大理工学国際交流センター助教授。昭58~59チェコスロバキア科学アカデミー無線電子工学研究所客員研究員。回路理論および信号処理の研究に従事。IEEE会員。