

論文 / 著書情報  
Article / Book Information

題目(和文)	大規模並列システム上でのスレッディングモデルにおける並列性、データ移動、同期
Title(English)	Parallelism, Data Movement, and Synchronization in Threading Models on Massively Parallel Systems
著者(和文)	AMERABDELHALIM
Author(English)	Abdelhalim Amer
出典(和文)	学位:博士(理学), 学位授与機関:東京工業大学, 報告番号:甲第9744号, 授与年月日:2015年3月26日, 学位の種別:課程博士, 審査員:松岡 聡,遠藤 敏夫,吉瀬 謙二,増原 英彦,渡辺 治,ハラジ ハン
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第9744号, Conferred date:2015/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

## 論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Amer Abdelhalim		
論文審査 審査員		氏名	職名		氏名	職名
	主査	松岡 聡	教授	審査員	渡辺 治	教授
	審査員	遠藤 敏夫	准教授		BALAJI Pavan	Group Lead, MCS
		吉瀬 謙二	准教授			Division, Argonne
増原 英彦		教授		National Laboratory		

### 論文審査の要旨 (2000 字程度)

本論文は「Parallelism, Data Movement, and Synchronization in Threading Models on Massively Parallel Systems」と題し、マルチコアシステム上でスレッド並列のアプリケーションを実行する際の性能向上を実現するための手法を提案するもので、英語で記述され、全7章で構成されている。

第1章「Introduction」では、まず本研究に至る動機、そして現在および将来の並列計算機におけるスレッド並列モデルの問題点と、それらに対応する成果を述べている。

第2章「Background」では、本研究の背景として、特に問題点や提案内容を理解するために必要な知識を述べている。並列計算機ハードウェアの技術的な傾向とそのソフトウェア開発に対する影響、共有メモリプログラミングにおけるスレッド並列モデル、またMPIとスレッド並列を併用する場合に生じる問題についても述べている。

第3章「Related Work」では、同じ問題の解決を目指す既存研究について、本研究とはどこが異なるか、あるいは既存研究では何が足りていないかを述べている。

第4章「Efficient Parallel Execution on Multi-Cores」では、マルチコア搭載システムにおけるノード内スレッド並列の性能向上を実現する手法について述べている。まずバルク同期型やデータ駆動型のアプローチでは性能が低いことを示し、そこでスケーラブルな性能を得るためにタイリングと自動チューニングによる解決方法を提案し、それをデータ駆動型に適用した場合が最も有望なアプローチであることを、種々のベンチマーク等を通じて示している。

第5章「Characterizing MPI+ Threads Applications at Scale」では、幅優先探索アルゴリズムを対象にMPI+スレッドのハイブリッド並列モデルについて述べている。大規模実行時において、MPIのみの並列化と比較した場合のハイブリッド並列モデルの利点および欠点を示し、特にマルチスレッド対応MPIランタイムにおける競合問題について詳細な性能解析を行っている。

第6章「Mitigating Contention in Multithreaded MPI Runtimes」では、前章で述べたマルチスレッド対応MPIランタイムの問題について、詳細な分析を行い、クリティカルセクションのアービトレーションが競合問題の主要因であることを突き止めたことと述べている。一般的に用いられている排他ロック機構ではロック独占問題が生じるため、代わりにチケットロックを用いることでスレッド間の公平性を保つ手法と、チケットロックと組み合わせてプライオリティの異なる2種類のロックを用い、通信状況に合わせてプログレスループに入ったスレッドのプライオリティを下げる手法を提案し、ゲノムアセンブリ等の実アプリケーションを含む数々のベンチマークを用いて有意な性能向上があることを確認している。

第7章「Conclusion」では、本研究の総括を述べるとともに、今後の方向性を示している。

以上のように、本論文はスレッドレベル並列における性能低下問題を解決する手法を提案し、その有効性を確認しており、理學上貢献するところ大である。よって本論文は博士(理学)の学位論文として十分価値があるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。