

論文 / 著書情報  
Article / Book Information

題目(和文)	電荷領域時間デジタル変換器および 分数周波数シンセサイザーへの応用
Title(English)	Charge-Domain Time-to-Digital Converter and Its Application to Fractional-N Frequency Synthesizer
著者(和文)	徐祖楽
Author(English)	Zule Xu
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第9896号, 授与年月日:2015年3月26日, 学位の種別:課程博士, 審査員:松澤 昭,益 一哉,岡田 健一,伊藤 浩之,鈴木 左文,滝波 浩二
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第9896号, Conferred date:2015/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

## 論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	徐 祖楽	
		氏名	職名	氏名	職名
論文審査 審査員	主査	松澤 昭	教授	鈴木 左文	准教授
	審査員	益 一哉	教授	滝波 浩二	パナソニック チームリーダー
		岡田 健一	准教授		
		伊藤 浩之	准教授		

### 論文審査の要旨 (2000 字程度)

本論文は“Charge-Domain Time-to-Digital Converter and Its Application to Fractional-N Frequency Synthesizer (電荷領域動作を用いた時間デジタル変換器とその分数分周周波数シンセサイザへの応用)”と題し、英文7章からなっている。

第1章“Introduction (序論)”では、本研究の背景と目的および本論文の構成が述べられている。これまでの時間デジタル変換器(TDC)の課題、提案するTDCに電荷領域動作を用いた理由、位相同期ループ(PLL)の課題および本研究の目的が述べられている。

第2章“Overview of Digital TDCs (デジタル型TDCの概要)”では、これまでに提案されているデジタル型TDCについて論じ、その特長と課題を整理している。

第3章“Revisit of Analog Approach and a Proposed Charge-Domain TDC (アナログ技術への回帰と提案する電荷領域動作を用いたTDC)”ではアナログ技術を用いたTDCと、提案する電荷領域動作を用いたTDCについて述べられている。これまでのカウンタや $\Delta\Sigma$ 変調技術を用いたTDCでは分解能や帯域に限界があることをアナログデジタル変換器(ADC)の原理により説明している。また、逐次比較型ADC(SAR ADC)がエネルギー効率と面積において、最も優れたA/D変換方式であることを明らかにしている。更にGm-C積分器とSAR ADCを用いたTDCを提案し、90nm CMOS技術を用いた設計試作により1psの分解能を得たが、消費電力と面積に課題があり、更なる改良が必要なが述べられている。

第4章“Toward Sub-Picosecond Resolution, High Energy Efficiency, and Small Area (サブピコ秒, 高エネルギー効率, および小面積に向けて)”では提案する、チャージポンプとSARを用いたTDCについて述べられている。雑音解析を中心に設計指針が示され、65nm CMOS技術を用いた設計試作により0.8psの分解能、50MS/sの変換速度と、世界最小レベルの2.9mWの消費電力および0.018mm<sup>2</sup>の面積を達成したことが述べられている。

第5章“Design Considerations on Digital Fractional-N Frequency Synthesizer (デジタル分数分周周波数シンセサイザの設計)”においてはデジタル分数分周周波数シンセサイザと、使用するTDCの要求性能について述べられており、提案するTDCの使用により、-107dBc/Hzの低い帯域内位相雑音の達成が期待できることが述べられている。

第6章“Digital Fractional-N Frequency Synthesizer Using Charge-Domain TDC (電荷領域動作TDCを用いたデジタル分数分周周波数シンセサイザ)”においては、提案するTDCを用いたデジタル分数分周周波数シンセサイザの設計と試作結果について述べられている。より良好な特性を得るために、バラクタや $\Delta\Sigma$ 変調技術を用いない7kHz分解能のデジタル制御発振器や、自動的に各部の利得のマッチングを補正する2重ループ最小二乗誤差補正回路の提案を行っている。65nm CMOSによる設計試作の結果、見積りの結果と合致した-107dBc/Hzの低い帯域内位相雑音が分数分周動作時で得られたことや、0.425psのジッタ、-238.4dBのFoM、8mWの消費電力と0.38mm<sup>2</sup>の占有面積を実現し、これまでのアナログ分数分周周波数シンセサイザの性能を凌ぎ、デジタル分数分周周波数シンセサイザの最高性能のものと比較して遜色が無い性能を達成したことが述べられている。

第7章“Conclusion and Future Works (結論と今後の課題)”では、本研究のまとめ、低電力かつ小面積のサブpsのTDCの実現と、それを用いて低位相雑音かつ広帯域のデジタル分数分周周波数シンセサイザを実現したこと、今後の課題とその対策が述べられている。以上を要するに本論文は電荷領域動作のTDCと、それを用いたデジタル分数分周周波数シンセサイザについて論じたもので、工学上、学術上貢献するところが大きい。よって我々は本論文が博士(学術)の学位論文として十分に価値があるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。