

論文 / 著書情報
Article / Book Information

題目(和文)	バックグラウンド補正付きフラッシュ型A/D変換器に関する研究
Title(English)	Study of Flash Analog-to-Digital Converters with Background Calibration
著者(和文)	塚本三六
Author(English)	Sanroku Tsukamoto
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第9935号, 授与年月日:2015年6月30日, 学位の種別:課程博士, 審査員:松澤 昭,益 一哉,高木 茂孝,岡田 健一,伊藤 浩之
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第9935号, Conferred date:2015/6/30, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	塚本 三六	
論文審査 審査員		氏名	職名	氏名	職名
	主査	松澤 昭	教授	伊藤 浩之	准教授
	審査員	益 一哉	教授		
		高木 茂孝	教授		
岡田 健一		准教授			

論文審査の要旨 (2000 字程度)

本論文は“Study of Flash Analog-to-Digital Converters with Background Calibration(バックグラウンド補正を用いたフラッシュ A/D 変換器の研究)”と題し、英文六章から構成される。

第一章“Introduction(序論)”では本研究の背景と目的について述べられている。A/D 変換器の方式毎の性能分布を示し、フラッシュ型 A/D 変換器の技術トレンドを論じると共に、実用上の観点から本研究の対象となった A/D 変換器に対する要求について述べている。その要求に対する A/D 変換の分解能および変換速度の向上とアナログ信号及び比較基準電圧への負荷軽減を同時に実現することを、本研究の目的としたことが述べられている。

第二章“High-speed analog-to-digital converters(高速 A/D 変換器)”では本研究の背景となる従来の高速 A/D 変換器の一般的な回路技術について述べている。A/D 変換器の性能指標、フラッシュ型 A/D 変換器の性能領域をカバーする可能性のある A/D 変換器の方式全般について述べ、更にフラッシュ型 A/D 変換器に使われる比較器、オフセット補償技術、平均化技術、補間回路技術、エンコーダ方式と補正方法等の手法について示し、従来技術とその課題や研究背景を明らかにしている。

第三章“Flash ADC with background calibration(バックグラウンド補正を用いたフラッシュ A/D 変換器)”では提案した各回路技術について述べている。第 1 節では基本となる比較器の動作、特性と素子定数の関係や問題点等を示し、アナログ信号及び比較基準電圧への負荷軽減のために、比較器の動作モードを従来方式とは逆に設定したときの効果と課題を示している。第 2 節では比較器のオフセット補償のためのバックグラウンド補正技術について述べられている。第 1 節で示した比較器の動作モードを逆転させることによる発生する 2 つの課題である、1) 補正のために A/D 変換動作を中断する必要があることと、2) トラックアンドホールドの機能が失われることに対する対応策を提案している。1) に対しては比較器を必要数より一つ多く配置して冗長性を持たせ、その冗長性を利用してバックグラウンドで順次補正を実行する方式を提案している。2) に対しては増幅器の段間に双方向ダイオード接続の NMOS トランジスタを挿入することによりリカバリ特性を改善している。さらに 1) を適用する場合の比較器の切り替えシーケンスについての問題点を示し、この問題を補正から通常動作に復帰する際にアイドル期間を設定することで解決している。第 3 節では第 2 節のバックグラウンド補正の基本的な設定をもとに、更に分解能を 1 ビット高めつつ、アナログ信号への負荷を 1/4 に軽減するための比較器の回路構成、2 ビットの補間技術、オフセット補償方法などについて述べるとともにインパルス応答を用いた解析結果が示されている。第 4 節ではアナログ信号とクロック配線の実レイアウトについて述べられている。

第四章“Design of encoder(エンコーダ設計)”ではフラッシュ型 A/D 変換器のエンコーダ部のエラー検出と訂正機能について述べられている。バイナリーコードとグレーコードを組み合わせたコード形式と、最下位ビットのグレーコードを分解することで、上位ビットとの論理処理によって比較器出力中のパルスエラーを検出し、訂正する機能が示されている。これにより比較器に 2LSB 相当の誤判定が発生しても、最も確からしい値への訂正が可能となることが示されている。

第五章“Experimental results(評価結果)”は本研究に関する試作チップの概要と測定結果が示されている。バックグラウンド補正制御クロックの周波数成分がスプリアスとして出現することが将来的な課題となることが述べられ、解決策の一つとしてバックグラウンド補正を固定期間とせず、キャリブレーションが収束次第次のステートに移る、非同期のバックグラウンド補正技術が示されている。

第六章“Conclusion(結論)”では以上を総括するとともに、本研究の目的であったアナログ信号及び比較基準電圧への負荷が其々約 1/16、1/500 に軽減されたことを示すと共に、本研究によって明らかになった課題と高速 A/D 変換器の今後の進化予測について述べられている。

以上を要するに、本論文はフラッシュ A/D 変換器のアナログ信号および比較基準電圧への負荷低減を目的として、バックグラウンド補正を採用した解決手法、フラッシュ型 A/D 変換器の回路技術とシステム技術、誤差補正技術について論じたもので、工学上、工業上貢献するところが大きい。よって我々は本論文が博士(工学)の学術論文として十分に価値があるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。