

論文 / 著書情報
Article / Book Information

題目(和文)	高速無線通信に向けた低消費電力かつ低ジッタ周波数シンセサイザの研究
Title(English)	Low-Power and Low-Jitter Frequency Synthesizers for High-Speed Wireless Communications
著者(和文)	SIRIBURANONT
Author(English)	Teerachot Siriburanon
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10248号, 授与年月日:2016年3月26日, 学位の種別:課程博士, 審査員:岡田 健一,松澤 昭,益 一哉,高木 茂孝,伊藤 浩之,滝波 浩二
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第10248号, Conferred date:2016/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第		号	学位申請者氏名		Teerachot Siriburanon	
論文審査 審査員		氏 名		職 名		氏 名	職 名
	主査	岡田 健一		准教授		伊藤 浩之	准教授
	審査員	松澤 昭		教授	審査員	滝波 浩二	パナソニック 主幹
		益 一哉		教授			
		高木 茂孝		教授			

論文審査の要旨（2000 字程度）

本論文は“Low-Power and Low-Jitter Frequency Synthesizers for High-Speed Wireless Communications (高速無線通信に向けた低消費電力かつ低ジッタ周波数シンセサイザの研究)”と題し、英文七章からなっている。

第一章“Introduction (序論)”では、ミリ波帯無線通信に関する広範な技術背景について説明し、周波数シンセサイザに要求される性能について論じている。理論解析を通してジッタの要求性能の見積もり結果を示している。CMOS 集積回路技術と搬送波周波数の向上から、要求性能を満たしうる技術候補について論じている。

第二章“Fundamental of Frequency Synthesis (周波数生成の基礎)”では、位相同期回路(PLL: Phase-Locked Loop)の動作原理や、評価指標である位相雑音やジッタについて説明している。アナログ型 PLL のみならず、ディジタル型 PLL についても動作原理や技術課題について論じている。

第三章“Low-Power and Low-Phase-Noise VCO (低消費電力かつ低位相雑音な電圧制御発振器)”では、PLL の要素回路である電圧制御発振器(VCO: Voltage-Controlled Oscillator)について、低消費電力化および低位相雑音化について論じている。従来の Class-C 型 VCO では、起動時と発振安定時に最適なバイアス電圧が異なることに着目し、発振振幅に応じて動的にバイアス電圧が変化する Class-C 型 VCO を提案している。CMOS 集積回路として試作し、1MHz 離調周波数で-121dBc/Hz の位相雑音特性を実測により確認している。発振周波数は 4.9GHz で、その際の消費電力は 4.8mW であり、目標とする低消費電力かつ低位相雑音な特性を達成している。また、ミリ波帯での位相雑音改善のため、push-push 構成による方式を検討し、60GHz 帯発振器の試作測定結果において、1MHz 離調周波数で-96dBc/Hz の位相雑音を達成している。

第四章“mm-Wave Sub-Sampling PLL in Sub-Harmonic Injection-Locked Architecture (サブハーモニック注入同期構成におけるミリ波サブサンプリング PLL)”では、60GHz 帯 PLL の構成方法について提案している。PLL 自体の通倍比を下げるため、基準クロックを 2 倍にする回路と、PLL の出力周波数を注入同期技術を用いて 3 倍にする通倍回路を用いる提案構成について説明し、その実現のために必要な回路ブロックの構成方法について述べている。また、PLL 自体の帯域内位相雑音の改善が可能なサブサンプリング位相同期をミリ波帯において実現する方法について説明しており、注入同期型の分周器についてロックレンジを含めた解析について詳述している。

第五章“Low In-Band Phase-Noise mm-Wave Fractional-N PLL for 5G Mobile Communications (ミリ波帯周波数シンセサイザの帯域内位相雑音の改善)”では、第 5 世代携帯電話に用いる 28GHz 帯 PLL の検討結果について説明し、電流オフセットを持つチャージポンプ回路とスイッチング型ループフィルタにより帯域内位相雑音を下げる方法について論じている。試作した PLL は、ミリ波帯において最も低ジッタかつ低消費電力な特性の両立に成功し、提案回路の有効性を実証している。

第六章“Low In-Band Phase-Noise All-Digital PLL in Digital Sub-Sampling Architecture (ディジタルサブサンプリング技術による低位相雑音ディジタル PLL)”では、従来のディジタル PLL が時間ディジタル変換器を用いていたのに対し、アナログディジタル変換器を用いるディジタル PLL を提案している。位相雑音の改善のために必要な高分解能かつ低雑音な位相差検出が可能であることを理論および実測により示している。また、電圧サンプリングによるディジタル PLL 技術の利点について包括的に論じている。

第七章“Conclusions (結論)”では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。

以上を要するに、本論文は低消費電力かつ低ジッタなミリ波帯周波数シンセサイザについて論じたもので、工学上、学術上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。