

論文 / 著書情報
Article / Book Information

題目(和文)	ECRスパッタ法によるHfN/HfSiON構造のin-situ形成プロセスと3次元ゲートデバイス応用に関する研究
Title(English)	
著者(和文)	佐野貴洋
Author(English)	Takahiro Sano
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第8800号, 授与年月日:2012年3月26日, 学位の種別:課程博士, 審査員:大見 俊一郎
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第8800号, Conferred date:2012/3/26, Degree Type:Course doctor, Examiner:
学位種別(和文)	博士論文
Type(English)	Doctoral Thesis

ECR スパッタ法による
HfN/HfSiON 構造の
in-situ 形成プロセスと
3次元ゲートデバイス応用に関する研究

平成 23 年 12 月

指導教官 大見 俊一郎 准教授

大学院博士課程
物理電子システム創造専攻
佐野 貴洋

内容梗概

CMOSの更なるスケールリングを進めるために、MOSFETの微細化に伴うショートチャネル効果の抑制が喫緊の課題となっている。近年、微細化に見合ったオン電流を得るために、3次元構造MOSFETの研究が盛んに行われている。また、従来のpoly-Si/SiO₂構造の薄膜化は限界をむかえており、3次元構造上においてもゲート絶縁膜として高誘電率(high-k)材料、ゲート電極として金属を用いるMG/HKゲートスタック構造を用いることが必要である。High-k材料の中でも有望なHfO₂は高温熱処理において結晶化やHfO₂/Si界面での低誘電率界面層(IL)形成といった耐熱性の問題がある。また、Hf系酸化物の堆積方法として主に使用されている化学気相成(CVD)法ではプリカーサの残留成分として炭素や塩素が膜中に残留し、SiO₂換算膜厚(EOT)が1nm以下となるような極薄膜の形成においてはリーク電流増大等の課題がある。

そこで本研究では、低ダメージなプラズマにより高品質な薄膜形成が可能なECRスパッタ法を用いて、チャンバー間の移動による汚染の影響を抑制できる、1チャンバーでのin-situプロセスにより、high-k膜としてHfO₂にSiとNを導入することで耐熱性を向上した高誘電率を有するHfSiON薄膜を、ゲート電極としてhigh-k膜と同じ金属であるHfを用いた耐熱性の良好なHfNを用いた極薄EOTを維持しつつ界面特性の良好なHfN/HfSiON構造を3次元構造上へ形成することを目的とする。スパッタ堆積時の成膜室内圧力を増加させることで、3次元構造側壁部に堆積される薄膜の膜質を向上できるという報告があることから、成膜時の成膜室内圧力を検討することで、平面部に形成した場合の膜質を維持しつつ、側壁部にも被覆性の良いHfN/HfSiON構造が形成可能であると考えられる。

まず、HfON薄膜の形成プロセスの最適化を目的として、HfON形成方法としてHfO₂のプラズマ窒化およびHfNのプラズマ酸化をp-Si(100)平面上で比較検討を行った。ECRスパッタ法により、0.19 Paで堆積したHfNのプラズマ酸化によりin-situ形成したHfON薄膜において、800°C/1 minでのPost Deposition Annealing(PDA)を行った場合、p-Si(100)平面上におけるHfON薄膜の形成方法としては絶縁膜中の窒素および酸素の組成が制御でき、HfO₂のin-situプラズマ窒化と比較してEOTを5 nm程度から0.92 nmまで極薄膜化することができるHfNのin-situプラズマ酸化プロセスが適していることが分かった。そこで、更なる薄膜化とHfNのプラズマ酸化プロセスを用いて形成したHfONと、堆積前に形成する化学酸化膜のPDA時の反応を利用してHfSiONを形成することを目的として、化学酸化膜の膜厚0.7 nmと同等の膜厚である1 nmまで堆積するHfNの膜厚を

減少させることで HfSiON が形成でき、EOT を 0.84 nm まで薄膜化できることを明らかにした。

次に、HfSiON の高誘電率化を目的として HfN/HfSiON ゲートスタック構造の in-situ 形成に関する検討を行った。まず、400 W で堆積した HfN は 4.8 eV を有し、HfN/HfSiON ゲートスタック構造で HfN を選択エッチングするには、HfN の選択比が高く、エッチング時間の短い HF:H₂O₂:H₂O=1:2:40 混合溶液が適している事が分かった。また、in-situ で形成した HfN/HfSiON 構造の PDA 条件を検討し、界面準位密度が低くヒステリシス幅の小さい C-V 特性の得られる 600°C/15 s の PDA により p-Si(100)平面上において HfSiON の比誘電率を 24 程度まで高誘電率化し、EOT:0.5 nm を実現した。また、3 次元ゲート構造側壁部の面方位となる p-Si(110)平面上においても表面ラフネスの増大によりわずかに厚膜化するものの EOT:0.56 nm が得られることを明らかにした。また、p-Si(100)面上において in-situ プロセスにより形成することで界面特性を向上し、Hf 系の絶縁膜におけるリーク電流の報告例と比較して EOT を低減すると同時にリーク電流を 1 桁程度低減できることを明らかにした。さらに、3 次元構造上に形成した HfN/HfSiON 構造において EOT:0.53 - 0.54nm が得られたが、側壁部の膜厚減少およびラフネスの影響によりリーク電流が増大することが分かった。

最後に、in-situ 形成した HfN/HfSiON ゲートスタック構造を用いた MOSFET に関する検討を行った。In-situ 形成した HfN/HfSiON 構造をゲートとして用いた Planar MOSFET として初めて FET 動作を確認し、実効移動度の PDA 温度依存性から PDA 温度を従来の 800°C から 600°C に低減することで N 原子のチャネル側への拡散による Si-N 結合に起因するクーロン散乱の影響を抑制し、低電界側での移動度を改善できることを明らかにし、本研究で提案したゲートスタック構造形成プロセスの 3 次元デバイス応用における優位性を示した。

論文目次

第1章 序論	1
1.1 エレクトロニクス社会における LSI 微細化の重要性	1
1.2 MOSFET における metal gate/high-k 構造の必要性	3
1.2.1 Poly-Si/SiO ₂ 構造における問題点	3
1.2.2 MOSFET に用いられる high-k 材料	5
1.2.3 MOSFET に用いられる metalgate 材料	9
1.2.4 ECR スパッタ法による HfN/HfSiON 構造形成の利点と課題	10
1.3 MOSFET における 3次元構造チャネルの必要性	15
1.3.1 ゲート長縮小によるショートチャネル効果のデバイスへの影響	15
1.3.2 ショートチャネル効果抑制における 3次元構造チャネルの利点	17
1.3.3 Tri-gate MOSFET の利点と課題	18
1.4 3次元構造上への metal gate/high-k 構造の形成	21
1.5 本論文の目的と構成	23
参考文献	25
第2章 試料作製方法および評価方法	31
2.1 試料作製方法	31
2.1.1 基板洗浄方法	31
2.1.2 電子サイクロトロン共鳴(ECR)スパッタ法	32
2.1.3 高速熱処理(RTA)法	34
2.1.4 ステッパ	35
2.1.5 マスクアライナ	37
2.1.6 誘導結合プラズマ型反応性イオンエッチング(ICP-RIE)法	38
2.1.7 イオン注入法	39
2.1.8 熱酸化法	41
2.1.9 真空蒸着法	42
2.2 評価方法	43
2.2.1 容量-電圧(C-V)法	43
2.2.1.1 SiO ₂ 換算膜厚(EOT)	44
2.2.1.2 フラットバンド電圧	45
2.2.1.3 ヒステリシス	45
2.2.2 電流-電圧(J-V)法	48
2.2.3 走査型電子顕微鏡(SEM)	51
2.2.4 透過型電子顕微鏡(TEM)	53

2.2.5	X線光電子分光(XPS)法	54
2.2.6	X線回折(XRD)法	55
2.2.7	原子間力顕微鏡(AFM)	57
2.2.8	段差測定法	58
2.2.9	四探針法	59
	参考文献	61
第3章	3次元構造上への高誘電率 HfSiON 薄膜の形成	62
3.1	HfON 形成プロセスの検討	62
3.1.1	試料作製方法	62
3.1.2	HfO ₂ の in-situ プラズマ窒化による HfON 薄膜形成	66
3.1.2.1	HfO ₂ 堆積時の成膜室内圧力依存性	66
3.1.2.2	被覆性の成膜室内圧力依存性の評価	68
3.1.3	HfN の in-situ プラズマ酸化による HfON 薄膜形成	70
3.1.3.1	HfN 堆積時の成膜室内圧力の検討	70
3.1.3.2	HfN の in-situ プラズマ酸化時間の検討	72
3.2	3次元構造上における電気的特性	74
3.2.1	試料作製方法	75
3.2.2	3次元構造上への HfON 形成の検討	78
3.2.3	Post etching annealing によるエッチングダメージ回復の検討	82
3.3	HfN 膜厚依存性の検討	85
3.3.1	試料作製方法	87
3.3.2	膜質の評価	88
3.3.3	電気的特性の評価	89
3.4	本章のまとめ	90
	参考文献	91
第4章	HfN/HfSiON 構造の in-situ 形成プロセスと 3次元構造上への形成	93
4.1	HfN 電極形成の検討	93
4.1.1	試料作製方法	93
4.1.2	HfN 電極の電気的特性の評価	99
4.1.3	HfN と HfSiON の選択エッチングの検討	101
4.1.4	Ex-situ で形成した Al 電極との比較	103
4.2	HfN/HfSiON 構造の異種面方位上への形成に関する検討	104
4.2.1	試料作製方法	105
4.2.2	p-Si(100)および p-Si(110)平面上におけるアニール条件依存性	106

4.2.3	界面における結合状態の基板面方位依存性	119
4.2.4	選択エッチングプロセスによる界面の基板面方位依存性の検討	120
4.3	3次元構造上への形成	124
4.3.1	試料作製方法	124
4.3.2	電気的特性の評価	126
4.3.3	リーク電流の Line 幅依存性	127
4.4	本章のまとめ	132
	参考文献	133
第5章 HfN/HfSiON 構造をゲートに用いた MOSFET の作製		135
5.1	Planar MOSFET の作製	135
5.1.1	試料作製方法	135
5.1.2	MOSFET の電気的特性の評価	137
5.1.3	MOSFET の移動度の PDA 温度依存性	142
5.2	Tri-gate SOI-MOSFET の作製プロセスの検討	144
5.2.1	3D SOI-MISFET の作製方法	144
5.2.2	Tri-gate MOSFET 作製に使用するマスクの設計	147
5.3	本章のまとめ	151
	参考文献	152
第6章 結論		153
6.1	本研究で得られた結論	153
6.2	今後の課題と展望	155
	謝辞	156
	関連発表	157
付録		
A.	planar MOSFET 作製用マスク	160
B.	planar MOSFET 作製プロセスの詳細	162

第 1 章

序論

- 1.1 エレクトロニクス社会における LSI 微細化の重要性
- 1.2 MOSFET における metal gate/high-k 構造の必要性
- 1.3 MOSFET における 3 次元構造チャネルの必要性
- 1.4 3 次元構造上への metal gate/high-k 構造の形成
- 1.5 本論文の目的と構成

第1章 序論

1.1 エレクトロニクス社会における LSI 微細化の重要性

近年、電気を用いるあらゆる製品において用いられている、と言っても過言ではない半導体の市場規模が拡大している。半導体デバイスは 20 世紀初頭に発明された真空管から始まり、その後半導体トランジスタが Shockley らにより発明され、半導体集積回路 (Integrated Circuit IC) の基本概念が Kilby により構築された。消費電力が大きく、耐久性に問題があった真空管から、最初にとって代わったのはバイポーラ・トランジスタであったが、バイポーラ・トランジスタは電流駆動型のデバイスであり、依然として消費電力は大きい。また、半導体基板表面に対して垂直方向に電流を流すデバイスとなるので、製造プロセスが複雑になり、集積化も難しい。そこで、1 デバイスあたりのサイズの微細化が比較的容易で、微細化することにより高速化・低消費電力化・低コスト化が同時に達成される MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) が使われるようになってきた。MOSFET はバイポーラ・トランジスタと違って電圧駆動型のデバイスであるため、消費電力を低く抑えることができる。さらに n 型と p 型の MOSFET を組み合わせて構成した CMOS (Complementary MOS) により定常的に流れる電流を低減し、更なる低消費電力化を達成し、現在の半導体集積回路を支えている。

主力となる半導体デバイスがバイポーラ・トランジスタから MOSFET に移っていったのは比較的容易に微細化することが可能で、微細化と同時に高速化・低消費電力化・低コスト化が実現可能であったからで、半導体デバイスにおいて微細化を図ることは重要な課題である。

特に近年は飛躍的に増大する画像データの処理やネットワークを介しての高速通信の需要と急拡大している各種情報機器の要請から、プロセッサやシステム LSI の低電圧での高速性能の要求は今後ますます増大していく。今日まで LSI はその中に組み込まれているデバイスである MOSFET を微細化することによって集積度、性能、コストを飛躍的に向上させてきた。下記に MOSFET の駆動電流 I_D の式を示す。

$$I_{D,sat} = \mu_{eff} C_{ox} \frac{W}{L_g} \frac{(V_g - V_t)^2}{2m} \quad (1.1)$$

ここで、 μ_{eff} : 実効移動度、 C_{ox} : 単位面積当たりのゲート酸化膜容量、 m : ボディ効果係数、 W : チャネル幅、 L_g : ゲート長、 V_t : しきい値電圧である。 $(V_g - V_t)$ の項は信頼性の点から制限される。つまり、 V_g を大きくしすぎると酸化膜に高電界がかかり、絶縁破壊を招いてしまう。また、室温で V_t は $kT \sim 26$ mV であるため、200 mV 以下には低減できないといわれている。そのため、ゲート長 L_g の微細化と酸化膜容量 C_{ox} の増加によって、駆動電流の増加を実現させてきた。酸化膜容量 C_{ox} は以下の式で表されるため、その膜厚 t_{ox}

を微細化していくことにより酸化膜容量 C_{ox} の増大を図ってきた。

$$C_{ox} = \frac{\epsilon_r \epsilon_0}{t_{ox}} \quad (1.2)$$

図 1.1 に ITRS2010 によるゲート長 L_g と SiO_2 換算膜厚 EOT の将来予測を示す[1]。ここで、EOT とは SiO_2 換算膜厚(Equivalent Oxide Thickness)であり、後述する比誘電率が SiO_2 と比較して大きい high-k と呼ばれる材料を用いた際に、 C_{ox} から SiO_2 に換算した膜厚で、以下の式で表される。

$$EOT = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{high-k}}} t_{\text{high-k}} \quad (1.3)$$

図 1.1 から素子の高速化のため、ゲート長 L_g と EOT が共に微細化していくことが分かる。近年まではこの微細化の要求を MOSFET に対するスケーリング則に従って実現してきた。スケーリング則では垂直方向の寸法を水平方向の寸法と共に縮小し、電源電圧も同様に低下させつつ基板不純物濃度を増大させることによって、MOSFET の性能や集積度を向上させることが可能である。つまり、ゲート酸化膜厚 EOT、ゲート長 L_g 、ゲート幅 W を $1/k$ に縮小することで CVI に比例するゲート遅延は $1/k$ 倍になり、素子のスピードは k 倍になり、電力消費は VI に比例するため $1/k^2$ 倍に低減される。また、集積度は k^2 倍になる。半導体デバイスの微細化は、1.5~2 年で集積度が 2 倍になるという経験則に基づいたムーアの法則を見事に守りながら指数関数的に進んできた。2009 年にはついにプロセスノード 32 nm までが量産化されており、さらなる微細化に向けて研究が行われている。

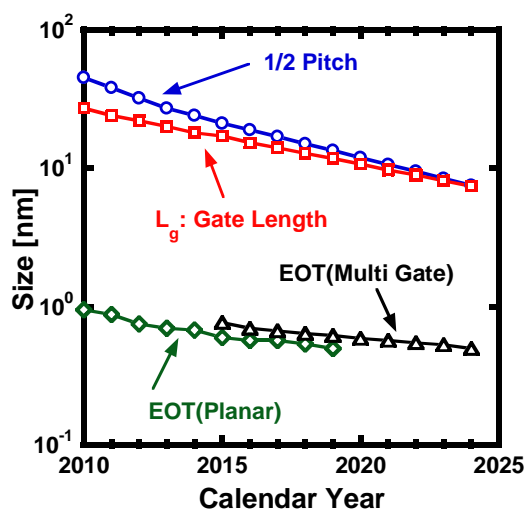


図 1.1 ゲート長とゲート酸化膜厚 EOT の将来予測[1]

1.2 MOSFETにおける metal gate/high-k 構造の必要性

前述したように、高いオン電流を得るためには、ゲート絶縁膜の薄膜化が必要であり、ゲート長 sub 10 nm の世代ではゲート絶縁膜厚を 0.6 nm 以下に薄膜化する必要がある[1]。しかし、ゲート絶縁膜材料に SiO_2 を用いた場合、直接トンネルによりゲート絶縁膜を介して流れるリーク電流の問題から、0.5 nm の薄膜化は不可能であると考えられる。そこで、絶縁膜の物理膜厚を薄膜化せずに酸化膜容量を増大させることのできる high-k 膜を絶縁膜として用いることが必須となると考える。さらに、従来の電極材料として用いられてきた poly-Si ゲート電極においては、空乏層形成による C_{ox} の低下や高抵抗化による遅延が問題となっており、より低抵抗な金属をゲート電極材料として用いることが必要とされている。

本節では metal gate/high-k 構造の必要性について説明する。

1.2.1 Poly-Si/SiO₂ 構造における問題点

今日まで MOSFET のゲート絶縁膜には SiO_2 膜、ゲート電極には poly-Si が用いられてきた。その理由としては、 $\text{Si}(100)$ 基板を熱酸化させることにより、高品質な SiO_2 膜の作製が可能であること、良好な SiO_2/Si 界面、良好な熱安定性、広いバンドギャップ (9 eV)、poly-Si 電極および S/D 領域へのインプラを一度に行うことができる self-align プロセスの適用が可能であることなどが挙げられる。しかし、近年この poly-Si/SiO₂ 構造のスケールが限界に近づいてきている。その主な原因は薄膜化に伴う直接トンネルリーク電流の増大である。直接トンネルリーク電流は薄膜化に伴い指数関数的に増加し、消費電流の増大を招く。図 1.2 に ITRS2010 で示されている酸化膜厚の各世代における用途に応じた許容できるリーク電流密度と SiO_2 を用いた場合のリーク電流の酸化膜厚依存性を示す[1]。消費電力よりも高速性が重視される高速用素子(HP: High Performance)、ノートパソコンなどで用いられる低動作電力用素子(LOP: Low Operation Power)においては、 SiO_2 を用いた微細化ではリーク電流が許容範囲を超えていることが分かる。携帯電話などで用いられる低待機電力用素子(LSTP: Low Stand by Power)ではさらに低いリーク電流が要求されている。また、このリーク電流の増大によるゲート電極内部の電圧降下が原因で薄膜化により期待されるほど駆動電流が増加しないことなどが懸念されている。直接トンネルリーク電流以外の薄膜化に伴う問題として

- ・ poly-Si ゲート電極の空乏化による C_{ox} の低下
- ・ poly-Si ゲート電極の高抵抗化による RC 遅延の増大
- ・ ボロンの突き抜け

ゲート絶縁膜の薄膜化による poly-Si ゲート電極からのボロンの突き抜けも問題となっている。2 nm 以下の酸化膜厚では熱処理に伴いボロンが poly-Si ゲート電極からゲート絶縁膜を通り Si 基板に浸透してしまい、閾値の変動などを引き起こしてしまう。

- ・フェルミレベルピニング

ゲート絶縁膜の薄膜化により正常なバンドギャップを維持することが困難になってきている。

などが挙げられる。以上のような問題から、 SiO_2 の薄膜化は1-1.2 nm程度が限界であると考えられている。そこで、近年、絶縁膜厚を薄膜化せずに酸化膜容量を増大させることができる高誘電率絶縁膜(high-k膜)、および低抵抗な金属を用いた metal gate 電極の研究が盛んに行われるようになってきた。

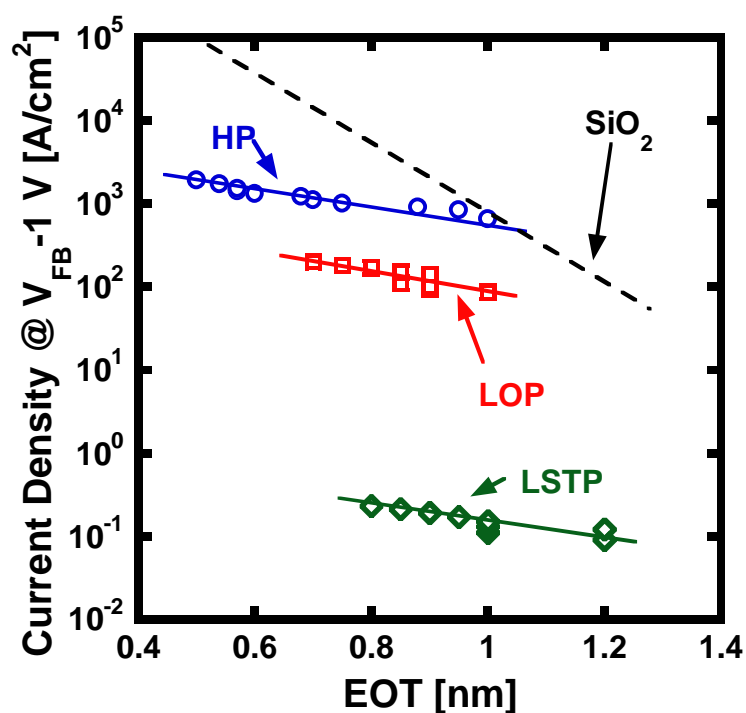


図 1.2 SiO_2 のリーク特性と各アプリケーションにおけるリーク電流への要求

1.2.2 MOSFET に用いられる high-k 材料

次に高誘電率ゲート絶縁膜に求められる諸問題について述べる。ゲート絶縁膜として高誘電率絶縁膜を用いる根本的な理由は上記のように比誘電率の高い絶縁膜を用いて薄膜化せずに酸化膜容量を高くすることによって、リーク電流の低減を試みることである。そのため、高い比誘電率が求められるのは当然であるが、それだけではない。以下に高誘電率ゲート絶縁膜に求められる特性を示していく [2]。

(1)高い誘電率

誘電率が高いほど酸化膜容量が大きくなるため、高いほうが好ましいように思われるが、比誘電率が高いとゲート絶縁膜を介して電界が横方向に浸透し、DIBL(Drain Induced Barrier Lowering)による短チャネル効果が顕著になる。そのため、比誘電率は 50 以下にする必要があると報告されている [2]。

(2)広いバンドギャップ

直接トンネルリーク電流は酸化膜厚と同様にキャリアに対する障壁に対しても指数関数的に変動する。つまり、誘電率の高い材料を用いて膜厚を厚くしてもその材料のバンドギャップが小さければ結果として大きなリーク電流が流れてしまう。しかし、一般的に比誘電率が高い材料であるほどバンドギャップは小さくなってしまふ [3]。そのため、比誘電率とバンドギャップの広さをバランスよく考える必要がある。

(3)Si 基板上における安定性

高誘電率絶縁膜を成膜した際に高誘電率絶縁膜と Si 基板間に低誘電率の界面層が形成されないようにすることも重要である。低誘電率の界面層が形成されると酸化膜容量が減少してしまう。

(4)結晶状態

素子間のばらつきやリーク電流の観点から考えると結晶状態は非晶質か単結晶が望ましい。なぜなら、多結晶の場合その粒界を介してリーク電流が増大してしまうからである。

(5)耐熱性

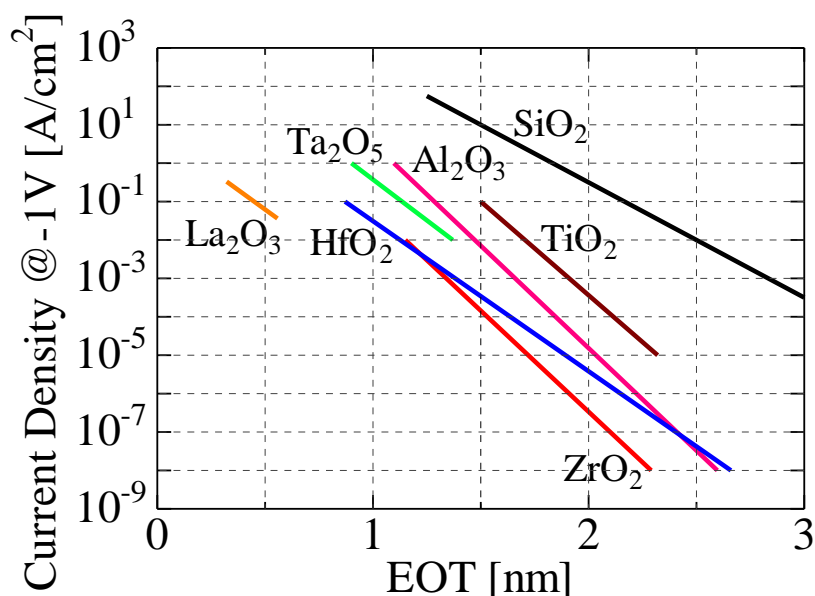
MOSFET 作製の際には様々な熱処理が施される。特にイオン注入後の活性化アニールでは 1000°C 程度のプロセス温度となる。そのような高温の熱処理後においても界面層の形成や結晶化が生じないような耐熱性を有していることが望ましい。

(6)良好な high-k/Si 界面

良好な MOSFET 特性を得るためには良好な high-k/Si 界面を実現することが必須である。つまり、固定電荷や界面準位などが少ない必要がある。界面に固定電荷が存在すると閾値電圧が変動してしまうだけでなく、移動度の低下につながる。また、界面準位やトラップが存在すると、それらを介したリーク電流の増加やチャネルを走行中のキャリアがその準位へ捕獲される可能性があるため、移動度の劣化にもつながる。

表 1.1 各高誘電率材料の物性値

	SiO ₂	Al ₂ O ₃	HfO ₂	ZrO ₂	La ₂ O ₃
比誘電率 ϵ_r	3.9	8	20	25	20
Band Gap [eV]	9	8.3	6	5.7	5.5

図 1.3 各高誘電率材料のリーク電流の SiO₂ 換算膜厚(EOT)依存性

以上のような条件をある程度満たし、現在までに研究が行われている高誘電率ゲート絶縁膜の候補を表 1.1 に示す。また、各高誘電率材料におけるリーク電流の EOT 依存性の報告値をプロットしたものを図 1.3 に示す[5-14]。

表 1.1 や図 1.3 から様々な高誘電率材料が研究されていることが分かる。次に代表的な高誘電率材料の特徴と報告例について述べる。

(1) Al₂O₃ [5-7]

Al₂O₃ は比誘電率は 8 と小さいが、広いバンドギャップ(8.3 eV)、Si 上での良好な安定性、高い耐熱性などの様々な利点を有している。しかし、一般的には負の固定電荷の存在により、 V_{fb} が 300-800 mV 程度正方向へシフトしてしまうという問題点があるとされている。ALD(Atomic Layer Deposition)法を用いて Al₂O₃ を成膜した場合、成膜時に 0.8 nm 程度の界面層が確認され、830°C/30 min の N₂ 雰囲気中の熱処理で結晶化してしまうという報告例がある[5]。一方、ALCVD 法を用いて、成膜時の界面層の形成を抑制しつつ、1.4 nm の EOT を実現したという報告例もある[6]。しかし、 V_{fb} が正方向へ 300 mV 程度シフトしていることが確認されている。

(2)HfO₂ [8-11]

HfO₂は20という高い比誘電率を有し、比較的広いバンドギャップ(6 eV)、Si上での良好な安定性などの特徴を有している。しかし、Al₂O₃と比較すると耐熱性が弱く、スパッタ法で形成したHfをO₂雰囲気中の熱処理で酸化することによって形成させたHfO₂は700°Cで結晶化と界面層の形成が生じたと報告されている[8]。一方、DCスパッタ法で形成させたHfO₂は900°Cの熱処理後においても非晶質を維持しているという報告もある[9]。しかし、熱処理温度の増加に伴い、EOTの増加が生じている。

(3)ZrO₂ [12,13]

ZrO₂は25という高い比誘電率を有し、比較的広いバンドギャップ(5.7 eV)を有しているが、Si上での安定性や耐熱性という点ではAl₂O₃やHfO₂と比較するとやや劣る。反応性スパッタ法を用いて形成させたZrO₂は成膜時に1 nm程度の界面層が形成され、650°CのN₂雰囲気中に熱処理によって界面層が2.5 nmに増大したと報告されている[12]。

(4)La₂O₃ [14]

La₂O₃は20以上という高い比誘電率を有し、1000°Cの熱処理後においても非晶質を維持するとされているが、空気中のH₂O、CO₂と容易に反応し、容量の劣化やV_{th}シフトが生じてしまうという問題点を持っている[14]。

このように様々な高誘電率材料の研究がなされており、EOTとリーク電流に関してはある程度良好な値が達成されてきている。しかし、成膜時や熱処理後の界面層の形成や熱処理による結晶化、V_{th}のシフト、移動度の劣化などの課題が残されている。そこで、近年このような問題点の解決策として成膜前の表面窒化や膜中への窒素の導入が試みられてきている。成膜前の表面窒化や膜中への窒素の導入により、主に成膜時や熱処理後の界面層の形成、V_{th}シフトなどを抑制することができる。しかし、界面付近に窒素が存在すると移動度が劣化してしまうため、窒素のプロファイルが重要となってくる。また、耐熱性の向上のため、シリケートやアルミネートの研究も盛んに行われている。膜中へSiやAlを導入することにより、耐熱性を向上させることが可能であり、移動度や界面特性の向上なども期待できる。しかし、AlやSiを導入しすぎると比誘電率が低くなってしまうという問題点がある。

以下に近年研究がなされているシリケートやアルミネート、窒化物の報告例を示す。

(1)AlON [15]

Al₂O₃を堆積させる前にSi表面を窒化することにより、 ΔV_{th} を100 mV以下に抑えることに成功したという報告例がある[15]。しかし、移動度に関してはSiO₂と比較して1/4程度にまで劣化してしまっている。

(2)AlSiO [16]

スパッタ法による成膜時のターゲット中にSiを含ませることによって形成した

AlSiO は N_2 雰囲気中 $800^\circ\text{C}/30 \text{ min}$ の熱処理後においても非晶質を維持し、界面準位も低減したと報告されている[16]。しかし、Si を含むため比誘電率が物理膜厚 5 nm で 7 以下に、物理膜厚 3 nm で 6 以下にまで低減してしまうという問題がある。

(3)HfON [17-19]

原料として TDEAH($C_{16}H_{40}N_4Hf$) $\cdot NH_3$ を用い、CVD 法によって形成させた HfON は 950°C まで非晶質を維持し、 N_2 雰囲気中 950°C の熱処理後においても EOT(1.5 nm)を維持している[17]。また、 HfO_2 と比較し 2 桁低いリーク電流を示している。しかし、窒素の影響のため移動度に関しては HfO_2 の約 $2/3$ 程度まで劣化している。

(4)HfSiO [20-21]

スパッタ法により形成させた HfSiO は移動度に関しては SiO_2 の約 70% という良好な値を示していたが、 N_2 雰囲気中 $900^\circ\text{C}/1 \text{ min}$ の熱処理後においては微結晶の形成が確認され、クーロン散乱により移動度が劣化してしまう[20]。また、 $1000^\circ/1 \text{ min}$ の熱処理において完全に結晶化する[21]。

(5)HfAlO [22]

Hf と Al のプリカーサを用い、 O_2 雰囲気中で JVD(Jet Vapor Deposition)法を用いて形成させた HfAlO は Al の組成を最適化することにより結晶化温度を 900°C まで上昇させることを可能にしたという報告例がある[22]。しかし、 600°C 以上の熱処理では界面層が形成され、EOT の増大を招いている。

(6)HfSiON [21, 23-24]

前述した HfSiO に対して N を導入することで $1100^\circ\text{C}/1 \text{ min}$ の熱処理においても結晶化しないことが報告されている[21]。Ar、 N_2 、 O_2 の混合雰囲気中で Hf と Si のターゲットをスパッタすることにより形成させた HfSiON は 1000°C の熱処理後において同様の方法で形成させた HfSiO は EOT が増大しているのに対して、EOT、比誘電率($\epsilon_r=12$)共に維持しているという報告例がある[23]。また、Hf と N の組成を高くすることにより、誘電率を高くできることも明らかにされている[24]。

以上のようにシリケートやアルミネートの研究も非常に広く研究されている。既に 2007 年 11 月に Intel から発売された CPU である Core 2 シリーズの Penryn ファミリーでは、Hf 系の絶縁膜が使用されており、Hf 系の絶縁膜が物性および信頼性において優れているものと考えられている。本研究では Hf 系の絶縁膜の中でも、 HfO_2 に対して N を導入することで耐熱性を向上した HfON および、Si を導入することでさらに耐熱性の向上が期待できる HfSiON に着目して研究を行う。

1.2.3 MOSFET に用いられる metal gate 材料

次に、ゲート電極に求められる諸問題について述べる。ゲート電極として従来用いられてきた poly-Si 電極では、半導体特有の空乏層形成により、EOT が厚膜化し、それに伴って C_{ox} が増大することで MOSFET の特性を向上できないという問題や、high-k 絶縁膜上に形成した場合 MOSFET の V_{th} 制御が困難であるなどの報告がある[25]。さらに、薄膜化に伴う高抵抗化により、MOSFET の遅延が引き起こされる。以上の問題を解決するために、これまでの多結晶 Si ゲートに代わる材料として TiN, TaN, HfN などの窒化物系金属が広く研究されている。窒化物金属は仕事関数が 4.5 eV 程度で Si のバンドギャップ中央付近に仕事関数を有し、耐熱性に優れ、さらに O や不純物の拡散を抑制するという特性を持つ[26-28]。

表 1.2 に窒化金属の物性値をまとめ、以下に代表的な高誘電率材料の特徴と報告例について述べる。

表 1.2 各窒化金属材料の物性値

	TiN	HfN	TaN
融点[°C]	2950	3330	2950
抵抗率[$\mu\Omega\text{cm}$]	20-70	~50	135-250

(1)TiN[29-30]

SiO₂上にスパッタ法により堆積した TiN では堆積時の N₂ガス流量比 Ar/(Ar+N₂)を変化させることで、TiN 内の N 濃度を制御し、4.14-4.27 eV の仕事関数制御が可能であることが報告されている[29]。さらに、耐熱性の検討からは、950°C の PDA においても $1 \times 10^2 \mu\Omega\text{cm}$ 程度の抵抗率を維持し[30]、EOT は 2 nm 程度を維持している。しかし、800°C 以上の PDA により C-V 特性の大きな ΔV_{FB} が測定されている[31]。

(2)TaN[31-32]

MOCVD 法によって堆積された HfO₂ に PVD 法にて堆積した TaN では PDA 温度により仕事関数が 4.5-4.65 eV 程度に変動していることに加え、CET(Capacitor Equivalent Thickness)が厚膜化することが報告されている[31]。また、TaN に Si を導入することで仕事関数の耐熱性が向上し、1025°C/10 s の PDA においても PDA を行っていない場合と同様の 4.5 eV を維持できるものの、CET の厚膜化は抑制できていない[31]。さらに、EOT~1 nm 程度の極薄膜において 800°C 以上の PDA により HfO₂ の EOT が増大することから、極薄 EOT における酸素拡散の抑制に乏しいことが示唆される[32]。また、表 1.2 からわかるように他の窒化金属より Bulk での抵抗値が大きい。

(3)HfN[32-33]

SiO₂上にスパッタ法により堆積した HfN では、TiN と同様に堆積時の N₂ガス流量比 Ar/(Ar+N₂)を変化させることで、HfN 内の N 濃度を制御し、4.1-4.6 eV の仕事関数制御

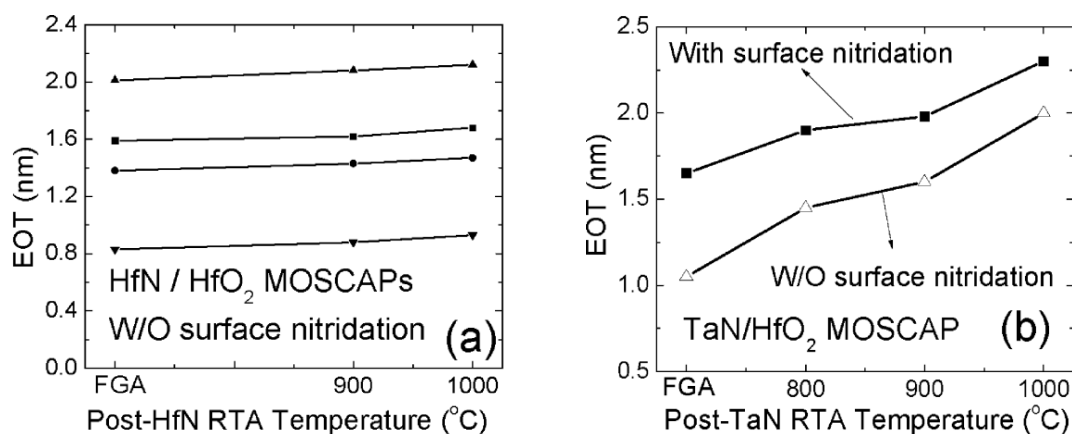


図 1.4 (a)HfN/HfO₂ および (b)TaN/HfO₂ 構造の EOT の RTA 温度依存性

が可能で、抵抗率 $1 \times 10^2 \mu\Omega\text{cm}$ 程度を 1000°C までであることが報告されており、耐熱性に優れている[33]。また、図 1.4 に示すように HfO₂ 上に堆積した HfN では 950°C 程度の PDA を行ったあとも EOT に変化がなく、酸素拡散の影響を TaN と比較して大きく低減できることが分かっている[32]。

1.2.4 ECR スパッタ法による HfN/HfSiON 構造形成の利点と課題

以上 1.2.2 節および 1.2.3 節では high-k 材料および窒化金属材料の特性について説明してきた。high-k 絶縁膜に求められる条件は誘電率が高いことはもちろんであるが、非晶質であることも重要となっている。これは膜のわずかな凹凸もゲートに高い電圧を印加した際に、絶縁破壊のきっかけになることから原子レベルで平坦な膜を要求していることによる。そこで、有望視されている Hf 系絶縁膜の中でも、高温においても非晶質を維持している HfON および HfSiON に着目した。

現在、high-k 絶縁膜や metal gate 電極の 3 次元構造上への成膜方法として、正確な膜厚制御が可能で、大面積に均一な薄膜が形成でき、段差被覆性に優れた ALD 法を代表とする CVD 法が広く用いられている。しかし、ALD 法などの CVD 法にはいくつかの問題点が残っている。まず図 1.5 に示すように、反応ガスであるプリカーサの残留成分として、C などが成膜後も膜中に残留し、EOT:0.5 nm 以下となる極薄膜においては、リーク電流増大の懸念がある[34]。また、C の他にプリカーサの残留成分である Cl や F がキャリア移動度や耐熱性を劣化させるという報告もある[35-36]。さらに、プリカーサの反応のために基板加熱が必要となり、サーマルバジェット増大につながり、ゲートラストプロセスでは S/D の再拡散や EOT の厚膜化が懸念される。

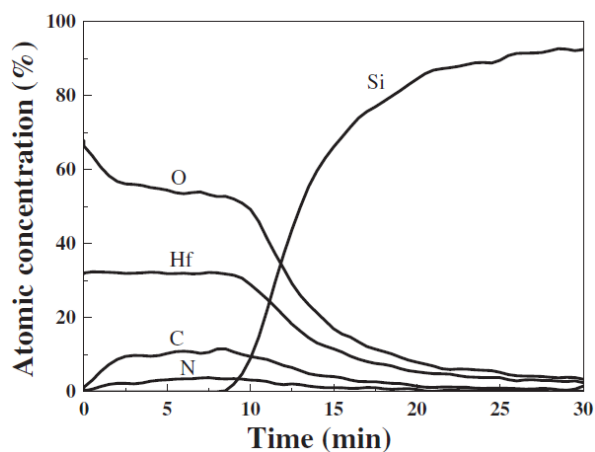


図 1.5 $\text{Hf}(\text{NMe}_2)_4$ を用いて ALD 法により形成した HfO_2 膜の depth profile[34]

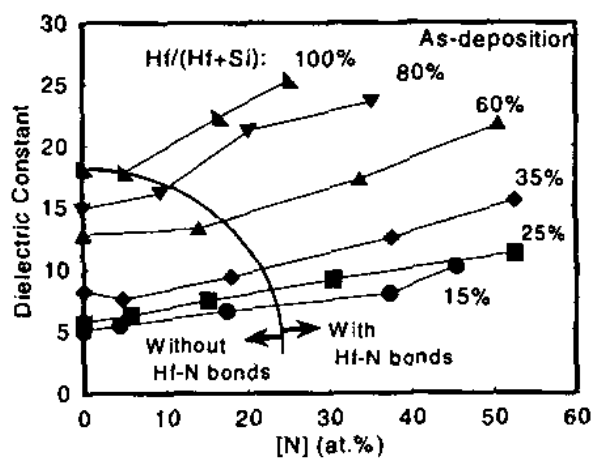


図 1.6 HfSiON 薄膜における比誘電率の組成比依存性[24]

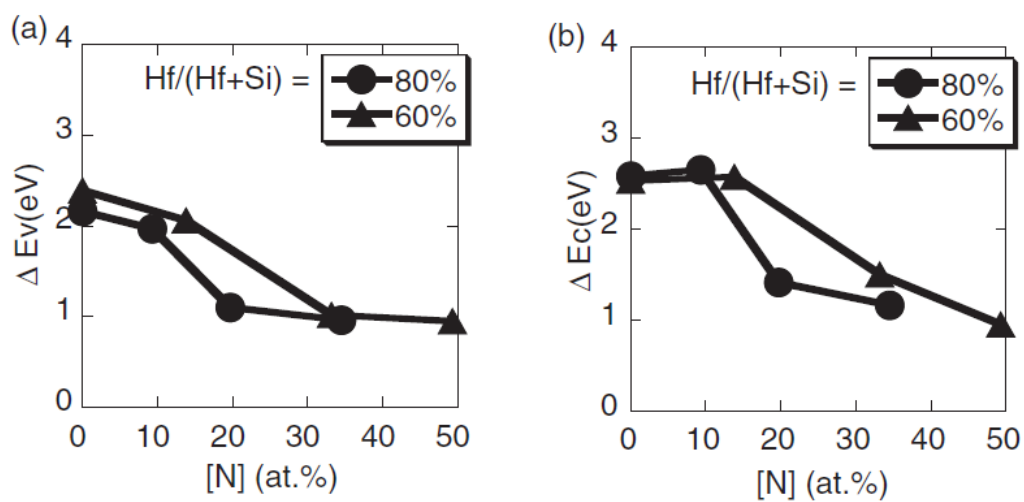


図 1.7 $\text{Hf}/(\text{Hf}+\text{Si})=60, 80\%$ の HfSiON 薄膜における
(a) ΔE_v , (b) ΔE_c の N 組成比依存性[39]

また、本研究では原子レベルで平坦な薄膜を堆積可能な ECR スパッタ法を用いて堆積を行う[37]。スパッタ法による HfON の形成方法として HfO₂ の窒化、および HfN の酸化があげられる。熱窒化や熱酸化と比較してプラズマ窒化、プラズマ酸化で界面の特性を向上できるという報告があることから、本研究ではプラズマ窒化、および酸化によって HfON を形成する[38]。さらに、極薄 HfON を極薄 SiO₂ 上に形成した後、PDA を行うことで2つの極薄膜における反応を促進し、HfSiON を形成する。

極薄 SiO₂(1.4-1.8 nm)と SiO₂ 上に堆積した Hf(0.3-0.7 nm)の熱処理時の反応を利用した HfSiO 形成においては、Hf が SiO₂ 中に拡散して Hf-silicate を形成するという報告では、堆積後に Hf(0.7 nm)/SiO₂(1.8 nm)であった積層構造が熱処理後に HfSiO(1.3 nm)/SiO₂(1.3 nm)となっており、最終的な SiO₂ の膜厚が厚いため EOT が 1 nm 程度で high-k 膜の平均比誘電率が 8 と薄膜化できていない[40]。Hf 系の絶縁膜における問題点である低誘電率な界面層の形成という問題に対して、本研究では HfN 堆積前に形成する SiO₂ の膜厚を更に薄い 0.7 nm とし、そのあと形成する HfON 膜を検討することで、high-k 膜と Si 基板の界面に SiO₂ 層のない high-k 膜を形成可能であると考えられる。

前述のように HfSiON 内の組成によって比誘電率や ΔE_c 、 ΔE_v などの物性が変化することが報告されている。[24, 39]、その中でも HfSiON における Hf/Hf+Si に対する比誘電率の N 濃度依存性を図 1.6 に、Hf の割合が 60, 80%である HfSiON の ΔE_c のおよび ΔE_v の N 濃度依存性を図 1.7 に示す。HfSiON 内の N 組成比の増大に伴い、比誘電率が大きく、 ΔE_c と ΔE_v がちいさくなるのがわかる。High-k 膜として用いる場合、比誘電率を大きくすることで EOT の薄膜化が実現可能である一方、リーク電流の原因となる ΔE_c および ΔE_v の減少を抑制した組成が必要とされるため、Si を少量添加することで耐熱性を向上し、比誘電率が高く ΔE_c および ΔE_v の大きい組成として、Hf と Si の和に対する Hf の割合が 80%、N の全体に占める割合が 20%前後となる HfSiON において比誘電率が高く ΔE_c の大きい絶縁膜が必要となると考えられる。従来の研究経過として HfO₂ のプラズマ酸化プロセスにより形成した HfON 薄膜では絶縁膜中の Si および N の濃度が小さいために EOT の薄膜化を実現できていなかったが、本研究では化学酸化膜上に HfN を堆積したのち、in-situ でのプラズマ酸化処理を行って形成した HfON を使い、PDA 時に HfON と化学酸化膜を反応させて HfSiON を形成する。このようなプロセスにより、まず HfN の堆積条件により N 濃度を、in-situ プラズマ酸化条件で O 濃度を、HfON および化学酸化膜厚により Hf の割合を変化させることができると考えられる。

また、本研究で使用する ECR スパッタ法では導入ガスを切り替えることにより Ar/O₂ プラズマ、Ar/N₂ プラズマを大気暴露することなく 1 つのチャンバーにて使用することが可能である。大気暴露による H₂O や O₂ の吸着により、metal gate の仕事関数や絶縁膜と Si 基板界面の界面特性を劣化させ、デバイス特性に悪影響を及ぼすという報告があるが[41]、in-situ プロセスにより大気暴露の影響を抑制できるものと考えられる。

更に、Hfターゲットを用いているため、HfON形成後に窒化金属として有望な窒化金属の中の1つであるHfNをHfON形成後、連続して堆積することが可能となっている。現在 metal gate/high-k 構造として広く研究がなされている TiN/HfSiON 構造において、図 1.8 に示すように、堆積時および堆積後の PDA などによる熱エネルギーにより Ti や Hf が相互拡散しており [39]、metal gate の仕事関数や high-k 膜の特性変化につながるものが考えられる。これは濃度勾配による拡散が原因として考えられ、Hf のみを用いた HfN/HfSiON 構造を用いることで金属原子の拡散を制御するといった複雑なプロセスを踏まず、また HfN/HfSiON 構造を大気暴露することなく、1 つのチャンバーで、in-situ で形成することが可能となっている。

また、図 1.9 に現在主流となっているクラスターチャンバーにより真空中での搬送によりスパッタ法および CVD 法で作製した W/TiN/HfSiON 構造の SIMS プロファイルを示す。まず図 1.9(a)から CVD 法を用いて TiN および W を堆積した場合、W/TiN 構造全体にプリカーサ残留成分として F や Cl が存在しているのに対して、図 1.9(b)のスパッタにより堆積した場合の SIMS プロファイルからは、膜中における F や Cl の濃度がノイズレベルまで低減できていることが分かる [35]。しかし、クラスターチャンバー内を搬送する際に混入したと考えられる F や Cl が W と TiN の界面において検出されていることが分かる。このことから、真空中の搬送によりコンタミの抑制ができるクラスターチャンバーにおいても、他のチャンバーで使用したガス雰囲気の影響は無視できないことがわかり、一つのチャンバーで不純物の混入が非常に小さい Ar、O₂ および N₂ ガスを切り替えて流すことでチャンバー内へのコンタミの混入を最小に抑制することができると考えられる。

以上から図 1.10 に HfN/HfSiON 構造の形成プロセスの模式図を示す。前述したようにクラスターチャンバー内における搬送においても、チャンバー間におけるガスの移動や搬送アームからの付着によりコンタミが混入することが考えられる。図 1.10 に示されるように、搬送または大気暴露を行う回数により意図しない酸化やコンタミが混入する可能性が増え、1 つのチャンバーでガスを切り替えながら in-situ で連続的に堆積することで界面特性を向上できると考えられる。しかし、問題点として HfN、HfON や HfSiON は組成による物性値の変化や界面結合状態の変化が起こることが報告されており [26, 35, 40]、その組成や界面結合状態の制御が課題として残る。

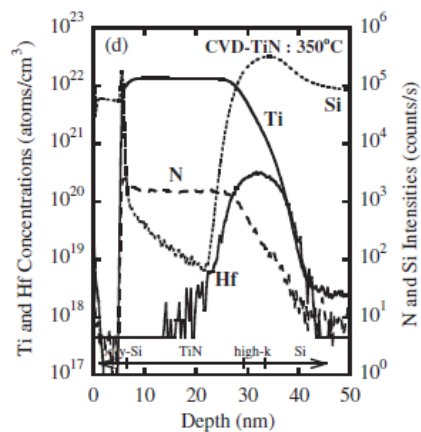


図 1.8 基板温度 350°C で TiN を堆積した poly-Si/TiN/HfSiON 構造の SIMS プロファイル[42]

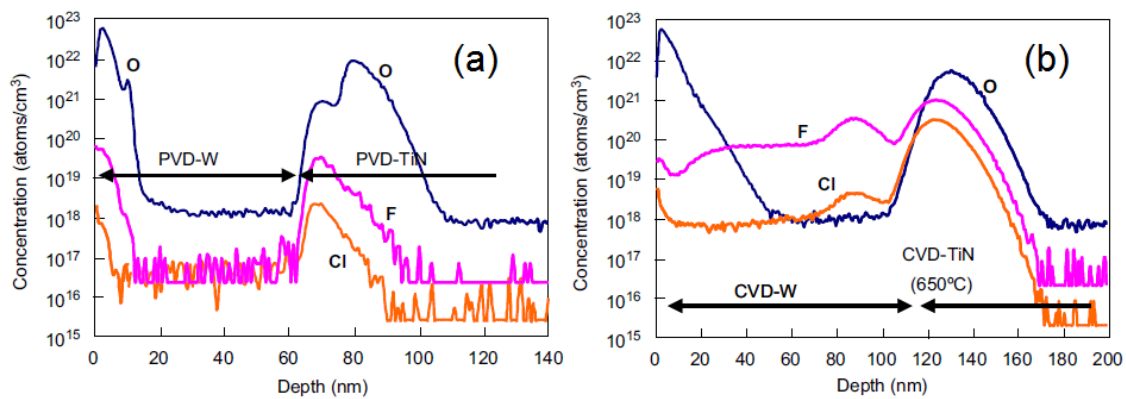


図 1.9 W/TiN/HfSiON 構造における SIMS プロファイルのプロセス依存性 (a) PVD 法、(b)CVD 法[37]

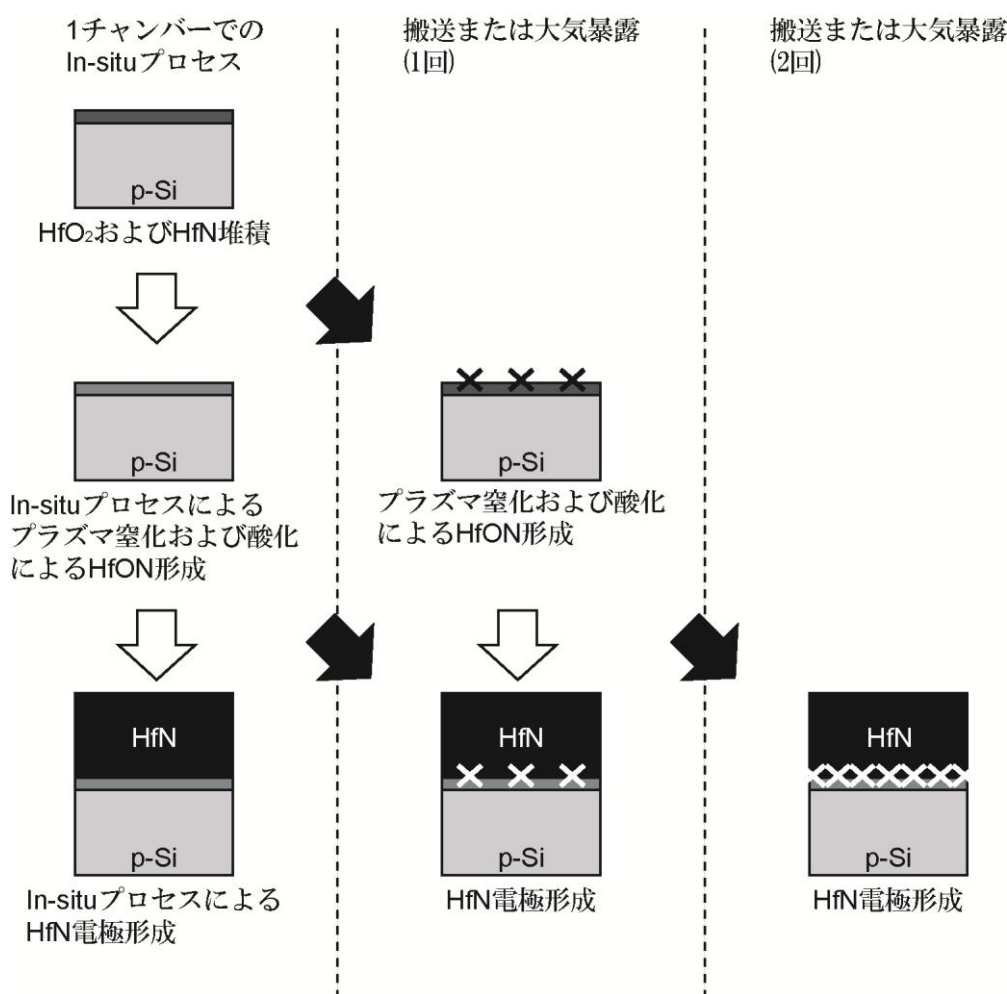


図 1.10 In-situ プロセスによるコンタミ低減の模式図

1.3 MOSFET における 3次元構造チャネルの必要性

1.2節では縦方向のスケーリングに対応するために必要な metal gate/high-k 構造について説明した。MOSFET のスケーリングは横方向(チャネル方向)にも進んでおり、横方向のスケーリングによるショートチャネル効果などから微細化に見合ったオン電流が得られない問題がある。本節ではショートチャネル効果を抑制する方法として有望視されている 3次元構造のチャネルを有する MOSFET の必要性について説明する。

1.3.1 ゲート長縮小によるショートチャネル効果のデバイスへの影響

現在量産化されているほとんどの LSI はシングルゲートの planar MOSFET である。その MOSFET に関して ITRS(International Technology Roadmap for Semiconductors)のロードマップ 2010 年度版によると、MPU の物理ゲート長は 2009 年に 20 nm となり、以降 20 nm を下回る。研究段階における報告例ではシングルゲートの MOSFET でゲート

長 14 nm(バルク nMOSFET)[44]、5 nm(バルク n 及び pMOSFET)[45]、などが報告されている。しかし、オン電流はそれぞれ $564 \mu\text{A}/\mu\text{m}$ ($V_{\text{dd}}=0.75 \text{ V}$)、 $37 \mu\text{A}/\mu\text{m}$ ($V_{\text{dd}}=0.4 \text{ V}$, nMOSFET)、 $17 \mu\text{A}/\mu\text{m}$ ($V_{\text{dd}}=-0.4 \text{ V}$, pMOSFET)、となっており、微細化に見合ったオン電流が得られていない。1.1 節で述べたように MOSFET の飽和領域におけるドレイン飽和電流 I_D は(1.1)式で表され、 L_g が大きくなることで $I_{D,\text{sat}}$ は増加するはずであるが、ゲート長 sub-10nm における研究報告では $I_{D,\text{sat}}$ が式から与えられる値ほど大きくないことが分かる。

この原因の 1 つがショートチャネル効果である。ショートチャネル効果とは微細化に伴いゲート長が短くなり、図 1.11 に示すようにショートチャネル効果がおきることにより、ゲート電圧により形成されるチャネルがなくても、広がった空乏層内をソース-ドレイン間の電圧によりキャリアがドリフトして導通してしまうため、しきい値電圧が低下してしまう。このショートチャネル効果を抑制するためにゲート絶縁膜の薄膜化、ソース/ドレイン拡散領域の極浅化、基板の高濃度化、低電源電圧化などの様々な工夫と試行錯誤がなされてきた。しかし、ショートチャネル効果を抑制するためにゲート絶縁膜を薄膜化すると、ゲート絶縁膜内をキャリアが量子トンネル効果により通り抜けてリーク電流が発生し、消費電力が増大するという問題が発生する。図 1.12 に V_{th} のゲート長依存性を示す[46]。図 1.12 から、ゲート長が小さくなるにつれて V_{th} の低下が見られ、特にゲート長が 200 nm 領域ではショートチャネル効果が顕著になっていることがわかり、微細化に見合ったオン電流を得られていないのが現状である。

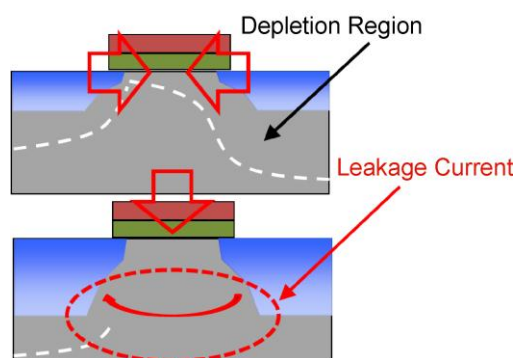
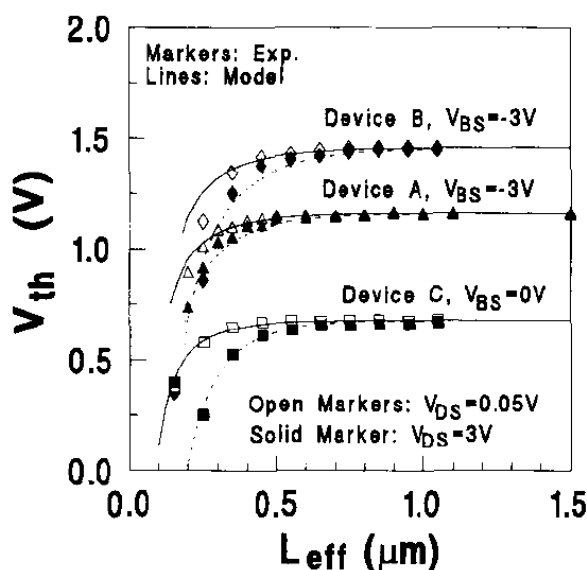


図 1.11 ショートチャネル効果の模式図

図 1.12 V_{th} のゲート長依存性[46]

1.3.2 ショートチャネル効果抑制における 3 次元チャネルの利点

このような現状を踏まえて、微細化の限界を克服する手法として 3 次元構造を有した MOSFET の研究が盛んに行われている。MOSFET を立体的に 3 次元化する事でチャネルを複数の方向からゲートで覆うため、ゲートの制御性が良好で、高濃度化せずに短チャネル効果の抑制が可能となる。また、シングルゲート型 MOSFET と同じ素子面積において、3 次元 MOSFET では複数のチャネルを持つことができるため実効的なチャネル幅を増加し、電流駆動能力の向上が期待されている。3 次元 MOSFET においては Double Gate MOSFET, Fin FET, Tri-Gate MOSFET, Omega-Gate MOSFET, Gate-All-Around MOSFET などの研究が盛んに行われている。図 1.13 の模式図に示すように、ショートチャネル効果はドレイン電界がチャネル内に浸透することで起きるが、3 次元 MOSFET において、1 つのゲートにおけるドレイン電界による基板内のポテンシャルを相対するゲートにより制御することができ、ショートチャネル効果を抑制することができる。

また、図 1.14 に FinFET における DIBL のゲート長およびチャネル幅依存性を示す[47]。DIBL とはショートチャネル効果により生じる現象である。図 1.14 から、チャネル幅(図 1.13 下側の縦方向の厚さ)を小さくすることでよりショートチャネル効果を抑制できることが分かり、図 1.12 の平面構造よりも短い L_g までショートチャネル効果を抑制できていることが分かる。

このように、更なるスケーリングのためには 3 次元構造 MOSFET の導入が必要不可欠となっており、2012 年には Intel から 3 次元 MOSFET を用いた LSI の市場投入が予定されている。

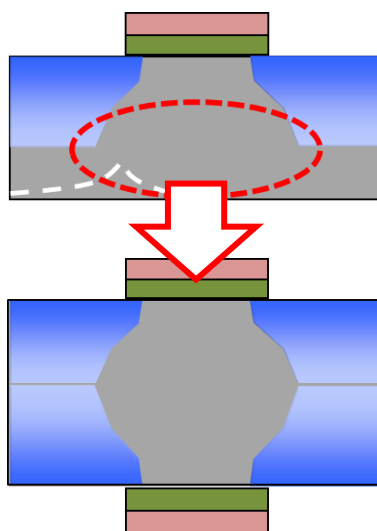


図 1.13 チャンネルの3次元化によるショートチャンネル効果の抑制

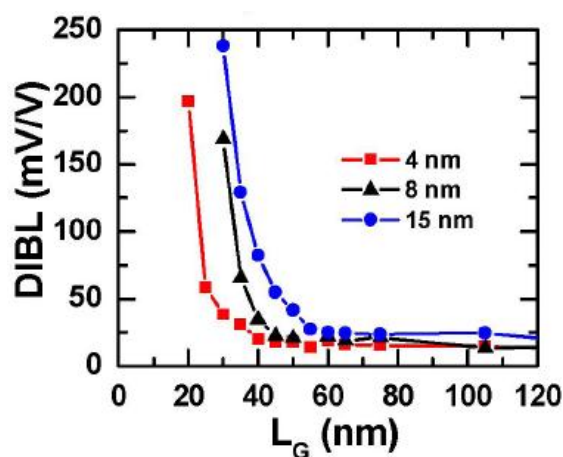


図 1.14 FinFET における DIBL のゲート長およびチャンネル幅依存性[47]

1.3.3 Tri-gate MOSFET の利点と課題

3次元構造MOSFETの中でも従来の平面構造MOSFETのプロセスとの互換性があり、実現性が高いといわれているのがFin FET, Tri-Gate MOSFETである。まず、Fin FETの概略図を図 1.15-16 に記す。Fin FETはチャンネル部分が鯨のヒレのような形をしていることからそう呼ばれ、ゲートがチャンネルの周りを取り巻く構造となっている。このことでセルフアライン構造となり、作製プロセスが比較的容易で、Finの高さを大きくすることでウェハ上での素子面積を増大させることなく実効的なチャンネル幅を広げるため、オン電流を増大させることができる。また、しきい値電圧以下での特性が良好であるために、リーク電流を抑制できるという特徴を持つ。

次に、Tri-Gate MOSFETの概略図を図 1.17-18 に記す。Tri-Gate MOSFETはFin FET

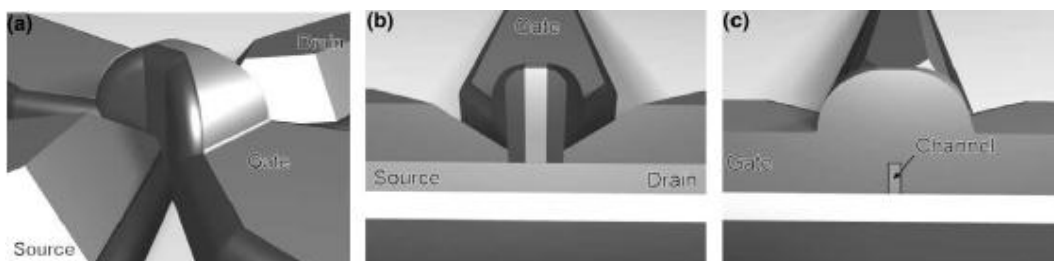


図 1.15 Fin FET の概略図(a)Fin FET の 3 次元モデル、
(b)S/D を通る面から見た図、(c)ゲートを通る面から見た図[48]

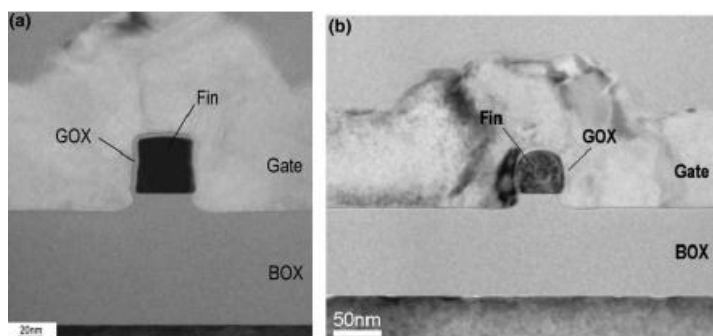


図 1.16 Fin FET チャンネル部の断面 TEM 像
(a)(110)平面チャンネル、(b)(100)平面チャンネル Fin FET[48]

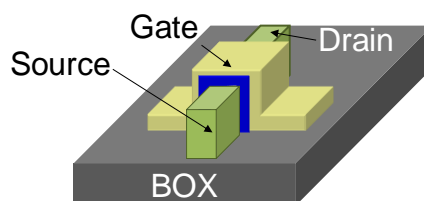


図 1.17 Tri-Gate MOSFET の概略図

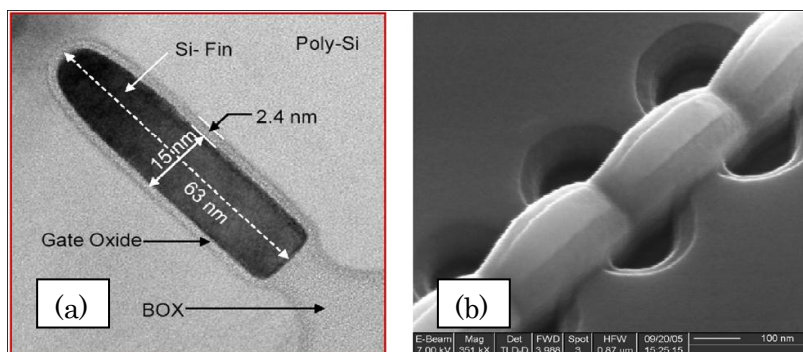


図 1.18 (a)チャンネル幅 15 nm の Tri-Gate MOSFET のチャンネル部断面 TEM 像、
(b)Tri-Gate MOSFET の上部からの SEM 像[49]

の上面もチャネルとして用いることでチャネル数を3つに拡大しているものであり、FinFET よりも多くのオン電流が得られるとされている。

以上の2種類の3次元構造 MOSFET の中でも、本研究では Tri-gate MOSFET に着目して研究を行っている。図 1.19 に示されるように FinFET では3次元構造上部をチャネルとして用いていないため寄生容量となってしまふのに対して、Tri-gate MOSFET ではすべての面をチャネルとして用いることができるため、寄生容量が小さく、更なる高速動作が期待できる。また図 1.20-21 にほぼ同サイズの FinFET および Tri-gate MOSFET における遅延時間のシミュレーションの報告例を示す。図 1.20 の FinFET では 5 ps 以上である遅延時間が、図 1.21 の Tri-gate MOSFET のシミュレーション結果では 1 ps 程度となっている。

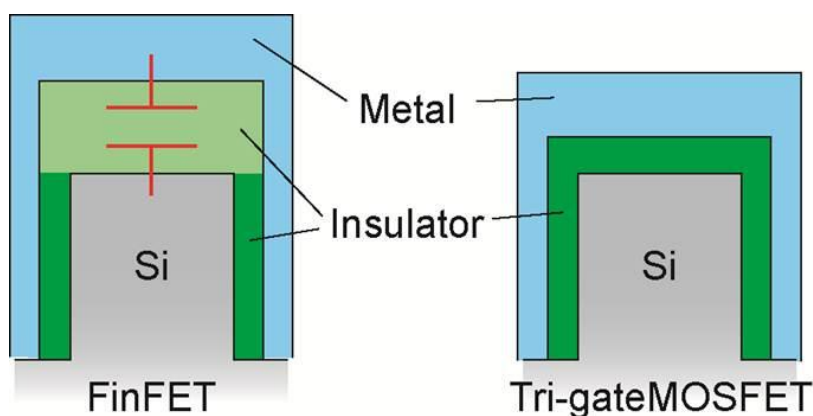


図 1.19 FinFET および Tri-gate MOSFET の構造の概略図

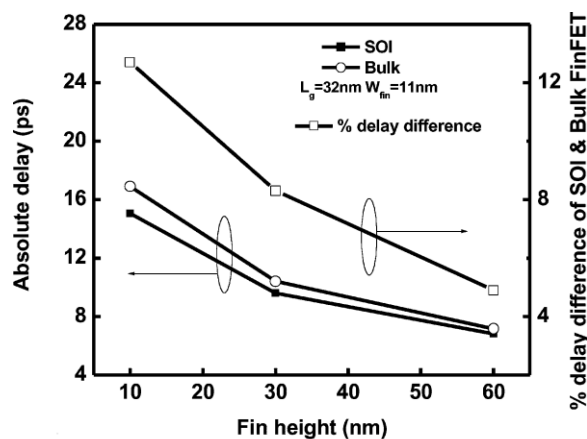


図 1.20 FinFET における遅延時間の Fin 高さ依存性[50]

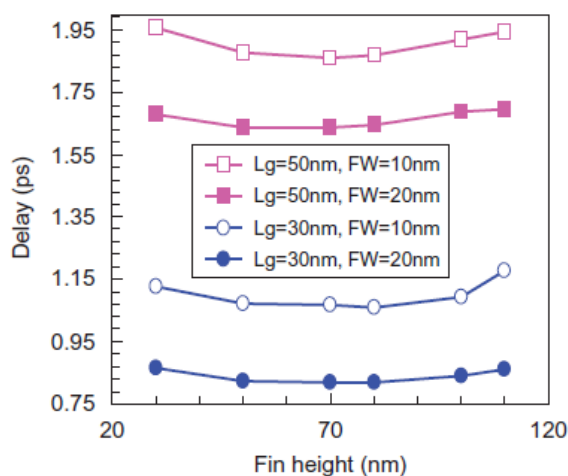


図 1.21 Tri-gate MOSFET における遅延時間の Fin 高さ依存性[49]

1.4 3次元構造上への metal gate/high-k 構造の形成

これまで述べてきたように 3次元構造 MOSFET の形成技術は VLSI の性能向上のためには将来導入不可欠となっており、国際的な半導体技術の今後 20 年のロードマップである ITRS2010 では、3次元ゲートデバイスにおいても 2024 年には 0.5 nm の EOT が要求されており、metal gate/high-k 構造の 3次元構造上への形成も必要とされている[1]。

そこで、1.2.4 節でも述べたように、ECR スパッタ法を用いて 3次元構造上にも HfN/HfSiON 構造を形成する。スパッタ法におけるスパッタ粒子の基板に対する角度は成膜室内圧力、ガス雰囲気、ターゲット基板間距離に強く依存するという報告がある[51-60]。本研究では、プラズマガス雰囲気として、他の不活性ガスと比較して安価で広く用いられている Ar を用いたスパッタにより堆積を行う。また、スパッタ粒子はターゲットから \cos 関数の分布を持って射出されるため[58]、ターゲットと基板が平行に配置されている一般的な DC スパッタ法や、RF マグネトロンスパッタ法では、ターゲット基板間距離の影響が非常に大きい。本研究で用いる ECR スパッタ法はターゲットと基板が 90° になっているため、ターゲット基板間距離の影響が RF マグネトロンスパッタ法などと比較して小さいと考えられる。一方で、スパッタ粒子が基板表面に到達した際のエネルギーはターゲット基板間距離に対して大きく変化することから[53]、基板表面でのマイグレーションやプラズマダメージの影響を考慮し、本研究ではターゲット基板間距離を 20 cm として検討を行った。さらに、Ar に対して質量の大きい Zr などにおいても堆積時の成膜室内圧力を増加させることで基板に対するスパッタ粒子の入射角を制御可能であり[51]、図 1.22 のように 3次元構造側壁部に対して堆積される TiN 薄膜の膜厚を改善できるという報告があることから[61]、スパッタ粒子の平均自由行程を短くすることにより、図 1.23 に示すようにスパッタ粒子である Hf をより散乱して 3次元構造側壁部にも良好な薄膜が形成可能であると考えられる。

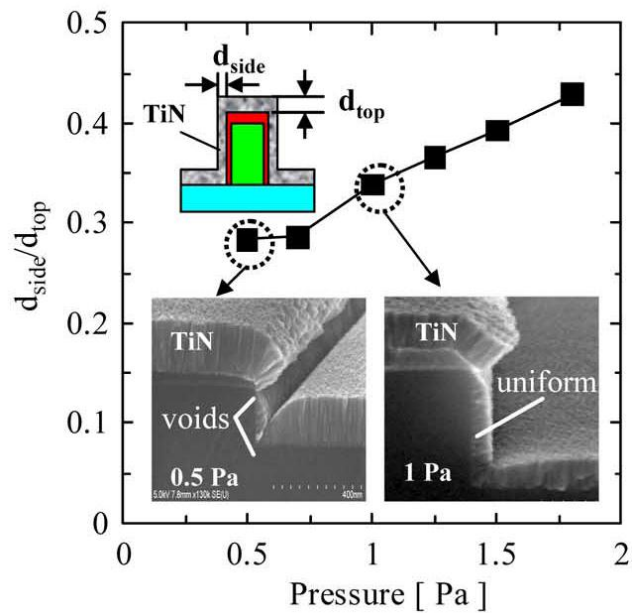


図 1.22 3次元構造に対してスパッタ法により堆積した TiN 薄膜の上部に対する側壁部の膜厚(d_{side}/d_{top})の堆積時成膜室内圧力依存性[61]

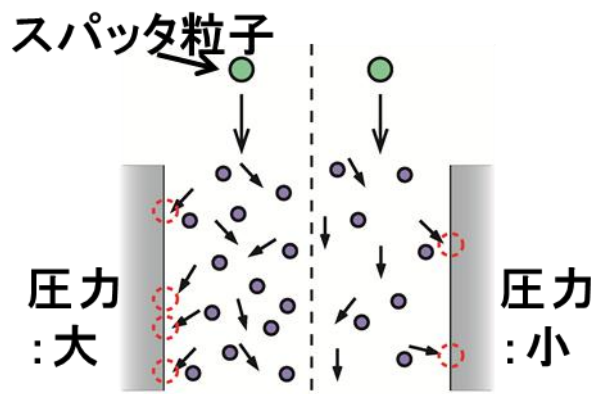


図 1.23 堆積時成膜室内圧力によるスパッタ粒子散乱の概略図

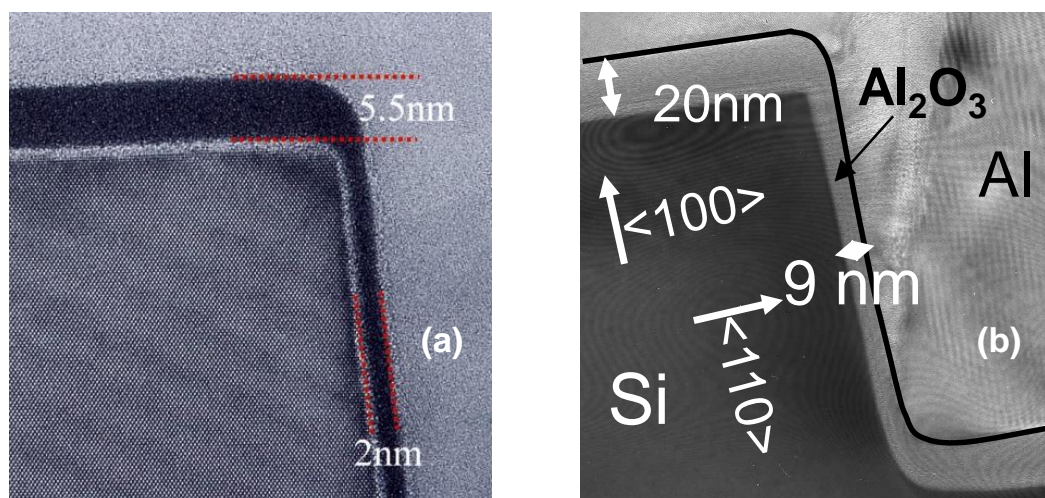


図 1.24 ECR スパッタ法を用いて 3 次元構造上に堆積した
(a)HfO₂、(b)Al₂O₃での断面 TEM 像

本研究室の過去の研究結果として ECR スパッタ法を用いて 3 次元構造上に堆積した HfO₂ や Al₂O₃ では、図 1.24 に示す断面 TEM 像から分かるように 3 次元構造側壁部にも被覆性の良い薄膜が形成可能であることが分かっているが、EOT は 4 nm 程度と薄膜化できていない[62, 63]。そこで HfN/HfSiON 構造の成膜室内圧力を検討することで 3 次元構造上においても EOT を薄膜化し、被覆性の良い薄膜が形成可能であると考えられる。

1.5 本論文の目的と構成

これまで、3次元構造 MOSFET に対する metal gate/high-k 構造の必要性を述べてきた。本研究では 3次元構造 MOSFET に対する metal gate/high-k 構造の形成を目的として、3次元構造上への HfN/HfSiON 構造形成に関する検討を行う。実現性が高いといわれる 3次元 Si チャネル構造の中でも 3つのチャネルを有し、微細かつ高いオン電流を得られることが期待される Tri-gate MOSFET に着目した。また、HfN/HfSiON 構造の形成方法として、低ダメージで高品質な絶縁膜の形成が可能な ECR スパッタ法を用いて、不純物の混入を抑制できる in-situ プロセスを考案した。Tri-gate MOSFET に対し、ECR スパッタ法を用いて良好な HfN/HfSiON 構造を in-situ で形成するプロセスの研究を行う。

本論文の構成を以下に述べ、図 1.25 に論文の構成図を示す。

第 1 章では MOSFET の微細化による利点、またその際に生じる問題点を論じ、3次元構造 MOSFET に対する metal gate/high-k 構造の必要性を述べ、その成膜方法として ECR スパッタ法による in-situ プロセスを考案した。

第 2 章では、本研究で用いる試料作製方法と測定方法の原理を述べる。

第3章では、p-Si(100)面および3次元構造上に高誘電率 HfON および HfSiON を ECR スパッタ法により形成するプロセスを検討し、堆積した薄膜の形状、電気的特性の評価を行う。

第4章では、p-Si(100)面および3次元構造上に加え、p-Si(110)面上に HfN/HfSiON 構造を ECR スパッタ法により in-situ プロセスにより形成し、電気的特性などの評価を行う。

第5章では、3-4章で検討した内容を踏まえ planar MOSFET を作製し、その電気的特性の評価を行い、Tri-gate MOSFET の作製方法について述べる。

最後に、第6章において、本研究により得られた結果をまとめ、本研究の結論ならびに今後の展望について述べる。

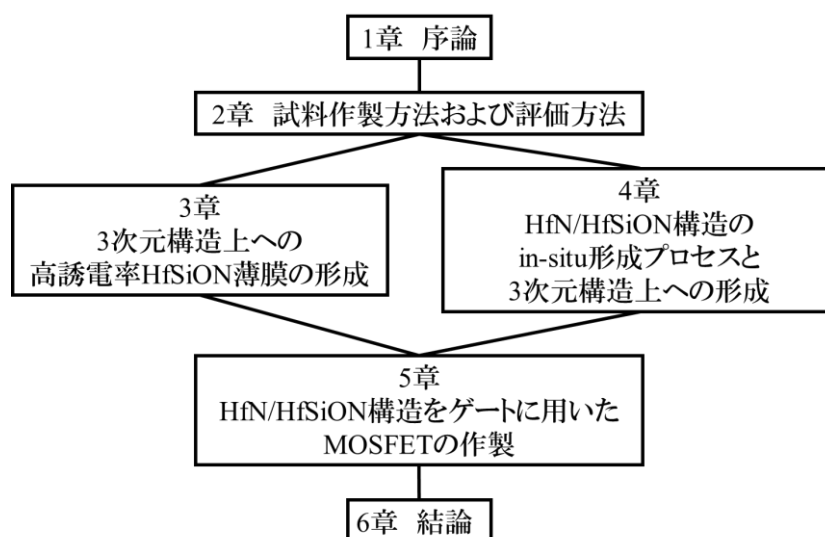


図 1.25 本論文の構成図

参考文献

- [1] ITRS2010.
- [2] G. D. Wilk, R. M. Wallace and J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations", *J. Appl. Phys.*, **89**, pp. 5243-5275 (2001).
- [3] S. Chang, H. Shin, and J. Lee, "Off-state Leakage Currents of MOSFETs with high-k Dielectrics", *Journal of the Korean Physical Society*, **41**, pp. 923-936 (2002).
- [4] J. Robertson, "Band offsets of wide-band-gap oxides and implications for future electronic devices", *J. Vac. Sci. Technol. B*, **18**, pp. 1785-1791 (2000).
- [5] J. H. Lee, K. Koh, N. I. Lee, M. H. Cho, Y. K. Kim, J. S. Jeon, K. H. Cho, H. S. Shin, M. H. Kim, K. Fujihara, H. K. Kang, and J. T. Moon, "Effect of polysilicon gate on the flatband voltage shift and mobility degradation for ALD-Al₂O₃ gate dielectric", *IEDM. Tech. Dig.*, pp. 645-648 (2000).
- [6] D. A. Buchanan, E. P. Gusev, E. Cartier, H. Okorn-Schmidt, K. Rim, M. A. Gribelyuk, A. Mocuta, A. Ajmera, M. Copel, S. Guha, N. Bojarczuk, A. Callegari, C. D. Emiel, P. Kozlowski, K. Chan, R. J. Fleming, P. C. Jamison, J. Brown, and R. Arndt, "80 nm polysilicon gated n-FETs with ultra-thin Al₂O₃ gate dielectric for ULSI applications", *IEDM. Tech. Dig.*, pp. 223-226 (2000).
- [7] E. P. Gusev, M. Copel, E. Cartier, I. J. R. Baumvol, C. Krug, and M. A. Gribelyuk, "High-resolution depth profiling in ultrathin Al₂O₃ films on Si", *Appl. Phys. Lett.*, **76**, pp. 176-178 (2000).
- [8] B. H. Lee, R. Choi, L. Kang, S. Gopalan, R. Nieh, K. Onishi, Y. Jeon, W-J. Qi, C. Kang and J. C. Lee, "Characteristics of TaN gate MOSFET with ultrathin hafnium oxide (8 Å-12 Å)", *IEDM. Tech. Dig.*, pp. 39-42 (2000).
- [9] B. H. Lee, L. Kang, R. Nieh, W-J Qi, and J. C. Lee, "Thermal stability and electrical characteristics of ultrathin hafnium oxide gate dielectric reoxidized with rapid thermal annealing", *Appl. Phys. Lett.*, **76**, pp. 1926-1928 (2000).
- [10] K. Onishi, L. Kang, R. Choi, E. Dharmarajan, S. Gopalan, Y. Jeon, C. S. Kang, B. H. Lee, R. Nieh, and J. C. Lee, "Dopant penetration effects on polysilicon gate HfO₂ MOSFET's", *VLSI Symp. Tech. Dig.*, pp. 131-132 (2001).
- [11] S. J. Lee, H. F. Luan, C. H. Lee, T. S. Jeon, W. P. Bai, Y. Senzaki, D. Roberts, and D. L. Kwong, "Performance and reliability of ultra thin CVD HfO₂ gate dielectrics with dual poly-Si gate electrodes", *VLSI Symp. Tech. Dig.*, pp. 133-134 (2001).
- [12] W-J Qi, R. Nieh, B. H. Lee, L. Kang, Y. Jeon, K. Onishi, T. Ngai, S. Banerjee, and J. C. Lee, "MOSCAP and MOSFET characteristics using ZrO₂ gate dielectric deposited directly on Si", *IEDM. Tech. Dig.*, pp. 145-148 (1999).
- [13] C. H. Lee, Y. H. Kim, H. F. Luan, S. J. Lee, T. S. Jeon, W. P. Bai, and D. L. Kwong, "MOS devices with high quality ultra thin CVD ZrO₂ gate dielectrics and self-aligned TaN and

- TaN/poly-Si gate electrodes”, VLSI Symp. Tech. Dig., pp. 137-138 (2001).
- [14] S. Stemmer, J.-P. Maria, and A. I. Kingon, “Structure and stability of $\text{La}_2\text{O}_3/\text{SiO}_2$ layers on Si(001)”, *Appl. Phys. Lett.* **79**, pp. 102-104 (2001).
- [15] E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kurnar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, P. C. Jamison, D.A. Neumayer, M. Copel, M.A. Gribelyuk, H. Okom-Schmidt, C. D'Emic, P. Kozlowski, K. Chan, N. Bojarczuk, L-A. Ragnarsson, P. Ronsheim, K. Rim, R. J. Fleming, A. Mocuta and A. Ajmera, “Ultrathin high-k gate stacks for advanced CMOS devices”, *IEDM. Tech. Dig.*, pp. 20.1.1-20.1.4 (2001).
- [16] L. Manchanda, W. H. Lee, J. E. Bower, F. H. Baumann, W. L. BroIwn, C. J. Case, R. C. Keller, Y. O. Kim, E. J. Laskowski, M. D. Morris, R. L. Opila, P. J. Silverman, T. W. Sorsch and G. R. Weber, “Gate quality doped high K films for CMOS beyond 100 nm: 3-10 nm Al_2O_3 with low leakage and low interface states”, *IEDM. Tech. Dig.*, pp. 605-608 (1998).
- [17] C. H. Choi, S. J. Rhee, T. S. Jeon, N. Lu, J. H. Sim, R. Clark, M. Niwa and D. L. Kwong, “Thermally stable CVD HfO_xN_y advanced gate dielectrics with poly-Si gate electrode”, *IEDM. Tech. Dig.*, pp. 857-860 (2002).
- [18] C. S. Kang, H.-J. Cho, K. Onishi, R. Choi, Y. H. Kim, R. Nieh, J. Han, S. Krishnan, A. Shahriar, and J. C. Lee, “Nitrogen concentration effects and performance improvement of MOSFETs using thermally stable HfO_xN_y gate dielectrics”, *IEDM. Tech. Dig.*, pp. 865-868 (2002).
- [19] H.-J. Cho, C. S. Kang, K. Onishi, S. Gopalan, R. Nieh, R. Choi, E. Dharmarajan, and J. C. Lee, “Novel nitrogen profile engineering for improved TaN/ HfO_2 /Si MOSFET performance”, *IEDM. Tech. Dig.*, pp. 30.2.1-30.2.4 (2001).
- [20] T. Yamaguchi, R. Iijima, T. Ino, A. Nishiyama, and H. Satake, “Additional scattering effects for mobility degradation in Hf-silicate gate MISFETs”, *IEDM. Tech. Dig.*, pp. 621-624 (2002).
- [21] M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, and L. Colombo, “Application of HfSiON as a gate dielectric material”, *Applied Physics Letters*, **80**, pp. 3183-3185 (2002).
- [22] W. Zhu and T.P. Ma, “ HfO_2 and HfAlO for CMOS: thermal stability and current transport”, *IEDM. Tech. Dig.*, pp. 20.4.1-20.4.4 (2001).
- [23] M. Koyarna, A. Kaneko, T. Ino, M. Koike, Y. Kamata, R. Iijima, Y. Kamimuta, A. Takashirna, M. Suzuki, C. Hongo, S. Inurniya, M. Takayanagi, and A. Nishiyama, “Effects of nitrogen in HfSiON gate dielectric on the electrical and thermal characteristics”, *IEDM. Tech. Dig.*, pp. 849-852 (2002).
- [24] M. Koike, T. Ino, Y. Kamimuta, M. Koyama, Y. Kamata, M. Suzuki, Y. Mitani, A. Nishiyama, and Y. Tsunashima, “Effect of Hf-N bond on properties of thermally stable amorphous HfSiON and applicability of this material to sub-50nm technology node LSIs”,

- IEDM. Tech. Dig., pp. 4.7.1-4.7.4 (2003).
- [25] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White, and P. J. Tobin, "Fermi-level pinning at the polysilicon/metal-oxide interface-Part II", *IEEE Trans. Electron Devices*, **51**, 6, pp. 978–984 (2004).
- [26] G.S. Chen, P.Y. Lee, and S.T. Chen, "Phase formation behavior and diffusion barrier property of reactively sputtered tantalum-based thin films used in semiconductor metallization", *Thin Solid Films*, **353**, 264, pp. 264-273 (1999).
- [27] K.-H. Min, K.-C. Chun, and K.-B. Kim, "Comparative study of tantalum and tantalum nitrides (Ta_2N and TaN) as a diffusion barrier for Cu metallization", *J. Vac. Sci. Technol. B*, **14**, pp. 3263-3269 (1996).
- [28] J.-C. Chuang, and M.-C. Chen, "Passivation of Cu by Sputter-Deposited Ta and Reactively Sputter-Deposited Ta-Nitride Layers", *J. Electrochem. Soc.*, 145, pp. 3170-3177 (1998).
- [29] Y.-S. Suh, G. Heuss, H. Zhong, S.-N. Hong, and V. Misra, "Electrical characteristics of $TaSi_xN_y$ gate electrodes for dual gate Si-CMOS devices", *VLSI Symp. Tech. Dig.*, pp. 47-48 (2001).
- [30] C. S. Kang, H.-J. Cho, Y. H. Kim, R. Choi, K. Onishi, A. Shahriar, and J. C. Lee, "Characterization of resistivity and work function of sputtered-TaN film for gate electrode applications", *J. Vac. Sci. Technol. B*, **21**, pp. 2026-2028 (2003).
- [31] J. Westlinder, T. Schram, L. Pantisano, E. Cartier, A. Kerber, G. S. Lujan, J. Olsson, and G. Groeseneken, "On the thermal stability of atomic layer deposited TiN as gate electrode in MOS devices", *IEEE Electron Device Lett.*, **24**, 9, pp. 550-552 (2003).
- [32] H. Y. Yu, M.-F. Li, and D.-L. Kwong, "Thermally robust HfN metal as a promising gate electrode for advanced MOS device applications", *IEEE Trans. Electron Devices*, **51**, 4, pp. 609-615 (2004).
- [33] C.-S. Lai, S.-K. Peng, T.-M. Pan, J.-C. Wang, and K.-M. Fan, "Work Function Adjustment by Nitrogen Incorporation in HfN_x Gate Electrode with Post Metal Annealing", *Electrochem. Solid-State Lett.*, **9**, 7, pp. G239-G241 (2006).
- [34] J. C. Kim, Y. S. Cho, and S. H. Moon, "Atomic Layer Deposition of HfO_2 onto Si Using $Hf(NMe_2)_4$ ", *Jpn. J. Appl. Phys.*, **48**, pp. 066515-066520 (2009).
- [35] S. Yoshida, Y. Watanabe, Y. Kita, T. Shimura, H. Watanabe, K. Yasutake, Y. Akasaka, Y. Nara, and K. Yamada, "Interface reactions at TiN/HfSiON gate stacks: Dependence on the electrode structure and deposition method", *Sci. Technol. Adv. Mater.*, **8**, pp. 219-224 (2007).
- [36] T. Kawahara, K. Torii, R. Mitsuhashi, A. Muto, A. Horiuchi, H. Ito, and H. Kitajima, "Effect of Hf Sources, Oxidizing Agents, and NH_3/Ar Plasma on the Properties of $HfAlO_x$

- Films Prepared by Atomic Layer Deposition”, *Jpn. J. Appl. Phys.*, **43**, pp. 4129-4134 (2004).
- [37] T. Amazawa, T. Ono, M. Shimada, and S. Matsuo, "Ultrathin oxide films deposited using electron cyclotron resonance sputter ", *J. Vac. Sci. Technol. B*, **17**, pp. 2222-2225 (1999).
- [38] K. Sekine, S. Inumiya, M. Sato, A. Kaneko, K. Eguchi, and Y. Tsunashima, “Nitrogen Profile Control by Plasma Nitridation Technique for Poly-Si Gate HfSiON CMOSFET with Excellent Interface Property and Ultra-low Leakage Current”, *IEDM. Tech. Dig.*, pp. 4.6.1-4.6.4 (2003).
- [39] Y. Kamimuta, M. Koike, T. no I, M. Suzuki, M. Koyama, Y. Tsunashima, and A. Nishiyama, "Determination of Band Alignment of Hafnium Silicon Oxynitride/Silicon (HfSiON/Si) Structures using Electron Spectroscopy", *Jpn. J. Appl. Phys.*, **44**, pp. 1301-1305 (2005).
- [40] H. Watanabe, M. Saitoh, N. Ikarashi, and T. Tatsumi, "High-quality HfSixOy gate dielectrics fabricated by solid phase interface reaction between physical-vapor-deposited metal–Hf and SiO₂ underlayer", *Appl. Phys. Lett.*, **85**, pp. 449-451 (2004).
- [41] Y. Kita, S. Yoshida, T. Hosoi, T. Shimura, K. Shiraishi, Y. Nara, K. Yamada, and H. Watanabe, " Systematic study on work-function-shift in metal/Hf-based high-k gate stacks", *Appl. Phys. Lett.*, **94**, pp. 122905-1 - 122905-3 (2009).
- [43] S. Sakashita, T. Kawahara, M. Mizutani, M. Inoue, K. Mori, S. Yamanari, M. Higashi, Y. Nishida, K. Honda, N. Murata, J. Tsuchimoto, J. Yugami, H. Yoshimura, and M. Yoneda, "Diffusion Control Techniques for TiN Stacked Metal Gate Electrodes for p-Type Metal Insulator Semiconductor Field Effect Transistors", *Jpn. J. Appl. Phys.*, **46**, pp. 1859-1864 (2007).
- [44] T. Tanimura, S. Toyoda, H. Kamada, H. Kumigashira, M. Oshima, G. L. Liu, and K. Ikeda, ” Relationship between band alignment and chemical states upon annealing in HfSiON/SiON stacked films on Si substrates”, *Appl. Phys. Lett.*, **95**, pp. 183113-183115 (2009).
- [44] A. Hokazono, K. Ohuchi, M. Takayanagi, Y. Watanabe, S. Magoshi, Y. Kato, T. Shimizu, S. Mori, H. Oguma, T. Sasaki, H. Yoshimura, K. Miyano, N. Yasutake, H. Suto, K. Adachi, H. Fukui, T. Watanabe, N. Tamaoki, Y. Toyoshima, and H. Ishiuchi, “14 nm gate length CMOSFETs utilizing low thermal budget process with poly-SiGe and Ni salicide”, *IEDM. Tech. Dig.*, pp. 639-642 (2002).
- [45] H. Wakabayashi, S. Yamagami, N. Ikezawa, A. Ogura, M. Narihiro, K. Arai, Y. Ochiai, K. Takeuchi, T. Yamamoto, and T. Mogami, “Sub-10 nm planar-bulk-CMOS devices using lateral junction control”, *IEDM Tech. Dig.*, pp. 20.7.1-20.7.3 (2003).
- [46] Z.-H. Liu, C. Hu, J.-H. Huang, T.-Y. Chan, M.-C. Jeng, P. K. KO, and Y. C. Cheng, “Threshold voltage model for deep-submicrometer MOSFETs”, *IEEE Trans. Electron Devices*, **40**, 1, pp. 86–95 (1993).
- [47] G. Vellianitis, M. J. H. van Dal, L. Witters, G. Curatola, G. Doornbos, N. Collaert, C.

- Jonville, C. Torregiani, L.-S. Lai, J. Petry, B. J. Pawlak, R. Duffy, M. Demand, S. Beckx, S. Mertens, A. Delabie, T. Vandeweyer, C. Delvaux, F. Leys, A. Hikavy, R. Rooyackers, M. Kaiser, R. GR. Weemaes, F. Voogt, H. Roberts, D. Donnet, S. Biesemans, M. Jurczak, and R. J. P. Lander, "Gatestacks for scalable high-performance FinFETs", *IEDM Tech. Dig.*, pp. 681-684 (2007).
- [48] J. Kretz, L. Dreeskornfeld, R. Schröter, E. Landgraf, F. Hofmann, and W. Rösner, "Realization and characterization of nano-scale FinFET devices", *Microelectronic Eng.*, **73-74**, pp. 803-808 (2004).
- [49] M. Nawaz, W. Molzer, S. Decker, L.-F.e Giles, and T. Schulz, "On the device design assessment of multigate FETs (MuGFETs) usingfull process and device simulation with 3D TCAD", *Microelectronics Journal*, **38**, 12, pp. 1238-1251 (2007).
- [50] C. R. Manoj, M. Nagpal, D. Varghese, and V. R. Rao, "Device Design and Optimization Considerations for Bulk FinFETs", *IEEE Trans. Electron Devices*, **55**, 2, pp. 609–615 (2008).
- [51] S. N. Sambandam, S. Bhansali, V. R. Bhethanabotla, and D. K. Sood, "Studies on sputtering process of multicomponent Zr–Ti–Cu–Ni–Be alloy thin films", *Vacuum*, **80**, pp. 406-414 (2006).
- [52] Yu. A. Bystrov, V. L. Laska, V. A. Vol'pyas, E. A. Govako, D. E. Timofeev, and V. V. Troshkov, "Features of the Transport of Sputtered Atoms during Ta₂O₅ Film Deposition onto Substrates of Complicated Configuration", *Technical Physics Letters*, **28**, pp. 173–175 (2002).
- [53] A. Settaouti, and L. Settaouti, "Transport of sputtered atoms investigated by Monte Carlo method", *IET Sci. Meas. Technol.*, **3**, pp. 263-270 (2009).
- [54] C-G Kim, and W-J Lee , "An angular distribution function for the sputter-depositing atoms and general equations describing the initial thickness profile of a thin film deposited inside a via and trench by sputtering", *Thin Solid Films*, 519, pp. 74-80 (2010).
- [55] R. E. Somekh, "The thermalization of energetic atoms during the sputtering process", *J. Vac. Sci. Technol. A*, **2**, pp. 1285-1291 (1984).
- [56] Y. A. Bystrov, V. L. Laska, V. A. Vol'pyas, E. A. Govako, D. E. Timofeev, and V. V. Troshkov, "Features of the Transport of Sputtered Atoms during Ta₂O₅ Film Deposition onto Substrates of Complicated Configuration", *Technical Physics Letters*, **28**, pp. 173-175 (2002).
- [57] J. A. VallesAbarca, and A. GrasMarti, "Evolution towards thermalization, and diffusion, of sputtered particle fluxes: Spatial profiles", *J. Appl. Phys.* **55**, pp. 1370-1378 (1984).
- [58] Z. Lin and T. S. Cale, "Flux distributions and deposition profiles from hexagonal collimators during sputter deposition", *J. Vac. Sci. Technol. A*, **13**, pp. 2183-2188 (1995).
- [59] K.S. Fancey, "A coating thickness uniformity model for physical vapour deposition

- systems: overview”, *Surface and Coatings Technology*, **71**, pp. 16-29 (1995).
- [60] G. S. Oehrlein, "Study of sidewall passivation and microscopic silicon roughness phenomena in chlorine~based reactive ion etching of silicon trenches", *J. Vac. Sci. Technol. B*, **8**, pp. 1199-1211 (1990).
- [61] Y. Liu, S. Kijima, E.o Sugimata, M.u Masahara, K. Endo, T. Matsukawa, K. Ishii, K. Sakamoto, T. Sekigawa, H. Yamauchi, Y. Takanashi, and E. Suzuki, “Investigation of the TiN Gate Electrode With Tunable Work Function and Its Application for FinFET Fabrication”, *IEEE Trans. Nanotechnol.*, **5**, **6**, pp. 723-730 (2006).
- [62] 中港 努：修士論文、「3次元ゲート構造の形状制御と高誘電率絶縁膜の形成」、東京工業大学、2005年。
- [63] 森 俊介；修士論文、「ECRスパッタ法による3次元構造上への高誘電率絶縁膜の形成に関する研究」、東京工業大学、2006年。

第 2 章

試料作製方法および評価方法

2.1 試料作製方法

2.2 評価方法

第 2 章 試料作製方法及び評価方法

本研究の目的は 3 次元 Si 構造上への高品質な HfN/HfSiON 構造の形成を目指すとともに、デバイス特性の観点から HfN/HfSiON 構造の形成法の最適化を行うことである。この目的を達成するために ECR スパッタ法を用いて形成した HfN/HfSiON 構造を有する MOS キャパシタの作製プロセスの検討、そして作製したデバイスの諸特性に関する評価を行い検討・考察することが重要である。そこで本章では、本研究で用いた試料作製方法および評価方法について述べる。

2.1 試料作製方法

本節では、本研究で用いた試料作製方法と使用する装置について述べる。はじめに評価試料(MOS キャパシタ、MOSFET)の作製プロセスについて簡単に紹介する。MOS キャパシタの MOS は、Metal-Oxide-Semiconductor の頭文字を取ったものであり、電極-絶縁膜-半導体の構造をしている。Al/HfON、Al/HfSiON および、HfN/HfSiON 構造の MOS キャパシタ形成に用いられる ECR スパッタ法について述べ、堆積後の熱処理方法について説明する。3 次元 Si チャネル構造作製や電極パターン形成に用いられるステップやマスクアライナ、ICP-RIE エッチング法などについて説明する。次に、MOSFET の作製プロセスに必要とされている実験装置、方法について述べる。最後に試料の電気的特性評価のために必要となる電極形成法について述べる。

2.1.1 基板洗浄方法

半導体に用いられている Si 基板の表面は極めて高いクリーン度に保つ必要がある。しかし実際にはパーティクル・金属原子付着・有機物付着などの汚染が必ず生じる。また Si 基板が大気中の酸素と反応して意図せずに、形成される自然酸化膜(1 nm 程)も、汚染の一種とすることができる。これらが残ったままデバイスを作製すると、歩留まり低下など様々な悪影響の引き金となるため、工程前に Si 基板の洗浄を行うことは極めて重要である[1]。

以下に本研究で用いた Si 基板洗浄プロセスを表 2.1 に示す。SPM 溶液とは濃硫酸と過酸化水素水を 4:1 の割合で混合した溶液のことである。SPM 洗浄では有機物、重金属を取り除くことが出来る。SPM 洗浄に続いて超純水によるリンスをおこなう。この後に DHF(1%HF)溶液による洗浄を行う。HF は SPM 洗浄時に形成された Si 基板表面の酸化膜(SiO_2)を溶解する。Si は疎水性、 SiO_2 は親水性なので疎水性が確認できた時点で HF による洗浄は終了である。

表 2.1 本研究で用いた Si 基板洗浄プロセス

手順	洗浄内容	時間など
1	SPM 洗浄	10 min
2	超純水リンス	10 min
3	DHF 洗浄	1 min
4	超純水リンス	10 min
5	SPM 洗浄	10 min
6	超純水リンス	10 min
7	DHF 洗浄	1 min(疎水性確認)
8	超純水リンス	10 min

上記の表 2.1 の手順 1~4 を汎用グレードとし、手順 5~8 の繰り返しを洗浄グレードとした。より高いクリーン度を実現するために、汎用グレード、洗浄グレードの各々で用いるピーカー、ピンセットを変えて洗浄を行った。

2.1.2 電子サイクロトロン共鳴 (ECR) スパッタ法

スパッタ法とは、エネルギーを持ったイオンにより固定ターゲット中の原子をガス中に放出させ、堆積させる物理的な堆積法である。この方法の特徴は、堆積レートが高いことである。また、同じく物理的な堆積法である分子線エピタキシー(MBE: Molecular Beam Epitaxy)に比較して堆積レートが高い特徴がある。

ECR(Electron Cyclotron Resonance)スパッタ法ではナノメートルオーダーで膜厚制御された絶縁物や金属の単層・多層薄膜などの成膜が可能である。また、基板加熱なしで高品質な特性をもつ極薄膜構造を形成することも可能である[2-3]。

ECR スパッタ装置の原理と特徴

図 2.1 に本研究で用いた ECR スパッタ装置の概略図を示す。プラズマ室にガスを導入し、マイクロ波(μ 波 : 2.45 GHz)を導入するとともに、外部の磁気コイルにより ECR 条件を満たす磁界(磁束密度 875 Gauss)を与えて ECR プラズマを生成させる。(一般的に μ 波とは、電磁波のうち最も波長の短い領域にあり、周波数が 300 M~ 3 THz 程度のものを言うが、明確な規定はない)。また図 2.4 には、ECR プラズマの生成原理を示す。ここで e は電子 1 個の持つ電荷、 B は磁界強度、 v は電子の速度である。図 2.2 に示されているように磁場中の電子は磁力線の周りを角周波数 ω_c で回転運動する。このとき、回転角周波数 ω_c は円運動の方程式と $f = evB$ の式から、以下のように決定できる。

$$\omega_c = \frac{eB}{m} \quad (2.1)$$

ここで、 m は電子の質量である。ここに磁界と垂直にマイクロ波による交番電界を付与し、磁界を変えることで電子の角周波数と μ 波の周波数を一致させると電子は共鳴加速され高速に円運動する。この現象が電子サイクロトロン共鳴(Electron Cyclotron Resonance)である。そして加速された高速電子がチャンバー内のガス分子と衝突することで分子がイオン化し、イオン化の際に生じた電子がまた ECR 現象によって加速されるという連鎖で ECR プラズマが生成される。

磁気コイルによる磁界分布はプラズマ室上部で強く試料台方向に弱くなる発散磁界の構成となっており、ECR により高速で回転する電子は試料台方向に移動する。このとき、プラズマの中和条件としてプラズマ流中には電子を減速し、イオンを加速する静電界が自己整合的に発生し、プラズマ室内のイオンが効率よく輸送される。ECR スパッタ法ではこのプラズマ流を取り囲むように円筒ターゲットを配置し、これに RF(Radio Frequency: 高周波)バイアスを印加してプラズマ中のイオンを利用してスパッタを行う。発散磁界で引き出されたプラズマのイオンエネルギーは 10~30 eV 程度で分布しており、比較的低いため膜中へのダメージが少ない。試料表面ではスパッタによる原料供給とともにプラズマ流中を輸送される低エネルギーガスイオン照射によって薄膜形成反応が促進される。そのため、基板加熱を行わず、成膜速度 80 nm/min と高速で欠陥の少ない膜を得ることができる。

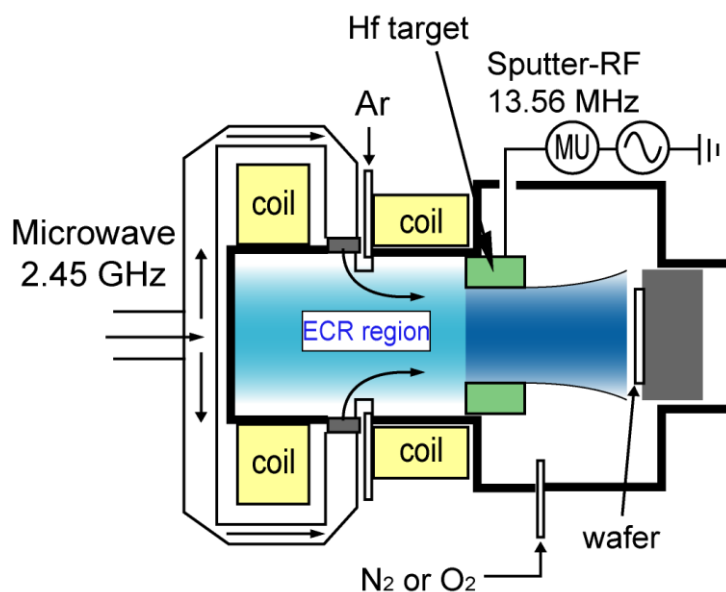


図 2.1 ECR スパッタ装置の概略図

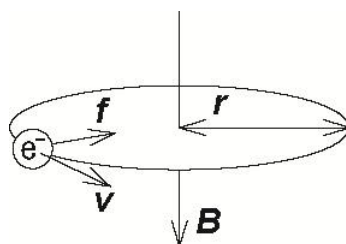


図 2.2 ECR プラズマの発生原理

ECR スパッタによる HfO_2 および HfN の堆積

図 2.1 で示したように、本研究で用いた ECR スパッタ装置では導入ガスを切り替えることで、 Ar/O_2 プラズマおよび Ar/N_2 プラズマを用いた HfO_2 および HfN の堆積が可能である。

HfO_2 の堆積は Ar ガスと O_2 ガスをプラズマ室に導入することから始まる。一方で、 HfN の堆積は Ar ガスと N_2 ガスをプラズマ室に導入することから始まる。ガスに続いてマイクロ波を導入すると共に、外部の磁気コイルにより ECR 条件を満たす磁界を与えて ECR- Ar/O_2 プラズマを生成する。プラズマの生成後に Hf ターゲットに RF バイアスを印加し、プラズマ中のイオンを用いてスパッタを行う。

ECR- Ar/N_2 プラズマ窒化および ECR- Ar/O_2 プラズマ酸化による HfON の形成

ECR スパッタ法により堆積した HfO_2 薄膜および HfN 薄膜を、ECR- Ar/N_2 プラズマによる窒化および ECR- Ar/O_2 プラズマによる酸化により HfON 薄膜を形成する。ECR- Ar/N_2 プラズマによる窒化および ECR- Ar/O_2 プラズマによる酸化もプラズマ室に Ar ガスと N_2 ガスあるいは Ar ガスと O_2 ガスを導入することからはじまる。続いてマイクロ波を導入し、外部磁気コイルにより ECR 条件を満たす磁界を与えて ECR- Ar/N_2 プラズマおよび ECR- Ar/O_2 プラズマを発生させる。この時は Hf ターゲットに RF バイアスを印加しない。この ECR- Ar/N_2 プラズマ、ECR- Ar/O_2 プラズマプロセスの利点としては導入ガスを切り替えるだけで、1つのチャンバーで in-situ で酸化、窒化が行えること、ECR プラズマを用いているためにダメージが小さいことが挙げられる。

2.1.3 高速熱処理 (RTA) 法

デバイス作製プロセスにおける浅い接合の形成や大口径ウェハでの歪みによる欠陥の発生を抑制するために、時間軸に対する温度の積分値(サーマルバジェット)の低減の必要性が高まっている[4]。この要求を満たすのが高速熱処理(RTA: Rapid Thermal Annealing)装置である。図 2.3 には、本研究で用いた RTA 装置の概略図を示す。反射面をもったリフレクター部に高密度・高出力の赤外線ランプが設置されており、反射面か

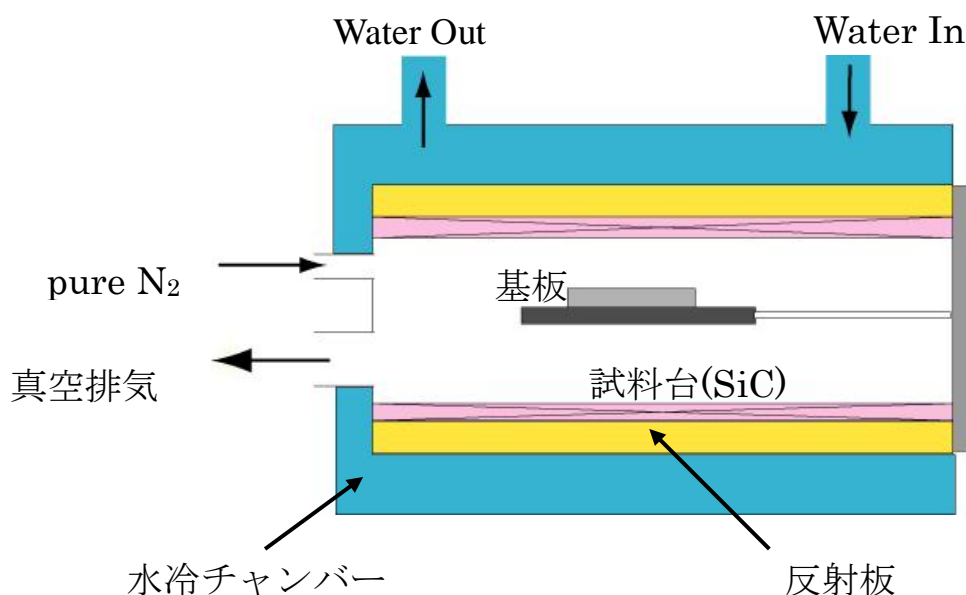


図 2.3 RTA 装置の概略図

らの輻射によって赤外線を効率よく利用して高温までの急速な過熱、高精度の温度制御が可能である。

試料を搬入してから RTA 炉内を 10 Pa 程度まで真空引きし、その後高純度の N_2 ガスにより炉内をパージする。この工程を 3 回繰り返す、炉内をより純度の高い N_2 雰囲気満たし、流量を 0.8-30 slm (standard liter per minutes) として annealing を行う。この RTA 装置で用いている N_2 ガスは 99.9999 % の高純度であり、RTA 装置へのガス導入配管には電界研磨管を使用している。これにより不純物の少ない雰囲気中での熱処理が可能となる。本研究では、この RTA 法を HfON 薄膜および HfN/HfON 構造堆積後の熱処理(PDA: Post Deposition Annealing)に用いた。

2.1.4 ステップ

本研究において、3 次元 Si 構造や 3D-SOIMISFET の作製をニコン社製ステップ NSR-1505G6E を用いて行った。本ステップは光源に g 線(露光波長 436 nm)を用いており、解像度は 0.65 μm である。この装置の仕様を表 2.2 に示す。

ステップはレチクル上のパターンを縮小投影し、ステップ・アンド・リピート方式により、ウェハ上に露光を行うための装置である。基本的な構成を図 2.4 に示す。超高圧水銀灯によりレチクルに描写されたパターンは縮小投影される。この際、レーザー干渉計により高精度に位置を管理されたステージ上にウェハは固定され、ステージを移動することでウェハ全面に露光が繰り返される。またレチクルパターンとウェハ上のパターンの重ね合わせは、レチクルとウェハのそれぞれに設けられたアライメントマークとス

ステージ上に設けられたフィディシャルマークとの相対位置をセンサにより計測し、その値を元にステージを移動することで高精度に位置決めすることができる。

表 2.2 ステップパ(NSR-1505G6E)の仕様

露光波長	436 nm(g 線)
解像度	0.65 μm
重ね合わせ精度	0.13 μm (EGA)
ステップング精度	0.09 μm
ステージ直交度	± 0.3 s
使用ウェハサイズ	2 inch
レンズ N.A	0.54
縮小レンズの倍率	1/5 倍

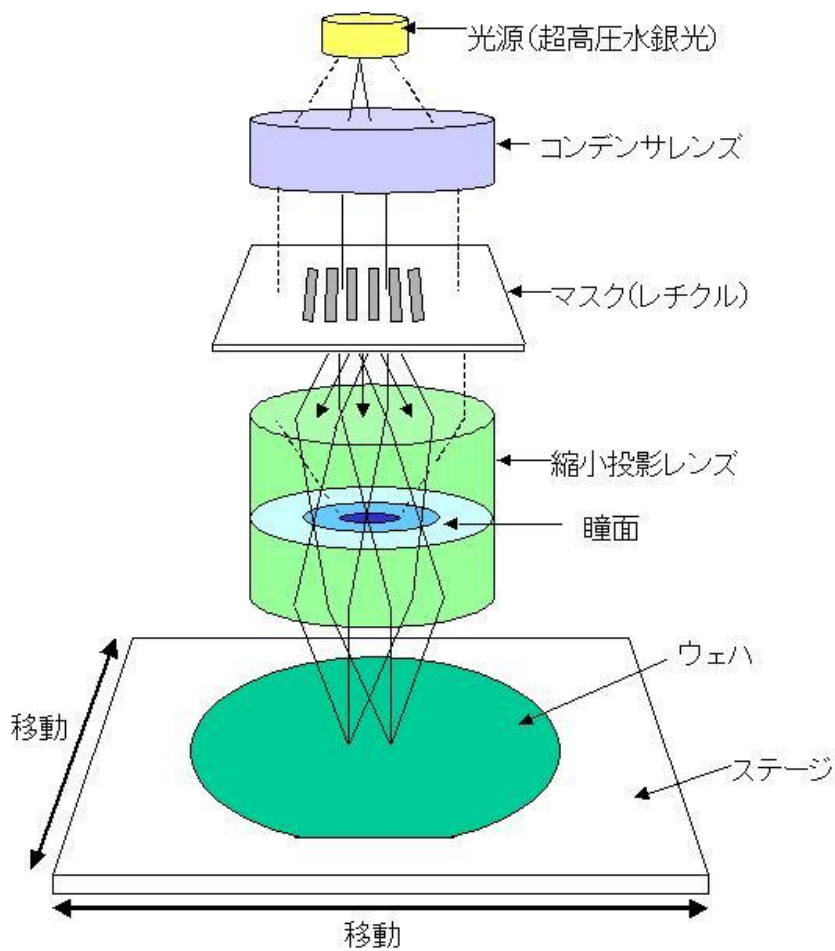


図 2.4 ステップパ(NSR-1505G6E)の基本構成図

2.1.5 マスクアライナ

本研究では電極のパターニングや Planar MOSFET の作製においてマスクアライナを用いて密着露光(等倍露光)によりレジストのパターニングを行った。図 2.5 にマスクアライナによる露光の概念図を示す。

図 2.5 に示すように、レジストを塗布したウェハに原寸マスクを密着させて平行光を照射し、マスクパターンの陰影をレジストに転写する方法である。簡易な方法にもかかわらず解像度は高く、本研究においてはこの方法を用いて $2\ \mu\text{m}$ 程度の解像度を得ている。しかしマスクとウェハが密着するために、マスク、あるいはレジストに欠陥を生じてしまい、素子作製の歩留まりがそれほど高くないという欠点を持つ。

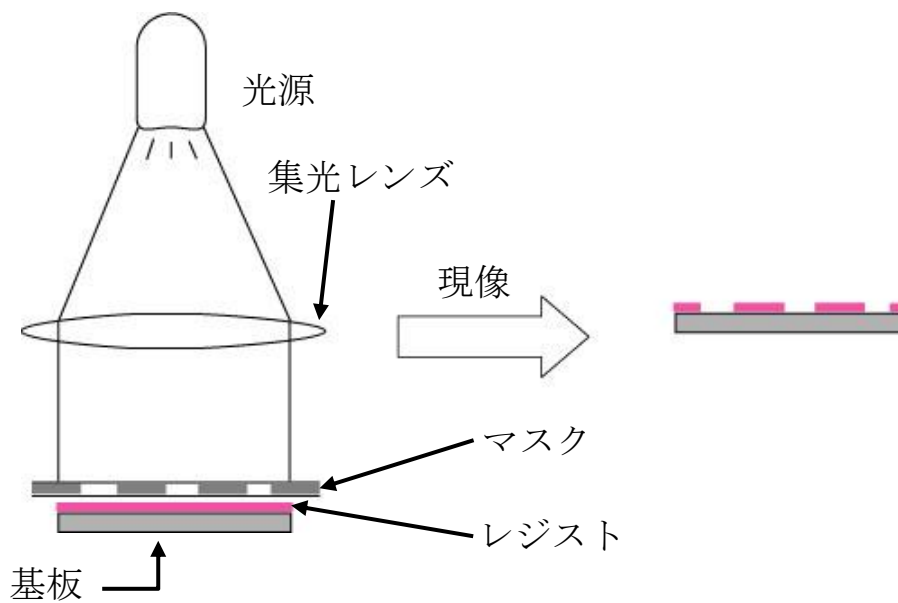


図 2.5 密着露光方式の概念図

2.1.6 誘導結合プラズマ型反応性イオンエッチング (ICP-RIE) 法

本研究では、ドライエッチング装置としてアルバック社製の誘導結合プラズマ型 ICP(Inductively Coupled Plasma)方式の反応性イオンエッチング RIE(Reactive Ion Etching)装置を用いた。以下に RIE の原理を述べる。基本的な構成を図 2.6 に示す。

RIE は導入ガスに高周波電界を印加して発生させたプラズマ中の活性粒子の化学反応を利用して行う化学的エッチングと、磁界中の電界で作った Ar^+ などのイオンを加速して基板にあて原子を削って行う物理的エッチングを組み合わせたものである。さらに基板を陰極付近に設置しておくことで、シース電界により正イオンが基板に対し垂直に入射し、この垂直入射する正イオンが表面反応を促進させることでエッチングが異方的に行われる。また、2.1.7 節で説明するイオン注入による不純物ドーピングでマスクとして用いるレジストを除去するために、ICP-RIE を用いたアッシングプロセスにより、レジストでマスクされた部分へのダメージを低減できるという報告があるため[5]、本研究におけるアッシングプロセスにおいても ICP-RIE を使用する。

次に本研究で使用した ICP-RIE の特徴について述べる。平行平板方式では、RF 電源が1つなのに対し、ICP 方式ではバイアス電源を効果的に使用するために、スパイラル型のコイルを用いている。ICP は、高真空度で高いプラズマを発生させることができる。このことにより、イオンの平均自由行程が長くなることにより、より垂直性の高いエッチングが可能となる。また、バイアス RF のみを変化させることにより選択比の向上や側壁のイオン衝撃によるダメージの低減を図ることができる。また、He 及びチラーを用いた基板ステージの冷却が可能である。

表 2.3 および表 2.4 に本研究で用いた ICP-RIE による Si のエッチングおよびアッシング条件を示す。

表 2.3 ICP-RIE による Si のエッチング条件

Cl_2/O_2 流量 [sccm]	Antenna/Bias RF[W]	反応圧力 [Pa]	He 圧力 [Pa]	チラー温度 [°C]
20/10	200/40	0.6	400	-15

表 2.4 ICP-RIE によるアッシング条件

O_2 流量 [sccm]	Antenna/Bias RF[W]	反応圧力 [Pa]	He 圧力 [Pa]	チラー温度 [°C]
40	400/0	11.5	200	21

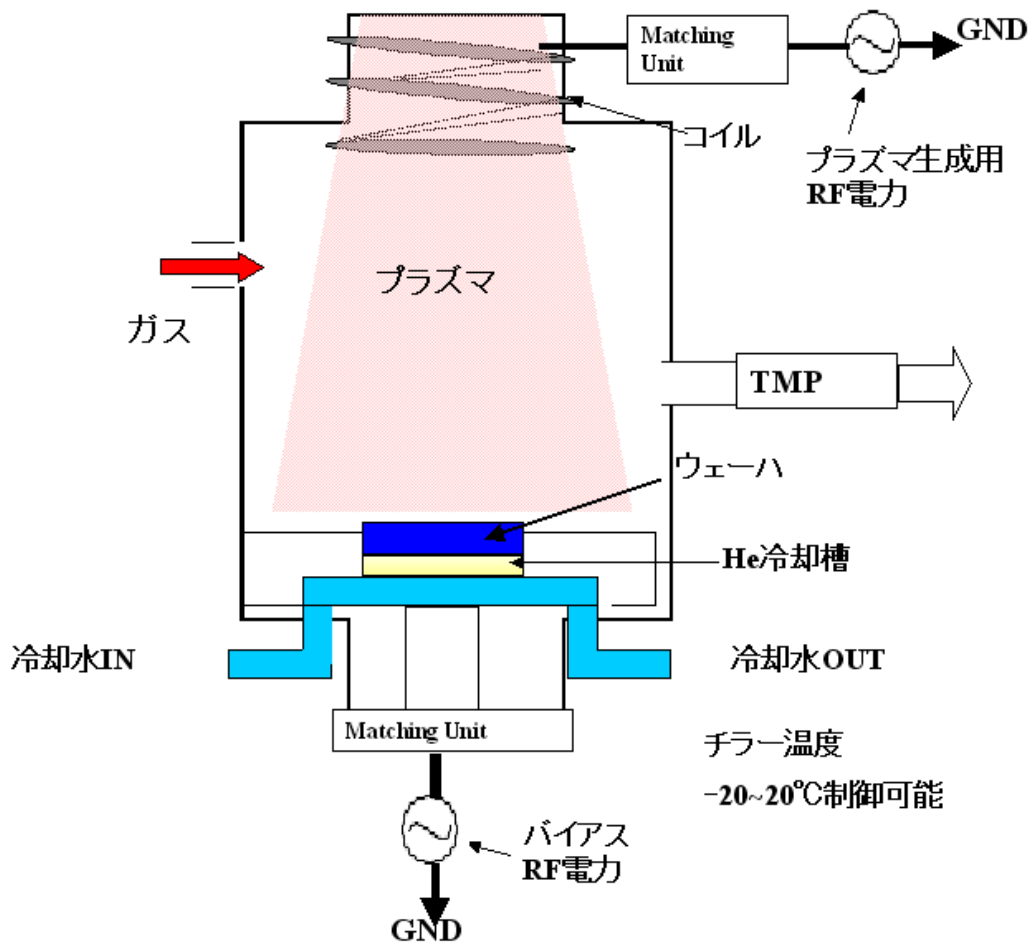


図 2.6 ICP-RIE 装置概略図

2.1.7 イオン注入法

イオン注入法とは、不純物イオンを高電界で加速して固体内に打ち込む方法である。図 2.7 に本研究で用いたイオン注入法の概略図を示す。

イオン源では、 BF_3 、 PH_3 、 AsH_3 などの不純物を含むガスを、マイクロ波放電によるプラズマでイオン化することにより不純物イオンを生成する。生成されたイオンは 20~40 keV の負電圧を印加した引出し電極により取り出される。イオン源より取り出されたイオンビームには所望の不純物イオン以外にも種々の不要なイオンが含まれている。このため取り出したイオンビームを質量分析器に通し、特定のイオンだけを取り出す。次にイオンビームを加速管に通すことによって、不純物イオンの打ち込み深さに応じたエネルギーを持たせる。この段階でイオンビームのエネルギーは、引出し電圧および加速電圧により得られたエネルギーの和になる。さらにイオンビームは四重極レンズを通り基板付近に収束するように成形され、基板全面に均一に打ち込まれるように X-Y 走査電極により調整される。

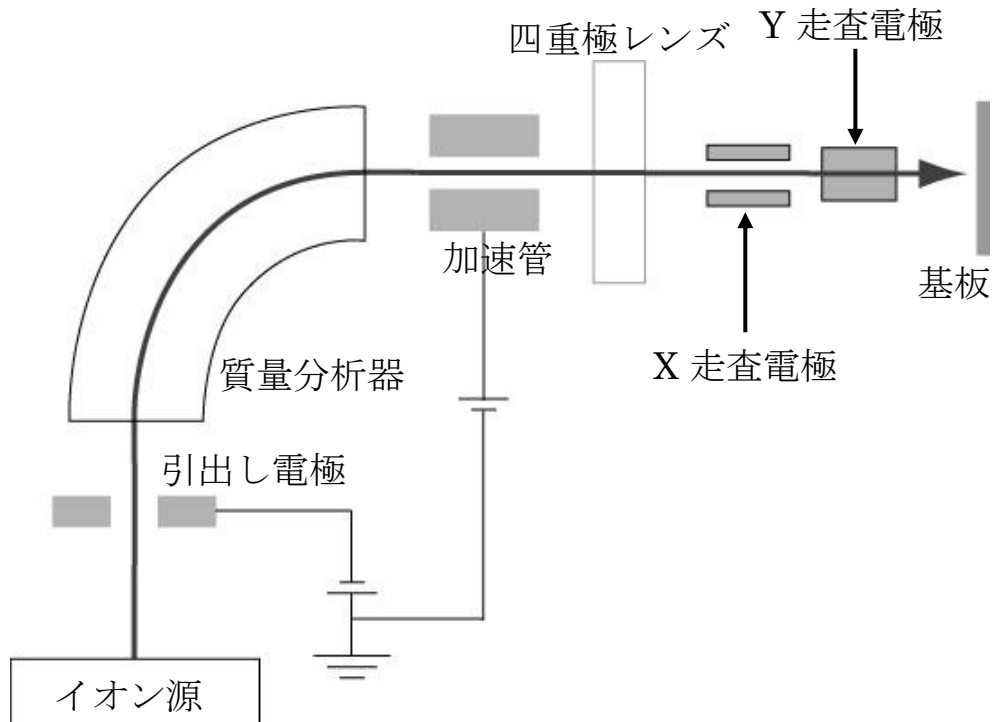


図 2.7 本研究で用いたイオン注入装置の概略図

このイオン注入法の特徴としては以下が挙げられる。

- 注入する不純物イオンの数をビーム電流として計測できるため導入される不純物量を正確に決めることができる。また、注入深さはイオンビームの加速度電圧によって決まるため、基板内の不純物分布を正確に制御できる。
- 不純物導入の時点では低温プロセスなので、選択的に注入を行う場合に SiO_2 、 SiN 膜以外にレジスト、金属もマスクとして使用できる。
- 基板内部に不純物濃度のピークを設定できるので、薄い酸化膜を通しての不純物導入が可能である。
- 注入されたイオンの横方向への広がり、縦方向への広がり比べて小さいため、微細化の点で有利である。

- ・ 目的とする不純物イオンのみを質量分析器によって取り出しているため、高純度の不純物導入が可能である。

一方欠点としては、エネルギーを持ったイオンを基板表面に打ち込むために特に高濃度注入において結晶欠陥を発生しやすい点が挙げられる。

本研究では、MOSFET 作製プロセスにおいて、素子間分離領域にチャネルストップパとして BH_3 、ソース・ドレイン拡散領域に PH_3 をそれぞれイオン注入法により打ち込んで形成した。

イオン注入を行った後には活性化アニールが必要になる。前述したようにイオン注入により Si 基板表面は化学的な反応をすると共に、物理的なダメージを受けている。さらに、注入されたイオンの多くは格子位置には位置していない。したがって、熱処理を用いて結晶構造を回復し、イオンを活性化させる必要がある。これが活性化アニールであり、本研究では 2.1.3 節で説明した RTA 法または 2.1.8 節で説明する熱酸化炉を用いておこなっている。

2.1.8 熱酸化法

Si を高温炉内で O_2 または H_2O 雰囲気中で酸化することにより、 SiO_2 を形成する技術が熱酸化法である。

Si/SiO₂ の境界は、酸化プロセス中に Si 内に移動する。Si と SiO₂ の密度および分子量から、厚さ x の SiO₂ が形成されたとすると、 $0.44x$ の Si が消費されることがわかっている。熱酸化により形成した SiO₂ はアモルファス構造をしており、密度が疎であるため不純物が入りやすく、容易に拡散する。そのため、炉心管内は高洗浄状態に保つ必要がある。

Si の熱酸化の機構は Deal と Grove によって提案されたモデルにより説明することが出来る[6]。酸化の初期の段階では表面反応が律速過程になっていて(反応律速)、酸化膜の厚さは時間に対して直線的に変化する。酸化膜が厚くなると、酸化物質は酸化膜を通して拡散し、Si-SiO₂ 界面で反応しなければならないため、反応は拡散律速になる。このとき H_2O を用いる熱酸化の場合は H_2O が Si-SiO₂ 界面に到達して反応し、そして H_2 が酸化膜表面まで出てくる必要があるが、 H_2 は H_2O に比べてはるかに拡散しやすいため H_2O の拡散による律速となる。また H_2O は O_2 よりも SiO₂ 中を拡散しやすい。そのため H_2O を用いた酸化の方が O_2 を用いた酸化に比べ酸化速度が速くなる。 O_2 、 H_2O 、 H_2 の 1050°C における SiO₂ 中の拡散係数はそれぞれ、 $D(\text{O}_2)=2.8\times 10^{-14}$ cm²/s、 $D(\text{H}_2\text{O})=9.5\times 10^{-10}$ cm²/s、 $D(\text{H}_2)=2.2\times 10^{-6}$ cm²/s となっている。

本研究で用いた熱酸化炉を図 2.8 に示す。本研究で用いた熱酸化炉は高純度石英管の周りを SiC で覆うことにより、ヒータからの金属汚染を極限まで低減した 3 ゾーン方式の高洗浄 2 連式酸化炉であり、高品質なドライ及びウェット酸化膜の形成が可能である。

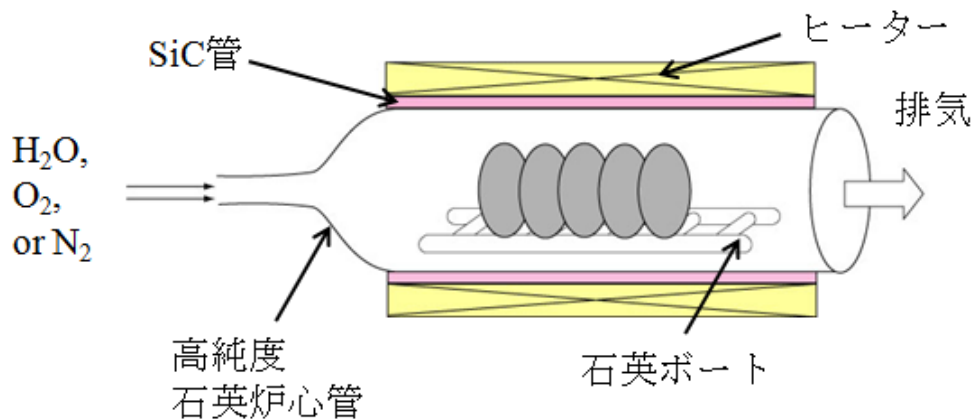


図 2.8 本研究で用いた熱酸化炉の概略図

2.1.9 真空蒸着法

真空蒸着法とは真空中で固体を加熱蒸発させ、一定の温度に保持した基板の上に堆積させて薄膜を形成する方法である。真空蒸着法の特徴は 10^{-4} Pa 程度の真空中で成膜することにより高い成膜速度で形成できることである。また、スパッタ法を用いた場合に問題となる二次電子や X 線などのダメージはない。

蒸着原料を蒸発させる方法としては、抵抗加熱法、電子ビーム法などがあるが、本研究においては W フィラメント上に原料である Al を直接置いて W フィラメントに電流を流すことにより蒸発させる抵抗加熱法を用いた。図 2.9 に装置の概念図を示す。蒸着初期には材料表面に付着していた汚染物質などを除去するため、シャッターを閉じておく。1 分程度クリーニングした後、シャッターを開き、必要な膜厚まで蒸着を行い再びシャッターを閉じる。蒸発した原料は真空中で他の気体分子にあまり散乱されことなく基板まで直進し堆積するが、本研究で用いた装置の真空度は 10^{-3} Pa 程度であるため、Al などの金属を堆積させる場合には、蒸着中の酸素の取り込み等を防ぐため、短時間に所望の膜厚を堆積することが重要である。本研究では MOS キャパシタの作製の際の電極形成のために Al をこの手法により蒸着した。

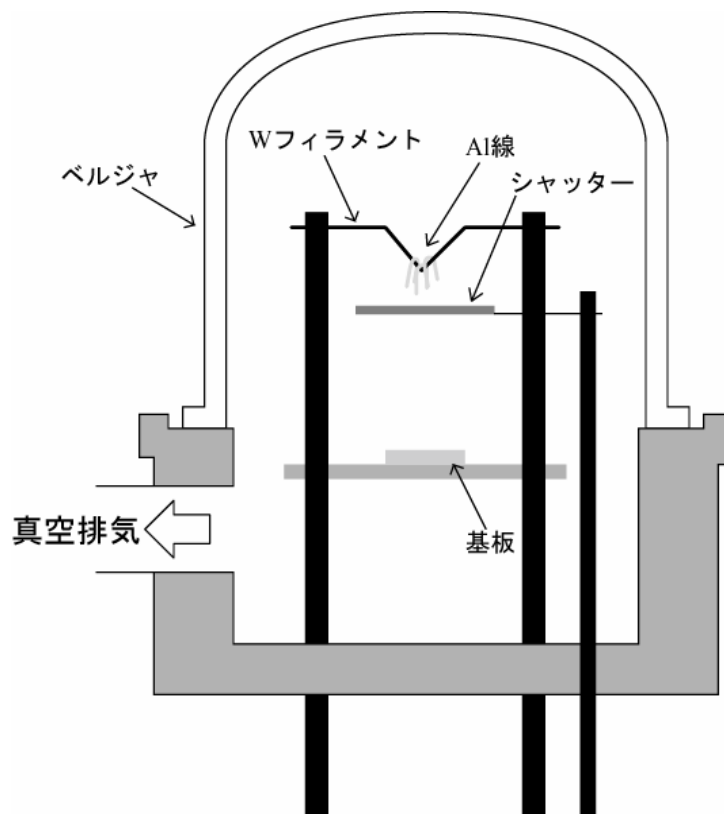


図 2.9 真空蒸着装置概略図

2.2 評価方法

本節では、本研究で作製した試料の評価方法について述べる。はじめに電気的特性である容量-電圧(C-V)法と、電流-電圧(J-V)法について述べた後、走査型電子顕微鏡(SEM)について述べる。

2.2.1 容量-電圧 (C-V) 法

本研究では低温熱酸化膜を用いた MOS ダイオードを作製し、その C-V 測定を行っている。C-V 測定は直流電圧に微小振幅の交流測定電圧を重畳し、これによる交流成分から、微分容量 $C (=dQ/dV)$ の値を求める測定である。図 2.10 に一般的な nMOS キャパシタの C-V 曲線の模式図を示す。 $V < 0$ の蓄積領域では空乏層は存在しないので、 $C = C_{ox}$ の一定容量値を示す。 $V > 0$ の空乏領域に入ると、 V の増大に伴い空乏層が広がるため、酸化膜容量 C_{ox} に空乏層容量 C_{ox} が直列につながり、 C の値が減少する。 $V > V_t$ の反転領域に入ると、空乏層の広がりには最大空乏層幅で固定され、表面に反転層が形成されるため、容量 C は増加する。しかし、反転層を形成する少数キャリアの生成時間が 0.1 s であるため、通常 100 Hz 程度よりも高い周波数の測定では反転電荷が印加された交流

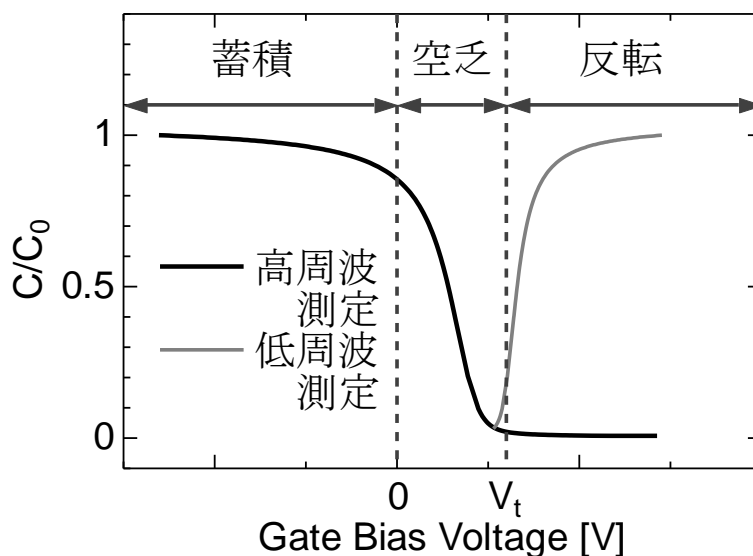


図 2.10 一般的な MOS キャパシタの C-V 曲線

信号に応答できず、 C は一定値を示す。そして、この C-V 特性からは様々な情報を得ることができる。

本研究では、この C-V 特性の測定に Agilent Technology 製 4284A プレシジョン LCR メータを用いた。

2.2.1.1 SiO₂ 換算膜厚

高誘電率絶縁膜における研究では SiO₂ との比較のために EOT(Equivalent Oxide Thickness)が用いられる。

つまり、比誘電率 $\epsilon_r=7.8$ 、物理膜厚 $t_{high-k}=2$ nm の高誘電率薄膜の EOT は 1 nm であり、物理膜厚 1 nm の SiO₂($\epsilon_r=3.9$)を用いてキャパシタを作製した場合と同様のキャパシタンスを得ることができることを意味する。しかし、実際は空乏容量や量子効果などを考慮に入れなければならない。本研究では C-V 特性の蓄積側の容量値から EPOQUE[7] (EOT 解析ソフト) を用いて量子効果などを考慮にいれて EOT の算出を行った。

2.2.1.2 フラットバンド電圧

金属の仕事関数と半導体のフェルミ準位が等しいと仮定している理想的な MOSFET と異なり、実際の MOSFET は印加電圧がゼロの状態であってもバンドが曲がっている。そこで、フラットバンド状態にするためにはゲートに金属の仕事関数 ϕ_m と半導体の仕事関数 ϕ_s の差の電圧を印加しなければならない。この電圧がフラットバンド電圧であり、以下の式で示される。

$$V_{fb} = \phi_{ms} = \phi_m - \phi_s \quad (2.2)$$

しかし、実際は様々な要因のため、フラットバンド電圧はシフトする。そのシフト分がフラットバンドシフト(ΔV_{fb})である。 ΔV_{fb} の主な要因として以下のものが挙げられる。

可動イオン

電界によって移動するイオンであり、 Na^+ 、 K^+ などのアルカリイオンがこれにあたる。現在ではデバイス作製プロセス及び雰囲気のクリーン化によりほとんど抑制可能である。

固定電荷

固定電荷は絶縁膜/Si 界面にきわめて近接した絶縁膜中に位置している。固定電荷は固定されているため、表面電位 ψ_s が大きく変化しても充電されたり、放電されたりしない。そのため、固定電荷による C-V 曲線のシフトはゲート電圧 V_g が変化しても一定である。また、Si の場合、固定電荷の基板面方位依存性は(100)<(110)<(111)である。

界面準位

界面準位は絶縁膜/Si 界面近傍に存在し、エネルギー準位は Si の禁制帯の中にある。その発生理由は物質の最表面が結晶構造の周期性が失われる場所、すなわち、共有結合の相手を失った場所であることに起因する。この界面準位は禁制帯の中心近傍に主に存在するため、この準位の電子の占有率はフェルミ準位との位置関係によって異なってくる。したがって、界面準位が存在する場合にはゲート電圧によって C-V 曲線への影響は異なる。また、Si の場合、界面準位密度の基板面方位依存性も(100)<(110)<(111)である[8]。

2.2.1.3 ヒステリシス

ヒステリシス現象は界面準位や絶縁膜中のトラップに起因するもので、この現象は準位やトラップと半導体側との電荷のやり取りが遅い場合に起こり、図 2.11、2.12 に示すように電荷注入型とイオンドリフト型(分極型)の2種類が存在する。

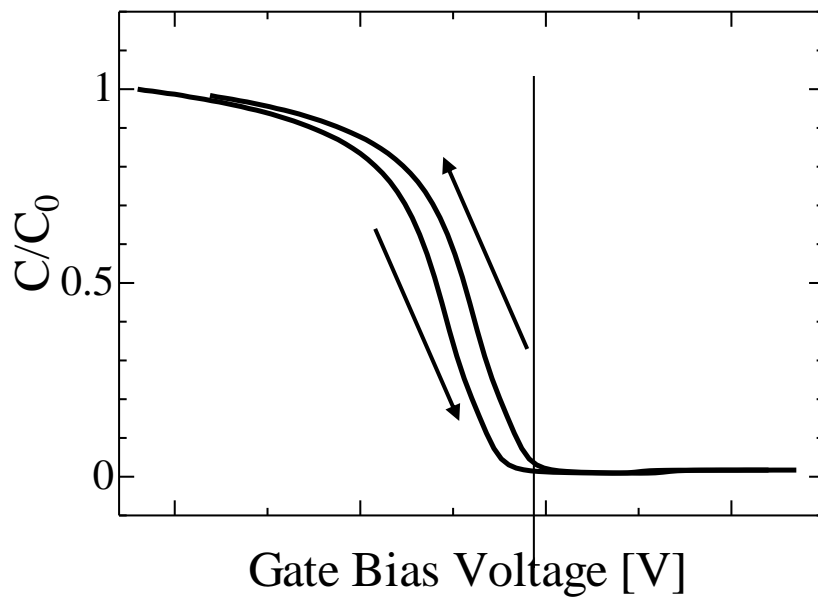


図 2.11 電荷注入型のヒステリシス

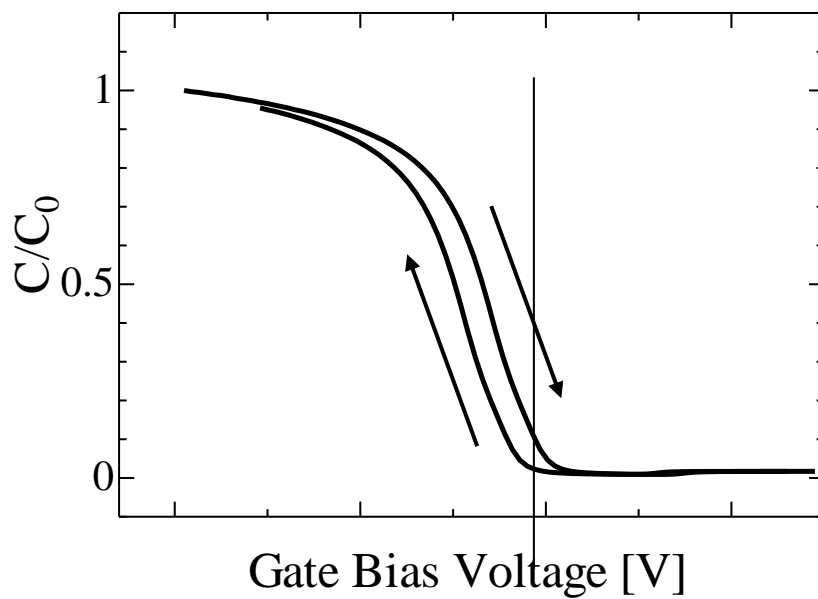


図 2.12 イオンドリフト型のヒステリシス

電荷注入型は電子を放出する前は中性であり、放出した後は正電荷となるドナー準位に起因する。ゲート電圧を負方向から正方向に掃引する場合、ゲート電圧 V_G が小さい場合には、界面準位はフェルミ準位より上にあるために多くが正にイオン化し、そのためドナー準位がない場合の C-V 曲線と比較すると V_G のより負の値から容量が減少し始める。しかしバンドの曲がりが大きくなるにつれて界面準位はフェルミ準位より下になり、中性化するためドナー準位による ΔV_{fb} の値が実質的に小さくなり容量の減少がゆるやかになる。一方ゲート電圧を高い値から低い値へ掃引する場合は始めに界面準位が空であり界面準位による ΔV_{fb} の値が小さいためドナー準位がない場合の C-V 曲線とほぼ同じ軌跡をたどる。しかし、 V_G の値が大きくなるにつれて正にイオン化した界面準位が増えるため ΔV_{fb} の絶対値が大きくなり、ドナー準位がない場合の C-V 曲線と比較し負方向にシフトし始める。以上のような原因でヒステリシスが生じる。図 2.13 には簡単なバンド図を示す。

イオンドリフト型は電子を得る前は中性であり、得た後は負電荷となるアクセプタ準位に起因するもので、そのふるまいは注入型の逆になる。本研究では、蓄積側での容量値と反転層側での容量値の間での電圧幅からヒステリシス幅を求めた。

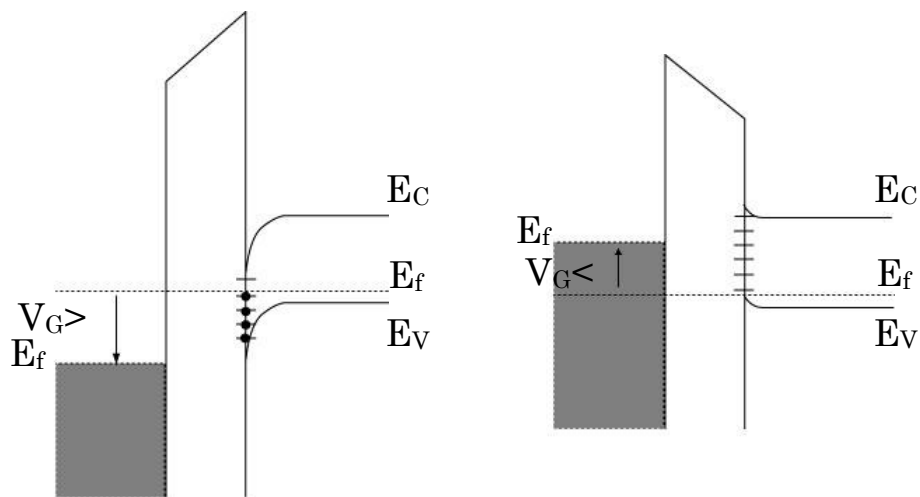


図 2.13 ゲート電圧印加による界面準位への充放電

2.2.2 電流-電圧 (J-V) 法

本研究では MOS ダイオードのゲート電極に電圧を印加した際に流れる電流をリーク電流として測定している。一般的に絶縁膜を流れる電流には以下に示すような様々な導電機構が存在する。絶縁膜中の基本的な電気伝導過程それぞれについて以下で説明し、表 2.5 にまとめる。

ショットキー放出

金属-絶縁膜界面または絶縁膜-半導体界面で生じる熱電子放出がキャリア輸送の原因となる。 $\ln(J/T^2)$ を縦軸、 $1/T$ を横軸にとって線形性が得られればショットキー放出が支配的である。

P-F(Poole-Frankel)放出

捕獲された電子が電界で活性化され、伝導帯に熱励起されることに基づいている。クーロン力を持ったトラップ準位に対しての式はショットキー放出と見かけ上同一である。しかし障壁の高さは井戸方ポテンシャルの深さである。障壁の低下は正電荷が固定されているために値はショットキー放出よりも2倍大きい。 $\ln(J/E)$ を縦軸、 $E^{1/2}$ を横軸にとって線形性が得られれば、P-F 放出が支配的である。図 2.14 に P-F 放出の概念図を示す。

F-N (Fowler-Nordheim)トンネル放出

捕獲された電子が電界で伝導帯中にイオン化されるか、金属のフェルミエネルギーから絶縁膜の伝導帯に電子がトンネルして生じるのが F-N 放出である。F-N 放出は印加電圧依存性が最も強いが、本質的に温度に無関係である。 $\ln(J/E^2)$ を縦軸、 $1/E$ を横軸にとって線形性が得られれば、F-N トンネル放出が支配的である。図 2.15 に F-N トンネル放出の概念図を示す。

直接トンネル放出

絶縁膜が非常に薄くなると、電子が絶縁膜の禁制帯を通り抜ける直接トンネル放出が支配的になる。直接トンネル放出は絶縁膜が薄膜化するにつれて指数関数的に増大する。図 2.16 に直接トンネル放出の概念図を示す。

空間電荷制限電流(SCLC: Space Charge Limited Current)

電気的中性条件を満たすため、電荷が存在しない絶縁膜中に注入されたキャリアによって流れる電流に律速が生じる。これを空間電荷制限電流(SCLC)という。トラップの存在しない場合の単一キャリアの場合、電流は印加電圧の2乗に比例する。

ホッピング電流

低電圧で高温の場合には、熱的に励起された電子がトラップ準位から別の孤立したトラップ準位へと飛び移る、いわゆるホッピングによる電流が流れる。この機構は、オーミックな特性を示し、温度に指数関数的に依存する。

イオン伝導

電解中のイオン拡散で、一般にイオンは容易に絶縁膜中に注入されたり、抜け出したりすることが出来ないため、直流イオン伝導率は電界が印されている時間が経つにつれて減少する。初期電流が流れた後、正負空間電荷が金属-絶縁膜界面と半導体-絶縁膜界面の近くに形成され、電位分布のひずみを生じる。バイアスをゼロにすると大きい内部電界が残り、これが平衡状態を維持しようとして空間電荷の一部を逆方向へ移動させるため、逆向きのイオン電流を生じさせる。そのためヒステリシスが生じる。

表 2.5 絶縁膜中の基本的な電気伝導機構

導電過程	式	電圧-温度の関係
ショットキー放出	$J = A^* T^2 \exp\left[\frac{-q(\phi_B - \sqrt{qE/4\pi\epsilon_i})}{kT}\right]$	$\sim T^2 \exp\left(+a \frac{\sqrt{V}}{T}\right)$
P-F 放出	$J_{PF} \sim E \exp\left[\frac{-q(\phi_B - \sqrt{qE/\pi\epsilon_i})}{kT}\right]$	$\sim V \exp\left(+2a \frac{\sqrt{V}}{T}\right)$
F-N トンネル放出	$J_{FN} \sim E^2 \exp\left[\frac{4\sqrt{2m^*}(q\phi_B)^{3/2}}{3q\hbar E}\right]$	$\sim V^2 \exp(-b/V)$
直接トンネル放出	$J_{DT} = \frac{A}{t_{ox}^2} \exp\left(-2t_{ox} \sqrt{\frac{2m^* q}{\hbar^2} \Phi_B - \frac{V_{ox}}{2}}\right)$	
空間電荷制限電流	$J = \frac{8\epsilon_i \mu V^2}{9t_{ox}^3}$	$\sim V^2$
ホッピング電流	$J \sim E \exp(-\Delta E_{ae}/kT)$	$\sim V \exp(-c/T)$
イオン伝導	$J = \frac{E}{T} \exp(-\Delta E_{ai}/kT)$	$\sim \frac{V}{T} \exp(d/T)$

A*: 実効リチャードソン定数、 ϕ_B : 障壁高さ、 m^* : 有効質量、 t_{ox} : 絶縁膜厚、 E_{ae} : 電子の活性化エネルギー、 E_{ai} : イオンの活性化エネルギー

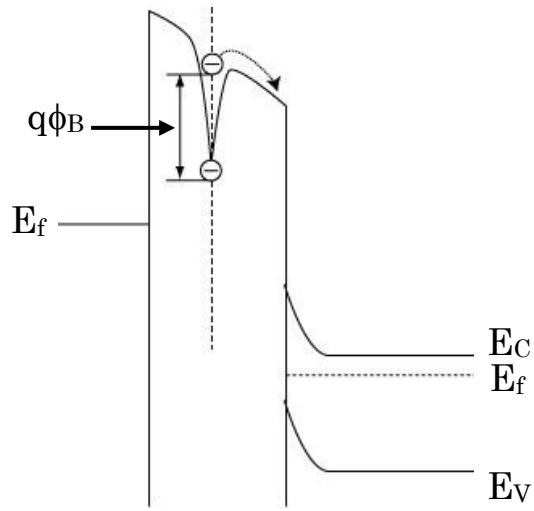


図 2.14 P-F 放出概念図

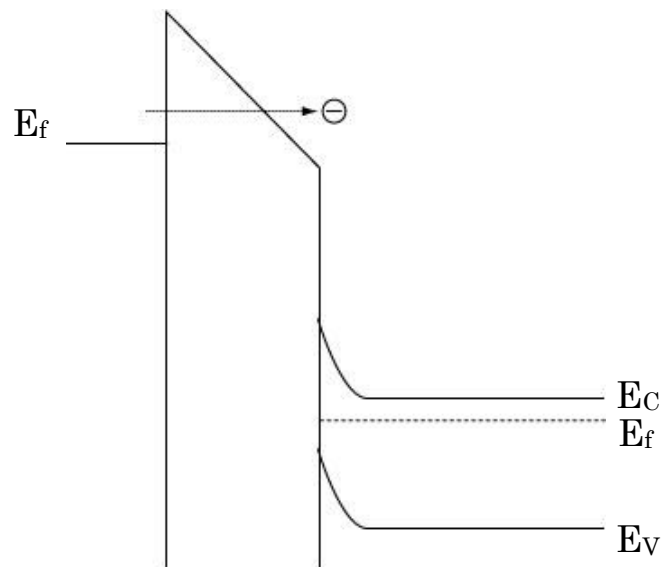


図 2.15 F-N 放出概念図

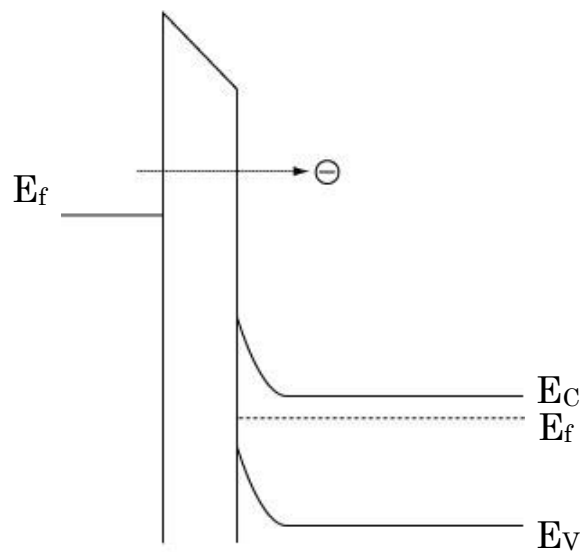


図 2.16 直接トンネル放出概念図

本研究ではリーク電流の温度依存性の測定は行わないため、どの導電機構かという推定は行わないが、極薄絶縁膜のリーク電流を測定しているので主に F-N トンネル放出および直接トンネル放出が支配的ではないかと考えられる。

また、この J-V 特性の測定には Agilent Technology 製 4156A 半導体パラメータアナライザを用いた。

2.2.3 走査型電子顕微鏡 (SEM)

本研究では、レジストマスクプロセスにおけるレジストの形状評価、ICP-RIE エッチングプロセスにおける Si チャネル形状の評価、ECR スパッタ法により形成した薄膜の被覆性評価に SEM(Scanning Electron Microscope)を用いている。図 2.17 に SEM の原理図を示す。

真空中でエネルギーを与えられた電子は、軸対称の磁場あるいは電場の電子レンズによりその軌道を変えて、電子線を一点に収束させることができる。すなわち、SEM では電子銃で発生した電子線を 2 段ないし数段の電子レンズで細かく絞り、偏向コイルの磁界により偏向し試料表面を X,Y の 2 方向に走査させることができる。

試料への電子線照射により試料から二次電子や反射電子が放出される。二次電子は検出器に印加された 10 kV(通常 SEM 観察に用いられる加速電圧)の正の電位に引き寄せられ、また反射電子は自らのエネルギーで、いずれも検出器表面に塗布された蛍光面に衝突して光に変換され、この光は光電子増倍管(PMT)で増幅される。この信号はさらに増幅された観察用および撮影用の陰極線管(CRT)に供給される。CRT 上では信号量の違い

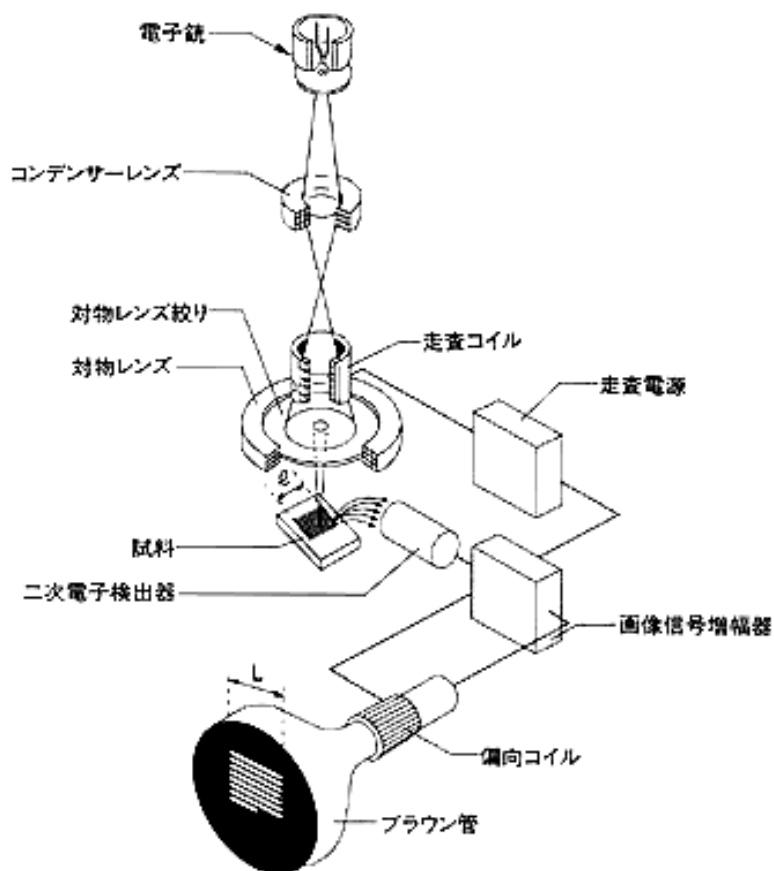


図 2.17 SEM 原理図

によりその輝度を変調することができる。試料表面上の電子プローブが位置する点と、CRT 画面上の試料像に相当する CRT 内の電子ビームの位置は常に完全に正しい相対関係が保たれるので CRT の蛍光面上に SEM 像を得ることができる。SEM 像は TEM (Transmission Electron Microscope) 像のように像一面が一度に移されるのではなく一点ごとに構成されていく。試料表面を走査する走査面の大きさは CRT 画面より小さいため、最終画像は試料表面の拡大像になる。

また SEM では先に述べたように、サンプルに電子線を照射して発生する 2 次電子を観察している。したがって、サンプル表面からは常に電子が失われ続けるため、徐々に正の電荷が帯電する。この電場の影響によって、像が白く浮き上がって見えてしまうチャージアップという現象が発生してしまう。特に絶縁物が表面にある時にチャージアップが起こりやすい。そのチャージアップを防ぐ方法として、サンプルに金属を蒸着しチャージを逃がす手法がある。

本研究では、日立製作所 S-4500 (加速電圧: 0.5~30 kV、2 次電子像分解能: 1.5 nm (15 kV)、4.0 nm (1 kV)) を使用した。

2.2.4 透過型電子顕微鏡(TEM)

透過型電子顕微鏡(TEM)は、基本的には光学顕微鏡と同じような構造をしている。図2.18にTEMの概略図を示す。タングステンフィラメントを熱することにより発生した熱電子に電圧を加えて加速して得た電子線を用い、電磁コイルでできた電子レンズを用いる。そして試料を透過した電子線を集めて蛍光スクリーン上に結像させて観察を行う。電子線は透過力が低いため、TEMを用いる場合には観察したい試料を薄く(100 nm以下)加工する必要がある。本研究ではECRスパッタにより形成した薄膜の観察にTEMを用いた。

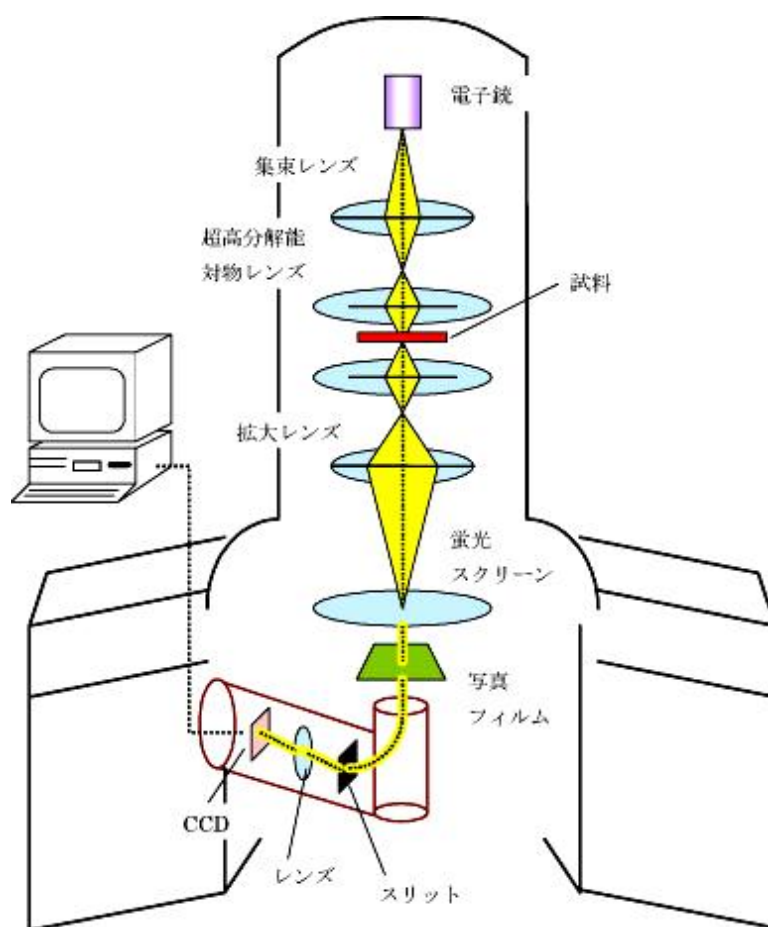


図 2.18 TEM の概略図

2.2.5 X 線光電子分光(XPS)法

物質に X 線を照射するとそのエネルギーの一部は光電効果により物質を構成する原子から電子を放出することに使われ、余剰のエネルギーの大部分は放出される電子の運動エネルギーとして使われる。この放出された電子が光電子であり、X 線照射により発生した光電子の運動エネルギー分布を測定することにより物質に関する情報を得る分析法が X 線光電子分光法(XPS : X-ray Photoelectron Spectroscopy)である。図 2.19 に XPS 装置の概略図を示す。発生した光電子の運動エネルギー E_k と与えられた X 線のエネルギー $h\nu$ の間には以下の関係式が成り立つ。

$$h\nu = E_k + E_b + \phi \quad (2.3)$$

ここで、 E_b は検出された光電子の結合エネルギーであり、 ϕ は装置の仕事関数であり、事前に求められている値である。測定では数 keV の軟 X 線を試料に照射し、表面から発生した光電子の運動エネルギー及び、強度を計測する。本研究では線源として AlK_{α} ($h\nu=1486.6$ eV) を用いた。そして、次式から得られた光電子スペクトルピークの結合エネルギー値から元素の同定を行う。

$$E_b = h\nu - E_k - \phi \quad (2.4)$$

固体内での電子の減衰長は電子の運動エネルギーに依存しており、通常利用する 1500 eV 以下の光電子では 10 原子層以下となるため、XPS 測定における光電子の脱出深さは数 nm 程度である。XPS では光電子の取り込み角を変化させることによって XPS の分析深さである数 nm 程度の深さ方向分析を行うことが可能である。つまり、取り込み角を浅くすれば、試料の表面付近からの光電子をより多く検出し、取り込み角を深くすればより内部から生じる光電子も検出することが可能であるということである。本研究においても、取り込み角 θ を $30^{\circ}\sim 80^{\circ}$ と変化させて深さ方向分析を行った。

XPS 分析の際には主に survey scan モードと narrow scan モードの二つの分析モードで行う。survey scan モードは表面に存在する元素の定性分析を行うためのモードである。0~千数百 eV と幅広いエネルギー範囲を 1 eV/step 程度の粗い間隔で測定を行う。narrow scan モードは表面に存在する元素の定量分析及び化学結合状態の解析を行うためのモードである。エネルギー分解能を高い値に設定し、元素ごとに狭いエネルギー範囲を 0.1 eV/step 程度の細かい間隔で測定を行う。XPS の最大の特徴は化学結合状態の解析が可能である点であり、narrow scan モードで得られたスペクトルのピークの結合エネルギー値から解析を行う。一般的にはある元素が正にイオン化すると無電荷のときに比べて高結合エネルギー側にシフトし、逆に負にイオン化すると無電荷のときに比べて低結合エネルギー側にシフトすることが多い。このシフト量は原子の電気陰性度や原子価に大きく依存する。そして、データ解析上の注意点として帯電補正がある。半導体や絶縁体試料では、帯電のため、結合エネルギーがシフトすることがある。この際よく使われる

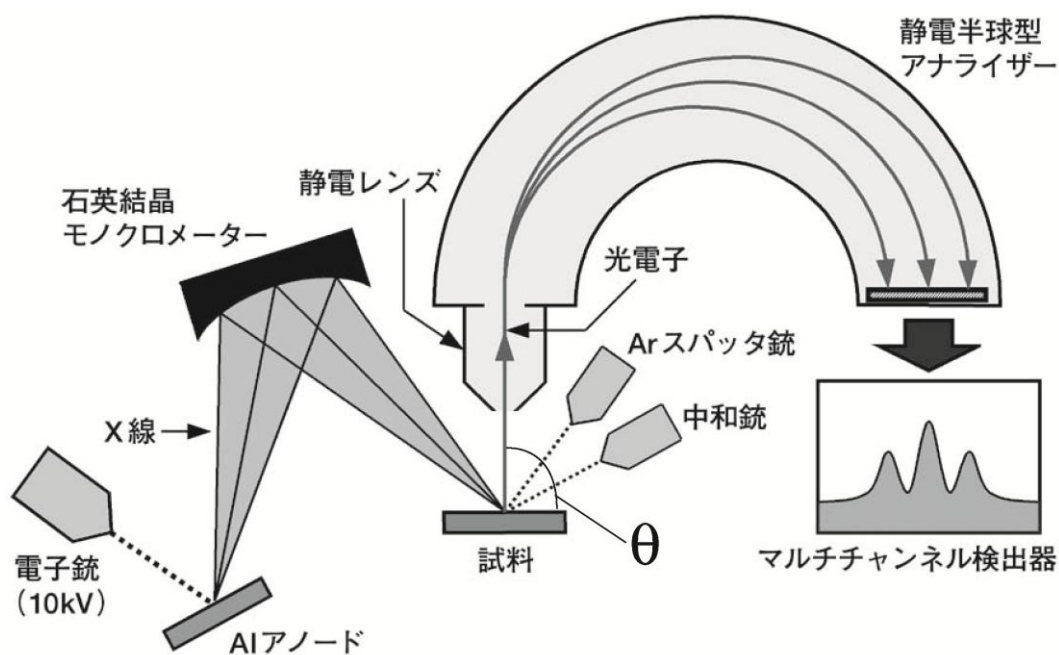


図 2.19 XPS 装置の概略図

のは既知の値である汚染物の C を基準として補正する方法である。

以下に簡単に XPS の特徴をまとめる。

- 表面数 nm の分析が可能である。
- 表面構成元素の同定が可能である。
- 表面構成元素の化学状態の推定が可能である。
- 深さ方向へのプロファイリングが可能である。
- 絶縁物の分析が可能である。
- 非破壊での分析が可能である。

また、この XPS の測定には ULVAC PHI 製 PHI 5000 VersaProbe を用いた。

2.2.6 X 線回折(XRD)法

図 2.20 に示すように、X 線が固体結晶で回折するとき、その回折条件はブラッグ条件

$$2d \sin \theta = n\lambda \quad (2.5)$$

で表される。ただし、 d は面間隔、 θ は入射角および反射角、 n は整数、 λ は X 線の波長である。

本研究で用いた X 線回折装置は、ゴニオメータを用いた測定器であり、分解能を落とさず、回折 X 線の強度を増加させるために集中法と呼ばれる方法を用いている。図

2.21 に、その原理図を示す。X 線管球の焦点から出た X 線は、平行スリットを経て、発散スリット (Divergence Slit) を通過した X 線だけが試料に入射する。試料からの回折 X 線は散乱スリット (Scattering Slit) と受光スリット (Receiving Slit) を経て検出器に入る。これにより、焦点上にある光源から発散した X 線は、焦点円に接する平面試料によって回折されて、焦点円状の受光スリットに集中する。また、検出器は試料の 2 倍の速さで回転するように作られていて、試料に対する X 線の入射角 θ と回折角 θ とは常に等しく、一次 X 線と回折 X 線とのなす角は 2θ で、集中法の条件を常に満足する。

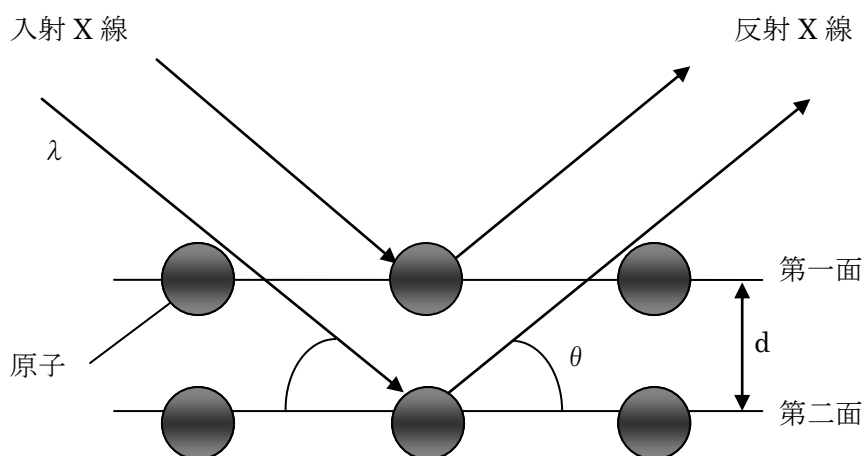


図 2.20 ブラッグの回折条件

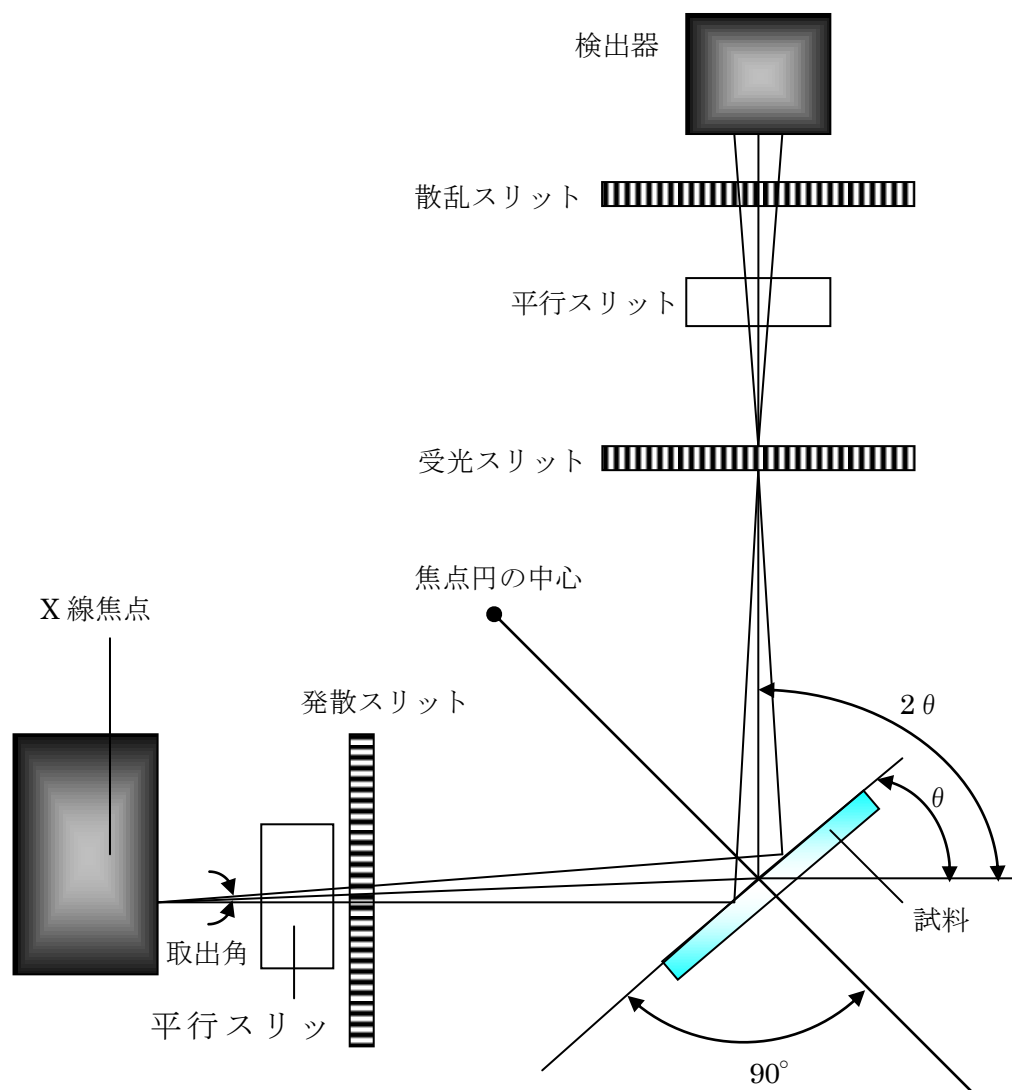


図 2.21 ゴニオメータ原理図

2.2.7 原子間力顕微鏡(AFM)

AFM(Atomic Force Microscopy)とは小さなテコ（カンチレバー）を用いて、試料表面の凹凸を試料とカンチレバーの先端間に働く原子間力の変化に伴うカンチレバーの変位量の変化として測定する装置である。図 2.22 に AFM の概略図を示す。カンチレバーの変形を測定するためには、カンチレバーの変位検出器が必要である。一般的には、カンチレバーの背面に斜めに入射するレーザーの反射角変化を光検出器で測定することで、カンチレバーの変形を観察する。

AFM では原子間力を用いるため、トンネル電流が流れない絶縁体を測定することも可能である。AFM にはいくつかの測定モードが存在する。本研究では Tapping mode を使用した。

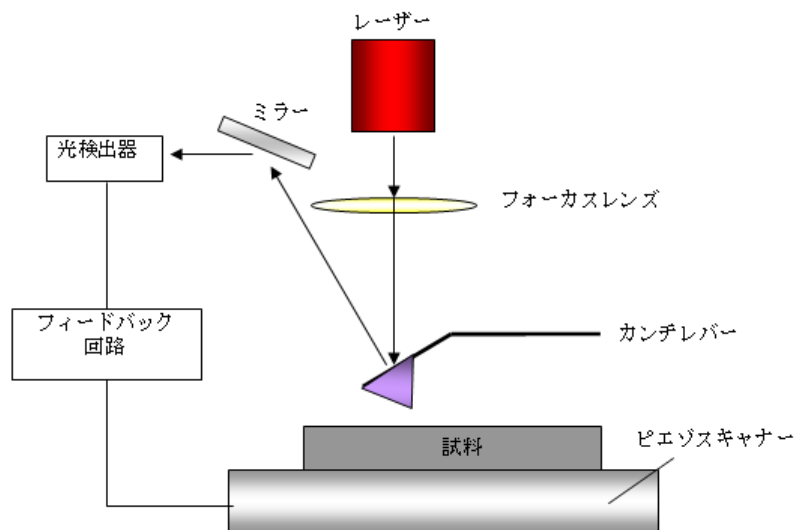


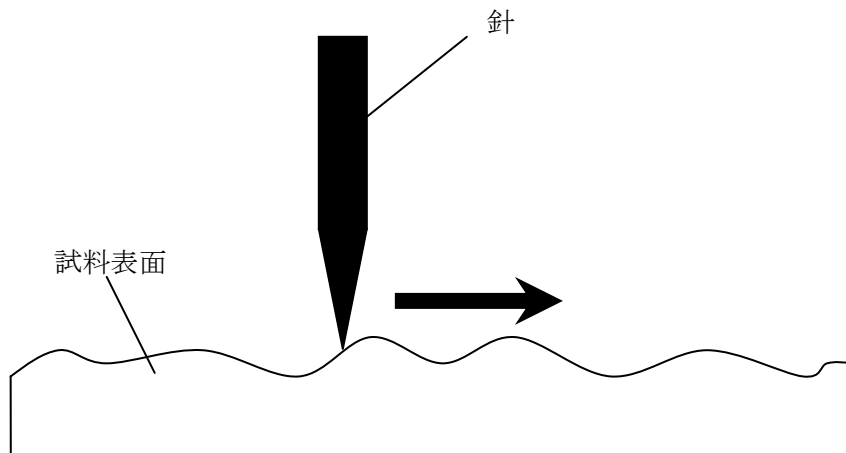
図 2.22 AFM 概略図

・ Tapping mode

Contact mode では原子サイズに至る分解能が得られる場合があるが、試料表面に探針が接触しつつ走査されるため、試料表面や探針に損傷が生じる場合がある。一方、noncontact mode では試料表面や探針の損傷は避けられるが、分解能が劣る。これらの中間の測定法として振動するプローブを試料上方から接近させ、軽く試料に接触して、試料の AFM 像を得る方法(Tapping mode)がある。カンチレバーを固有振動数で振動させながら試料に近づけ、カンチレバーと試料間に原子間力が生じると、カンチレバーの固有振動数が Δf だけシフトする。その周波数のシフト量が一定になるように Z ピエゾにフィードバックをかけ、カンチレバーと試料の間隔を制御しながら試料表面を走査する。

2.2.8 段差測定法(α -step)

α -step とは、形状膜厚測定法のひとつであり、図 2.23 に示すように試料の表面あらさ計を転用して、試料の表面を針でなぞって針の上下の動きを拡大し、原理として AFM に似ているが、水平方向には mm 単位でスキャンでき、かつ垂直(膜厚方向)にはオンゲストロームオーダーの分解能を持ち、表面の形を機械的に測定する接触法である。

図 2.23 α -step の測定原理

2.2.9 四探針法

半導体試料の表面抵抗率や拡散層の平均抵抗率を測定するには van der Pauw 法があるが、簡便に測定する方法として四探針法が用いられる。探針には、タングステンあるいはシリコンカーバイドの先端を電解研磨などの方法により、数 μm 程度まで細かくしたものが用いられる。本研究では、半径が有限で等間隔に配置されたタングステンをプローブとしている。以下の図 2.24 に四探針法の装置系を示す。

最外側の 2 つのプローブからハイインピーダンスの電流源を使って電流 I を供給する。試料の抵抗率を決定するために内側 2 本のプローブ間の電圧 V を電圧計で測定する。

ここでプローブ先端の金属チップの大きさは無限小であり、試料は幅方向の長さが半無限であると仮定する。試料の厚さ t が、プローブ間隔 d に対して非常に薄い薄膜の場合、電流は試料表面で遮られるので、球殻状ではなくリング状に流れるとして考える。このとき、プローブの位置から距離 x にある幅 dx のリング状の微小抵抗は、抵抗率を ρ として次式で表される。

$$\Delta R = \rho \left(\frac{dx}{A} \right), A = 2\pi xt \quad (2.6)$$

その部分の面積を A として、電圧を決定する内側のプローブチップ間で上式を積分すると、プローブ間の抵抗 R が求まる。

$$R = \int_{x_1}^{x_2} \rho \frac{dx}{2\pi xt} = \int_d^{2d} \frac{\rho}{2\pi t} \frac{dx}{x} = \frac{\rho}{2\pi t} \ln 2 \quad (2.7)$$

これは $+I$ の電流注入による抵抗であり、同様に $-I$ による電流による影響も同様に考えられるので、最外側の二つの電流プローブチップからの電流注入により、電流プローブ

間の抵抗には $R=V/2I$ の関係が成り立つ。ゆえに、薄膜試料のシート抵抗は R を代入することにより次のように導かれる。

$$\rho = \frac{\pi t}{\ln 2} \left(\frac{V}{I}\right) \approx 4.53 \times t \times \left(\frac{V}{I}\right) \quad (2.8)$$

よって、試料の厚さが分かっているならば測定抵抗 V/I を求めることにより抵抗率を見積もることができる。またバルク試料の場合、電流は試料内に半球状に突出していると考えられ、次式で表される。

$$\rho = 2\pi d \left(\frac{V}{I}\right) \quad (2.9)$$

一般に、半導体薄膜の抵抗値の評価を表す値としてシート抵抗が定義される。これは、基本的に導電性の領域の厚さはほぼ均一で、通常領域の長さや幅よりも十分小さいため、シート抵抗として R_{sh} を次式のように定義するのが有効なためである。

$$R_{sh} = \frac{\rho}{t} \quad (2.10)$$

ここで、先ほどの測定抵抗値を $R=V/I$ とすると、

$$R = \frac{b}{a} \times R_{sh} \quad (2.11)$$

と書き直すことができる。すなわち、総抵抗 R は $b/a=1$ である正方形の数とシート抵抗の積に等しい。つまり、シート抵抗は正方形のサイズに依存しない表面抵抗値であり、回路設計上重要なパラメータとなる。

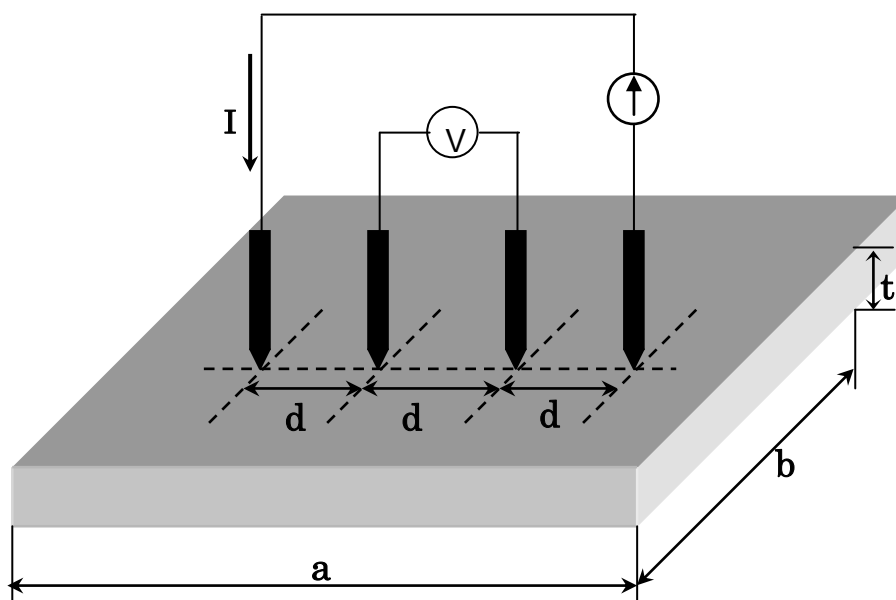


図 2.24 四探針法装置系

参考文献

- [1] T. Ohmi, "Total Room Temperature Wet Cleaning for Si Substrate Surface", *J. Electrochem. Soc.*, **143**, pp. 2957-2964 (1996).
- [2] T. Amazawa, T. Ono, M. Shimada, and S. Matsuo, "Ultrathin oxide films deposited using electron cyclotron resonance sputter ", *J. Vac. Sci. Technol. B*, **17**, pp. 2222-2225 (1999).
- [3] T. Ono, H. Nishimura, M. Shimada, and S. Matsuo, "Electron cyclotron resonance plasma source for conductive film deposition", *J. Vac. Sci. Technol. A*, **12**, pp. 1281-1286 (1994).
- [4] A. Shima, Y. Wang, S. Talwar and A. Hiraiwa, "Ultra-shallow junction formation by non-melt laser spike annealing for 50-nm gate CMOS", *VLSI Symp. Tech. Dig.*, pp. 174-175 (2004).
- [5] K. Takagi, A. Ikeda, T. Fujimura, Y. Kuroki, "Inductively coupled plasma application to the resist ashing", *Thin Solid Films*, **386**, pp. 160-164 (2001).
- [6] B. E. Deal, and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon", *J. Appl. Phys.*, **36**, pp. 3770-3778 (1965).
- [7] S. Saito, K. Torii, M. Hiratani, and T. Onai, "Analytical quantum mechanical model for accumulation capacitance of MOS structures", *IEEE Electron Device Lett.*, **23**, pp. 348-350 (2002).
- [8] S. M. Sze, "SEMICONDUCTOR DEVICES, Physics and Technology", 2nd, John Wiley & Sons, 2001.

第 3 章

3 次元構造上への 高誘電率 HfSiON 薄膜の形成

- 3.1 HfON 形成プロセスの検討
- 3.2 3 次元構造上における電気的特性
- 3.3 HfN 膜厚依存性の検討
- 3.4 本章のまとめ

第3章 3次元構造上への高誘電率 HfSiON 薄膜の形成

第1章で述べたように、極微細な3次元 MOSFET に対する高誘電率ゲート絶縁膜として HfSiON を形成する。本章では、p-Si(100)平面および極微細な3次元構造上に HfON 薄膜および HfSiON 薄膜を堆積し、その電気的特性について検討を行う。

まず3.1節により、HfON 薄膜の形成プロセスの最適化、特に EOT の薄膜化とリーク電流の低減を目的として、HfON 形成方法として HfO₂ のプラズマ窒化および HfN のプラズマ酸化を p-Si(100)平面上で比較検討する。次に3.2節では、3.1節での結果をもとに3次元構造上に HfON を形成し、電気的特性の評価を行い、3次元構造形成プロセスにおけるエッチングダメージの低減を検討する。さらに、3.3節では、化学酸化膜(C'O)と HfON の PDA 時の反応を利用した HfSiON の形成を目的として、HfN の膜厚を検討し、高誘電率 HfSiON 形成プロセスを検討する。

3.1 HfON 形成プロセスの検討

本節では、HfON の作製方法として堆積した HfO₂ に対して in-situ でプラズマ窒化を行う事で N を導入する HfO₂ のプラズマ窒化プロセス、および堆積した HfN に対して in-situ でプラズマ酸化を行う事で O を導入する HfN のプラズマ酸化プロセスの比較検討を行う。第1章で述べたようにスパッタ法では堆積時の成膜室内圧力により3次元構造上側壁部の膜質に影響する。そこで、まず各プロセスにより p-Si(100)平面上に形成した HfON 薄膜における成膜室内圧力依存性を電気的特性から検討する。

3.1.1 試料作製方法

HfO₂ のプラズマ窒化および HfN のプラズマ酸化プロセスによる p-Si(100)面上への HfON 薄膜作製方法の概略を図 3.1-2 に記す。一方、3次元構造上に形成を行う場合の3次元構造 Si 基板の作製方法の概略を図 3.3 に示す。また、以下に各作製プロセスの詳細を述べる。

HfO₂ の in-situ プラズマ窒化プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)基板洗浄

(2)基板表面処理 (Chemical Oxide)

・ H₂O₂ に 60 min 浸すことで、膜厚 0.7 nm の Chemical Oxide(C'O)を形成

(3)ECR スパッタ法により HfO₂ 堆積

- Ar/O₂: 20/4 sccm(P=0.17 Pa), 23/4.6 sccm(P=0.19 Pa), 25.5/5.1 sccm(P=0.21 Pa)[1]
- μ波/RF:500/500 W
- 電極間距離:200 mm
- 膜厚 5 nm を堆積

(7)in-situ にて Ar/N₂プラズマ照射

- Ar/N₂:12/6 sccm, 180 s
- μ波:500 W
- 電極間距離:200 mm

(8)SWC-RTA により N₂雰囲気中で Post Deposition Annealing (PDA)[2]

- 800°C/1 min

(9)真空蒸着法により Al 電極形成

- メタルマスク (φ:100 μm)

HfN の in-situ プラズマ酸化プロセス

使用基板:p-Si(100), N_A=1×10¹⁵ cm⁻³

(1)基板洗浄

(2)基板表面処理 (Chemical Oxide)

- H₂O₂ に 60 min 浸すことで、膜厚 0.7 nm の C'O を形成

(3)ECR スパッタ法により HfN 堆積

- Ar/N₂: 15/0.6 sccm(P=0.15 Pa), 20/0.8 sccm(P=0.17 Pa), 25/1 sccm(P=0.19 Pa)[3]
- μ波/RF:500/500 W
- 電極間距離:200 mm
- 膜厚 5 nm を堆積

(4)in-situ にて Ar/O₂プラズマ照射

- Ar/O₂:20/8 sccm, 15-60 s
- μ波:300 W
- 電極間距離:200 mm

(5)SWC-RTA により N₂雰囲気中で Post Deposition Annealing (PDA)

- 800°C/1 min

(6)真空蒸着法により Al 電極形成

- メタルマスク (φ:100 μm)

3次元構造 Si 基板作製プロセス

(1)基板洗浄

(2)ステッパにより 0.7 μm L/S(Line and Space)レジストパターン形成

(3)ICP-RIE によりドライエッチング

・ Cl₂/O₂:20/5 sccm, 50 nm エッチング

(4)レジスト除去及び基板洗浄

また、今回使用した基板は基板濃度 $N_A=1 \times 10^{15} \text{ cm}^{-3}$ で、電極に Al($\phi_M=4.1 \text{ eV}$)を用いているので、フラットバンド電圧 V_{FB} の理論値は

$$V_{FB} = E_M - E_{fp} = E_M - \left(E_i + kT \cdot \ln \left(\frac{N_A}{n_i} \right) \right) = -0.79 \text{ eV} \quad (3.1)$$

である。

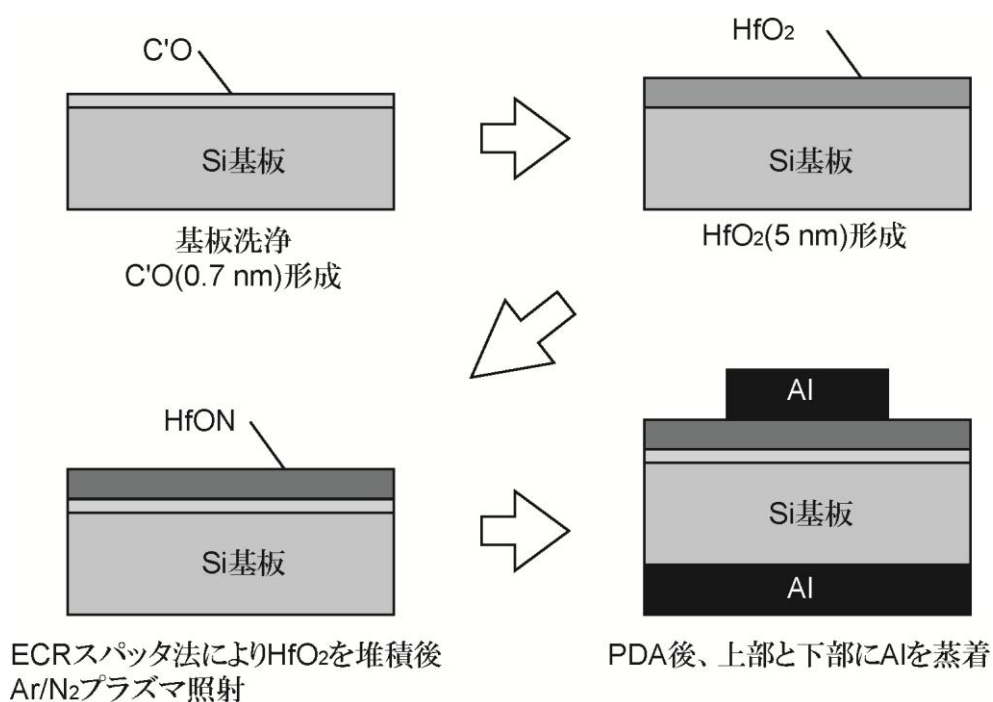


図 3.1 HfO₂ のプラズマ窒化による HfON 形成方法の概略図

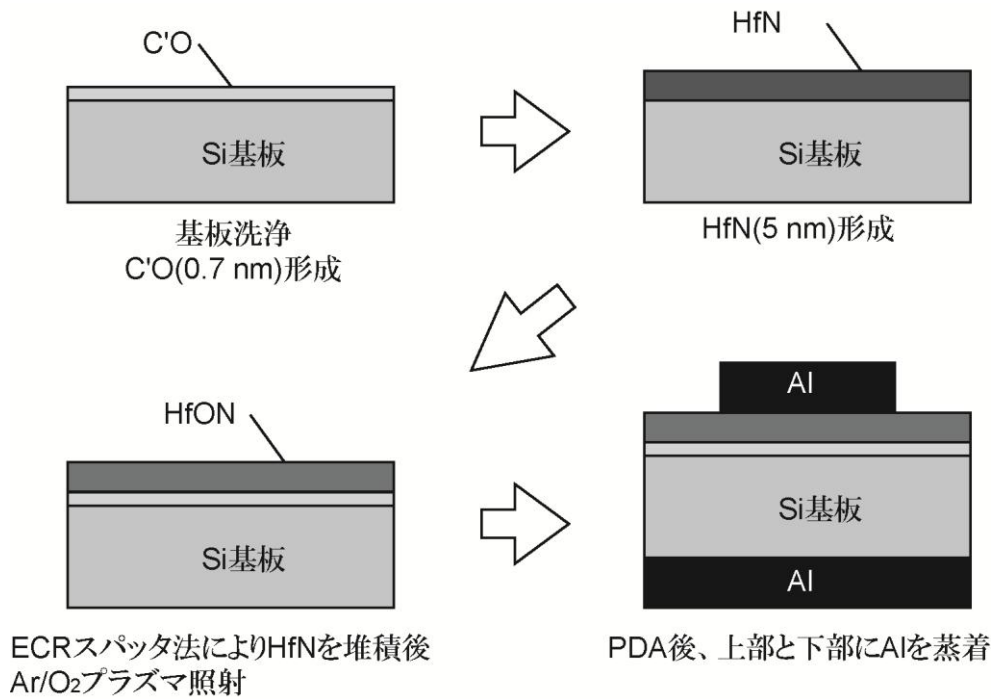


図 3.2 HfN のプラズマ酸化による HfON 形成方法の概略図

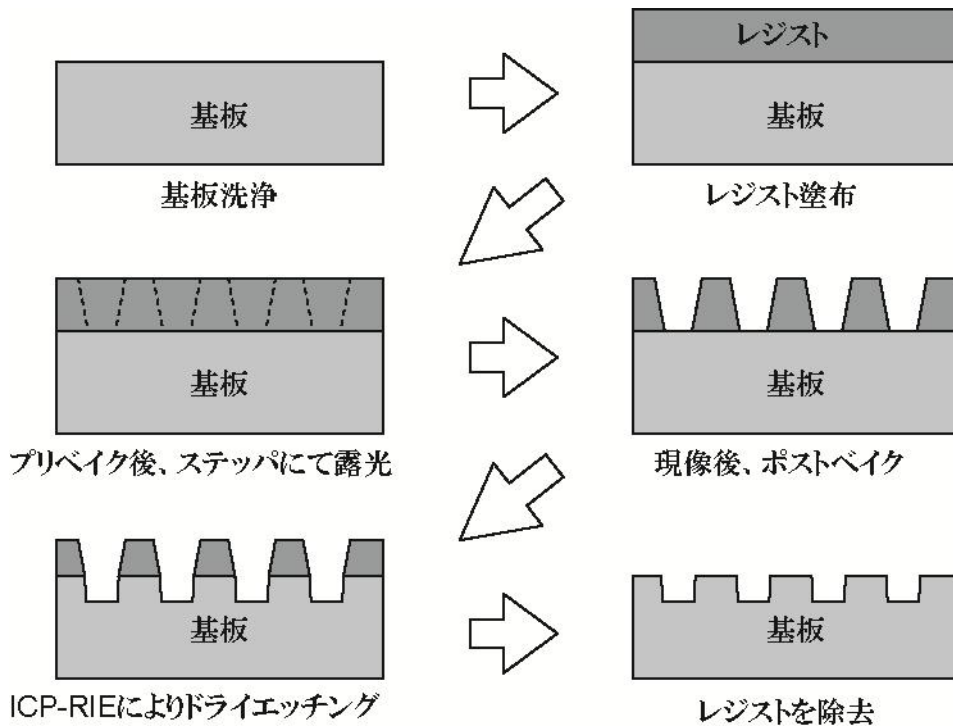


図 3.3 3次元構造 Si 基板作製方法の概略図

3.1.2 HfO₂ の in-situ プラズマ窒化による HfON 薄膜形成

まず本節では HfO₂ の in-situ プラズマ窒化による HfON 薄膜形成を検討する。窒化の方法として、熱窒化と比較してより N プロファイルの制御が可能な[4]プラズマ窒化を HfO₂ 堆積後に in-situ で行う。3次元構造上に堆積を行う事を目的として HfO₂ 堆積時の成膜室内圧力依存性を電気的特性から検討する。

3.1.2.1 HfO₂ 堆積時の成膜室内圧力依存性

ガスの比を変化させずに、ガス流量を調節して成膜室内圧力 (0.17 Pa, 0.19 Pa, 0.21 Pa) において Si(100)平面上に堆積した 5 nm の HfO₂ 薄膜を in-situ で窒化して形成した HfON 薄膜を絶縁膜とした MIS キャパシタを作製し、電気的特性および表面ラフネスから膜質の評価を行った。

(1)電気的特性の成膜室内圧力依存性

表 3.1 に示す条件を用いて 5 nm の HfO₂ 薄膜を p-Si(100)基板上に堆積し、in-situ でプラズマ窒化を行う事で、HfON 薄膜を形成した。Al 電極を用いた MIS キャパシタの C-V 特性および J-V 特性を図 3.4(a)および図 3.4(b)にそれぞれ示す。図 3.4 (a)から、いずれもヒステリシス、フラットバンドシフトの小さい良質な薄膜が形成されていることが分かった。3次元構造上に堆積する際には、成膜室内圧力を上げることで側壁部への被覆性が向上してリーク電流を抑制できると考えられるが、図 3.4 (b)の J-V 特性では、0.21Pa でリーク電流が増加していることから、堆積される薄膜の膜質が悪化していることが示唆され、成膜室内圧力を増加させることで被覆性を向上できるが、0.21 Pa 以上の成膜室内圧力では膜質が劣化する、膜質と被覆性の間にトレードオフが存在すると考えられる。

表 3.1 HfON 薄膜を絶縁膜とする MIS キャパシタの作製条件

Chemical Oxide	HfO ₂ 5 nm 堆積	In-situ でのプラズマ窒化			PDA
		成膜室内圧力 [Pa]	Ar/N ₂ [sccm]	照射時間 [s]	
SiO ₂ 膜厚 0.7 nm	成膜室内圧力 [Pa]	成膜室内圧力 [Pa]			PDA 条件
	0.17	0.14	12/6	180	800°C/ 1 min
	0.19				
	0.21				

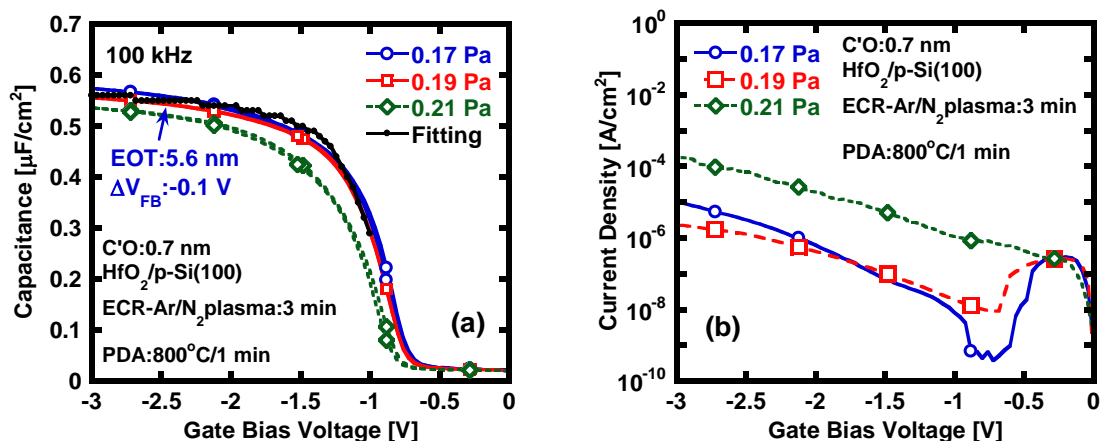


図 3.4 HfO₂ (5 nm) の in-situ 窒化プロセスにより形成した HfON 薄膜の
(a)C-V 特性、(b)J-V 特性

(2)表面ラフネスの成膜室内圧力依存性

0.21 Pa で堆積した HfO₂ をプラズマ窒化した場合にリーク電流が増大した原因を検討するために、各成膜室内圧力で HfON を形成した後、PDA を行った HfON 薄膜表面の AFM 像を図 3.5 に示す。また、成膜室内圧力と HfON の表面ラフネスを表 3.2 にまとめた。表 3.2 から、0.17-0.19 Pa では 0.2 nm 程度であった RMS ラフネスが 0.21 Pa の場合に 0.3 nm まで増大していることが見て取れ、リーク電流増大の原因は表面平坦性の劣化に起因するものと示唆される。堆積中の成膜室内圧力が増加すると平均自由行程が短くなり、スパッタ粒子が基板表面に到達するまでに Ar ガスイオンと衝突する回数が多くなるので、衝突による運動エネルギーの減少が大きくなるために、スパッタ粒子が基板表面に到達するとき持つエネルギーが小さくなり、結果として表面でのマイグレーションエネルギーが小さくなったために、疎な膜が成長したためと考えられる[5]。また、スパッタ粒子やガスイオンが基板表面に到達したときのエネルギーが小さくなることで、表面の逆スパッタ効果も小さくなるために、膜が疎になるという報告もある[6]。成膜室内圧力をあげることで側壁部へ堆積される薄膜の膜質が向上できると考えられるが、リーク電流を抑制するためには HfO₂ 堆積時の成膜室内圧力は 0.21 Pa より小さいことが望ましいと分かった。

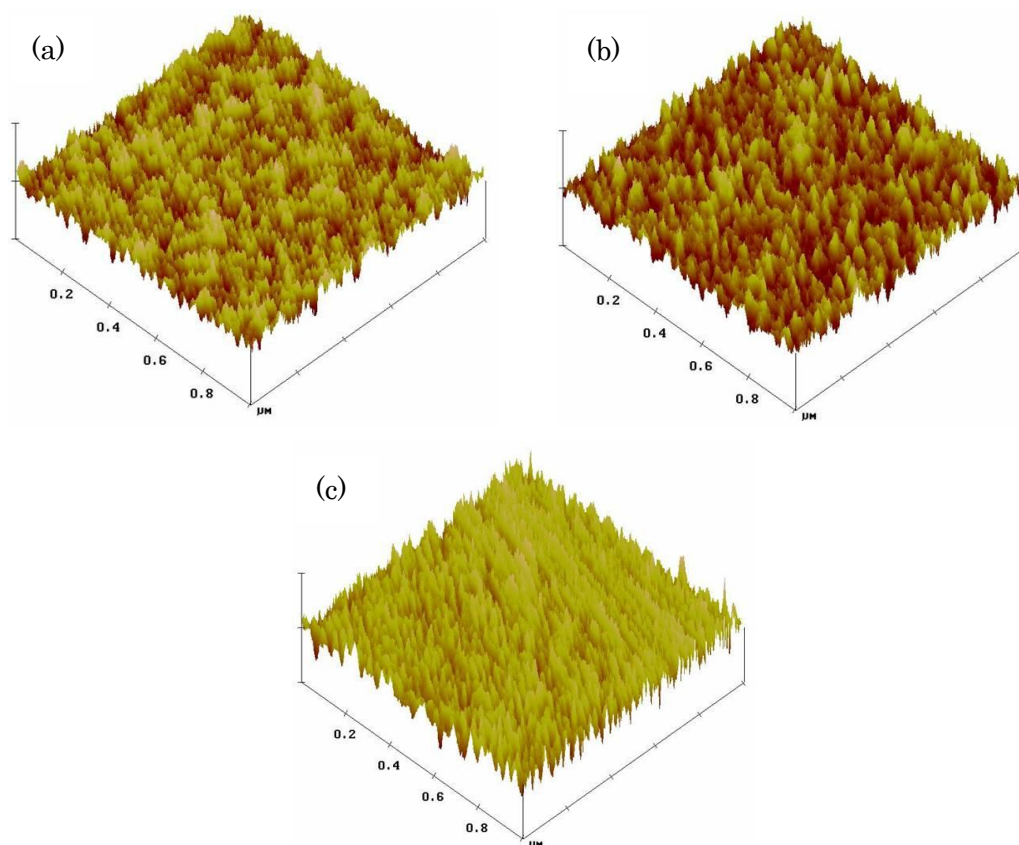


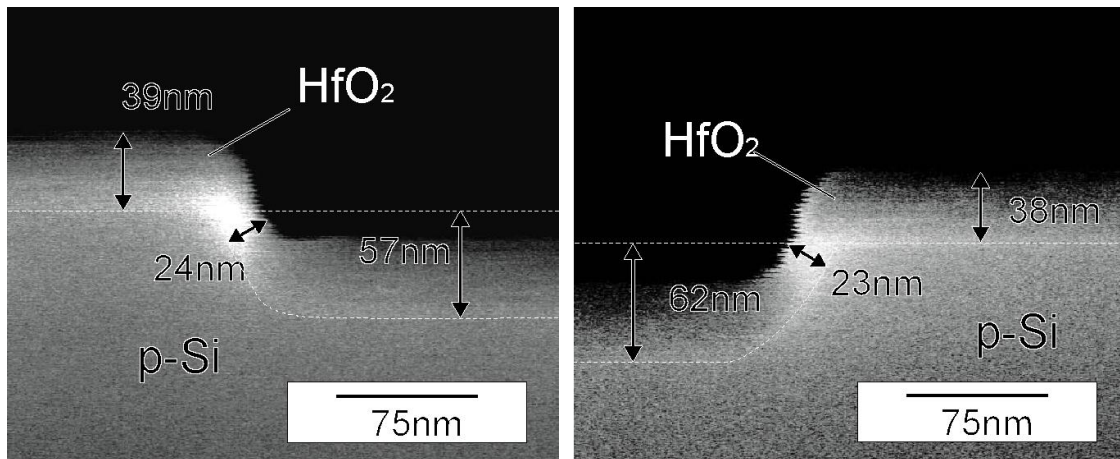
図 3.5 HfON 薄膜表面の AFM 像
HfO₂ 堆積時の成膜室内圧力(a)0.17 Pa, (b)0.19 Pa, (c)0.21 Pa

表 3.2 HfO₂ 堆積時成膜室内圧力と HfON の表面ラフネス

HfO ₂ 堆積時成膜室内圧力 [Pa]	RMS ラフネス [nm]
0.17	0.19
0.19	0.22
0.21	0.30

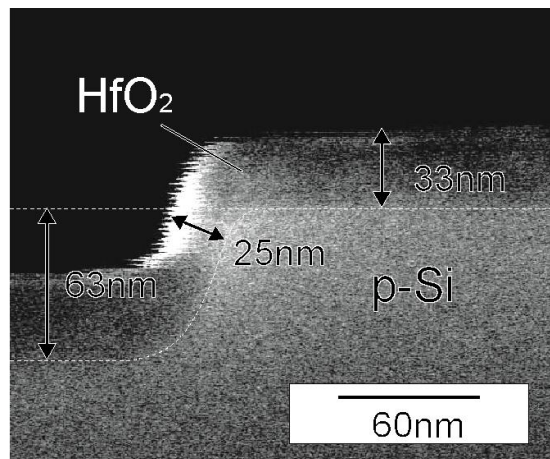
3.1.2.2 被覆性の成膜室内圧力依存性の評価

ガス流量比を変化させずに、成膜室内圧力を変化させ、3次元構造上に 10 min 堆積した HfO₂ 薄膜の断面 SEM 像を図 3.6 に示す。また、図 3.6 から測定した HfO₂ 薄膜の上部と側壁部の膜厚と、上部膜厚に対する側壁部膜厚の比 ($t_{\text{side}}/t_{\text{top}}$) を表 3.3 にまとめる。



(a) Ar/O₂ 20/4 sccm
成膜室内圧力 0.17 Pa

(b) Ar/O₂ 23/4.6 sccm
成膜室内圧力 0.19 Pa



(c) Ar/O₂ 25.5/5.1 sccm
成膜室内圧力 0.21 Pa

図 3.6 成膜室内圧力に対する HfO₂ 薄膜の被覆性の変化。

表 3.3 各成膜室圧力における 3次元 Si チャネル上部と側壁部の HfO₂ 膜厚

成膜室内圧力 [Pa]	Ar/O ₂ [sccm]	上部 HfO ₂ 膜厚 [nm]	側壁部 HfO ₂ 膜厚 [nm]	t _{side} /t _{top} [a.u.]
0.17	20/4	39	24	0.62
0.19	23/4.6	38	23	0.61
0.21	25.5/5.1	33	25	0.76

成膜室内圧力が大きくなると膜厚が薄くなり、堆積レートが小さくなっていることが分かる。これは圧力の増加により成膜室内に存在するガス粒子数が多くなり、Hf 粒子の平均自由行程が散乱のため短くなり、結果として基板に到達する Hf 粒子数が少なくなったためであると考えられる。

また、成膜室内圧力が大きくなると $t_{\text{side}}/t_{\text{top}}$ が大きくなり、側壁部に HfO_2 がより堆積されやすくなっていることが分かった。これは成膜室内圧力を上げることでスパッタ粒子をより散乱して側壁部にもより堆積されやすくなるという報告例と一致する[7]。

以上の検討から、膜質を損なわずに側壁部に堆積される膜厚を維持できる 0.19 Pa が HfO_2 堆積に向いていることが分かった。また、第1章 1.4 節で述べた過去の研究における 3次元構造側壁部の膜厚が上部の 40%程度であったのに対して、本検討で成膜室内圧力を増加させることにより、 $t_{\text{side}}/t_{\text{top}}$ を 70%程度まで改善できることが分かった。よって今後の HfO_2 のプラズマ窒化による HfON 形成においては 0.19 Pa で HfO_2 を堆積する。

3.1.3 HfN の in-situ プラズマ酸化による HfON 薄膜形成

次に本節では HfN の in-situ プラズマ酸化による HfON 薄膜形成を検討する。 HfO_2 のプラズマ窒化プロセスと比較して、HfON 膜中の O プロファイル制御性に優れる[8]HfN の in-situ プラズマ酸化プロセスにより、3次元構造上に極薄 EOT を有する HfON 堆積を行う事を目的として HfN 堆積時の成膜室内圧力依存性およびプラズマ酸化時間を電気的特性から検討する。

3.1.3.1 HfN 堆積時の成膜室内圧力依存性

ガス流量を調節して成膜室内圧力 (0.15 Pa, 0.17 Pa, 0.19 Pa) において Si(100)平面上に堆積した 5 nm の HfN 薄膜を in-situ で酸化して形成した HfON 薄膜を絶縁膜とした MIS キャパシタを作製し、電気的特性の評価を行った。

表 3.4 に示す条件を用いて 5 nm の HfN 薄膜を p-Si(100)基板上に堆積し、in-situ でプラズマ酸化を行う事で、HfON 薄膜を形成した。Al 電極を用いた MIS キャパシタの C-V 特性および J-V 特性を図 3.7(a)および図 3.7(b)にそれぞれ示す。図 3.7 (a)から、いずれもヒステリシス、フラットバンドシフトの小さい良質な薄膜が形成されていることが分かり、0.19 Pa の場合に EOT: 0.92 nm と低減した。また、図 3.7 (b)の J-V 特性では、 $V_{\text{FB}}-1 \text{ V}$ でのリーク電流は各成膜室内圧力において 1 桁以下の差となっており、成膜室内圧力の増大による膜質の劣化は見られなかった。3次元構造上に堆積する際には、成膜室内圧力を上げることで側壁部への被覆性が向上してリーク電流を抑制できると考えられ、0.19 Pa で HfN を堆積することが望ましいと分かった。

さらに、3.1.2 節で検討した HfO_2 のプラズマ窒化と比較して EOT は 5 nm 程度から 1 nm 程度まで大幅に低減できていることが分かった。これは図 3.8 に示すような堆積時のプラズマ雰囲気によるものと示唆される。

表 3.4 HfON 薄膜を絶縁膜とする MIS キャパシタの作製条件

Chemical Oxide	HfN 5 nm 堆積	In-situ でのプラズマ酸化			PDA	
		成膜室内圧力 [Pa]	成膜室内圧力 [Pa]	Ar/O ₂ [sccm]		照射時間 [s]
SiO ₂ 膜厚 0.7 nm	成膜室内圧力 [Pa]				PDA 条件 800°C/ 1 min	
		0.15	0.18	20/8		15
		0.17				
	0.19					

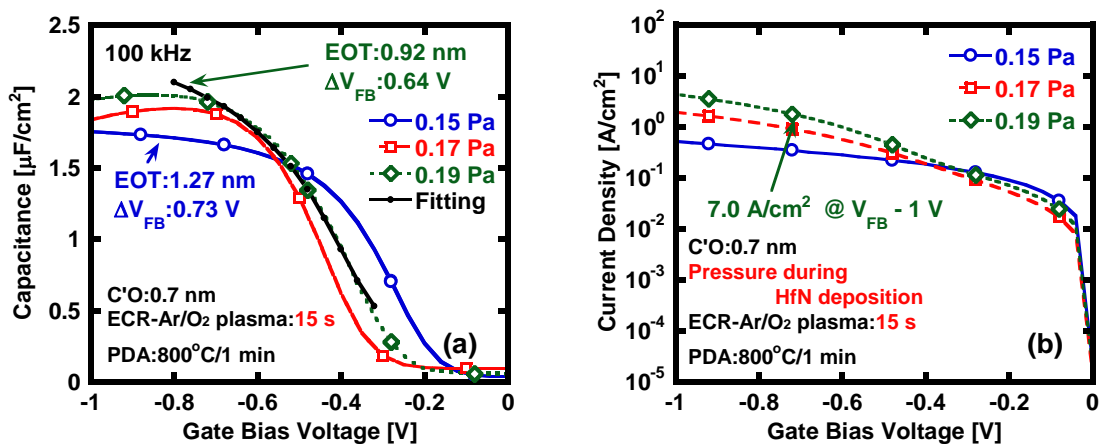


図 3.7 HfN (5 nm) の in-situ プラズマ酸化プロセスにより形成した HfON 薄膜の (a)C-V 特性、(b)J-V 特性

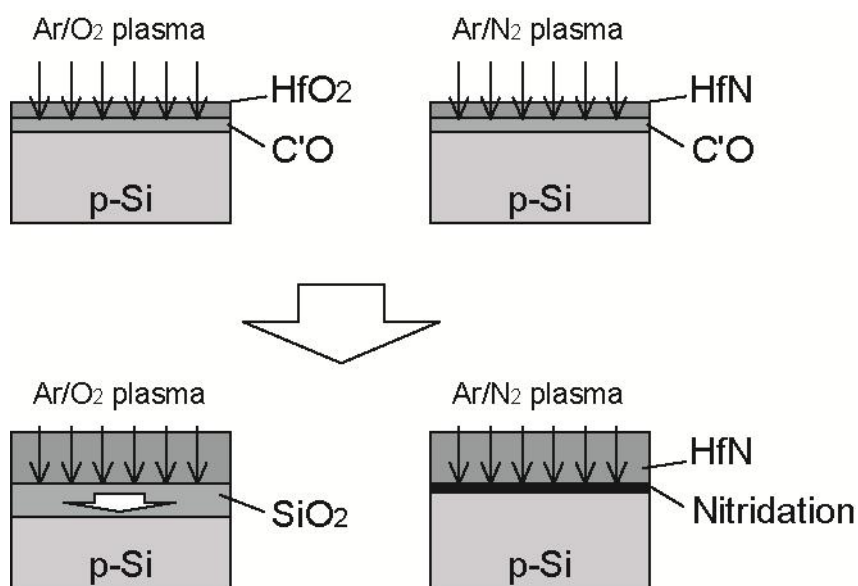


図 3.8 堆積時のプラズマ雰囲気による Si 基板の酸化および窒化

まず、 HfO_2 の堆積には Ar/O_2 プラズマを用い、 HfN の堆積には Ar/N_2 プラズマを用いる。薄膜の堆積中においてはそれぞれのプラズマが基板に照射され続けることになり、 Ar/O_2 プラズマが照射される HfO_2 の堆積においてはプラズマ酸化の影響で、 $\text{HfO}_2/\text{p-Si}$ 界面に O 原子が多く注入される。一方 HfN の堆積時に用いる Ar/N_2 プラズマでは基板表面が窒化され Si-N 結合を形成する。 SiN 結合は Si 基板方向への原子の拡散を抑制することが広く知られており [9]、 O および N 原子の拡散を抑制したものと考えられ、 $\text{HfN}/\text{p-Si}$ 界面に対する O 原子の注入量は HfO_2 の堆積と比較して減少させることができ、堆積後の PDA 時における IL 層の形成をさらに抑制することができると考えられる。さらに、 Hf-O 結合の強度が 801 kJ/mol であるのにたいして、 Hf-N 結合の強度は 535 kJ/mol と小さいことから、 HfO_2 のプラズマ窒化では N 濃度が 10% 未満にとどまり、 N 導入の効果が限定的であるが、 HfN のプラズマ酸化では酸化条件を検討することで、 HfON 内の O 濃度を制御することで N 濃度も制御することが可能となり、 N 導入による耐熱性の向上や IL 層形成の抑制などが効果的に行うことができると考えられる。

また、堆積後に大気暴露した HfN をプラズマ酸化するという手法と比較して、本研究で検討を行った in-situ プラズマ酸化プロセスにより、 O 原子の導入量の制御性を更に向上したと考えられる。

3.1.3.2 HfN の in-situ プラズマ酸化時間の検討

成膜室内圧力 0.19 Pa において $\text{Si}(100)$ 平面上に堆積した 5 nm の HfN 薄膜を in-situ で $15\text{-}60 \text{ s}$ 酸化して形成した HfON 薄膜を絶縁膜とした MIS キャパシタを作製し、電気的特性のプラズマ酸化時間依存性の評価を行った。図 3.9(a)に $\text{p-Si}(100)$ 平面上に成膜室内圧力 0.19 Pa で堆積した HfN の酸化により形成した HfON 薄膜の C-V と図 3.9(b)に J-V 特性を示す。図 3.9(a)から、酸化時間を長くすることで、フラットバンドシフトを改善することが見て取れる。また、図 3.9(b)の J-V 特性でリーク電流が大幅に減少していることとあわせて、酸化時間を長くすると厚膜化している。酸化時間を長くすることで、絶縁膜中への酸素注入量が増え、IL の形成が促進されて界面が SiO_2 リッチになるため界面特性が向上する反面、厚膜化してしまうものと考えられる。

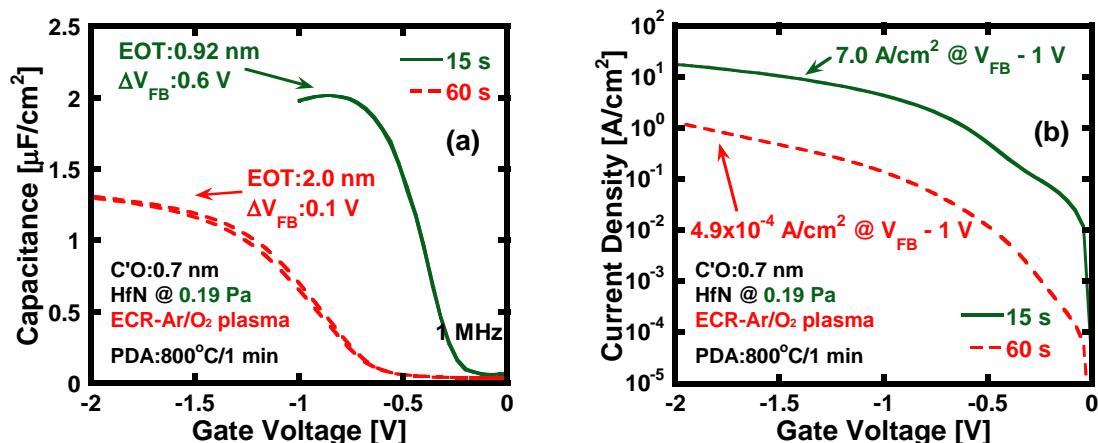


図 3.9 0.19 Pa で堆積した HfN (5 nm) のプラズマ酸化プロセスにより形成した HfON 薄膜の酸化時間依存性 (a)C-V 特性、(b)J-V 特性

次に、酸化時間により EOT および ΔV_{FB} が変化する要因を検討するために、各酸化時間における角度分解 XPS 測定を行った。図 3.10 に take-off angle: 80° における Hf 4f, N 1s および Si 2p スペクトルの酸化時間依存性を示す。まず図 3.10(a) の Hf 4f スペクトルからは酸化時間を 15 s から 60 s に伸ばすことでピーク位置が Hf-N 結合側から Hf-O 結合側にシフトしていることが見て取れる。また、図 3.10(b) の N 1s スペクトルでは 15 s 酸化の場合に検出されていた Hf-N 結合が 60 s 酸化した場合に検出されて、酸化時間を長くすると膜中に注入される O 量が増えてより結合の強い Hf-O に結合がシフトしていると考えられる。さらに、図 3.10(c) の Si 2p スペクトルでは 60 s 酸化を行った場合に Si-O 付近にピークが検出されており、HfON/p-Si(100) 界面付近が SiO₂ リッチになっていることが示唆され、図 3.9(a) の C-V 特性においてフラットバンドシフトが改善された事が明らかになった。

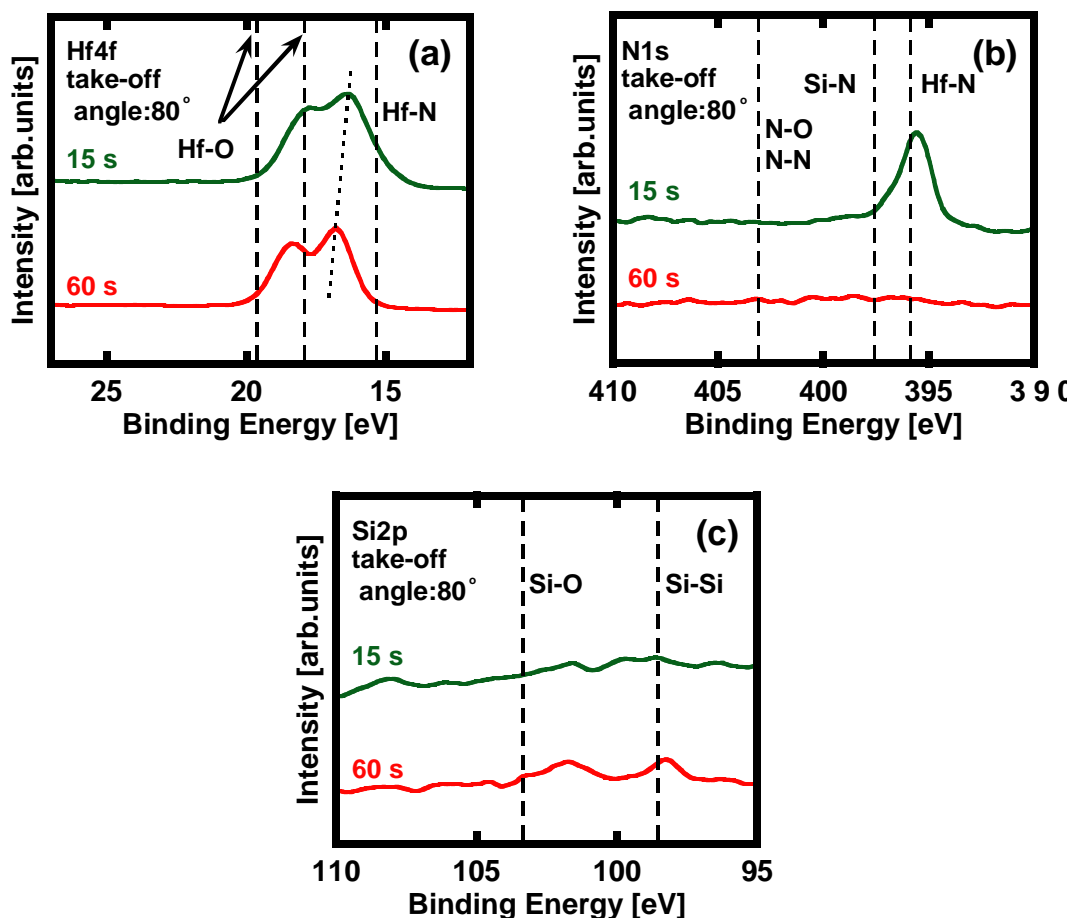


図 3.10 Take-off angle: 80°における XPS スペクトルの酸化時間依存性
(a)Hf 4f、(b) N 1s、(c) Si 2p

本節において、p-Si(100)平面上における HfON 薄膜の形成方法としては絶縁膜中の O 量が制御でき、EOT を極薄膜化することができる HfN の in-situ プラズマ酸化プロセスが適していることが分かった。

3.2 3次元構造上における電気的特性

本節では、3.1 節においてより EOT を薄膜化することが可能と分かった HfN のプラズマ酸化プロセスにより 3次元構造上に形成した HfON 薄膜の評価を電気的特性から評価する。また、各プロセスにおいて p-Si(100)平面上で最適化した条件を用い、3次元構造上における HfON 薄膜の評価を電気的特性および TEM 像から行い、3次元構造作製時のエッチングダメージの回復を目的として Post-etching annealing プロセスを電気的特性から検討する。

3.2.1 試料作製方法

HfO₂ のプラズマ窒化および HfN のプラズマ酸化プロセスによる 3次元構造上への MIS キャパシタ作製方法の概略を図 3.11 に記す。一方、エッチングダメージの評価を目的として p-Si(100)、p-Si(110)面上に形成を行う場合の概略を図 3.12 に示す。また、以下に各作製プロセスの詳細を述べる。

3次元構造上への MIS キャパシタの作製プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)ステツパにより 0.7 μm L/S(Line and Space)レジストパターン形成

(2)ICP-RIE によりドライエッチング

・ Cl₂/O₂:20/5 sccm, 10-50 nm

(3)基板洗浄

(4)一部のサンプルに対して回復アニール(Post-etching Annealing)

・ 1000°C/1 min

(5)HF-last 処理

(6)基板表面処理 (Chemical Oxide)

・ H₂O₂ に 60 min 浸すことで、見込み膜厚 0.7 nm の Chemical Oxide(C' O)を形成

(7)ECR スパッタ法により HfON 形成

①HfO₂ のプラズマ窒化プロセス

・ Ar/O₂: 23/4.6 sccm(P=0.19 Pa)、 μ 波/RF:500/500 W、HfO₂(5 nm)を堆積

・ Ar/N₂:12/6 sccm、 μ 波:500 W、180 s プラズマ照射

②HfN のプラズマ酸化プロセス

・ Ar/N₂: 15/0.6 sccm(P=0.15 Pa), 20/0.8 sccm(P=0.17 Pa), 25/1 sccm(P=0.19 Pa)

μ 波/RF:500/500 W、HfN(5 nm)を堆積

・ Ar/O₂:20/8 sccm, μ 波:300 W、15 s プラズマ照射

(8)RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

・ 800°C/1 min

(9)真空蒸着法により Al 電極形成

・ メタルマスク (ϕ :100 μm)

p-Si(100)および p-Si(110)面におけるエッチングダメージ評価サンプルの作製プロセス

使用基板:p-Si(100)および p-Si(110), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)基板洗浄

(2)ICP-RIE によりドライエッチング

- Cl₂/O₂:20/5 sccm, 10-50 nm

(3)基板洗浄

(4)一部のサンプルに対して回復アニール(Post-etching Annealing)

- 1000°C/1 min

(5)基板表面処理 (Chemical Oxide)

- H₂O₂ に 60 min 浸すことで、見込み膜厚 0.7 nm の Chemical Oxide(C' O)を形成

(6)ECR スパッタ法を用いた HfN のプラズマ酸化プロセスによる HfON 形成

- Ar/N₂: 15/0.6 sccm(P=0.15 Pa), 20/0.8 sccm(P=0.17 Pa), 25/1 sccm(P=0.19 Pa)

μ 波/RF:500/500 W、HfN(5 nm)を堆積

- Ar/O₂:20/8 sccm, μ 波:300 W、15 s プラズマ照射

(7)RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

- 800°C/1 min

(8)真空蒸着法により Al 電極形成

- メタルマスク (φ:100 μm)

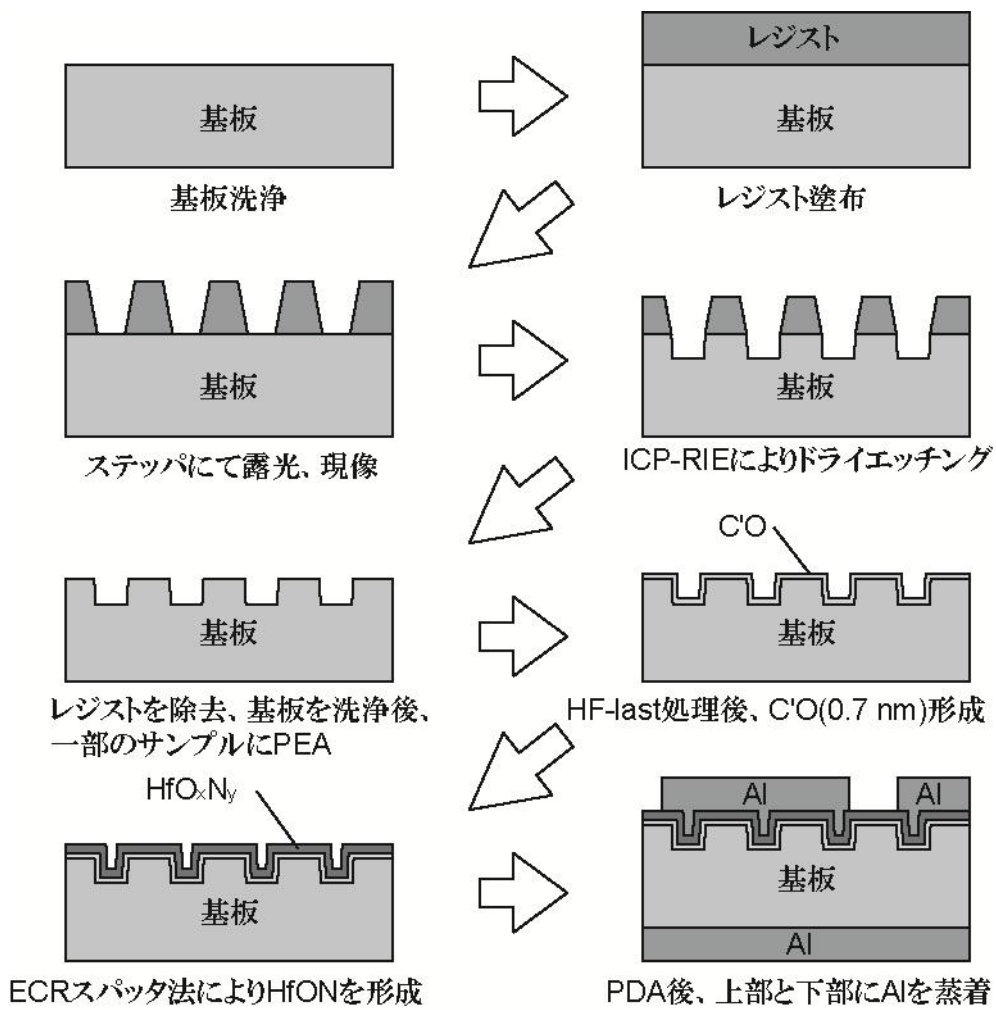


図 3.11 3次元構造上への MIS キャパシタの作製方法

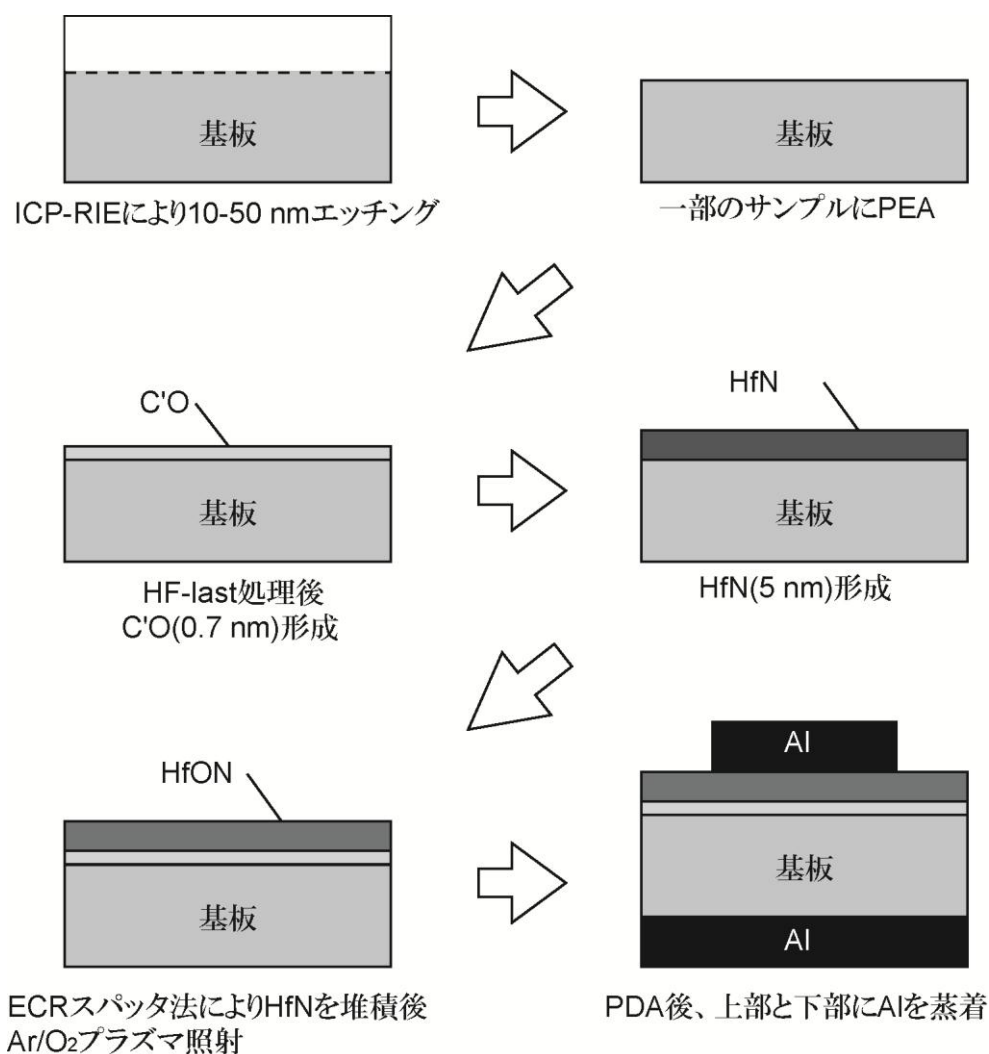


図 3.12 エッチングダメージ評価用サンプルの作製方法

3.2.2 3次元構造上への HfON 形成の検討

成膜室内圧力を 0.15-0.19 Pa として 3次元構造上に HfN(5 nm)のプラズマ酸化プロセスにより形成した HfON 薄膜を絶縁膜とした MIS キャパシタを作製し、電気的特性の成膜室内圧力依存性の評価を行った。図 3.13 に HfN のプラズマ酸化プロセスにより形成した場合の C-V および特性をそれぞれ示す。図 3.13(a)の C-V 特性からは 3次元構造上においてもヒステリシスの小さく、立ち上がりの急峻な特性が得られていることが分かったが、100 kHz と 1 MHz で測定した C-V 特性に周波数分散があることが分かった。また、図 3.13(b)の J-V 特性からは成膜室内圧力を 0.15 Pa から 0.19 Pa に増加させることで、 V_{FB} -1 V でのリーク電流は 7.0 A/cm^2 から 0.56 A/cm^2 に低減できることが分かった。

次に、成膜室内圧力を 0.03 Pa および 0.19 Pa として 3次元構造上に 20 nm 堆積した HfN の断面 SEM 像を図 3.30 に、0.15, 0.17, 0.19 Pa として 5 nm 堆積した HfN の断面 TEM 像

を図 3.31 に示す。成膜室内圧力: 0.03, 0.15, 0.17, 0.19 Pa における HfN の堆積レートはそれぞれ 0.26, 0.11, 0.11, 0.11 nm/s であった。まず図 3.30 からは、0.03 Pa から 0.19 Pa に増加させることで、3次元構造側壁部に堆積される HfN 膜の膜厚を 11 nm から 14.5 nm と厚膜化していることが見て取れ、堆積時の成膜室内圧力を増加させることで、側壁部の膜厚が大幅に改善できることが分かる。さらに図 3.31 からは、成膜室内圧力 0.15 Pa から 0.19 Pa に増加させることにより、側壁部の HfN 膜厚が 2.7 nm から 3.2 nm へ厚膜化していることが明らかになった。側壁部の膜厚および膜質を成膜室内圧力を増加させることによって改善できるという 3.1 節での結果と良く一致している。この結果から HfN のプラズマ酸化プロセスによって 3次元構造上に形成を行う際は堆積時の成膜室内圧力を 0.19 Pa として HfN を堆積することが適していることが分かった。

また、HfO₂ のプラズマ窒化プロセスの平面上での検討から最適と判断した成膜室内圧力 0.19 Pa で 3次元構造上に形成した HfON 薄膜との比較を行った。図 3.14 に各プロセスにより 3次元構造上に形成した HfON 薄膜の C-V 特性を示す。図 3.14 から、HfN のプラズマ酸化によって形成した HfON 薄膜で EOT:1.34 nm を実現し、HfN の in-situ プラズマ酸化プロセスは 3次元構造上においても薄膜化が可能であることが分かった。

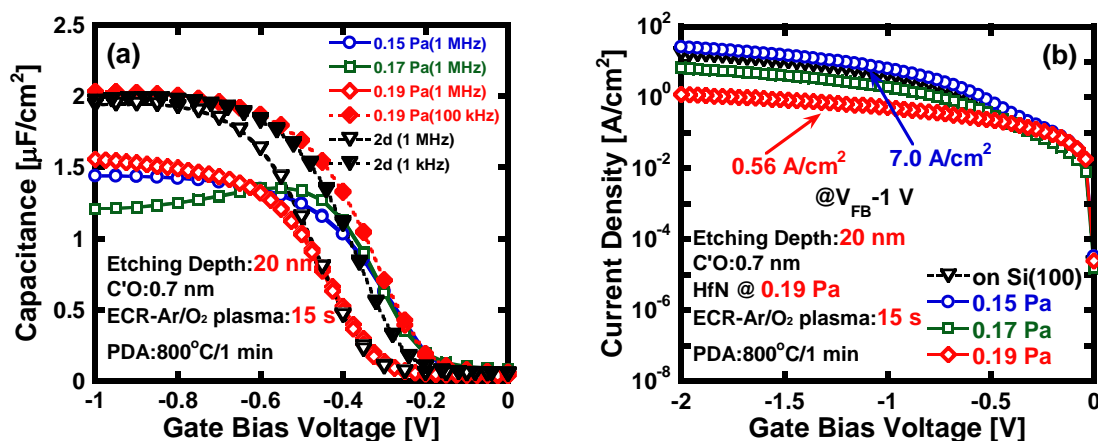


図 3.13 0.15-0.19 Pa で 3次元構造上に堆積した HfN (5 nm) のプラズマ酸化プロセスにより形成した HfON 薄膜の酸化時間依存性 (a)C-V 特性、(b)J-V 特性

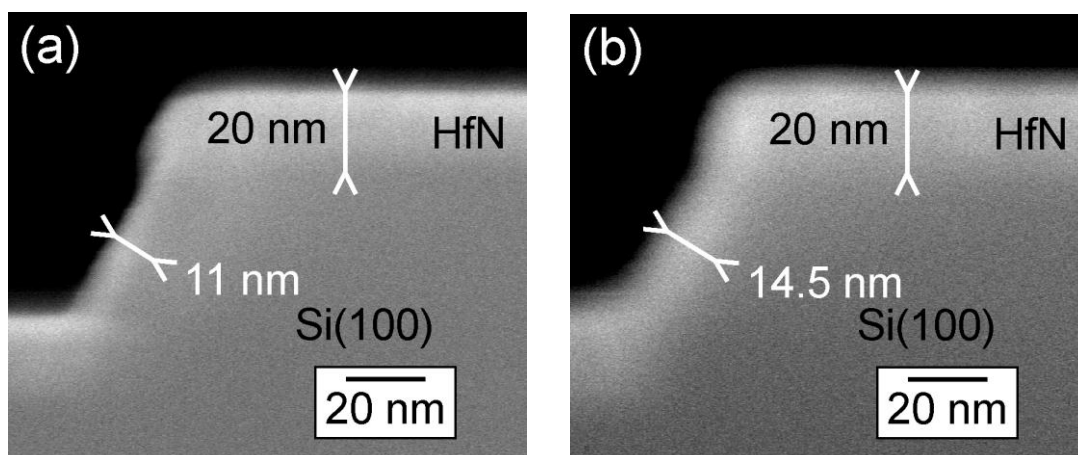


図 3.30 3次元構造上に堆積した HfN(20 nm)の断面 SEM 像
 (a)成膜室内圧力: 0.03 Pa、(b) 0.19 Pa

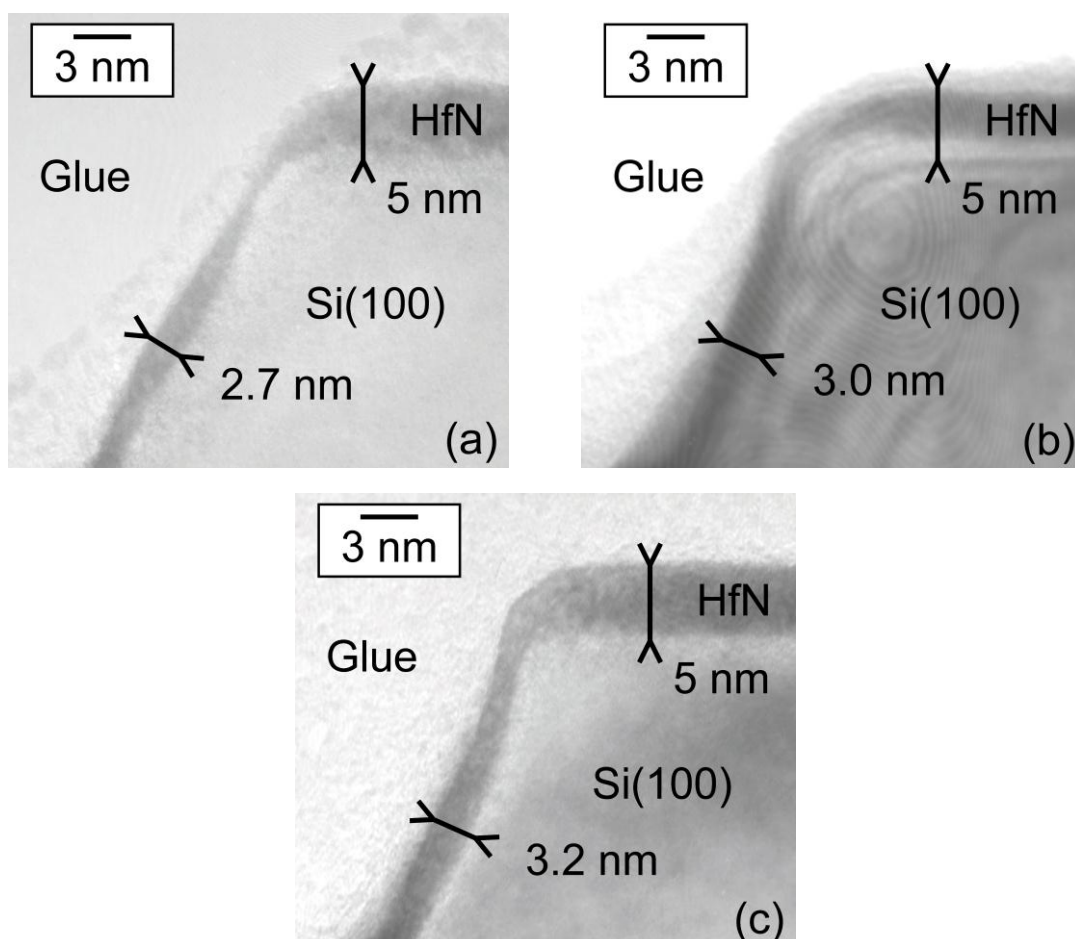


図 3.31 3次元構造上に堆積した HfN(5 nm)の断面 TEM 像
 (a)成膜室内圧力: 0.15 Pa、(b)0.17 Pa、(c)0.19 Pa

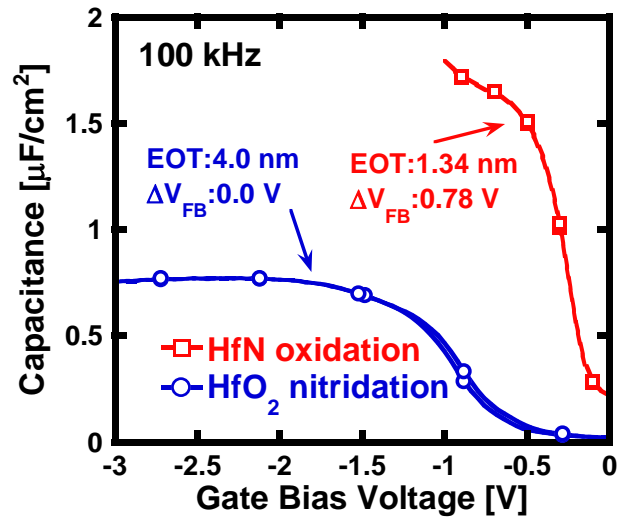


図 3.14 3次元構造上に HfON 薄膜の C-V 特性の形成プロセス依存性

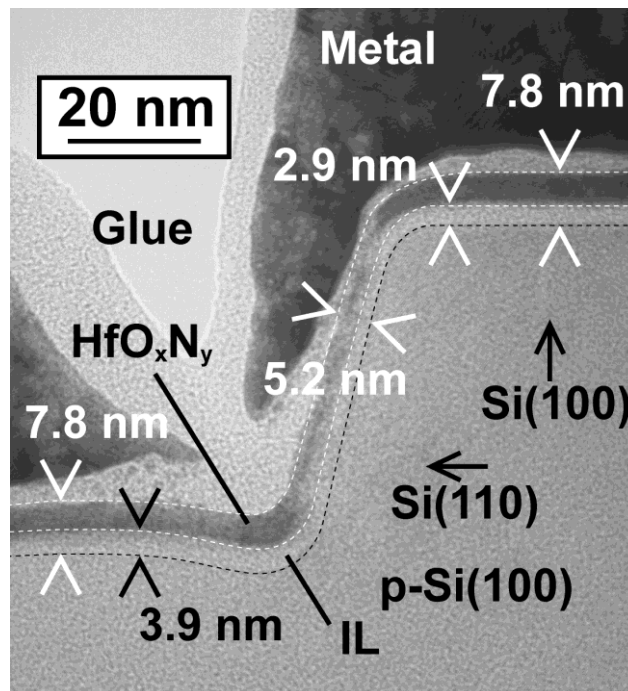


図 3.15 3次元構造上に HfO₂ のプラズマ窒化により形成した HfON 薄膜の TEM 像

さらに、HfO₂ のプラズマ窒化により形成した HfON 薄膜の断面 TEM 像を図 3.15 に示す。図 3.15 から、3次元構造上に形成された HfON 絶縁膜では上部と比べて側壁部での膜厚が 1/2 程度に減少しているものの、側壁部にも均一な薄膜が形成できていることが

明らかになった。また、エッチングを行った3次元構造の Space 部分における IL 層の膜厚は 3.9 nm と、Line 部における IL 層の膜厚 2.9 nm と比較して厚膜化していることが分かる。これは ICP-RIE によるドライエッチングの際に Cl_2/O_2 プラズマに晒された部分がダメージを受け、PDA の際に増速酸化が起きているものと考えられる。

3.2.3 Post etching annealing(PEA)によるエッチングダメージ回復の検討

まず、p-Si(100)平面を 10~50 nm エッチングした後に基板を洗浄し、エッチングダメージの改善を目的とした PEA を行った基板と行わなかった基板の上に HfON 薄膜を形成し、PDA を行って作成した HfON 薄膜の C-V 特性を図 3.16 にそれぞれ示す。PEA を行わなかったサンプルにおいては、蓄積側での容量低下が顕著なのに対して、PEA を行ったサンプルでは全体的に容量が鋭く立ち上がり、EOT が薄くなっていることが分かる。ここから、PEA によりエッチングダメージが改善し、膜質を向上するとともに、増速酸化を抑制して EOT を低減できたと考えられる。

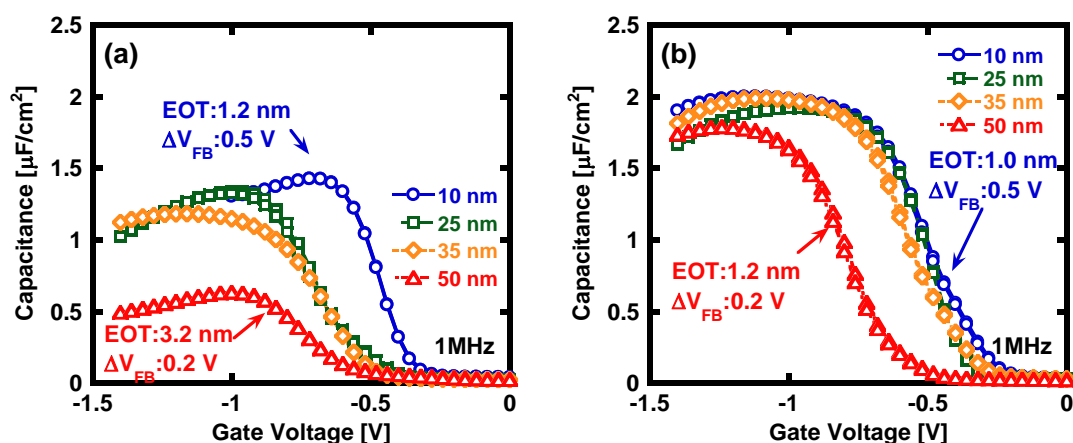


図 3.15 p-Si(100)平面上において(a)PEA を行わなかったサンプルと(b)行ったサンプルの C-V 特性のエッチング深さ依存性

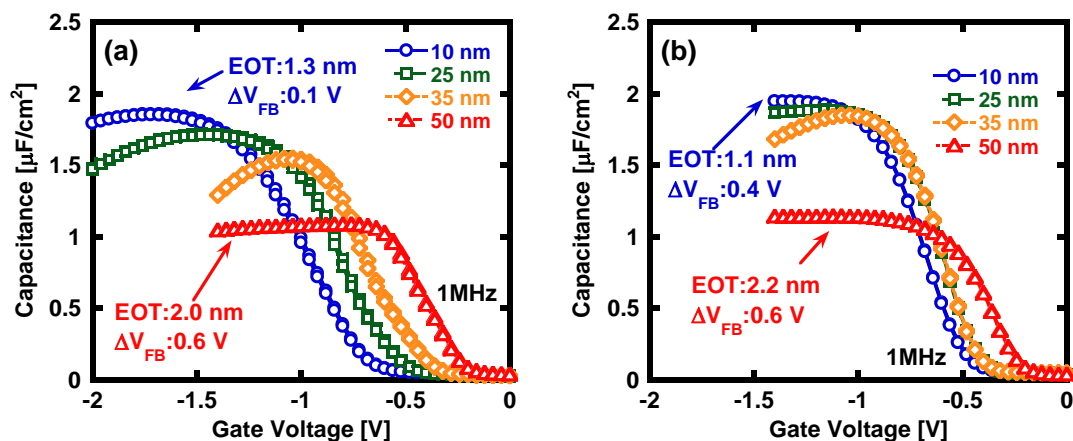


図 3.16 p-Si(110)平面上において(a)PEA を行わなかったサンプルと(b)行ったサンプルの C-V 特性のエッチング深さ依存性

次に、p-Si(110)平面を 10~50 nm エッチングした後に、PEA を行った基板と行わなかった基板上に形成した HfON 薄膜の C-V 特性を図 3.16 に示す。いずれのエッチング深さにおいても、ヒステリシスの小さい特性が得られている。p-Si(100)平面と同様に PEA を行うことで、35 nm 以下のエッチングでは EOT が 1.1 nm まで低減できることが明らかになったが、50 nm エッチングを行ったサンプルに関しては C-V カーブの形も同等で、PEA の効果は見られなかった。また、PEA を行っていないサンプルに関して p-Si(100)平面と比較すると、p-Si(110)平面では蓄積側での容量低下が小さく、エッチングダメージの影響と、面密度の大きさの違いからくる酸化レートの影響を比較したときに、酸化レートの影響が大きいため、エッチングダメージの影響をうけ難いものと考えられる。

さらに、p-Si(100)平面と p-Si(110)平面で PEA を行ったサンプルと行わなかったサンプルに関して、横軸にエッチング深さ、縦軸に $V_{FB}-1$ V でのリーク電流と RMS ラフネスとしたプロットを図 3.17 および図 3.18 にそれぞれ示す。図 3.17 から、エッチング深さ 35 nm 以下の p-Si(100)平面ではリーク電流が 1 桁程度低減できていることが分かる。これは図 3.18 から分かるように RMS ラフネスが PEA により改善されたことが原因と考えられるが、エッチング深さ 50 nm の p-Si(100)平面では RMS が 0.8 nm まで増大したために、リーク電流は増加する結果となった。

一方、エッチング深さ 35 nm 以下の p-Si(110)平面では、エッチングダメージの影響を受けづらいためか、PEA による変化は見られなかった。また、p-Si(100)平面と同様に 50 nm エッチングを行ったサンプルでは PEA を行うことで RMS ラフネスが急激に増大している。

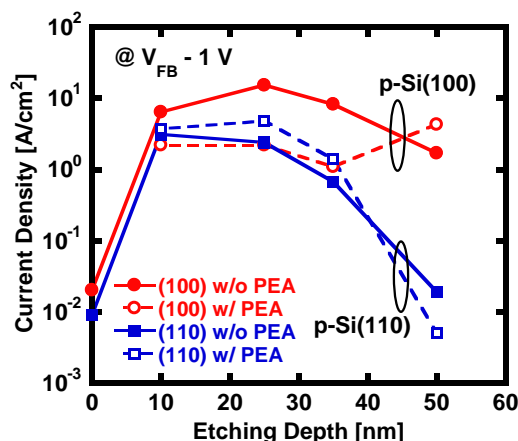


図 3.17 0-50 nm エッチングを行った p-Si(100)平面および p-Si(110)平面におけるリーク電流の PEA 依存性

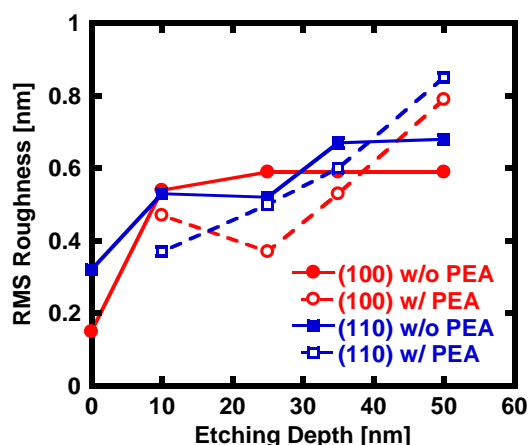


図 3.18 0-50 nm エッチングを行った p-Si(100)平面および p-Si(110)平面において HfON を堆積し PDA を行った後の HfON 表面の RMS ラフネスの PEA 依存性

以上の検討を元に、3次元構造側壁部の評価を行うために、エッチング深さの異なる3次元構造上に HfON 薄膜を形成し、PEA を行わなかったサンプルの C-V 特性を図 3.19(a)に、行ったサンプルの C-V 特性を図 3.19(b)にそれぞれ示す。

3次元構造上においてもヒステリシスの小さい薄膜が形成可能で、PEA によって EOT を改善し、EOT:1.1-1.2nm を実現した。また、50 nm エッチングを行った際、(110)平面上では PEA による EOT の改善が見られなかったのに対し、3次元構造上では改善されていることから、3次元構造上での容量は(100)平面が支配的であるといえる。加えて、周波数分散が改善されていることから、PEA によって界面特性が向上したものと考えられる。

しかし、図 3.20 に示すようにリーク電流の PEA による改善は見られなかった。これ

は図 3.21 の 3 次元構造の SEM 像から分かるようにラインエッジのラフネスが大きいことや、図 3.22 に示すように角部での電界集中が原因として考えられる。

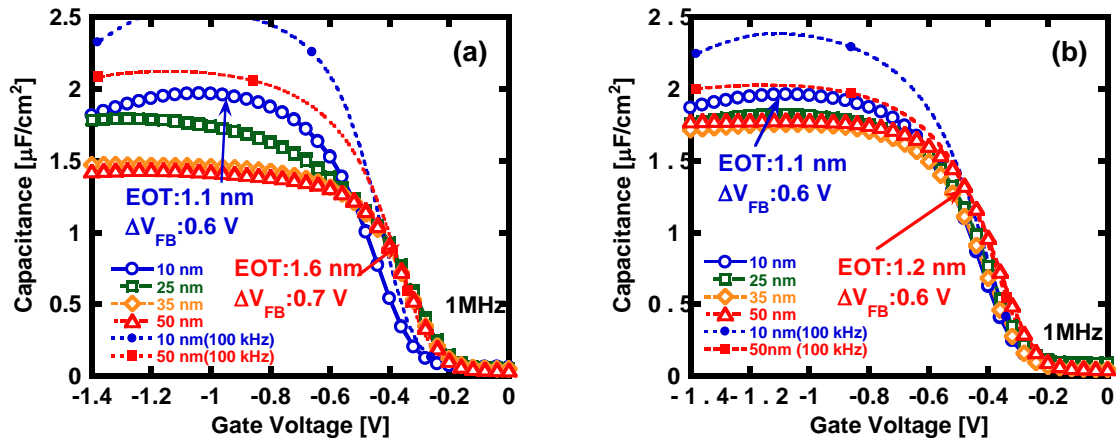


図 3.19 10-50 nm エッチングを行った 3 次元構造上に形成した HfON 薄膜の C-V 特性のエッチング深さ依存性(a)PEA を行わなかった場合、(b)PEA を行った場合

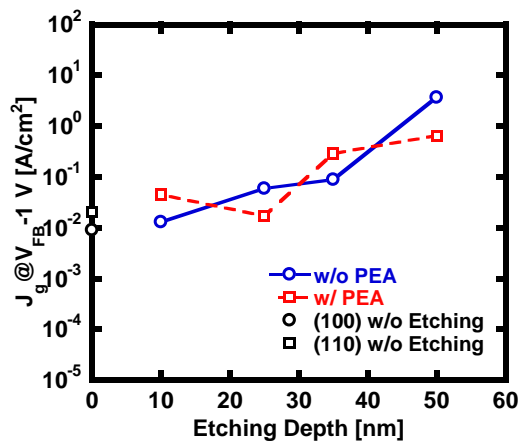


図 3.20 エッチング深さの異なる 3 次元構造上におけるリーク電流の PEA 依存性

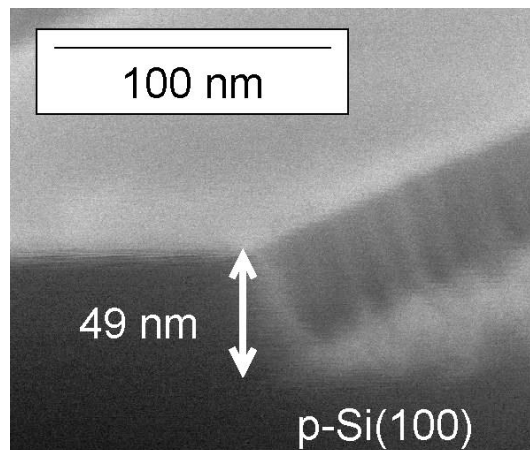


図 3.21 ICP-RIE によるドライエッチングにより形成した 3 次元構造の SEM 像

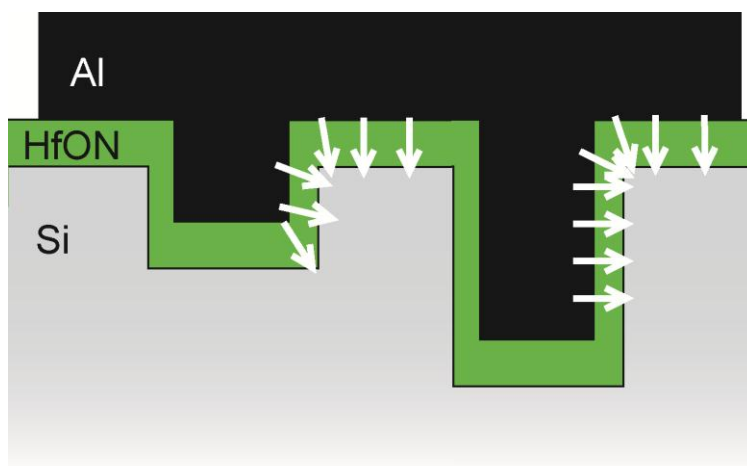


図 3.22 3次元構造のエッジ部分に集中する電界のエッチング深さ依存性の模式図

3.3 HfN 膜厚依存性の検討

本節では、HfON に対して Si を導入することで耐熱性が向上できるという報告がある HfSiON の形成プロセスを検討する[10-11]。3.1 節で検討した通り、HfON 内の O 量を制御可能な HfN のプラズマ酸化プロセスを用い形成した HfON と、堆積前に形成する C'O の PDA 時の反応を利用して HfSiON を形成する。C'O の膜厚 0.7 nm と同等の膜厚である 1 nm まで堆積する HfN の膜厚を減少させ、熱処理により HfON に対して Si を導入する。さらに、形成する HfON 膜厚を薄膜化することで EOT の薄膜化も目的とする。HfN の膜厚を減少させることで形成した絶縁膜の電気的特性と結合状態から HfN の膜厚を検討する。

3.3.1 試料作製方法

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)基板洗浄

(2)基板表面処理 (Chemical Oxide)

- H_2O_2 に 60 min 浸すことで、膜厚 0.7 nm の C'O を形成

(3)ECR スパッタ法により HfN 堆積

- Ar/ N_2 : 25/1 sccm(P=0.19 Pa)
- μ 波/RF:500/500 W
- 電極間距離:200 mm

- ・膜厚 1 nm を堆積

(4)in-situにて Ar/O₂プラズマ照射

- ・ Ar/O₂:20/8 sccm, 3 s
- ・ μ波:300 W
- ・ 電極間距離:200 mm

(5)RTAにより N₂雰囲気中で Post Deposition Annealing (PDA)

- ・ 800°C/1 min

(6)真空蒸着法により Al 電極形成

- ・ メタルマスク (φ:100 μm)

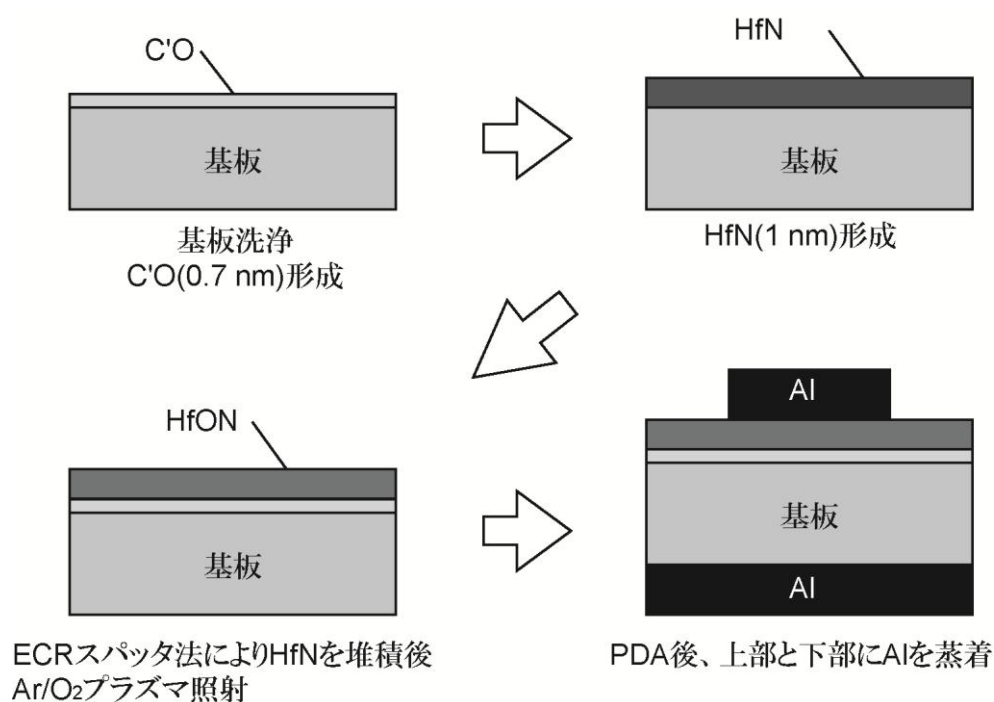


図 3.23 3次元構造上への MIS キャパシタの作製方法

3.3.2 膜質の評価

図 3.24 に HfN(1 nm)の 3 s プラズマ酸化および HfN(5 nm)の 15 s プラズマ酸化により形成した薄膜の take-off angle:30°における Si 2p スペクトルを示す。HfN(1 nm)/SiO₂(0.7 nm)構造に対して PDA を行った場合の絶縁膜全体の膜厚は 3 nm 程度となっており、take-off angle:30°における光電子の脱出深さが数 nm であることから、図 3.24 において検出された Si-Si 結合は Si 基板に由来するものと考えられ、ピーク強度の基準として用いる。図 3.24 から、1 nm の HfN を酸化した場合、PDA を行うことで Si 基板の Si-Si 結合に対する Si-O 結合のピーク強度が大きくなっていることが分かった。このことから HfN(1 nm)を酸化して形成した HfON は PDA を行うことにより C'O と反応し、HfSiON が形成されることを明らかにした。

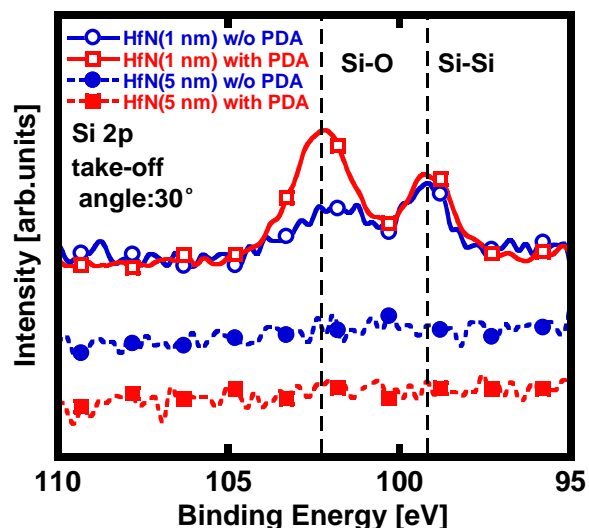


図 3.25 HfON および HfSiON 薄膜の Si 2p スペクトルの PDA 依存性 (take-off angle:30°)

3.3.3 電気的特性の評価

図 3.26 に HfN(1 nm)を 3 s の in-situ 酸化により p-Si(100)平面上に形成した後 800°C/1 min の PDA により形成した HfSiON 薄膜と、比較のために HfN(5 nm)を 15 s プラズマ酸化して形成した HfON 薄膜の C-V 特性を示す。図 3.26 から、HfN(1 nm)のプラズマ酸化により p-Si(100)平面上に形成した HfSiON 薄膜において、EOT:0.84 nm と薄膜化できることが分かった。また、堆積した HfN 膜厚により V_{FB} の位置が大きく変化していることが見て取れる。HfON 内の酸素欠損により正の固定電荷が生じるという報告があることから[12]、厚い HfN では酸化が十分ではないために、正側に V_{FB} がシフトすると同時に、 $V_{FB}-1$ V でのリーク電流が 7.0 A/cm^2 と Hf 系の絶縁膜における EOT:1 nm 程度のリーク電流の報告値よりも大きくなっていることが分かった。また、1 nm 堆積した HfN

のプラズマ酸化により形成した HfSiON 薄膜では $V_{FB}-1$ V でのリーク電流は 1.2×10^{-5} A/cm² となり、薄膜化を実現すると同時にリーク電流値を HfSiON 薄膜の報告値と同程度まで改善した[13]。

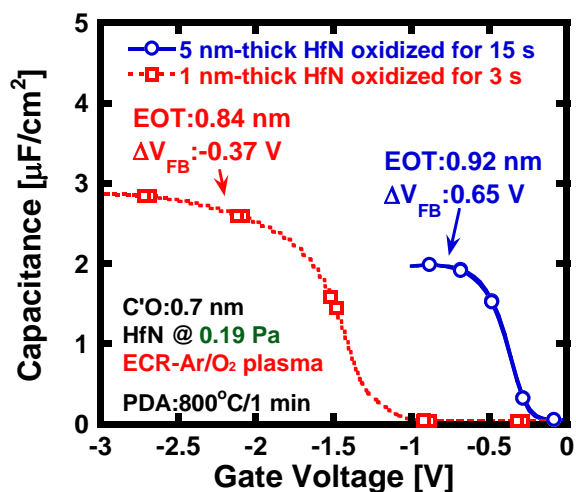


図 3.26 HfN の in-situ プラズマ酸化プロセスにより形成した HfON 薄膜および HfSiON 薄膜の C-V 特性の HfN 膜厚依存性

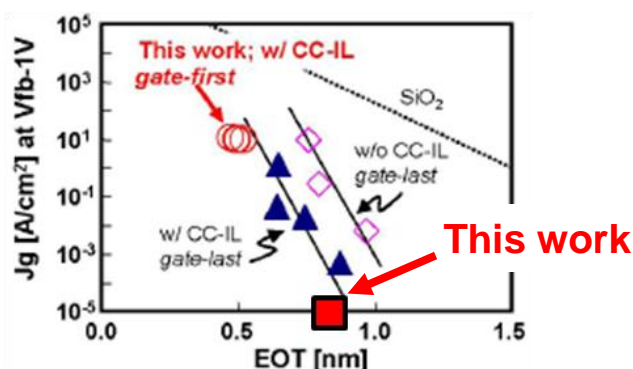


図 3.27 EOT- J_g プロットの報告例との比較[13]

3.4 本章のまとめ

本章で得られた結果を以下にまとめる。

- (1) HfON の形成プロセスとして HfO₂ のプラズマ窒化および HfN のプラズマ酸化を p-Si(100)平面上で検討し、HfN のプラズマ酸化プロセスにより HfON 内の O 量を制御し、EOT を 0.92 nm と低減できることを明らかにした。
- (2) 3次元構造上に HfON を形成する場合、成膜室内圧力を増加させることで側壁部に堆積される薄膜の膜厚を増加させ、リーク電流を低減可能であることを明らかにした。また、HfN のプラズマ酸化プロセスは 3次元構造上においても EOT の薄膜化が可能で EOT: 1.34 nm を実現した。

- (3) 3次元構造形成時のエッチングダメージは 35 nm 未満のエッチングであれば 1000°C/1 min のアニールにより改善可能であるが、50 nm 以上のエッチングを行った場合は改善できないことが分かった。さらに、3次元構造上に形成した HfON 薄膜のリーク電流は側壁部のラフネスやコーナー部分への電解集中によるものが大きいことが明らかになった。
- (4) HfN(1 nm)のプラズマ酸化により形成した HfON と C'O の PDA 時の反応により HfSiON が形成可能であることが分かった。

本章では、HfON の形成プロセス、各形成プロセスにおける堆積時の成膜室内圧力、3次元構造形成時のエッチングダメージ回復、HfSiON の形成プロセスなどの内容について述べてきた。堆積時の成膜室内圧力は平面上に堆積される膜質および3次元構造側壁部の膜厚に大きく影響を与えることを明らかにした。また、HfN(1 nm)のプラズマ酸化プロセスは、EOT 薄膜化とリーク電流低減に有望であることを明らかにした。

参考文献

- [1] 佐藤 雅樹 ; 修士論文、「ECR-Ar/N₂プラズマによる HfON ゲート絶縁膜の形成とデバイス特性向上に関する研究」、東京工業大学、2007 年.
- [2] 仲野 雄介 ; 修士論文、「SWC-RTA プロセスによる高誘電率 HfO_xN_y ゲート絶縁膜の電気特性向上に関する研究」、東京工業大学、2008 年.
- [3] モハマド アヌア ; 修士論文、「ECR スパッタ法による HfN/HfO_xN_y 積層構造の形成に関する研究」、東京工業大学、2009 年.
- [4] K. Sekine, S. Inumiya, M. Sato, A. Kaneko, K. Eguchi, and Y. Tsunashima, “Nitrogen Profile Control by Plasma Nitridation Technique for Poly-Si Gate HfSiON CMOSFET with Excellent Interface Property and Ultra-low Leakage Current”, IEDM. Tech. Dig., pp. 4.6.1-4.6.4 (2003).
- [5] Y. Zhao, Y. Qian, W. Yu, and Z. Chen, "Surface roughness of alumina films deposited by reactive r.f. sputtering", Thin Solid Films, 286, pp. 45-48 (1996).
- [6] P. Hammer, and W. Gissler, “Chemical sputtering of carbon films by low energy N₂⁺ ion bombardment”, Diamond and Related Materials, 5, pp. 1152-1158 (1996).
- [7] Y. Liu, S. Kijima, E. Sugimata, M. Masahara, K. Endo, T. Matsukawa, K. Ishii, K. Sakamoto, T. Sekigawa, H. Yamauchi, Y. Takanashi, and E. Suzuki, “Investigation of the TiN Gate Electrode With Tunable Work Function and Its Application for FinFET Fabrication”, IEEE Trans. Nanotechnol., 5, 6, pp. 723 - 730 (2006).
- [8] S. Inumiya, K. Sekine, S. Niwa, A. Kaneko, M. Sato, T. Watanabe, H. Fukui, Y. Kamata, M. Koyama, A. Nishiyama, M. Takayanagi, K. Eguchi, and Y. Tsunashima, “Fabrication of HfSiON gate dielectrics by plasma oxidation and nitridation, optimized for 65-nm mode low power CMOS applications”, VLSI Symp. Tech. Dig., pp. 17–18 (2003).
- [9] E. Bassous, H. N. Yu, and V. Maniscalco, “Topology of Silicon Structures with Recessed SiO₂”, J. Electrochem. Soc., 123, 11, pp. 1729-1737 (1976).
- [10] M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, and L. Colombo, “Application of HfSiON as a gate dielectric material”, Applied Physics Letters, 80, pp. 3183-3185 (2002).
- [11] M. Koyama, A. Kaneko, T. Ino, M. Koike, Y. Kamata, R. Iijima, Y. Kamimuta, A. Takashirna, M. Suzuki, C. Hongo, S. Inumiya, M. Takayanagi, and A. Nishiyama, “Effects of nitrogen in HfSiON gate dielectric on the electrical and thermal characteristics”, IEDM. Tech. Dig., pp. 849-852 (2002).
- [12] V. S. Kaushik, B. J. O’Sullivan, G. Pourtois, N. Van Hoornick, A. Delabie, S. V. Elshocht, W. Deweerdt, T. Schram, L. Pantisano, E. Rohr, L.-Å. Ragnarsson, S. D. Gendt, and . Heyns, "Estimation of Fixed Charge Densities in Hafnium-Silicate Gate Dielectrics", IEEE Trans. Electron Devices, 53, 10, pp. 2627-2633 (2006).

- [13] M. Takahashi, A. Ogawa, A. Hirano, Y. Kamimuta, Y. Watanabe, K. Iwamoto, S. Migita, N. Yasuda, H. Ota, T. Nabatame and A. Toriumi, "Gate-First Processed FUSI/HfO₂/HfSiO_x/Si MOSFETs with EOT=0.5 nm - Interfacial Layer Formation by Cycle-by-Cycle Deposition and Annealing", IEDM Tech. Dig., pp. 523-526 (2007).

第 4 章

HfN/HfSiON 構造の in-situ 形成プロセスと 3 次元構造上への形成

4.1 HfN 電極形成の検討

4.2 HfN/HfSiON 構造の

異種面方位上への形成に関する検討

4.3 3 次元構造上への形成

4.4 本章のまとめ

第4章 HfN/HfSiON 構造の in-situ 形成プロセスと 3次元構造上への形成

第3章では1 nm 堆積した HfN を in-situ で3 s プラズマ酸化することで形成した HfON と C₂O(0.7 nm)の PDA による反応により HfSiON が形成可能であることを明らかにした。本節では、HfON 形成後に更に in-situ で HfN 電極を形成すし 1 つのチャンバーで HfN/HfSiON 構造を形成することで、界面特性の向上および EOT の薄膜化を目的とし、p-Si(100)、p-Si(110)および3次元構造上に HfN/HfSiON 構造を形成し、その電気的特性などから形成した HfN/HfSiON 構造の形成プロセスを検討する。

まず4.1節で、HfN 形成条件を電気特性および結晶性などから評価する。また、HfN と HfSiON の選択エッチングプロセスを検討し、HfN の選択エッチングを用いて形成した HfN/HfSiON 構造と ex-situ プロセスにより形成した Al/HfSiON 構造との比較を行う。次に、4.2節では HfN/HfSiON 形成条件、特に PDA 条件について検討を行い、p-Si(100) および p-Si(110)面を用いた基板面方位依存性を検討する。さらに、4.3節では3次元構造上に in-situ で形成した HfN/HfSiON の評価を行う。

4.1 HfN 電極形成の検討

本節では、metal gate 材料として有望視されている窒化金属の中でも耐熱性に優れた HfN に着目し、HfN 電極の形成条件を検討する。また形成した HfN と HfSiON の選択エッチングプロセスを検討し、選択エッチングプロセスに適したエッチャントを用いて形成した HfN/HfSiON 構造の MIS キャパシタと ex-situ で形成した Al/HfSiON 構造の MIS キャパシタの比較評価を行う。

4.1.1 試料作製方法

HfN 電極の評価を行うために p-Si(100)面上および SiO₂上に HfN を形成する。図 4.1 に作製プロセスの概略図を示す。また、HfN と HfSiON の選択エッチングプロセスを検討するために形成するサンプルの作製プロセスの概略図を図 4.2 に示す。さらに、HfN/HfSiON 構造の MIS キャパシタの作製プロセスの概略図 4.3 に示す。以下に各作製プロセスの詳細を述べる。

HfN 電極形成プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)基板洗浄

(2)熱酸化炉にて SiO_2 を形成

- ・ 800°C/2, 3, 5 min
- ・ 見込み膜厚 1-5 nm を形成

(3)ECR スパッタ法により HfN 堆積

- ・ Ar/N₂: 20/0.8 sccm(P=0.17 Pa)
- ・ μ 波/RF:300-500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 40 nm を堆積

(4)一部のサンプルに対し RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

- ・ 800°C/1 min

(5)マスクアライナにより電極パターンを形成

- ・ 電極面積: $3.5 \times 10^{-5} \text{ cm}^2$

(6)HfN を選択的にエッチング

- ・ HF:H₂O₂:H₂O=1:2:40 混合溶液

(7)真空蒸着法により背面 Al 電極形成

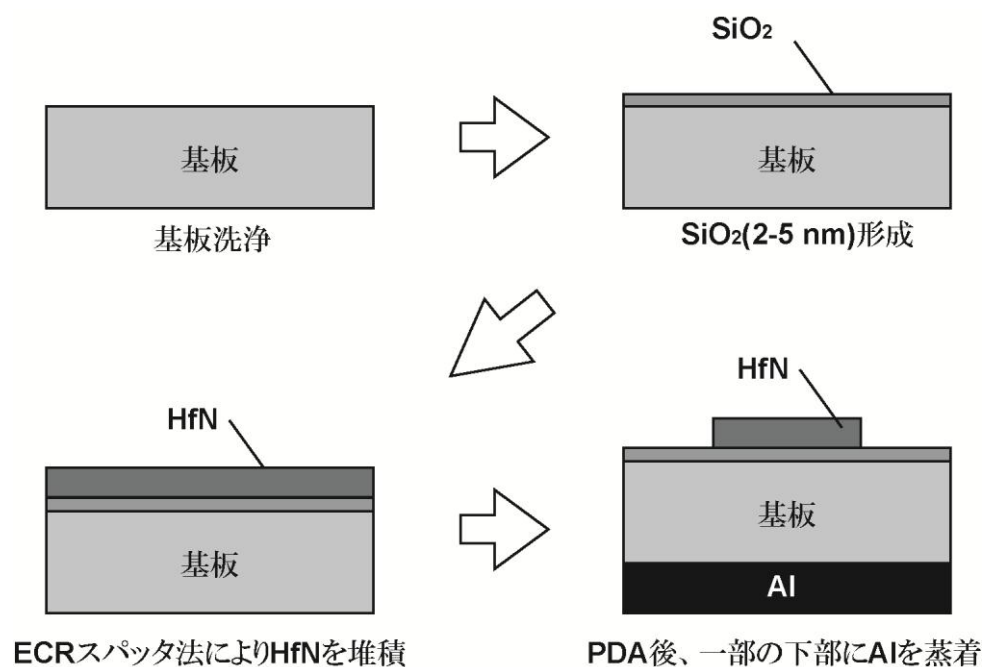
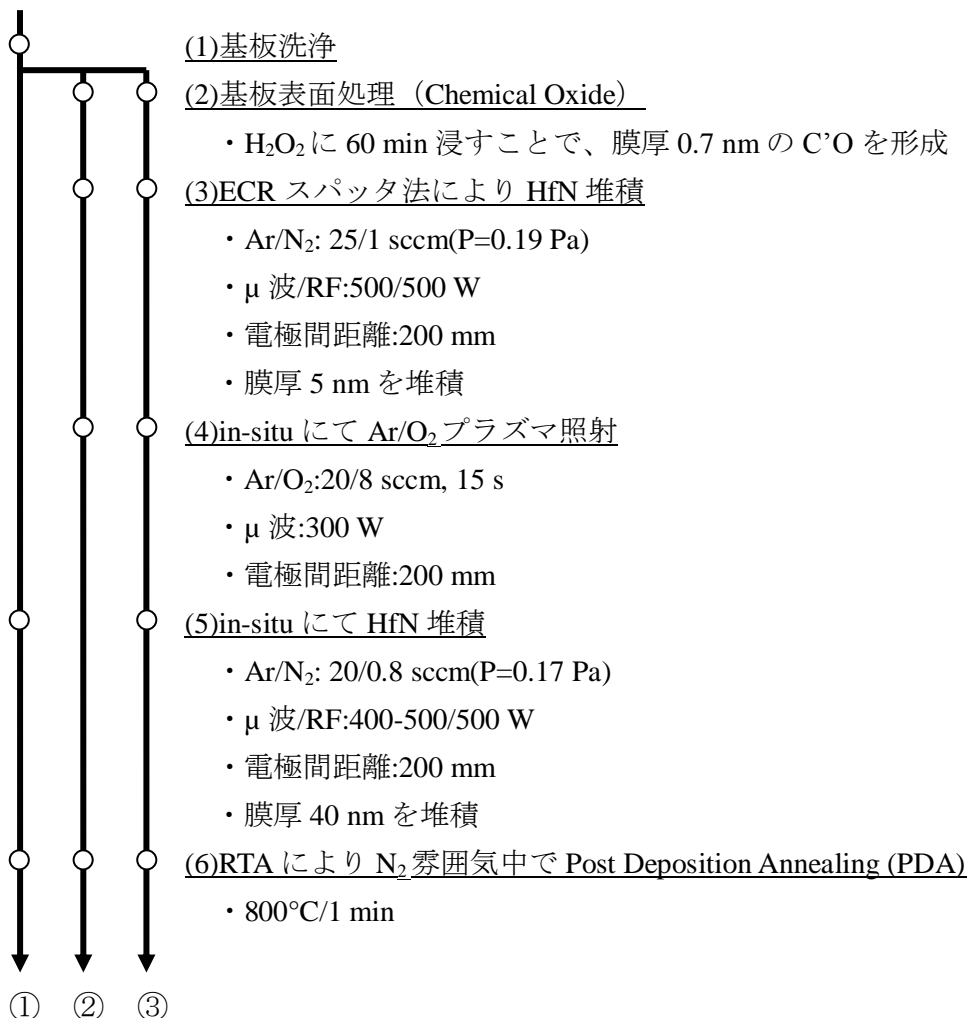


図 4.1 HfN/SiO₂ の MIS キャパシタ形成方法の概略図

HfN と HfSiON の選択エッチングプロセス検討用サンプル作製プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$



3次元構造上への HfN/HfSiON 構造作製プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)ステッパにより 0.7 μm L/S(Line and Space)レジストパターン形成

(2)ICP-RIE によりドライエッチング

- ・ Cl_2/O_2 :20/5 sccm, 10-50 nm

(3)基板洗浄

(4)回復アニール(Post-etching Annealing)

- ・ 1000°C/1 min

(5)HF-last 処理

(6)基板表面処理 (Chemical Oxide)

- ・ H₂O₂ に 60 min 浸すことで、膜厚 0.7 nm の C'O を形成

(7)ECR スパッタ法により HfN 堆積

- ・ Ar/N₂: 25/1 sccm(P=0.19 Pa)
- ・ μ 波/RF:500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 5 nm を堆積

(8)in-situ にて Ar/O₂ プラズマ照射

- ・ Ar/O₂:20/8 sccm, 15 s
- ・ μ 波:300 W
- ・ 電極間距離:200 mm

(9)in-situ にて HfN 堆積

- ・ Ar/N₂: 20/0.8 sccm(P=0.17 Pa)
- ・ μ 波/RF:400-500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 40 nm を堆積

(10)RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

- ・ 800°C/1 min

(11)マスクアライナにより電極パターンを形成

- ・ 電極面積:3.5×10⁻⁵ cm²

(12)HfN を選択的にエッチング

- ・ HF:H₂O₂:H₂O=1:2:40 混合溶液

(13)真空蒸着法により背面 Al 電極形成

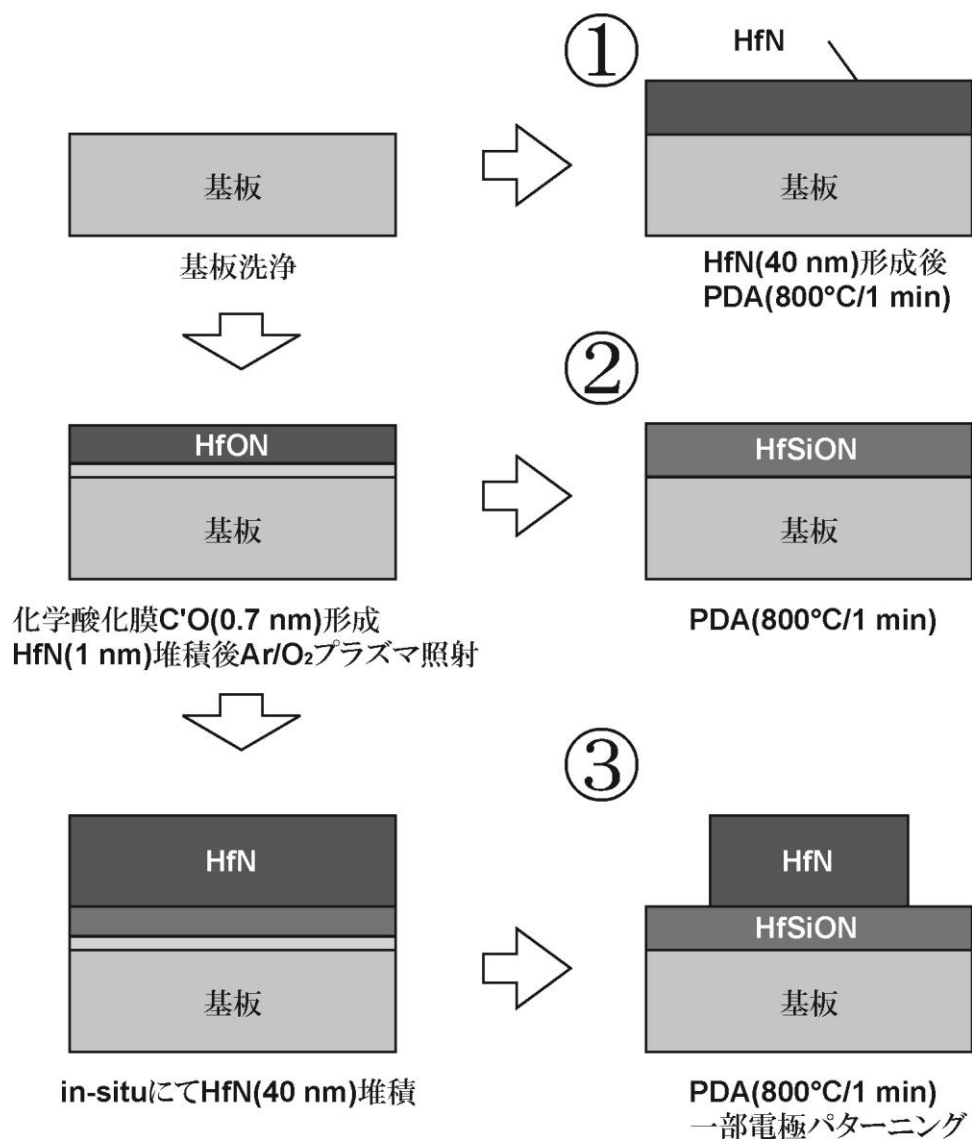


図 4.2 HfN と HfSiON の選択エッチングプロセス検討用サンプルの概略図

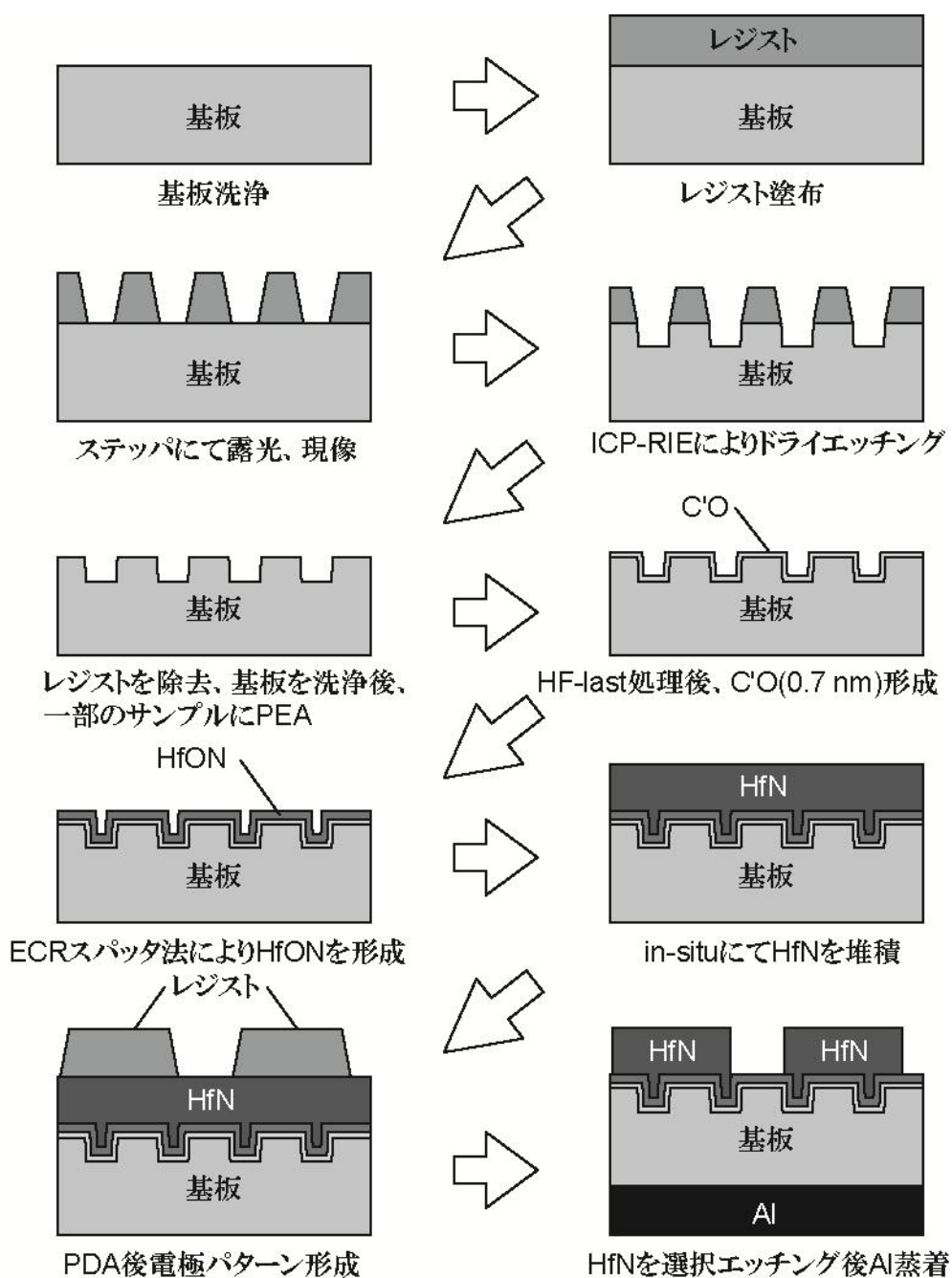


図 4.3 HfN/HfSiON 構造作製プロセス

4.1.2 HfN 電極の電気的特性の評価

図 4.4 に 300~500W で堆積された HfN のアニール前後での抵抗率の μ 波電力依存性を示す。図 4.4 から 300 W で堆積した HfN において抵抗率が 6 m Ω cm と非常に大きくなっていることが分かった。また、RTA 後に抵抗率が改善していることが見て取れ、800°C/1 min の熱エネルギーにより結晶性が改善したものと考えられる。

また、図 4.5 に 2 nm の SiO₂ 上に 500 W で堆積した HfN を電極とする MIS キャパシタの C-V、J-V 特性を示す。400, 500 W で堆積した場合、図 4.5(a) に示すように C-V 特性の周波数分散が小さいことから、EOT の算出に 100 kHz の C-V 特性を用いることとした。算出された EOT と SiO₂ の物理膜厚はよく一致しており、図 4.5(b) に示されるようにリーク電流も小さいことから MIS キャパシタのクオリティに問題が無いことが分かる。しかし、300 W で堆積した場合、良好な C-V 特性が得られなかった。これは 300 W

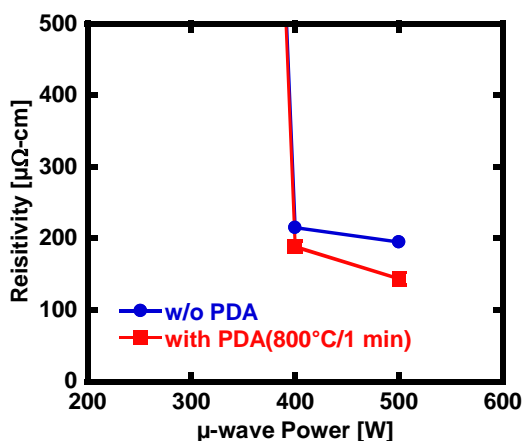


図 4.4 SiO₂(2 nm) 上に堆積した HfN の抵抗率の μ 波電力依存性

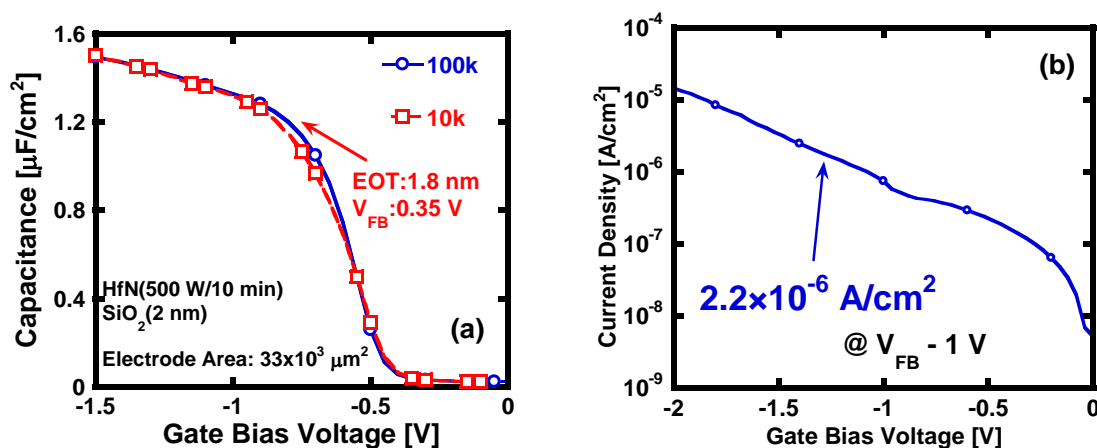


図 4.5 SiO₂(2 nm) 上に 500W で堆積した HfN を用いた MOS キャパシタの (a)C-V、(b)J-V 特性

で堆積した HfN の抵抗率が非常に高くなったことが原因であると考えられる。

次に、SiO₂(2-5 nm)/p-Si(100)と熱酸化膜の膜厚を変化させた試料上に、同じく μ 波電力を 300~500 W と変化させて HfN を堆積した後、PDA を行って形成した HfN/SiO₂/p-Si(100)構造の MOS ダイオードを作製した。300 W で堆積した HfN に関しては電極が絶縁膜化し、良好な C-V 特性が得られなかった。400~500 W で形成した試料の C-V 特性から EPOQUE[1]により導出した EOT-V_{FB} プロットを図 4.6 に示す。抽出したパラメータから式(1)を用いて実効仕事関数および界面電荷密度を導出した。

$$qV_{FB} + \Phi_{sub} = \Phi_{m,eff} - \frac{Q}{\epsilon_0 \epsilon_{SiO_2}} EOT \quad (4.1)$$

$Q_{400W} = 1.5 \times 10^{12} \text{ cm}^{-2}$, $Q_{500W} = 1.5 \times 10^{12} \text{ cm}^{-2}$ と計算された。これは、400 W と 500 W で HfN を堆積した際のプラズマダメージがほぼ同程度であることを表している。この値は、同様にスパッタにより熱酸化膜上に堆積した後、800°C でアニールを行って形成した TiN/p-Si(100)構造の界面電荷密度の報告例[2]($Q \sim 0.2 \times 10^{12} \text{ cm}^{-2}$)より 1桁程度大きい。また、報告例では TiN 堆積時の N₂ 流量比($R_N = N_2 / (Ar/N_2)$)を増加させることで Q が減少する結果が得られている。周波数分散及び界面電荷密度を改善するためには、HfN 堆積時の N₂ 流量比や Forming Gas Annealing (FGA) などを検討する必要があると考えられる。

次に実効仕事関数の μ 波電力依存性を検討するために、XRD による結晶性の評価を行った。図 4.7 に 300-500 W で堆積したあと 800°C/1 min の PDA を行った HfN 薄膜の XRD スペクトルを示す。図 4.7 から、500 W では Hf および HfN(111)スペクトルが検出されているのに対し、400 W では HfN(111)スペクトルのみが検出されていることが分かった。このことから、500 W で堆積した場合、Hf ターゲットに照射されるプラズマのエネルギーが大きく、仕事関数が 3.9 eV と小さい Hf が HfN 内に存在するため、実効仕事関数が減少したものと考えられる。また、300 W の場合、いずれのピークも小さく、アモルファス化したことが高抵抗化の原因であることが分かった。

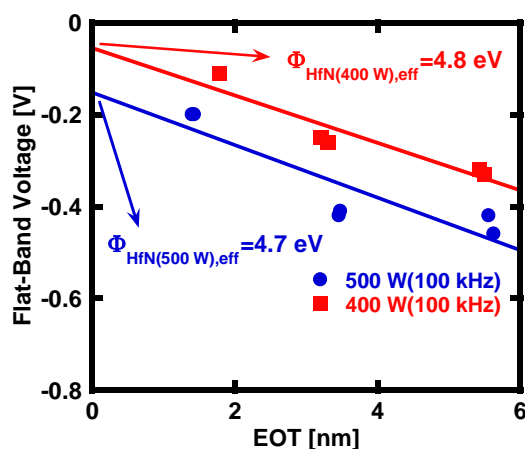
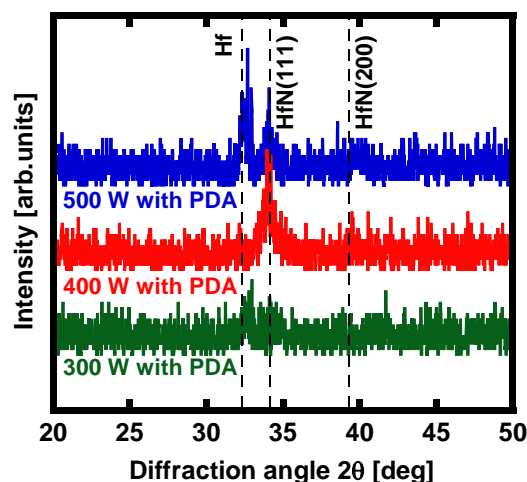


図 4.6 400, 500W で堆積した HfN を電極、SiO₂を絶縁膜とする MIS キャパシタの EOT-V_{FB} プロット

図 4.7 XRD スペクトルの μ 波電力依存性

4.1.3 HfN と HfSiON の選択エッチングの検討

HfN 電極を形成するために、HfN をエッチングする必要がある。その際、HfSiON に対してダメージを与えないためには、ドライエッチングよりウェットエッチングによる HfN と HfSiON の選択的エッチングにより HfN を除去することが望ましい。そこで本節では、DHF(1%)と HF:H₂O₂:H₂O=1:2:40 混合溶液によるエッチングの評価を行った。p-Si(100)基板を用いて作製した試料の構造を表 4.1 にまとめる。

まず、DHF と HF:H₂O₂:H₂O=1:2:40 混合溶液でエッチングを行って、Si 基板の疎水性が出るまでの時間を図 4.8 にそれぞれ示す。また、図 4.8 から求めた HfN と HfSiON のエッチングレートを図 4.9 に片対数で示す。図 4.8 で、いずれの溶液においても HfN, HfSiON をエッチングするのにそれぞれかかる時間の和が HfN/HfSiON 構造をエッチングする時間となっていることが分かる。したがって、HfN/HfSiON 構造をエッチングする際も、HfN, HfSiON 単層のエッチングレートが適用でき、HfN のみをエッチングするといった制御が可能であるといえる。一方、図 4.9 から HF:H₂O₂:H₂O=1:2:40 混合溶液では、HfN のエッチングレートが DHF より 1 桁大きいことが分かった。また、PDA を行った HfN と HfSiON に関して各エッチャントのエッチングレート比は DHF、HF:H₂O₂:H₂O=1:2:40 混合溶液でそれぞれ $v_{\text{HfN}}/v_{\text{HfON}}=18.5, 65$ となった。3 章で明らかになったように、1 nm の HfN をプラズマ酸化することで形成した HfON 薄膜は PDA を行う事で HfSiON となっていることから、絶縁膜中に Si が存在することで PDA 後の HfSiON ではエッチングレートが下がると考えられる。以上から、HfN/HfON ゲートスタック構造で HfN を選択エッチングするには、HfN の選択比が高く、エッチング時間の短い HF:H₂O₂:H₂O=1:2:40 混合溶液が適しているといえる。

表 4.1 ウェットエッチング用試料 (○は行ったこと、×は行わなかったことを表す)

sample No.	(1)	(2)	(3)	(4)	(5)	試料構造
	C'O 形成	HfON 形成	HfN 堆積	HfN 堆積	RTA	
①	○	×	○	×	×	HfN/Si w/o PDA
	○	×	○	○	○	HfN/Si with PDA
②	○	○	×	×	×	HfON/Si w/o PDA
	○	○	×	○	○	HfSiON/Si with PDA
③	○	○	○	×	×	HfN/HfON/Si w/o PDA
	○	○	○	○	○	HfN/HfSiON/Si with PDA

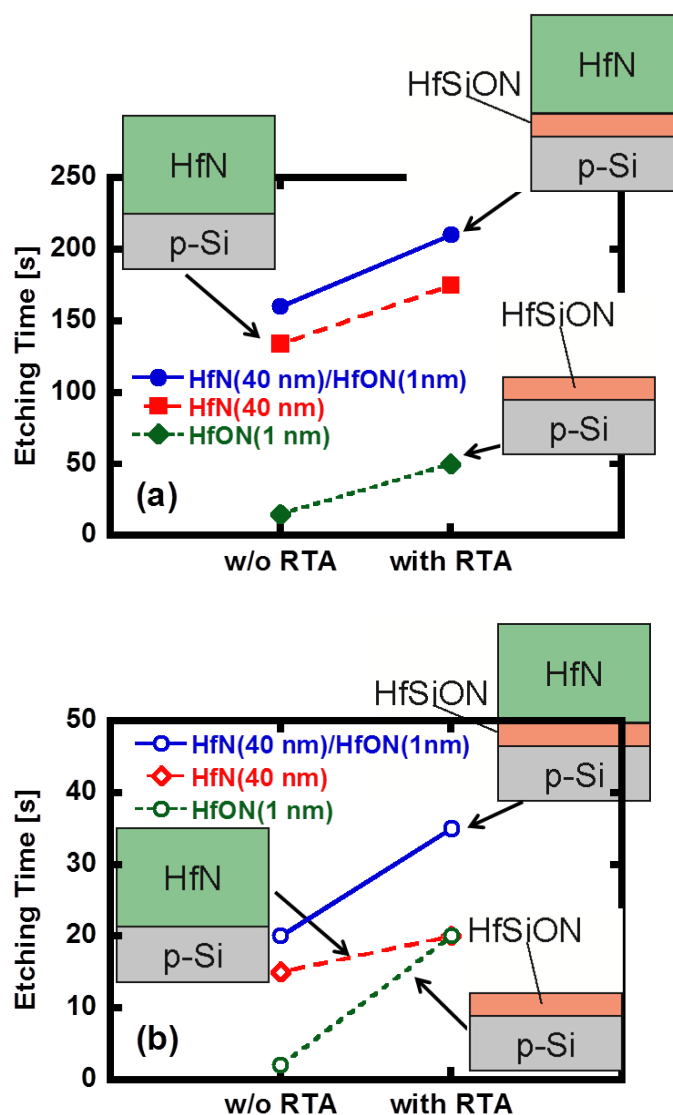


図 4.8 HfN、HfSiON および HfN/HfSiON 構造のエッチング時間のエッチャント依存性 (a) DHF(1%)、(b) HF:H₂O₂:H₂O=1:2:40

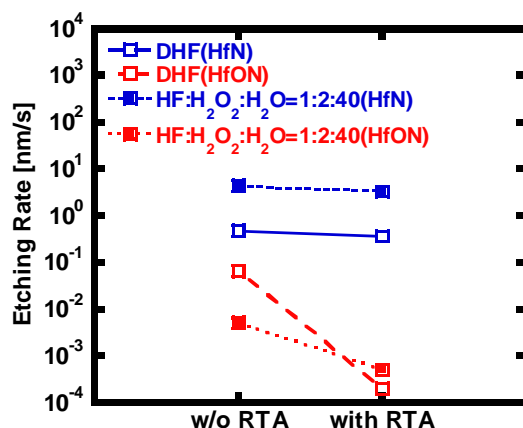


図 4.9 HF:H₂O₂:H₂O=1:2:40 混合溶液によるサンプルのエッチング速度

4.1.4 Ex-situ で形成した Al 電極との比較

3次元構造上に HfN 電極を 400-500 W で in-situ で形成した HfN/HfSiON 構造において HfN の選択エッチングプロセスを用いて形成した MIS キャパシタと、ex-situ で形成した Al 電極の C-V 特性の比較を図 4.10 に示す。図 4.10 から、in-situ で形成したゲートスタックにおいて、ヒステリシスの小さい特性が得られたことが分かる。また、400 W で HfN を堆積した場合の 100 kHz での C-V 特性から EOT を算出すると 0.70 nm となり、極薄膜化している可能性が示唆される。しかし、プラズマダメージなどによる界面準位密度 D_{it} の増大により周波数分散が大きいことが分かった。また図 4.11 に J-V 特性の電極形成プロセス依存性を示す。図 4.11 から、HfN/HfSiON ゲートスタックの $V_{FB}-1$ V でのリーク電流は 1.2×10^{-4} A/cm² と、同じ条件で HfSiON 薄膜を形成した後に、ex-situ にて Al 電極を蒸着した場合より 2 桁程度低減することが分かった。In-situ での電極形成により、電極と HfSiON 薄膜界面の特性や大気暴露による HfSiON 薄膜へのコンタミの影響が改善され、リーク電流を抑制したものと考えられる。

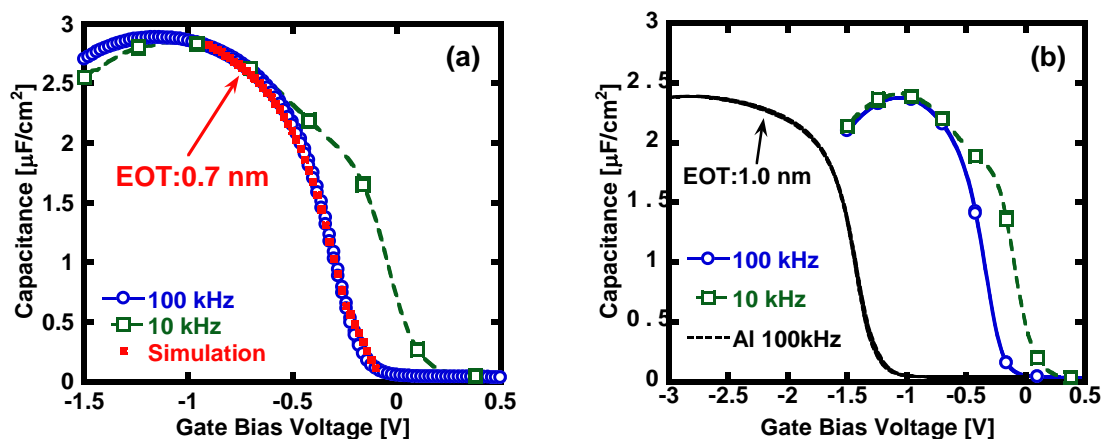


図 4.10 3次元構造上に in-situ で形成した HfN/HfSiON 構造の C-V 特性
HfN 堆積時の μ 波電力(a)400 W, (b)500 W および Al 電極との比較

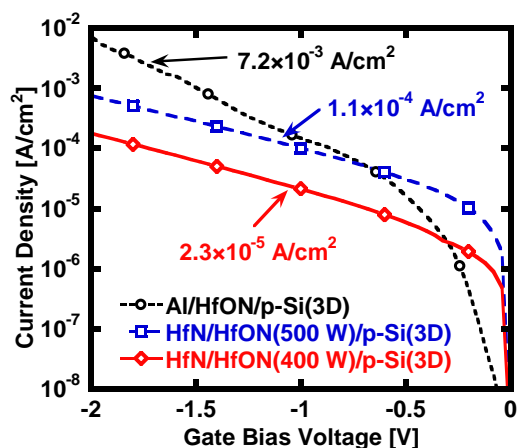


図 4.11 3次元構造上に in-situ で形成した HfN/HfSiON 構造の
J-V 特性の Al 電極との比較

4.2 HfN/HfSiON 構造の異種面方位上への形成に関する検討

4.1 節において HfN 電極を in-situ で形成することで EOT を薄膜化し、リーク電流を改善できることが分かった HfN/HfSiON 構造の形成において、 D_{it} の増大により周波数分散が起きていることが分かった。本節では、 D_{it} の低減および EOT のさらなる薄膜化を目的として PDA 条件の検討を行う。さらに、3次元構造上での評価を目的として p-Si(100)および p-Si(110)平面上における電気的特性の面法依存性についても検討する。異種面方位上に形成した HfN/HfSiON 構造に対して PDA 条件を検討し、電気特性などから膜質の評価を行う。

4.2.1 試料作製方法

異種面方位上に in-situ で形成した HfN/HfSiON 構造の MIS キャパシタ作製方法の概略を図 4.12 に記す。また、以下に各作製プロセスの詳細を述べる。

HfN/HfSiON 構造の作製プロセス

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)基板洗浄

(2)基板表面処理 (Chemical Oxide)

- ・ H₂O₂ に 60 min 浸すことで、膜厚 0.7 nm の C'O を形成

(3)ECR スパッタ法により HfN 堆積

- ・ Ar/N₂: 25/1 sccm(P=0.19 Pa)
- ・ μ 波/RF:500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 5 nm を堆積

(4)in-situ にて Ar/O₂ プラズマ照射

- ・ Ar/O₂:20/8 sccm, 15 s
- ・ μ 波:300 W
- ・ 電極間距離:200 mm

(5)in-situ にて HfN 堆積

- ・ Ar/N₂: 20/0.8 sccm(P=0.17 Pa)
- ・ μ 波/RF:400-500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 40 nm を堆積

(6)RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

- ・ 400-900°C/15-60 s
- ・ N₂ flow rate:0.8-30 l/min

(7)マスクアライナにより電極パターンを形成

- ・ 電極面積: 1.06×10^{-4} , $3.5 \times 10^{-5} \text{ cm}^2$

(8)HfN を選択的にエッチング

- ・ HF:H₂O₂:H₂O=1:2:40 混合溶液

(9)真空蒸着法により背面 Al 電極形成

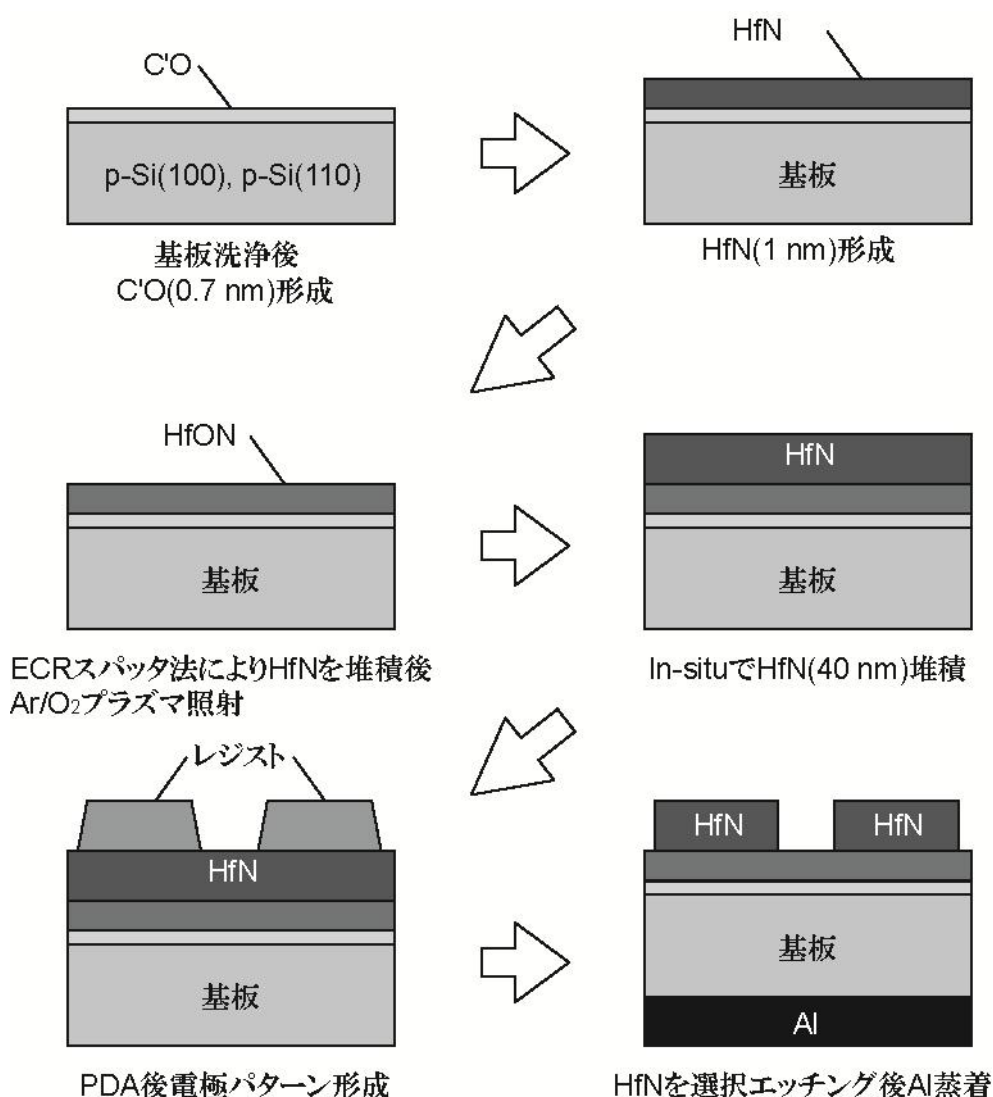


図 4.12 HfN/HfSiON 構造の作製方法の概略図

4.2.2 p-Si(100)および p-Si(110)平面上におけるアニール条件依存性

p-Si(100)および p-Si(110)平面上に in-situ で形成した HfN/HfSiON 構造に対して PDA 時間、PDA 後の降温時間、PDA 温度の検討を行う。In-situ で形成した HfN/HfSiON 構造の MIS キャパシタを作製し、電気的特性、表面ラフネス、化学結合状態から膜質の評価を行った。

(1)PDA 時間依存性の検討

PDA 時間を 800°C/15-60 s と変化させて in-situ にて p-Si(100)基板上に形成した HfN/HfSiON 構造の C-V 特性および J-V 特性を図 4.13(a)および図 4.13(b)にそれぞれ示す。図 4.13(a)からいずれの C-V 特性も立ち上がり急峻でヒステリシスのない特性が得られて

いることがわかる。また、アニール時間 15s で容量が大きくなっていることから、アニール時間を短くすることで IL 層の形成を抑制し、従来のプロセスでの EOT 0.6nm から、0.56 nm へと薄膜化したと考えられる。図 4.13(b) にしめす J-V 特性からは、アニール時間 15 s において薄膜化しているにも関わらず、 $2.2 \times 10^{-5} \text{ A/cm}^2$ からーク電流が減少していることがわかり、局所的な突起物の形成を抑制することで界面特性が向上しリーク電流が 8.7 A/cm^2 から 1.3 A/cm^2 まで約 1 桁程度低減できたことが分かった。

次に、形成した HfN/HfSiON 構造の HfN を、混合溶液にてエッチングを行い露出した表面の RMS ラフネスのアニール時間依存性を図 4.14 に示す。また、図 4.15 に各 PDA 時間において HfN のエッチングが終了するエッチング時間 24 s における HfSiON 表面の AFM 像をそれぞれ示す。図 4.14 から、HfN のエッチング中はアニール時間に依存せず RMS ラフネス 0.6 nm 程度を維持してエッチングが進むことがわかった。また、エッチング時間 24 s における HfN/HfSiON 界面では $800^\circ\text{C}/60 \text{ s}$ でアニールを行った HfN/HfSiON 積層構造のみで RMS ラフネスが増大した。また図 4.15 から、 $800^\circ\text{C}/30\text{-}60 \text{ s}$ において界面で局所的に突起物が見られているのに対し $800^\circ\text{C}/15 \text{ s}$ では突起物は見られなかった。以上から図 4.16 に示される模式図のように、30 s 以上の PDA を行うと、Si が局所的に HfN 側へ拡散して不均一な HfSiON が形成されて、HfN の選択エッチング後に凹凸が形成されたものと考えられる。

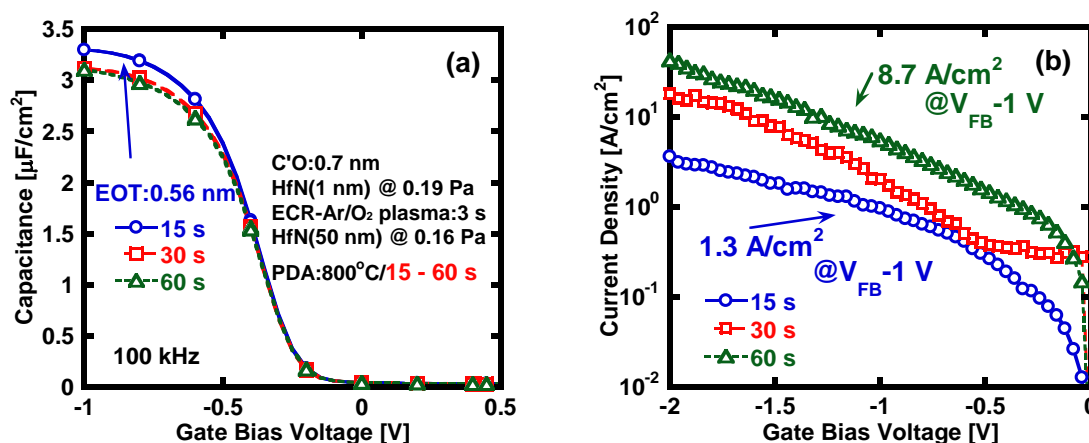


図 4.13 HfN/HfSiON 構造の PDA 時間依存性

(a)C-V 特性、(b)J-V 特性

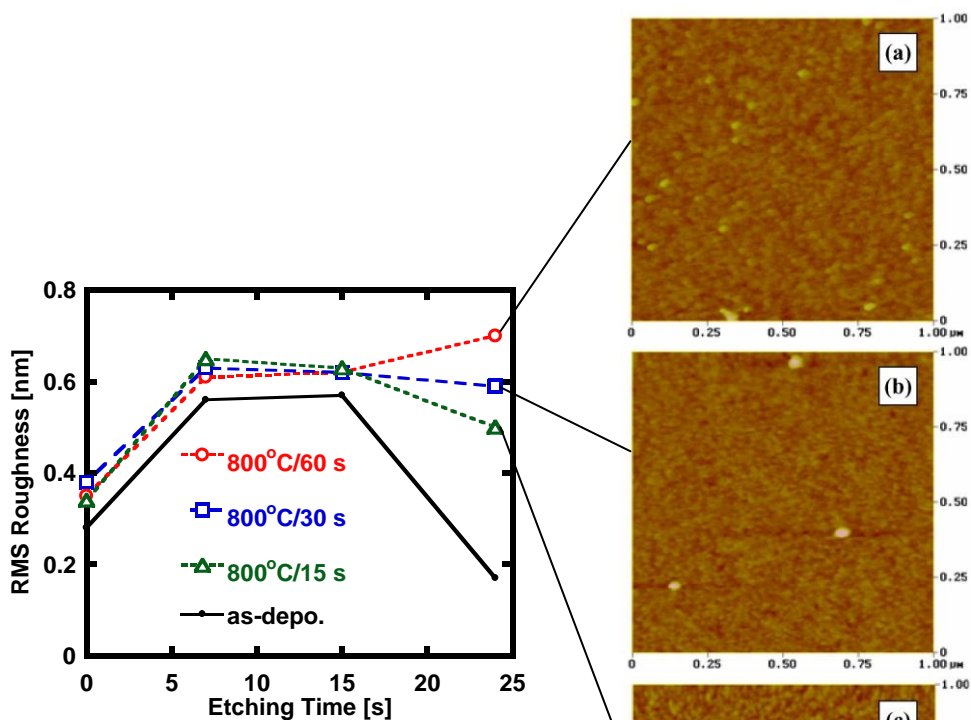


図 4.14 各 PDA 時間における RMS ラフネスのエッチング時間依存性

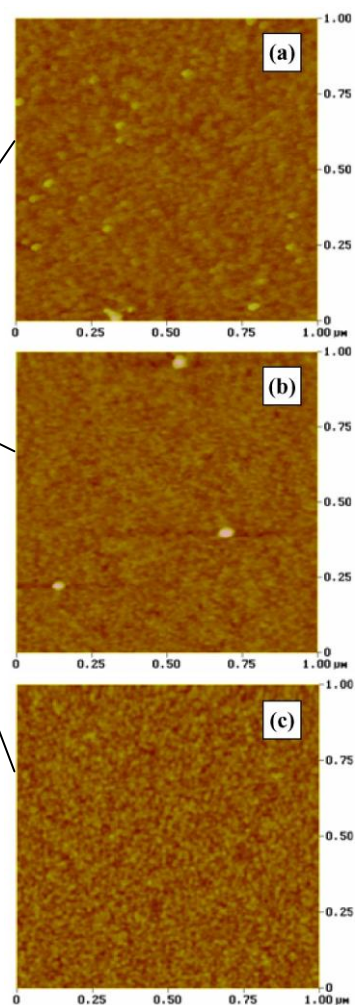


図 4.15 HfN/HfSiON 界面における AFM 像のアニール時間依存性 (a)60 s, (b)30 s, (c)15 s

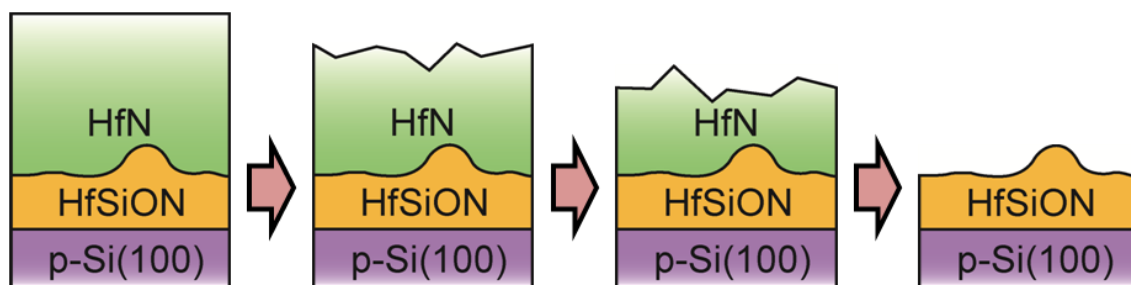


図 4.16 界面での反応の模式図

さらに、C-V 特性の周波数及び電極面積依存性を図 4.17-18 に示す。図 4.17 が PDA 時間 60 s、図 4.18 が 15 s の場合の C-V 特性となる。まず、 V_{FB} の位置が測定周波数でシフトしているものの、アニール時間を 60 s から 15 s にすることで、1 MHz の周波数分散が低減されていることが分かった。また、1 MHz における C-V 特性の電極面積依存性も 15 s でアニールを行った試料で小さくなっている。1 MHz で測定を行った C-V 特性の蓄積側での容量低下は PDA を行った RTA 炉内の残留酸素の影響で HfN 電極表面が酸化されるために高抵抗化し RC 遅延により引き起こされると考えられるため[3]、PDA 時間を 15 s にすることで HfN 電極表面の酸化を抑制したものと考えられる。以上から PDA 時間は界面での反応を抑制してリーク電流を低減でき、電極面積依存性を改善できる 15 s が適していることが分かった。

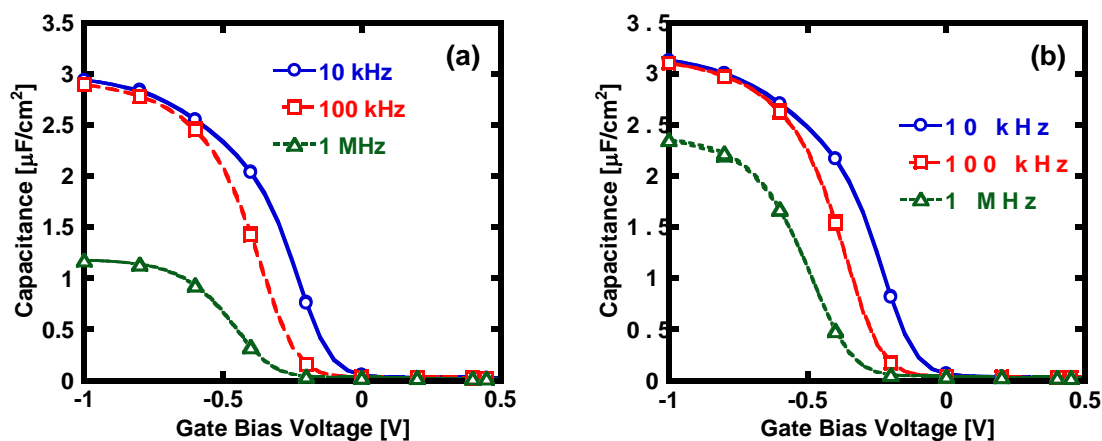


図 4.17 PDA 時間 60 s における C-V 特性の電極面積依存性

(a) $1.06 \times 10^{-4} \text{ cm}^2$ 、(b) $3.49 \times 10^{-5} \text{ cm}^2$

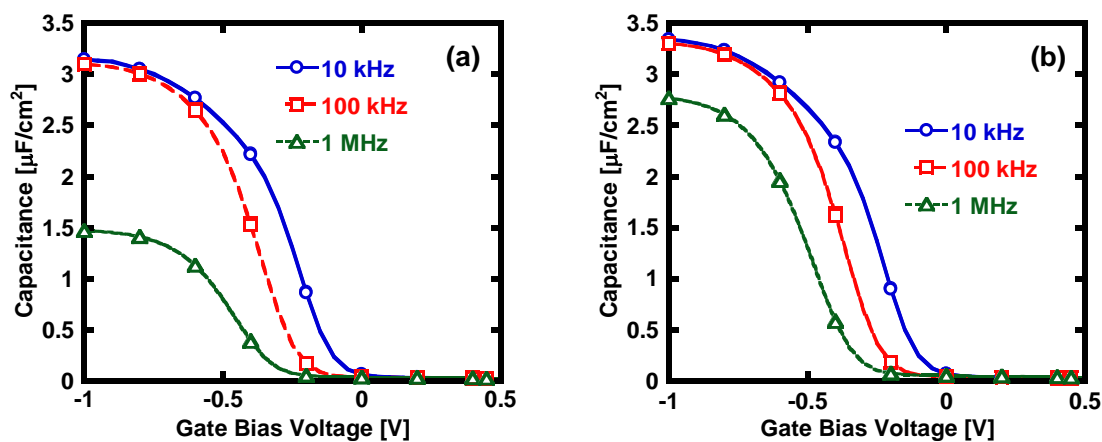


図 4.18 PDA 時間 15 s における C-V 特性の電極面積依存性

(a) $1.06 \times 10^{-4} \text{ cm}^2$ 、(b) $3.49 \times 10^{-5} \text{ cm}^2$

(2) PDA 後の降温時間

以上の結果から、PDA 時間を 15 s として HfSiON 薄膜の更なる EOT 低減を目的とし、PDA 後の急冷プロセスを検討した。PDA 中にサンプルに向かってフローする窒素ガスの流量を制御した RTA 炉内の温度ダイアグラムを図 4.19 に示す。また、急冷プロセスにより形成した HfON 薄膜の C-V 特性の N₂ 流量依存性を図 4.19 の挿入図に示す。従来のプロセスでは窒素ガスの流量を 0.8 l/min 流しながら炉内の温度を下げていたが、今回 10, 30 l/min まで増加し、PDA 後の急冷を行った。本研究室内の過去の報告で HfSiON の PDA 後に急冷プロセスを用いることで、サーマルバジェットを低減し、IL 層の形成を抑制して薄膜化を実現しているため[4]、ゲートスタック構造においても極薄膜化が期待できる。

実際に急冷プロセスを行ったサンプルで先ほどと同様に、エッチング中のラフネスを図 4.20 に示す。流量によるラフネスの変化は見られず、また突起物の形成も観測されなかったため、C-V、J-V 特性の比較評価を行った。

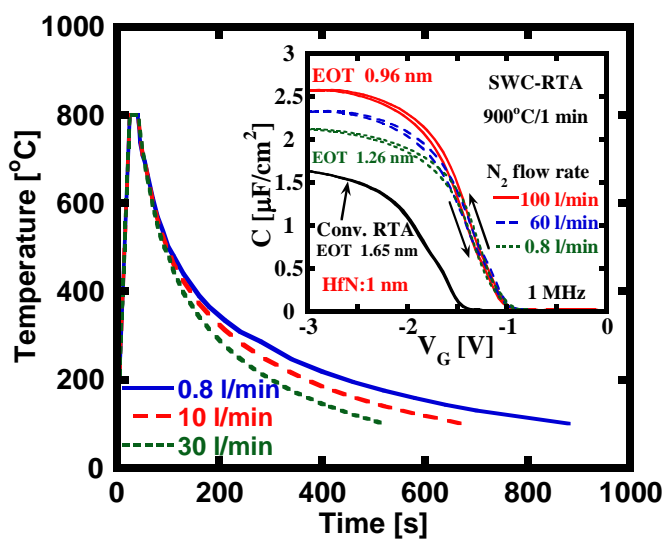


図 4.19 PDA 中温度ダイアグラムの N₂ 流量依存性
(挿入図は急冷プロセスにより形成した HfON 薄膜の C-V 特性の過去の報告例[4])

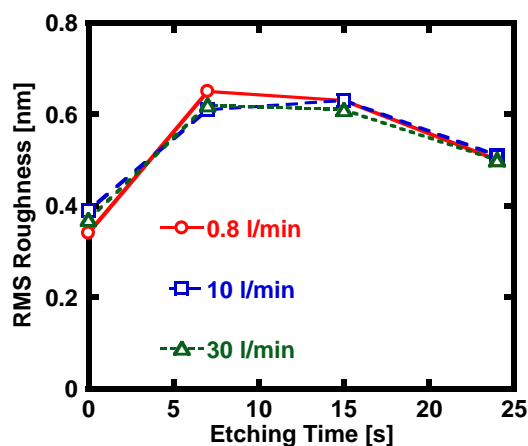


図 4.20 RMS ラフネスの N_2 流量依存性

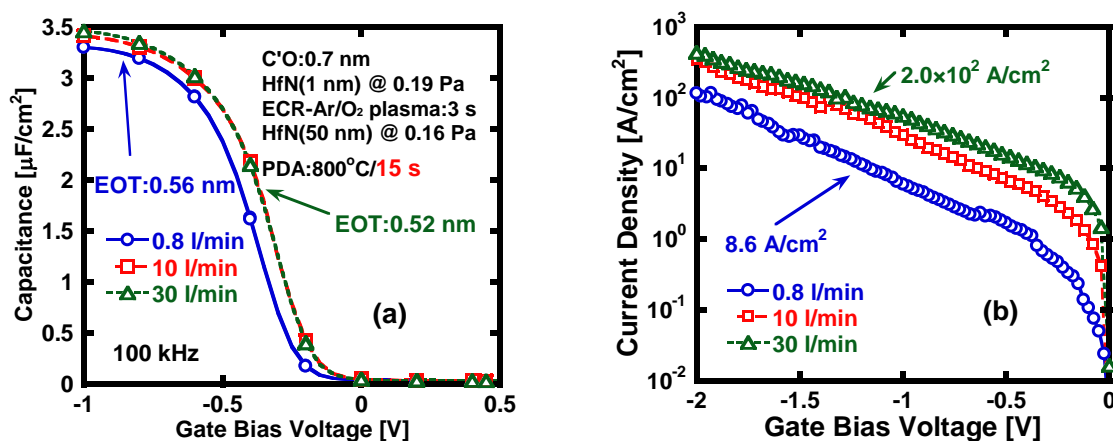


図 4.21 PDA 時間 15 s における(a)C-V、(b)J-V 特性の N_2 流量依存性

図 4.21 に N_2 流量 0.8-30 l/min により 800°C/15 s の PDA を行った HfN/HfSiON 構造の、100kHz の C-V 特性と J-V 特性の N_2 流量依存性を示す。まず図 4.21(a)の C-V 特性からは 30 l/min で最も低い EOT:0.52nm を得た。また、図 4.21(b)の J-V 特性からは 0.8 l/min でもっともリーク電流が低く、30 l/min でもっともリーク電流が大きくなっているが、このリーク電流の増大は EOT の薄膜化に伴ったものと考えられる[5]。

これまでの検討により HfN/HfSiON 構造の PDA 条件として、 N_2 流量 30 l/min により 800°C/15 s が適していることが分かったが、 D_{it} の影響と考えられる V_{FB} 付近での周波数分散が顕著であることから、PDA 温度の検討を行う。

(3) p-Si(100)面上における PDA 温度依存性の検討

PDA 時間を 15 s、PDA 中の N₂ 流量を 30 l/min とし、PDA 温度を 400-900°C と変化させ PDA 温度依存性の検討を行った。p-Si(100)面上に形成した HfN/HfSiON 構造の代表的な C-V 特性の PDA 温度依存性を図 4.22 および 23 に示す。得られた C-V 特性からは 0.5~0.58 nm と EOT が薄膜化できることが分かった。また、図 4.22 および 23 からわかるように、PDA 温度の上昇とともに、ヒステリシス幅が小さくなることがわかった。しかし、650°C 以上の PDA を行うと、C-V カーブの立ち上がる位置に hump が現れ、800°C 以上で C-V カーブの hump が非常に大きくなることがわかった。

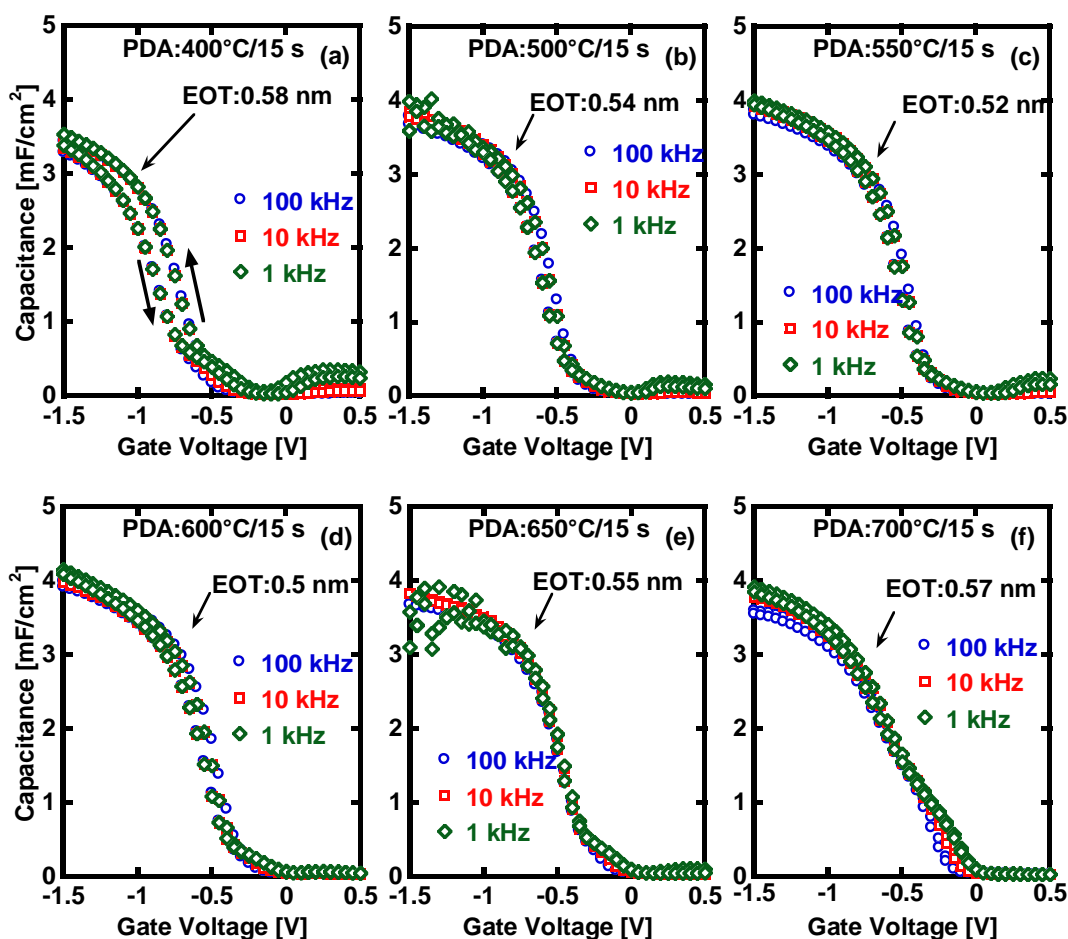


図 4.22 HfN/HfSiON/p-Si(100)構造の PDA 温度依存性
 (a)400 °C, (b)500 °C, (c)550 °C, (d)600 °C, (e)650 °C, (f)700°C

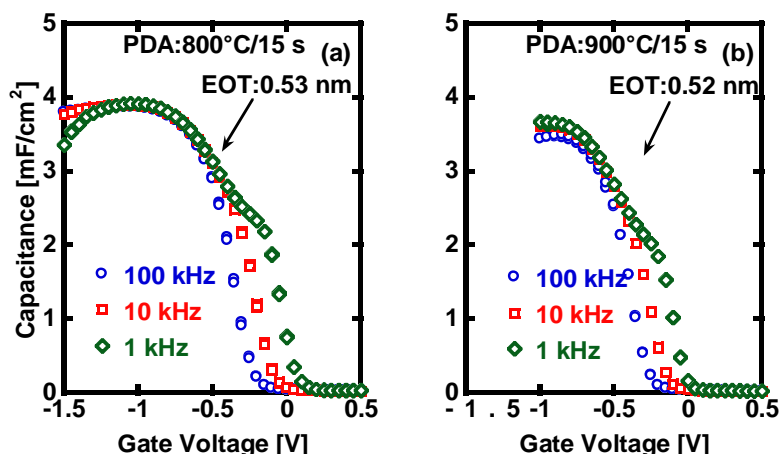


図 4.23 HfN/HfSiON/p-Si(100)構造の PDA 温度依存性
(a) 800 °C, (b)900°C

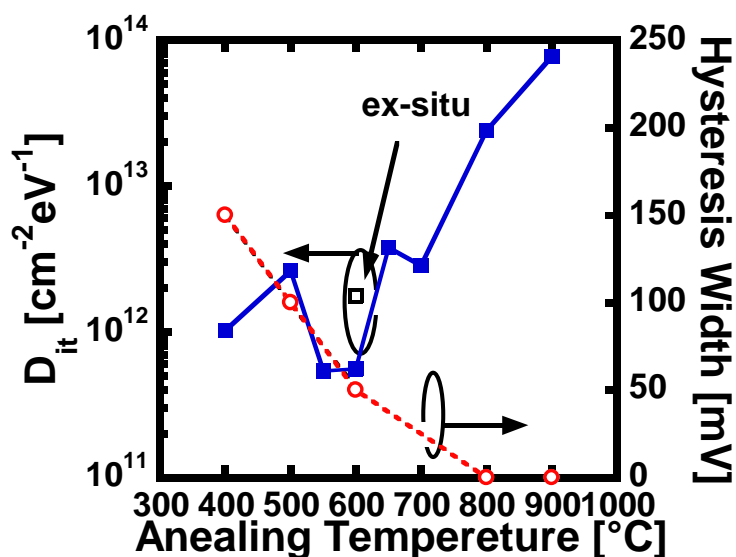


図 4.24 D_{it} および C-V 特性のヒステリシス幅の PDA 温度依存性

次に、各 PDA 温度における C-V 特性のヒステリシス幅と、MOS キャパシタの等価平行回路におけるコンダクタンスを印可電圧と測定周波数の関数として測定した結果からコンダクタンス法により求めた D_{it} の極小値を図 4.24 にまとめる。図 4.24 には、HfN に対して in-situ でプラズマ酸化を行った後、10 min クリーンルーム内(21°C)の大気中に暴露した後に HfN 電極を堆積した ex-situ プロセスの D_{it} の値も併せて示している。まず、550-600°C において、 $10^{11} \text{ cm}^2\text{eV}^{-1}$ 台の p-Si(100)面上の結果では最も低減した D_{it} が得られていることがわかる。一方、800°C 以上で PDA を行ったサンプルでは D_{it} が $10^{13} \text{ cm}^2\text{eV}^{-1}$ 以上となり、 D_{it} の増大が大きな周波数分散を引き起こしているといえ、PDA 温度の増大により HfN/HfSiON 界面と HfSiON/p-Si(100)界面のどちらか、もしくは両方で反応が

起こることが示唆される。次の4.2.3節で詳細について検討を行う。

また、EOT と $V_{FB}-1$ Vでのリーク電流の PDA 温度依存性と、EOT- J_g プロットを図4.25 および4.26 にそれぞれまとめる。図4.26には図4.24と同様にHfNに対してin-situでプラズマ酸化を行った後、10 min クリーンルーム内(21°C)の大気中に暴露した後にHfN電極を堆積したex-situプロセスのプロットも併せて示している。まず、図4.25から600°CでPDAを行ったスタック構造において、EOT:0.5 nm と $V_{FB}-1$ Vでのリーク電流 1.37 A/cm^2 を得た。また、図4.26より、400°Cを除くデータから引いた直線をFUSI-NiSi/HfO₂/HfSiO_x-IL/p-Si(100)と比較して1桁程度小さいリーク電流が得られており[6]、絶縁膜中へのN原子の導入による酸素空孔の抑制によりリーク電流を低減できたものと考えられる。また、ex-situプロセスで形成したHfN/HfSiON構造および、リファレンスのAu/HfSiON/p-Si(100)と比較しても1-2桁程度リーク電流を改善するとともに、EOTの薄膜化を達成していることが見て取れ[7]、in-situでの電極形成により、大気に暴露することで発生するOの吸着を抑制するとともに界面特性を改善し、リーク電流を抑制したものと考えられる[8-9]。以上から、p-Si(100)面上においては550-600°CがHfN/HfSiON構造のPDAに適した温度と明らかになった。

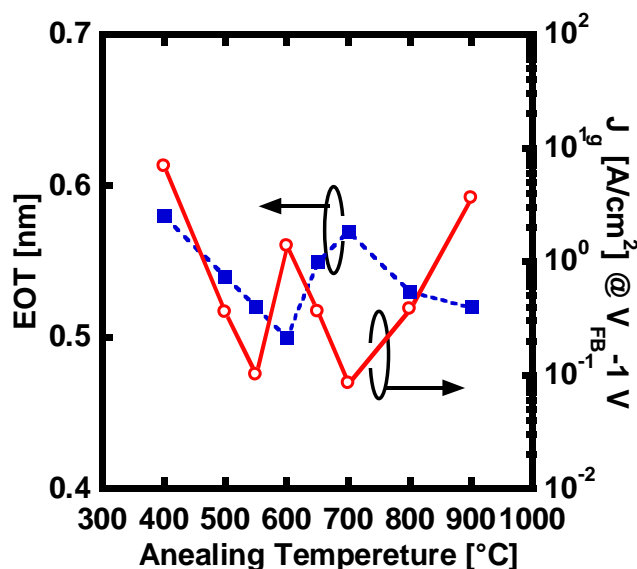


図 4.25 HfN/HfSiON/p-Si(100)構造の EOT とリーク電流の PDA 温度依存性

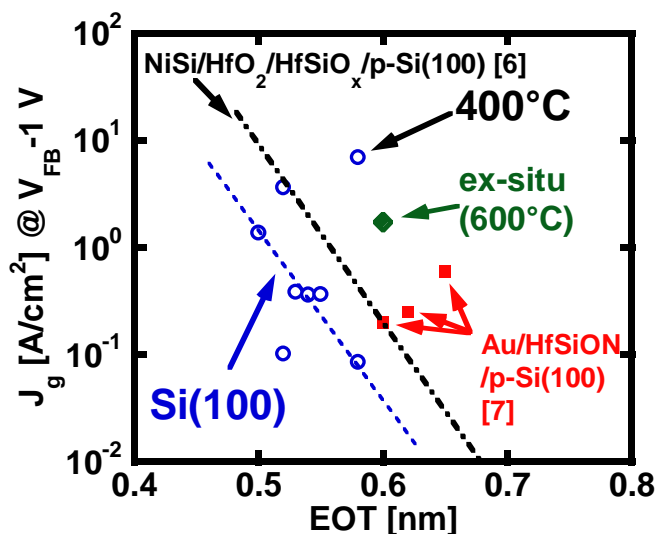


図 4.26 HfN/HfSiON/p-Si(100)構造の EOT- J_g プロット[6-7]

さらに、600°C/15 s で PDA を行った HfN/HfSiON 構造の深さ方向分布を Ar による逆スペクタを用いた XPS 深さ方向組成分布により測定を行った結果を図 4.27 に示す。まず、HfN 電極内における Hf と N の組成比が 1:1 となっていることから、 Hf_1N_1 が形成できていることが分かった。また、O 濃度が最も高くなる sputtering time: 14 min における組成比を表 4.2 にまとめる。Hf/(Hf+Si)=83%と算出され、N 濃度は 26%となっていることが分かった。HfSiON 内の組成比として、比誘電率が高く ΔE_c の大きいという報告のある Hf/(Hf+Si)=80%程度、N 濃度は 20%程度に非常に近い組成となっており、EOT の薄膜化およびリーク電流の低減を同時に達成したと考えられる[7]。

また、図 4.28 に 400-600°C で PDA を行った HfN/HfSiON 構造の断面 TEM 像を示す。400°C で PDA を行った場合、界面に未反応の C'O が IL として残存していることが確認されたのに対して、600°C の場合は IL は確認されなかった。また、HfSiON の膜厚はおおよそ 3 nm と見積もられ、C-V 特性から算出された EOT:0.5 nm と併せると比誘電率 ϵ_r は 24 と報告値とよく一致している[7]。HfN/HfSiON の in-situ 形成プロセスにより HfSiON 内の O および N 組成を制御し、良好な電気特性を得た。

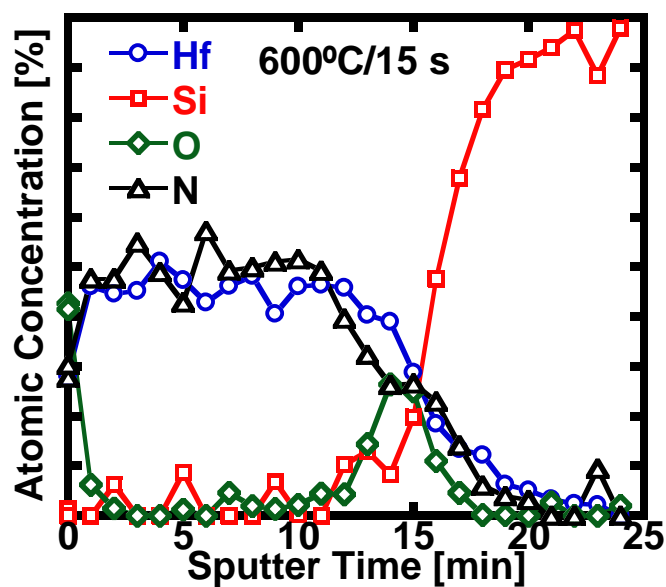


図 4.27 600°C/15 s の PDA を行った場合の HfN/HfSiON 構造の XPS 深さ方向分布

表 4.2 HfSiON の組成比

	Hf	Si	O	N
Atomic concentration [%]	39	8	26	26

※ Ar スパッタ時間:14 min

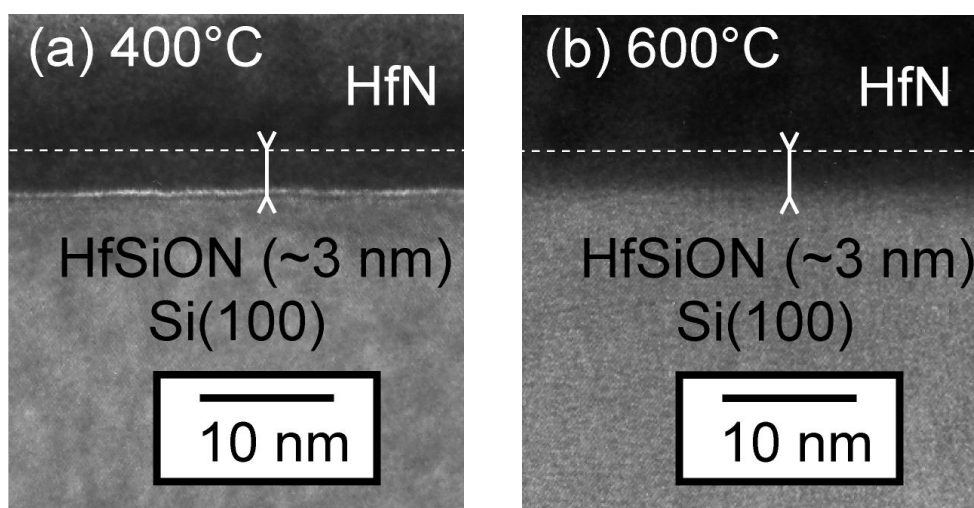


図 4.28 PDA 後の HfN/HfSiON 構造の断面 TEM 像
(a)400°C, (b)600°C

(4) HfN/HfSiON 構造の基板面方位依存性

次に、p-Si(110)面上に形成した HfN/HfSiON 構造の PDA 温度依存性を検討し、p-Si(100)面上に形成した HfN/HfSiON 構造との比較評価を行った。図 4.29 に p-Si(110)面上に形成し、400-800°C/15 s で PDA を行った HfN/HfSiON 構造の代表的な C-V 特性を示す。図 4.29 からわかるように PDA 温度によって C-V 特性のヒステリシス幅、 V_{FB} 付近での周波数分散が p-Si(100)面上に形成した場合と同様に変化していることがわかった。また、EOT は p-Si(100)面の場合と比較して 0.05 nm 程度厚膜化していることが分かった。後述の 2.4.2 節で議論するが、p-Si(110)面上に形成した C'O のラフネスが大きいいため、IL 層が厚く形成されたか、Si(110)面上における面密度が Si(100)面よりも大きいことから、HfON 形成前に成長させた C'O 膜厚が厚くなるため IL の膜厚がわずかに増加したことが原因として考えられる[10]。

続いて、図 4.30 に p-Si(100)および p-Si(110)面上に形成した HfN/HfSiON 構造の D_{it} および C-V 特性のヒステリシス幅の 400-800°C における PDA 温度依存性を示す。先ほどの検討で明らかになったように、p-Si(100)面上においては 550-600°C において、 $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度の p-Si(100)内で最も小さい D_{it} が得られている一方で、p-Si(110)面上では 600-650°C において最小の $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度と Si(100)面と比較して大きな D_{it} が得られている。

さらに、図 4.31 に J_g -EOT プロットの基板面方位依存性を示す。p-Si(100)面上での検討と同様に 400°C を除いたデータから引いた近似直線を p-Si(100)面上と比較すると p-Si(110)面で特性が劣化していることが分かった。Si 基板方位によるダングリングボンドの面密度の差により p-Si(110)上での N_{it} が p-Si(100)面上と比較して 1.4 倍程度劣化するという報告があるが[10]、本検討では 2 倍ほどの差となっており、面密度のみに起因する特性劣化以外に原因があると考えられ、ラフネスなどの評価を次節で行う。

これまでの結果から、p-Si(100)平面と p-Si(110)平面上に形成した HfN/HfSiON 構造の PDA 条件として、両平面での D_{it} を抑制し、ヒステリシス幅の小さい 600°C/15 s が適していることが分かった。

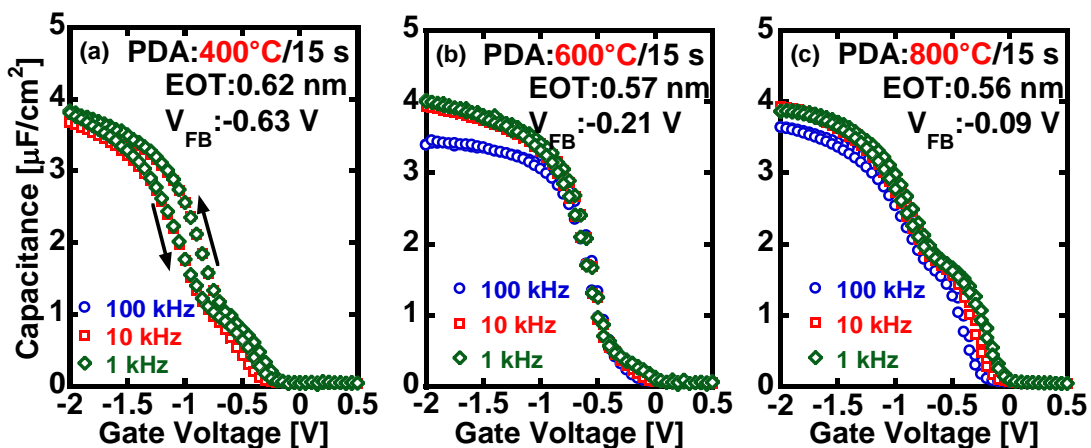


図 4.29 p-Si(110)面上での C-V 特性の PDA 温度依存性 (a)400, (b)600, (c)800°C

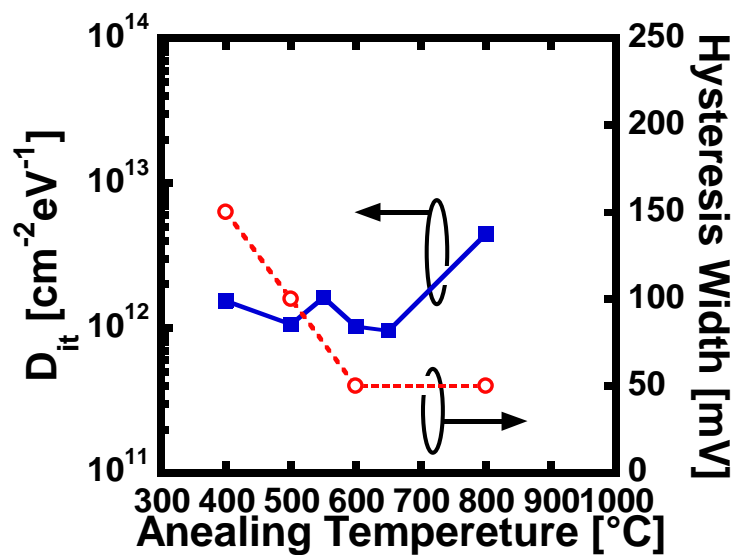


図 4.30 D_{it} および C-V 特性のヒステリシス幅の基板面方位依存性

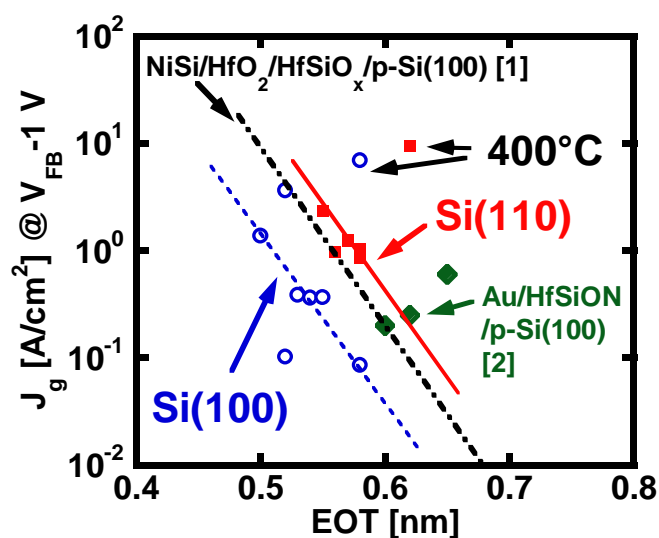


図 4.31 HfN/HfSiON 構造の EOT- J_g プロットの基板面方位依存性

4.2.3 界面における結合状態の基板面方位依存性

次に、PDA 温度による界面の化学結合状態を検討するために、Ar スパッタによりエッチングを行って露出させた界面付近の XPS により測定した、O 1s および N 1s スペクトルを図 4.32 に示す。図 4.32 に示すように O 1s は HfN と HfSiON 界面付近、N 1s は HfSiON と Si 基板付近のスペクトルである。まず図 4.33(a)に示される HfN 電極と HfSiON 絶縁膜界面付近の O 1s スペクトルからは、PDA 温度が大きくなるにつれ、O-Si 結合がわずかながら増加していることが見て取れ、高温での PDA により Si が基板から HfN 電極方向に拡散していると考えられる。また図 4.33(b)に示す HfSiON 絶縁膜と Si 基板界面付近の N 1s スペクトルからは 800°C の PDA を行った場合に N-Si および N-Hf 結合のピークが検出され、N 原子が基板方向に拡散していることが示唆される。Si 基板界面の N-Si 結合は固定電荷を生成すると考えられており、4.2.2 節で議論した PDA 温度による C-V 特性の V_{FB} シフトは、この固定電荷が原因であると考えられる。

これらの結果から、図 4.34 に示すように高温での PDA では過剰な熱エネルギーによる N および Si の相互拡散が起き、 D_{it} などの界面特性を劣化させていることが分かった。



図 4.33 Ar スパッタによりエッチングを行って露出した表面の XPS 測定による O1s および N 1s スペクトルの概略図

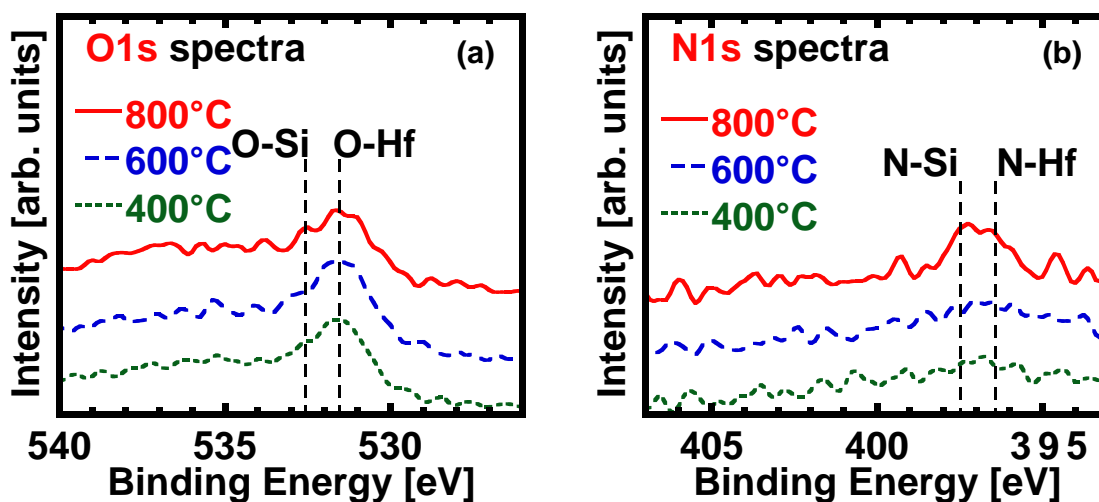


図 4.33 Ar スパッタにより露出させた界面の(a)O 1s、(b)N 1s スペクトル

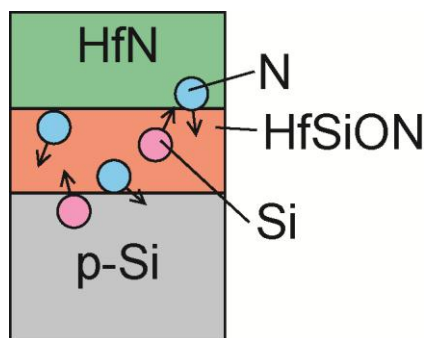


図 4.34 高温 PDA における原子の相互拡散の概略図

4.2.4 選択エッチングプロセスによる界面の基板面方位依存性の検討

次に、p-Si(100)および p-Si(110)平面上に形成した HfN/HfSiON 構造における電気的特性の変化を検討するために、HfN の選択エッチングプロセスを用いて、HfN/HfSiON 構造における HfN を除去して露出した HfSiON 表面の XPS および AFM 測定による評価を行った。まず、XPS 測定を行った HfSiON/p-Si 構造の Hf4f、O1s および Si 2p スペクトルを図 35 に示す。図 4.35(a)の Hf 4f スペクトルからは、p-Si(110)面上に形成した HfSiON 構造ではピーク位置が Hf-N から Hf-O 側にシフトしていることが見て取れる。また、

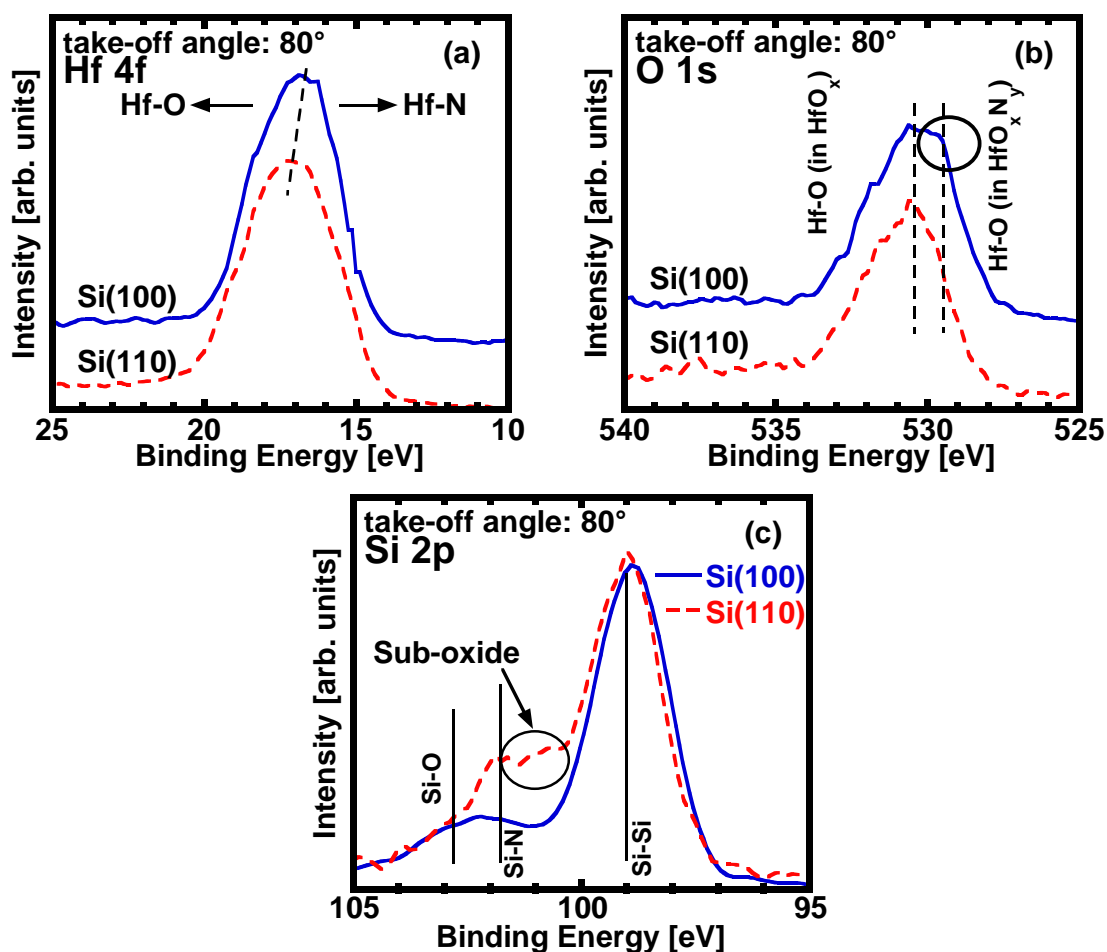


図 4.35 HfN の選択エッチングにより形成した HfSiON 表面の検出角度 80°における (a)Hf 4f, (b)O 1s, (c)Si 2p スペクトルの Si 基板面方位依存性

図 4.35(b)の O 1s スペクトルからは p-Si(100)面上において検出されている HfO_xN_y内の Hf-O 結合が p-Si(100)面上では強度が小さい事が分かった。これらの結果から、p-Si(110)面上に形成した HfN/HfSiON 構造における HfSiON は N 濃度が小さく HfO₂ リッチになっており、誘電率が比較的に低い IL 層が形成されており、EOT が 0.05 nm 程度厚膜化しているものと考えられる。さらに、図 4.35(c)の Si 2p スペクトルからは p-Si(110)面上に形成した HfN/HfSiON 構造において sub-oxide 付近のピークが増大していることが見て取れる。このことから、p-Si(100)面および p-Si(110)面上に HfN/HfSiON 構造の形成条件は同じであるにもかかわらず、p-Si(110)面上の場合に厚い IL 層が形成されていることが確認され、EOT などの電気的特性が劣化したものと考えられる。

次に、HfN/HfSiON 構造形成における各プロセス中のラフネスの Si 基板面方位依存性を評価した。図 4.36(a)に HfN/HfSiON 構造を 600°C/15 s で形成した際の、wafer を洗浄した後、および、化学酸化膜を形成した後の RMS ラフネスの面方位依存性を示す。さらに、化学酸化膜上にゲートスタック構造を堆積し PDA を行った後、HfN を選択的に

エッチングして露出した表面のラフネスと、ゲートスタック構造を完全に除去した Si 表面のラフネスを図 4.36(b)に示す。まず図 4.36(a)から、化学酸化膜形成後の RMS 表面ラフネスは(100)面と比較して(110)面で 0.18 nm と大きくなっていることが分かり、最終的な HfSiON/Si 界面のラフネスに悪影響を及ぼすことが考えられる。また、図 4.35(b)からは HfN/HfSiON 界面のラフネスは 0.25 nm 程度とあまり差がないのに対して、HfSiON/p-Si 界面のラフネスが Si(110)面上に形成した場合 0.24 nm に大きくなっていることが分かり電氣的な界面特性の劣化は、HfSiON/p-Si 界面のラフネスが大きくなったことが原因の一つであることが分かった。

そこで、p-Si(110)基板上に形成した化学酸化膜形成後のラフネスを改善するために、p-Si(110)基板の洗浄プロセスを表 4.3 に改善することでラフネスの低減を行った。図 4.36 には低ラフネスプロセスを適用した p-Si(110)基板上に形成した場合の各プロセスのラフネスを示している。図 4.36(a)に示すように p-Si(110)基板の洗浄後のラフネスは改善したものの、化学酸化膜形成後のラフネスは改善がされなかったため、HfSiON/p-Si(110)界面は改善されなかった。

以上の結果から図 4.37 にラフネスの大きい p-Si(110)基板に HfN/HfSiON 構造を形成した場合に IL 層が厚く形成されて EOT が増大する概略図を示す。ラフネスが大きい化学酸化膜上に HfN を堆積し、プラズマ酸化を行う際に、Si 基板まで O 原子が到達し、sub-oxide が形成されるため、PDA 後に HfSiON/p-Si(110)界面に厚く IL 層が形成されるものと考えられる。また、さらに p-Si(110)基板洗浄後のラフネスを低減可能なプロセスの適用によりさらなる検討が必要となる。

表 4.3 Si 基板洗浄プロセス

手順	洗浄内容	従来プロセス	低ラフネスプロセス
1	SPM 洗浄	10 min	10 min
2	超純水リンス	10 min	10 min
3	DHF 洗浄	1 min(疎水性確認)	1 min(疎水性確認)
4	超純水リンス	10 min	1 min
5	SPM 洗浄	10 min	10 min
6	超純水リンス	10 min	10 min
7	DHF 洗浄	1 min(疎水性確認)	1 min(疎水性確認)
8	超純水リンス	10 min	1 min

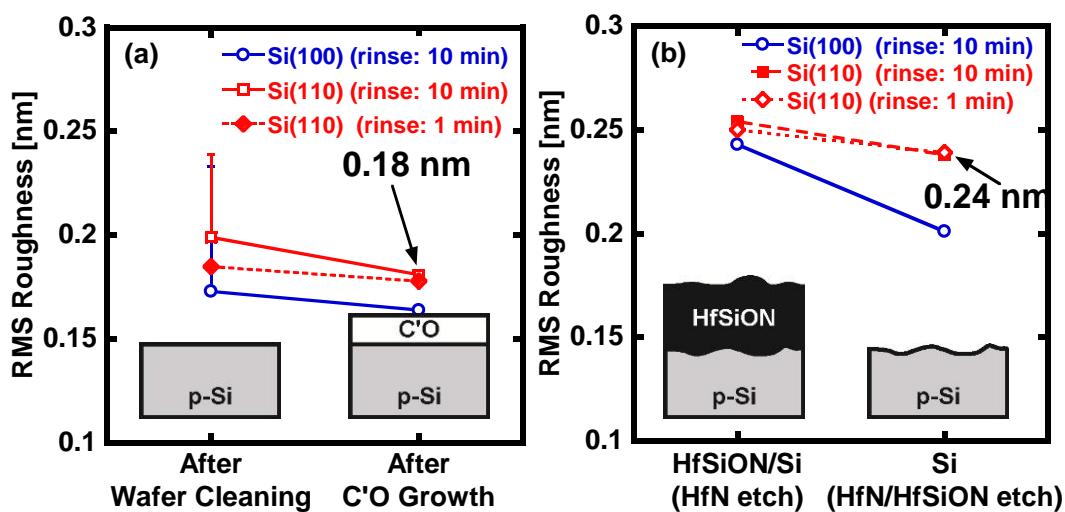


図 4.36 HfN/HfSiON 構造形成プロセス中におけるラフネスの基板面方位依存性

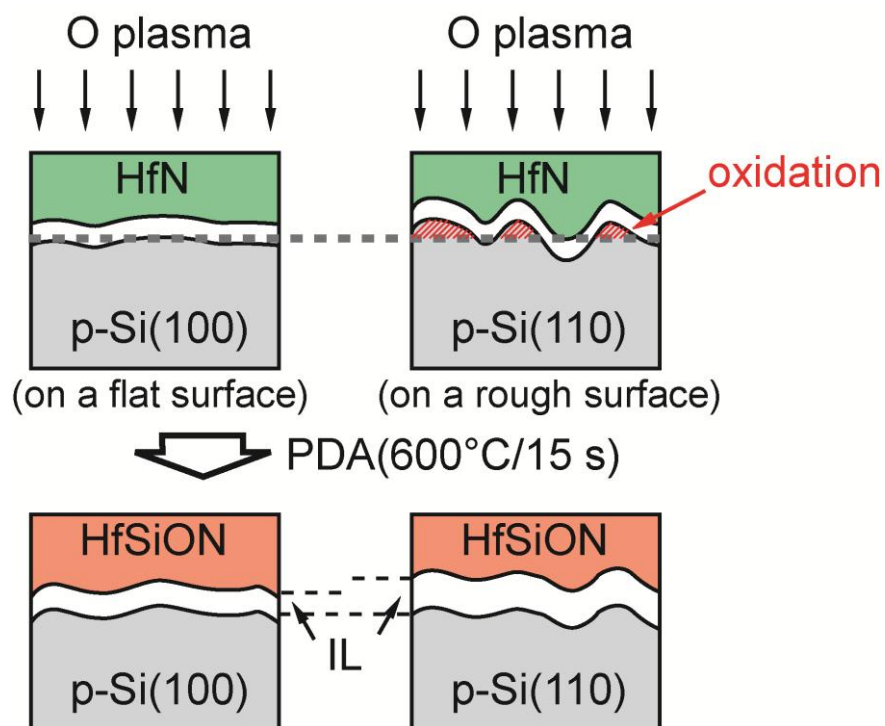


図 4.37 表面ラフネスの大きい p-Si(110)構造における IL 形成の模式図

4.3 3次元構造上への形成

本節では、p-Si(100)および p-Si(110)基板上に形成した HfN/HfSiON 構造において D_{it} および C-V 特性のヒステリシス幅を低減できる 600°C/15 s の PDA により、PEA によって側壁部の界面ラフネスを改善した3次元構造上に HfN/HfSiON 構造の評価を行った。まず、3次元構造上に形成した HfN/HfSiON 構造において電気的特性の評価を行う。さらに、側壁部に形成される HfN/HfSiON 構造の評価を目的として、line 幅などの3次元構造の計上を検討する。

4.3.1 試料作製方法

形状を変化させて形成した3次元構造に形成した HfN/HfSiON 構造の上部顕微鏡写真を図 4.38 に、MIS キャパシタ作製方法の概略を図 4.39 にそれぞれ記す。また、以下に各作製プロセスの詳細を述べる。

使用基板:p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1)ステッパにより 0.7 μm L/S(Line and Space)レジストパターン形成

- line 幅:120-9300 nm
- line/space 間隔:1.4 μm (line 幅:120-410 nm), 10 μm (line 幅:4.4 μm), 20 μm (line 幅:9.3 μm)

(2)ICP-RIE によりドライエッチング

- Cl_2/O_2 :20/5 sccm, 10-50 nm

(3)基板洗浄

(4)回復アニール(Post-etching Annealing)

- 1000°C/1 min

(5)HF-last 処理

(6)基板表面処理 (Chemical Oxide)

- H_2O_2 に 60 min 浸すことで、膜厚 0.7 nm の C' O を形成

(7)ECR スパッタ法により HfN 堆積

- Ar/ N_2 : 25/1 sccm(P=0.19 Pa)
- μ 波/RF:500/500 W
- 電極間距離:200 mm
- 膜厚 1 nm を堆積

(8)in-situ にて Ar/ O_2 プラズマ照射

- Ar/ O_2 :20/8 sccm, 15 s

- ・ μ 波:300 W
- ・ 電極間距離:200 mm

(9)in-situ にて HfN 堆積

- ・ Ar/N₂: 20/0.8 sccm(P=0.17 Pa)
- ・ μ 波/RF:400-500/500 W
- ・ 電極間距離:200 mm
- ・ 膜厚 40 nm を堆積

(10)RTA により N₂ 雰囲気中で Post Deposition Annealing (PDA)

- ・ 600°C/15 s

(11)マスクアライナにより電極パターンを形成

- ・ 電極面積: $3.5 \times 10^{-5} \text{ cm}^2$

(12)HfN を選択的にエッチング

- ・ HF:H₂O₂:H₂O=1:2:40 混合溶液

(13)真空蒸着法により背面 Al 電極形成

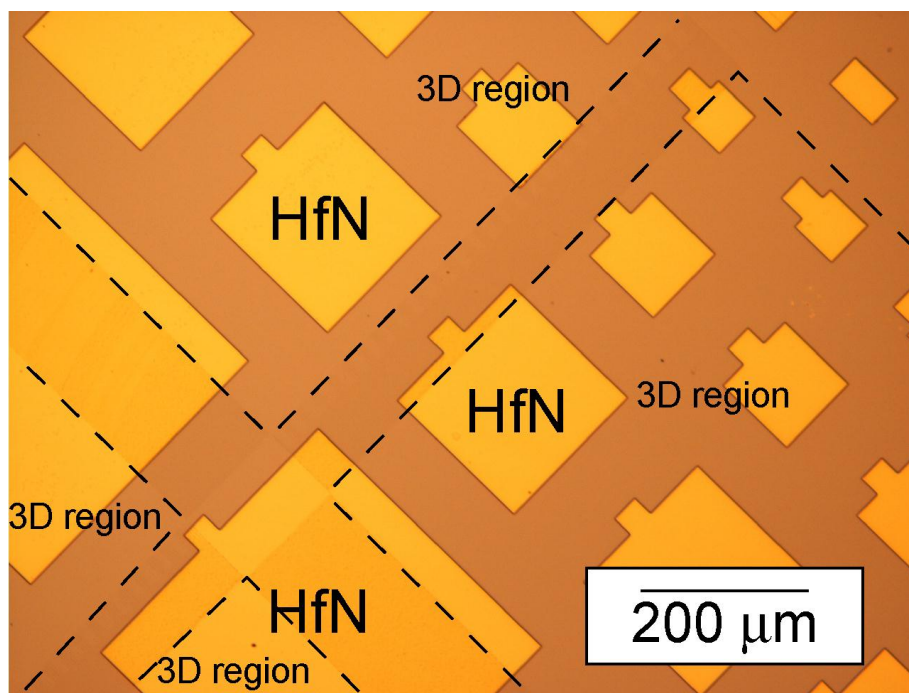


図 4.38 3次元構造に形成した HfN/HfSiON 構造の上部顕微鏡写真

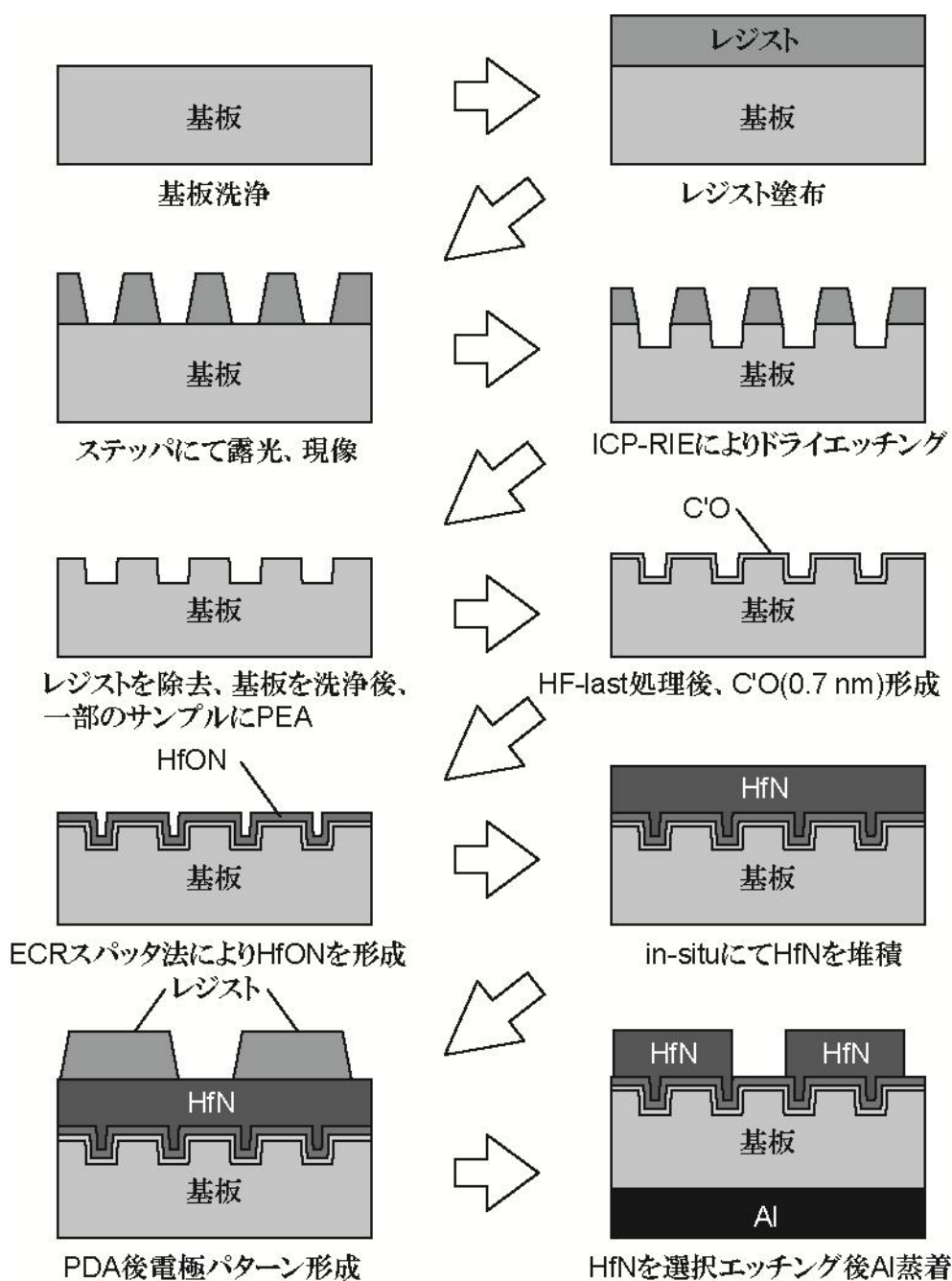


図 4.39 3次元構造上への MIS キャパシタの作製方法

4.3.2 電気的特性の評価

図 4.40 に、3次元構造上に形成したゲートスタック構造を 600°C/15 s で PDA を行ったサンプルの代表的な C-V 特性を示す。図 4.40 から、いずれの3次元構造上においてもヒステリシスが小さく、周波数分散の小さい特性が得られており、EOT は 0.53 - 0.54nm と算出され ITRS で 2022 年に要求されている値を達成した。

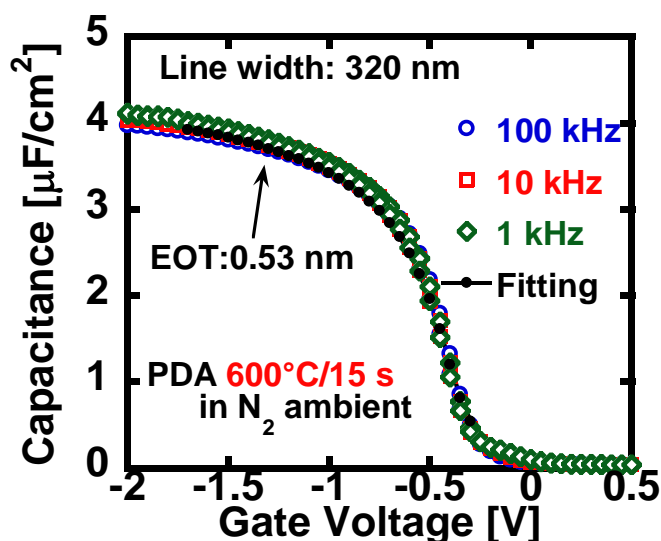


図 4.40 3次元構造上に形成した HfN/HfSiON 構造の C-V 特性

4.3.3 リーク電流の Line 幅依存性

次に、図 4.41 に $V_{FB}-1V$ でのリーク電流を縦軸、横軸を line 幅としたリーク電流の line 幅依存性を示す。図 4.41 には比較のためにレジストパターンを形成せずに 0, 10, 50nm エッチングした平面上に形成した HfN/HfSiON 構造のリーク特性も併せて示す。line 幅を変化させたとき 1つの電極に含まれる Line の本数は、line 幅: 410 nm 以下の領域で line 数は変わらず 35 本であるのに対し、line 幅: 4 μm で line が 5 本、line 幅: 9.3 μm で line が 3 本となっている。図 4.41 からは Line 幅が細くなることでリーク電流が悪化し、50 nm エッチングを行った平面上の場合と比較しても非常に大きなリーク電流が流れることがわかった。3D 構造の line width が細くなるにつれてエッジ部分に電界が集中した事や、側壁部のラフネスが大きく、側壁部の実効的な膜厚が低減した事が原因として考えられる。

そこで、リーク電流増大の原因を AFM による 3次元構造の比較をから検討した。各 line 幅における AFM 像を図 4.42 に示す。図 4.42 から、line 幅が細くなるに従い、3次元構造のアスペクト比が大きくなっていることが分かる。図 4.43 に示すように 3次元構造の line 幅が細くなるにつれて凸部に電界が集中した事がリーク電流増大の原因と考えられる。過去の研究で 3次元構造エッジ部の曲率半径を増大させることで電界強度を低減し、リーク電流を抑制できるという報告があることから[11]、3次元構造の形成条件を検討することでリーク電流の低減が可能であると考えられる。しかし、図 4.42 に示される AFM 像は横方向に対して縦方向が 10^3 倍ほど大きくなっているため、実際の 3次元構造のアスペクト比は電界の集中が顕著になるほど大きくない。

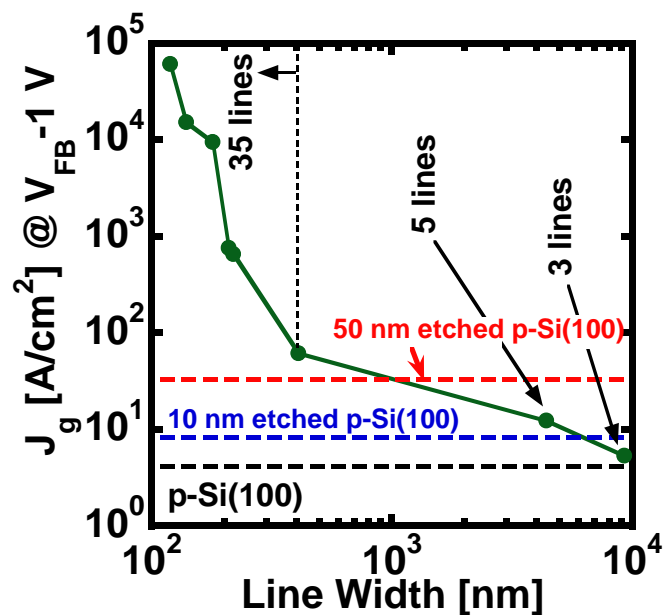


図 4.41 HfN の in-situ プラズマ酸化プロセスにより形成した HfON 薄膜 および HfSiON 薄膜の C-V 特性の HfN 膜厚依存性

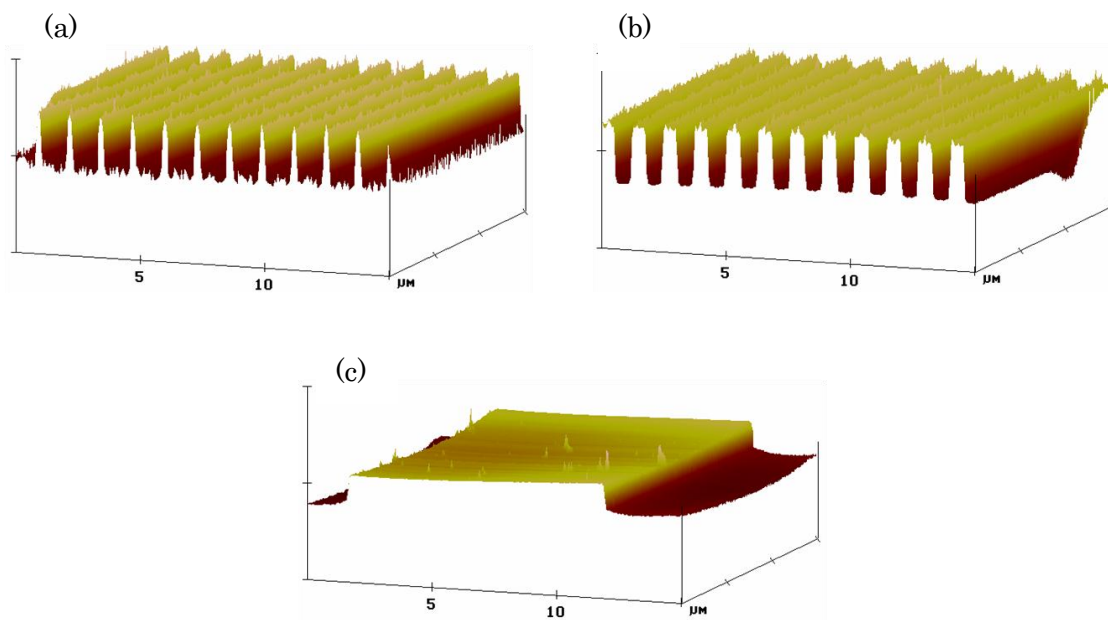


図 4.42 AFM による 3 次元構造の比較(Z: 20 nm/div, xxy: 15×15 μm²)
line 幅(a)120 nm、(b)410 nm、(c)9.3 μm

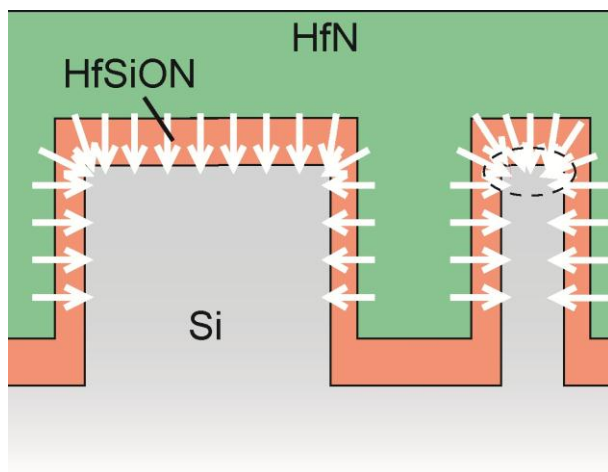


図 4.43 line 幅の減少による電界集中の模式図

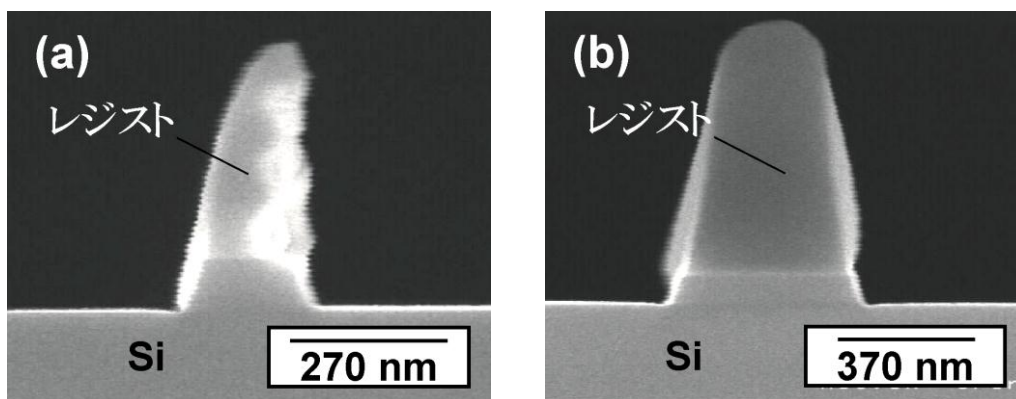


図 4.44 レジスト形状の一部の断面 SEM 像

(a) line 幅:120 nm, (b) line 幅:410 nm

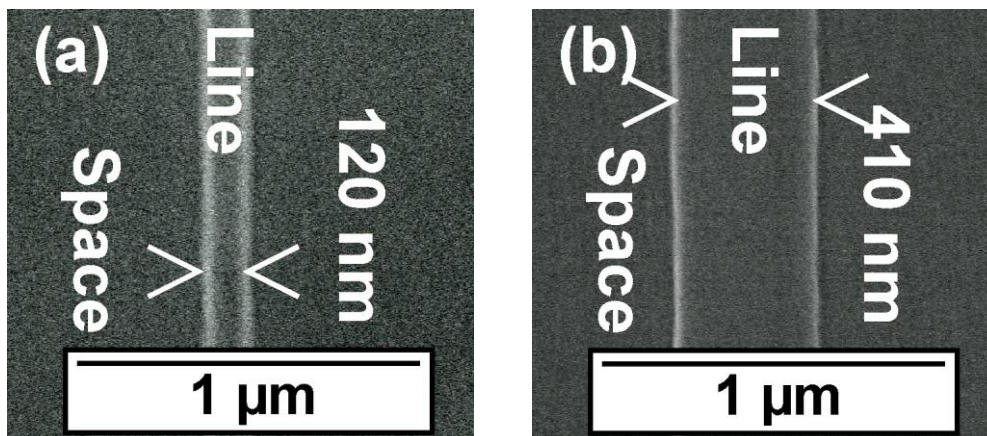


図 4.45 line 部の上部 SEM 像

(a) line 幅:120 nm, (b) line 幅:450 nm

そこで、側壁部のラフネスに関する考察を行った。3次元構造形成時のレジスト形状は図4.44に示されるようにline幅が細くなるにつれて不安定になり、100 nm程度のライン幅を形成する際に用いるレジストの一部は図4.44(a)の断面SEM像に示されるように形状が劣化している。このように一部形状が劣化したレジストを用いてドライエッチングを行うことで形成したLine部の上部SEM像である図4.45(a)からは、lineの側壁部のラフネス。ラインエッジラフネスが大きくなっていることが見て取れる。

ラインエッジラフネスの大きい3次元構造上にECRスパッタ法で堆積を行った場合、上部と比較して7割の膜厚しか側壁部に堆積されないため、ラフネスが大きくなることでリーク電流は急激に増えると考えられることから、基板のラフネスの低減と同時に、側壁部に堆積される膜を均一にする事が重要であることが分かる。

さらに、3次元構造に対してALD法で形成した HfO_2 を絶縁膜とするMISキャパシタのリーク電流の形成プロセス依存性の報告例を図4.46に示す[5]。報告例においてはEOTが厚いため、単純な比較はできないものの、本研究におけるリーク電流は非常に大きいことが見て取れる。本研究で成膜室内圧力を検討することによりECRスパッタ法を用いて3次元構造側壁部に堆積される膜厚の減少を改善したが、ALD法などの段差被覆性に優れた成膜方法と比較して3次元構造側壁部に堆積された薄膜の膜厚は依然として3次元構造上部の1/2程度にとどまっていることから、側壁部の膜厚を更に増加させる検討が必要になる。

ECRスパッタ法には図4.47および4.48に示すように基板に対するスパッタ粒子の角度を調節可能な装置が市場に投入されており、基板角度を検討して形成したAl/SiO₂/Ru/Si構造のMIMキャパシタにおいて耐電界強度を改善できるという報告があることから、Si基板の角度を検討することで、3次元構造側壁部の膜厚を改善し、リーク電流を改善できるものと考えられる[12]。しかし、3次元構造基板の角度を0°よりも大きくすることにより、スパッタ粒子の入射方向に対して3次元構造凸部の影ができてしまうシャドウイングが発生するため、均一な膜質で薄膜を堆積することが困難である。以上から、Si基板の角度および堆積時の成膜室内圧力を併せて検討することで側壁部の膜質及び膜厚を改善できるものと考えられる。

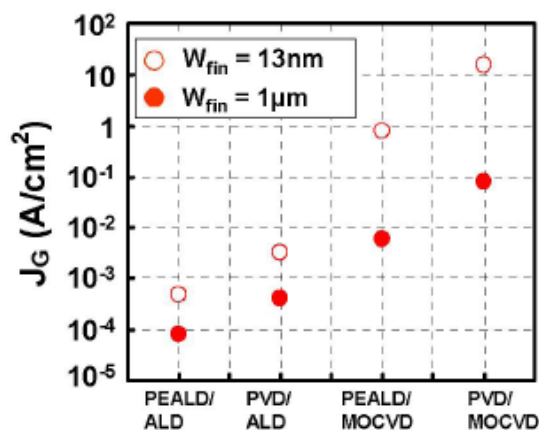


図 4.46 3次元構造上に形成した絶縁膜のリーク電流における形成プロセス依存性[12]

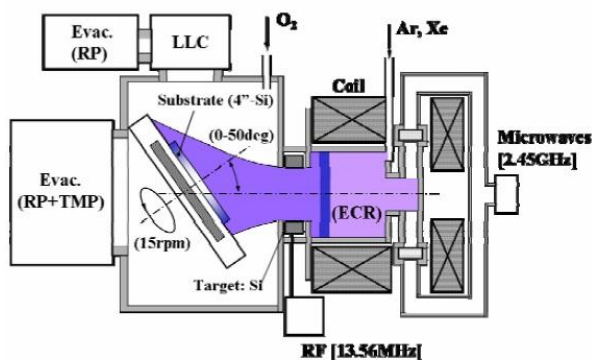


図 4.47 基板角度調整可能な ECR スパッタ装置の概略図

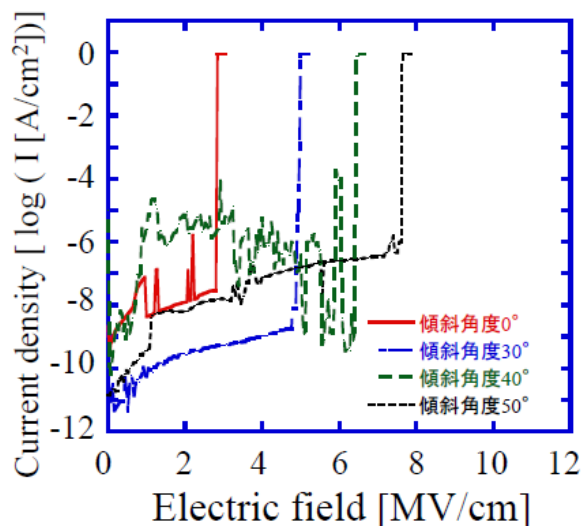


図 4.48 ECR スパッタ法により垂直段差基板上に形成した Al/SiO₂/Ru/Si 構造の MIM キャパシタにおける耐電界強度の基板傾斜角度依存性[13]

4.4 本章のまとめ

本章で得られた結果を以下にまとめる。

- (1) HfN 電極の形成条件を検討し、400 W で堆積した HfN は 4.8 eV を有し、HfN/HfON ゲートスタック構造で HfN を選択エッチングするには、HfN の選択比が高く、エッチング時間の短い HF:H₂O₂:H₂O=1:2:40 混合溶液が適している事が分かった。
- (2) In-situ で形成した HfN/HfSiON 構造の PDA 条件を検討し、600°C/15 s の PDA により p-Si(100)平面上において EOT:0.5 nm、p-Si(110)平面上において、EOT:0.56 nm を実現した。また、ex-situ で形成した場合と比較して in-situ プロセスにより形成することで界面特性を向上し、Hf 系の絶縁膜におけるリーク電流の報告例と比較して1桁程度改善できることを明らかにし、in-situ プロセスが有望であること明らかにした。
- (3) p-Si(110)面上および3次元構造上に形成した HfN/HfSiON 構造において EOT は 0.53 - 0.54nm と算出され ITRS で 2022 年に要求されている値を達成したが、側壁部の膜厚減少およびラフネスの影響によりリーク電流が増大することが明らかになり、さらなる側壁部膜厚の改善プロセスの検討が必要であることが分かった。

本章では、p-Si(100)、p-Si(110)および3次元構造上に形成する HfN/HfSiON 構造の形成プロセス、特に PDA 条件について述べてきた。PDA 条件を検討することで界面における反応を制御し、EOT の薄膜化が可能であることを明らかにし、ECR スパッタ法を用いた in-situ プロセスが MIS キャパシタの形成に有望であることを明らかにした。また、ラフネスおよび3次元構造側壁部の膜質改善が重要であることが分かった。

参考文献

- [1] S. Saito, K. Torii, M. Hiratani, and T. Onai, "Analytical quantum mechanical model for accumulation capacitance of MOS structures", *IEEE Electron Device Lett.*, **23**, pp. 348-350 (2002).
- [2] Y. Liu, T. Hayashida, T. Matsukawa, K. Endo, M. Masahara, S. O'uchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and E. Suzuki, "Nitrogen Gas Flow Ratio and Rapid Thermal Annealing Temperature Dependences of Sputtered Titanium Nitride Gate Work Function and Their Effect on Device Characteristics", *Jpn. J. Appl. Phys.* **47**, pp. 2433-2437 (2008).
- [3] H.-T. Lue, C.-Y. Liu, and T.-Y. Tseng, "An Improved Two-Frequency Method of Capacitance Measurement for SrTiO₃ as High-k Gate Dielectric", *IEEE Electron Device Lett.*, **23**, 9, pp. 553-555 (2002).
- [4] 仲野 雄介：修士論文、「SWC-RTA プロセスによる高誘電率 HfO_xN_y ゲート絶縁膜の電気特性向上に関する研究」、東京工業大学、2008 年。
- [5] M. Takahashi, A. Ogawa, A. Hirano, Y. Kamimuta, Y. Watanabe, K. Iwamoto, S. Migita, N. Yasuda, H. Ota, T. Nabatame and A. Toriumi, "Gate-First Processed FUSI/HfO₂/HfSiO_x/Si MOSFETs with EOT=0.5 nm - Interfacial Layer Formation by Cycle-by-Cycle Deposition and Annealing", *IEDM Tech. Dig.*, pp. 523-526 (2007).
- [6] A. Ogawa, K. Iwamoto, H. Ota, Y. Morita, M. Ikeda, T. Nabatame, and A. Toriumi, "0.6nm-EOT high-k gate stacks with HfSiO_x interfacial layer grown by solid-phase reaction between HfO₂ and Si substrate", *Microelectronic Engineering*, **84**, 9-10, pp. 1861-1864 (2007).
- [7] M. Koike, T. Ino, Y. Kamimuta, M. Koyama, Y. Kamata, M. Suzuki, Y. Mitani, A. Nishiyama, and Y. Tsunashima, "Effect of Hf-N bond on properties of thermally stable amorphous HfSiON and applicability of this material to sub-50nm technology node LSIs", *IEDM. Tech. Dig.*, pp. 4.7.1-4.7.4 (2003).
- [8] M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware, and L. Colombo, "Application of HfSiON as a gate dielectric material", *Applied Physics Letters*, **80**, pp. 3183-3185 (2002).
- [9] C. H. Lu, Y. S. Lai, and J. S. Chen, "Investigation of the Hf-Based Gate Dielectrics Deposited by Reactive Sputtering in Oxygen or Nitrogen Atmosphere", *J. Electrochem. Soc.* **153**, 9, pp. F189-F193 (2006).
- [10] R. Iijima, L. F. Edge, J. Bruley, V. Paruchuri, and M. Takayanagi, "Intrinsic Effects of the Crystal Orientation Difference between (100) and (110) Silicon Substrates on Characteristics of High-k/Metal Gate Metal-Oxide-Semiconductor Field-Effect Transistors", *Jpn. J. Appl. Phys.*, **50**, pp. 061503-1 - 061503-8 (2011).

- [11] 中港 努：修士論文、「3次元ゲート構造の形状制御と高誘電率絶縁膜の形成」、東京工業大学、2005年。
- [12] G. Vellianitis, M. J. H. van Dal, L. Witters, G. Curatola, G. Doornbos, N. Collaert, C. Jonville, C. Torregiani, L.-S. Lai, J. Petry, B. J. Pawlak, R. Duffy, M. Demand, S. Beckx, S. Mertens, A. Delabie, T. Vandeweyer, C. Delvaux, F. Leys, A. Hikavy, R. Rooyackers, M. Kaiser, R. GR. Weemaes, F. Voogt, H. Roberts, D. Donnet, S. Biesemans, M. Jurczak, and R. J. P. Lander, "Gatestacks for scalable high-performance FinFETs", IEDM Tech. Dig., pp. 681-684 (2007).
- [13] T. Ono, "High-k dielectrics deposition by ECR sputtering at low temperature", <http://jstshingi.jp/abst/p/08/827/hirosaki1.pdf>

第 5 章

HfN/HfSiON 構造をゲートに用いた MOSFET の作製

- 5.1 Planar MOSFET の作製
- 5.2 Tri-gate SOI-MOSFET の
作製プロセスの検討
- 5.3 本章のまとめ

第5章 HfN/HfSiON 構造をゲートに用いた MOSFET の作製

第4章では p-Si(100)および p-Si(110)平面上に形成した HfN/HfSiON 構造において PDA 条件を検討し 600°C/15 s において界面での反応を抑制して D_{it} および C-V 特性のヒステリシス幅を改善できることを明らかにした。また、3次元構造上に形成した HfN/HfSiON 構造において EOT: 0.53 nm を実現した。本節では、HfN/HfSiON 構造をゲートに用いた MOSFET の評価を行う。

まず 5.1 節で、ECR スパッタ法により in-situ で形成した HfN/HfSiON 構造をゲートとして用いた planar MOSFET における電気的特性から移動度など評価を行う。次に、5.2 節では HfN/HfSiON 構造をゲートとして用いた 3D SOI-MOSFET の作製プロセスおよび作製の際に用いるマスクの設計について説明する。

5.1 Planar MOSFET の作製

ECR スパッタ法により in-situ で形成した HfN/HfSiON 構造をゲートとして用いた planar MOSFET における電気的特性の評価および導出した実効移動度の HfN/HfSiON 形成時の PDA 温度依存性の評価を行う。

5.1.1 試料作製方法

HfN/HfSiON 構造をゲートに用いた planar MOSFET の作製プロセスの概略図を図 5.1 に示す。本論文の付録 A に planar MOSFET 作製に用いたマスクを示している[1]。以下に各作製プロセスの詳細を述べる。さらに詳細な作製プロセスおよび各プロセスにおける上部顕微鏡写真を付録 B に示している。

HfN/HfSiON 構造をゲートとして用いた MOSFET の作製プロセス

使用基板: SiN(80 nm)/SiO ₂ (50 nm)/p-Si(100), $N_A=1 \times 10^{15} \text{ cm}^{-3}$

(1) マスク#1 により活性領域パターニング

(2) ICP-RIE により SiN エッチング

- CF₄/O₂: 50/10 sccm, 300 s

(3) BF₃ ガスを用いたインプラによりチャネルストッパ形成

- ドーズ量: $1 \times 10^{14} \text{ cm}^{-2}$, 加速エネルギー: 100 keV

(4) 回復アニール(Post-etching Annealing)

- 1000°C/1 min

(5) レジスト剥離後、wet 酸化にて LOCOS 形成

- 1150°C/30 min

(6) H₃PO₄ による SiN エッチングおよび DHF による SiO₂ エッチング

- (7)マスク#2により S/D 領域パターニング
- (8)PH₃ ガスを用いたインプラにより S/D 領域の形成
 - ・ ドーズ量:5×10¹⁵ cm⁻², 加速エネルギー:20 keV
- (9)ICP-RIE によるレジストのアッシング
 - ・ O₂:50 sccm, エッチング時間:300 s
- (10)活性化アニール
 - ・ 1000°C/ 1min
- (10)ECR プロセスによる HfN/HfSiON 構造形成
 - ・ 化学酸化膜:0.7 nm
 - ・ PDA:600-800°C/15 s
- (11)保護用 Al 層を蒸着
- (12)マスク#3 によりコンタクトホールパターン形成
 - ・ HF:H₂O₂:H₂O=1:2:40 混合溶液
- (13)ウェットエッチングによりコンタクトホール形成
- (14)アセトンによるレジスト剥離
- (15)PAD 電極用 Al 蒸着
- (16) マスク#4 により PAD 電極パターン形成
 - ・ H₃PO₄(85%):HNO₃(61%)=100 ml:6 ml 混合溶液
- (17)アセトンによるレジスト剥離
- (18)背面 Al 電極蒸着

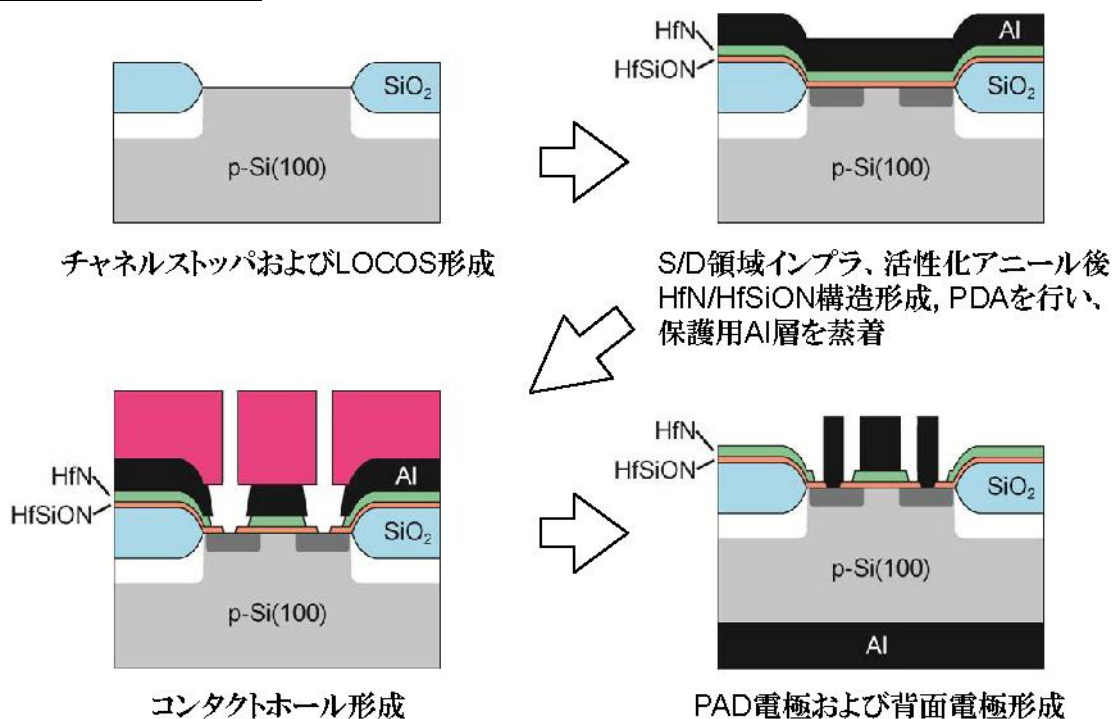


図 5.1 MOSFET 作製プロセスの概略図

5.1.2 MOSFET の電气的特性の評価

まず、図 5.2 に HfN/HfSiON 構造をゲートに用いた Planar MOSFET の代表的な I_D - V_D 特性を示す。In-situ 形成した HfN/HfSiON 構造をゲートとして用いた Planar MOSFET として初めて FET 動作を確認した。

また、図 5.3 に $W/L=40/10 \mu\text{m}$ における I_D - V_G および $I_D^{1/2}$ - V_G 特性を示す。さらに、MOSFET における HfN/HfSiON 構造の C-V 特性を図 5.4 に示す。C-V 特性の単位面積当たりの容量の計算には、マスク上でのゲート長およびゲート幅を用いた。まず図 5.4 において 100 kHz の C-V 特性から算出された EOT は 0.87 nm であり、この EOT の値を用いて $I_D^{1/2}$ - V_G 特性の傾きから式 1 を用いて飽和移動度を算出したところ[1]、飽和移動度は $42 \text{ cm}^2/\text{Vs}$ と本研究室の過去の報告値よりも低くなった[3]。なお式 5.1 における a は $I_D^{1/2}$ - V_G 特性の傾き、 L はチャンネル長、 W はチャンネル幅である。

$$\mu_{sat} = a^2 * \sqrt{\frac{2L}{WC_{ox}}} = a^2 * \sqrt{\frac{2L^2}{C_{measured}}} \quad (5.1)$$

まず第 4 章で検討した p-Si(100)平面上に形成した HfN/HfSiON を $600^\circ\text{C}/15 \text{ s}$ で PDA を行った場合の EOT は 0.5 nm であったことと比較すると、算出された EOT が厚膜化していることが分かる。まず、MIS キャパシタとの形成プロセスの違いによるものである事が考えられる。さらに、実効チャンネル長の導出ができなかったためにゲート長を電極面積計算に用いているが、ゲート-基板間の容量はソースおよびドレインのオーバーラップ分を考慮していないため、移動度が低く算出されたものと考えられる。

パラメータの正確な抽出を行うためには実効チャンネル長などを正確に用いる必要がある。

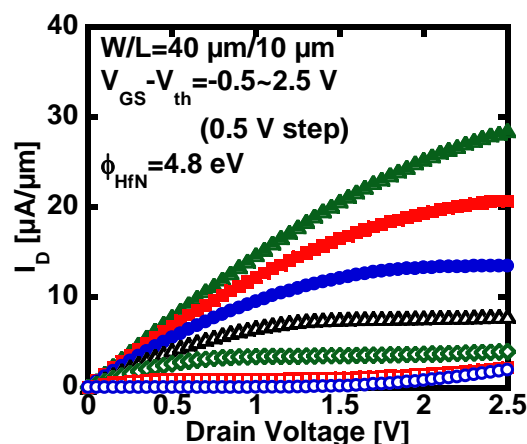


図 5.2 HfN/HfSiON 構造をゲートとして用いた MOSFET の代表的な I_D - V_D 特性

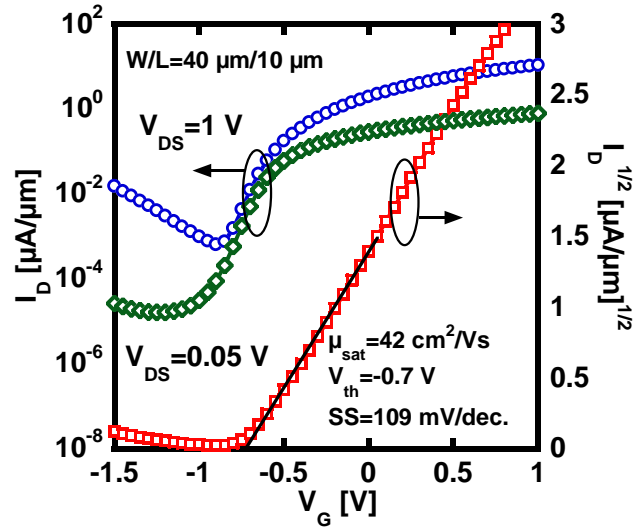


図 5.3 HfN/HfSiON 構造をゲートとして用いた MOSFET の代表的な I_D - V_D 特性

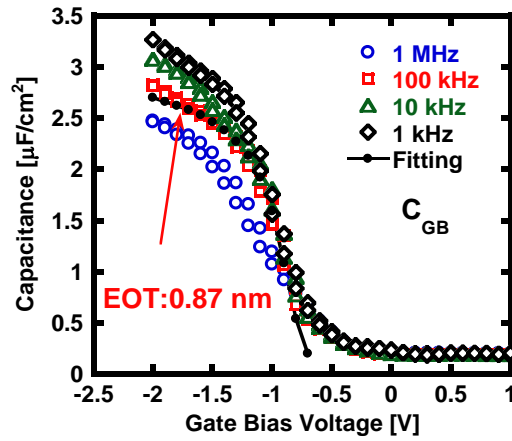


図 5.4 ゲート電極-基板間の C-V 特性

そこで、チャンネル長の導出を行った。図 5.5 に示される簡略化された構造において、チャンネル長 L_{chan} は以下の式で表される。

$$L_{chan} = L_{MASK} - 2L_{overlap} \quad (5.2)$$

ここで、 L_{MASK} はマスクにおける設計ゲート長、 $L_{overlap}$ は S/D へのゲート電極のオーバーラップ長である。ここで、図 5.5 に示すように、チャンネル抵抗の測定値 $R_{measured}$ は

$$R_{measured} = \frac{V_{DS}}{I_{DS}} + R_{S/D} = A \cdot (L_{MASK} - 2L_{overlap}) + R_{S/D} \quad (5.3)$$

と表され、 $L_{MASK} - 2L_{overlap}$ により実効チャンネル長を導出することができる。A は定数で、

R_{SD} は S/D のコンタクト抵抗および、S/D 拡散領域の抵抗である。

作製した nMOSFET に対してチャンネル長の抽出を行う際は、 L_{MASK} の異なるデバイスにおいて、 V_{GS} を変化させて測定した I_D - V_D 特性の線形領域で引いた近似直線の傾きから抵抗を求め、その交点からチャンネル長を求める。図 5.6 に例を示す。また、測定された I_D - V_D 特性から $R_{measured}$ を導出するのに用いた直線の例を図 5.7 に示す。

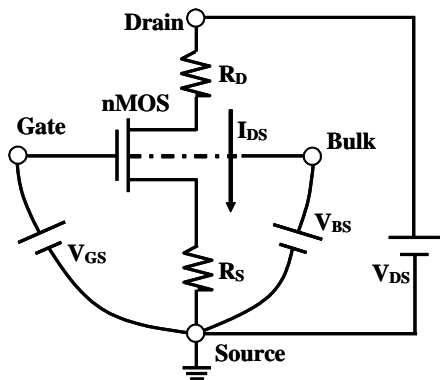


図 5.5 nMOSFET における等価回路図

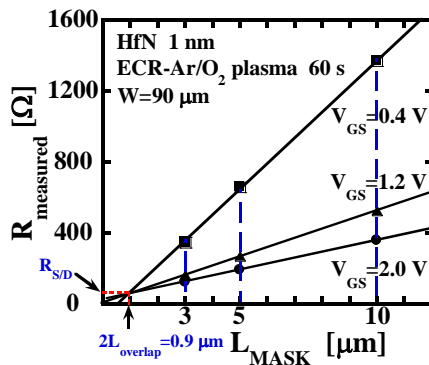


図 5.6 チャンネル長導出の例

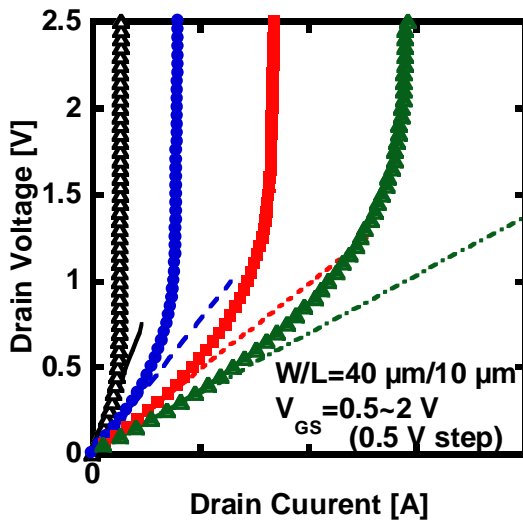


図 5.7 I_D - V_D 特性の近似直線の例

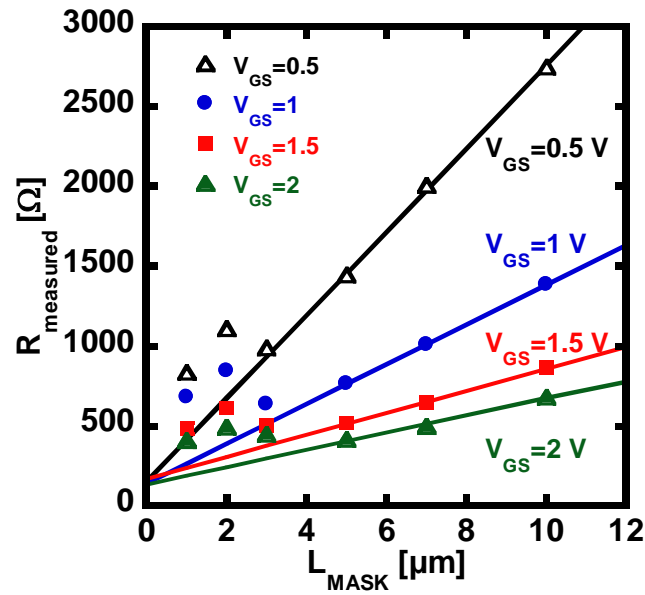


図 5.8 MOSFET の $R_{\text{measured}}-L_{\text{MASK}}$ プロット

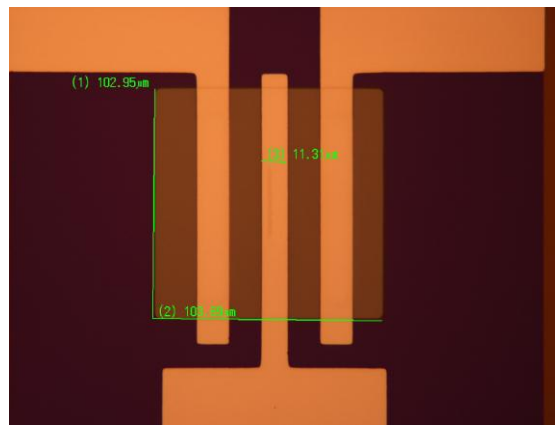


図 5.9 MOSFET (W: 90 μm)の光学顕微鏡写真

図 5.8 に MOSFET の $R_{\text{measured}}-L_{\text{MASK}}$ プロットを示す。 L_{MASK} が 3 μm 以下の領域では、長チャネル MOSFET におけるグラジュアルチャネル近似(GCA)が適用できなくなっているため、また、リーク電流の影響で I_D-V_D がきれいに測定できていないため、近似直線の適用範囲から除外したが、図 5.6 に示すようにきれいな交点ができていないことがわかる。図 5.8 からはおよそ L_{overlap} が 0 μm と算出されたが、信頼性は低く正確な値はわからなかったため、 $R_{\text{measured}}-L_{\text{MASK}}$ プロットによる実効チャネル長の導出はできないことが分かった。

今回交点がうまく取れなかった原因として、まず図 5.9 に示すように、pad 電極形成のマスク合わせで Gate の overlap 分が Source と Drain で異なっているため、 R_{SD} が L_{MASK} によって同じ値をとらなくなってしまうことが考えられる。マスクアライナはマ

ニューアルでマスク合わせをするため、左右対称になるように合わせなくてはならない。

次に、 $W/L=90/10 \mu\text{m}$ の MOSFET において V_{th} の PDA 温度依存性を評価した。図 5.10 に I_D-V_G 特性の PDA 温度依存性を示す。 $I_D^{1/2}-V_G$ 特性の x 切片である V_{th} は PDA 温度 600, 800°C においてそれぞれ -0.57, -0.15 V と計算され、0.4 V 正側にシフトしている。 V_{th} は

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_s q N_A (2\psi_B + V_{BS})}}{C_o} \quad (5.4)$$

で表され[1]、今回の検討では V_{FB} 以外は PDA 温度に依存しないはずである。図 5.10 に第 4 章で検討した HfN/HfSiON/p-Si(100)ゲートスタック構造の C-V 特性の PDA 温度依存性を示す。各 C-V 特性から求めた V_{FB} は 600°C/15 s の場合で -0.26 V、800°C/15 s の場合で -0.06 V と PDA 温度を上げることで正方向に 0.2 V シフトしていることから、0.4 V の V_{th} シフトは主に V_{FB} のシフトによるものと考えられる。

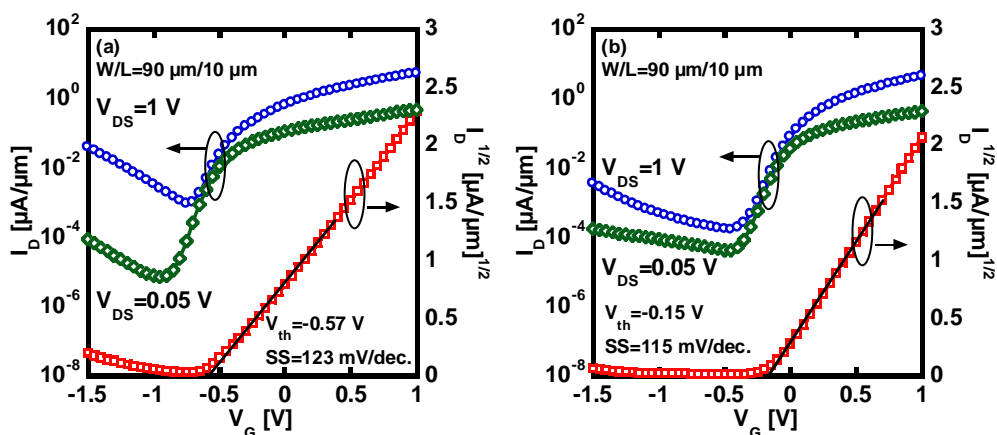


図 5.10 I_D-V_G 特性の PDA 温度依存性

(a) 600°C, (b) 800°C (V_{th} はそれぞれ -0.57, -0.15 V)

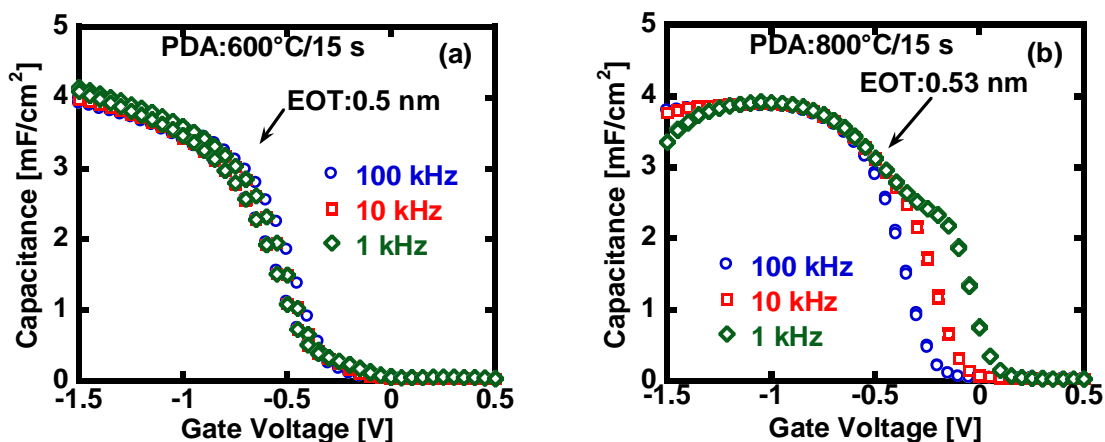


図 5.11 HfN/HfSiON/p-Si(100)構造の PDA 温度依存性(a)600°C、(b)800°C

5.1.3 MOSFET の移動度の PDA 温度依存性

第4章で述べたように、HfN/HfSiON 構造では PDA 温度により界面特性が変化することが分かった。本節では、デバイスサイズ $W/L=40/10 \mu\text{m}$ における splitCV 法による MOSFET の移動度の PDA 温度依存性を検討した[4-5]。gate 長が短いと寄生容量が大きくなること、チャンネル長が近似できなくなってくること、gate 長が長すぎるとキャリアが応答できないことなどから、 C_{GC} の値を正確に測るためにはデバイスサイズ $W/L=40/10 \mu\text{m}$ が適していると判断した。また、同様に C_{GC} の値を正確に測るために、できるだけリーク電流を少なくすることが望ましく、 $W \times L$ を小さくする。一方で $W \times L$ を小さくしすぎると I_D が小さくなってしまうため g_c が正確に計測できなくなってしまう。

splitCV 法による実効移動度の導出を以下に示す。実効移動度は

$$\mu_{eff} = \frac{g_c = \frac{\Delta I_D}{\Delta V_D}}{\frac{W}{L} Q_{inv}} \quad (5.5)$$

で表される。ここで、 Q_{inv} は C_{GC} の積分から求められ、

$$\begin{aligned} Q_{inv} &= \int_{-\infty}^{V_G} C_{GC}(V_G) dV_G \\ &= \sum_{V_{Gmin}}^{V_G} C_{GC}(V_G) * V_{step} \end{aligned} \quad (5.6)$$

である。また、 g_c は $V_D=20, 40 \text{ mV}$ の I_D の差から算出し、

$$\mu_{eff} = \frac{\frac{I_{D40mV} - I_{D20mV}}{20mV}}{\frac{W}{L} Q_{inv}} \quad (5.7)$$

により μ_{eff} を V_G の関数として求めた。

一方で実効電界は

$$E_{eff} = \frac{Q_b + \frac{Q_{inv}}{\eta}}{\epsilon_{Si} * \epsilon_0} \quad (5.8)$$

で表される。ここで、 η は電子の場合 2、ホールの場合 3 である。また、 Q_b は基板の空乏層内の電荷である。今回使用した基板は 10^{15} cm^{-3} なのでほぼ無視できると考え、

$$Q_b = -\sqrt{2q\epsilon_s N_A (2\psi_B)} = 8.13 \times 10^{-9} \text{ cm}^{-2} \quad (5.9)$$

として計算した。

図 5.11 に C_{GC} の測定回路と図 5.12 に C_{GC} の測定結果を示す。C-V 特性の立ち上がり

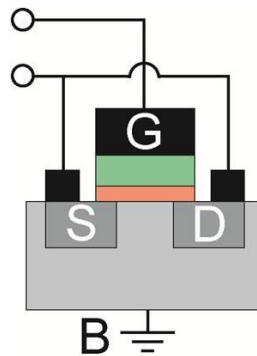


図 5.12 C_{GC} の測定回路の概略図

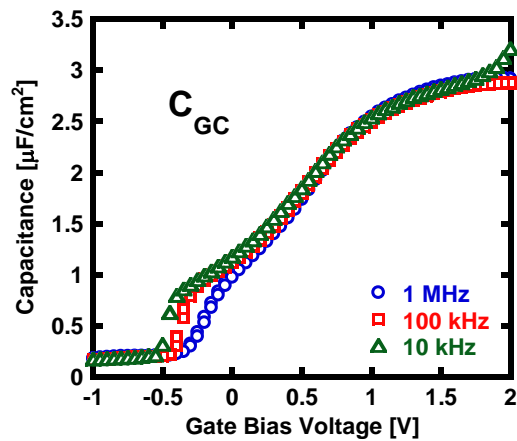


図 5.13 $600^\circ\text{C}/15\text{ s}$ で PDA を行った場合の C_{GC}

付近($V_G=0.5\text{ V}$ 付近)において周波数分散が見られるが、ここでは 1 MHz により測定した C-V 特性から式 6 により Q_{inv} を算出した。

図 5.13 に導出した実効移動度の PDA 温度依存性を示す。 $800^\circ\text{C}/15\text{ s}$ の場合、低電界側で μ_{eff} が大きく下がっていることが見て取れる。低電界側での移動度はクーロン散乱に影響されることが一般的に知られており、界面トラップ準位にトラップされた電子によるクーロン散乱の影響で μ_{eff} が下がっていると考えられる。4.2.3 節で高温の PDA により HfSiON/p-Si(100)界面の N 原子が Si Sub.側に拡散して、 D_{it} が大きくなるという結果が得られている。この結果と合わせると、 μ_{eff} を向上するためには、界面特性の制御が重要であることが再確認された。また、第 4 章で説明したように、ラフネス散乱の影響を受ける高電界側での移動度が $100\text{ cm}^2/\text{VS}$ 以下まで劣化していることから、チャネル長などのパラメータの正確な抽出を再検討するとともに MOSFET においてもラフネスの改善が必要であることが分かった。

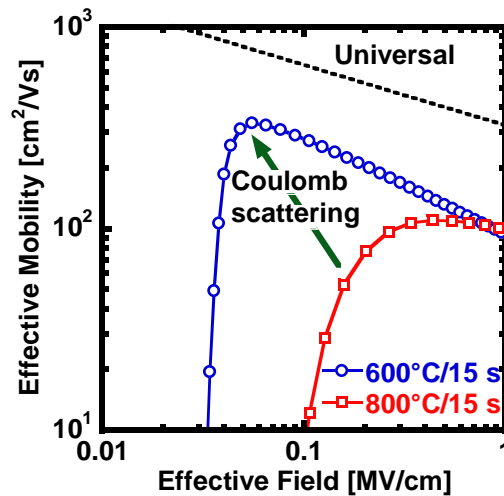


図 5.14 SplitCV 法によって導出した実効移動度の PDA 温度依存性

5.2 Tri-gate SOI-MOSFET の作製プロセスの検討

4.3 節において 3 次元構造上に形成した HfN/HfSiON 構造の形成において、600°C/15 s の PDA を行うことで EOT を薄膜化し、0.53-0.54 nm の EOT を実現した。そこで、600°C/15 s の PDA 条件を用いて 3 次元構造上に形成した HfN/HfSiON 構造をゲートとして用いた tri-gate MOSFET の作製プロセスを考案した。また、作製プロセスに用いるマスクを設計したので説明する。

5.2.1 3D SOI-MISFET の作製方法

異種面方位基板の上に in-situ で形成した HfN/HfSiON 構造の MIS キャパシタ作製方法の概略を図 5.15 に記す。また、以下に各作製プロセスの詳細を述べる。

HfN/HfSiON 構造をゲートとして用いた tri-gate MOSFET の作製プロセス

使用基板:SiO₂(100 nm)/SOI(50-100 nm)/BOX(50-100 nm)/p-Si(100), N_A=1×10¹⁵ cm⁻³

- (1)洗浄 (SPM・DHF×2)
- (2)SiO₂ を 10 nm 残しウェットエッチング
- (3)MASK 1 により活性領域パターニング
- (4)SiO₂ および SOI をドライエッチング(ICP-RIE)
- (5)レジスト除去、基板洗浄 (SPM・DHF×2)
- (6)MASK 2 により S/D 領域パターニング
- (7)PH₃ ガスを用いたインプラにより S/D 領域パターニング

- (8)ICP-RIE によるレジストのアッシング
- (9)洗浄 (SPM・DHF×2)
- (10)活性化アニールおよびエッチングダメージ回復アニール
 - ・ 1000°C/1 min
- (11)保護 SiO₂・自然酸化膜除去 (DHF)
- (12)ECR プロセスによる HfN/HfSiON 構造形成
 - ・ 化学酸化膜:0.7 nm
 - ・ PDA:600°C/15 s
- (13)保護用 Al 層を蒸着
- (14)MASK 3 によりゲート領域パターニング
- (15)ウェットエッチングによりコンタクトホール形成
- (16)アセトンによるレジスト剥離
- (17)MASK4 により PAD 電極パターン形成
 - ・ H₃PO₄(85%):HNO₃(61%)=100 ml:6 ml 混合溶液
- (18)PAD 電極用 Al 蒸着
- (19)リフトオフによるレジスト除去、PAD 電極形成
- (20)背面 Al 電極蒸着

まず、チャネル部へのダメージを低減するために、表面保護用 SiO₂を 10 nm 程度残した状態で活性領域をドライエッチングにより形成する。さらに、S/D へのインプラ、1000°C/1 min のアニールも SiO₂上から行い、ECR スパッタ法による HfN/HfSiON 形成プロセス直前に保護 SiO₂膜を除去することでチャネルへの影響を最小限に抑制することができると考えられる。

さらに、ゲートパターンを形成する際に 4.1 節でエッチング速度が遅く、HfSiON に対する HfN の選択比が小さい DHF(1%)を用いてウェットエッチングを行うことで、Al/HfN 電極に対する過剰なエッチングを抑制する。

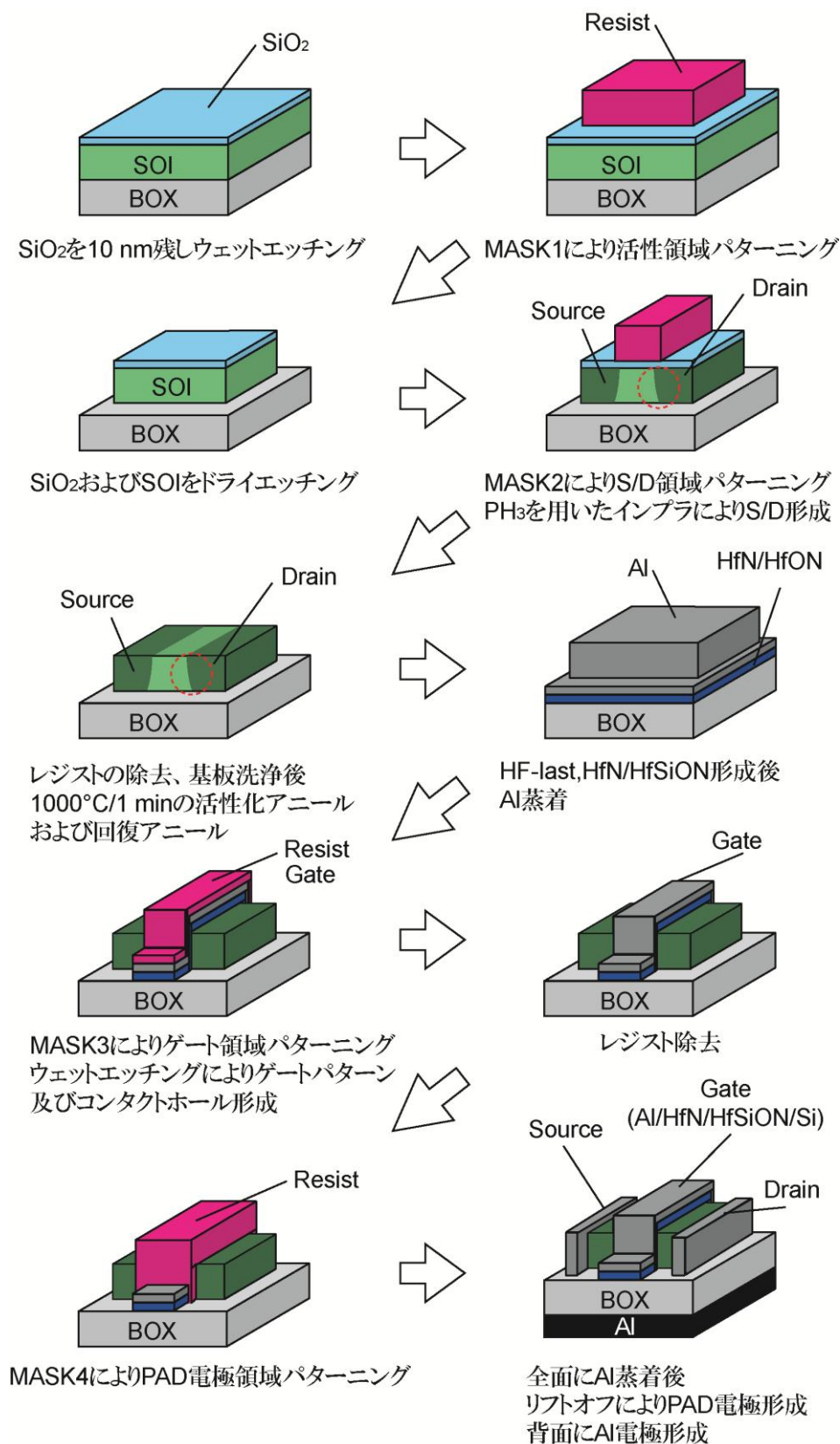


図 5.15 Tri-gate MOSFET 作製プロセスの概略図

5.2.2 Tri-gate MOSFET 作製に使用するマスクの設計

前節で考案した tri-gate MOSFET の作製プロセスに用いるマスクを設計したので本節ではその概要について説明する。

まず、図 5.16 に活性化領域パターンニング用の MASK1 を示す。レジストマスクによっておおわれている部分が Si チャネル部となる。チャネル部分の 3 次元化によるショートチャネル効果のチャネル幅依存性を検討するために、非常に薄い W_{channel} が必要とされる一方[6]、 W_{channel} を大きくすることで 3 次元構造側壁部の影響を小さくし、平面構造と同等の評価を行う必要がある。そこで、マスクの幅 W_{channel} を 0.7, 1, 3, 10, 20, 50 μm の 6 通りとした。本プロセスではポジレジスト OFPR-800LB(54cP)を用いて、露光時間を検討することで、 W_{channel} を 120 nm まで縮小できる[7]。

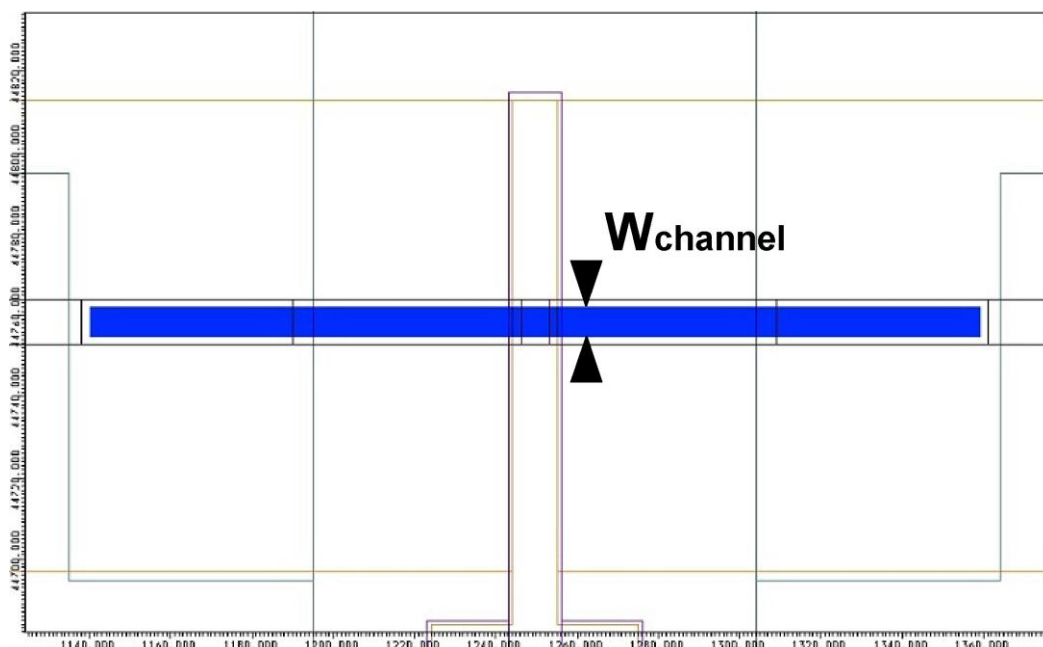


図 5.16 活性化領域パターンニング用 MASK1

次に図 5.17 に S/D 領域パターンニング用 MASK2 を示す。MASK1 により形成した活性領域に対してチャンネル長 L_{channel} を MASK2 により定義する。 W_{channel} と同様の理由から L_{channel} は 0.7, 1, 3, 10, 20, 50 μm の 6 通りとし、露光時間を検討することで微調整を行うことができ、 L_{channel} の最小長は 120 nm まで縮小が可能となる。

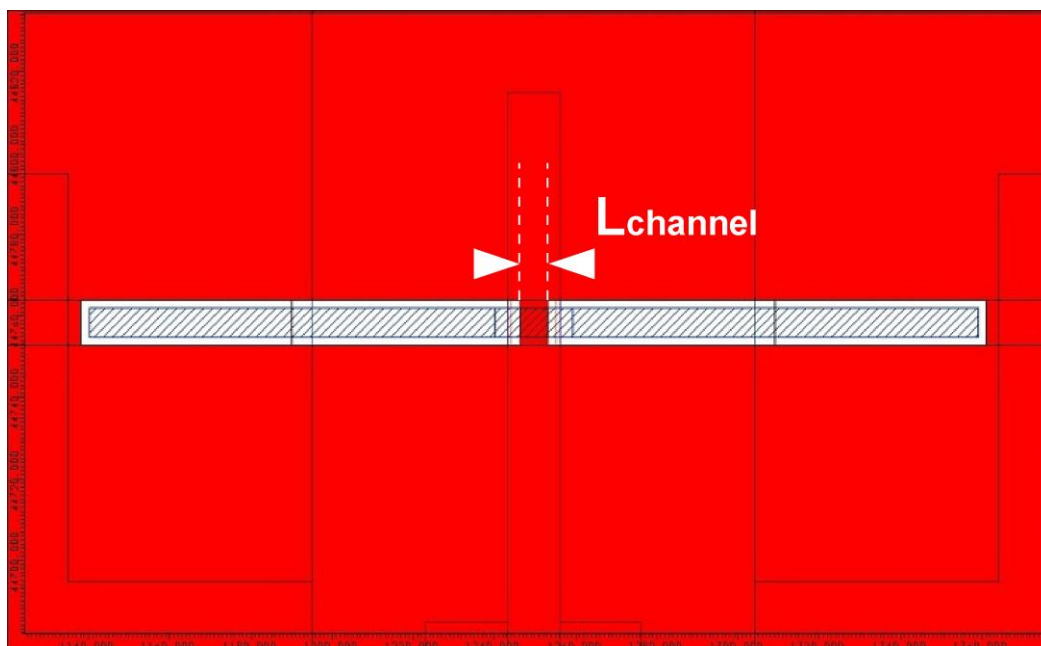


図 5.17 S/D 領域パターンニング用 MASK2

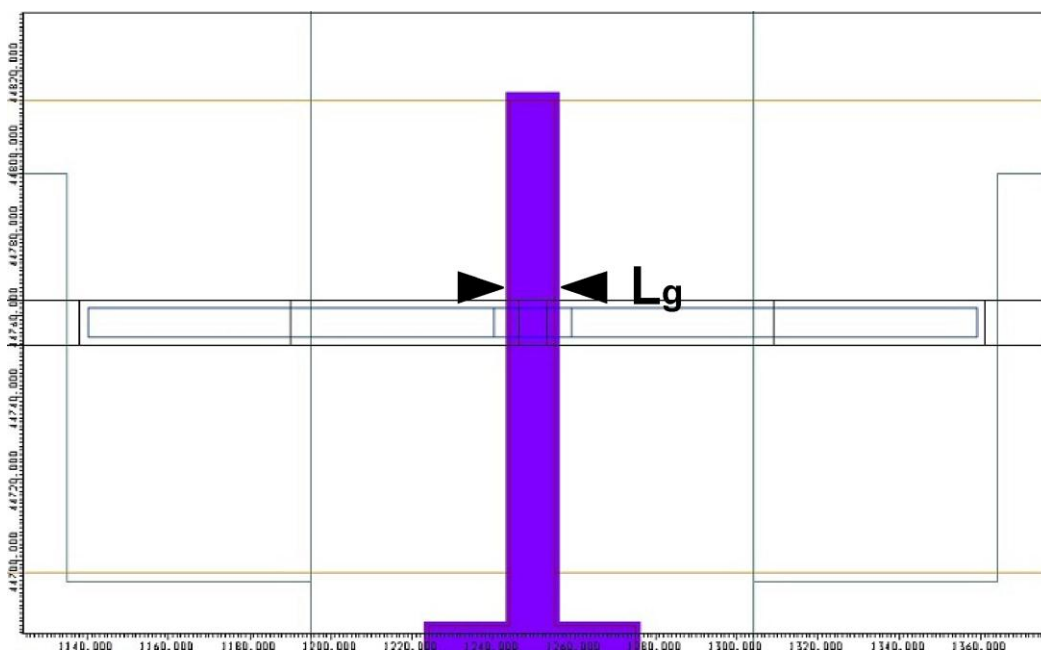


図 5.18 ゲート領域パターンニング用 MASK3

図 5.18-19 にゲート領域パターンニング用 MASK3 のチャンネル部と全体図を示す。5.1.2 節ではデバイスパラメータの正確な抽出のためにはゲート領域の S/D に対するオーバーラップ分を最小にする必要があることが分かったので、マスク合わせの余裕は使用する露光装置であるステッパの精度スペック程度である $(L_g - L_{\text{channel}})/2 = 0.2 \mu\text{m}$ とした。また、ゲートパターンを形成する際に、HfSiON に対する HfN の選択比が小さい DHF(1%)を用いてウェットエッチングを行うことで、Al/HfN 電極に対する過剰なエッチングを抑制すると同時に、活性化領域上に形成された自然酸化膜などを除去し、S/D 上の PAD 電極のコンタクトを向上し、歩留を向上するプロセスとした。さらに、HfN/HfSiON 構造をゲート PAD 電極下まで延長することでゲート上の PAD 電極とのコンタクトも向上する設計とした。

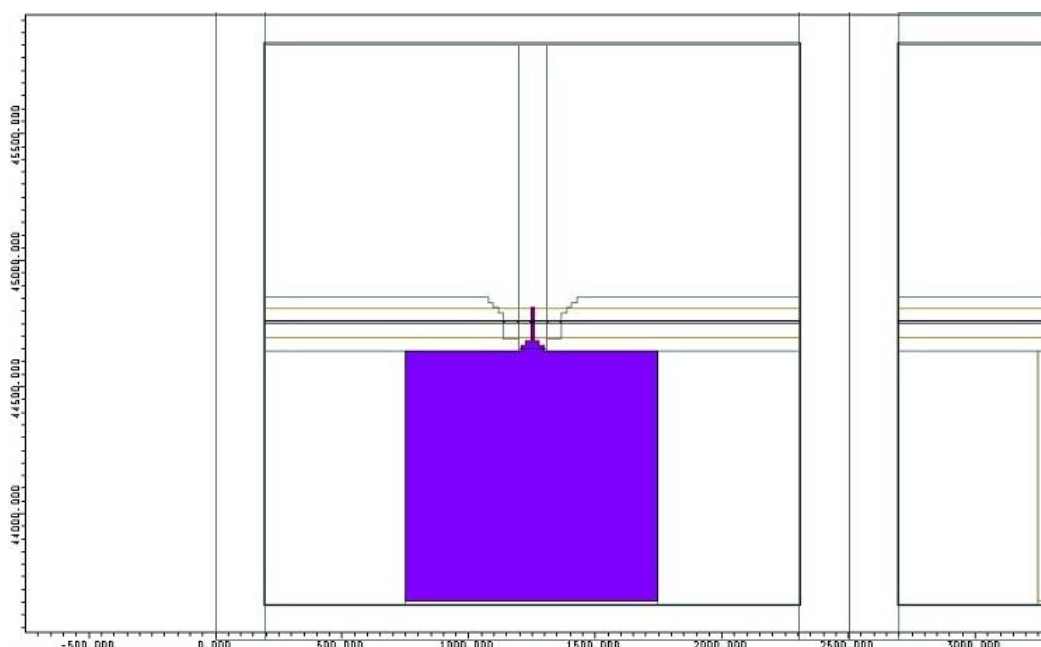


図 5.19 ゲート領域パターンニング用 MASK3 の全体図

更に、図 5.20-21 に PAD 電極領域パターンニング用 MASK4 を示す。Planar MOSFET の形成では Al をウェットエッチングにより形成していたが、付録 B に示すように、過剰エッチングによる断線や短絡が問題となることから、本プロセスではリフトオフによる Al の PAD 電極を形成することとした。

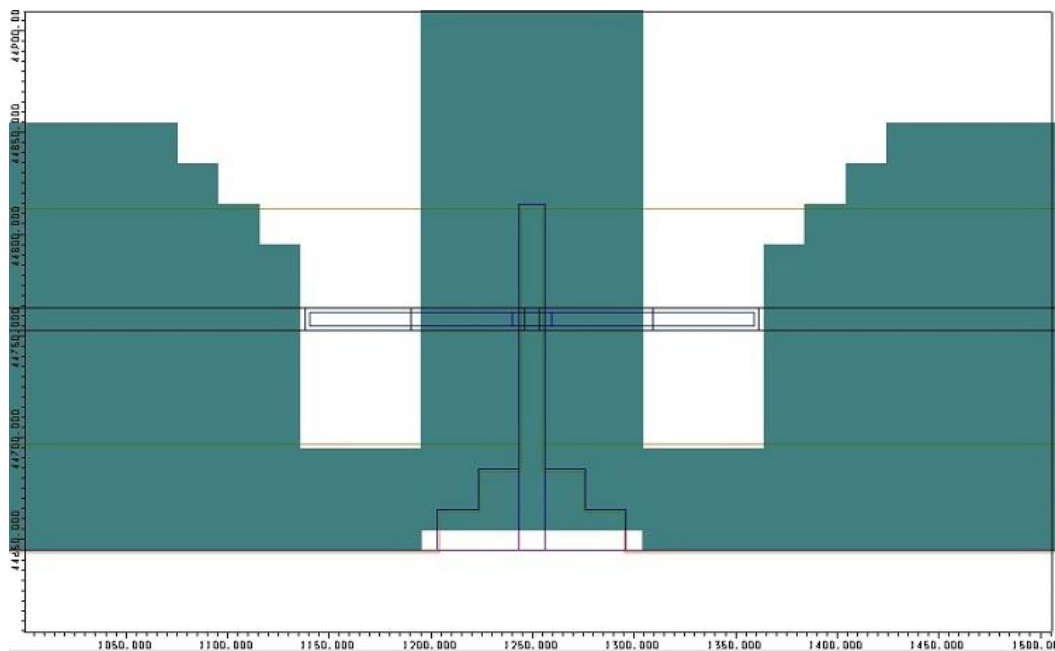


図 5.20 PAD 電極領域パターンニング用 MASK4

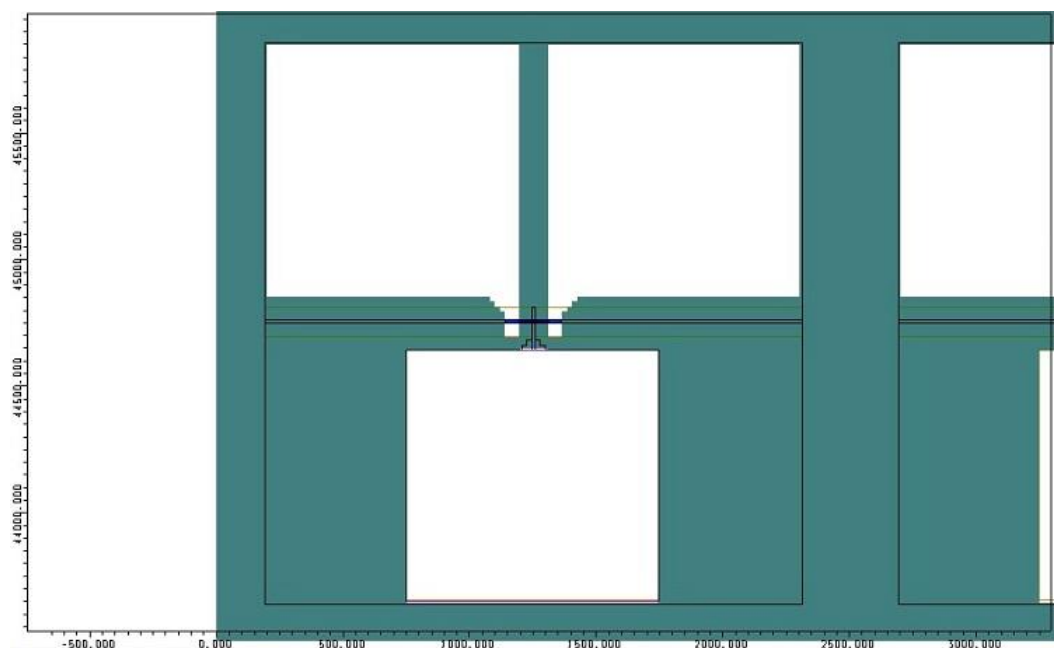


図 5.21 PAD 電極領域パターンニング用 MASK4 の全体図

以上の設計により最終的に作製される tri-gate MOSFET の設計全体図を図 5.22 に示す。各プロセスおよびプロセス全体を通して歩留の向上できる tri-gate MOSFET の作製プロセスおよびマスク設計を行った。

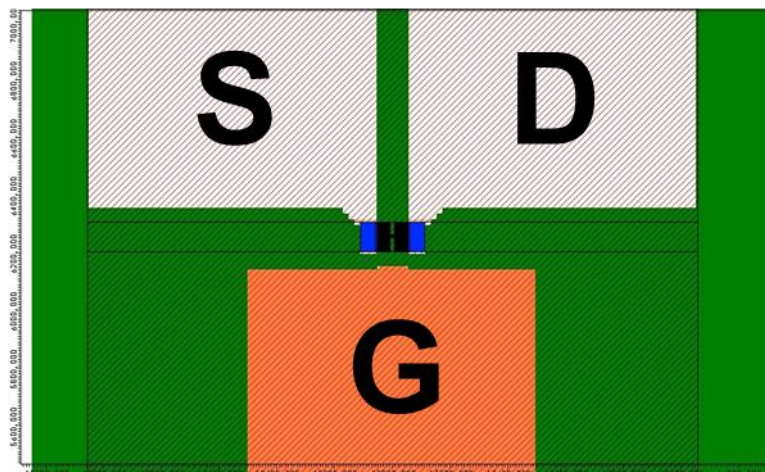


図 5.22 Tri-gate MOSFET の設計全体図

5.3 本章のまとめ

本章で得られた結果を以下にまとめる。

- (1) In-situ 形成した HfN/HfSiON 構造をゲートとして用いた Planar MOSFET として初めて FET 動作を確認したが、算出された飽和移動度は $42 \text{ cm}^2/\text{Vs}$ と小さいことから、デバイスの物理的パラメータの正確な抽出の検討が必要であることが分かった。
- (2) Planar MOSFET の I_D - V_G 特性の HfN/HfSiON 構造形成後の PDA 温度依存性からは、HfN/HfSiON/p-Si(100)での C-V 特性における V_{FB} の変化に伴い、 V_{th} がシフトしていることが分かった。また、実効移動度の PDA 温度依存性からは PDA 温度を従来の 800°C から 600°C に低減することでクーロン散乱の影響を抑制し、低電界側での移動度を改善できることを明らかにした。
- (3) プロセス全体を通して歩留の向上できる tri-gate MOSFET の作製プロセスおよびマスク設計を行った。

参考文献

- [1] 黒瀬 朋紀：修士論文、「ECR Ar/O₂ プラズマを用いた高誘電率 HfON ゲート絶縁膜の形成」、東京工業大学、2006 年.
- [1] S. M. Sze, “SEMICONDUCTOR DEVICES, Physics and Technology”, 2nd, John Wiley & Sons, 2001.
- [2] 佐藤 雅樹：修士論文、「ECR-Ar/N₂プラズマによるHfONゲート絶縁膜の形成とデバイス特性向上に関する研究」、東京工業大学、2007年.
- [3] C. L. Huang, J. V. Faricelli, and N. D. Arora, “A New Technique for Measuring MOSFET inversion Layer Mobility”, IEEE Trans. Electron Dev., **40**, pp. 1134-1139 (1993).
- [4] J. Koomen, “Investigation of the MOST Channel Conductance in Weak Inversion”, Solid-State Electron., **16**, pp. 801-810 (1973).
- [5] M. Nawaz, W. Molzer, S. Decker, L.-F.e Giles, and T. Schulz, “On the device design assessment of multigate FETs (MuGFETs) usingfull process and device simulation with 3D TCAD”, Microelectronics Journal, **38**, 12, pp. 1238-1251 (2007).
- [6] 佐野 貴洋：学士論文、「ECR スパッタ法により形成した HfON 薄膜の 3 次元ゲートデバイス応用」、東京工業大学、2008 年.

第6章

結論

- 6.1 本研究で得られた結論
- 6.2 今後の課題と展望

第6章 結論

6.1 本研究で得られた結論

本研究では、ECR スパッタ法により *in-situ* で形成した良好な特性を有する HfN/HfSiON 構造を 3 次元構造 MOSFET へ応用することを目的として、p-Si(100)、p-Si(110)および 3 次元構造上に形成した Al/HfON、Al/HfSiON、HfN/HfSiON における電気的および物理的特性から、形成プロセスの検討を行った。

本研究で得られた結論を以下に示す。

- (1)HfON の形成プロセスとして HfO₂ のプラズマ窒化および HfN のプラズマ酸化を p-Si(100)平面上で検討し、HfN(5 nm)のプラズマ酸化プロセスにより HfON/Si 基板界面の IL 層形成を制御し、EOT を 0.92 nm と低減できることを明らかにした。
- (2)3 次元構造上に HfON を形成する場合、成膜室内圧力を増加させることで側壁部に堆積される薄膜の膜厚を増加させ、リーク電流を低減可能であることを明らかにした。また、HfN のプラズマ酸化プロセスは 3 次元構造上においても EOT の薄膜化が可能で EOT: 1.34 nm を実現した。
- (3)HfN(1 nm)のプラズマ酸化により形成した HfON と C' O の PDA 時の反応により HfSiON が形成可能であることが分かった。
- (4)HfN 電極の形成条件を検討し、400 W で堆積した HfN は 4.8 eV を有し、HfN/HfON 構造における HfN の選択エッチングプロセスを開発した。
- (5)*In-situ* で形成した HfN/HfSiON 構造の PDA 条件を検討し、600°C/15 s の PDA により p-Si(100)平面上において EOT:0.5 nm、p-Si(110)平面上において、EOT:0.56 nm を実現し、NiSi や Au 電極の報告例と比較して薄膜化した。また、*ex-situ* プロセスで形成した HfN/HfSiON 構造と比較して *in-situ* により形成することで界面特性を向上しリーク電流を 1-2 桁程度、Hf 系の絶縁膜におけるリーク電流の報告例と比較して 1 桁程度改善できることを明らかにし、HfN/HfSiON 構造の *in-situ* 形成プロセスにより界面特性の制御性を向上し EOT の薄膜化およびリーク電流の低減に有効であることを明らかにした。
- (6)p-Si(110)面上および 3 次元構造上に形成した HfN/HfSiON 構造において EOT は 0.53 - 0.54nm と算出され ITRS で 2022 年に要求されている値を達成した。

(7)In-situ 形成した HfN/HfSiON 構造をゲートとして用いた Planar MOSFET として初めて FET 動作に成功し、Planar MOSFET の実効移動度の PDA 温度依存性からは PDA 温度を従来の 800°C から 600°C に低減することでクーロン散乱の影響を抑制し、低電界側での移動度を改善できることを明らかにした。

本研究では ECR スパッタ法による 3 次元構造上への HfN/HfSiON 構造形成に関する基礎研究を行った。形成条件の確立と形成機構の解明により HfN/HfSiON 構造の in-situ 形成プロセスの実用化の可能性を示した。

6.2 今後の課題と展望

本研究は、3次元構造 MSOFET に対して高誘電率を有する HfN/HfSiON 構造の形成を目指して、ECR スパッタ法による in-situ 形成プロセスの利点と問題点を明確化し、実用化の可能性を示した。本研究で得られた結論は、HfN ゲート電極および HfSiON 絶縁膜に限らず、他種材料の組み合わせにおいても参考になるものと考えている。

本研究によって得られた今後の課題と展望を以下に示す。

(1) HfSiON/p-Si 界面のラフネス低減

HfN の選択エッチングプロセスを用いて HfSiON/p-Si 界面のラフネスについて解析を行い、界面ラフネスの増大に伴うリーク電流の増大を確認した。3次元構造側壁部などのラフネスが大きい Si の平坦化プロセスの検討が必要である。

(2) 3次元構造側壁部の膜厚

ECR スパッタ法により3次元構造上に堆積した薄膜では上部と比較して側壁部の膜厚が7割程度と薄い。スパッタ粒子の入射方向などの検討により側壁部の膜厚を厚くすることで、物理膜厚の減少によるダイレクトトンネリングや側壁部のラフネスの影響を抑制することが重要である。

(3) Tri-gate MOSFET への応用

ECR スパッタ法により3次元構造上に in-situ 形成した HfN/HfSiON 構造においてリーク電流が顕著となったものの EOT は 0.53-0.54 nm と ITRS で 2022 年に要求されている値を達成し、デバイス特性を大幅に向上する可能性がある。3次元構造上におけるリーク電流の抑制と tri-gate MOSFET における電気特性の評価が重要である。

謝辞

本研究を進めるにあたり、研究方針や研究に対する姿勢をはじめ、終始熱心にご指導を頂いた大見 俊一郎准教授に心より深く感謝いたします。お忙しい時にも研究に付き添って頂き、また研究以外でも親身になって相談に乗って頂き大変お世話になりました。

また、本研究に関し、学士課程時代から多大なご支援をいただきまして、ご多忙にもかかわらず論文審査を快く引き受けていただき、有益なご助言をいただいた本学物理電子システム創造専攻の半那 純一教授、筒井 一生教授、徳光 永輔准教授、渡辺 正裕准教授、宮本 智之准教授、MES AFTYの嶋田 勝氏に心より感謝いたします。さらに、学士課程時代から御指導と御助言を頂きました石原 宏教授、岩井 洋教授、益 一哉教授、角嶋 邦之准教授に心より感謝いたします。

本研究を進めるにあたり、各種実験装置の使用を許可していただき、またその実験設備のメンテナンスおよび管理をしていただいた本学技術部半導体・MEMS 支援センターの庄司 大技官、南雲 祐治技術補佐員、精密工学研究所肥後・高島研究室石山 千恵美助教、畠山 直之技術職員、物質科学専攻矢野 哲司准教授に深く感謝致します。

また、本研究を進めるにあたり、多大な御協力、ならびに適切かつ丁寧なご助言を頂いたNTTマイクロシステムインテグレーション研究所の神 好人氏、MESアフティの斉藤 國夫氏に深く感謝致します。

本研究の一部は大西 峻人氏(修士 2 年)の協力で行ったものであり、ここに記して感謝いたします。

同じ研究室の先輩として研究に関して多くの御助言、御指導を頂いた高 俊氏、仲野 雄介氏、野武 幸輝氏、須田 雄一郎氏に深く感謝致します。また、同じ研究室のメンバーとして多くのことを議論し、共に過ごし励まし支え合った石川 純平氏、神野 浩介氏、お世話になった宋 永旭氏、菊池 善明氏、韓 熙成氏、廖 敏氏、韓 大熙氏、吉村 泰彦氏、有馬 潤氏、高山 和朗氏、高橋 雅之氏、Mr. Nitthi Atthi、ゴラミネジャド アディブ氏、山口 成幸氏、モハマド アヌア氏、研究員のMd. Akhtar Uzzaman氏と交換留学生のBrianna Lynn Ford女史、後藤 麻美秘書、渡辺 智子女史をはじめとする大見研究室の皆様に感謝致します。また、所属する研究室が違いながらも研究や研究以外でもお世話になった岩井研究室の川那子 高暢氏、李 映勲氏、小柳 友常氏、茂森 直登氏、来山 大祐氏に感謝いたします。

最後に、両親、妹、祖父母、麻布の同窓生と東工大の友達、東 有佳里女史、チップ、週末ヒロインと支えてくれたすべての人に心より感謝いたします。

関連発表

学術論文

[1] Takahiro Sano and Shun-ichiro Ohmi, “HfON Thin-Film Formation on Three-Dimensional Si Structure Utilizing Electron Cyclotron Resonance Sputtering”, Jpn. J. Appl. Phys., **48** (2009) 05DB04-1 - 05DB04-4.

[2] Takahiro Sano and Shun-ichiro Ohmi, “*In situ* Formation of HfN/HfSiON Gate Stacks with 0.5 nm Equivalent Oxide Thickness Utilizing Electron Cyclotron Resonance Plasma Sputtering on Three-Dimensional Si Structures”, Jpn. J. Appl. Phys., **50** (2011) 04DA09-1 - 04DA09-5.

[3] Takahiro Sano and Shun-ichiro Ohmi, “Selective etching of HfN gate electrode for HfN/HfSiON gate stack in-situ formations”, IEICE Electronics Express, **8** (2011) 1492 - 1497.

[4] Yoshiaki Kikuchi, Jun Gao, Takahiro Sano, and Shun-ichiro Ohmi, “Anisotropic High-k Deposition for Gate Last Processing of Metal-Oxide-Semiconductor Field-Effect-Transistor Utilizing Electron-Cyclotron-Resonance Plasma Sputtering” Thin Solid Films, 520 (2012) 2989-2993.

国際会議

[1] Takahiro Sano and Shun-ichiro Ohmi, "HfON Formation on 3-Dimensional Structure Utilizing ECR Sputtering," IWDTF-08, Abstract p.23 - 24 (2008).

[2] Takahiro Sano and Shun-ichiro Ohmi, “In-situ Formation of HfN/HfSiON Gate Stacks with 0.5 nm EOT Utilizing ECR Sputtering on Three-Dimensional Si Structures,” Ext. Abstr. Solid State Devices and Materials, pp.199 - 200 (2010).

[3] Takahiro Sano and S. Ohmi, “Investigation of Electrical Properties of HfN/HfSiON Gate Stacks In-situ Formed on Si(100) and Si(110),” Ext. Abstr. Solid State Devices and Materials, pp.78 - 79 (2011).

[4] Takato Ohnishi, Takahiro Sano, and Shun-ichiro Ohmi, “Effect of Nitrogen Concentration of Hf_xN_y for HfON Formation Utilizing ECR Plasma Oxidation”, IWDTF-11, Abstract p.45 - 46 (2011).

国内学会・シンポジウム

[1] 佐野 貴洋, 仲野 雄介, 大見 俊一郎, “ECR スパッタ法による 3 次元構造上への HfO_2 薄膜の形成”, 第 55 回応用物理学関係連合講演会予稿集 27a-G-9, II/p.882 (2008).

- [2] 佐野 貴洋, 大見 俊一郎, “ECR スパッタ法による 3 次元構造上への HfON 薄膜の形成”, 第 69 回応用物理学学会学術講演会予稿集 3p-CH-15, II/p.748 (2008).
- [3] 佐野 貴洋, 大見 俊一郎, “3 次元構造上に形成した HfON 薄膜の側壁部膜質の評価”, 第 56 回応用物理学関係連合講演会予稿集 2a-ZT-4, II/p.850 (2009).
- [4] 佐野 貴洋, 大見 俊一郎, “ECR スパッタ法による 3 次元構造上への HfN/HfON ゲートスタック構造の形成”, 第 70 回応用物理学学会学術講演会予稿集 8p-TA-10, II /p.737 (2009).
- [5] Takahiro Sano and Shun-ichiro Ohmi, "HfON Formation on 3-Dimensional Structure Utilizing ECR Sputtering", G-COE PICE International Symposium on Silicon Nano Devices in 2030 - Prospects by World's Leading Scientists -, Abstract, pp.138-139 (2009).
- [6] 佐野 貴洋, 大西 峻人, 大見 俊一郎, “ECR スパッタ法による HfN/HfON 積層構造の形成”, 信学技報, **109**, SDM-2009-119, pp.11-14 (2009).
- [7] 佐野 貴洋, 大見 俊一郎, “ECR スパッタ法により形成した HfN/HfSiON/Si(100)ゲートスタック構造の評価”, 第 57 回応用物理学関係連合講演会予稿集 19a-P11-22 (2010).
- [8] 佐野 貴洋, 大見 俊一郎, “HfN/HfON ゲート積層構造の 3 次元構造上への形成”, 第 71 回応用物理学学会学術講演会予稿集 15a-ZA-3 (2010).
- [9] 佐野 貴洋, 大見 俊一郎, “ECR スパッタ法による HfN/HfSiON 積層構造の in-situ 形成”, 信学技報, **110**, SDM-2010-166, pp.57-60 (2010).
- [10] 佐野 貴洋, 大見 俊一郎, “ECR スパッタ法による 3 次元構造上への HfN/HfSiON 積層構造の形成”, 材料系・電気系 GCOE 合同シンポジウム グリーンイノベーションへ向けて ～材料・デバイス・システムの行方～, (2010)
- [11] 佐野 貴洋, 大見 俊一郎, “HfN/HfSiON ゲートスタック構造を用いた MISFET の作製”, 第 58 回応用物理学関係連合講演会予稿集 25a-P3-18 (2011).
- [12] 佐野 貴洋, 大見 俊一郎, “異種面方位上での HfN/HfSiON ゲートスタック構造の評価”, 第 72 回応用物理学学会学術講演会予稿集 31p-Q-7 (2011).
- [13] Takahiro Sano, Dae-Hee Han, and Shun-ichiro Ohmi, “Investigation of Substrate Orientation and Initial Surface Roughness Dependence of HfN/HfSiON Gate Stacks”, G-COE PICE International Symposium and IEEE EDS Minicolloquium on Advanced Hybrid Nano

Devices: Prospects by World's Leading Scientists - (2011).

[14] Hui-Seong Han, Takahiro Sano, Young-Uk Song, and Shun-ichiro Ohmi, "Electrical Properties of Hf/HfSiON/p-Si(100) Structure MIS Capacitor by Using ECR-Sputtering", 第 57 回応用物理学関係連合講演会予稿集 19a-P11-23 (2010).

[15] 大西 峻人, 佐野 貴洋, 大見 俊一郎, "ECR スパッタ法により室温形成した HfON 絶縁膜の評価", 第 71 回応用物理学学会学術講演会予稿集 15a-ZA-4 (2010).

[16] 大西 峻人, 佐野 貴洋, 大見 俊一郎, "ECR スパッタ法により窒素組成を制御した HfON 絶縁膜の形成", 第 58 回応用物理学関係連合講演会予稿集 25p-KW-16 (2011).

[17] 大西 峻人, 佐野 貴洋, 大見 俊一郎, "HfON 極薄膜化に向けた ECR プラズマ酸化条件の検討", 第 72 回応用物理学学会学術講演会予稿集 31p-Q-3 (2011).

[18] Takato Ohnishi, Takahiro Sano and Shun-ichiro Ohmi, " Effect of Nitrogen Concentration of HfxNy for HfON Formation Utilizing ECR Plasma Oxidation", G-COE PICE International Symposium and IEEE EDS Minicolloquium on Advanced Hybrid Nano Devices: Prospects by World's Leading Scientists -, (2011).

関連発表

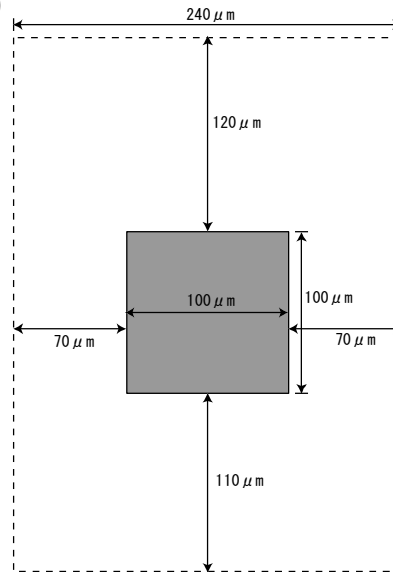
[1] Min Liao, Young-Uk Song, Jumpei Ishikawa, Takahiro Sano, Jun Gao, Hiroshi Ishiwara, and Shun-ichiro Ohmi, "Excellent interface properties of pentacene based metal-oxide-semiconductor diodes utilizing HfON high-k gate insulator", Ext. Abstr. Solid State Devices and Materials, pp. 968-969 (2010).

[2] Min Liao, Young-Uk Song, Jumpei Ishikawa, Takahiro Sano, Jun Gao, and Shun-ichiro Ohmi, "Dielectric layer dependence of electrical and physical properties of pentacene films", 第 57 回応用物理学関係連合講演会予稿集 19a-ZM-21 (2010).

付録 A planar MOSFET 作製用マスク

マスク1(活性領域マスク)
各素子のパターン図

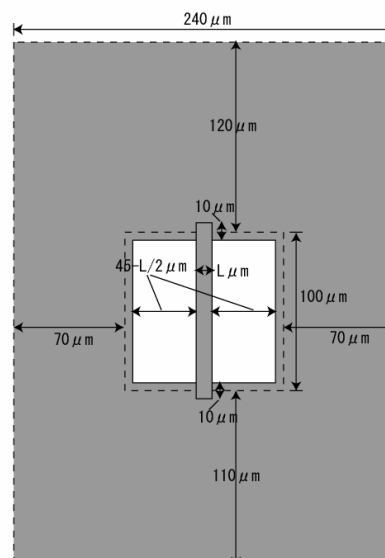
- I. 活性領域
 $100\ \mu\text{m} \times 100\ \mu\text{m}$
 ゲート幅W:
 $100\ \mu\text{m}$
 ゲート長L:
 $1, 2, 3, 5, 7, 10\ \mu\text{m}$
 — マスク1
 素子サイズ



planar MOSFET 作製用マスク#1

マスク2(ゲートマスク)
各素子のパターン図

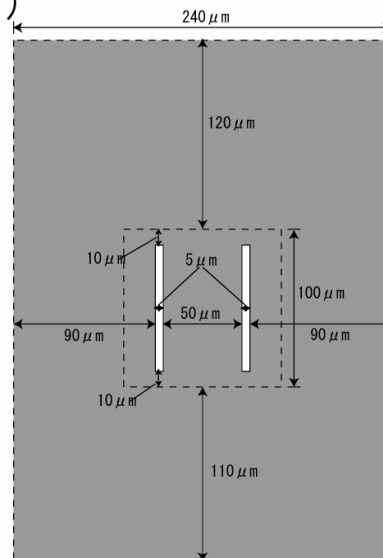
- I. 活性領域
 $100\ \mu\text{m} \times 100\ \mu\text{m}$
 ゲート幅W:
 $90\ \mu\text{m}$
 ゲート長L:
 $1, 2, 3, 5, 7, 10\ \mu\text{m}$
 — マスク2
 マスク1
 素子サイズ



planar MOSFET 作製用マスク#2

マスク3(コンタクトマスク)
各素子のパターン図

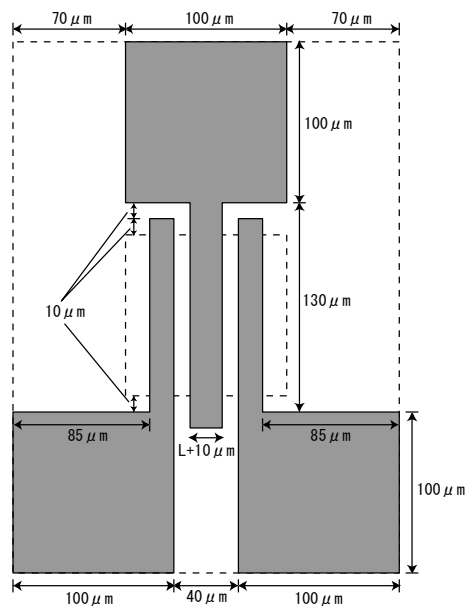
- I. 活性領域
 $100\ \mu\text{m} \times 100\ \mu\text{m}$
 ゲート幅W:
 $90\ \mu\text{m}$
 ゲート長L:
 $1, 2, 3, 5, 7, 10\ \mu\text{m}$
 — マスク3
 マスク1
 素子サイズ



planar MOSFET 作製用マスク#3

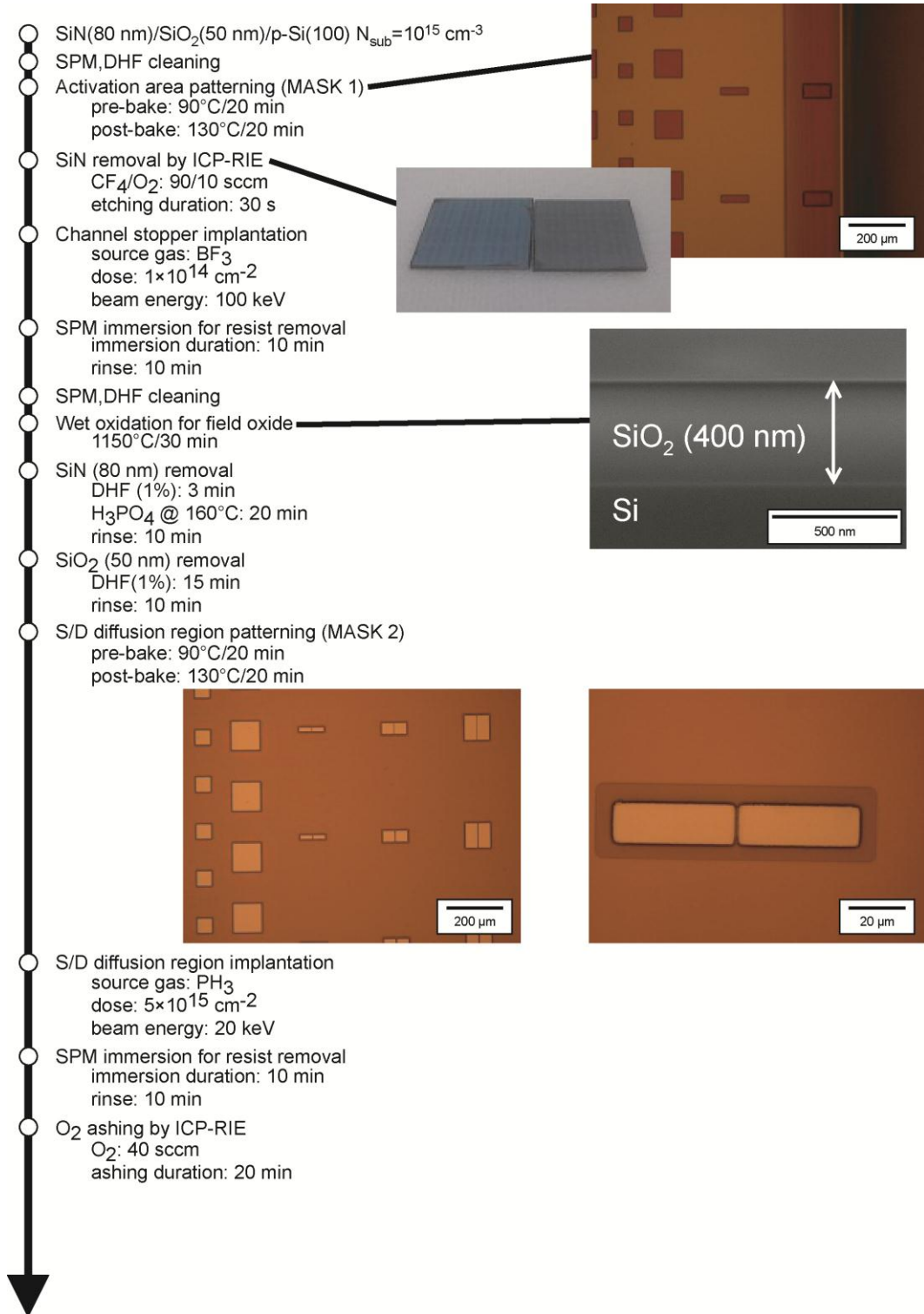
マスク4(電極マスク)
各素子のパターン図

- I. 活性領域
 $100\ \mu\text{m} \times 100\ \mu\text{m}$
 ゲート幅W:
 $100\ \mu\text{m}$
 ゲート長L:
 $1, 2, 3, 5, 7, 10\ \mu\text{m}$
 — マスク4
 マスク1
 素子サイズ

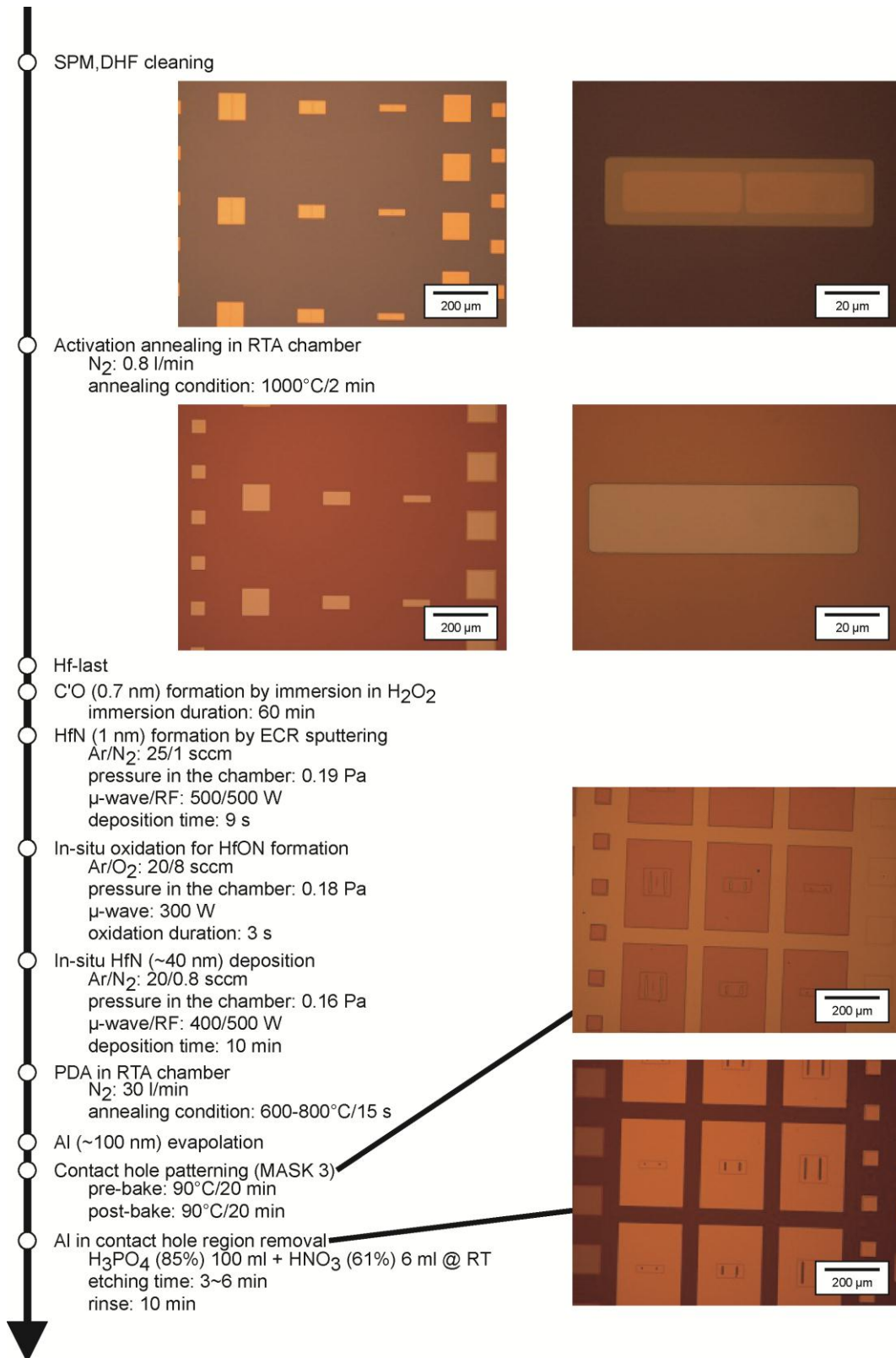


planar MOSFET 作製用マスク#4

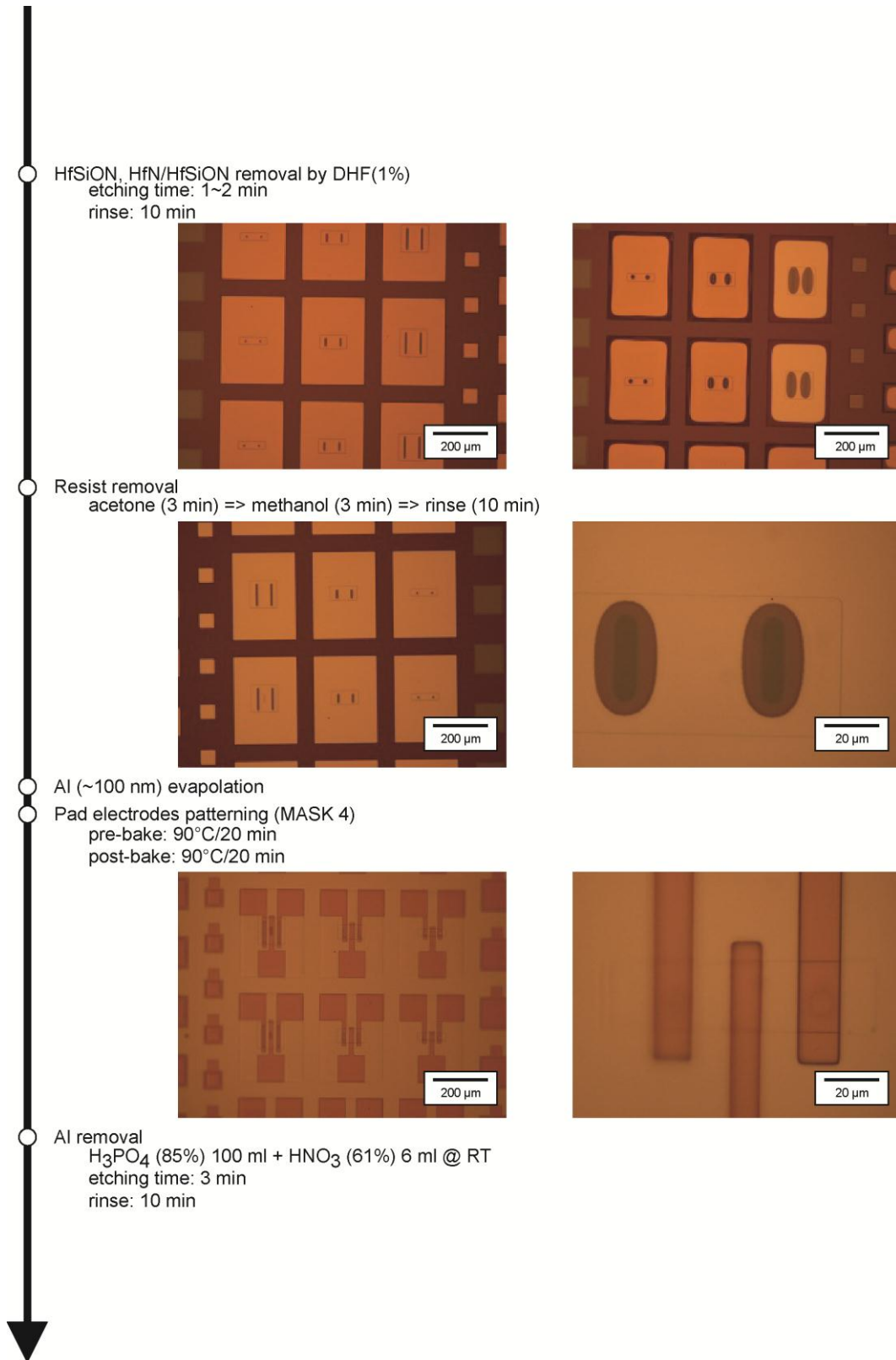
付録 B planar MOSFET 作製プロセスの詳細



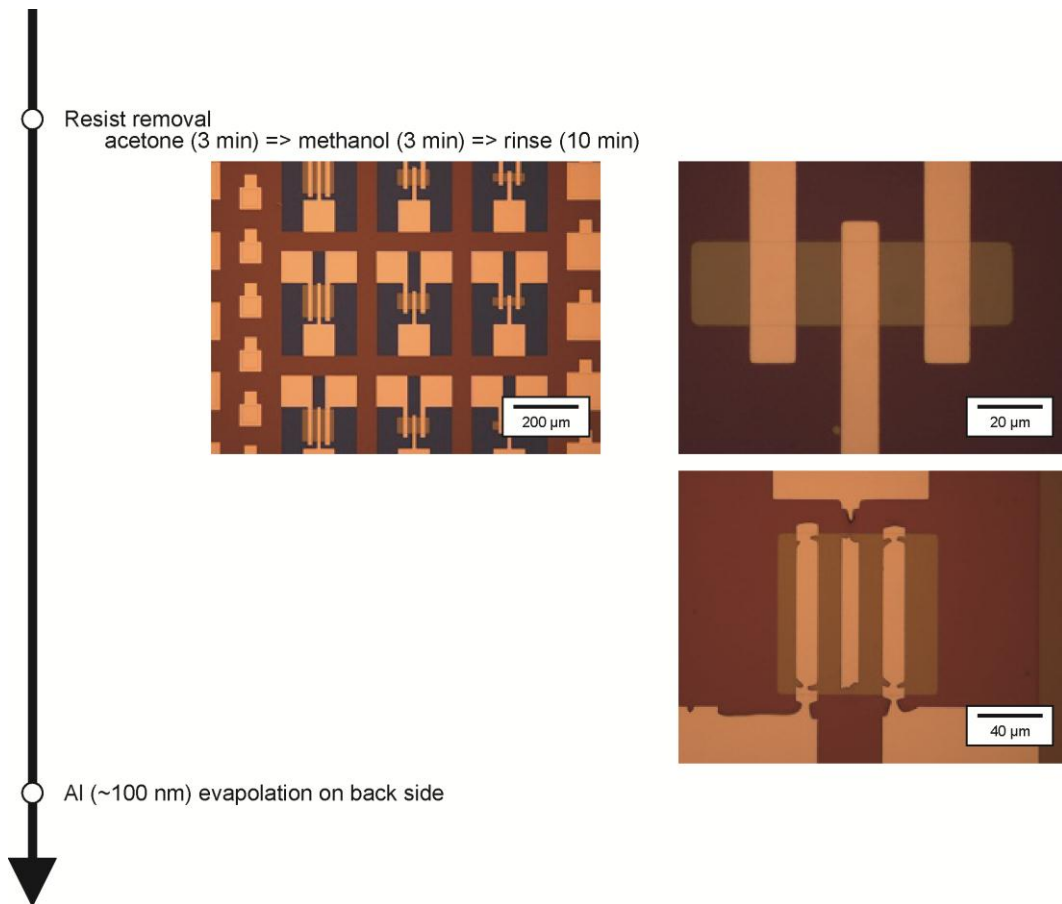
planar MOSFET 作製プロセス 1



planar MOSFET 作製プロセス 2



planar MOSFET 作製プロセス 3



planar MOSFET 作製プロセス 4