

論文 / 著書情報  
Article / Book Information

題目(和文)	電圧制御発振器に基づいた先端CMOSアナログ/デジタル変換器の研究
Title(English)	Study of VCO-Based Analog-to-Digital Converters in Advanced CMOS Technology
著者(和文)	侯宇
Author(English)	Yu Hou
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10357号, 授与年月日:2016年9月20日, 学位の種別:課程博士, 審査員:松澤 昭,益 一哉,高木 茂孝,岡田 健一,伊藤 浩之,塚本 三六
Citation(English)	Degree:., Conferring organization: Tokyo Institute of Technology, Report number:甲第10357号, Conferred date:2016/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

## 論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Yu Hou	
論文審査 審査員		氏名	職名	氏名	職名
	主査	松澤 昭	教授	伊藤 浩之	准教授
	審査員	益 一哉	教授	塚本 三六	富士通研究所 主席研究員
		高木 茂孝	教授		
	岡田 健一	准教授			

### 論文審査の要旨 (2000 字程度)

本論文は“Study of VCO-Based Analog-to-Digital Converters in Advanced CMOS Technology (先端 CMOS 技術における VCO ベースの A/D 変換器の研究)”と題し、英文 6 章からなっている。

第 1 章 “Introduction of ADCs in Advanced CMOS Technology (先端 CMOS 技術における A/D 変換器)”では、本研究の背景と目的、および本論文の構成が述べられている。CMOS 集積回路の微細化と低電圧化に伴い、増幅器の設計が困難になり、増幅器を用いない、微細化の利益を享受する逐次比較型 A/D 変換器が優勢にあることが示され、同様に微細化を享受できるタイムドメイン処理を用いた VCO ベースの A/D 変換器の概要が述べられている。

第 2 章 “Challenge for High-SNDR SAR ADC (高い SNDR を有する逐次比較型 A/D 変換器)”では、逐次比較型 A/D 変換器において、高い SNDR を得る手法が概説され、その効果と限界が示されている。また高い SNDR を得る手法を導入した 12 ビット 50 MSps の逐次比較型 A/D 変換器を設計試作し、その評価結果が示されている。70 dB を超える SNDR の実現は極めて困難であると結論づけられている。

第 3 章 “Characteristics of VCO-Based ADC (VCO ベースの A/D 変換器の特性)”では、VCO ベースの A/D 変換器の概要と基本特性について述べられている。単独で高い SNDR を得ることの困難さ、VCO の位相ノイズがインバンドのノイズフロアを決定すること、電圧・周波数変換係数の非線形性が大きな歪を発生し、大幅なダイナミックレンジの低下を引き起こすため、電圧・周波数変換係数は補償すべきであることが述べられている。

第 4 章 “OP-Amp Free SAR-VCO Hybrid ADC with Second-Order Noise Shaping (演算増幅器を用いない 2 次ノイズシェーピング逐次比較・VCO ベースハイブリッド型 A/D 変換器)”では、初めに電圧・周波数変換係数の線形性補償技術が検討され、VCO ベースの A/D 変換器では 1 mW 以下の消費電力で 70 dB 以上の SNDR が実現した例がないことが示されている。このため、最初に受動型ノイズシェーピング機能を有する逐次比較型 A/D 変換器により、信号振幅を抑えてから VCO ベースの A/D 変換器に入力することで、歪の発生を抑えながら高い SNDR を実現できる A/D 変換器を提案している。更に、エネルギー効率の高いダイナミック型増幅器を用いることで SNDR を上げるとともに、フォアグラウンド校正回路により段間利得誤差を抑えたことが述べられている。提案の A/D 変換器は 65 nm CMOS 技術により設計試作され、シミュレーションにおいて、帯域 5 MHz で 75.7 dB の高い SNDR を実現でき、14.9 fJ/steps の良好な FoM が得られることが示されている。したがって、提案する技術は逐次比較型 A/D 変換器よりも高い SNDR を実現できる方式として有望であることが述べられている。

第 5 章 “All-Digital VCO-Based ADC for Low-Voltage Sensor Application (低電圧センサー用途に向けた完全デジタル VCO ベース A/D 変換器)”では、VCO ベース A/D 変換器の用途として、高い電圧感度が必要なセンサーを取り上げ、時間領域補間、4 クロックエッジシフターなどの技術を用いることで、サブゲート遅延の時間分解能を得られることが述べられている。この考えに基づき、65 nm CMOS 技術で A/D 変換器を設計試作した結果、0.1 V 振幅で 10 MHz 変換時に 0.93 mV/LSB、200 kHz 変換時に 0.52 mV/LSB の高感度特性が得られ、低電圧センサーに対し、効果的な A/D 変換器が実現できることが示されている。

第 6 章 “Conclusion and Future Works (結論と今後の課題)”では、本論文のまとめと提案技術の今後の課題が述べられている。以上を要するに、本論文は先端 CMOS 技術における VCO ベースの A/D 変換器について論じたもので、工学上、学術上貢献するところが大きい。よって我々は本論文が博士(学術)の学位論文として十分に価値があるものと認める。

注意: 「論文審査の要旨及び審査員」は、東工大リサーチポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。