

論文 / 著書情報
Article / Book Information

題目(和文)	CMOS集積回路による分周器を用いない低ジッタクロック発生器の研究
Title(English)	A Study of Low-Jitter Divider-Less CMOS Clock Generators
著者(和文)	ARAVIND THARAYIL NARAYANAN
Author(English)	ARAVIND THARAYIL NARAYANAN
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10564号, 授与年月日:2017年3月26日, 学位の種別:課程博士, 審査員:岡田 健一,松澤 昭,益 一哉,高木 茂孝,伊藤 浩之,滝波 浩二
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第10564号, Conferred date:2017/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Tharayil Narayanan Aravind		
論文審査 審査員		氏名	職名		氏名	職名
	主査	岡田 健一	准教授		伊藤 浩之	准教授
	審査員	松澤 昭	教授	審査員	滝波 浩二	パナソニック 課長
		益 一哉	教授			
高木 茂孝		教授				

論文審査の要旨 (2000 字程度)

本論文は“A Study of Low-Jitter Divider-Less CMOS Clock Generators (CMOS 集積回路による分周器を用いない低ジッタクロック発生器の研究)”と題し、英文五章からなっている。

第一章“Introduction (序論)”では、無線通信や有線通信におけるクロック生成および再生技術の広範な技術背景について説明し、周波数シンセサイザに要求される性能について論じている。

第二章“Clock Generation Using Phase Locked Loops (位相同期回路を用いたクロック生成技術)”では、位相同期回路(PLL: Phase-Locked Loop)の動作原理や、評価指標である位相雑音やジッタについて説明している。アナログ型 PLL について、各構成回路ブロックの動作原理や技術課題について論じている。

第三章“VCO Design for Low-Jitter Clock Generation (低ジッタクロック生成のための電圧制御発振器の設計)”では、PLL の要素回路である電圧制御発振器(VCO: Voltage-Controlled Oscillator)に対し、その低位相雑音化について論じている。従来の Class-C 型の VCO では導通角を狭めるため、バイアス電圧を低くする必要があり、一方で、トランスコンダクタンスを補償するためトランジスタサイズを大きくする必要があり、結果として、チャネル雑音と導通角とのトレードオフが生じる。提案する Pulse 型 VCO ではバイアス電圧をパルス状に制御することで導通角を狭めているため、チャネル雑音の増加は抑制でき、結果として良好な位相雑音特性が実現できる。同じ消費電力の条件において、位相雑音が 5dB 改善可能であることを理論計算および実験により明らかにしている。また、Pulse 型 VCO において交差結合トランジスタが線形領域に入り等価的に共振器の Q 値が劣化する問題がある。この問題を解決するために、電流源トランジスタをパルス状に駆動する回路方式を提案している。180nm CMOS プロセス技術により製造した提案型の VCO は、10kHz 離調周波数での性能指標で -195.0dBc/Hz の世界最高性能を達成している。

第四章“Low-Jitter Clock Generation Using Divider-Less PLL (分周器を用いない PLL を用いた低ジッタクロック生成技術)”では、サブサンプリング技術および注入同期技術を用いた低ジッタなクロック生成方法について論じている。従来、整数通倍のみが可能であったサブサンプリング型の PLL を、位相補間器により分数通倍を可能にする方法を明らかにしている。従来のチャージポンプ型 PLL では可変分周器を用いることで分数通倍を実現しているが、サブサンプリング型では分周器を用いないため、同様の方法を用いることができない。そのため、分周比を変えるのではなく、位相補間器と可変遅延器により位相を変調することで分数分周を実現している。従来の位相補間器では貫通電流の問題により精度が劣化する問題があったが、貫通電流を阻止する回路方式により補間精度を向上させている。65nm CMOS プロセス技術により製造した提案型の PLL は、133fs の RMS ジッタを 6.2mW の消費電力で実現している。PLL の性能指標は-249.5dB であり、分数通倍型 PLL の世界最高性能を達成している。また、信号系列に同期したクロックの生成を行うために、注入同期技術を用いた方式を提案している。提案回路は論理ゲートのみにより構成が可能であり、製造プロセスのスケーリングにあわせて高性能化が可能で回路構成となっている。28nm SOI プロセス技術により製造した提案型のクロック再生器は、10Gbps のクロック再生を 16.1mW の低消費電力で達成している。

第五章“Conclusions and Future Directions (結論と展望)”では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。

以上を要するに、本論文は低消費電力かつ低ジッタなクロック発生技術について論じたもので、工學上、学術上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。