

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Application-Specific Instruction-Set Processor Architectures for Embedded Vision
著者(和文)	XIAO Shanlin
Author(English)	Shanlin Xiao
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第10709号, 授与年月日:2017年12月31日, 学位の種別:課程博士, 審査員:一色 剛,上野 修一,高橋 篤司,原 祐子,中原 啓貴,伊藤 和人
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第10709号, Conferred date:2017/12/31, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Xiao Shanlin		
論文審査 審査員		氏 名	職 名		氏 名	職 名
	主査	一色 剛	教授		中原 啓貴	准教授
	審査員	上野 修一	教授	審査員	伊藤和人(埼玉大学)	教授
		高橋 篤司	教授			
		原 祐子	准教授			

論文審査の要旨 (2000 字程度)

本論文は、Application-Specific Instruction-Set Processor Architectures for Embedded Vision (組込みビジョンのための特殊用途向け命令セットプロセッサアーキテクチャ)と題し、英文 6 章から構成されている。

第一章 Introduction (緒言) では、スマートフォンや様々な組込み機器に搭載されるカメラセンサの台数が飛躍的に増大し、ネットワーク通信量の 7 割が画像データで占めるビッグデータ時代において、画像データから様々な情報を抽出する画像認識処理の重要性が高まる中、膨大な計算量を必要とする画像認識処理をモバイル組込み機器の厳しい消費電力制限下で実装するための技術課題について述べている。その中で、画像認識用途の多様化や画像認識アルゴリズムの進化に対応するために、システム機能をソフトウェアによって柔軟に実現することが必須である一方、汎用組込みプロセッサは膨大な計算量を要する画像認識処理を実現するための演算性能が大幅に不足しており、処理の高速化を図るための専用回路とソフトウェア制御を組み合わせたハードウェア・ソフトウェア協調アーキテクチャが必要であると指摘している。このような背景の下で、本論文は、画像認識処理を低消費電力で実現するために、ソフトウェアによる柔軟性と専用回路による高速処理を両立させた ASIP (Application-Specific Instruction-Set Processor) アーキテクチャとその設計メソドロジーを 2 つの代表的な画像認識アルゴリズムに対して新たに提案し、これらの実装設計により回路規模、消費電力及び処理速度における優位性を実証することが本論文の目的であると述べている。

第二章 Background of Embedded Vision Techniques (組込みビジョン技術の背景) では、画像認識処理を適用した様々な組込みビジョン技術を概観し、画像認識の処理工程、既存の画像認識アルゴリズムとハードウェア構成について解説している。

第三章 ASIP Design Methodology (ASIP 設計メソドロジー) では、ASIP 設計における命令セット設計、特殊用途回路設計、コンパイラ設計とアプリケーションソフトウェア設計を統合化した設計環境について説明し、さらに、画像認識処理用 ASIP 設計において、異なるアルゴリズムで共通する基本命令セット・マイクロアーキテクチャ設計と、各アルゴリズム固有の特殊命令設計・専用回路設計を融合した ASIP 設計手法を提案している。その中で、アルゴリズム固有設計では、各アルゴリズムのソフトウェア実行プロファイルから、専用回路による高速処理が必要な機能群を抽出し、効率的回路実装のためのアルゴリズム改良とメモリ階層最適化が、性能向上と消費電力低減のために極めて効果的である一方、基本命令セット、マイクロアーキテクチャ及び数種類の高速演算命令を共通化することで、設計再利用による設計期間短縮を図れることが大きな優位性であるとしている。

第四章 Object Detection Processor with Haar-like Feature and Ada-Boost Classifier (Haar-like 特徴量と AdaBoost 分類器によるオブジェクト検出プロセッサ) では、多数の classifier (分類器) の縦続接続構成である AdaBoost アルゴリズムを Haar-like 特徴量に適用したオブジェクト検出用プロセッサのアーキテクチャと回路実装結果を示している。その中で、Haar-like 特徴量を高速計算するための integral image (積算画像) 生成用専用回路、3 つの処理並列性 (画像階層並列、画像領域並列、classifier 並列) を効率的に実行するためのメモリ階層とレジスタ構成、SIMD 型 classifier 専用回路、並びに専用回路制御用特殊命令などのアルゴリズム固有 ASIP 設計手法と、基本マイクロアーキテクチャを拡張した ASIP アーキテクチャについて述べている。回路実装結果では、ASIP と同じマイクロアーキテクチャを持つベースプロセッサに比べ 13.7 倍の高速化を達成し、汎用 DSP (Digital Signal Processor) に比べ 6.6 倍の高速化と 18.8 倍の消費電力効率を達成している。また、同アルゴリズムのソフトウェア柔軟性がない既存のハードウェア実装事例と比べ 0.88 倍～31 倍の面積効率 (回路面積と処理速度の比) が示されている。

第五章 Object Detection Processor with HOG Feature and SVM Classifier (HOG 特徴量と SVM 分類器に

よるオブジェクト検出プロセッサ)では、HOG (Histogram of Oriented Gradients) 特徴量を SVM (Support Vector Machine) によってオブジェクト分類するオブジェクト検出用プロセッサのアーキテクチャと回路実装結果を示している。その中で、画素輝度勾配の極座標変換用専用回路と勾配ヒストグラム正規化用専用回路を効率的に実装するための計算アルゴリズムの簡略化手法、これら専用回路の SIMD 並列構成、メモリアクセス数を大幅に削減するためのメモリ階層とレジスタ構成、SVM 計算用専用回路、並びに専用回路制御用特殊命令などのアルゴリズム固有 ASIP 設計手法と、前章の ASIP と同様に、基本マイクロアーキテクチャを拡張した ASIP アーキテクチャについて述べている。回路実装結果では、ベースプロセッサに比べ 63 倍の高速化を達成し、汎用 DSP に比べ 15.7 倍の高速化と 184.8 倍の消費電力効率を実現している。また、同アルゴリズムのソフトウェア柔軟性がない既存ハードウェア実装事例との比較では、0.22 倍～3.1 倍の面積効率と 0.43 倍～1.53 倍の消費電力効率が示されている。

第六章 Conclusion and future works (結言と今後の課題)では、本論文で得られた結果をまとめ、残された課題を述べている。

以上を要するに、本論文は膨大な計算量を要する画像認識処理をソフトウェア柔軟性と低消費電力を両立して実現する技術課題に対し、画像認識処理用 ASIP の効率的な設計メソッドロジーと高性能アーキテクチャを提案し、汎用 DSP に比べて大幅に高い処理性能と消費電力効率を実現し、ソフトウェア柔軟性のないハードウェア実装に匹敵する処理効率を達成したものであり、工学上および学術上貢献することが大きい。よって、我々は本論文が博士(学術)の学位論文として十分価値があるものと認める。