

論文 / 著書情報  
Article / Book Information

題目(和文)	
Title(English)	Hardware-Accelerated Modeling of Large-Scale Networks-on-Chip
著者(和文)	Chu Van Thiem
Author(English)	Thiem Van Chu
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第10994号, 授与年月日:2018年9月20日, 学位の種別:課程博士, 審査員:吉瀬 謙二,横田 治夫,宮崎 純,渡部 卓雄,金子 晴彦
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第10994号, Conferred date:2018/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

## 論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Chu Van Thiem		
論文審査 審査員		氏名	職名		氏名	職名
	主査	吉瀬 謙二	准教授	審査員	金子 晴彦	准教授
	審査員	横田 治夫	教授			
		宮崎 純	教授			
		渡部 卓雄	教授			

### 論文審査の要旨 (2000 字程度)

本論文は「Hardware-Accelerated Modeling of Large-Scale Networks-on-Chip」と題し、英文 7 章から成る。

第 1 章「Introduction」では、今日のコンピューティングシステムの性能と電力効率の更なる向上のために、チップに多数のモジュールを集積するメニーコアプロセッサやアクセラレータなどのアプローチに移行していることを説明している。これらのコンピューティングデバイスではモジュール間の通信が重要であり、高性能な大規模ネットワークオンチップ (Network-on-Chip, NoC) が必要とされることを述べている。また、高精度かつ高速なモデリングの手法が確立されていないため大規模 NoC の研究開発が困難になっていることを示し、本論文の目的が大規模 NoC のための高精度かつ高速なモデリング手法の開発であることを述べている。注目を集めている再構成可能ハードウェアである Field-Programmable Gate Array (FPGA) による高速エミュレーションの概要とともに、FPGA のロジックブロック数とオンチップメモリ容量の制限が高速なモデリングの実現を困難にしていることを述べている。

第 2 章「Background and Related Work」では、研究の背景として NoC, FPGA, NoC モデリングに関する前提知識について説明している。次に、広く用いられているソフトウェアによるシミュレーションと本論文で扱う FPGA によるエミュレーションの両方のアプローチの関連研究を概説し、それぞれの特色について議論している。また、本論文で採用する NoC エミュレーションのモデルをまとめている。

第 3 章「Novel Time-Division Multiplexing Methods」では、数ノードから数十ノードを物理クラスタとして実装する時分割処理により数千ノードの NoC 全体をエミュレーションする新しい手法を提案している。本手法により、FPGA のロジックブロック数の制限を克服でき、サイクルレベルの高い精度で大規模 NoC のエミュレーションが実現可能となる。本章では、多くのネットワークトポロジーのベースである 2 次元メッシュと fat-tree をサポートするアーキテクチャについて詳しく説明している。また、提案手法を用いるために必要となるレジスタ転送レベルのハードウェア記述の変更に関する規則について述べている。

第 4 章「FNoC: An Emulator for NoC Emulation under Synthetic Workloads」では、数千ノードといった大規模 NoC をエミュレーションするために利用可能なトラフィックである synthetic workload を用いたモデリングにおいて、FPGA のオンチップメモリ容量の制限に対処する手法を提案している。この手法が必要となるメモリの容量を削減するため、数千のノードを持つ大規模 NoC のエミュレーションであってもオフチップメモリを使用する必要がない。これにより、システム全体の設計が簡単になるだけでなく低速のオフチップメモリの使用が回避できるため、エミュレーション速度が大幅に向上する。また、第 3 章で提案する時分割処理の手法と組み合わせることで FNoC と名付ける NoC エミュレータを構築し、NoC 研究で頻繁に用いられているソフトウェアシミュレータ BookSim と比較して、同じ結果を提供しつつ大幅な速度向上を達成することを示している。

第 5 章「A Use Case of FNoC in Design and Modeling of a New Routing Algorithm」では、第 4 章で提案する NoC エミュレータの有用性を、2 次元メッシュ NoC のための効果的なルーティングアルゴリズムのモデリングと性能評価によって示している。

第 6 章「Towards NoC Emulation under Trace-Driven Workloads」では、第 4 章で提案する NoC エミュレータを拡張して、トレースデータが利用可能な将来の大規模 NoC のモデリングをサポートするエミュレーション方式を提案している。具体的には、トレースデータを効率的にロードするアーキテクチャと、オフチップメモリへのアクセス時間を隠蔽し、動作周波数と FPGA リソース要件の観点からエミュレーションアーキテクチャのスケラビリティを改善する手法を提案している。また、提案する NoC エミュレータもソフトウェアシミュレータ BookSim と比較して、同じ結果を提供しつつ大幅な速度向上を達成することを示している。

第 7 章「Conclusions and Future Work」では、本論文をまとめるとともに、今後の課題について述べている。

以上を要するに、本論文は、多数のモジュールを集積する将来のメニーコアプロセッサやアクセラレータなどの高効率なコンピューティングデバイスの研究開発を加速するために、大規模 NoC の高精度かつ高速なモデリング手法を提案するものであり、工学上貢献するところが大きい。よって本論文は博士 (工学) の学位論文として十分価値があるものと認める。

注意: 「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ (T2R2) にてインターネット公表されますので、公表可能な範囲の内容で作成してください。