

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Chip Level Integration for High Performance Sputtered-MoS2 nMISFETs
著者(和文)	松浦賢太郎
Author(English)	Kentaro Matsuura
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第11429号, 授与年月日:2020年3月26日, 学位の種別:課程博士, 審査員:若林 整,筒井 一生,宮本 恭幸,渡辺 正裕,角嶋 邦之,小林 正治
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第11429号, Conferred date:2020/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

論文要旨

THESIS SUMMARY

系・コース： 電気電子 系
Department of Graduate major in 電気電子 コース
学生氏名： 松浦 賢太郎
Student's Name

申請学位 (専攻分野)： 博士 (工学)
Academic Degree Requested Doctor of
指導教員 (主)： 若林 整
Academic Supervisor(main)
指導教員 (副)：
Academic Supervisor(sub)

要旨 (和文 2000 字程度)

Thesis Summary (approx.2000 Japanese Characters)

本論文では、スパッタリング法でチップスケールに形成した二硫化モリブデン(MoS₂)薄膜を用いて、トップゲート MoS₂ nMISFETs を実現した。またコンタクト抵抗低減と n 型のノーマリーオフ動作も実証した。

二次元層状物質は、層同士が弱い分子間力のみで結合するため薄膜化しやすく、1 nm 以下の分子層 1 層分のチャネルも実現できる。特に遷移金属ダイカルコゲナイド(TMDC)に属する二次元層状物質 MoS₂ は、シリコンでは移動度が低下してしまう薄膜領域で 200 cm²/V-s 程度の高い移動度を示すため、微細化、高集積化に適している。これは、面外方向に原子の未結合手がなく、薄膜化した際に散乱の影響を受けにくいことが理由である。加えて、単層で 1.9 eV、多層で 1.2 eV と十分なバンドギャップを持ち、柔軟性と光透過性を有しているため、IoT、ウェアラブルデバイスへの応用も期待されている。FET 応用に向けた MoS₂ 膜の課題は、大面積成膜を実現する手法が確立されていないことである。これまで、剥離法、化学気相成長法(CVD)と有機金属気相成長法(MOCVD)が報告されてきているが、いずれもアルカリ金属系や炭素の汚染が懸念される。これらの汚染は、MoS₂ に対してピニング効果を引き起こし、キャリア密度を自動的に増加させ、閾値電圧の制御に影響を与える。そこで、本論文では、高真空下で、大面積に均質な成膜が可能なスパッタリング法を MoS₂ 成膜法に採用している。

第三章では、二層のアルミナ(Al₂O₃)保護膜を導入することで、MoS₂ 膜の側壁まで保護し、プロセス耐性をあげ、チップスケールに MISFETs の作製に成功した。一方で、ノーマリーオン動作と高いコンタクト抵抗が課題として残った。ノーマリーオン動作の原因としてはスパッタ MoS₂ 膜の高いキャリア密度と、Al₂O₃ 膜の高い固定電荷密度(Q_f)、MoS₂/Al₂O₃ 間の高い界面固定電荷密度(Q_{it})が考えられる。また高いコンタクト抵抗の原因には、コンタクト材料である窒化チタン(TiN)が、MoS₂ と合金化しにくいこと、界面に空隙が存在していることが考えられる。

第四、五章では、これらの課題を解決するため、硫黄粉末アニールと二珪素モリブデン(MoS₂)コンタクトについて、それぞれ述べている。スパッタ MoS₂ 膜の高いキャリア密度の原因は、膜中に多数存在する硫黄欠損である。これは X 線光電子分光法(XPS)によってスパッタ MoS₂ 膜の組成比(S/Mo)が 1.76 程度と、理想値である 2.0 よりも小さいことから判明した。この欠損のエネルギ準位は伝導体下端から 0.3 eV しか離れていないことから、n 型のドーパントとして作用し、キャリア密度を増加させることが懸念される。そこで、スパッタ MoS₂ 膜と硫黄粉末を同時に加熱することで、硫黄補填を行う硫黄粉末アニールを導入した。温度、圧力特性を評価した結果、700°C、100 Pa でアニールすることで、スパッタ MoS₂ 膜のキャリア密度を 3.6 x 10¹⁹ cm⁻³ から 1.8 x 10¹⁶ cm⁻³ まで低減することをホール効果測定から確認した。XPS からアニール後の組成比も 2.0 に近い値を示したため、硫黄補填が行われたと結論づけた。MoSi₂ コンタクトは、コンタクト材料側にも Mo 成分を持たせることで、MoS₂ 膜との合金化を促進し、コンタクト抵抗を下げることを狙っている。700°C でフォーミングガス(FG)アニールを行うことで、コンタクト抵抗を 2.6 x 10⁻² Ohm-cm² まで低減することに成功した。TiN をコンタクトとして用いた第三章のデバイスのコンタクト抵抗は 10⁵ Ohm-cm² 程度である。

第六章では、四、五章の技術に加えて、デバイス完成後に FG ガスアニールを導入し、窒化シリコン(SiN)を側壁保護膜として用いた 1 層絶縁膜構造を導入することで、Q_f と Q_{it} の低減を図った。結果として両者の低減により、2.5 x 2.5 cm² のチップ上でノーマリーオフ動作する MISFETs の実証に成功した。Off 電流も 10⁻⁷ μA/μm と小さく、MoSi₂ コンタクトによる I_d-V_{ds} 特性の改善も確認した。一方で、on 電流が小さく、on/off 比が 100 程度、移動度が 0.12 cm²/V-s と先行研究に比べて小さいことが課題として残った。小さい on 電流の原因は、スパッタ MoS₂ 膜の小さいグレインサイズが考えられる。CVD 法で成膜した MoS₂ 膜のグレインサイズが数 10 μm 程度であるのに対し、スパッタ MoS₂ 膜は数 10 nm である。小さいグレインサイズは、キャリアの散乱要因となるため、グレインサイズの増大が重要であり、基板に到達する原子数を制御が求められる。また、FG アニールによってノーマリーオフ動作を実現した一方で、トランスコンダクタンス(g_m)の劣化も確認された。これは、FG アニールによって、チャネルとして機能する領域が増大したためである。チャネル領域は、横方向が縦方向よりも短い長方形であったため、横方向の増大が支配的となり、g_m の劣化につながったと考えられる。

本研究は、スパッタ MoS₂ nMISFETs のチップサイズ集積化における基盤プロセスを確立し、その特性改善も実現した。ベンチマークの結果、トップゲート構造かつノーマリーオフ動作をもつ MoS₂-nMISFETs は世界で初めての事例であり、MoS₂-FET の先行研究に匹敵し、最新の Si FINFET よりも小さい off 電流を持つことが判明した。MoS₂ のみならず TMDC を用いた低消費電力回路の実現、IoT、ウェアラブルデバイスへの応用を推し進めるものと期待している。(2018 文字)

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

(博士課程)
Doctoral Program

論文要旨

THESIS SUMMARY

系・コース： Department of, Graduate major in	電気電子 電気電子	系 コース	申請学位 (専攻分野)： Academic Degree Requested	博士 Doctor of	(工学)
学生氏名： Student's Name	松浦 賢太郎		指導教員 (主)： Academic Supervisor(main)	若林 整	
			指導教員 (副)： Academic Supervisor(sub)		

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

In this thesis, normally-off sputtered molybdenum disulfide (MoS_2) n MISFETs with a top gate configuration are demonstrated with chip level integration process. A MoS_2 film, one of the transition-metal di-chalcogenide (TMDC), exhibits high mobility of approximately $200 \text{ cm}^2/\text{V}\cdot\text{s}$ in an extremely small thickness of 0.65 nm. The MoS_2 film has flexibility and transparency, and it is expected to be applied for Internet of Things (IoT) and wearable electronics. The MoS_2 thin films have largely relied on the mechanical exfoliation method, chemical vapor deposition (CVD) and Metal Organic CVD methods. However, the contamination of alkali metal or carbon is concerned. Therefore, radiofrequency-magnetron sputtering is selected for MoS_2 thin and large film. A passivation film for MoS_2 film as the sidewall realizes a test elementary group of MISFETs on a chip whose area is $2.5 \times 2.5 \text{ cm}^2$. However, high contact resistance and normally-on operation are a challenge. Hence, a MoSi_2 contact is introduced and reduces the contact resistance down to $2.6 \times 10^{-2} \text{ Ohm}\cdot\text{cm}^2$. The causes of normally-on operation are 1) high carrier density of sputtered MoS_2 film due to sulfur vacancies, 2) residual photo resist and 3) high interface trap density (Q_{it}) between MoS_2 and aluminum oxide (Al_2O_3) films and positive fixed charge (Q_f) of Al_2O_3 film. Sulfur powder annealing (SPA) compensates for sulfur vacancies and reduces the carrier density down to $1.8 \times 10^{16} \text{ cm}^{-3}$. Piranha cleaning removes the photo resist. A forming gas (F.G.) annealing further reduces Q_{it} and Q_f , simultaneously. As a result, normally-off sputtered MoS_2 n MISFETs is achieved. Although F.G. annealing decreases transconductance due to the increase in the effective channel length and on current is needed to be increased by controlling the number of nucleation site during sputtering, the low off current of $10^{-6}\sim 10^{-7} \mu\text{A}/\mu\text{m}$ is successfully observed and compatible with previous reports. This is the first report showing the normally-off operation with top-gate, which would realize the integrated circuits having low energy consumption using TMDC in the future. (323 words)

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note: Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).