

論文 / 著書情報  
Article / Book Information

題目(和文)	
Title(English)	Chip Level Integration for High Performance Sputtered-MoS2 nMISFETs
著者(和文)	松浦賢太郎
Author(English)	Kentaro Matsuura
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第11429号, 授与年月日:2020年3月26日, 学位の種別:課程博士, 審査員:若林 整,筒井 一生,宮本 恭幸,渡辺 正裕,角嶋 邦之,小林 正治
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第11429号, Conferred date:2020/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

(博士課程)

## 論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	松浦 賢太郎	
論文審査 審査員		氏名	職名	氏名	職名
	主査	若林 整	教授	角嶋 邦之	准教授
	審査員	筒井 一生	教授	小林 正治	准教授
		宮本 恭幸	教授		
		渡辺 正裕	准教授		

### 論文審査の要旨 (2000 字程度)

本論文は、「Chip Level Integration for High Performance Sputtered-MoS<sub>2</sub> nMISFETs」(「スパッタ堆積 MoS<sub>2</sub> 薄膜チャネルを用いた高性能 nMISFETs に向けたチップレベル集積化」と題し、英文 7 章で構成されている。

第 1 章「Introduction」では、本研究の導入として IoT 技術の重要性を述べている。

第 2 章「Research Background and motivation」では、研究の背景と目的について述べている。特に遷移金属ダイカルコゲナイド(TMDC)に属する二次元層状物質 MoS<sub>2</sub> は、シリコンでは移動度が低下してしまう薄膜領域で 200 [cm<sup>2</sup>/V-s]程度の高い移動度を示すため、微細化や高集積化に適していることを述べている。加えて、単層で 1.9 eV、多層で 1.2 eV と十分なバンドギャップを持ち、柔軟性と光透過性を有しているため、IoT やウェアラブルデバイスへの応用も期待されることを述べている。そこで本論文では、高真空下で大面積に均質な成膜が可能であるスパッタリング法が有効であることを述べている。

第 3 章「First report of top-gate sputtered MoS<sub>2</sub>-nMISFETs with H<sub>2</sub>S annealing, TiN contact and Al<sub>2</sub>O<sub>3</sub> passivation」では、二層のアルミナ(Al<sub>2</sub>O<sub>3</sub>)保護膜を導入することで、MoS<sub>2</sub> 膜の側壁まで保護し、プロセス耐性をあげ、チップスケール MISFETs の作製に成功したことについて述べている。その一方で、ノーマリーオン動作と高いコンタクト抵抗が課題として残ったことを述べている。またノーマリーオン動作の原因として、スパッタ MoS<sub>2</sub> 膜の高いキャリア密度と、Al<sub>2</sub>O<sub>3</sub> 膜の高い固定電荷密度、MoS<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 間の高い界面固定電荷密度が考えられること、また高いコンタクト抵抗の原因には、コンタクト材料である窒化チタン(TiN)が MoS<sub>2</sub> と合金化しにくいことが考えられることを述べている。

第 4 章「Sulfur Powder Annealing (SPA) for compensation of sulfur vacancies in sputtered MoS<sub>2</sub> film」および第 5 章「MoSi<sub>2</sub> contact for reducing contact resistance of MoS<sub>2</sub>-FET」では、これらの課題を解決するため、硫黄粉末アニールと二珪化モリブデン(MoSi<sub>2</sub>)コンタクトについてそれぞれ述べている。まずスパッタ MoS<sub>2</sub> 膜と硫黄粉末を同時に加熱することで、硫黄粉末を用いた硫黄補填アニールにより、スパッタ MoS<sub>2</sub> 膜のキャリア密度を 3.6 x 10<sup>19</sup> cm<sup>-3</sup> から 1.8 x 10<sup>16</sup> cm<sup>-3</sup> まで低減したことについて述べている。一方 MoSi<sub>2</sub> コンタクトについて、700°C でフォーミングガス(F.G.)アニールにより MoS<sub>2</sub> 膜との合金化を促進し、コンタクト抵抗を 2.6 x 10<sup>-2</sup> Ohm-cm<sup>2</sup> まで低減することに成功したことについて述べている。

第 6 章「Normally-off top-gate sputtered MoS<sub>2</sub>-nMISFET with SPA, MoSi<sub>2</sub> contact」では、窒化シリコン(SiN)を側壁保護膜導入による 1 層ゲート絶縁膜構造を導入し、さらに最終工程に F.G.ガスアニールを導入することで、アルミナ(Al<sub>2</sub>O<sub>3</sub>)ゲート絶縁膜の固定電荷密度や MoS<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 間の界面固定電荷密度の低減を図り、2.5 x 2.5 cm<sup>2</sup> チップ上 nMISFETs のノーマリーオフ動作の実証に成功したことについて述べている。Off 電流は 10<sup>-7</sup> um/uA と小さい一方で、on 電流が依然として小さく、その結果 on/off 比が 100 程度、移動度が 0.12 cm<sup>2</sup>/V-s と先行研究に比べて小さいことが課題として残ったことについて述べている。

第 7 章「Conclusions」では、本研究で得られた結果をまとめ、今後の展望について述べている。特に、スパッタリング法でチップスケールに形成した二硫化モリブデン(MoS<sub>2</sub>)薄膜を用いて、トップゲート MoS<sub>2</sub> nMISFETs のコンタクト抵抗低減と世界初 n 型のノーマリーオフ動作も実証し、MoS<sub>2</sub> のみならず二次元半導体を用いた低消費電力回路の実現、IoT、ウェアラブルデバイスへの応用が期待されることを述べている。さらなる高性能化に向けて、グレインサイズを大きくするために基板に到達する原子の数を制御することが重要であり、スパッタ時の圧力やガス流量、基板間距離などの最適化が求められることを述べている。

以上を要するに本論文は、スパッタ堆積 MoS<sub>2</sub> 薄膜チャネルを用いた高性能 nMISFETs に向けたチップレベル集積化に関する検討を行ったもので、工学上並びに工業上寄与するところが大きい。よって我々は本論文が博士(工学)の学位論文として十分価値あるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。