

論文 / 著書情報
Article / Book Information

| | |
|-------------------|--|
| 題目(和文) | 低圧系統連系向けモジュラー・マルチレベル変換器の小型・低損失化に関する研究 |
| Title(English) | |
| 著者(和文) | 新井卓郎 |
| Author(English) | Takurou Arai |
| 出典(和文) | 学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第12083号, 授与年月日:2021年9月24日, 学位の種別:課程博士, 審査員:藤田 英明,千葉 明,萩原 誠,竹内 希,河邊 賢一 |
| Citation(English) | Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第12083号, Conferred date:2021/9/24, Degree Type:Course doctor, Examiner:,,,, |
| 学位種別(和文) | 博士論文 |
| Type(English) | Doctoral Thesis |

東京工業大学 工学院

<< 博士論文 >>

低圧系統連系向け
モジュラー・マルチレベル変換器の
小型・低損失化に関する研究

令和3年9月

指導教員 藤田 英明 教授

提出者

専攻 電気電子系 電気電子コース

氏名 新井 卓郎

目次

| | |
|-------------------------------------|-----------|
| 第 1 章 序論 | 1 |
| 1.1 研究背景 | 1 |
| 1.1.1 パワーエレクトロニクス | 1 |
| 1.1.2 系統連系変換器の低コスト化 | 2 |
| 1.1.3 系統連系変換器の技術動向 | 4 |
| 1.1.4 低圧系統連系向け MMC への期待と課題 | 9 |
| 1.2 研究目的 | 12 |
| 1.3 本論文の構成 | 14 |
| 第 2 章 モジュラー・マルチレベル変換器の技術動向 | 17 |
| 2.1 MMC の回路構成 | 17 |
| 2.1.1 MMC ファミリー | 17 |
| 2.1.2 その他の主回路構成 | 19 |
| 2.1.3 セルコンデンサ間のバランス回路 | 21 |
| 2.2 MMC の制御 | 23 |
| 2.2.1 MMC の変調法 | 23 |
| 2.2.2 位相シフト PWM でのコンデンサ電圧バランス制御 | 24 |
| 2.2.3 セルコンデンサ小型化のための制御 | 26 |
| 2.3 低圧系統連系向け MMC の技術的課題 | 26 |
| 第 3 章 NPC-MMC によるセルコンデンサの小型化 | 29 |
| 3.1 NPC-MMC | 29 |
| 3.1.1 回路構成 | 29 |

| | | |
|------------|---|-----------|
| 3.1.2 | NPC-MMC の制御原理 | 31 |
| 3.1.3 | NPC-MMC の電圧・電流方程式 | 32 |
| 3.2 | パワーフロー解析 | 34 |
| 3.2.1 | NPC-MMC のパワーフローの導出 | 34 |
| 3.2.2 | 交流系統と直流コンデンサ, およびセル間のパワーフロー | 36 |
| 3.2.3 | 正側負側変換器アーム間および正側負側直流コンデンサ間のパ ワーフロー | 37 |
| 3.2.4 | パワーフローに基づいたコンデンサ電圧バランス制御 | 38 |
| 3.3 | コンデンサ蓄積エネルギー | 39 |
| 3.3.1 | 従来の MMC に必要なコンデンサ蓄積エネルギー | 39 |
| 3.3.2 | NPC-MMC に必要なコンデンサ蓄積エネルギー | 42 |
| 3.4 | 高調波重畳によるセルコンデンサ蓄積エネルギーのさらなる低減 | 44 |
| 3.5 | 実験結果 | 49 |
| 3.5.1 | 実験回路構成 | 49 |
| 3.5.2 | パワーフロー解析の実験検証 | 50 |
| 3.5.3 | 蓄積エネルギーの実験検証 | 52 |
| 3.5.4 | 高調波重畳によるセルコンデンサ電圧リップル低減制御の実験検証 | 55 |
| 3.5.5 | 電力変換損失 | 58 |
| 3.6 | 3章のまとめ | 60 |
| 第4章 | 検出回路を削減可能なバランス回路付き MMC の低損失化 | 63 |
| 4.1 | バランス回路を接続した MMC | 63 |
| 4.1.1 | 回路構成と動作原理 | 63 |
| 4.1.2 | スイッチングパターンと制御 | 65 |
| 4.2 | 高効率化のためのバランス回路の設計 | 66 |
| 4.2.1 | バランス回路のスイッチングモード | 67 |
| 4.2.2 | スイッチングリップル電圧で発生する損失の解析 | 68 |
| 4.2.3 | アンバランス電圧の減衰時定数 | 72 |
| 4.3 | セルコンデンサの短絡を防止するバランス回路の転流方法 | 73 |
| 4.4 | スイッチングリップル電圧で発生する損失の検証 | 75 |
| 4.5 | 実験結果 | 78 |

| | | |
|--|-------------------------|------------|
| 4.5.1 | 実験システム | 78 |
| 4.5.2 | アンバランス電圧の抑制効果の検証 | 80 |
| 4.5.3 | 短絡損失低減の実験検証 | 84 |
| 4.5.4 | 変換損失の実験検証 | 85 |
| 4.6 | コスト評価 | 88 |
| 4.7 | 4章のまとめ | 89 |
| 第5章 PWM-ch 数削減とコンデンサリプル電流低減を両立する疑似ユニポーラ変調 | | 91 |
| 5.1 | MMC を適用したアクティブフィルタとその課題 | 91 |
| 5.1.1 | 回路構成 | 91 |
| 5.1.2 | MMC アクティブフィルタの制御 | 92 |
| 5.1.3 | MMC アクティブフィルタの課題 | 93 |
| 5.2 | ブリッジセルの従来の変調法 | 94 |
| 5.2.1 | ブリッジセルの出力電圧とセルコンデンサ電流 | 94 |
| 5.2.2 | ユニポーラ変調 | 95 |
| 5.2.3 | バイポーラ変調 | 96 |
| 5.3 | 疑似ユニポーラ変調 | 98 |
| 5.3.1 | PWM 出力の分配方法 | 98 |
| 5.3.2 | クラスタ電圧 | 99 |
| 5.3.3 | 個別バランス制御 | 100 |
| 5.4 | セルコンデンサのリプル電流解析 | 102 |
| 5.5 | 実験結果 | 104 |
| 5.5.1 | 実験システム | 104 |
| 5.5.2 | 各変調法の実験波形 | 105 |
| 5.5.3 | セルコンデンサ電流と損失の実験検証 | 111 |
| 5.6 | 5章のまとめ | 114 |
| 第6章 結論 | | 117 |
| 6.1 | 本研究の成果 | 117 |
| 6.2 | 今後の展開 | 119 |

| | |
|------|-----|
| 謝辭 | 121 |
| 参考文献 | 123 |
| 研究業績 | 137 |

表 目 次

| | | |
|-----|--|-----|
| 3.1 | 従来の MMC と NPC-MMC のパワーフロー | 37 |
| 3.2 | NPC-MMC の実験回路定数 | 49 |
| 4.1 | 3セルで構成される変換器アームにバランス回路を接続した場合のスイッチングパターン | 67 |
| 4.2 | バランス回路を接続した NPC-MMC の実験回路定数 | 79 |
| 4.3 | コスト計算のための設計例 (3相 200 V-10 kW) | 88 |
| 5.1 | ブリッジセルの出力電圧とセルコンデンサ電流 | 94 |
| 5.2 | セルコンデンサ電流を最小化するブリッジセルのゲートペア | 104 |
| 5.3 | MMC アクティブフィルタの回路定数 | 105 |
| 5.4 | 疑似ユニポーラ変調の場合の各セルコンデンサ電流実効値 | 113 |

目 次

| | | |
|------|---|----|
| 1.1 | Power One 社の PV インバータ (Aurora) のコスト内訳例 [7] | 3 |
| 1.2 | 2 レベル変換器 | 7 |
| 1.3 | 代表的な 5 レベルマルチレベル変換器の回路構成 [32, 35–37] | 8 |
| 1.4 | MOSFET のオン抵抗と価格 (合計耐圧 600 V の場合) | 10 |
| 1.5 | SOP Advance(5.0×6.0×0.95mm) [48] | 10 |
| 2.1 | MMC の代表的な回路構成 [54] | 18 |
| 2.2 | MMC の変形例 [58–60, 62, 64, 65] | 20 |
| 2.3 | セルコンデンサ電圧を自動でバランスできる MMC [67, 68, 72] | 22 |
| 2.4 | MMC のキャリア波 | 23 |
| 2.5 | MMC (DSCC) のパワーフロー | 25 |
| 3.1 | 従来の MMC と NPC-MMC の 1 相分の回路構成 | 30 |
| 3.2 | NPC-MMC のスイッチングシーケンスと動作波形 | 31 |
| 3.3 | 変換器アームの電圧波形 | 32 |
| 3.4 | NPC-MMC の循環電流経路 | 33 |
| 3.5 | NPC-MMC のパワーフロー | 36 |
| 3.6 | MMC に必要な蓄積エネルギー ($m = 0.93$, $f = \omega/2\pi = 50$ Hz) | 41 |
| 3.7 | NPC-MMC に必要な蓄積エネルギー ($m = 0.93$, $f = \omega/2\pi = 50$ Hz) | 44 |
| 3.8 | 合計蓄積エネルギーの比較 ($m = 0.93$, $f = \omega/2\pi = 50$ Hz) | 45 |
| 3.9 | 高調波重畳時の理論波形とそのスペクトル | 46 |
| 3.10 | 高調波重畳によるリップル低減制御を適用した場合の蓄積エネルギー | 47 |
| 3.11 | 低圧 MOSFET を使用した NPC-MMC の実験回路基板 (1 相分) | 48 |

| | | |
|------|--|----|
| 3.12 | 正側アームのセルコンデンサと負側アームのセルコンデンサに異なる指令値を与えた場合の実験波形 | 50 |
| 3.13 | 正側直流コンデンサと負側直流コンデンサに異なる指令値を与えた場合の実験波形 | 51 |
| 3.14 | リップル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kW 整流器運転) | 52 |
| 3.15 | リップル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kvar 容量性運転) | 53 |
| 3.16 | リップル低減制御を適用しない場合の NPC-MMC の実験波形 (-10 kW インバータ運転) | 54 |
| 3.17 | リップル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kvar 誘導性運転) | 55 |
| 3.18 | リップル低減制御を適用した場合の NPC-MMC の実験波形 (10 kW 整流器運転) | 56 |
| 3.19 | リップル低減制御を適用した場合の NPC-MMC の実験波形 (10 kvar 容量性運転) | 57 |
| 3.20 | リップル低減制御を適用した場合の NPC-MMC の実験波形 (-10 kW インバータ運転) | 58 |
| 3.21 | リップル低減制御を適用した場合の NPC-MMC の実験波形 (10 kvar 誘導性運転) | 59 |
| 3.22 | 測定した電力変換効率と損失 (ゲート損失やバッファリアクトル損失含む) | 60 |
| 4.1 | バランス回路を接続した MMC | 64 |
| 4.2 | 抵抗付きバランス回路を接続した変換器アームの回路構成 | 65 |
| 4.3 | バランス回路を接続した MMC の制御ブロック図 | 66 |
| 4.4 | バランス回路のスイッチングモード | 68 |
| 4.5 | バランス回路電流とセルコンデンサ電圧波形 (HSB の場合) | 70 |
| 4.6 | バランス回路電流とセルコンデンサ電圧波形 (LSB の場合) | 71 |
| 4.7 | 転流時におけるスイッチングモード | 73 |
| 4.8 | 転流時におけるバランス回路のスイッチング状態と波形 | 75 |
| 4.9 | バランス回路の損失とバランス電流のシミュレーション結果 (HSB の場合) | 76 |

| | | |
|------|---|-----|
| 4.10 | バランス回路の損失とバランス電流のシミュレーション結果 (LSB の場合) | 77 |
| 4.11 | バランス回路を接続した NPC-MMC の実験回路構成 | 78 |
| 4.12 | バランス回路を接続した NPC-MMC の実験回路基板 | 80 |
| 4.13 | バランス回路によって電圧偏差が減衰する実験波形 | 81 |
| 4.14 | 定常状態における 10 kW 整流器運転時の実験波形 | 82 |
| 4.15 | 定常状態における 10 kW インバータ運転時の実験波形 | 83 |
| 4.16 | ゲートドライブ回路 | 84 |
| 4.17 | セルコンデンサの短絡が生じた場合のバランス回路の実験波形 | 85 |
| 4.18 | セルコンデンサの短絡を防止した場合のバランス回路の実験波形 | 86 |
| 4.19 | 変換損失の比較 | 87 |
| 4.20 | 推定コスト | 89 |
| | | |
| 5.1 | MMC を適用したアクティブフィルタ | 92 |
| 5.2 | MMC アクティブフィルタの制御ブロック図 | 93 |
| 5.3 | ブリッジセルのスイッチングモード | 95 |
| 5.4 | バイポーラ変調を適用した場合の出力電圧波形 ($N = 3$) | 97 |
| 5.5 | スイッチング素子への PWM 出力の分配方法 ($N = 3$) | 98 |
| 5.6 | 疑似ユニポーラ変調を適用した場合の出力電圧波形 ($N = 3$) | 99 |
| 5.7 | 疑似ユニポーラ変調に適した個別バランス制御ブロック図 | 101 |
| 5.8 | 変調法ごとのセルコンデンサリップル電流の解析波形 | 103 |
| 5.9 | キャリア位相差とセルコンデンサ電流実効値の関係 ($i_{cls} = 9.4 \text{ A}$) | 104 |
| 5.10 | 実験システム | 106 |
| 5.11 | バイポーラ変調を適用した場合の実験波形 (PWM 9ch) | 108 |
| 5.12 | ユニポーラ変調を適用した場合の実験波形 (PWM 18ch) | 109 |
| 5.13 | 疑似ユニポーラ変調を適用した場合の実験波形 (PWM 9ch) | 110 |
| 5.14 | 提案する個別バランス制御を適用したセルコンデンサ電圧波形 | 111 |
| 5.15 | クラスタ電流とセルコンデンサ電流の実験波形 | 112 |
| 5.16 | セルコンデンサ電流実効値の比較 | 113 |
| 5.17 | MMC アクティブフィルタの損失 | 114 |

第 1 章

序論

本章では、本論文で対象としている低圧系統連系変換器の課題を説明し、コスト低減に必要な技術開発の方向性を述べる。研究の目的として、低耐圧 MOSFET を適用したモジュラー・マルチレベル変換器が低コスト化の候補になることを説明し、実用化のために解決すべき技術課題を挙げる。また、本論文の構成を概説する。

1.1 研究背景

1.1.1 パワーエレクトロニクス

パワーエレクトロニクスは電力を変換する技術分野である。電力変換を行う装置を電力変換器と呼び、その応用先は民生用から産業用など多岐にわたる。たとえば電車には、モータを駆動する電力変換器（インバータとも呼ばれる）が床下に収納されており、架線からパンタグラフを介して一律に供給される電圧（例：直流 1500 V）をモータの回転数に応じた可変周波数の電圧に変換している。スマートフォンの充電器もパワーエレクトロニクスの技術を利用しており、家庭用コンセントの交流 100 V を直流 5 V（USB の電源電圧）に変換し、スマートフォンのバッテリーに供給する。電力変換と呼ばれているが、電力そのものを変えているわけではなく、電力 $[W] = \text{電圧} [V] \times \text{電流} [A]$ で表されるように、実際には電圧や電流を任意の形に変換している。このとき、元の電力^{注1}（入力電力）と変換後の電力（出力電力）は同じ値であることが望ましく、その差異は電力変換損失となる。電力変換損失は無駄な電力であるだけでなく、変換装置内で熱を発生させるため、温度上昇を抑制するための冷却装置を設けたり、冷却効率を上げる

^{注1} 正確には平均電力。

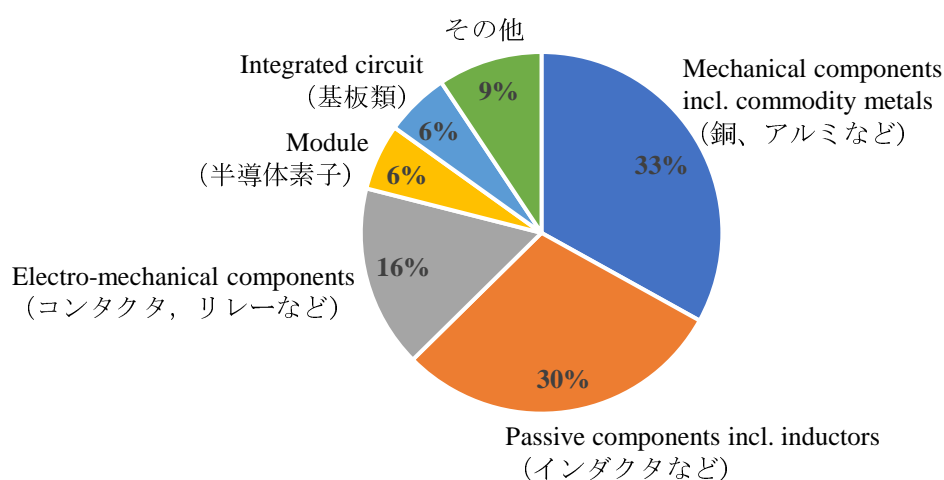
ために装置の大型化を招く。パワーエレクトロニクスの研究・開発の究極の目的とは、この電力変換損失をゼロにすることと言っても過言ではない。また、パワーエレクトロニクスの概念は、1973年にW. E. Newellによってパワー（電力・電力機器）とエレクトロニクス（電子・回路・半導体）、コントロール（制御）にまたがる複合技術分野として説明されている [1]。このように、パワーエレクトロニクスの研究では、電力変換損失低減のために、電力工学・回路工学・半導体工学・制御工学の観点で開発を行うことが重要になる。

1.1.2 系統連系変換器の低コスト化

世界的な脱炭素化の流れの中、これまで以上に再生可能エネルギーの活用が見込まれている。我が国でも「2050年カーボンニュートラル」を宣言し、グリーンイノベーション基金事業として大規模な研究開発が計画されている。再生可能エネルギーで注目されている太陽光、風力、蓄電池といった機器を電力源として利用するには、既存の交流系統に接続する必要がある。これらの機器は直流電力や可変周波数の交流電力を利用しているため、再生可能エネルギーと交流系統の間にはインターフェースとなる系統連系変換器が必要になる。現在でも太陽光発電や蓄電池向けのパワーコンディショナ、無停電電源装置（UPS：Uninterruptible Power Supply）、電力回生が可能なモータドライブシステムなどを中心に系統連系変換器が適用されている。今後も、脱炭素化に向けた再生可能エネルギーの導入量増大に比例して、系統連系変換器の需要はさらに高まってくると考えられる。

ほとんどの系統連系変換器には電圧形変換器が用いられており、矩形波状の高調波を多く含んだパルス電圧を出力する。変換器が接続される交流系統は低インピーダンスな電圧源であるため、高調波電圧に対してインピーダンスの高い交流フィルタが必要になる [2,3]。交流フィルタはリアクトルから構成されるローパスフィルタであり、高調波電流が交流系統へ流出することを防止する。しかし、リアクトルの主な材料は鉄心と銅線であり、大型かつ重く、コストが非常に大きいことが問題である。したがって、系統連系変換器の交流フィルタの小型化が求められている [4]。

系統連系変換器から流出する高調波電流は、さまざまな制約や規制によって制限されている。当然のことながら、スイッチングに伴う高調波電流は変換器自体や交流フィルタに流れることで損失を増加させるため、適切に抑制しなければならない。高調波抑制



Source: IHS iSuppli December 2011

図 1.1: Power One 社の PV インバータ (Aurora) のコスト内訳例 [7]

対策ガイドライン [5] では、受電点から交流系統へ流出する高調波電流の上限が各次数ごとに決められている。電圧形変換器は換算係数がゼロであり、実質的な規制はされていないものの、高調波電流の目安として用いられることがある。また、太陽光発電設備などを系統連系する場合には、Grid code や系統連系規程に基づいた認証を受けたり、個別に電力会社へ高調波電流歪率を申告する必要がある。この場合、高調波電流（40 次まで）の総合歪率は 5%以下、各次 3%以下が求められる [6]。より高い次数の高調波電流の規制として、EMC 規格として CISPR（国際無線障害特別委員会）では 150 kHz から 30 MHz までの伝導ノイズが規制されている。現状では、半導体素子のスイッチング周波数である数 kHz から数十 kHz を直接規制する国際的な規格は定められていないが、周波数帯の利用拡大に伴い、150 kHz 以下の周波数帯においても規制を設ける動きが活発化している。

スイッチング周波数を上げることで、高調波に関する制約や規制を満足しつつ、必要なインダクタンス値を低減し交流フィルタを小型化することができる。しかしこの場合、素子のスイッチング損失が増大し、冷却のために大きなヒートシンクやファンが必要になる。このように、低コスト化に必要な交流フィルタの小型化は、低損失化とトレードオフの関係にある。

系統連系変換器の一例として、図 1.1 に Power One 社の PV インバータ (Aurora

PVI-4.2-OUTD-S-US) の部材費コスト内訳例を示す [7]。製品仕様は単相 200 V-4.2 kW であり、最高効率 は 96.8% である [8]。部材費合計でおよそ 7 万円 (\$641 [7]) のうち、アルミヒートシンクや銅配線、筐体といった材料が 33% を占めている。PV インバータは屋外使用が想定され、密閉された構造であるため、筐体やヒートシンクの価格は比較的高い。ヒートシンク削減のために冷却ファンを使用することで材料コストを低減することもできるが、冷却ファンは回転部品であるため定期交換が必要で、外気取り込みによる故障増加も問題となる [9]。2 番目にコスト比率が大きい部品は、リアクトルを含む受動素子であり、そのコスト比率は 30% である。受動素子は上述の高調波の制約・規制で決まるため、PV インバータ以外の系統連系変換器でもコスト比率の高い部品であると考えられる。半導体素子のコストはわずか 6% であり、リアクトルなどの受動素子の値段の方が半導体素子より高いことがわかる。したがって、系統連系変換器の低コスト化には、受動部品である交流フィルタの小型化と低損失化の両立が必要になる。

1.1.3 系統連系変換器の技術動向

はじめに、半導体工学の観点から、系統連系変換器で使用されるパワー半導体素子の技術動向を述べる。1957 年に半導体素子の原点とも言われるサイリスタが実用化されて以降、電力変換器の小型・低損失化は半導体スイッチの発展とともに進んだ。サイリスタを発展させた自己消弧型素子として、GTO (Gate Turn-off) サイリスタや GCT (Gate-Commutated Thyristor) が発明・実用化され [10–12]、今日でも MW 級の超大容量の電力変換器で用いられている。一方で、kW 級の中小容量の電力変換器には、トランジスタをベースとした半導体素子が主流である。1970 年代には、パワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) が開発され、極めて低いゲート駆動電力とユニポーラ素子という 2 つの特徴から、高速スイッチングが可能になった。しかし、MOSFET のオン抵抗は耐圧の 2.5 乗に比例して大きくなるため、高耐圧化が難しかった。1980 年代に、バイポーラトランジスタと MOSFET の利点を合わせた IGBT (Insulated Gate Bipolar Transistor) が発明され実用化した [13]。IGBT のゲート駆動電力は MOSFET と同様に低いにも関わらず、バイポーラ型の伝導度変調効果によって、ほとんど耐圧とは無関係にオン抵抗を下げる事が可能になった。これにより、MOSFET の弱点であった高耐圧化を可能にし、現在では 600 V 耐圧から 4.5 kV, 6.5 kV 耐圧の IGBT が入手でき、kW 級だけでなく MW 級の電力変換器にも用いられている [14, 15]。

さらに、半導体モジュールの中に IGBT チップと保護回路、ゲート回路も実装した IPM (Intelligent Power Module) が普及することによって、簡単に電力変換器を設計することができるようになった。ただし、低耐圧の IGBT は pn 接合によるビルトイン電圧による損失が大きく、600 V 耐圧以下の領域に IGBT は適さない。また、IGBT はバイポーラ素子であるため、ユニポーラ素子の MOSFET と比較してスイッチング損失は大きくなる。

IGBT の開発と並行して MOSFET のオン抵抗を下げる技術開発も進んでいる。MOSFET のオン抵抗のほとんどは、耐圧を確保するための空乏層になる N^- ドリフト層で発生している。MOSFET の性能を表す代表的な指標である R_{onA} (N^- 層の抵抗値 $\times N^-$ の面積) は、

$$R_{onA(Si)} \geq \frac{2}{\varepsilon_{Si}\mu_{Si}} A_{Si}^{\frac{1}{2}} V_{BD}^{\frac{5}{2}} \approx 6.07 \times 10^{-9} V_{BD}^{\frac{5}{2}} \quad (1.1)$$

で表され、理論的な限界が示されている [16]。ただし、 V_{BD} は耐圧、 ε_{Si} は Si の誘電率、 μ_{Si} は Si の移動度、 A_{Si} は係数である。このように、 R_{onA} が耐圧の 2.5 乗に比例するため、耐圧を下げれば比較的簡単にオン抵抗を下げるができる。つまり、同じ出力電圧定格の電力変換器に対し、高耐圧の MOSFET を用いるよりも、直列に接続することで 1 つのあたりの耐圧を下げたほうが損失を低減できる。

式 (1.1) の理論限界を打破するために、さまざまな構造の MOSFET が検討されている。300 V 以上の高耐圧 MOSFET には、Super Junction 構造の MOSFET (SJ-MOSFET) が提案されている [17]。これは、 N^- ドリフト層に対し、P 層をストライプ状に並べることで、耐圧を上げてオン抵抗が上がりにくくなる構造である。Super Junction 構造の R_{onA} は、

$$R_{onA(SJ-Si)} \geq \frac{D}{q\mu_{Si}\beta} A_{Si}^{\frac{1}{6}} V_{BD}^{\frac{7}{6}} \quad (1.2)$$

で表され、耐圧 V_{BD} のおよそ 1.2 乗に比例する [22]。ただし、 β は Si の RESURF 条件、 D はストライプピッチである。このように、SJ-MOSFET は従来の MOSFET と比較して、大幅な低オン抵抗化が図れるものの、プロセス上の限界から実用的な耐圧は 400 V から 900 V 程度であり、1 kV 以上の高耐圧化は難しい。また、高耐圧化と高速スイッチングに伴い、SJ-MOSFET の内部寄生ダイオードの逆回復によるスイッチング損失増大も課題となるが、リカバリアシストや逆阻止用低圧 MOSFET を接続した SRB 回路技術などが提案されており、実用化に至っている [23, 24]。

また、200 V ~ 300 V 以下の低耐圧 MOSFET は、車載機器や情報通信機器などで使

用されており、流通量も非常に多く低オン抵抗化が進んでいる。低耐圧 MOSFET は、ゲート電極を縦型に配置するトレンチゲート構造に加え、現在ではトレンチフィールドプレート (FP) 構造が提案、実用化されている [18–20]。FP 構造はゲート端に新たな埋め込み電極を設けることで、ゲート端の電界強度を減少させる構造である。これにより、耐圧を維持したままドリフト層で発生する抵抗を低減することができる。さらに、微細化技術によるセルピッチの縮小や高アスペクト比化により、低オン抵抗を実現している。このように低耐圧 MOSFET の低オン抵抗化技術は進んでおり、最近 10 年の間でも、耐圧 100 V の低耐圧 MOSFET の R_{onA} は 1/3 以下に低減している [21]。

ワイドバンドギャップ半導体、いわゆる従来の Si に代わる新型半導体も研究が進み、実用化が始まっている [25]。バンドギャップが広がることで、オフ状態における電子・ホール対生成が抑制され、オン抵抗に寄与する N^- ドリフト層を短く（電界を上げる）することができる。たとえば、SiC (Silicon Carbide) の R_{onA} は、

$$R_{onA(SiC)} \geq \frac{2}{\varepsilon_{SiC} \mu_{SiC}} A_{SiC}^{\frac{1}{2}} V_{BD}^{\frac{5}{2}} \approx 4.65 \times 10^{-12} V_{BD}^{\frac{5}{2}} \quad (1.3)$$

で表され、式 (1.1) の Si と比較しておよそ 1/1300 に低減できる。しかしながら、大口径で高品質な SiC ウエハの製造は難しく、歩留まりが低下することで大きなコストがかかっている [26]。現状では、高電圧で小型化要求の高い鉄道での実用化が進んでいるが [25]、大規模に普及しているとは言い難い。また、将来的に SiC-MOSFET の価格が低下した場合でも、高速スイッチングするには dv/dt や di/dt を上げる必要があり、EMI ノイズが増加することは避けられない [27]。

次に、制御工学の観点から、電力変換器で使用される制御ハードウェアについて説明する。近年の電力変換器の制御装置は、保護回路を除けばアナログ制御器は使用されおらず、デジタル制御器が普及している。複雑な演算を可能にする DSP (Digital Signal Processor) が簡単に手に入り、比例積分制御 (PI 制御) やデジタルフィルタの実装も容易にできる。また、FPGA (Field Programmable Gate Array) の利用も進んでおり、多数並列処理や複雑な変調ロジックが可能になっている。さらには、FPGA の IP コアを利用して超高速な専用 DSP として使用することもできる。しかし、高速な DSP や FPGA の値段は数千円以上と高価で、実際に使用する際には起動回路や通信回路、外付けの ADC (Analog Digital Converter) が必要になる。

一方で、低価格な制御装置として、パワエレ対応の汎用マイコン (MCU) がある [28,29]。主に、家電などのモータ制御用であり、数百円で入手できるものもある。汎用マイコン

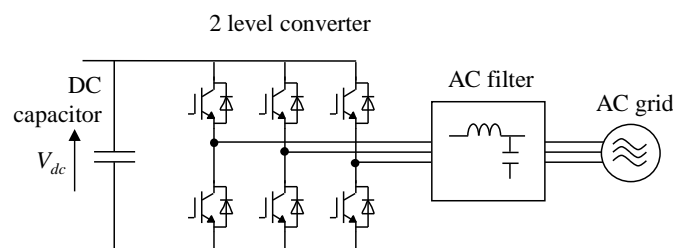


図 1.2: 2 レベル変換器

は複雑な演算を実装することは難しいが、加減算やPI制御によるフィードバック制御は問題なく実行できる。また、PWM出力機能や保護機能、PLLといった電力変換器を制御するために必要な基本的な機能が備わっている。しかし、機能は限られており、1つのマイコンで出力できるPWMチャンネル数は多くても12である（3～4モータを駆動できるPWM出力数）。とくに、変換器容量が小さい低圧向けの系統連系変換器では、必然的に制御装置や付帯回路のコストウェイトが大きくなる。そのため、必要最低限の制御機能を明らかにしたうえで、適切な制御ハードウェアを選択する必要がある。

次に、回路工学の観点から、系統連系変換器の回路構成の技術動向を述べる。図1.2に3相の2レベル変換器の回路構成を示す。2レベル変換器は6つの素子と1つの直流コンデンサから構成されている。6つの素子はシンプルな制御で動作できるため、低価格の制御装置を利用できる。多くの変換器で採用されているものの、2レベル変換器の出力相電圧は $V_{dc}/2$ と $-V_{dc}/2$ の2つの電圧レベルのみであり、高調波電圧が多く含まれる。そのため、系統連系変換器に適用した場合には大きな交流フィルタが必要になる。

従来の2レベル変換器に対し、複数の電圧レベルを出力できるマルチレベル変換器も研究が進み、広く普及している [30,31]。出力電圧のレベル数が増加すると、スイッチング周波数を上げずに高調波電圧を低減でき、交流フィルタを小さくできる。たとえば、出力電圧を $N+1$ レベルにすれば、スイッチング周波数を $1/N$ にしても高調波電圧はおおよそ $1/N$ に低減できる。したがって、マルチレベル変換器は交流フィルタの小型化と低損失化を同時に実現できる。図1.3は代表的な5レベルのマルチレベル変換器の回路構成である。図1.3(a)にダイオードクランプ形の中性点クランプ変換器(NPC) [32]を示す。NPCは古くから研究されており、特に3レベルのNPCは新幹線用変換器や電力系統用変換器など多くの実用化例がある [33,34]。NPCのクランプダイオードによって、分割された直流リンクコンデンサの電圧が出力できる。直流リンクコンデンサの分

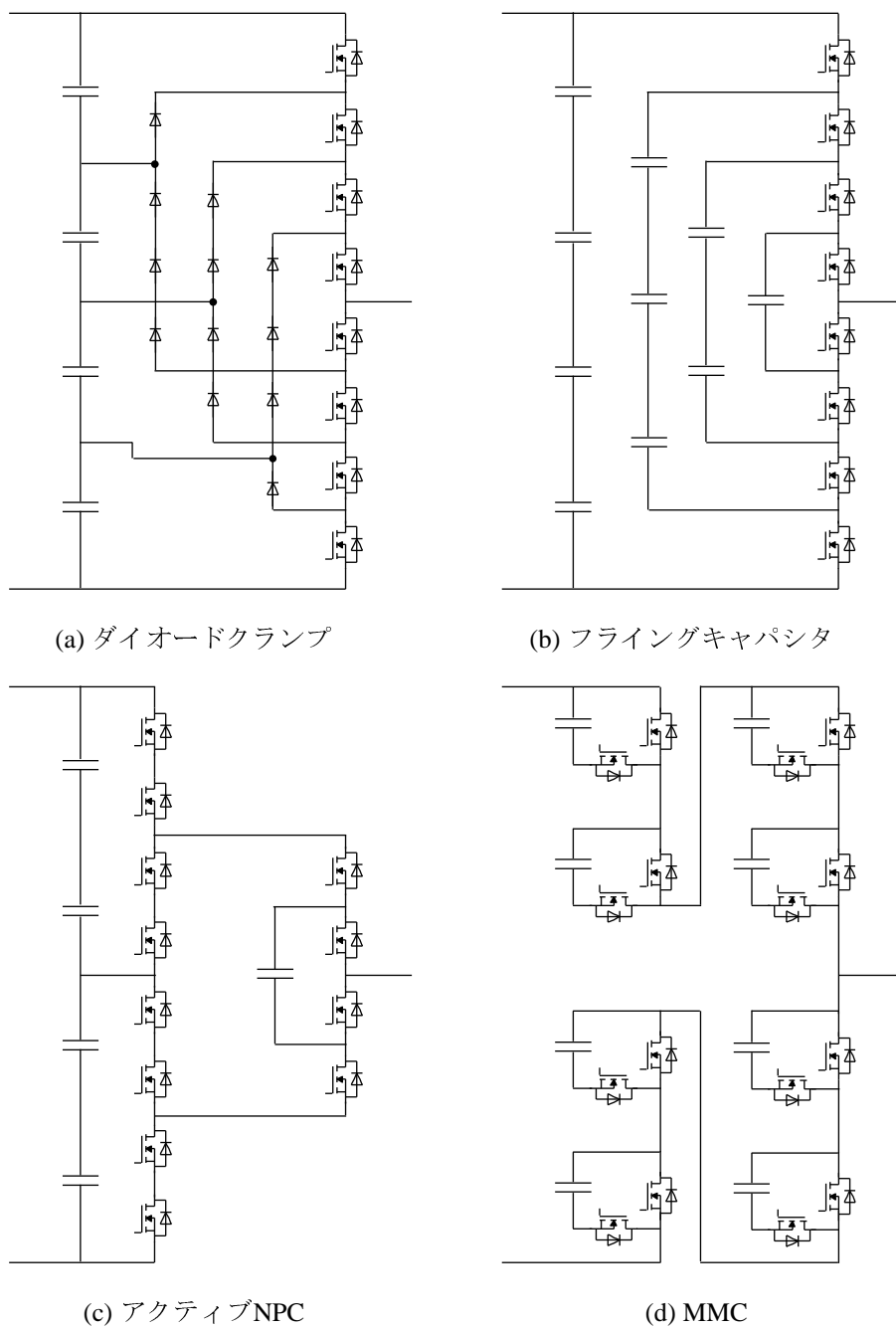


図 1.3: 代表的な 5 レベルマルチレベル変換器の回路構成 [32, 35–37]

割数を増やすことでレベル数を増加できるが、クランプダイオードが増加して実装が難しくなるだけでなく、4 レベル以上では原理的なコンデンサ電圧不均一が発生する。図 1.3(b) にフライングキャパシタ変換器 (FCC) [35] を示す。FCC は直流リンクコンデンサの他にフローティングコンデンサを有し、フローティングコンデンサを挿入したりバ

イパスすることで、複数の電圧レベルが出力できる。フローティングコンデンサの数を増やすことで、レベル数を増加できるが、転流経路が複雑になり、設計や実装は難しくなる。また、図 1.3(c) に示すように、NPC と FCC を組み合わせた A-NPC 変換器 [36] も提案されている。NPC と FCC の欠点を補うように 5 レベルの電圧を出力できるが、7 レベル以上にするには FCC と同様に設計・実装での課題がある。図 1.3(d) にモジュラー・マルチレベル変換器 (MMC) [37] を示す。MMC はセルと呼ばれる単位変換器を複数直列に接続して構成する (カスケード変換器とも呼ばれる)。各セルを独立に制御することで、スイッチングタイミングがずれるよう動作すると、複数の電圧レベルが出力できる。同一のセルを直列接続するだけで構成できるため、電圧レベル数を増加しても設計・実装が容易である。高電圧化が必要な HVDC (直流送電) 用変換器として実用化されているが [38, 39], 動作原理上、比較的大きなセルコンデンサが必要になる。このように、マルチレベル変換器は変換器の高圧化のために用いられることが多い。これは、前述の通り、半導体素子の耐圧を上げることが難しいため、マルチレベル回路によって高圧化と交流フィルタ小型化ができるメリットが大きい。

これに対し近年では、低耐圧の MOSFET の使用を前提として、200 V や 400 V などの低圧系統向けにマルチレベル変換器を適用する試みがなされている [40–45]。変換器を高圧化するのではなく、マルチレベル変換器によって半導体素子の耐圧を下げることに特徴がある。これにより、交流フィルタの小型化とスイッチング損失低減^{注2}ができるだけでなく、導通損失の低減も可能になり、大幅に電力変換損失を低減できる [46]。低耐圧 MOSFET を利用したマルチレベル変換器は、SiC を適用した 2 レベル変換器と比較して、高効率になるだけでなく低コスト化も実現できることが報告されている [47]。

1.1.4 低圧系統連系向け MMC への期待と課題

まず、低圧系統連系変換器にマルチレベル変換器を適用した場合に、どの耐圧の半導体素子が適しているか考える。図 1.4 に東芝デバイス&ストレージ社の MOSFET のオン抵抗と価格^{注3}を示す。縦軸は Ω 円で、オン抵抗と価格の両方を考慮した性能指標である。ただし、異なる耐圧の素子を比較するために、耐圧 V_{BD} で規格化している。具体

^{注2} 半導体スイッチの数は N 倍に増えるため、合計のスイッチング回数 (等価スイッチング周波数) は変わらないが、素子の電圧が $1/N$ になるため、合計のスイッチング損失は $1/N$ になる

^{注3} マウザー・エレクトロニクス (<https://www.mouser.jp/>) にて筆者調べ

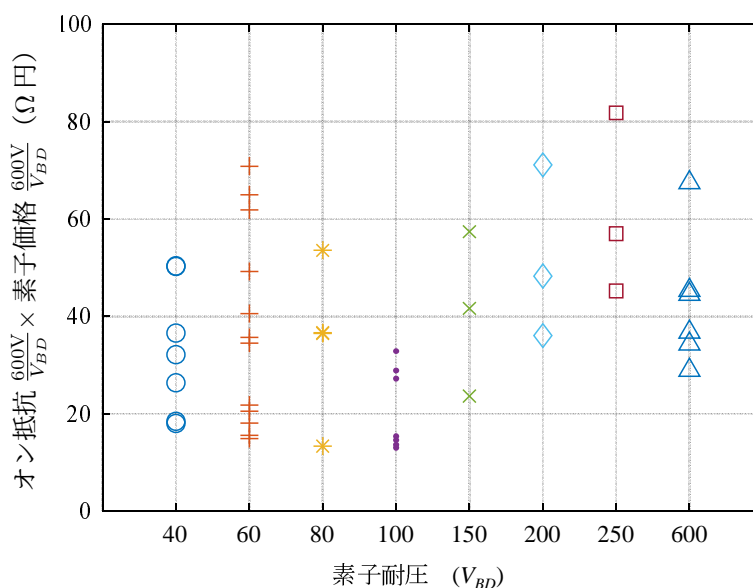


図 1.4: MOSFET のオン抵抗と価格 (合計耐圧 600 V の場合)



図 1.5: SOP Advance(5.0×6.0×0.95mm) [48]

的には、200 V 系統と接続するために、1 アームあたりの合計耐圧は 600 V 必要であると仮定し、耐圧 V_{BD} の素子のオン抵抗と価格にそれぞれ係数 $600/V_{BD}$ を乗算している (たとえば、100 V 耐圧の素子であれば、オン抵抗と価格をそれぞれ 6 倍している)。また、250 V 耐圧以下の MOSFET は図 1.5 に示す同一のパッケージ (SOP Advance [48]) で比較している。図 1.4 によると、100 V から 600 V 耐圧の MOSFET では、耐圧減少に伴い Ω 円が減少している。耐圧が小さい素子の方がコストとオン抵抗のバランスが良いことを示している。一方で、100 V 未満の耐圧では、耐圧減少に伴い Ω 円が上昇する傾向がある。耐圧 100 V 未満の MOSFET は、オン抵抗低下が飽和する一方で、配線抵抗分やパッケージ価格の割合が増加しているためと考えられる。したがって、もっとも費用対効果の高い MOSFET の耐圧は 100 V 級であると言える。さらにこの階級は、車載用 48 V 電源などでも使用され [20]、特に流通量が多い。

これまで、系統連系変換器に 100 V 級の MOSFET を適用することは多くの課題があり、実現されていない。低圧の 200 V 系統であっても、1 アームあたり最低 6 素子を必要とし、マルチレベル回路で実現すると 7 レベルの変換器が必要になる。そのため、NPC や FCC では回路が複雑になり、設計・実装での課題が大きい。これに対し、MMC はセル数を変えるだけで、容易にレベル数を上げることができる。つまり、安価でオン抵抗の低い 100 V 級の MOSFET を MMC に適用することで、素子数増加によるコスト増の影響を最小限にとどめつつ、交流フィルタの小型化と低損失化を両立が期待できる。

しかしながら、低圧系統連系向けに MMC を適用する研究例はほとんどない。これには、大きく 2 つの課題が考えられる。

課題 1 大きなセルコンデンサ

1 つ目の課題は、原理的に大きなセルコンデンサが必要になることである。MMC のセルは単相変換器であるため、系統周波数の電力脈動が発生する。素子耐圧を無駄なく使用するには、ある一定の変動幅にセルコンデンサ電圧を抑制する必要がある。結果的に静電容量の大きなコンデンサが必要になる。この課題はよく知られており、回路構成のアプローチとして、セルの数を減らす研究がされている。一部のセルをスイッチング素子に置き換える構成や MMC と他の回路トポロジーを組み合わせる構成などが提案されている。しかし、合計素子数が増加することで損失増加やコスト増加を招いたり、コンデンサの蓄積エネルギーがどの程度低減できるのかについて定量的な比較はされていない。他にも、制御方法のアプローチとして、循環電流に高調波電流を重畳する方法がある。基本波とは異なる周波数成分の電流を意図的に流すことで、基本波電力脈動を低減できるが、回路内の電流実効値・ピーク値の増加による損失増加が問題になる。

課題 2 制御インターフェースの増大

2 つ目は、制御インターフェースの増加である。多数の素子のゲートを駆動するためには、制御装置から多くのゲート信号線 (PWM 出力) を出力する必要がある。さらに、すべてのセルコンデンサ電圧はバランスしなくてはならず、各セルには絶縁機能を有する検出回路が必要になる。外部バランス回路を接続して自動的にバランスさせる方法や同じ PWM 出力で複数の半導体スイッチを駆動する制御法などが提案されているが、バランス回路の損失やセルコンデンサの損失増大につながる。

低圧系統連系向けに低耐圧の MOSFET を MMC に適用することで、交流フィルタの小型化と低損失化の両立が期待できる。しかしながら、セルコンデンサの大きさや増大するインターフェースによって、コスト要求の高い低圧向けでの実用化のハードルは大きい。これまでの MMC に関する研究の多くは、低圧向けを意図したものではなく、損失増大につながるため、安価で効率の良い低耐圧 MOSFET を生かしきれない。

1.2 研究目的

本研究の最終ゴールは、200 V や 400 V などの低圧交流系統に接続する系統連系変換器の低コスト化を念頭に、MMC に安価でオン抵抗の小さい低耐圧 MOSFET を適用することで、フィルタの小型化と高効率化を同時に実現することである。本研究では、MMC の本質的課題であるセルコンデンサの小型化と、低圧向けに応用した場合に課題となるインターフェース削減と低損失化の両立を目的とする。

はじめに、セルコンデンサの小型化を図るために、NPC と MMC を組み合わせた NPC-MMC (中性点クランプ型 MMC) を検討する。NPC-MMC のパワーフローを理論解析し、セルコンデンサと NPC で用いる直流コンデンサも含めた合計の必要蓄積エネルギーを計算し、コンデンサ体積を定量的に評価する。さらに、高調波電流重畳による電圧リップル低減制御を提案し、従来の MMC と比較して回路内の電流実効値を低減しつつ、セルコンデンサのさらなる小型化が可能になることを示す。

次に、電圧検出回路の削減を目的に、抵抗付きバランス回路を提案する。セル間に小型のバランス回路を付加し主素子と同じ信号で駆動するだけで、セルコンデンサの電圧検出回路や個別のバランス制御が不要になる。これにより、変換器アームにつき 1 つのセルのみに電圧センサを接続するだけで、自動的にすべてのセルコンデンサ電圧をバランスできる。低圧向けの系統連系変換器は、変換器容量が小さいため、必然的に制御装置や付帯回路のコストウェイトが大きくなる。したがって、多数の検出回路や高価な CPU や FPGA を使うよりも、小容量のバランス回路を付加して個別バランスを行う方が、コスト面から望ましい。バランス回路を接続しない場合と比較して損失増加が発生しないように、追加する抵抗値の設計方法、およびバランス回路への転流方法を提案する。また、バランス回路を接続した NPC-MMC の推定コストを算出し、2 レベル変換器や従来の MMC と比較してその有用性を確認する。

最後に、PWM チャンネル数を削減した際に課題となるセルコンデンサリップル電流増

加を抑制する新しい変調法を提案する。従来は、ブリッジセルの2つのレグを同期して動作するバイポーラ変調を使用すれば、必要なPWMチャンネル数を素子数の1/2にできるが、セルコンデンサには常に電流が流れ続けるため損失が増大する。提案する疑似ユニポーラ変調は、バイポーラ変調された通常の三角波比較PWM出力を利用し、1つのPWM出力を別のセルに与えることに特徴がある。これにより、個別のセルに着目するとゼロ電流期間を生成できる。提案法はPWM出力の分配のみを変更するだけで実現できるため、特別な制御やロジックは必要ない。したがって、汎用マイコンでも制御できるPWMチャンネル数に削減しつつ、セルコンデンサリプル電流を削減し、効率悪化を防ぐことができる。提案法は、ブリッジセルを有するMMCに適用可能であるが、コンデンサリプル電流定格の制約が厳しいMMCアクティブフィルタに対して特に有効である。

1.3 本論文の構成

本論文は全 6 章から構成されており、各章の概要は以下のとおりである。

第 1 章 序論 (本章)

本論文で対象としている低圧系統連系変換器の課題を説明し、コスト低減に必要な技術開発の方向性を述べる。研究の目的として、低耐圧 MOSFET を適用したモジュラー・マルチレベル変換器が低コスト化の候補になることを説明し、実用化のために解決すべき技術課題を挙げる。また、本論文の構成を概説する。

第 2 章 モジュラー・マルチレベル変換器の技術動向

MMC の回路構成と制御法について概説し、これまでの研究動向を述べることで本研究の位置づけを明らかにする。

第 3 章 NPC-MMC によるセルコンデンサの小型化

セルコンデンサ小型化と高効率化が期待できる NPC-MMC (Neutral-Point-Clamped Modular Multilevel Converter) を検討する。まず、NPC-MMC のパワーフローを理論的に解析し、NPC-MMC は直流コンデンサから交流系統へのダイレクトパワーフローを有していることを明らかにする。このダイレクトパワーフローによって、従来の MMC と比較して直流循環電流を低減でき、アーム電流のピーク値や実効値を小さくできる。次に、コンデンサ体積の指標として、NPC-MMC のコンデンサ蓄積エネルギーをパワーフロー解析に基づいて計算する。その結果、追加する直流コンデンサを含めても、NPC-MMC のコンデンサ蓄積エネルギーは従来の MMC のおよそ 1/2 に削減できることを示す。また、高調波電流を循環電流に重畳する電圧リップル低減制御を NPC-MMC に適用する。これにより、従来の MMC より小さなアーム電流にもかかわらず、NPC-MMC のセルコンデンサのさらなる小型化が可能になる。低耐圧 MOSFET を使用した 200 V 10 kVA の実験回路によって理論解析の妥当性を確認し、NPC-MMC は小型化と高効率化が実現できることを示す。

第 4 章 検出回路を削減可能なバランス回路付き MMC の低損失化

セルコンデンサ電圧の検出回路削減を目的に、抵抗付きバランス回路を提案する。抵抗付きバランス回路は、フィードバック制御や電圧センサを用いることなく、

小電流定格の素子と抵抗器を追加するだけで構成できる。はじめに、バランス回路の理論解析を行う。バランス回路の時定数をスイッチング周期より十分長く設定すれば、バランス回路に流れる電流を抑制できる。このとき、バランス回路用素子のゲート信号は、主素子のゲート信号と同じでよく、追加の制御は不要である。次に、バランス回路の転流時にセルコンデンサが短絡する可能性を指摘し、ゲート抵抗を調整するだけでそれを回避できる転流シーケンスを提案する。実験では、10 kW の NPC-MMC のチョッパセルに提案するバランス回路を接続し、セルコンデンサ電圧が良好にバランスすること、およびバランス回路で発生する損失が十分に小さいことを確認する。最後に、バランス回路を接続した NPC-MMC の推定コストを算出し、2 レベル変換器や従来の MMC と比較してその有用性を確認する。

第 5 章 PWM-ch 数削減とコンデンサリプル電流低減を両立する

疑似ユニポーラ変調

制御インターフェースの 1 つである PWM チャンネル数を削減しつつ、MMC のセルコンデンサリプル電流を低減できる疑似ユニポーラ変調を提案する。提案法はブリッジセルを有する MMC 全般に適用可能であるが、セルコンデンサのリプル電流がボトルネックとなる低圧向けのアクティブフィルタを想定して検討する。疑似ユニポーラ変調はバイポーラ変調で生成した PWM 出力を使用し、1 つの PWM 出力を直列に接続されている別のブリッジセルに与えることで、PWM 出力を入れ替える。つまり、それぞれのブリッジセルは、異なる 2 つの PWM 出力で制御されることになるため、ブリッジセルのレグ間に位相差を生成することが可能になる。また、PWM 出力入れ替えを考慮した個別バランス制御を提案し、制御非干渉化が実現できることを理論的に示す。3.3 kVA の MMC アクティブフィルタに提案法を実装し、少ない PWM チャンネル数においても、セルコンデンサリプル電流とコンデンサ損失が低減できることを実証する。

第 6 章 結論

第 3 章から第 5 章で得られた研究成果をまとめるとともに、今後の展開を含めた総括を行う。

第 2 章

モジュラー・マルチレベル変換器の技術 動向

本章では，MMC の回路構成と制御法について概説し，これまでの研究動向を述べることで，本研究の位置づけを明らかにする。

2.1 MMC の回路構成

2.1.1 MMC ファミリー

MMC (Modular Multilevel Converter) は 2000 年代に Marquardt らによって提案された回路 [37] で，2 レベル変換器のアームに対応する素子に対し，チョッパセルを多数直列に接続した変換器アームに置き換えた回路である。高電圧かつフィルタ小型化が期待できることから，主に HVDC や周波数変換所など高電圧・大容量向けの変換器として研究されている。TransBay Cable の直流送電 (HVDC) に世界で初めて実用化されて以降，多くの実用化例がある [39, 49, 50]。

MMC が提案される以前から，同一のセルを多数直列に接続して，マルチレベル電圧を出力できるカスケード変換器の概念があった。1990 年代に Peng らによって，STATCOM (STATic Synchronous COMPensator) や BESS (Battery Energy Storage System) として，ブリッジセルを多数直列に接続した回路が提案された [52, 53]。MMC とカスケード変換器はどちらも同一のセルを使用したモジュラー構造であり，セル同士がカスケード接続されている特徴を持つ [54]。本来，MMC という名称は特定の回路を指す言葉であったが，類似の回路が研究・普及していくに伴い，より広い意味で使われることが増えていった。歴史的にはカスケード変換器の方が早くから研究されていたが，本論文で

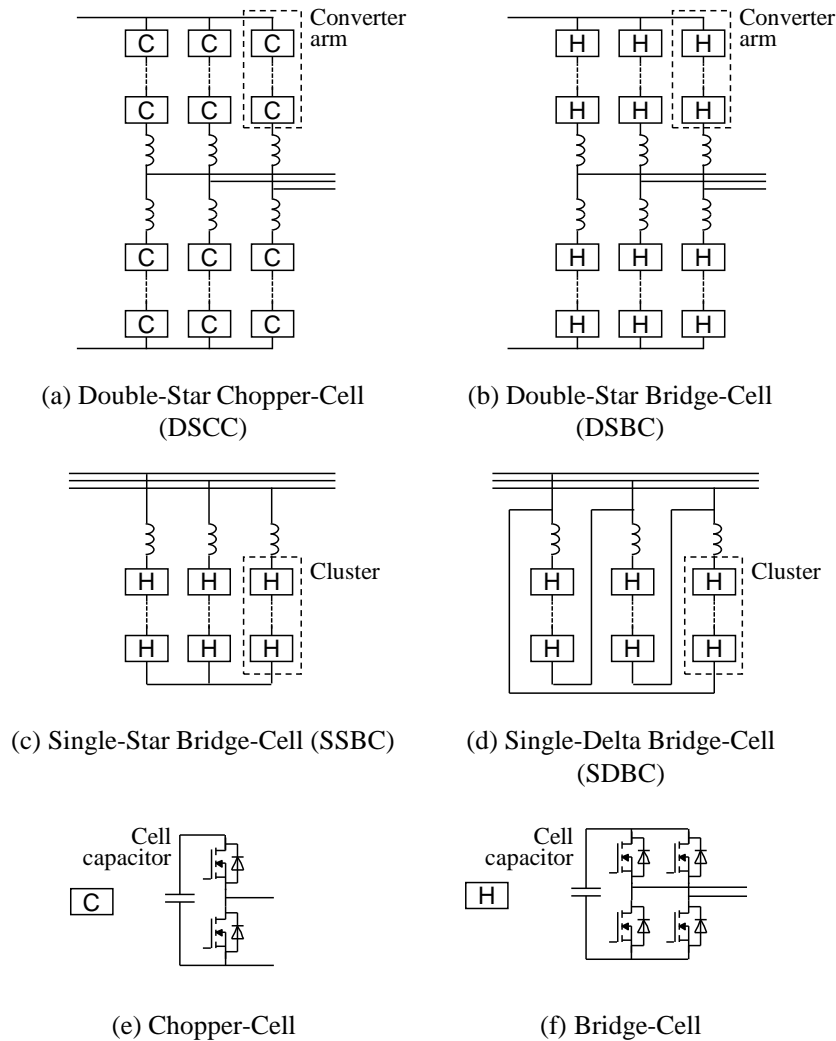


図 2.1: MMC の代表的な回路構成 [54]

は産業界一般の認知度の高さを鑑み、モジュラー構造でカスケード接続されたマルチレベル変換器を MMC と呼ぶことにする^{注1}。

図 2.1 に MMC の代表的な回路構成を示す [54]。いずれの回路構成も同一のセルを使用したモジュラー構造であり、セル同士がカスケード接続されている。図 2.1(a)^{注2} は図 2.1(e) のチョッパセルを用いたダブルスターの MMC (DSCC) である [37]。ダブルスターとは、スター結線の変換器を 2 つ有するという意味で、スター結線のそれぞれの中性点が直流リンク端子になる。そのため、DSCC は直流リンクが必要な AC/DC 変換器に

^{注1} 回路構成の特徴をとらえるには MMCC (Modular Multilevel Cascaded Converter) と呼ぶべきであるが、すでに MMC の知名度が高いため MMC を使用する。

^{注2} この回路が文献 [37] で Marquardt らによって提案された MMC

用いられる。なお、DSCCの直流リンクには直流コンデンサを必要としない。図2.1(b)は図2.1(f)のブリッジセルを用いたダブルスターのMMC(DSBC)である。ブリッジセルを使用することで、直流リンクの電圧を反転させることができるため、3相-単相変換への応用や直流リンクの短絡電流を抑制することができる[55,56]。しかし、DSCCと比較して素子数が増えるため、損失増加やコスト増加が懸念される。

図2.1(c)と図2.1(d)は、ブリッジセルから構成されるクラスタをスター結線に接続した変換器(SSBC)とデルタ結線に接続した変換器(SDBC)である。SSBCとSDBCの回路構成上、2レベル変換器のアームと対応させることができないため、直列接続されたブリッジセルはクラスタと呼ばれる。SSBCとSDBCは1つのスター結線、またはデルタ結線のみで構成されるため、DSCCやDSBCと比較してセル数を低減できる。そのため、共通の直流リンクを必要としないSTATCOMやBESS、アクティブフィルタ[53,57]に用いられる。また、SSBCはスター結線であるため、各相のクラスタは系統相電圧を出力するだけでよい。一方で、SDBCはデルタ結線であるため、各相のクラスタは系統線間電圧を出力する必要がある。したがって、SSBCのセル数はSDBCより少なくでき、もっとも少ないセル数で構成できる。

2.1.2 その他の主回路構成

前述した代表的なMMCの回路構成に対し、さまざまな特徴を持ったMMCが提案されている[105,106]。はじめにMMCの評価指標の1つであるセル数に着目した回路を説明する。セル数が少なければ、セルコンデンサの低減や素子数の低減、制御インターフェースの削減につながる。図2.2(a)のAAC(Alternate Arm Converter)[58,59]は、直列接続したセルに半導体素子を挿入することで、合計のセル数を削減できる。しかし、変換器アームのセルは負電圧が出力できるブリッジセルである必要があり、合計の素子数は増加する。図2.2(b)はスタースイッチMMC(SS-MMC)[60]と呼ばれる回路で、DSCCの片一方のスター変換器を半導体素子に置き換えることで、DSCCと比較してセル数を半減できる。半導体素子の転流時に変換器アームの電流を不連続にする必要があり、サージ抑制用のスナバを半導体素子に付加して転流する手法などが検討されている[61]。

MMCと他の回路トポロジーとを組み合わせる回路構成も提案されている。図2.2(c)はフライングキャパシタMMC[62]で、MMCにフライングキャパシタを挿入した回路

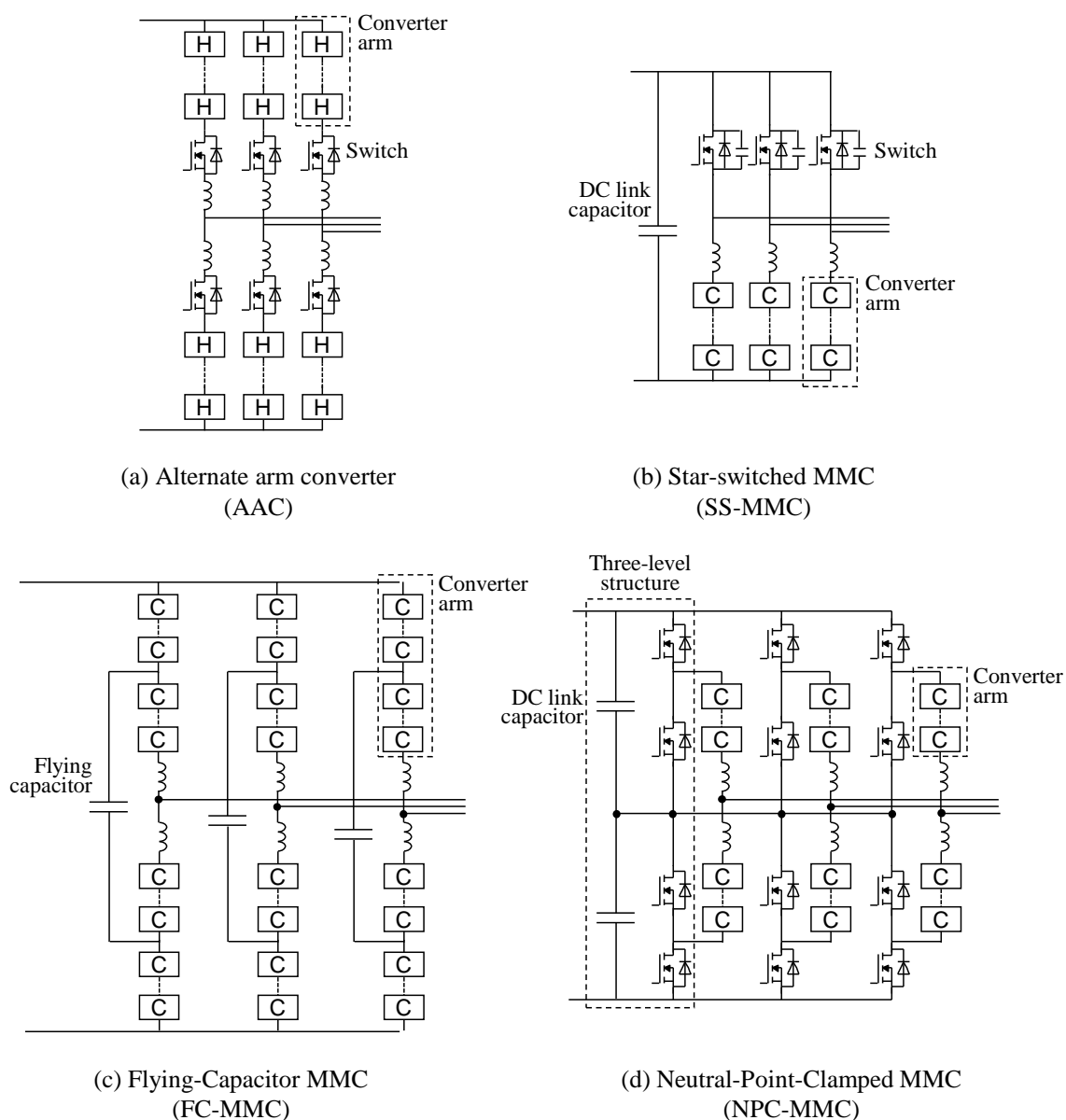


図 2.2: MMC の変形例 [58–60, 62, 64, 65]

である。これは、変換器アームが高調波電圧／電流を出力することで、セルに発生する基本波電力脈動を打ち消し、セルコンデンサ容量を削減できる。フライングキャパシタは、高調波電圧／電流が直流リンクや交流系統へ流出することを防止するが、高調波電圧を出力するために変調率を低くする必要がある。したがって、FC-MMC は系統連系用途ではなくモータドライブに適している。他にも、3 レベルフライングキャパシタ変換器を主変換器として、フライングキャパシタの代わりにセルを直列接続した補助変換

器^{注3}を挿入した回路も提案されている [63]。フライングキャパシタと同様の原理で、主変換器を高速スイッチングすることで、補助変換器のセルコンデンサを低減できる。

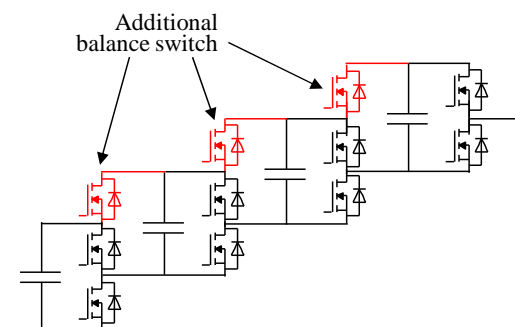
図 2.2(d) に中性点クランプ型 MMC を示す。これは、直流リンクの中性点電位を出力できる 3 レベル構造と MMC を組み合わせた回路である。基本的な構成は、MEMC (Modular Embedded Multilevel Converter) という名称で、3 レベル構造をサイリスタで構成した回路が提案されている [64]。3 レベル構造を自己消弧型素子で構成した回路は、NPC-MMC とも呼ばれている [65]。3 レベル構造によって直流リンクの中性点電位が利用できるため、変換器アームが出力する電圧を半減でき、変換器アームに必要なセル数を半減できる。また、3 レベル構造の素子は系統周期に同期したワンパルス動作であり、変換器アームの電流を同期整流するだけでよい。中性点電位を固定するための直流コンデンサが必要になるが、低圧向けでは大きな問題にはならない。このため、低圧向けを想定すると、簡易な 3 レベル構造を組み合わせてセル数削減が可能な NPC-MMC は、セルコンデンサの小型化に適した回路といえる。しかしながら、セル数を半減できるものの、追加の直流リンクコンデンサも必要になり、合計の必要コンデンサをどの程度低減できるのか明らかになっていない。このように、変換器内のコンデンサは、単純なセル数だけで評価することはできず、動作原理に基づいた解析評価が必要になる。

2.1.3 セルコンデンサ間のバランス回路

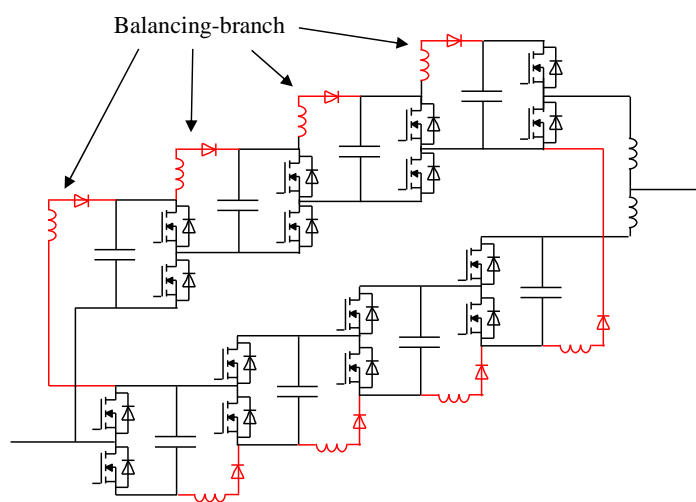
セルコンデンサ間の電圧バランスに着目した回路構成について述べる。電圧バランスは制御が煩雑になるだけでなく、すべてのセルコンデンサ電圧を絶縁して検出する電圧センサと AD 変換器等が必要になる。特に、低圧向けの系統連系変換器は、変換器容量が小さいため、必然的に制御装置や付帯回路のコストウェイトが大きくなる。したがって、多数の検出回路や高価な CPU や FPGA を使うよりも、小容量のバランス回路を付加して個別バランスを行う方が、コスト面から望ましい。

MMC のバランス回路としては、マルクス発電機やスイッチトキャパシタの原理を利用し、コンデンサの直並列接続を変えることで、能動的な制御をすることなく、マルチレベル変換器のコンデンサ電圧をバランスさせる方法が提案されている [66–72]。図 2.3(a) はマルクスマルチレベルインバータと呼ばれる回路である [67,68]。これは、マル

^{注3} この場合、フライング変換器と呼んでもよいかもしれない。



(a) Marx Multilevel Inverter



(b) Diode-Clamped MMC

図 2.3: セルコンデンサ電圧を自動でバランスできる MMC [67, 68, 72]

クス発電機の原理で、電圧センサや特別な制御なしに各セルの個別バランスを実現できる。また、この方法は、MMC の各セル間に追加の素子（バランス回路）を接続した構成とみなすこともできる。さらに、図 2.3(b) では、スイッチング素子の代わりにダイオードとリアクトルにより構成したバランス回路が提案されている [72]。しかしながら、これらのバランス回路では、コンデンサの充放電に伴う損失が原理的に発生し、個別バランス制御適用時よりも効率が低下する。その結果、変換効率は 90 ~ 98%程度である [67-70, 72]。コンデンサ容量を増加すればコンデンサの充放電に伴う損失を低減できるが、回路の大型化を招くため、実用上は難しい [73]。

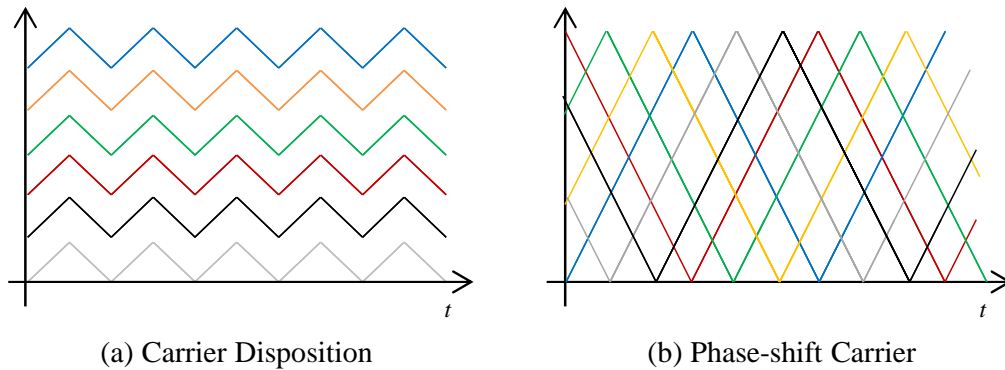


図 2.4: MMC のキャリア波

2.2 MMC の制御

2.2.1 MMC の変調法

主にセルコンデンサの電圧バランスの観点で、さまざまな MMC の変調法が研究されている [74,75]。ここでは既存の変調法を概説し、低圧向けの場合は位相シフト PWM が適していることを説明する。

CD-PWM(Carrier-Disposition PWM) [76] は、図 2.4(a) のように、1 つの電圧指令値と振幅方向に重ねた複数のキャリアで変調する変調法である。各キャリアと電圧指令値を比較することで、出力すべき電圧レベル数を決定する。しかし、出力する電圧がセルごとに異なってしまうため、電圧バランスを保つにはキャリアの入れ替えによって均等化することが必要になる。

特定のキャリアを使用せず、電圧指令値をセルコンデンサ電圧で除することで、挿入すべきセル数を計算する変調法がある。ダイレクト変調 [77] は、各セルのコンデンサ電圧に関わらず電圧指令値を与えるオープンループ制御である。この変調法は複雑なバランス制御やゲイン設計を必要としないが、MMC 内に大きな 2 次調波の循環電流が流れるため損失が増大する。変換器アームのセルコンデンサ電圧平均値をフィードバックすることで、循環電流を抑制する手法も提案されている [77]。

セルコンデンサの電圧バランスを主眼とした変調法として、ソーティングアルゴリズム [37,78–80,91] が提案されている。ソーティングアルゴリズムは、各セルのスイッチング周波数を小さくしても電圧バランスが実現できることから、各セルの挿入回数を出力周期に 1 回とするワンパルス制御 [81,82] も提案されている。ワンパルス制御はスイッチング損失を大幅に低減できるが、セル数の少ない低圧向けでは高調波が増大するため

メリットは少ない。また、コンデンサ電圧を推定することにより、検出を必要としない変調法も提案されている [83–88]。しかし、ソーティングアルゴリズムやコンデンサ電圧の推定には過大で複雑な演算を必要とし、高速な CPU や FPGA が必要になる。

位相シフト PWM (PSC-PWM) は、互いに位相をずらしたキャリアによって変調する方法である [54, 89]。図 2.4(b) に PSC-PWM のキャリア波を示す。各セルの変調率は基本的には同一であり、出力周波数とキャリア周波数が十分離れていれば、各セルに流入／流出する電力は一致するため、原理的なアンバランスはない [90]。個別のばらつきなどで各セルコンデンサ電圧に偏差が生じた場合は、フィードバックすることで個別の変調率を操作する。また、すべての素子のスイッチング周波数はキャリア周波数に一致するため、スイッチング損失の計算が容易である。スイッチングリップル成分はセル間で互いに打ち消しあうため、セル数が少ない低圧向けにおいても、適切なキャリア周波数を選べば効果的に高調波を抑制できる。さらに、三角波キャリア比較の PWM 機能は、パワエレ用汎用マイコンにも実装されており、位相シフト PWM は汎用マイコンに簡単に実装できる。以上の理由から、位相シフト PWM は低圧向け MMC に適していると考えられ、本論文での制御に採用している。

2.2.2 位相シフト PWM でのコンデンサ電圧バランス制御

ここでは、位相シフト PWM を適用した MMC (DSCC) のコンデンサ電圧バランス制御について概説する。MMC のコンデンサ電圧制御は、変換器アームと直流リンク、交流系統の間でやり取りするパワーフローに基づいて制御できる [91, 92]。図 2.5 に MMC のパワーフローを示す。バランスに必要なパワーフローは回路内を循環する循環電流で制御できるため、変換器の出力には影響せず、非干渉な制御とすることができる。具体的なバランス制御を以下に説明する。

一括コンデンサ制御

すべてのセルコンデンサ電圧の平均値を制御する。変換器に流入、または流出する有効電力を調整することで、全セルコンデンサ電圧平均値を指令値に一致させる。従来の 2 レベル変換器でのコンデンサ電圧制御に相当する。

相間コンデンサバランス制御

各相のセルコンデンサ電圧平均値をバランスする。直流循環電流を用いて直流リ

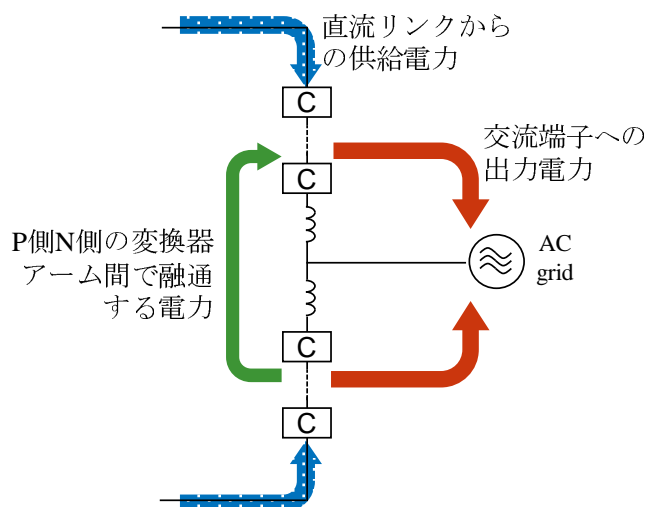


図 2.5: MMC (DSCC) のパワーフロー

リンクからエネルギー授受を行い制御する。バランスに必要なエネルギーだけをやり取りするため、実質的には各相間でのエネルギー授受となり、直流リンクに影響は与えない。

PN 間コンデンサバランス制御

P 側変換器アームのセルコンデンサ電圧平均値と N 側変換器アームのセルコンデンサ電圧平均値との差分を制御する。系統周波数成分の循環電流を用いて P 側変換器アームと N 側変換器アーム間でエネルギー授受を行う。

個別バランス制御

変換器アーム内の個別のセルコンデンサ電圧を制御する。個別のセルコンデンサ電圧を各セルの電圧指令値にフィードバックすることで制御する。

3 相回路の場合における非干渉化や、より一般化されたバランス制御も検討されている [93,94]。これらのバランス制御はフィードバックに基づいた制御であり、基本的には PI (比例積分) 制御で実現できる。そのため、マイコンへの実装も容易な和算減算乗算だけで演算が可能である。MMC の制御に必要な算術演算の量は、従来の 2 レベル変換器と比較して増大しているが、近年のマイコンなどの制御ハードウェアの計算性能は高いため、ほとんど問題にならない。

2.2.3 セルコンデンサ小型化のための制御

制御によってセルコンデンサを小型化するために、さまざまな運転状態における MMC 内の蓄積エネルギーやセルコンデンサ電圧リップルが理論的に検討されている [95, 96]。Ilves らは、セルコンデンサ電圧の振幅ではなく波形形状に着目することで、コンデンサの静電容量を低減しても過電圧や過変調を回避できることを示している [97]。また、4セルの場合に特定されているが、特定のスイッチングパターンを選ぶことで、自動的にすべてのセルコンデンサ電圧をバランスできる方法が提案されている [88]。この方法は、すべてのセルコンデンサ電圧を一致させるように動作させるため、バランスと同時に電圧リップルも抑制できる。ただし、バランス時に大きな電流が流れる。

循環電流に高調波電流を重畳することで、セルコンデンサ電圧リップルを低減する制御法も提案されている [98–100]。特に、2次調波の電流を重畳することは基本波の電圧リップルを効果的に抑制できる。他にも、4次調波の電流 [101, 102] や3次零相電圧 [103, 104] を利用した制御法も提案されている。しかし、高調波電流の重畳は素子に流れる電流を増加させることに他ならないため、導通損失やスイッチング損失の増大を招く。

これらの方法は、回路やインターフェースを変更せずに制御のみを変更するだけで小型化が達成できる。そのため、比較的容易に実装できる。しかし、結果的には高調波電流などによって、セル間（変換器アーム間）でエネルギーのやり取りをすることにより電圧脈動を低減するため、損失増加につながる。したがって、制御だけでセルコンデンサ小型化と高効率化を達成することは難しい。

2.3 低圧系統連系向け MMC の技術的課題

MMC の課題であるセルコンデンサ小型化や制御インターフェース削減に対して、回路構成や制御法の観点でさまざまな研究が行われてきた。本章で説明した MMC の技術動向を踏まえて、MMC を低圧系統連系変換器に応用する場合の技術的課題を以下に示す。

- セルコンデンサの小型化と高効率化を両立するには、制御での対策だけでは不十分である。
- セルコンデンサ小型化が期待できる回路が提案されているが、動作原理に基づいてすべてのコンデンサの必要蓄積エネルギーが明らかにされておらず、定量的な比較も行われていない。

- バランス回路つき MMC によって、電圧検出回路削減やバランス制御簡素化が期待できるが、効率が悪化する。
- FPGA を利用した研究例がほとんどで、インターフェースの少ない汎用マイコンを想定し、PWM チャンネル数削減に言及した研究はない。

以上に挙げた課題に対して、本研究で検討を行う。

第 3 章

NPC-MMC によるセルコンデンサの小型化

本章では、セルコンデンサ小型化と高効率化が期待できる NPC-MMC (Neutral-Point-Clamped Modular Multilevel Converter) を検討する。まず、NPC-MMC のパワーフローを理論的に解析し、NPC-MMC は直流コンデンサから交流系統へのダイレクトパワーフローを有していることを明らかにする。このダイレクトパワーフローによって、従来の MMC (DSCC) と比較して直流循環電流を低減でき、アーム電流のピーク値や実効値を小さくできる。次に、コンデンサ体積の指標として、NPC-MMC のコンデンサ蓄積エネルギーをパワーフロー解析に基づいて計算する。その結果、追加する直流コンデンサを含めても、NPC-MMC のコンデンサ蓄積エネルギーは従来の MMC のおよそ 1/2 に削減できることを示す。また、高調波電流を循環電流に重畳する電圧リップル低減制御を NPC-MMC に適用する。これにより、従来の MMC より小さなアーム電流にもかかわらず、NPC-MMC のセルコンデンサのさらなる小型化が可能になる。低耐圧 MOSFET を使用した 200 V 10 kVA の実験回路によって理論解析の妥当性を確認し、NPC-MMC は小型化と高効率化が実現できることを示す。

3.1 NPC-MMC

3.1.1 回路構成

図 3.1 (a) に従来の 3 相 MMC (DSCC) の 1 相分の回路構成を示す。本章では、従来の MMC として、AC/DC 変換機能を有する DSCC を比較対象とする。変換器アームは、セルコンデンサ C_{cell} を有するチョッパセル (ハーフブリッジセル) を直列に接続して構

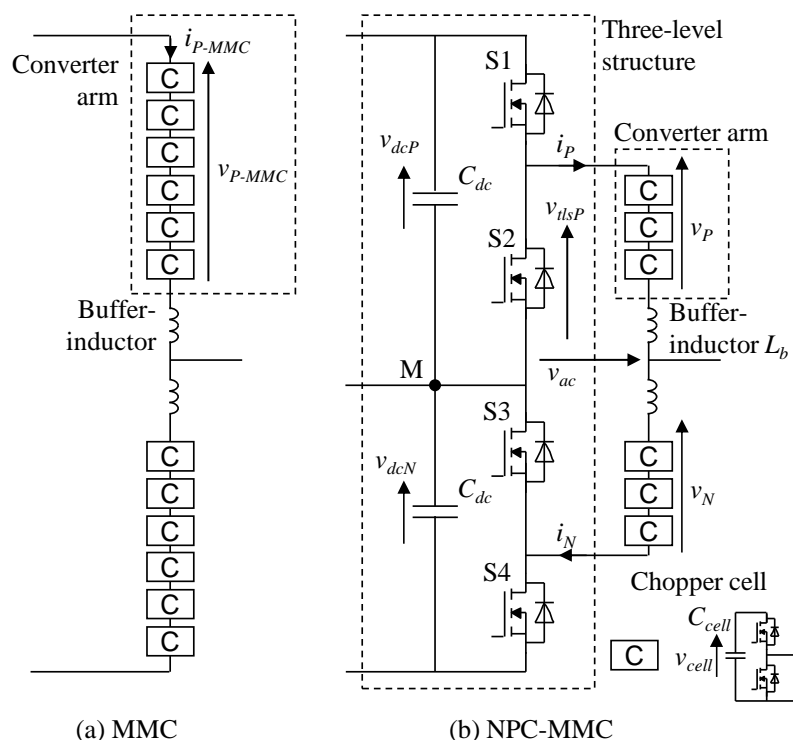


図 3.1: 従来の MMC と NPC-MMC の 1 相分の回路構成

成する。各相は、2つの変換器アームと2つのバッファリアクトル（アームリアクトル）で構成され、バッファリアクトルは、変換器アーム間の短絡電流抑制と交流フィルタとして働く。2つの変換器アームの結合点は交流系統に接続し、変換器アームのもう一方の端子は直接直流端子に接続する。このように、MMCは2つの変換器アームのみで構成され、直流コンデンサは必要ない。

図 3.1 (b) に 3 相 NPC-MMC の 1 相分の回路構成を示す。NPC-MMC は、4つの高圧^{注1}スイッチ S1-S4 と 2つの直流コンデンサ C_{dc} で構成される 3 レベル構造を有し、3 レベル構造を変換器アームに接続することに特徴がある。3 レベル構造の直流コンデンサは 3 相共通で、その中点 M も 3 相で共通に接続する。従来の MMC と同様に、2つの変換器アームはバッファリアクトル L_b を介して交流系統に接続する。なお、低圧のアプリケーションで NPC-MMC を用いた場合では、高圧スイッチにも IGBT ではなく、MOSFET が利用できる。

^{注1} セルで使用する素子の耐圧と比較して高圧という意味である。

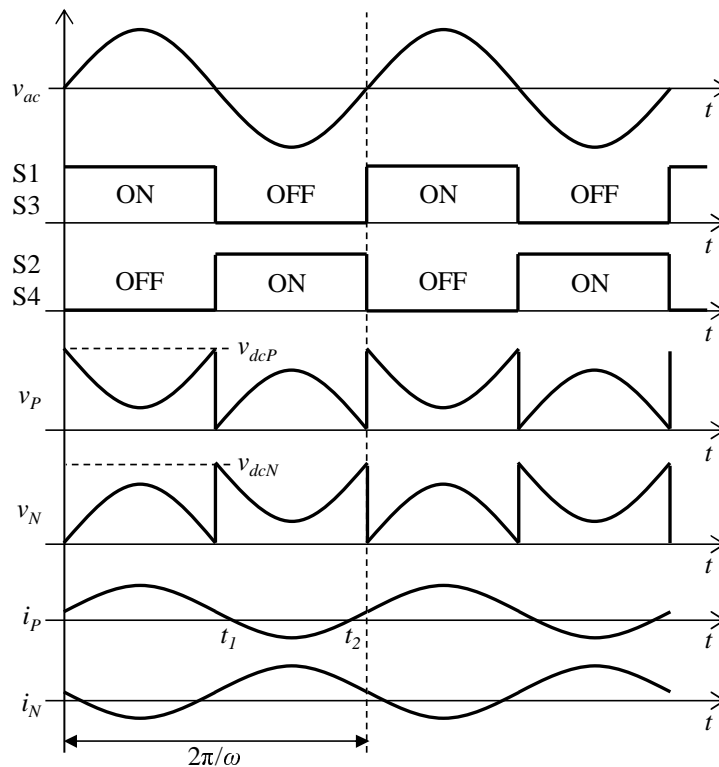


図 3.2: NPC-MMC のスイッチングシーケンスと動作波形

3.1.2 NPC-MMC の制御原理

図 3.2 に NPC-MMC の高圧スイッチ S1-S4 のスイッチングシーケンス、変換器アームの電圧 v_P , v_N , 変換器アーム電流 i_P , i_N を示す。バッファリアクトルでの電圧降下は無視した。高圧スイッチは系統相電圧 v_{ac} に同期してスイッチングし、いわゆるワンパルススイッチングを行う。このため、高圧スイッチの耐圧やサージ電圧を低減できるようにスイッチングスピードを下げたとしても、スイッチング損失は小さい。 v_{ac} が正の時は S1 と S3 はオン状態で、S2 と S4 はオフ状態である。この期間の正側変換器アーム電圧 v_P は、直流コンデンサ電圧 v_{dcP} と系統電圧 v_{ac} との差の電圧となる。負側変換器アームは中点 M に接続されるため、負側変換器アーム電圧 v_N は系統電圧 v_{ac} と等しくなる。一方で、 v_{ac} が負の時は S1 と S3 はオフ状態で、S2 と S4 はオン状態である。この期間の正側変換器アームは系統電圧 v_{ac} のみを出力する。負側変換器アームは直流コンデンサ電圧 v_{dcN} と系統電圧 v_{ac} との差の電圧を出力する。したがって、2つの直流コンデンサ電圧がバランスし、 $v_{dcP} = v_{dcN}$ であれば、NPC-MMC の変換器アーム出力電圧は直流リンク電圧 V_{dc} の 1/2 以下でよい。

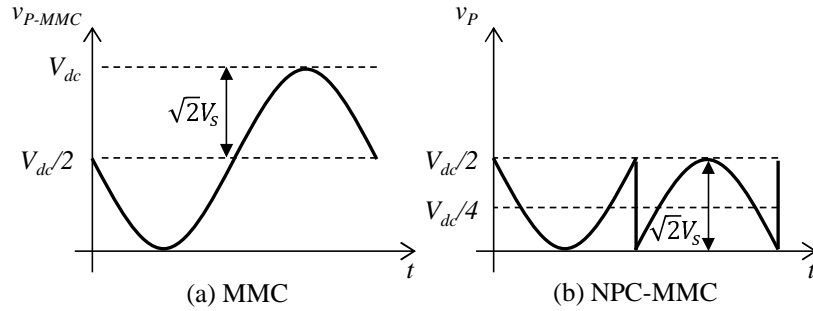


図 3.3: 変換器アームの電圧波形

図 3.3 に MMC と NPC-MMC の変換器アーム電圧波形を示す。MMC の変換器アーム電圧 v_{P-MMC} は、直流リンク電圧 V_{dc} の $1/2$ と系統電圧との和になる。そのため、系統電圧のピーク値が $V_{dc}/2$ であれば、変換器アーム電圧の最大値は直流リンク電圧 V_{dc} に等しくなる。一方で、NPC-MMC の変換器アーム電圧の最大値は $V_{dc}/2$ になり、MMC と比較して半分にできる。通常、変換器アームに必要なセル数は、アーム電圧最大値をセルコンデンサ電圧で除して決定される。したがって、NPC-MMC のセル数は MMC のセル数の半分にできる。

3.1.3 NPC-MMC の電圧・電流方程式

交流系統の相電圧 v_{ac} は、

$$v_{ac} = v_{tIsP} - v_P = \sqrt{2}V_s \sin \omega t \quad (3.1)$$

で表される。ただし、 v_{tIsP} は 3 レベル構造の正側出力電圧で、 v_P は正側変換器アーム電圧である。高圧スイッチは系統角周波数 ω でスイッチングするため、 v_{tIsP} は、

$$v_{tIsP} = \begin{cases} \frac{V_{dc}}{2} & \cdots 2n\pi \leq \omega t < (2n+1)\pi \\ 0 & \cdots (2n+1)\pi \leq \omega t < 2(n+1)\pi \end{cases} \quad (3.2)$$

である。ただし、 n は整数である。変換器アーム電圧 v_P は、系統電圧 v_{ac} と v_{tIsP} の差電圧であることから、(3.1) 式と (3.2) 式を用いて、

$$v_P = \begin{cases} \frac{V_{dc}}{2} - v_{ac} & \cdots 2n\pi \leq \omega t < (2n+1)\pi \\ -v_{ac} & \cdots (2n+1)\pi \leq \omega t < 2(n+1)\pi \end{cases} \quad (3.3)$$

と求められる。(3.2) 式と (3.3) 式をフーリエ級数展開すると、

$$v_{tIsP} = \frac{V_{dc}}{4} + \frac{2\sqrt{2}V_s}{m\pi} \sin \omega t + v_h \quad (3.4)$$

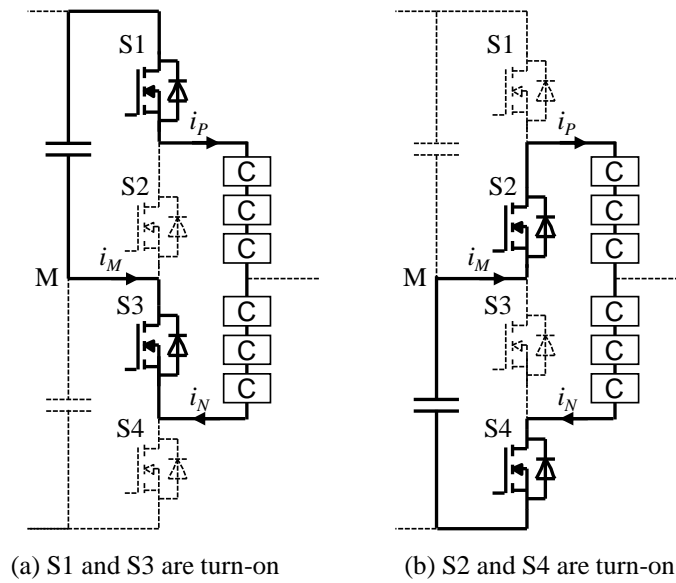


図 3.4: NPC-MMC の循環電流経路

$$v_P = \frac{V_{dc}}{4} - \sqrt{2}V_s \left(1 - \frac{2}{m\pi}\right) \sin \omega t + v_h \quad (3.5)$$

となる。ただし、 m は変調率で、

$$m = \frac{\sqrt{2}V_s}{V_{dc}/2} \quad (3.6)$$

である。系統連系変換器の場合、 m は通常 0.9 から 1 の間に設定される。 v_h は 3 次以上の高調波電圧成分で、

$$v_h = \frac{2\sqrt{2}V_s}{m\pi} \sum_{n=2} \frac{\sin(2n-1)\omega t}{2n-1} \quad (3.7)$$

で表される。

(3.5) 式の第 2 項は v_P の基本波周波数成分で、変調率 m の関数である。たとえば、変調率が $m = 1$ と仮定すると、 v_P の基本波周波数成分は交流電圧の 36% に低減できる。また、変調率が $m = 2/\pi \approx 0.64$ と仮定すると、 v_P の基本波周波数成分はゼロにできる。

図 3.4 に 1 相分の NPC-MMC における循環電流経路を示す。NPC-MMC の循環電流 i_Z は、正側と負側の変換器アームとどちらか一方の直流コンデンサを通る。S1 と S3 がオンの時の循環電流は正側直流コンデンサを通り、S2 と S4 がオンの時の循環電流は負側直流コンデンサを通る。

それぞれの変換器アームには、循環電流に加えて交流系統電流が 1/2 ずつ流れる。そ

のため、アーム電流 i_P と i_N は、

$$i_P = \frac{1}{\sqrt{2}} I_s \sin(\omega t + \theta) + I_{Z0} + i_{Zac} \quad (3.8)$$

$$i_N = -\frac{1}{\sqrt{2}} I_s \sin(\omega t + \theta) + I_{Z0} + i_{Zac} \quad (3.9)$$

と定義できる。ただし、 I_s は交流系統電流の実効値で、 I_{Z0} と i_{Zac} はそれぞれ循環電流 i_Z の直流成分と交流成分を表す。

3.2 パワーフロー解析

本節の解析では、従来の MMC が3つのパワーフローを有するのに対し、NPC-MMC は5つのパワーフローを有し、直流コンデンサから交流系統へ直接電力を供給できることを明らかにする。パワーフロー解析によって、NPC-MMC の直流循環電流を定量的に求めることができる。これは、次節で述べる NPC-MMC に必要なコンデンサ蓄積エネルギーの計算に必要なになる。さらに、パワーフローに基づいた NPC-MMC のコンデンサ電圧バランス制御についても論じる。

3.2.1 NPC-MMC のパワーフローの導出

正側変換器アームに注入される瞬時電力は、(3.5) 式と (3.8) 式の積により、

$$\begin{aligned} v_P i_P = & \underbrace{-\frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi}\right) \cos \theta}_{p_{cell\ to\ ac}} + \underbrace{\frac{V_{dc}}{4} I_{Z0}}_{p_{dc\ to\ cell}} + \underbrace{v_P i_{Zac}}_{p_{cellPN}} \\ & + \frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi}\right) \cos(2\omega t + \theta) \\ & - \sqrt{2} V_s I_{Z0} \left(1 - \frac{2}{m\pi}\right) \sin \omega t + \frac{V_{dc} I_s}{4\sqrt{2}} \sin(\omega t + \theta) \left. \vphantom{\frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi}\right) \cos(2\omega t + \theta)}} \right\} p_{rip-cell} \\ & + \underbrace{v_h \left(\frac{1}{\sqrt{2}} I_s \sin(\omega t + \theta) + I_{Z0} \right)}_{p_{h-cell}} \end{aligned} \quad (3.10)$$

と計算できる。ただし、 $p_{cell\ to\ ac}$ と $p_{dc\ to\ cell}$ は変換器アームに流出/流入する直流電力で、 p_{cellPN} は変換器アーム内の i_{Zac} によって形成される電力である。 $p_{rip-cell}$ は v_P と i_P に含まれる基本波周波数成分によって形成される交流電力を表し、基本波と2倍周波数

成分から構成される。 p_{h-cell} は v_h によって形成される 3 次以上の高次周波数を有する交流電力を表す。

3 レベル構造の正側直流コンデンサから流出する瞬時電力は、(3.4) 式と (3.8) 式の積により、

$$\begin{aligned}
 v_{tIs}p_{iP} = & \underbrace{\frac{V_s I_s}{m\pi} \cos \theta}_{P_{dc \text{ to } ac}} + \underbrace{\frac{V_{dc}}{4} I_{Z0}}_{P_{dc \text{ to } cell}} - \underbrace{(-v_{tIs}p_{iZac})}_{P_{dcPN}} \\
 & - \frac{V_s I_s}{m\pi} \cos(2\omega t + \theta) \\
 & + \frac{2\sqrt{2}V_s I_{Z0}}{m\pi} \sin \omega t + \frac{V_{dc} I_s}{4\sqrt{2}} \sin(\omega t + \theta) \left. \vphantom{\frac{V_s I_s}{m\pi} \cos \theta} \right\} P_{rip-dc} \\
 & + \underbrace{v_h \left(\frac{1}{\sqrt{2}} I_s \sin(\omega t + \theta) + I_{Z0} \right)}_{P_{h-dc}}
 \end{aligned} \tag{3.11}$$

と計算できる。ただし、 $p_{dc \text{ to } ac}$ と $p_{dc \text{ to } cell}$ は 3 レベル構造の直流コンデンサから供給される直流電力で、 p_{dcPN} は i_{Zac} によって形成される電力である。 p_{rip-dc} と p_{h-dc} は直流コンデンサの交流電力脈動を表す。

NPC-MMC のパワーフローは瞬時電力 v_{PiP} , $v_{tIs}p_{iP}$ を系統 1 周期で平均して得ることができる。

$$\frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} v_{PiP} dt = -P_{cell \text{ to } ac} + P_{dc \text{ to } cell} + P_{cellPN} \tag{3.12}$$

$$\frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} v_{tIs}p_{iP} dt = P_{dc \text{ to } ac} + P_{dc \text{ to } cell} - P_{dcPN} \tag{3.13}$$

ただし、

$$P_{cell \text{ to } ac} = \frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi} \right) \cos \theta \tag{3.14}$$

$$P_{dc \text{ to } ac} = \frac{V_s I_s}{m\pi} \cos \theta \tag{3.15}$$

$$P_{dc \text{ to } cell} = \frac{V_{dc}}{4} I_{Z0} \tag{3.16}$$

$$P_{cellPN} = \frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} v_{PiZac} dt \tag{3.17}$$

$$P_{dcPN} = \frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} (-v_{tIs}p_{iZac}) dt \tag{3.18}$$

であり、 $p_{rip-cell}$, p_{h-cell} , p_{rip-dc} , および p_{h-dc} の平均電力はゼロであることに留意されたい。

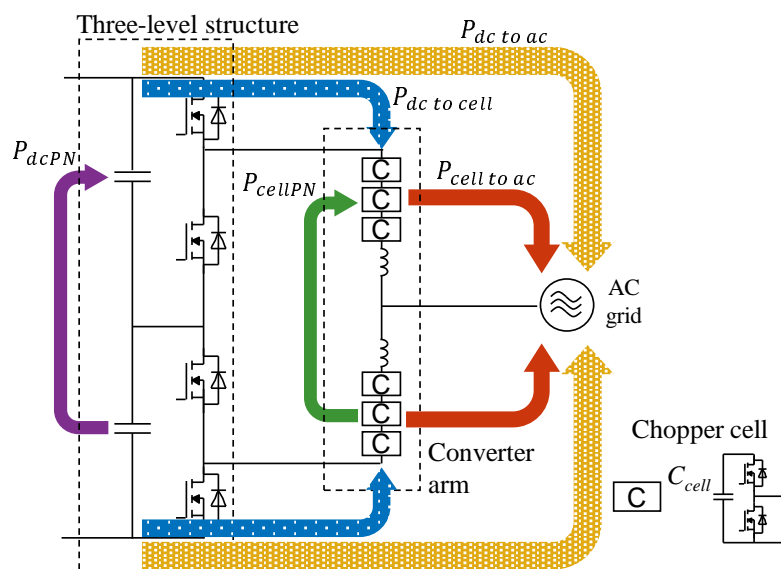


図 3.5: NPC-MMC のパワーフロー

図 3.5 に (3.14)–(3.18) 式で定義される NPC-MMC のパワーフローを示す。それぞれの物理的な意味は以下のとおりである。

$P_{cell\ to\ ac}$ 変換器アーム（セル）から交流系統へ流出するパワーフロー

$P_{dc\ to\ ac}$ 3レベル構造の直流コンデンサから交流系統へ直接供給するパワーフロー（ダイレクトパワーフロー）

$P_{dc\ to\ cell}$ 3レベル構造の直流コンデンサからセルに供給するパワーフロー

P_{cellPN} 負側変換器アームから正側変換器アームに供給するパワーフロー

P_{dcPN} 負側直流コンデンサから正側直流コンデンサに供給するパワーフロー

3.2.2 交流系統と直流コンデンサ，およびセル間のパワーフロー

v_{tIsP} の基本波周波数成分と i_P の交流電流成分の積は，直流コンデンサから交流系統へ直接供給するダイレクトパワーフロー $P_{dc\ to\ ac}$ を形成する。このパワーフローは従来の MMC には存在しない。 v_P の基本波周波数成分と i_P の交流電流成分の積はパワーフロー $P_{cell\ to\ ac}$ を発生する。このパワーフローは従来の MMC にも存在する。 v_P の直流成分と直流循環電流 I_{Z0} の積はパワーフロー $P_{dc\ to\ cell}$ を生成する。各セルに外部からの電力供給がない状態でセルコンデンサ電圧を一定に維持するには，3レベル構造の直流

表 3.1: 従来の MMC と NPC-MMC のパワーフロー

| | $P_{cell\ to\ ac}$ | $P_{dc\ to\ ac}$ | $P_{dc\ to\ cell}$ |
|---------|---|------------------------------------|-------------------------------|
| NPC-MMC | $\frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi}\right) \cos \theta$ | $\frac{V_s I_s}{m\pi} \cos \theta$ | $\frac{V_{dc}}{4} I_{Z0}$ |
| MMC | $\frac{V_s I_s}{2} \cos \theta$ | 0 | $\frac{V_{dc}}{2} I_{Z0-MMC}$ |

コンデンサからセルに供給する電力とセルから交流系統へ流出する電力とを等しくする必要があるので、

$$P_{dc\ to\ cell} = P_{cell\ to\ ac} \quad (3.19)$$

が成り立つ。(3.14) 式と (3.16) 式を (3.19) 式に代入すると、直流循環電流 I_{Z0} は、

$$I_{Z0} = \frac{V_s I_s}{V_{dc}} \left(2 - \frac{4}{m\pi}\right) \cos \theta \quad (3.20)$$

に制御されなければならない。このように、従来の MMC と同様に、NPC-MMC のアーム電流 i_P , i_N は、交流電流成分だけでなく直流循環電流 I_{Z0} も有する。

表 3.1 に NPC-MMC と従来の MMC のパワーフローを示す。NPC-MMC にはダイレクトパワーフロー $P_{dc\ to\ ac}$ が存在するため、セルから交流系統へ流出するパワーフロー $P_{cell\ to\ ac}$ を小さくできる。このように、セルを介するパワーフローが小さいため、NPC-MMC の直流循環電流は小さくなる。従来の MMC において直流リンクから供給される電力と交流系統へ流出する電力が等しいと仮定すると、従来の MMC の直流循環電流は、

$$I_{Z0-MMC} = \frac{V_s I_s}{V_{dc}} \cos \theta \quad (3.21)$$

となる。変調率 m は 1 以下で設計されることを考慮して (3.20) 式と (3.21) 式を比較すると、NPC-MMC の直流循環電流は MMC より小さくできる。たとえば、変調率が $m = 1$ の場合では、NPC-MMC の循環電流は従来の MMC より 27% 低減することが可能である。

3.2.3 正側負側変換器アーム間および正側負側直流コンデンサ間のパワーフロー

正側および負側変換器アームのセルコンデンサ電圧は、正側負側変換器アーム間のパワーフロー P_{cellPN} でバランスすることができる。このパワーフローは従来の MMC と

同様の方法で生成できる。

交流循環電流を次式で定義する。

$$i_{Zac} = \sqrt{2} \sum_{n_Z=1} [I_{Zns} \sin n_Z(\omega t + \phi) + I_{Znc} \cos n_Z(\omega t + \phi)] \quad (3.22)$$

ただし、 I_{Zns} と I_{Znc} は交流循環電流実効値である。(3.5) 式と (3.22) 式を (3.17) 式に代入し、 $\phi = 0$ として整理すると、正側負側変換器アーム間のパワーフローは、

$$P_{cellPN} = \frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} (v_P i_{Zac}) dt = -V_s I_{Z1s} \left(1 - \frac{2}{m\pi}\right) + \frac{V_{dc}}{\sqrt{2\pi}} \sum_{n=2} \frac{I_{Z(2n-1)s}}{2n-1} \quad (3.23)$$

と計算できる。(3.23) 式は奇数次周波数の循環電流 $I_{Z(2n-1)s}$ が正側負側変換器アーム間のパワーフローを形成することを示している。これは、変換器アーム電圧 v_P , v_N のうち、奇数次周波数成分の位相が正側と負側とで逆位相になっているからである。

また、NPC-MMC は2つの直流コンデンサを有している。それらの電圧は正側負側直流コンデンサ間のパワーフロー P_{dcPN} を調整することでバランスできる。このパワーフローは (3.22) 式を (3.18) 式に代入することで、

$$P_{dcPN} = \frac{\omega}{2\pi} \int_0^{\frac{2\pi}{\omega}} (-v_{tNs} i_{Zac}) dt = -\frac{V_{dc}}{\sqrt{2\pi}} \sum_{n=2} \frac{I_{Z(2n-1)s}}{2n-1} \quad (3.24)$$

と求められる。このように、奇数次周波数の循環電流 $I_{Z(2n-1)s}$ は、正側負側変換器アーム間のパワーフローと同様に正側負側直流コンデンサ間のパワーフローも形成する。

3.2.4 パワーフローに基づいたコンデンサ電圧バランス制御

NPC-MMC 内のすべてのコンデンサは一定の電圧に制御する必要がある。ここでは、2つの直流コンデンサと6つの変換器アームのバランス制御に着目して論じる。なお、同一変換器アーム内の個別のセルコンデンサのバランス制御は、従来の MMC と同じ方法を適用すればよい。たとえば、比例制御 [54] やソーティングアルゴリズムを適用することが可能である。

図 3.5 に示す5つのパワーフローによって、コンデンサ電圧を制御することができる。まず、直流リンクから NPC-MMC に流入する電力は一定と仮定すると、すべてのセルコンデンサと直流コンデンサの合計エネルギーは $P_{cell\ to\ ac}$ と $P_{dc\ to\ ac}$ によって制御することができる。(3.14) 式と (3.15) 式は、すべてのコンデンサの合計エネルギーを交流電

流 I_s で制御できることを示している。次に、セルコンデンサと直流コンデンサ間のエネルギーの配分は、 $P_{dc\ to\ cell}$ で制御でき、(3.16) 式から直流循環電流 I_{Z0} を調整することで実現できる。最後に、正側変換器アームと負側変換器アームの間、および正側と負側直流コンデンサの間の電圧バランスは、 P_{cellPN} と P_{dcPN} によって制御できる。(3.23) 式と (3.24) 式に示すように、 P_{cellPN} と P_{dcPN} はどちらも奇数次の交流循環電流によって生成されるが、それぞれ 1 次周波数とそれ以外の周波数（たとえば 5 次周波数）を使うことで非干渉化できる。

3.3 コンデンサ蓄積エネルギー

本節では、前節で導いたパワーフロー解析に基づいて、NPC-MMC に必要なコンデンサ蓄積エネルギーを解析する。蓄積エネルギーはコンデンサの体積、または静電容量に比例し、コンデンサの並列数を決定する重要な指標である。解析の結果、NPC-MMC に必要なコンデンサ蓄積エネルギーは、追加する直流コンデンサを考慮しても従来の MMC の半分にできることを明らかにする。

3.3.1 従来の MMC に必要なコンデンサ蓄積エネルギー

一般的に、電圧形変換器に必要な蓄積エネルギー W はコンデンサの蓄積エネルギーの総和である。コンデンサの定格使用電圧を V_C とすると蓄積エネルギーは、

$$W = \sum \frac{CV_C^2}{2} \quad (3.25)$$

で表される。一方で、エネルギー脈動幅 ΔE は定格運転時のコンデンサエネルギーの最大値と最小値の差を表し、

$$\Delta E = \frac{C}{2} \left\{ V_C \left(1 + \frac{k}{2} \right) \right\}^2 - \frac{C}{2} \left\{ V_C \left(1 - \frac{k}{2} \right) \right\}^2 = kCV_C^2 \quad (3.26)$$

で計算できる。ただし、 k は定格使用電圧に対する許容リップル幅である。(3.26) 式を (3.25) 式に代入すると、

$$W = \sum \frac{\Delta E}{2k} \quad (3.27)$$

となる。したがって、エネルギー脈動幅 ΔE を計算することで、蓄積エネルギーを得ることができる。

エネルギー脈動幅 ΔE は、コンデンサ電圧が最小値から最大値になるまでの期間において、セルに流入する電力を時間積分して計算できる。セルコンデンサ電圧が最小値もしくは最大値をとる時刻は、電力がエネルギーの時間微分であることから、変換器アームに流入する電力がゼロになる時刻 t_1 , t_2 と一致する。従来の MMC のアーム電圧とアーム電流は、

$$v_{P-MMC} = \frac{V_{dc}}{2} - \sqrt{2}V_s \sin \omega t \quad (3.28)$$

$$i_{P-MMC} = \frac{1}{\sqrt{2}}I_s \sin(\omega t + \theta) + I_{Z0-MMC} \quad (3.29)$$

である。 $v_{P-MMC} > 0$ であるから、変換器アームの電力がゼロになるには $i_{P-MMC} = 0$ であればよい。したがって、 t_1 と t_2 は $i_{P-MMC} = 0$ を解いて、

$$ut_1 = \frac{\pi + \sin^{-1}\left(\frac{\sqrt{2}I_{Z0-MMC}}{I_s}\right) - \theta}{\omega} \quad (3.30)$$

$$t_1 = \frac{2\pi - \sin^{-1}\left(\frac{\sqrt{2}I_{Z0-MMC}}{I_s}\right) - \theta}{\omega} \quad (3.31)$$

と求められる。定常状態を仮定すれば、直流リンクから供給される平均電力は交流系統へ出力する平均電力と等しいため、3相 MMC の合計蓄積エネルギーは (3.27)–(3.31) 式を用いて、

$$\begin{aligned} W_{MMC} &= 6 \frac{\Delta E}{2k} = \frac{3}{k} \int_{t_1}^{t_2} v_{P-MMC} i_{P-MMC} dt \\ &= \frac{3}{k} \int_{t_1}^{t_2} \left[\frac{V_s I_s}{2} \cos(2\omega t + \theta) - \sqrt{2}V_s I_{Z0-MMC} \sin \omega t \right. \\ &\quad \left. + \frac{V_{dc} I_s}{4\sqrt{2}} \sin(\omega t + \theta) \right] dt \\ &= W_{V_s I_s - MMC} + W_{V_s I_{Z0-MMC}} + W_{V_{dc} I_s - MMC} \end{aligned} \quad (3.32)$$

と計算できる。定常状態では、MMC の直流循環電流は、

$$I_{Z0-MMC} = \frac{V_s I_s}{V_{dc}} \cos \theta \quad (3.33)$$

で表される。(3.33) 式を (3.32) 式に代入すると、

$$W_{MMC} = \frac{(4 - \cos^2 \theta)^{\frac{3}{2}}}{4m\omega k} 3V_s I_s \quad (3.34)$$

となる。

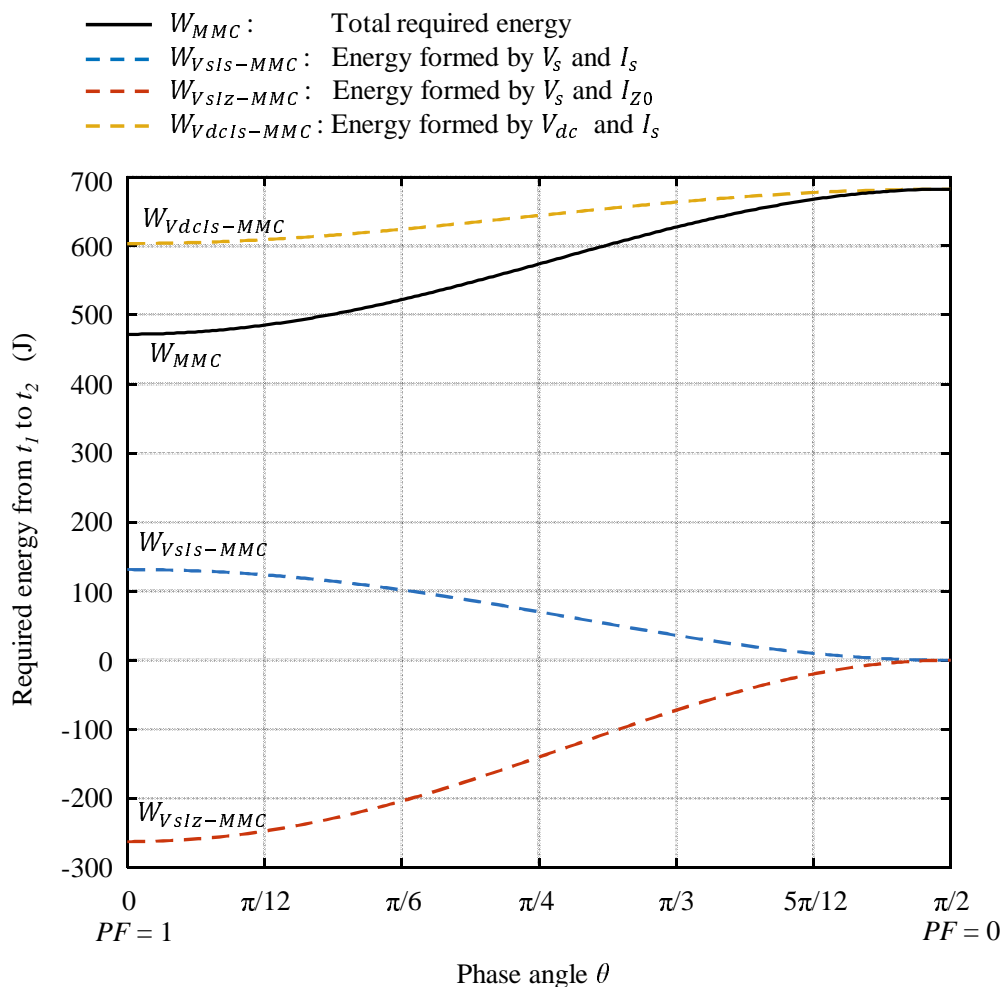


図 3.6: MMC に必要な蓄積エネルギー ($m = 0.93$, $f = \omega/2\pi = 50$ Hz)

図 3.6 に MMC に必要な蓄積エネルギーの計算結果を示す。変換器で発生する損失は無視し、10 kVA 運転時で許容電圧リップル幅は $\pm 5\%$ ($k = 0.1$) の条件で計算を行った。計算で用いた他のパラメータは表 3.2 に示す値を用いた。図 3.6 では、 $0 \leq \theta \leq \pi/2$ のみを示しているが、整流器運転時 ($\theta = \pi$) と遅れ無効電力運転時 ($\theta = -\pi/2$) の蓄積エネルギーは、それぞれインバータ運転時 ($\theta = 0$) と進み無効電力運転時 ($\theta = \pi/2$) の蓄積エネルギーと等しい。図 3.6 は、(3.32) 式のように蓄積エネルギーを 3 つのエネルギーに分類している。 $W_{VsIs-MMC}$ と $W_{VsIz-MMC}$ 、 $W_{VdcIs-MMC}$ はそれぞれ V_s と I_s 、 V_s と I_{z0-MMC} 、 V_{dc} と I_s の積によって生じるエネルギーであり、青、赤、黄破線で表している。黒実線は、これら 3 つの項の和である MMC の合計蓄積エネルギーを示す。 W_{MMC} の大部分は $W_{VdcIs-MMC}$ (黄破線) で構成されている。つまり、エネルギー脈動を引き起こす主要な成分は、直流電圧 V_{dc} と交流電流 I_s によって発生する基本波周波数成分であ

ることがわかる。 $W_{VsIz-MMC}$ (赤破線) は $W_{VdcIs-MMC}$ (青破線) と比較して逆位相となっており, 合計蓄積エネルギー W_{MMC} を減ずる成分である。 W_{MMC} は力率によって異なり, 有効電力運転時 ($PF = 1$) がもっとも小さい。一方, 無効電力運転時 ($PF = 0$) の W_{MMC} は有効電力運転時の 145% になる。これは, 力率 (PF) が減少すると直流循環電流 I_{Z0-MMC} も減少し, その結果, 合計蓄積エネルギー W_{MMC} を減ずる成分である $W_{VsIz-MMC}$ が減少するからである。

3.3.2 NPC-MMC に必要なコンデンサ蓄積エネルギー

NPC-MMC に必要な蓄積エネルギー $W_{NPC-MMC}$ は, セルコンデンサの蓄積エネルギー W_{cell} と 2 つの直流コンデンサの蓄積エネルギー W_{dc} との和である。

$$W_{NPC-MMC} = W_{cell} + W_{dc} \quad (3.35)$$

定常状態を仮定すると, セルコンデンサに流入する平均電力 $P_{dc \text{ to } cell} - P_{cell \text{ to } ac}$ と交流循環電流 i_{Zac} はゼロである。 W_{cell} は (3.10) 式を積分することで, 以下の 4 つのエネルギーにわけることができる。

$$\begin{aligned} W_{cell} &= 6 \frac{\Delta E_{cell}}{2k} = \frac{3}{k} \int_{t_1}^{t_2} v_P i_P dt = \frac{3}{k} \int_{t_1}^{t_2} (p_{rip-cell} p_{h-cell}) dt \\ &= \frac{3}{k} \int_{t_1}^{t_2} \left[\frac{V_s I_s}{2} \left(1 - \frac{2}{m\pi} \right) \cos(2\omega t + \theta) - \sqrt{2} V_s I_{Z0} \left(1 - \frac{2}{m\pi} \right) \sin \omega t \right. \\ &\quad \left. + \frac{V_{dc} I_s}{4\sqrt{2}} \sin(\omega t + \theta) + p_{h-cell} \right] dt \\ &= W_{VsIs} + W_{VsIz} + W_{VdcIs} + W_{h-cell} \end{aligned} \quad (3.36)$$

ただし, t_1 と t_2 は $i_P = 0$ となる時刻である。 W_{VsIs} は系統電圧 V_s と交流電流 I_s , W_{VsIz} は V_s と直流循環電流 I_{Z0} , W_{VdcIs} は直流電圧 V_{dc} と I_s で引き起こされるエネルギー成分である。 W_{h-cell} はアーム電圧に含まれる高調波電圧 v_h で形成されるエネルギーである。セルコンデンサ電圧が一定と仮定すると, (3.20) 式を (3.36) 式に代入することで次式が得られる。

$$W_{cell} = \frac{\left(4 - \left(2 - \frac{4}{m\pi} \right)^2 m^2 \cos^2 \theta \right)^{\frac{3}{2}}}{8m\omega k} 3V_s I_s + W_{h-cell} \quad (3.37)$$

定常状態 ($i_{Zac} = 0$) における 2 つの直流コンデンサの蓄積エネルギー W_{dc} は, 正側と

負側の直流コンデンサが対称となることを考慮し、(3.11)式に基づいて計算すると、

$$\begin{aligned}
 W_{dc} &= 2 \frac{\Delta E_{dcP}}{2k} = \frac{1}{k} \int_{t_3}^{t_4} \left(\frac{3V_s I_s}{2} - v_{tIsPu} i_{Pu} - v_{tIsPv} i_{Pv} - v_{tIsPw} i_{Pw} \right) dt \\
 &= \frac{-1}{k} \int_{t_3}^{t_4} (p_{h-dcu} + p_{h-dcv} + p_{h-dcw}) \\
 &= \frac{-1}{k} \int_{t_3}^{t_4} \frac{3V_s}{m\pi} \sum_{n=1} \left[\frac{\cos(6n\omega t - \theta)}{6n+1} I_s - \frac{\cos(6n\omega t + \theta)}{6n-1} I_s \right. \\
 &\quad \left. + 2\sqrt{2} \frac{\sin 3(2n-1)\omega t}{3(2n-1)} I_{z0} \right] dt \tag{3.38}
 \end{aligned}$$

となる。ただし、 t_3 と t_4 は正側直流コンデンサに流入する電力 $(3V_s I_s)/2 - v_{tIsPu} i_{Pu} - v_{tIsPv} i_{Pv} - v_{tIsPw} i_{Pw}$ がゼロとなる時刻である。(3.38)式は、直流コンデンサに流入する電力の基本波周波数成分が打ち消し合い、3の倍数次の高調波電力成分のみが流入することを示している。したがって、直流コンデンサの蓄積エネルギーはセルコンデンサと比較して小さくなる。

図3.7にNPC-MMCに必要な蓄積エネルギーの計算結果を示す。変換器で発生する損失は無視し、10 kVA 運転時で許容電圧リプル幅は $\pm 5\%$ ($k = 0.1$) の条件で計算を行った。計算で用いた他のパラメータは表3.2に示す値を用いた。MMCと同様に、整流器運転時 ($\theta = \pi$) と遅れ無効電力運転時 ($\theta = -\pi/2$) の蓄積エネルギーは、それぞれインバータ運転時 ($\theta = 0$) と進み無効電力運転時 ($\theta = \pi/2$) の蓄積エネルギーと等しくなる。

図3.7の黒実線はNPC-MMCの合計蓄積エネルギー $W_{NPC-MMC}$ を表す。 W_{MMC} と同様に、 $W_{NPC-MMC}$ の大部分は黄破線で示される W_{VdclS} (MMCの場合は $W_{VdclS-MMC}$) で構成されている。図3.6の W_{MMC} と比較して、 $W_{NPC-MMC}$ はおおよそ半分に低減している。これは、NPC-MMCのアーム電圧 v_P に含まれる直流電圧成分が v_{P-MMC} と比較して $1/2$ であるからである。また、NPC-MMCの合計蓄積エネルギー $W_{NPC-MMC}$ は位相角 θ による影響が小さい。NPC-MMCはダイレクトパワーフロー $P_{dc \text{ to } ac}$ を有するため、従来のMMCより直流循環電流を小さくでき、力率によって変動する直流循環電流の影響を受けにくい。

W_{VdclS} と比較して、直流コンデンサの蓄積エネルギー W_{dc} は非常に小さい。直流コンデンサは3相共通であり、各相の電力のうち基本波周波数成分が打ち消されるからである。さらに、高次周波数のエネルギー脈動成分 W_{h-cell} も無視できるほど小さい。したがって、変換器の体積やコンデンサを設計する際に、合計蓄積エネルギーの概略計算を行う上では、 W_{dc} や W_{h-cell} を無視しても十分な精度が得られると考えられる。

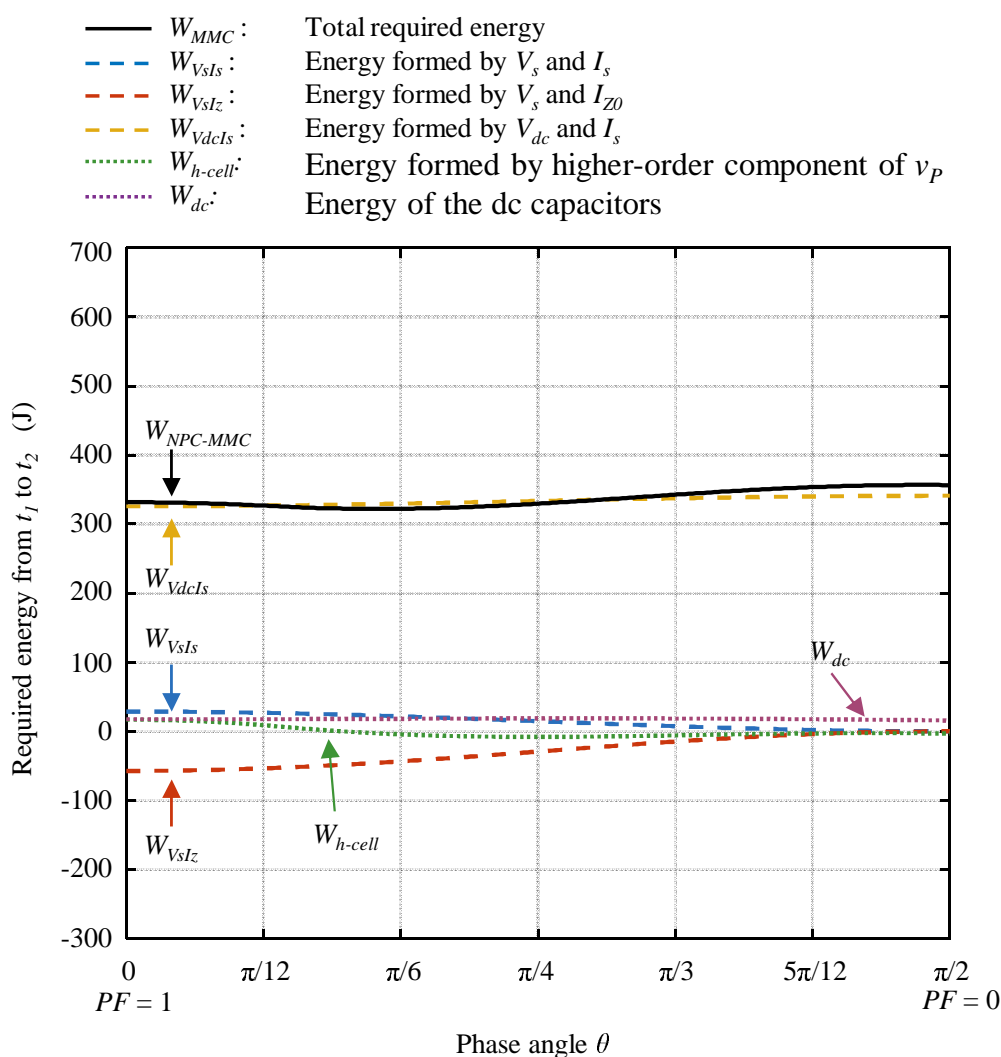


図 3.7: NPC-MMC に必要な蓄積エネルギー ($m = 0.93$, $f = \omega/2\pi = 50$ Hz)

図 3.8 に従来の MMC と NPC-MMC の蓄積エネルギーの比較結果を示す。追加する直流コンデンサの蓄積エネルギーは全体の蓄積エネルギーに与える影響は小さく、 W_{dc} は $W_{NPC-MMC}$ のわずか 5.5% である。力率が 1 の時 ($\theta = 0$) は、NPC-MMC の蓄積エネルギーは従来の MMC の 70% に低減でき、力率が 0 の時 ($\theta = \pi/2$) は 52% に低減できる。

3.4 高調波重畳によるセルコンデンサ蓄積エネルギーのさらなる低減

従来の MMC は、循環電流や零相電圧に高調波成分を重畳することにより必要な蓄積エネルギー（電圧リップル）を低減できる [98–104]（リップル低減制御）。前節で述べた通

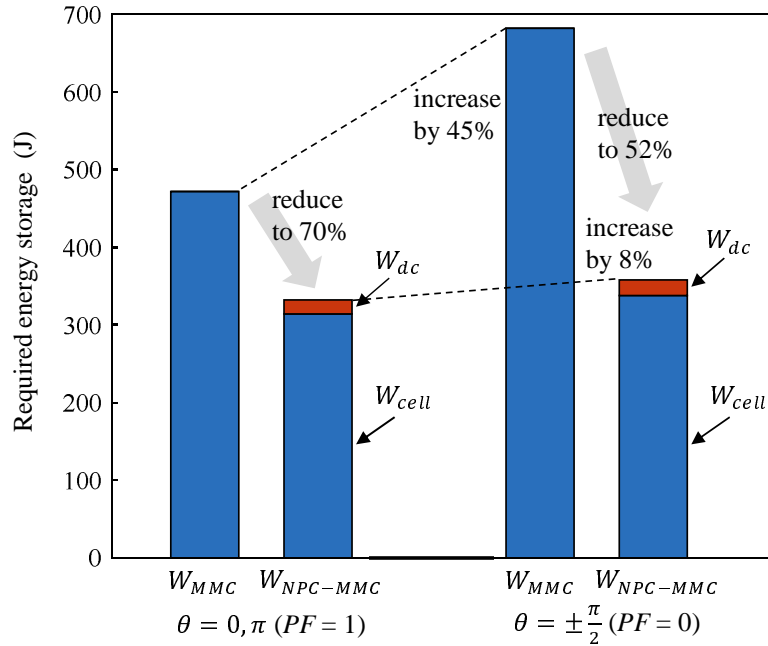


図 3.8: 合計蓄積エネルギーの比較 ($m = 0.93$, $f = \omega/2\pi = 50$ Hz)

り, NPC-MMC に必要な蓄積エネルギーの主要部分は直流もしくは基本波周波数成分で生成され, 従来の MMC と同様である。したがって, NPC-MMC にもリップル低減制御を適用することで蓄積エネルギーを低減できる。ここでは, 2 次と 4 次高調波電流を循環電流に重畳するリップル低減制御を適用する。これらの高調波電流は平均電力を形成せず, セルコンデンサ電圧のアンバランスが生じない。リップル低減制御のために (3.22) 式から $n_Z = 2, 4$ を選ぶと, 重畳する循環電流は,

$$i_{Zac} = \sqrt{2} [I_{Z2s} \sin 2(\omega t + \theta) + I_{Z2c} \cos 2(\omega t + \theta) + I_{Z4s} \sin 4(\omega t + \theta) + I_{Z4c} \cos 4(\omega t + \theta)] \quad (3.39)$$

となる。ただし, I_{Z2s} , I_{Z2c} , I_{Z4s} , I_{Z4c} は重畳する高調波電流実効値で, その位相角は $\phi = \theta$ である。2 次高調波電流はセルコンデンサの基本波周波数のリップル電圧 (直流電圧と交流電流で形成されるエネルギーによって生じるリップル電圧) を低減できる。しかしながら, 2 次高調波電流はスイッチング損失やアーム電流ピーク値を増大させる可能性がある。そのため, 2 次高調波だけでなく, (3.39) 式のように 4 次高調波電流を循環電流に加えることでアーム電流ピーク値を抑制する。さらに, アーム電圧 v_P に零相電圧として 3 次高調波電圧を重畳することで蓄積エネルギーを低減する。3 次高調波電圧

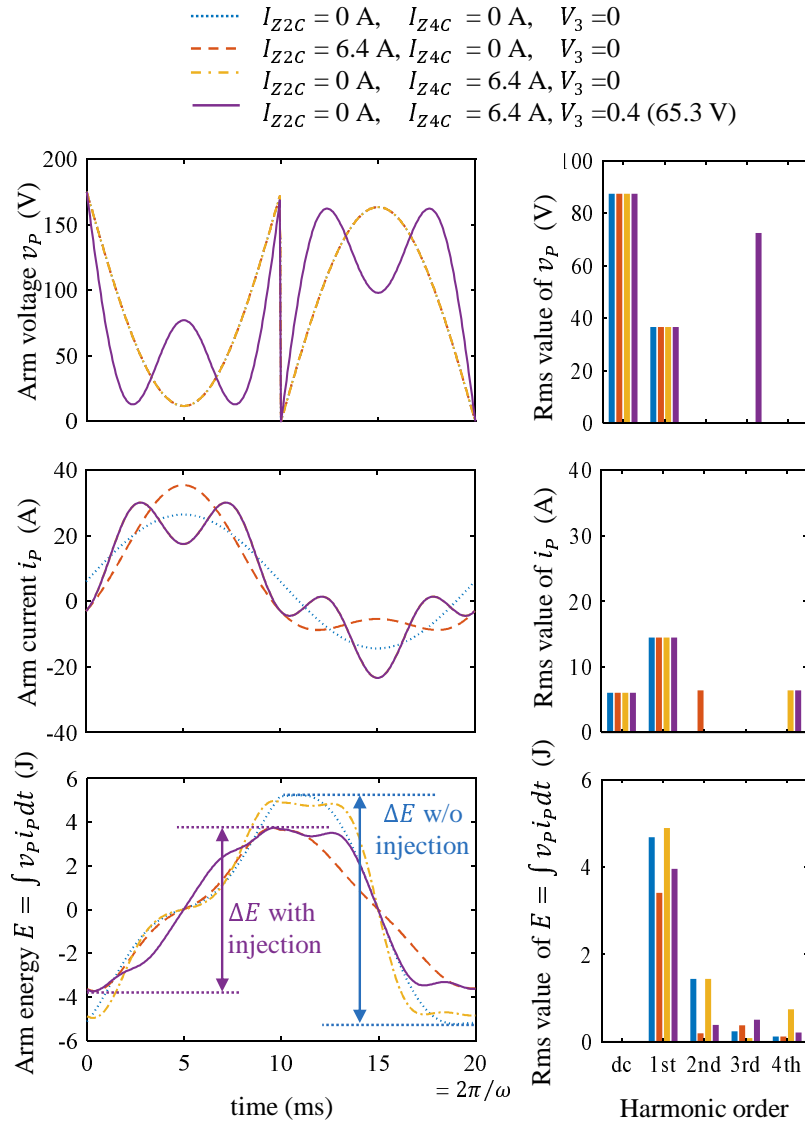


図 3.9: 高調波重畳時の理論波形とそのスペクトル

を重畳した場合のアーム電圧 v_P は,

$$v_P = \frac{V_{dc}}{4} + \sqrt{2}V_s \left(1 - \frac{2}{m\pi} \sin \omega t + V_3 \sin 3\omega t \right) + v_h \quad (3.40)$$

で表される。

図 3.9 は循環電流や零相電圧に高調波重畳した場合の理論波形とそのスペクトルである。2次高調波電流 I_{Z2c} を重畳した場合（赤破線）は、アームエネルギー E の基本波周波数成分（1st）が最も小さくなる。ただし、高調波重畳しない場合（青点線）に比べて、 i_P のピーク値は 34% 増加する。一方、4次高調波電流 I_{Z4c} を重畳した場合（黄一点鎖線）は、 i_P のピーク値は 14% しか増加しないが、 E の基本波周波数成分（1st）をほと

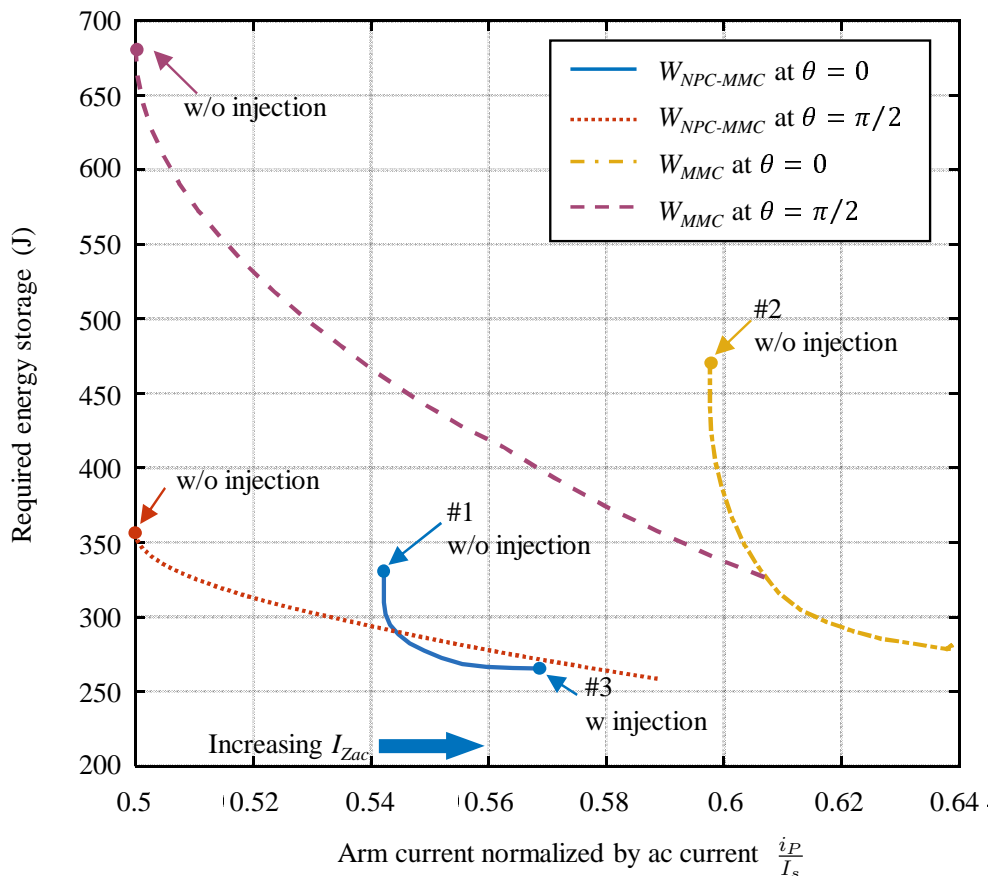


図 3.10: 高調波重畳によるリップル低減制御を適用した場合の蓄積エネルギー

んど低減できない。4次高調波電流 I_{Z4c} と3次高調波電圧 V_3 を重畳した場合（紫実線）は、 E の基本波周波数成分（1st）を大きく低減できる。さらに、3次高調波電圧 V_3 は3次のエネルギー脈動を発生させるため、 E のピーク値を低減させる効果もある。この場合、 i_P のピーク値増加を抑制しつつ、エネルギーリップル幅を低減できる。その結果、エネルギーリップル幅 ΔE は71%に低減できる。

図 3.10 にリップル低減制御を適用した場合の蓄積エネルギーとアーム電流実効値との関係を示す。言い換えると、図 3.10 は高調波電流の重畳量と蓄積エネルギーの低減量を定量的に示した図である。なお、アーム電流は定格交流電流 I_s で規格化していることに注意されたい。重畳する高調波電流 I_{Z2s} , I_{Z2c} , I_{Z4s} , I_{Z4c} は、高調波電流を重畳しない場合と比較してアーム電流 i_P のピーク値が113%以下になる条件で、 W_{MMC} , $W_{NPC-MMC}$ が最も小さくなるように最適化した。3次零相高調波電圧 V_3 は系統電圧の40%とした。

図 3.10 はリップル低減制御によるアーム電流増加に伴って、コンデンサ蓄積エネルギー

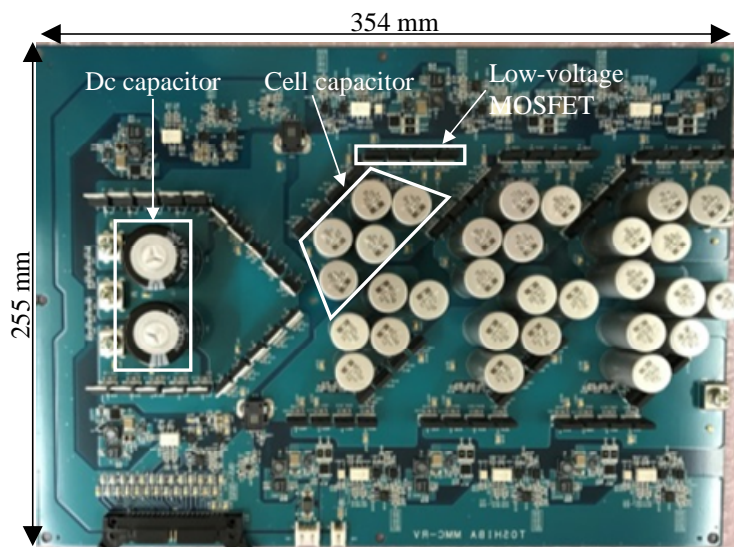


図 3.11: 低圧 MOSFET を使用した NPC-MMC の実験回路基板 (1 相分)

W_{MMC} , $W_{NPC-MMC}$ が低減することを示している。特に、無効電力運転である $\theta = \pi/2$ の時のリップル低減効果が高い。無効電力運転 $\theta = \pi/2$ では直流循環電流がないため、高調波電流を重畳する余地が大きいためである。また、リップル低減制御を適用しても NPC-MMC のアーム電流実効値は MMC のアーム電流実効値より小さい。 $\theta = 0$ で高調波重畳しない場合の $W_{NPC-MMC}$ (point #1) は、 $\theta = 0$ の W_{MMC} (point #2) より 30% 低減できる。さらにリップル低減制御で高調波電流を重畳すると、アーム電流実効値が増えるものの、 $W_{NPC-MMC}$ (point #3) は #2 より 44% 低減できる。このとき、高調波電流を重畳した場合であっても、NPC-MMC の循環電流は MMC より小さいため、 #3 における NPC-MMC のアーム電流実効値は高調波電流を重畳しない場合の MMC (point #2) より小さくてよい。したがって、NPC-MMC にリップル低減制御を適用することで、従来の MMC よりアーム電流が小さいまま、コンデンサ蓄積エネルギーをさらに低減できる。

表 3.2: NPC-MMC の実験回路定数

| | | |
|---------------------------------|--------------------|---------------|
| Rated power | P | 10 kVA |
| Line-to-line grid voltage | $\sqrt{3}V_s$ | 200 V |
| Rated ac grid current | I_s | 28.9 A |
| System frequency | f | 50 Hz |
| Dc link voltage | V_{dc} | 350 V |
| Cell capacitor | C_{cell} | 8 mF |
| Cell capacitor voltage | V_{cell} | 65 V |
| Dc capacitor in one phase | C_{dcP}, C_{dcN} | 0.8 mF |
| Dc capacitor voltage | V_{dcP}, V_{dcN} | 175 V |
| Buffer inductor | L_b | 0.1 mH (0.4%) |
| Switching frequency of the cell | f_{sw} | 6.6 kHz |
| Number of cells | N | 3 |

3.5 実験結果

3.5.1 実験回路構成

図 3.1 (b) に実験で用いた NPC-MMC の回路構成を示す。実験では低圧の系統連系変換器を想定し、表 3.2 に示す回路定数を用いた。ただし、装置の都合上、測定したアーム電流の向きは図 3.1 (b) に示した方向と逆向きである。NPC-MMC の直流リンクは直流電源と接続し、交流端子は漏れインダクタンス 2% で変圧比 1:1 のデルタ結線変圧器を介して 3 相 200 V の交流系統に接続する。

図 3.11 に NPC-MMC の回路基板の写真を示す。3 相 10 kVA の実験システムには、図 3.11 の回路基板を 3 枚用いた。チョップセルと 3 レベル構造のスイッチング素子には MOSFET を使用した。導通損失やスイッチング損失は非常に小さいため、回路基板上の MOSFET にはヒートシンクや冷却ファンは取り付けしていない。また、チョップセルは主回路給電回路が備えており、MOSFET のゲート駆動電力はセルコンデンサから供給する。そのため、電位の異なる MOSFET に電力を供給する絶縁電源は必要ない。さらに、交流フィルタは 6 つの小さなバッファリアクトル (0.4%) のみであり、NPC-MMC

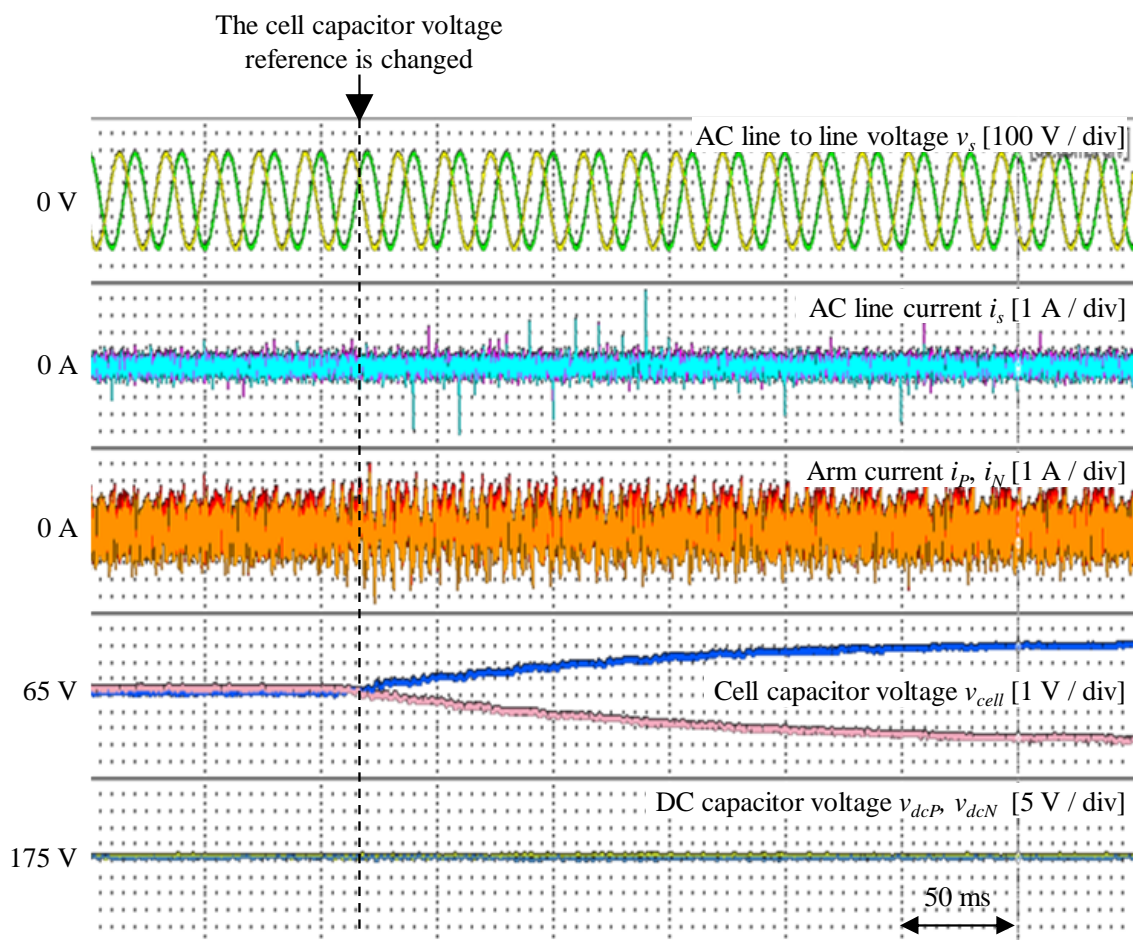


図 3.12: 正側アームのセルコンデンサと負側アームのセルコンデンサに異なる指令値を与えた場合の実験波形

は小さな系統連系変換器として構成できる。等価スイッチング周波数はバッファリアクトルに流れるリップル電流の周波数でもあり、 $20 \text{ kHz}(= N f_{sw})$ に設定した。

3.5.2 パワーフロー解析の実験検証

図 3.12 と図 3.13 に直流コンデンサおよびセルコンデンサの電圧制御の検証波形を示す。電圧制御はパワーフロー解析に基づいて設計し、正側負側間のバランス制御には 1 次と 5 次周波数の循環電流を利用した。図 3.12 は直流コンデンサ電圧指令値は一定のまま、正側負側セルコンデンサ電圧偏差の指令値 $v_{cellP}^* - v_{cellN}^*$ を 0 V から 5 V に変化させた波形である。指令値変化後に、基本波と 5 次周波数の循環電流 I_{Z1s} , I_{Z5s} が正側アーム

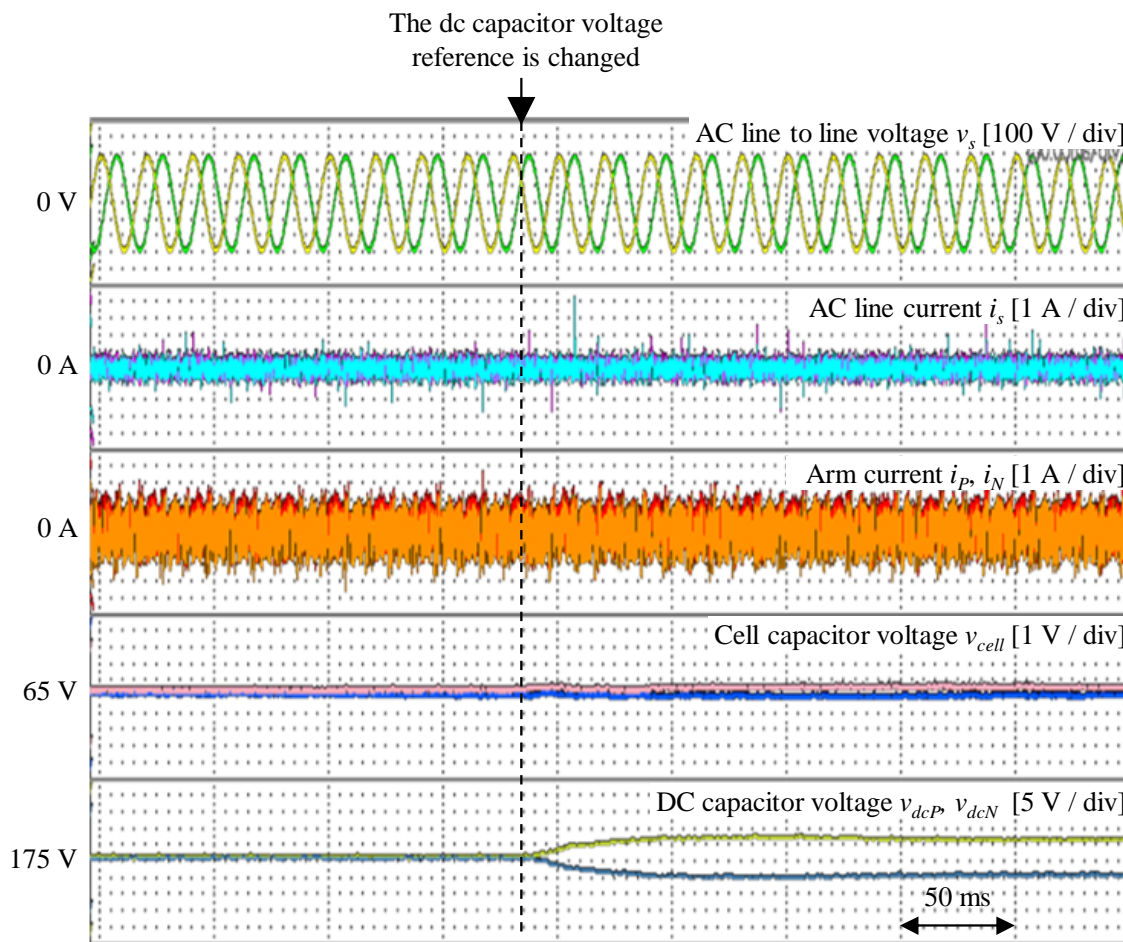


図 3.13: 正側直流コンデンサと負側直流コンデンサに異なる指令値を与えた場合の実験波形

ムと負側アームの両方に流れた。その結果、(3.23) 式のパワーフローが生成され、セルコンデンサ電圧が変化した。一方で直流コンデンサ電圧は、セルコンデンサ電圧が変化している過渡状態においても一定であり、直流コンデンサ電圧制御とセルコンデンサ電圧制御が非干渉化されていることがわかる。このように、基本波と 5 次周波数の循環電流を適切に制御すれば、(3.24) 式の正側負側直流コンデンサ間のパワーフロー P_{dcPN} は生じない。また、図 3.13 はセルコンデンサ電圧指令値は一定のまま、正側負側直流コンデンサ電圧偏差の指令値 $v_{dcP}^* - v_{dcN}^*$ を 0 V から 15 V に変化させた波形である。指令値変化後に、 I_{Z1s} と I_{Z5s} によって直流コンデンサ電圧は指令値通りに変化した。このとき、パワーフロー P_{dcPN} のみが生成され、 P_{cellPN} は生成されないため、セルコンデンサ電圧は一定に制御されている。

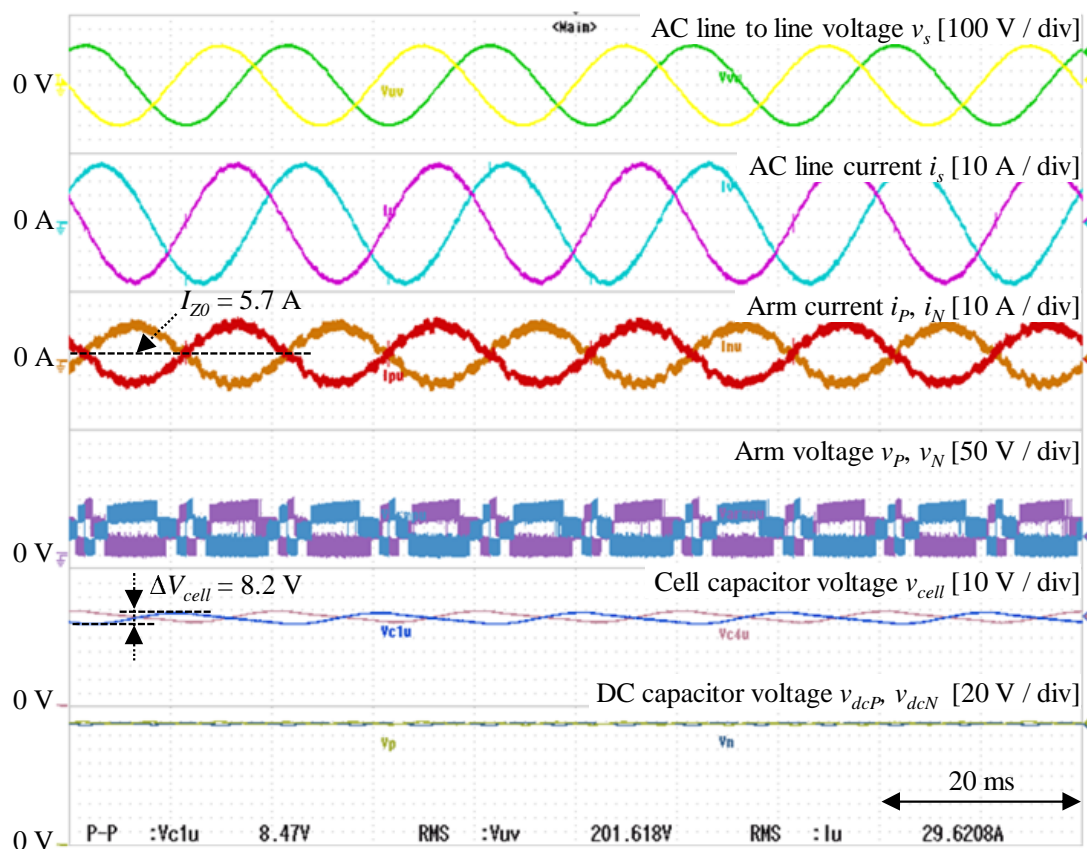


図 3.14: リプル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kW 整流器運転)

3.5.3 蓄積エネルギーの実験検証

図 3.14 と図 3.15 に定格運転時の実験波形を示す。図 3.14 は有効電力運転として 10 kW 整流器運転時の動作波形である。系統電流 i_s は正弦波に制御され、高調波成分はほとんど含まれていない。セルコンデンサ電圧 v_{cellP} , v_{cellN} と直流コンデンサ電圧 v_{dcP} , v_{dcN} は、パワーフローに基づいたコンデンサ電圧制御により、よくバランスしている。すべての電圧制御には比例積分制御を用いており、定常状態での電圧偏差はない。

図 3.14 におけるセルコンデンサと直流コンデンサの電圧リプル幅は、それぞれ $\Delta v_{cellP} = 8.2 \text{ V}$ ($k_{cell} = 0.127$) と $\Delta v_{dcP} = 4.3 \text{ V}$ ($k_{dc} = 0.025$) であった。セルコンデンサ容量 C_{cell} の実測値が定格の -7% であったことを考慮すると、実験回路の合計蓄積エネルギーは $W_{NPC-MMC} = 356.4 \text{ J}$ ($W_{cell} = 282.9 \text{ J}$, $W_{dc} = 73.5 \text{ J}$) であった。一方で、式 (3.37) と式 (3.38) を用いて、実測したリプル幅 k から蓄積エネルギーを計算する

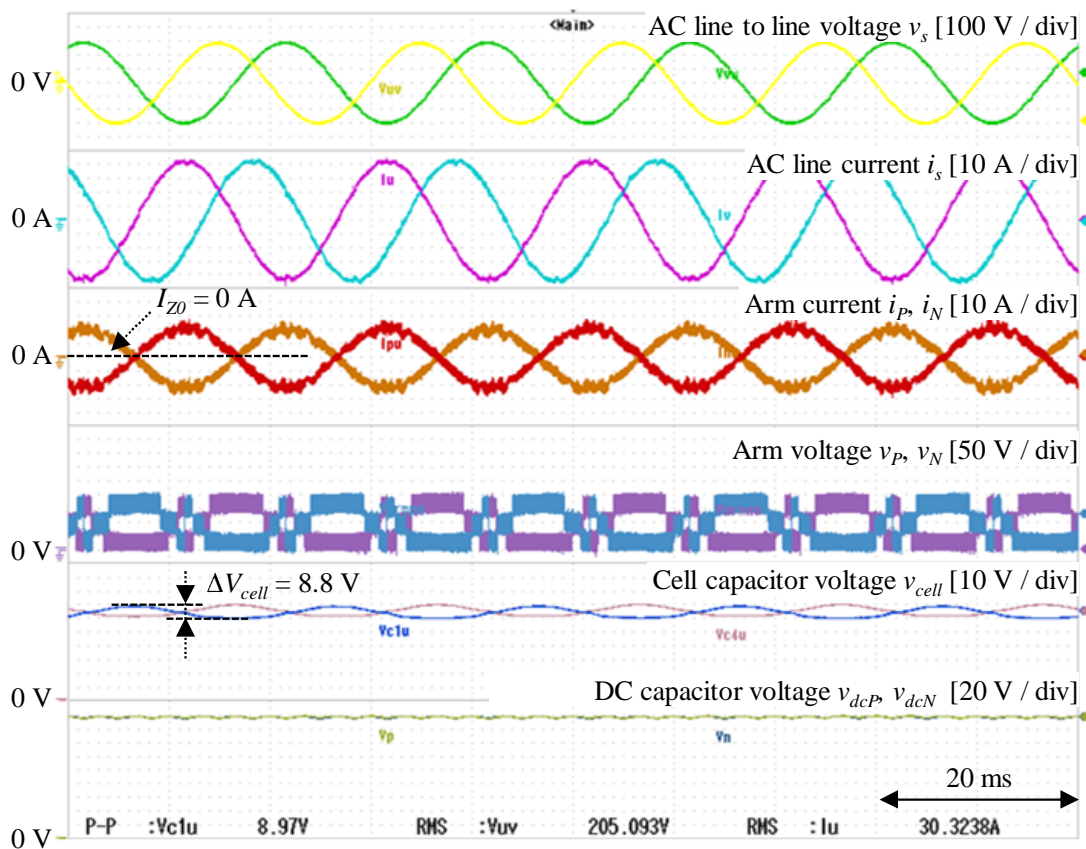


図 3.15: リプル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kvar 容量性運転)

と, $W_{NPC-MMC} = 328.1 \text{ J}$ ($W_{cell} = 263.0 \text{ J}$, $W_{dc} = 65.1 \text{ J}$) となる。したがって, 理論計算による蓄積エネルギーは実験で用いた蓄積エネルギーとほぼ一致した。ただし, 計算で用いた系統電圧は, NPC-MMC と商用交流系統の間に接続された変圧器とケーブルでの電圧降下 3.5% を考慮した。

有効電力運転時では, アーム電流は直流循環電流が含まれ, それによって直流コンデンサからセルコンデンサへのパワーフローが生じる。NPC-MMC のセルコンデンサは変換電力の一部だけを交流系統と融通するため, 実測した直流循環電流はわずか 5.7 A であった。これに対し, 従来の MMC はセルコンデンサがすべての変換電力を交流系統と融通するため, (3.21) 式で直流循環電流を計算すると 9.5 A になる。したがって, NPC-MMC の直流循環電流は従来の MMC より小さくでき, 導通損失を低減することができる。

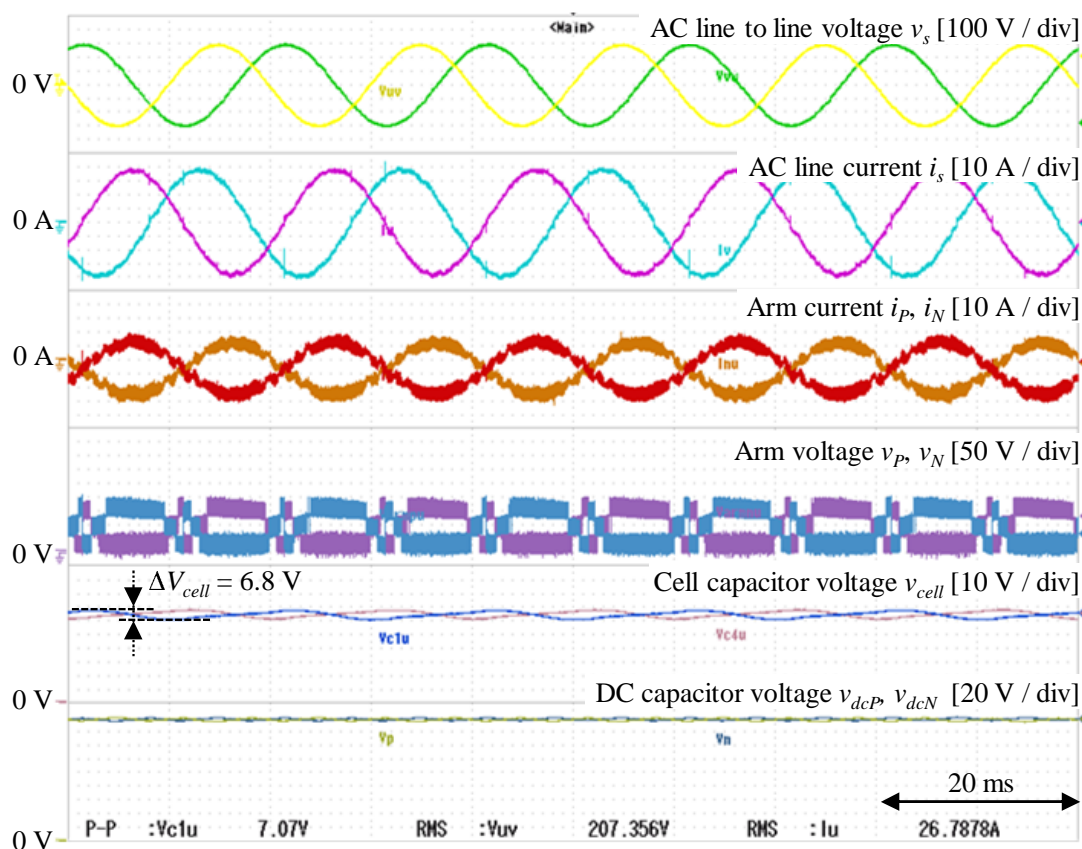


図 3.16: リプル低減制御を適用しない場合の NPC-MMC の実験波形 (−10 kW インバータ運転)

図 3.15 は 10 kvar 容量性無効電力運転時の動作波形である。このとき、代表セルコンデンサ電圧のリプル幅は $\Delta v_{cellP} = 8.8 \text{ V}$ ($k_{cell} = 0.135$) で、直流コンデンサ電圧のリプル幅は $\Delta v_{dcP} = 4.9 \text{ V}$ ($k_{dc} = 0.028$) であった。3.3.2 節で議論したように、無効電力運転時のコンデンサリプル電圧は、有効電力運転時のリプル電圧とほとんど変わらない。

図 3.16 は −10 kW のインバータ運転時の動作波形である。図 3.16 におけるセルコンデンサと直流コンデンサの電圧リプル幅は、それぞれ $\Delta v_{cellP} = 6.8 \text{ V}$ ($k_{cell} = 0.105$) と $\Delta v_{dcP} = 6.3 \text{ V}$ ($k_{dc} = 0.036$) であった。インバータ運転時のリプル幅と比較すると差異がみられるが、実験システムの変圧器とケーブルの抵抗成分での系統電圧上昇の影響と考えられる。

図 3.17 は 10 kvar の誘導性無効電力時の動作波形である。図 3.17 におけるセルコンデンサと直流コンデンサの電圧リプル幅は、それぞれ $\Delta v_{cellP} = 8.9 \text{ V}$ ($k_{cell} = 0.137$) と

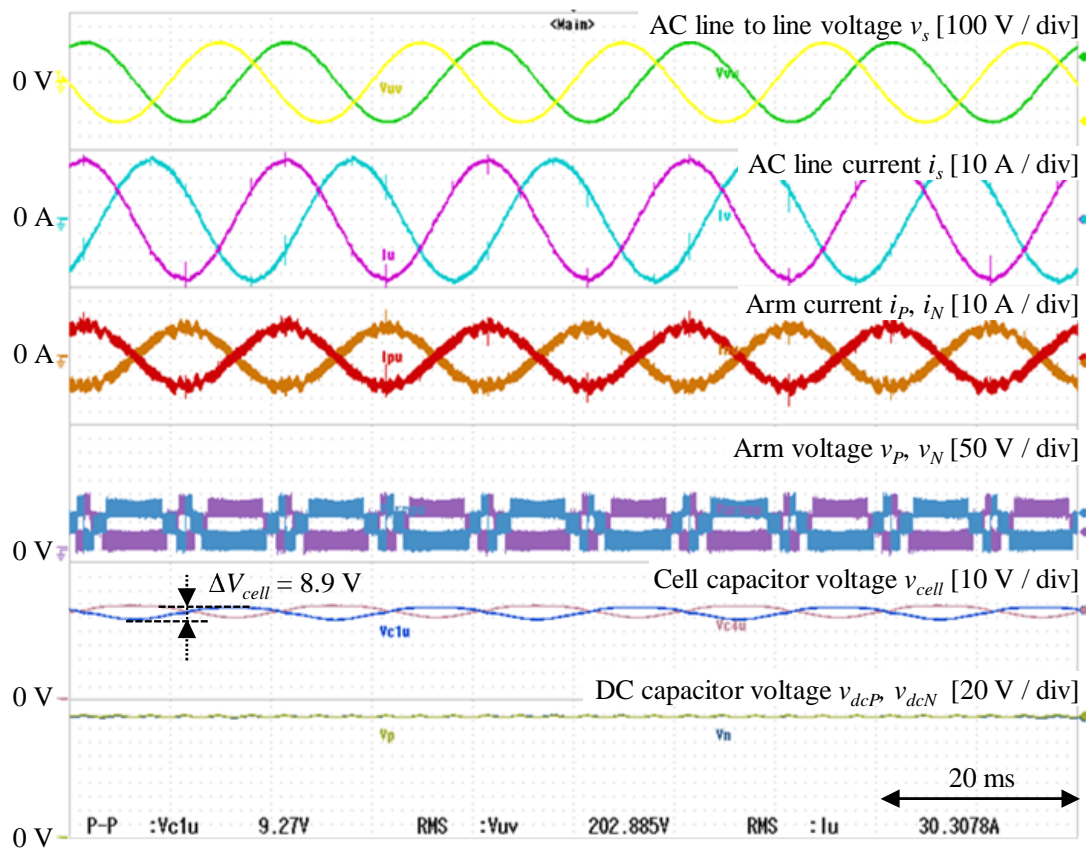


図 3.17: リプル低減制御を適用しない場合の NPC-MMC の実験波形 (10 kvar 誘導性運転)

$\Delta v_{dcP} = 4.6 \text{ V}$ ($k_{dc} = 0.026$) であった。インバータ運転と容量性運転の各コンデンサ波形は、電圧リプルの位相は異なるが、それぞれ整流器運転と容量性運転と同様の波形が得られた。

3.5.4 高調波重畳によるセルコンデンサ電圧リプル低減制御の実験検証

図 3.18 と図 3.19 にコンデンサ電圧リプル低減制御を適用した実験波形を示す。循環電流に重畳する高調波電流は、MOSFET の過大なスイッチング損失や導通損失を防ぐために循環電流のピーク値が 30 A 以下になるように制限した。また、アーム電流実効値は重畳しない場合の 110% となるように設定した。

図 3.18 はリプル低減制御を適用した場合の有効電力運転時の実験波形である。系統電

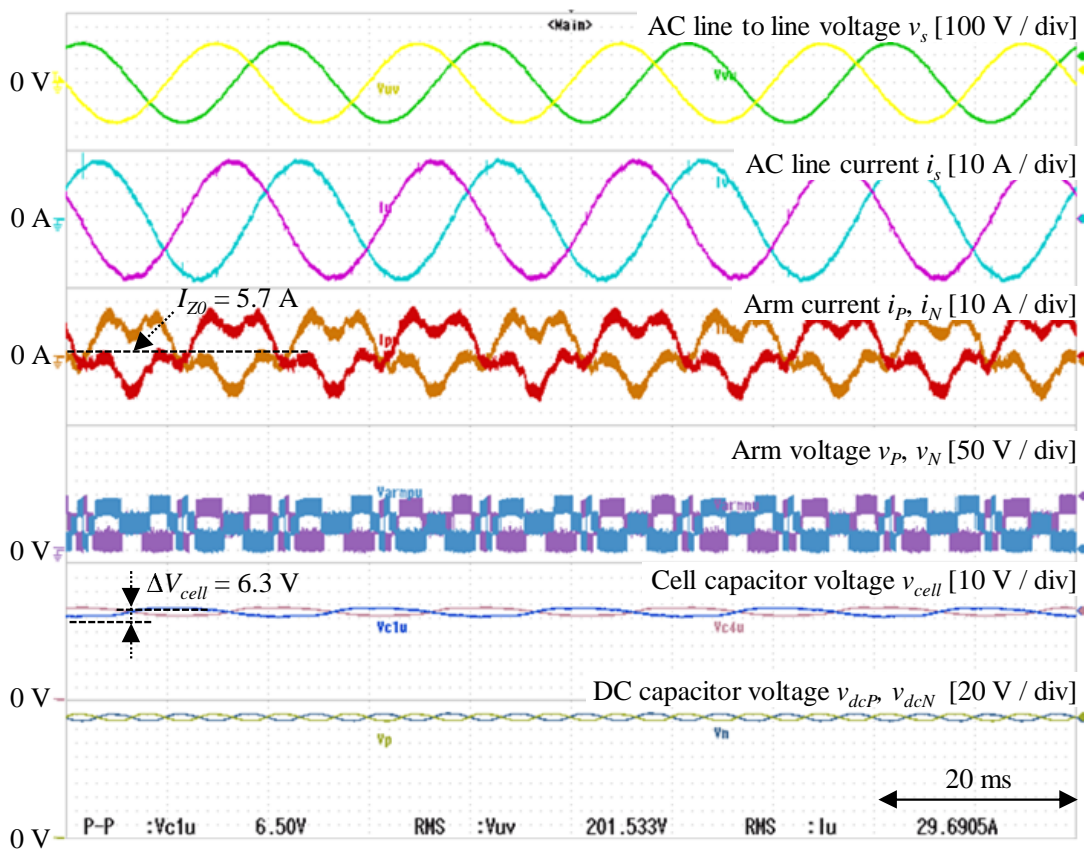


図 3.18: リプル低減制御を適用した場合の NPC-MMC の実験波形 (10 kW 整流器運転)

流 i_s はリプル低減制御の影響がなく、図 3.14 と同様に歪みの小さい出力電流が得られた。一方で、アーム電流 i_p , i_N には 2 次と 4 次の周波数成分が含まれており、アーム電圧 v_p , v_N には 3 次高調波電圧も重畳している。これらの高調波電圧・電流によって、代表セルのコンデンサリプル電圧は $\Delta v_{cellP} = 6.3 \text{ V}$ ($k_{cell} = 0.097$) になり、リプル低減制御をしない場合と比較して 23% 低減した。特に、 v_{cellP} の波形形状に着目すると方形波状となっていることがわかる。これは、 v_{cellP} に含まれる 1 次・2 次周波数成分が低減し、3 次周波数成分が調整されたためである。しかし、3 次周波数成分が増加した影響で直流コンデンサのリプル電圧は $\Delta v_{dcP} = 9.5 \text{ V}$ ($k_{dc} = 0.054$) になり、リプル低減制御をしない場合と比較して約 2 倍に増加した。ただし、許容リプル幅 k_{dc} と k_{cell} を等しい値に設計すれば、図 3.8 に示すように W_{dc} は W_{cell} よりずっと小さいため、全体の必要蓄積エネルギー $W_{NPC-MMC}$ に与える影響は小さいと考えられる。

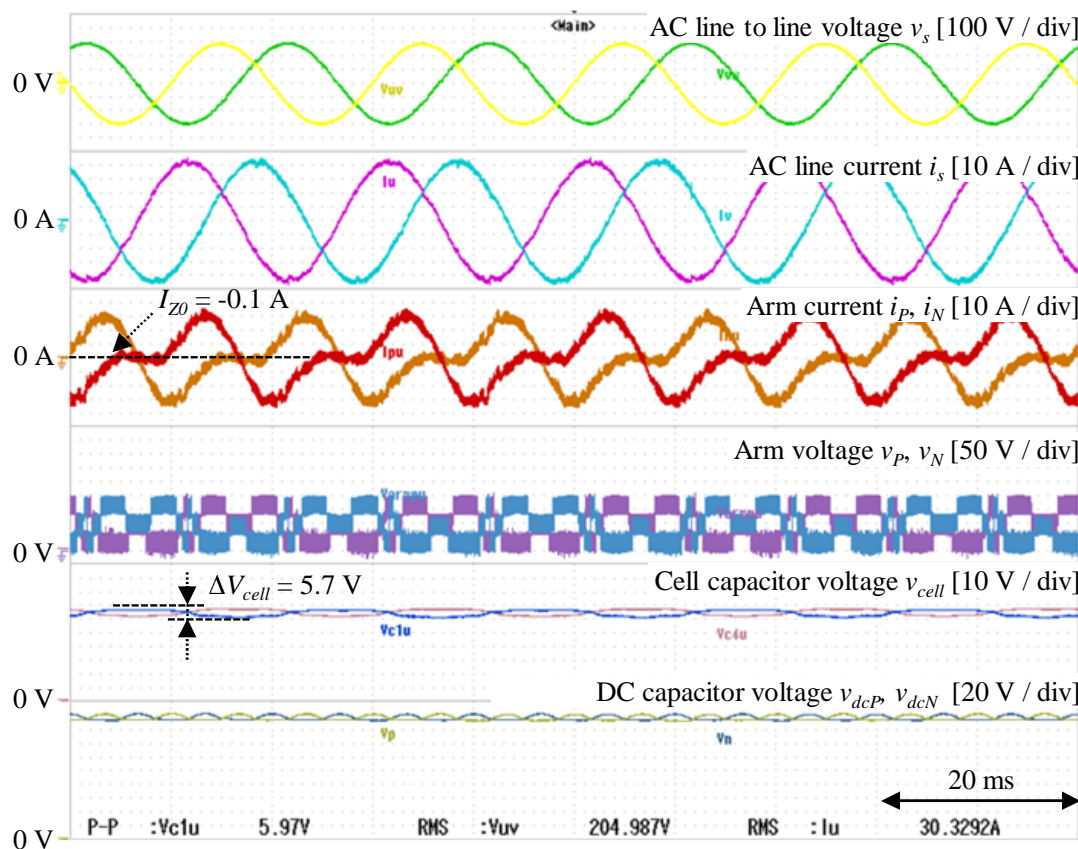


図 3.19: リプル低減制御を適用した場合の NPC-MMC の実験波形 (10 kvar 容量性運転)

図 3.19 はリプル低減制御を適用した場合の無効電力運転時の実験波形である。無効電力運転時は直流循環電流を必要としないため、有効電力運転時より大きな高調波電流を重畳することができる。その結果、セルコンデンサ電圧のリプル幅は $\Delta v_{cellP} = 5.7$ V ($k_{cell} = 0.088$) になり、リプル低減制御をしない場合と比較して 35% 低減した。

図 3.20 と図 3.21 にインバータ運転時と誘導性無効電力運転時におけるコンデンサ電圧リプル低減制御を適用した動作波形を示す。図 3.20 におけるセルコンデンサと直流コンデンサの電圧リプル幅は、それぞれ $\Delta v_{cellP} = 4.8$ V ($k_{cell} = 0.074$) と $\Delta v_{dcP} = 10.3$ V ($k_{dc} = 0.059$) であった。図 3.21 におけるセルコンデンサと直流コンデンサの電圧リプル幅は、それぞれ $\Delta v_{cellP} = 6.1$ V ($k_{cell} = 0.094$) と $\Delta v_{dcP} = 9.8$ V ($k_{dc} = 0.056$) であった。インバータ運転時と誘導性無効電力運転時においてもコンデンサ電圧リプル低減制御は有効に機能することを確認し、セルコンデンサの電圧リプルはそれぞれ 29%、

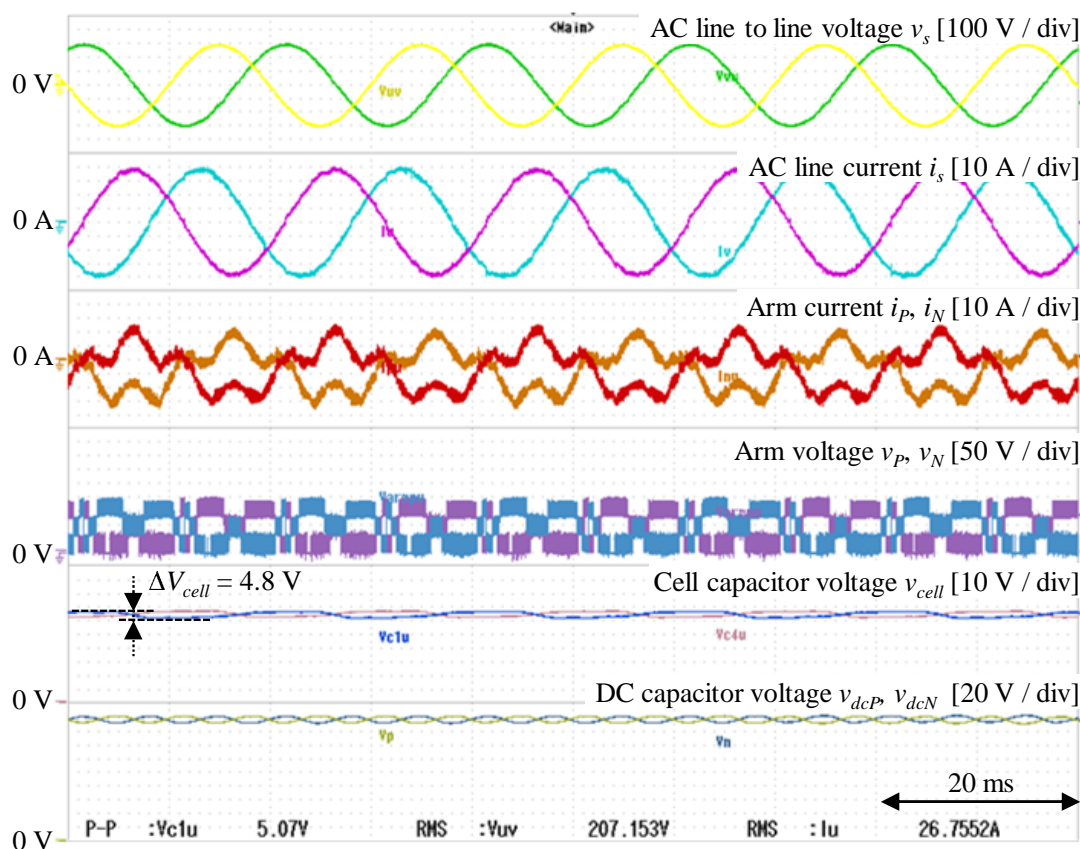


図 3.20: リプル低減制御を適用した場合の NPC-MMC の実験波形 (−10 kW インバータ運転)

31%低減した。したがって、リプル低減制御は NPC-MMC のセルコンデンサのさらなる小型化を可能にする。

3.5.5 電力変換損失

図 3.22 に測定した電力変換損失と効率を示す。直流コンデンサに供給する直流電力と 3 相交流電力 (2 つのバッファリアクトルの接続点) はパワーアナライザ (YOKOGAWA WT1800) で測定した。そのため、電力変換損失には MOSFET とコンデンサ, バッファリアクトル, ゲートドライブ回路の損失が含まれ, 連系用変圧器の損失は含まれない。効率は広い動作領域において 99% を超え, 最高効率は 7 kW 時における 99.3% であった。積み上げグラフは推定した損失内訳を示している。MOSFET の導通損失とスイッチン

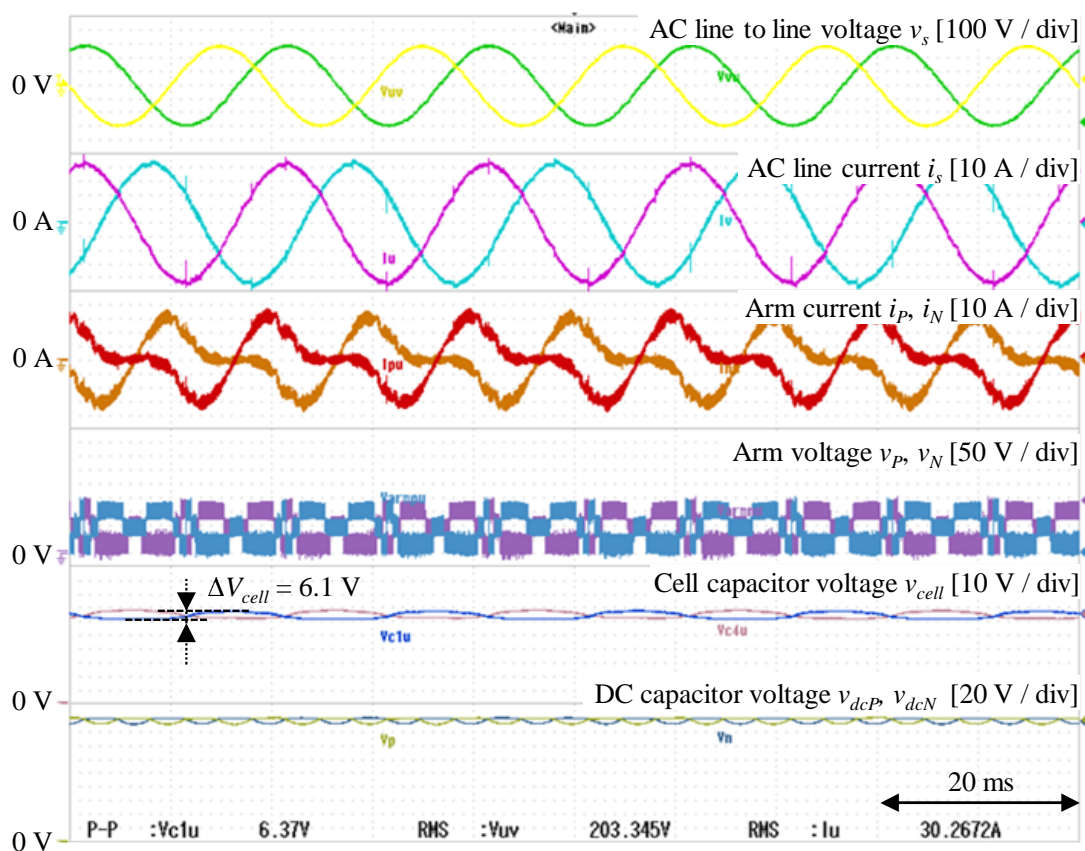


図 3.21: リプル低減制御を適用した場合の NPC-MMC の実験波形 (10 kvar 誘導性運転)

グ損失はデータシートとスイッチング波形から計算した。バッファリアクトルとコンデンサの損失は、LCR メータで測定したインピーダンスから推定した。推定結果と実測結果はほぼ一致しており、非常に高い変換効率を裏付けることができる。

このように、試作した NPC-MMC は高い変換効率を有しているため、すべての MOSFET にヒートシンクや冷却ファンを取り付けなくても、MOSFET のケース温度は室温とほとんど変わらない温度であった。基板上に MOSFET を分散配置することもヒートシンクレス構造を実現する上で重要となる。また、NPC-MMC のアーム電圧はマルチレベル波形であり、低いスイッチング周波数であってもバッファリアクトルのインダクタンス値は小さい。リアクトルの巻数 (ターン数) はインダクタンス値の 2 乗に比例するため、インダクタンス値を低くできることはリアクトルの導通損失を下げることに寄与する。さらに、低耐圧 MOSFET のオン抵抗は数 $m\Omega$ であり、出力電力の 2 乗

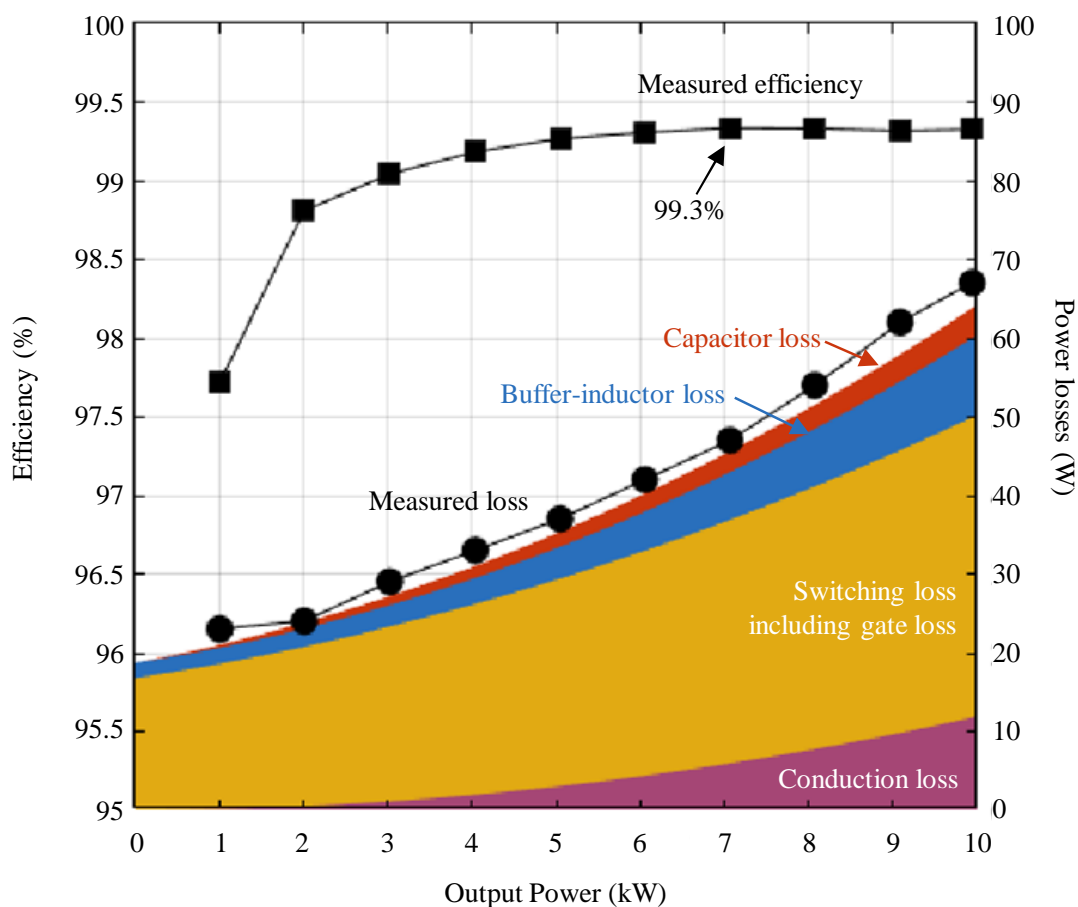


図 3.22: 測定した電力変換効率と損失（ゲート損失やバッファリアクトル損失含む）

に比例する MOSFET の導通損失を低減できる。したがって、NPC-MMC を低圧系統連系変換器として応用すれば、セルコンデンサの小型化と高い変換効率を実現できる。

3.6 3章のまとめ

本章では、低圧系統連系変換器に適していると考えられる NPC-MMC のコンデンサ蓄積エネルギーを検討した。理論検討により、NPC-MMC は 3 レベル構造の直流コンデンサから交流系統へ直接電力伝送が可能なダイレクトパワーフローを有することを明らかにした。ダイレクトパワーフローによって、力率 1 の場合では、NPC-MMC に必要な蓄積エネルギーは従来の MMC の 70% に低減できる。力率 0 の場合では、追加される直流コンデンサを考慮してもコンデンサ蓄積エネルギーを 52% に低減できる。また、NPC-MMC のダイレクトパワーフローは、コンデンサ小型化だけでなく、循環電流も小さくできる。そのため、高調波電流を重畳する電圧リップル低減制御によって、従来の

MMC より小さなアーム電流にも関わらず、蓄積エネルギーをさらに小さくできることを明らかにした。低耐圧 MOSFET を利用した 10 kVA の NPC-MMC を試作し、蓄積エネルギーの解析結果と電圧リップル低減制御の効果を検証した。ゲート損失や AC フィルタ（バッファリアクトル）の損失も含めても、測定した効率は最高で 99.3% となり、試作基板にはヒートシンクや冷却ファンをつけることなく電力変換が可能であることを実証した。これらの理論解析と実験検証によって、NPC-MMC はセルコンデンサの小型化と低損失化の両立が可能であることを示した。

第4章

検出回路を削減可能なバランス回路付き MMC の低損失化

本章では、セルコンデンサ電圧の検出回路削減を目的に、抵抗付きバランス回路を提案する。抵抗付きバランス回路は、フィードバック制御や電圧センサを用いることなく、小電流定格の素子と抵抗器を追加するだけで構成できる。はじめに、バランス回路の理論解析を行う。バランス回路の時定数をスイッチング周期より十分長く設定すれば、バランス回路に流れる電流を抑制できる。このとき、バランス回路用素子のゲート信号は、主素子のゲート信号と同じでよく、追加の制御は不要である。次に、バランス回路の転流時にセルコンデンサが短絡する可能性を指摘し、ゲート抵抗を調整するだけでそれを回避できる転流シーケンスを提案する。実験では、10 kW の NPC-MMC のチョップセルに提案するバランス回路を接続し、セルコンデンサ電圧が良好にバランスすること、およびバランス回路で発生する損失が十分に小さいことを確認する。最後に、バランス回路を接続した NPC-MMC の推定コストを算出し、その有用性を確認する。

4.1 バランス回路を接続した MMC

4.1.1 回路構成と動作原理

図 4.1 にバランス回路を接続した MMC を示す。変換器アームはチョップセルを直列接続して構成する。変換器アームはバッファリアクトルを介して、交流系統に接続する。各チョップセルはバランス回路で相互接続されている。図 4.2 に提案するバランス回路を付加した変換器アームの回路構成を示す。チョップセルは2つの主素子 S_P , S_N によるスイッチングレグと1つのセルコンデンサから構成する。所望のアーム電圧 v_{arm} を

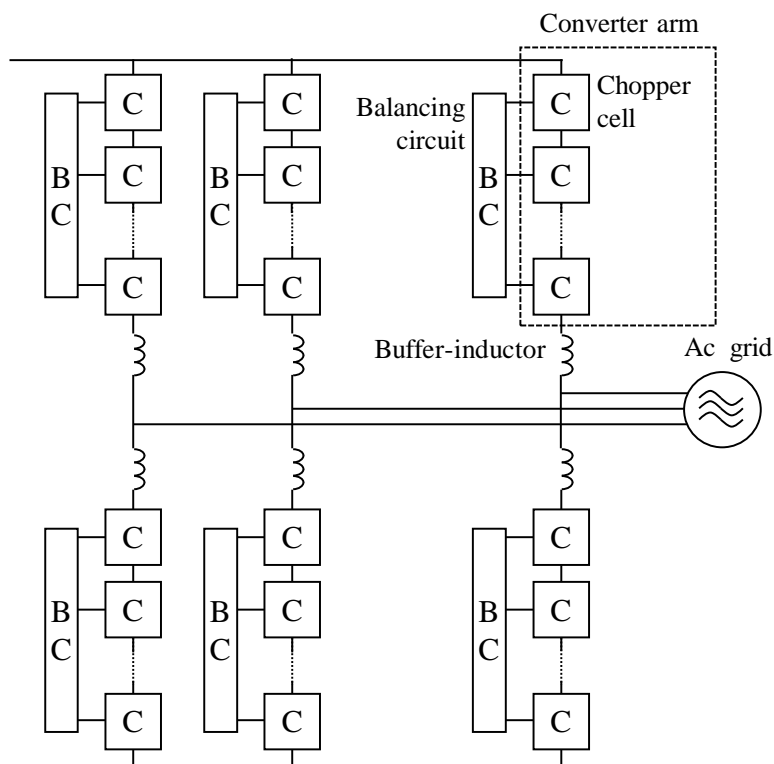


図 4.1: バランス回路を接続した MMC

生成するよう、主素子 S_P 、 S_N によりセルコンデンサの直列接続数を決める。主素子 S_N をオンしたセルではセルコンデンサが直列に挿入され、主素子 S_P をオンしたセルではセルコンデンサは挿入されない。バランス回路は、バランス素子 S_B とバランス抵抗 R_B から構成する。バランス素子 S_B をセルコンデンサの負側に接続すると、スイッチングレグの主素子 S_N とソース電位が共通になり、 S_B のゲート駆動電力は S_N のゲート電源から供給することができる。したがって、追加する S_B のために新たなゲート電源回路を追加する必要は無い。ただし、ゲート信号は異なるため、ゲートドライブ回路は別途必要である。

MMC に位相シフト PWM を適用し、数 kHz 以上のキャリア周波数で動作させた場合、原理的にはスイッチングに起因するセルコンデンサ間のパワーフローは 1 周期で打ち消しあい、同一アーム内のセルコンデンサ間の電圧差は変化しない [90]。しかし実際には、素子のばらつきなどに起因する偏差（アンバランス電圧）が発生するため、バランス回路はこれを抑制する。直列接続されていないセルコンデンサは、バランス回路を介して 1 つ下のセルのセルコンデンサと並列接続できる。たとえば、 S_{P1} がオンであれば、 S_{B1} をオンして C_{C1} と C_{C2} を並列に接続でき、 S_{P2} がオンの期間には、 S_{B2} をオン

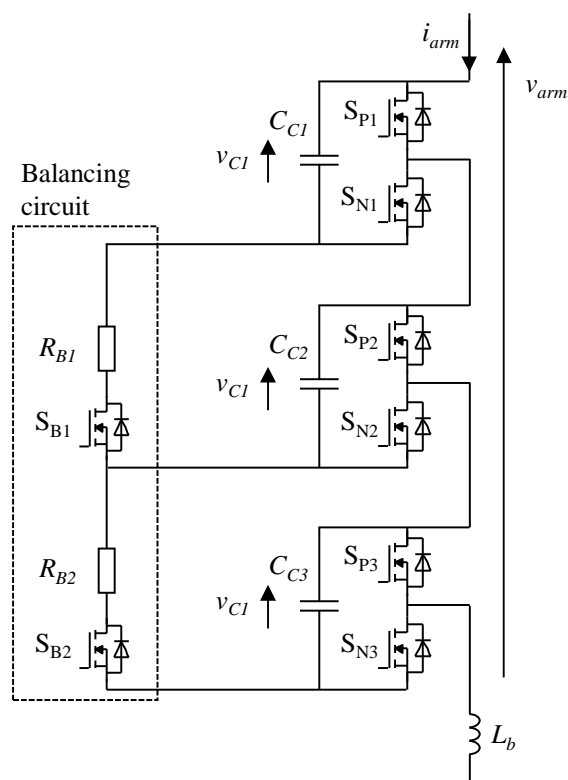


図 4.2: 抵抗付きバランス回路を接続した変換器アームの回路構成

して C_{C2} と C_{C3} を並列に接続できる。したがって、 C_{C1} 、 C_{C2} 、 C_{C3} のアーム内のすべてのセルコンデンサの電圧を一致させることができる。この際、セルコンデンサ毎の電圧センサやフィードバック制御は不要である。

また、バランス抵抗は、2つのセルコンデンサを並列接続した際の突入電流を低減する。したがって、バランス素子 S_B には主素子 S_P や S_N と比較して電流定格が小さい素子を適用できる。

4.1.2 スイッチングパターンと制御

図 4.3 にバランス回路を接続した変換器アームの制御ブロック図を示す。各変換器アームにつき1つのセルコンデンサにのみ電圧センサを接続しており、これを代表セルと呼ぶ。各セルのデューティ比は、変換器アームの電圧指令値 v_{arm}^* を代表セルのコンデンサ電圧（図 4.3 では v_{C1} ）で除して計算し、すべてのセルに同じデューティ比を与える。なお、 v_{arm}^* は MMC の従来の電圧・電流制御によって計算すればよい。変調方式は

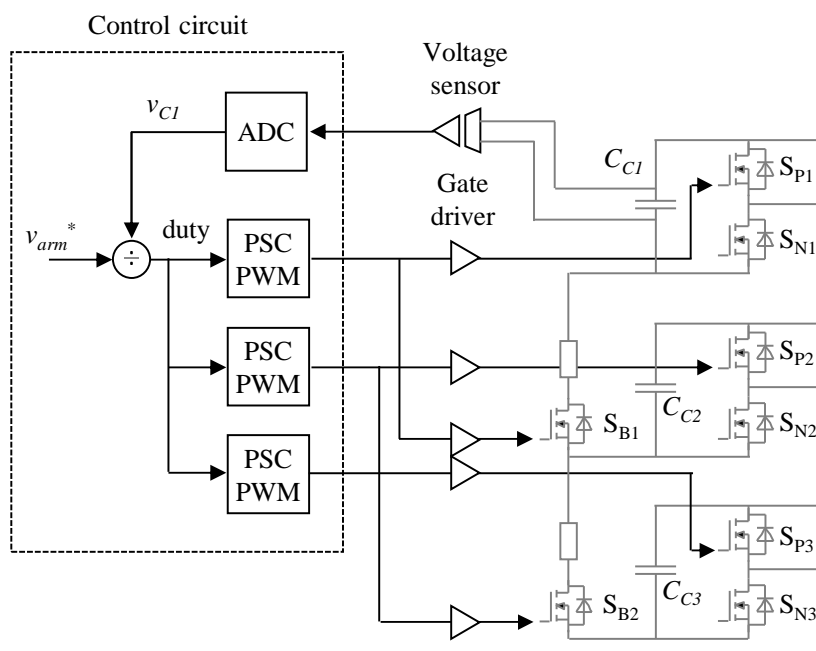


図 4.3: バランス回路を接続した MMC の制御ブロック図

位相シフト PWM (PSC-PWM) を適用する。変換器アームのすべてのセルコンデンサ電圧は、バランス回路によって、自動的に同一の電圧に保持されるため、複雑で多くの演算を要するフィードバック制御やソーティングなどは不要である。また、代表セル以外のセルコンデンサ電圧を検出する電圧センサや AD 変換器は必要としない。

バランス素子 S_B のゲートには、主素子 S_P と同じゲート信号を適用する。そのため、制御回路には追加の PWM コントローラやゲート出力インターフェースは不要である。なお、 S_N にはデッドタイムを付加した S_P の相補信号を与える。

表 4.1 に図 4.2 の回路のスイッチングパターンを示す。セルコンデンサ電圧を v_C ($= v_{C1} = v_{C2} = v_{C3}$) とすると、主素子 S_{P1} , S_{P2} , S_{P3} のオンオフ状態によって、アーム電圧 v_{arm} は 0 から $3v_C$ の 4 レベルの電圧を出力する。また、基本的にバランス素子 S_{B1} には S_{P1} , S_{B2} には S_{P2} と同じゲート信号が適用できる。

4.2 高効率化のためのバランス回路の設計

本節では、バランス回路の動作解析と設計方法を説明する。セルコンデンサ間に生じる電圧差には、素子のばらつきなどに起因する偏差 (アンバランス電圧) と、スイッチング動作に起因するリップル (スイッチングリップル電圧) の 2 つの成分がある。このうち

表 4.1: 3 セルで構成される変換器アームにバランス回路を接続した場合のスイッチングパターン

| S_{P1}/S_{B1} | S_{P2}/S_{B2} | S_{P3} | v_{arm} | Parallel connected |
|-----------------|-----------------|----------|-----------|--------------------------|
| 1 | 1 | 1 | 0 | C_{C1}, C_{C2}, C_{C3} |
| 1 | 1 | 0 | v_C | C_{C1}, C_{C2}, C_{C3} |
| 0 | 1 | 1 | v_C | C_{C2}, C_{C3} |
| 1 | 0 | 1 | v_C | C_{C1}, C_{C2} |
| 1 | 0 | 0 | $2v_C$ | C_{C1}, C_{C2} |
| 0 | 1 | 0 | $2v_C$ | C_{C2}, C_{C3} |
| 0 | 0 | 1 | $2v_C$ | N/A |
| 0 | 0 | 0 | $3v_C$ | N/A |

アンバランス電圧は、わずかな直流電流がセルコンデンサに蓄積され、次第に拡大していくもので、これを抑制することがバランス回路の本来の役割であり、スイッチングリップル電圧を抑制する必要はない。しかし、バランス回路はいずれの電圧差に対しても動作するため、スイッチングリップル電圧による電圧差によって、バランス回路に不要な電流が流れ、損失が発生する。これをスイッチングリップル電圧による損失と表記する。バランス抵抗を適切に設定することで、スイッチングリップル電圧による損失を十分に低減し、アンバランス電圧を抑制できることを示す。

4.2.1 バランス回路のスイッチングモード

図 4.4 に 2 セルの場合の 4 つのスイッチングモードを示す。Mode A は、 S_{P1} と S_{P2} 、バランス素子 S_{B1} がオンの状態で、直列接続数はゼロである。 C_{C1} と C_{C2} が R_B を介して並列接続されるため、 v_{C1} と v_{C2} の電圧差を減ずる方向にバランス電流 i_B が流れる。

Mode B は、 S_{N1} と S_{P2} がオン、バランススイッチ S_{B1} がオフの状態で、バランス電流は流れない。このとき、 C_{C1} にアーム電流 i_{arm} が流れるため、 v_{C1} は増加あるいは減少する。一方、 C_{C2} の電流はゼロであり v_{C2} は変化しないため、 v_{C1} と v_{C2} の間の電圧差が変化する。このように、Mode B ではスイッチングリップル電圧による電圧差が発生する。

Mode C は、 S_{P1} と S_{N2} 、バランススイッチ S_{B1} がオンの状態であり、 $v_{arm} = v_{C2}$ とな

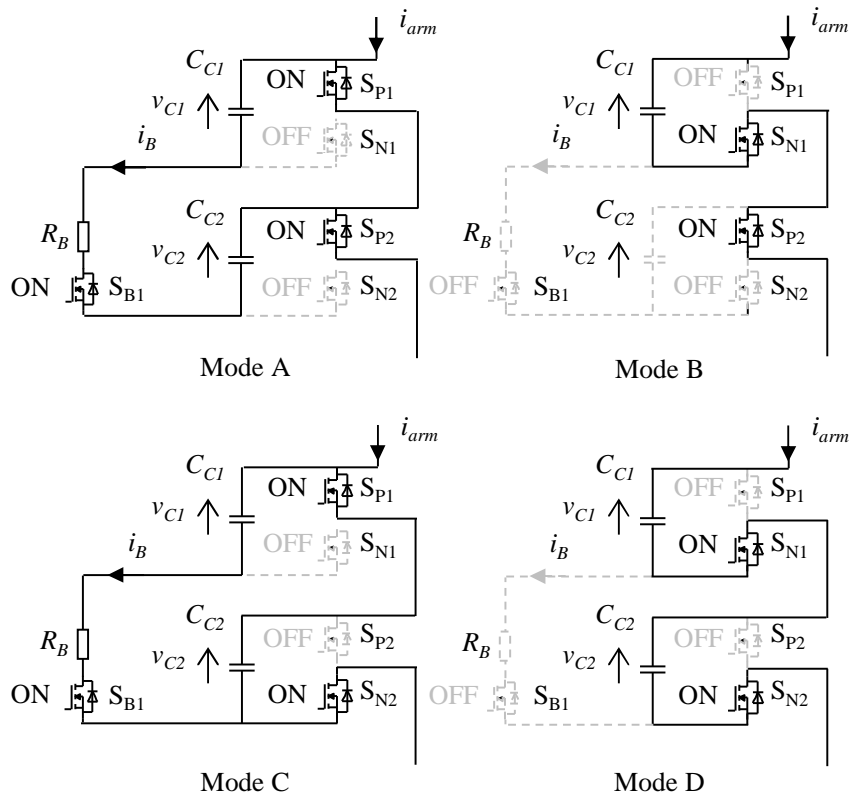


図 4.4: バランス回路のスイッチングモード

る。このとき、アーム電流は、 C_{C1} と C_{C2} に分流する。ただし、 C_{C1} と R_B が直列接続されるため、バランス電流は v_{C1} と v_{C2} の差に比例する。

Mode D は、 S_{N1} と S_{N2} がオン、バランススイッチ S_{B1} がオフの状態、バランス電流は流れない。アーム電流は C_{C1} と C_{C2} の両方に流れるため、電圧差は変化しない。

4.2.2 スイッチングリップル電圧で発生する損失の解析

スイッチングリップル電圧による電圧差によってバランス回路で発生する損失を解析する。ここでは、アンバランス電圧は十分に抑制されていると考える。ここで、Mode B の期間を t_B とし、その間のアーム電流を i_{arm} 一定とし、Mode B 開始時刻の電圧差をゼロと仮定する。セルコンデンサ容量を $C_C = C_{C1} = C_{C2}$ とすると、Mode B の期間に発生する電圧差は、

$$\Delta v_{C(B)} = v_{C1(B)} - v_{C2(B)} = \frac{i_{arm} t_B}{C_C} \quad (4.1)$$

で表される。

Mode B の間に発生した電圧差は、バランス素子 S_{B1} がオンする Mode A もしくは Mode C の期間に減衰する。はじめに、Mode A で電圧差が減衰した場合の損失を解析する。Mode A 開始時の電圧差を $\Delta V_{C0(A)}$ と定義すると、バランス電流は、

$$i_{B(A)} = -\frac{\Delta V_{C0(A)}}{R_B} e^{-\frac{t}{\tau}} \quad (4.2)$$

で表される。ただし、 R_B はバランス抵抗値である。 τ はバランス回路の時定数で以下のように表される。

$$\tau = \frac{R_B C_C}{2} \quad (4.3)$$

Mode A の電圧差の初期値を $\Delta V_{C0(A)} = \Delta v_{C(B)}$ とすると、スイッチング 1 周期の間にバランス抵抗に発生する平均損失は、

$$P_{sr(A)} = \frac{1}{t_{sw}} \int_0^{t_A} R_B i_{B(A)}^2 dt = \frac{f_{sw}}{4C_C} \left(1 - e^{-\frac{2t_A}{\tau}}\right) t_B^2 i_{arm}^2 \quad (4.4)$$

となる。ただし、 t_A は Mode A の期間である。

次に、Mode C で電圧差が減衰した場合の損失を解析する。Mode C のバランス電流は、

$$i_{B(C)} = -\frac{\Delta V_{C0(C)}}{R_B} e^{-\frac{t}{\tau}} + \frac{i_{arm}}{2} \left(1 - e^{-\frac{t}{\tau}}\right) \quad (4.5)$$

で表される。ただし、 $\Delta V_{C0(C)}$ は Mode C の電圧差の初期値である。Mode C では、電圧差初期値 $\Delta V_{C0(C)}$ によって流れる電流とバランス回路に分流したアーム電流の和となる。図 4.3 のように各セルに同じデューティ比を与える場合、Mode C の期間は $t_C = t_B$ となる。Mode C の電圧差の初期値を $\Delta V_{C0(C)} = \Delta v_{C(B)}$ とすると、バランス抵抗に発生する損失は、

$$P_{sr(C)} = \frac{1}{t_{sw}} \int_0^{t_C} R_B i_{B(C)}^2 dt = f_{sw} \left[\frac{1}{4C_C} \left(1 - e^{-\frac{2t_B}{\tau}}\right) t_B^2 + \frac{t_B R_B}{2} \left(e^{-\frac{t_B}{\tau}} - \frac{e^{-\frac{2t_B}{\tau}}}{2}\right) + \frac{\tau R_B}{2} \left(e^{-\frac{t_B}{\tau}} - \frac{e^{-\frac{2t_B}{\tau}}}{4} - \frac{3}{4}\right) \right] i_{arm}^2 \quad (4.6)$$

で表される。

次に、バランス回路の時定数 τ の大きさと損失との関係について考察する。

(1) HSB(High Speed Balancing) の場合

バランス回路の時定数 τ がスイッチング周期 $t_{sw} = 1/f_{sw}$ より十分短い HSB: High Speed Balancing ($t_{sw}/\tau \gg 1$) の場合を考える。図 4.5 に、HSB の場合のバランス電流とセルコンデンサ電圧波形を示す。Mode B の期間ではスイッチングリップル電圧による電

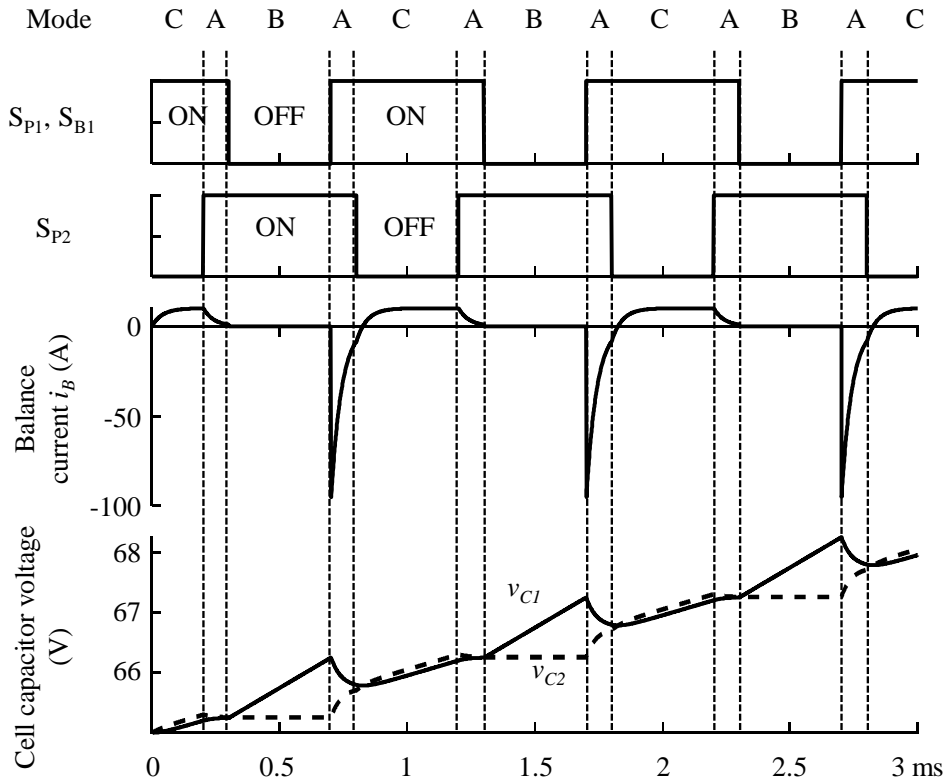


図 4.5: バランス回路電流とセルコンデンサ電圧波形 (HSB の場合)

圧差が発生する。Mode A の間に、セルコンデンサはバランス回路を介して時定数 τ で充放電され、電圧差は減少する。このとき、バランス電流がバランス抵抗に流れ、損失が発生する。

Mode A で放電した場合を考える。HSB では、 $\tau \ll t_A$ であるため、 $e^{-\frac{2t_A}{\tau}} \rightarrow 0$ として (4.4) 式を近似すると、スイッチングリップル電圧によって発生する損失は、

$$P_{sr-HSB(A)} \approx \frac{f_{sw}}{4C_C} t_B^2 i_{arm}^2 \quad (4.7)$$

と近似できる。また、 t_B が f_{sw} に逆比例 ($t_B \propto 1/f_{sw}$) することを考慮すると、 C_C や f_{sw} を大きくすれば損失を低減することができるが、主素子のスイッチング損失やセルコンデンサ体積の増大を招く。

同様に、 $\tau \ll t_B$ として (4.6) 式を近似すると、Mode C で放電した場合に発生する損失は、

$$P_{sr-HSB(C)} \approx \frac{f_{sw}}{4C_C} t_B^2 i_{arm}^2 \quad (4.8)$$

となる。

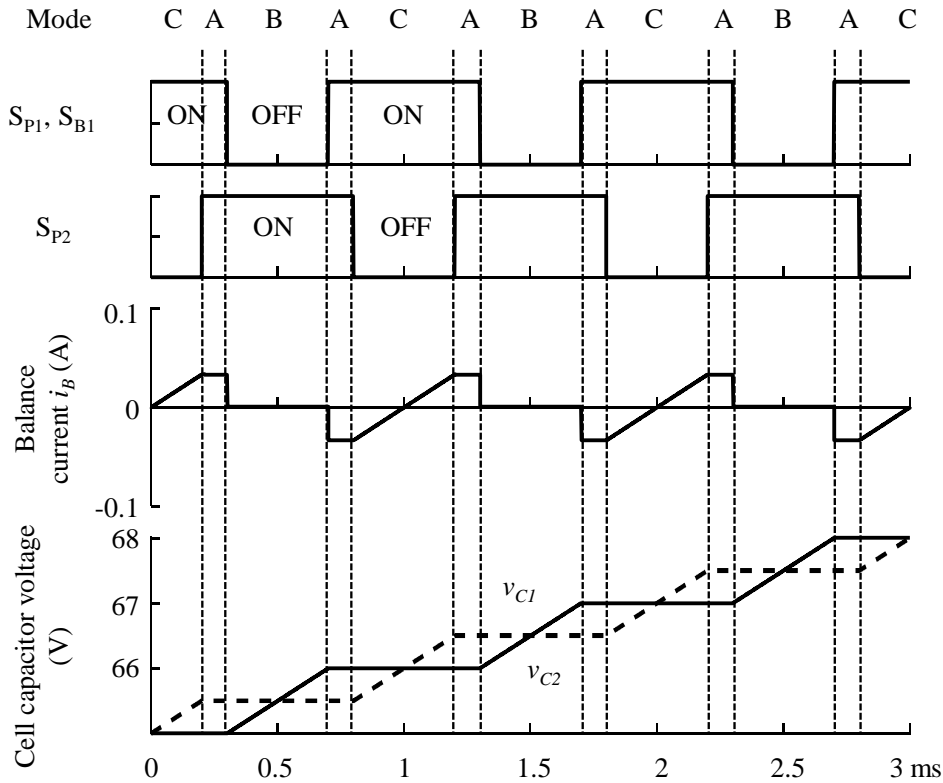


図 4.6: バランス回路電流とセルコンデンサ電圧波形 (LSB の場合)

(2) LSB(Low Speed Balancing) の場合

バランス回路の時定数 τ がスイッチング周期 t_{sw} より十分長い LSB: Low Speed Balancing ($t_{sw}/\tau \ll 1$) の場合を考える。図 4.6 に、LSB の場合の波形を示す。LSB では、時定数がスイッチング周期より長いいため、Mode B で発生した電圧差は、Mode A や Mode C になっても、すぐに減衰しない。

LSB の場合、 $\tau \gg t_A$ かつ $\tau \gg t_B$ であるので、(4.4) 式と (4.6) 式を一次近似すると、スイッチングリップル電圧によって発生する損失は、

$$P_{sr-LSB(A)} \approx \frac{f_{sw}}{R_B C_C^2} t_A t_B^2 i_{arm}^2 \quad (4.9)$$

$$P_{sr-LSB(C)} \approx \frac{f_{sw}}{R_B C_C^2} t_B^3 i_{arm}^2 \quad (4.10)$$

となる。(4.9)(4.10) 式は、 R_B を大きく設定すればスイッチングリップル電圧による損失を低減できることを示している。したがって、 C_C や f_{sw} を増加せずに、損失を低減することが可能になる。

4.2.3 アンバランス電圧の減衰時定数

ここでは、素子のばらつきで発生するアンバランス電圧の抑制について述べる。電圧差は、バランス電流が流れる Mode A と Mode C の間に、(4.2) 式や (4.5) 式第 1 項のように時定数 τ で指数関数的に減衰する。HSB の場合、電圧差はスイッチング 1 周期内でほとんど減衰するため、アンバランス電圧が減衰する時定数 τ_B は、バランス回路の時定数 τ と一致する。一方、LSB の場合、スイッチング 1 周期では電圧差はほとんど減衰しない。バランス素子がオフしている Mode B と Mode D の期間にはアンバランス電圧は減衰しないため、 τ_B は τ より長くなる。ここでは、系統周期の数周期に渡るものと仮定する。

LSB の場合では、スイッチングリプル電圧は Mode B と Mode C で相殺されるため、電圧差としてアンバランス電圧の初期値 ΔV_C を考える。また、 $\tau \gg t_{sw}$ であるので、(4.5) 式第 2 項を無視すると、スイッチング 1 周期で減衰するアンバランス電圧は、

$$\Delta v_{C(tsw)} = \Delta V_C + \frac{2}{C_C} \int_0^{t_A} i_{B(A)} dt + \int_0^{t_C} i_{B(C)} dt = \Delta V_C e^{-\frac{t_A+t_B}{\tau}} \quad (4.11)$$

で求められる。(4.11) 式は、アンバランス電圧が等比級数的に減衰することを示している。したがって、期間 t におけるスイッチング回数は $f_{sw}t$ であるため、電圧アンバランス Δv_C は、

$$\Delta v_C = \Delta V_C \prod_{n=1}^{f_{sw}t} e^{-\frac{t_{An}+t_{Cn}}{\tau}} = \Delta V_C e^{-\frac{(\overline{t_A}+\overline{t_C})f_{sw}t}{\tau}} \quad (4.12)$$

と表される。ただし、 t_{An} と t_{Cn} は n 回目のスイッチング周期における Mode A と Mode C の期間であり、 $\overline{t_A}$ および $\overline{t_C}$ は系統周期における t_A と t_C の平均値である。 $\overline{t_A} + \overline{t_C}$ は主素子 S_{P1} がオンしている時間の平均値であるため、LSB におけるアンバランス電圧の減衰時定数は、

$$\tau_B = \frac{\tau}{(\overline{t_A} + \overline{t_C}) f_{sw}} = \frac{\tau}{D_{SP}} = \frac{R_B C_B}{2D_{SP}} \quad (4.13)$$

と表される。ただし、 $\overline{D_{SP}}$ は系統周期における S_{P1} のデューティ比の時間平均値で、MMC が対称な動作を行っていれば通常は、 $\overline{D_{SP}} = 0.5$ である。たとえば、素子の特性ばらつきやコンデンサ容量のばらつき程度であれば、 τ_B を百 ms 程度の時定数に設定するように、(4.13) 式に基づいてバランス抵抗 R_B を設計できる。

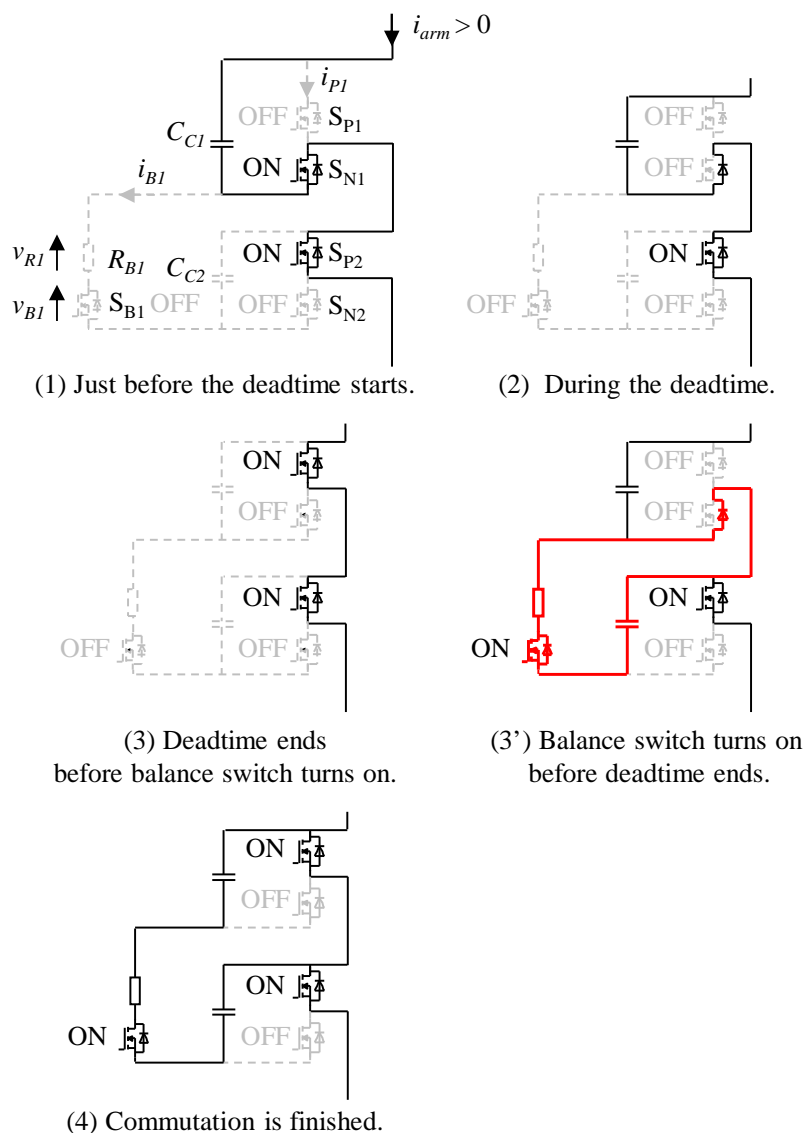


図 4.7: 転流時におけるスイッチングモード

4.3 セルコンデンサの短絡を防止するバランス回路の転流方法

表 4.1 に示すように、原理的にはバランス素子は主素子と同時にスイッチングすればよい。しかし、主素子とバランス素子の特性が異なるため、スイッチングを完全に一致させることは難しい。主素子とバランス素子が同期しない場合、バランス回路を介してセルコンデンサが短絡され、損失が増加することがある。本節では、これを避けるための転流シーケンスを示す。

図 4.7 に転流時のスイッチングモードを示す。アーム電流 i_{arm} が正の場合における、 S_{P1} および S_{B1} はオフ、 S_{N1} はオンの状態から、 S_{P1} および S_{B1} がオン、 S_{N1} がオフの状態への転流である。(1) は転流前の状態で、 S_{P1} 、 S_{B1} がオフ、 S_{N1} がオンである。(2) は S_{N1} がオフとなり、デッドタイム期間である。アーム電流は S_{N1} のボディダイオードを流れる。(3) はデッドタイムが終了し、 S_{B1} より先に S_{P1} がターンオンした状態である。アーム電流は S_{P1} を流れるが、 S_{B1} はオフのままであり、バランス回路に電流は流れない。最後に、(4) は S_{B1} がターンオンした状態である。 C_{C1} と C_{C2} が並列接続され、電圧偏差に応じたバランス電流が流れる。したがって、(1) ~ (4) の順にスイッチングを行った場合、セルコンデンサの短絡損失は発生しない。一方、(3') はデッドタイム終了時に、 S_{P1} より先に S_{B1} がターンオンした状態である。このとき、バランス抵抗 R_{B1} に印加される電圧が C_{C2} の電圧に等しくなるように、アーム電流がバランス回路へ分流する。この状態は、あたかも C_{C2} がバランス回路を介して短絡したようにみなすことができる。このセルコンデンサの短絡はデッドタイムが終了するまで継続する。なお、(4) の状態から (1) へ転流する際も同様に、(3') を避けて、(3)、(2)、(1) の順にスイッチングすることで、セルコンデンサの短絡損失の発生を回避できる。つまり、 S_{P1} より先に S_{B1} をターンオフすればよい。なお、アーム電流が負の場合、 S_{N1} のボディダイオードは導通しないため、短絡は発生しない。

図 4.8 はセル電圧が等しい状態における転流時のスイッチングシーケンスとバランス回路の波形である。 v_{B1} と i_{B1} はバランス素子の電圧と電流、 v_{R1} はバランス抵抗の電圧、 i_{P1} は S_{P1} の電流を表す。図 4.8(a) は、 S_{P1} のターンオン前に S_{B1} がターンオンした場合である。 S_{B1} がオンしてから S_{P1} がターンオンするまで、バランス抵抗にセル電圧 v_{C2} が印加されている。このとき C_{C2} が短絡し、バランス回路に大きな電流が流れる。図 4.8(b) は、 S_{B1} のターンオン前に S_{P1} がターンオンした場合である。 S_{P1} がターンオンすると S_{N1} のボディダイオードがオフする。その後 S_{B1} がターンオンしても C_{C2} の短絡は起こらず、損失は増加しない。なお、このような転流シーケンスは、ゲート抵抗によりバランス素子 S_B のターンオン・オフ遅延時間を調整するだけで実現できる。詳細は 4.5.3 項を参照されたい。

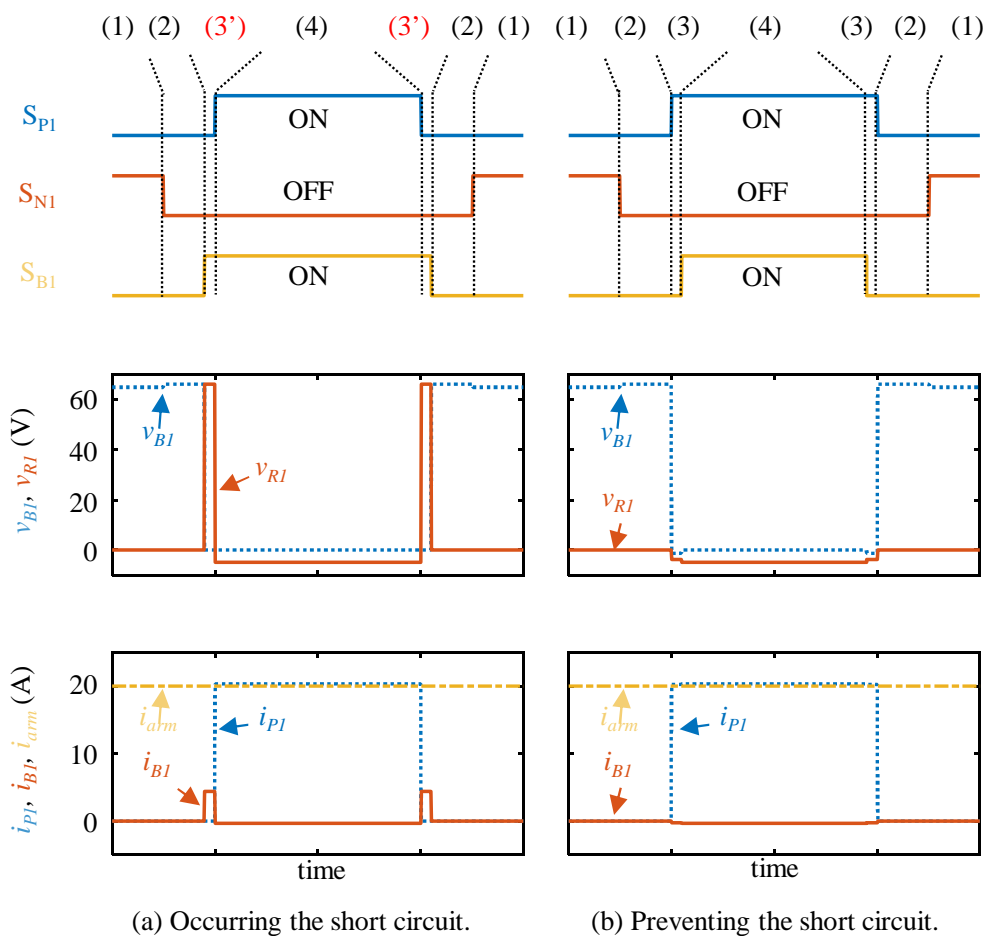


図 4.8: 転流時におけるバランス回路のスイッチング状態と波形

4.4 スイッチングリップル電圧で発生する損失の検証

バランス回路を LSB で動作させることによる損失低減効果を検証するため、図 4.1 および図 4.2 に示す回路を用いて、バランス回路で発生する損失をシミュレーションした。スイッチングは理想的な状態を模擬し、素子のばらつき等で発生するアンバランス電圧やスイッチング損失、セルコンデンサの短絡損失は生じないようにした。これにより、スイッチングリップル電圧による損失のみに着目した評価を行った。解析では、交流電圧 $\sqrt{3}V_s = 200 \text{ V}$ 、 $V_{dc} = 350 \text{ V}$ とした。スイッチング周波数 f_{sw} は 1 kHz 、セルコンデンサの電圧脈動幅を 10% とするようセルコンデンサの容量は 3.7 mF とした。変換器アームに与える電圧指令値とアーム電流は定常時に現れる波形とした。

図 4.9 に HSB の場合における、バランス回路の損失率とバランス電流実効値のシミュ

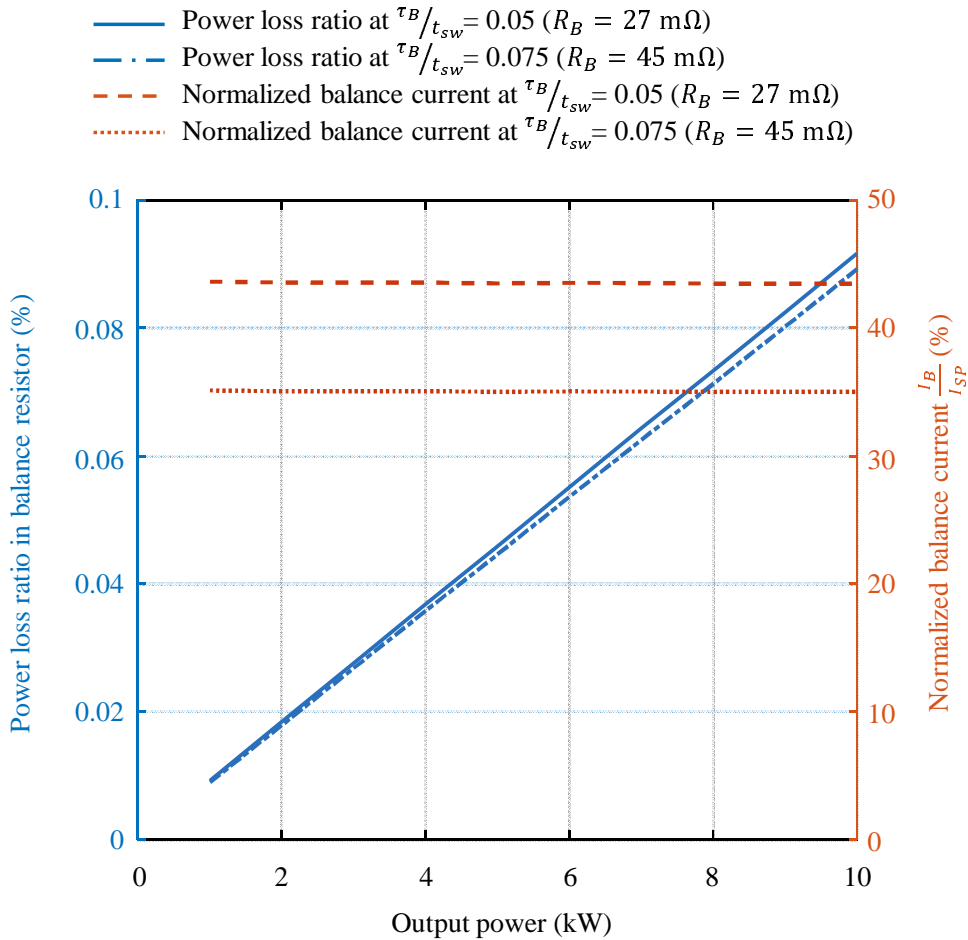


図 4.9: バランス回路の損失とバランス電流のシミュレーション結果 (HSB の場合)

シミュレーション結果を示す。損失率は、定格変換器容量に対する、全てのバランス回路の合計損失の比率である。時定数 τ_B がスイッチング周期 t_{sw} の 0.05 ~ 0.075 倍となるよう、バランス抵抗値 R_B を比較的小さく設定した。バランス回路の損失率は、出力に比例して増加するが、抵抗値 R_B が $2/3$ に低下しても損失率はほとんど変わらない。バランス電流実効値は、主素子 S_P を流れる電流実効値の 40%ほどであり、バランス素子には主素子の半分程度の電流定格が必要であることを示している。

図 4.10 に LSB の場合における、バランス回路の損失率とバランス電流実効値のシミュレーション結果を示す。時定数 τ_B はスイッチング周期 t_{sw} の 10 ~ 15 倍である 100 ~ 150 ms になるよう、バランス抵抗値 R_B を増加させた。 R_B 以外は図 4.9 の解析と同じ定数を用いた。HSB と比較し、バランス回路で発生する損失率はわずか 0.001%程度であり、 $1/60 \sim 1/90$ に低下している。また、バランス電流実効値も主素子の電流実効値

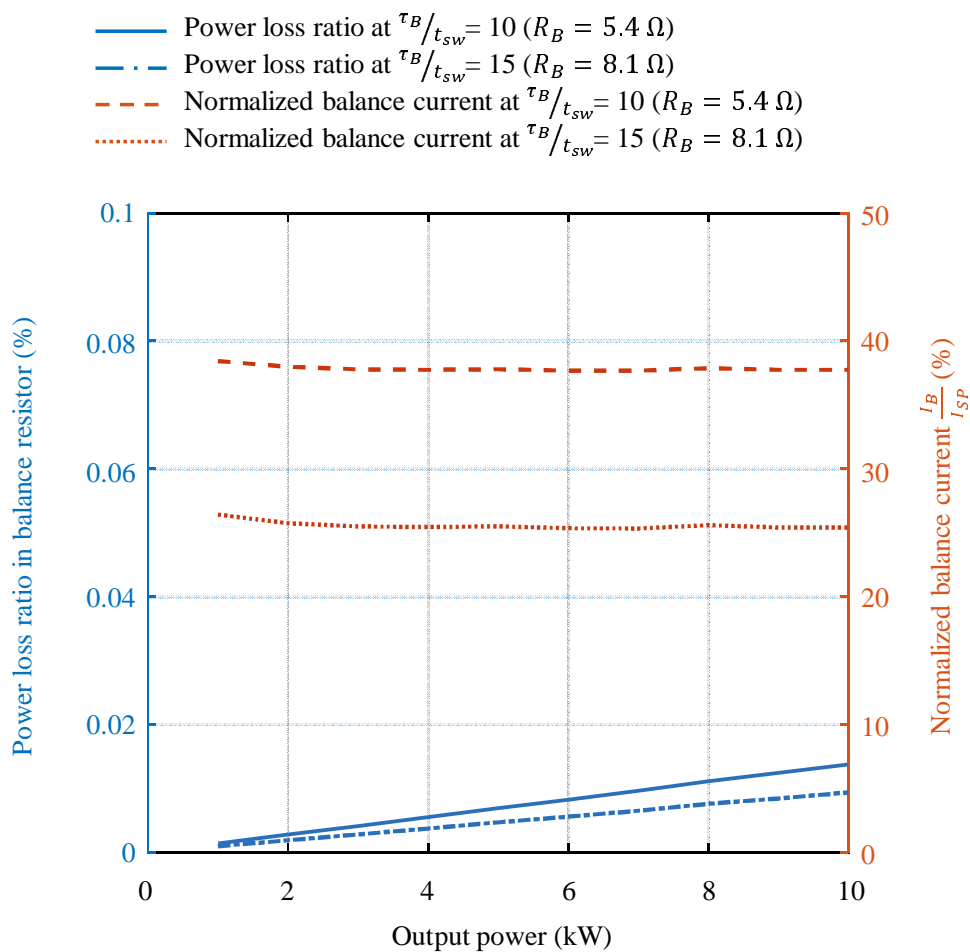


図 4.10: バランス回路の損失とバランス電流のシミュレーション結果 (LSB の場合)

と比較して 0.4%以下であり、電流定格の小さな素子が適用できる。

以上の結果から、バランス回路を LSB の条件で動作するように設計することにより、スイッチングリップル電圧による損失と、バランス素子の電流定格を低減できることを確認した。

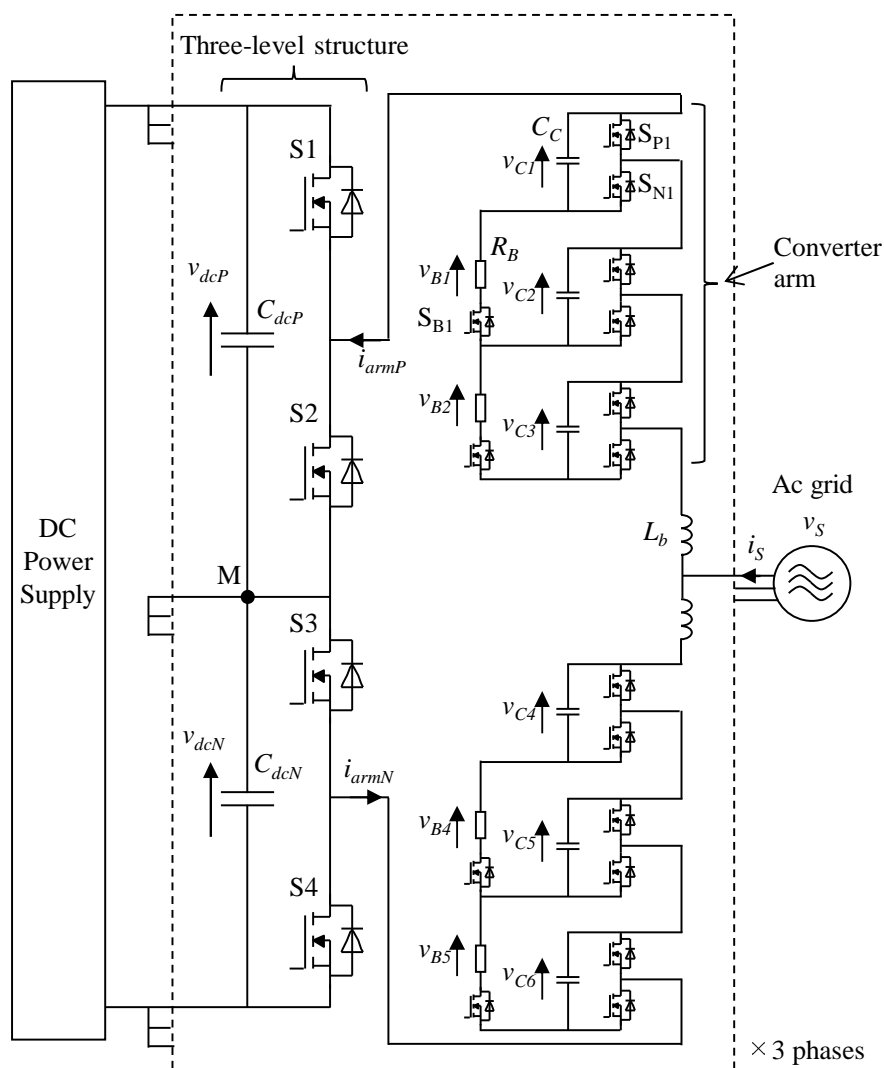


図 4.11: バランス回路を接続した NPC-MMC の実験回路構成

4.5 実験結果

4.5.1 実験システム

提案手法は、従来の MMC のみならず、MMC と同様の変換器アームを有する回路に対しても適用できる。3 章で説明したように、本稿で対象とする低圧用の系統連系変換器では、NPC-MMC を用いることで従来の MMC と比較してコンデンサを半減できる。実験では、NPC-MMC のチョッパセルにバランス回路を接続した。

図 4.11 に実験回路構成を示す。表 4.2 に回路定数を示す。ただし、装置の都合上、同図中の i_{armP} , i_{armN} と、前節までの i_{arm} の向きが逆であることに留意されたい。NPC-MMC

表 4.2: バランス回路を接続した NPC-MMC の実験回路定数

| | | |
|---------------------------------|--------------------|---------------|
| Rated power | P | 10 kVA |
| Line-to-line grid voltage | $\sqrt{3}V_s$ | 200 V |
| Rated ac grid current | I_s | 28.9 A |
| Rated circulating current | I_Z | 6.1 A |
| System frequency | f | 50 Hz |
| Dc link voltage | V_{dc} | 350 V |
| Cell capacitor | C_{cell} | 8 mF |
| Cell capacitor voltage | V_{C0} | 58 V |
| Balance resistor | R_B | 15 Ω |
| Dc capacitor in one phase | C_{dcP}, C_{dcN} | 0.8 mF |
| Dc capacitor voltage | V_{dcP}, V_{dcN} | 175 V |
| Buffer inductor | L_b | 0.1 mH (0.4%) |
| Switching frequency of the cell | f_{sw} | 6.6 kHz |
| Number of cells | N | 3 |

は、変換器アームと、4つの高圧スイッチと2つの直流コンデンサからなる3レベル構造から構成されている。高圧スイッチは系統電圧に同期している。変換器アームは、高圧スイッチの状態に応じて、系統電圧、もしくは系統電圧と直流コンデンサ電圧との差分の電圧を出力する。正側の変換器アームに与える電圧指令値とアーム電流は、

$$v_{armP}^* = \begin{cases} \frac{V_{dc}}{2} - v_s & \cdots 2n\pi \leq \omega t < (2n+1)\pi \\ -v_s & \cdots (2n+1)\pi \leq \omega t < 2(n+1)\pi \end{cases} \quad (4.14)$$

$$i_{armP} = \frac{i_s}{2} + I_{Z0} \quad (4.15)$$

で表される。ただし、 V_{dc} は直流リンク電圧、 v_s は交流相電圧、 i_s は交流電流、 I_{Z0} は直流循環電流である。

図 4.12 にバランス回路を接続した NPC-MMC の回路基板を示す。実験回路では、各セルコンデンサに電圧検出センサが設けられているが、制御には正側アームでは v_{C1} 、負側アームでは v_{C4} の電圧信号のみを使用した。同一アーム内のセルには、同じデュー

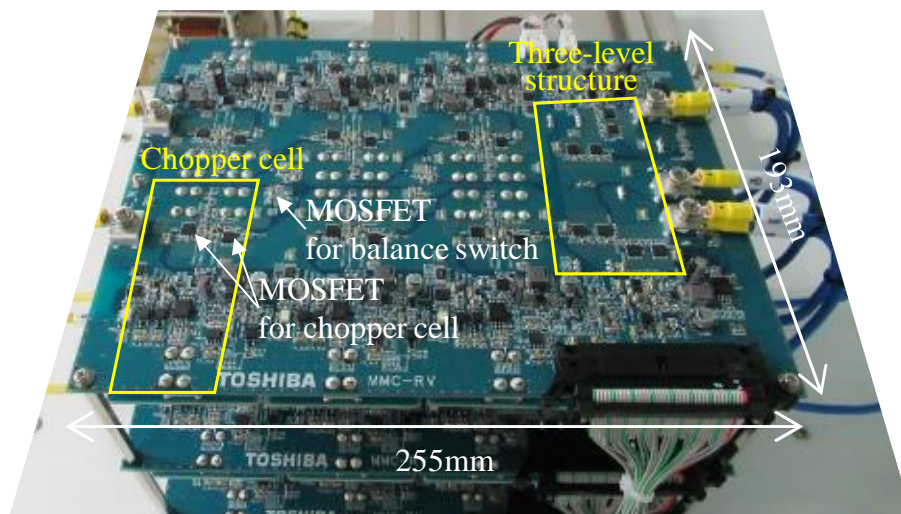


図 4.12: バランス回路を接続した NPC-MMC の実験回路基板

ティ比を与えた。たとえば, S_{P1} のデューティ比は v_{C1} を用いて,

$$D_{SP1} = D_{SP2} = D_{SP3} = 1 - D_{SN1} = 1 - \frac{v_{armP}^*}{Nv_{C1}} \quad (4.16)$$

で求められる。ゲート信号は位相シフト PWM で生成し, 各セルのスイッチング素子に与えた。なお, バランス素子 S_B に与えるゲート信号は, 図 4.3 と同様に, 主素子 S_P のゲート信号線から分配した。バランス抵抗は, (4.13) 式を用いて, τ_B が 120 ms となるよう抵抗値を 15Ω に設定した。ただし, (4.14) 式および (4.16) 式から S_P の平均デューティ比 $\overline{D_{SP}}$ を 0.5 として計算した。このとき, バランス回路の時定数はスイッチング周期より十分長く, LSB 動作となる ($\tau = 60 \text{ ms} \gg 1/f_{sw} = 0.15 \text{ ms}$)。

4.5.2 アンバランス電圧の抑制効果の検証

図 4.13 にバランス回路を接続した場合の起動波形を示す。U 相上アーム最上段 1 セルのセルコンデンサのみに放電抵抗 ($2.2 \text{ k}\Omega$) を並列に接続し, 意図的にアンバランス電圧を発生させた。スイッチングを開始する前は, セルコンデンサ電圧はアンバランス状態であったが, スwitchingを開始すると, すみやかにアンバランス電圧が減衰した。(4.13) 式で表される理論曲線ともほぼ一致することから, 設計通りの時定数でバランスを確認した。また, 起動直後に約 14 V (24%) の電圧差があっても, $R_B = 15 \Omega$ を考慮するとバランス抵抗に流れる電流は 0.93 A であり, 主素子の電流ピーク値のわずかに 3.8% に抑制されている。

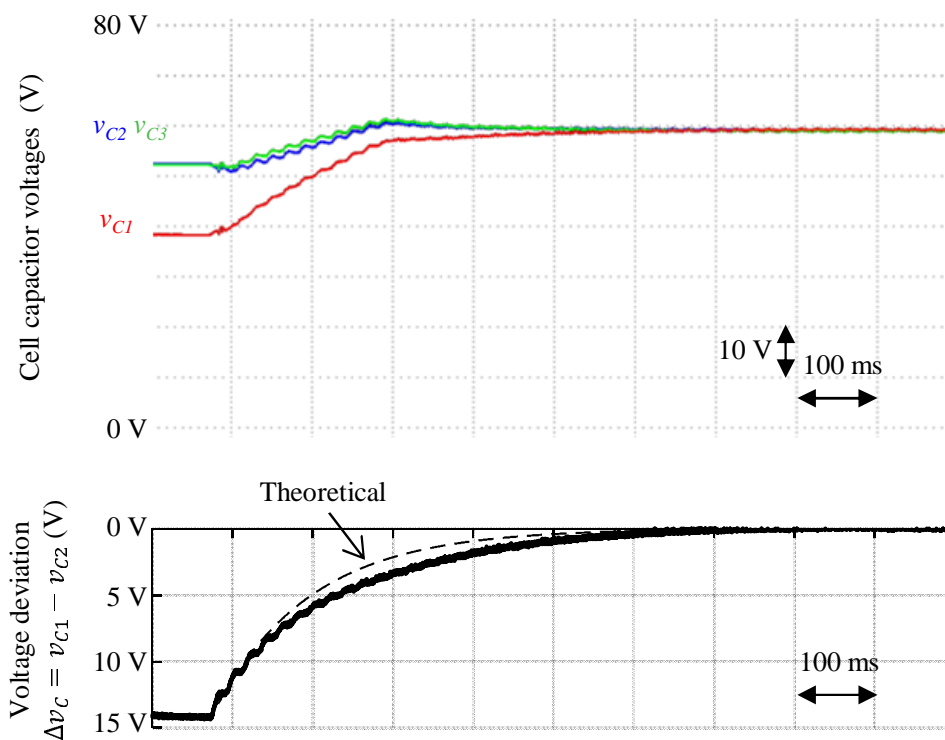


図 4.13: バランス回路によって電圧偏差が減衰する実験波形

図 4.14 と図 4.15 に定格 10 kW でコンバータ運転およびインバータ運転を行った時の波形を示す。どちらも安定に動作しており、バランス回路を接続した NPC-MMC の系統電流は正弦波に制御されている。同一アーム内のセルコンデンサ電圧はすべて一致しており、提案するバランス回路がアンバランス電圧の抑制に有効であることを確認した。

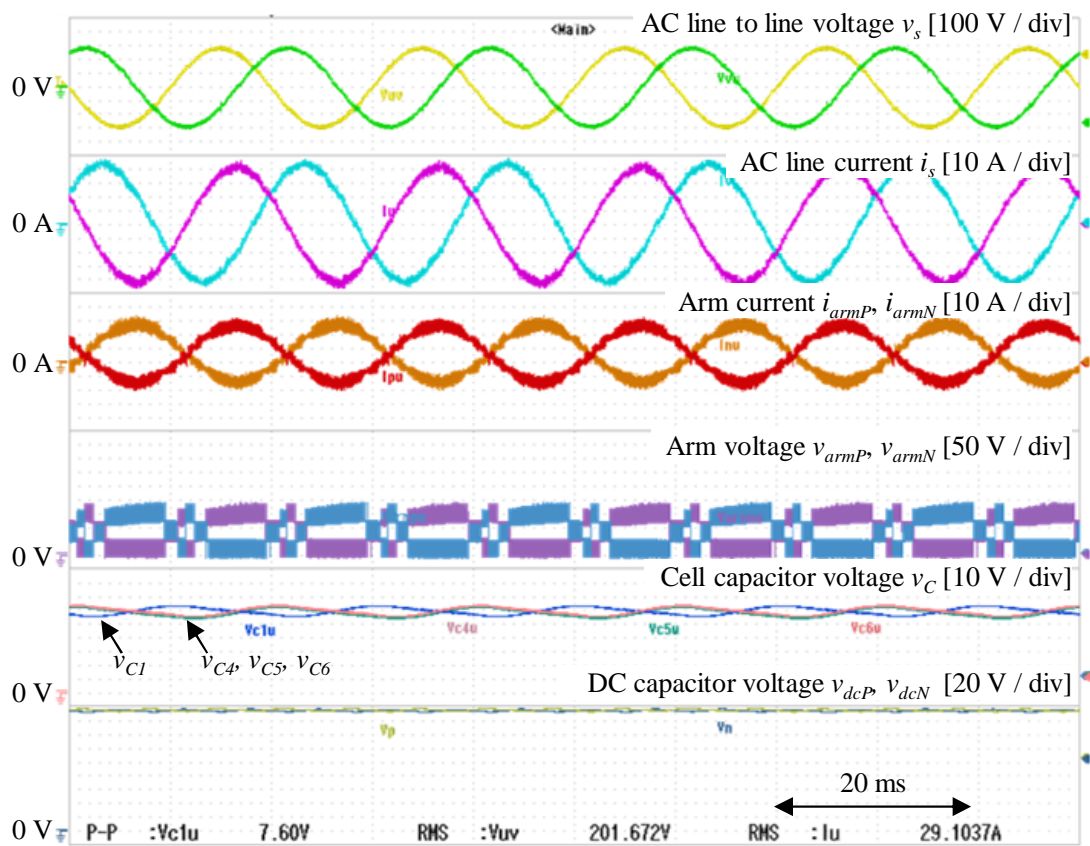


図 4.14: 定常状態における 10 kW 整流器運転時の実験波形

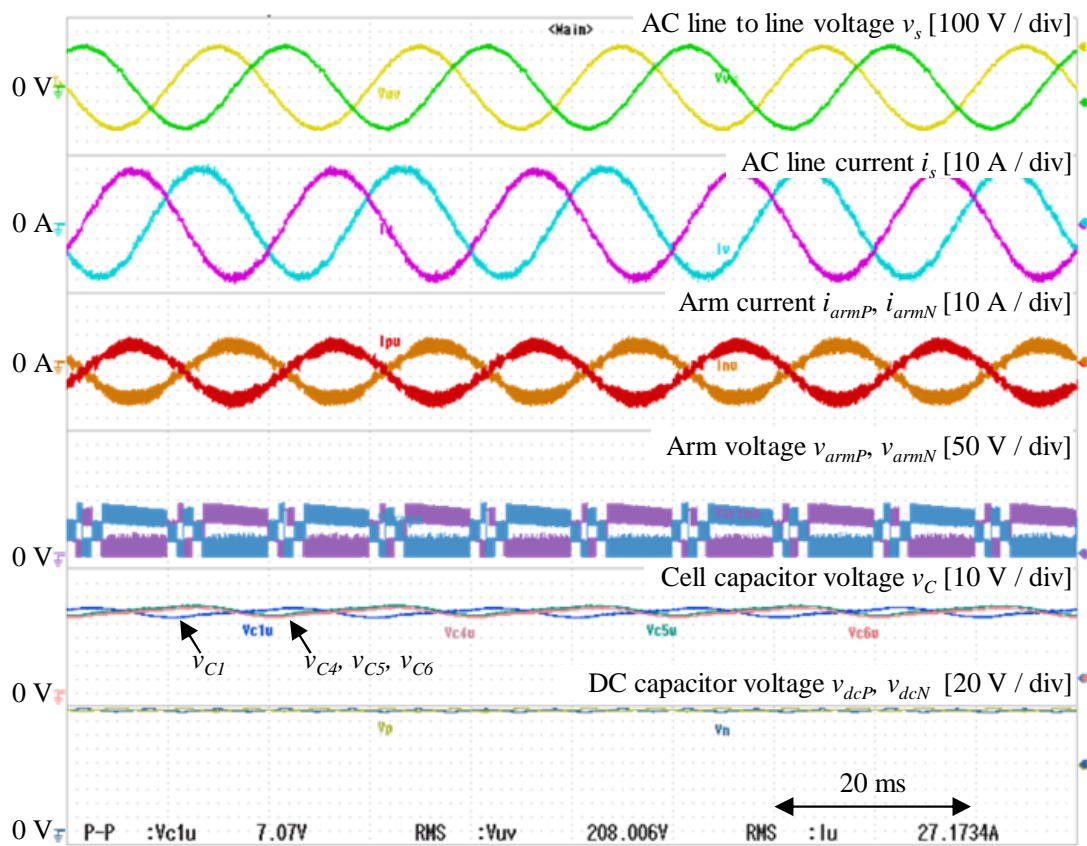


図 4.15: 定常状態における 10 kW インバータ運転時の実験波形

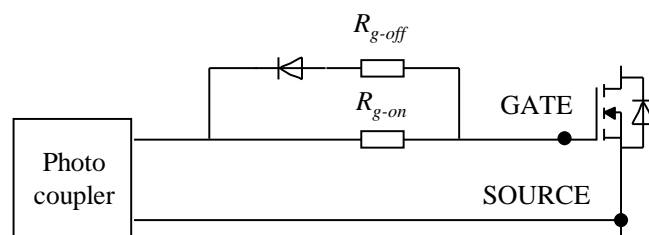


図 4.16: ゲートドライブ回路

4.5.3 短絡損失低減の実験検証

バランス素子の転流シーケンスの違いにより、セルコンデンサの短絡に伴う損失を低減できることを実験で確認する。実験では、図 4.3 に示すように、 S_P と S_B は同一のゲート信号で駆動した。また、短絡電流による素子の破壊を避けるため、 S_B には S_P , S_N と同じ MOSFET を使用した。図 4.16 にゲートドライブ回路を示す。 S_P と S_B のターンオン・オフ遅延時間 $T_{d-on}(SP)$, $T_{d-off}(SP)$, $T_{d-on}(SB)$, $T_{d-off}(SB)$ は、それぞれターンオン時のゲート抵抗 R_{g-on} とターンオフ時のゲート抵抗 R_{g-off} で調整できる。 S_P と S_B の R_{g-on} と R_{g-off} を適切に選べば、スイッチングのタイミングを変えることができる。図 4.8(b) のセルコンデンサの短絡が起こらない転流シーケンスとするために、 $T_{d-on}(SB) > T_{d-on}(SP)$, $T_{d-off}(SP) > T_{d-off}(SB)$ とした。また比較のため、セルコンデンサの短絡が発生する図 4.8(a) の転流シーケンスは、 $T_{d-on}(SP) > T_{d-on}(SB)$, $T_{d-off}(SB) > T_{d-off}(SP)$ とすることで実現した。一般に、 R_{g-on} を増加させるとスイッチング損失が増え、 R_{g-off} を減らすとスイッチングサージが増える。しかし、LSB 動作であれば、バランス素子に流れる電流は主素子と比較して十分小さくなり、スイッチング損失やサージ電圧は十分低く問題にならない。

図 4.17 にスイッチング時にセルコンデンサの短絡が起こった場合のバランス回路の波形を示す。短絡によるバランス抵抗の発熱を抑えるため、出力 3 kW の条件で測定した。短絡の発生する $1 \mu\text{s}$ 程度の期間、バランス抵抗にセルコンデンサの電圧が印加され、バランス抵抗で損失が発生する。 v_{B1} の波形から計算すると 1 つのバランス抵抗で発生する損失は 0.83 W であった。

図 4.18 は定格出力 10 kW におけるスイッチング時のセルコンデンサの短絡を防止した場合の波形である。セルコンデンサの短絡を防止することで、バランス抵抗にはほとんど電圧は印加されていない。 v_{B4} の波形から計算すると 1 つのバランス抵抗で発生す

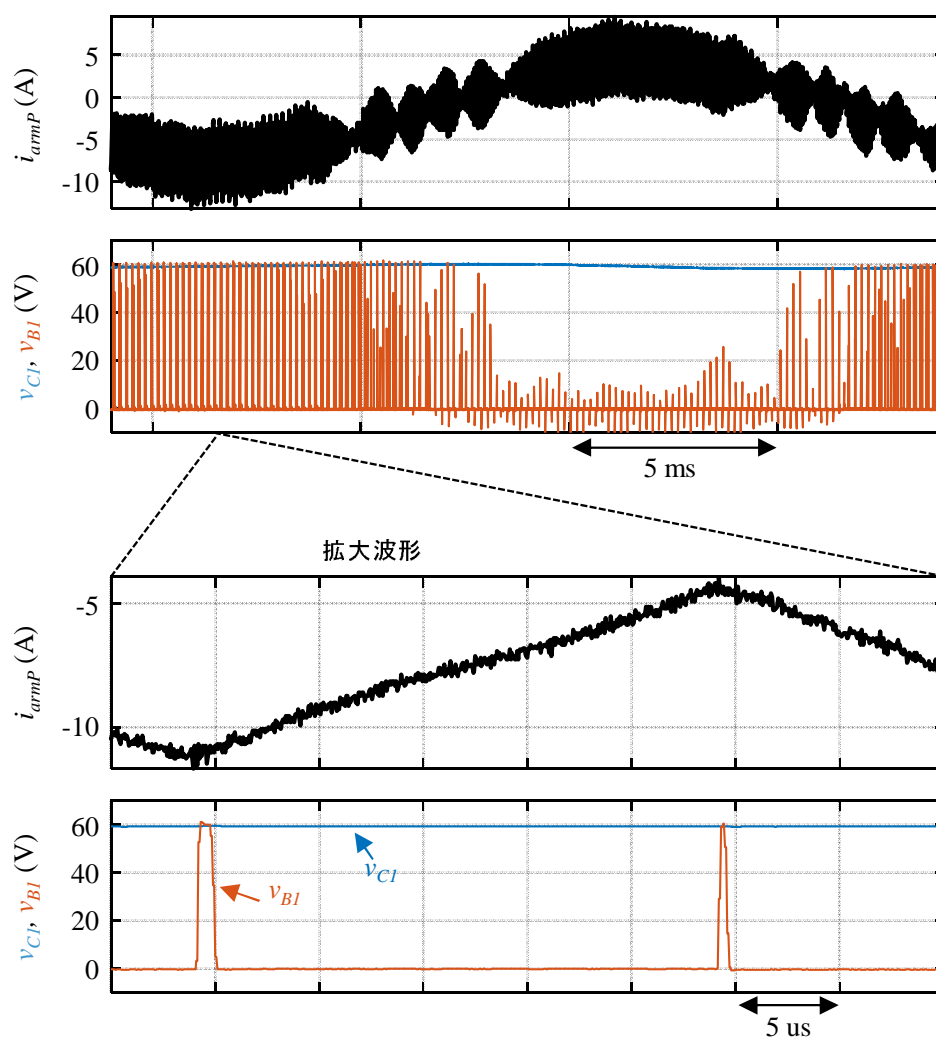


図 4.17: セルコンデンサの短絡が生じた場合のバランス回路の実験波形

る損失は 0.034 W であり、大幅に低減できた。また、ゲート抵抗によりバランス素子のスイッチング速度を変えたことによる、スイッチング損失やサージ電圧の著しい増加は生じなかった。

4.5.4 変換損失の実験検証

図 4.19 に直流電力 P_{dc} と交流電力 P_{ac} から測定した変換損失を示す。損失には、主素子およびセルコンデンサの損失、ゲート回路の損失、バッファリアクトルの損失が含まれている。赤い×マーカーは、バランス回路を停止し、フィードバック制御によって個別電圧バランス制御を行った場合の変換損失である。黒い■マーカーと青い●マーカー

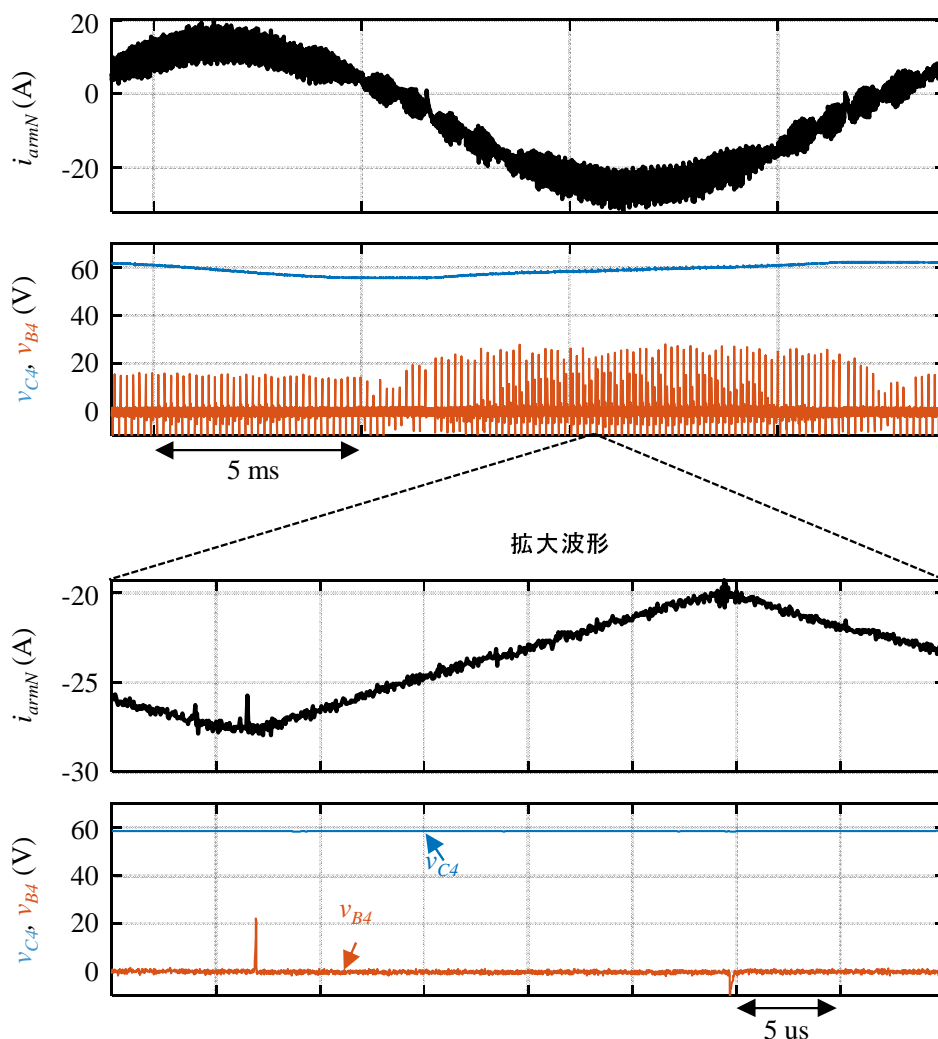


図 4.18: セルコンデンサの短絡を防止した場合のバランス回路の実験波形

は、バランス回路を接続した場合で、それぞれ図 4.17 のようにセルコンデンサの短絡が生じる時と図 4.18 の短絡防止する転流シーケンスを適用した時の変換損失である。

同じバランス回路を接続した NPC-MMC でも、短絡を防止する転流シーケンスを適用することにより、出力 3 kW 時の損失を 11.4 W 低減した。図 4.17 から計算されるバランス抵抗 1 つあたりの損失は 0.83 W である。実験で使用した NPC-MMC には 12 個のバランス抵抗があり、すべてが同じ損失を発生すると損失の総和は 10.0 W (= 0.83 W×12 個) となり、実測した変換損失の差にほぼ一致する。

セルコンデンサの短絡を防止した場合では、バランス回路を接続せずに個別電圧バランス制御を適用した場合と比較して、低出力から定格出力まで変換損失はほとんど増加していない。この結果は、NPC-MMC の変換損失に対する、バランス回路で生じる損失

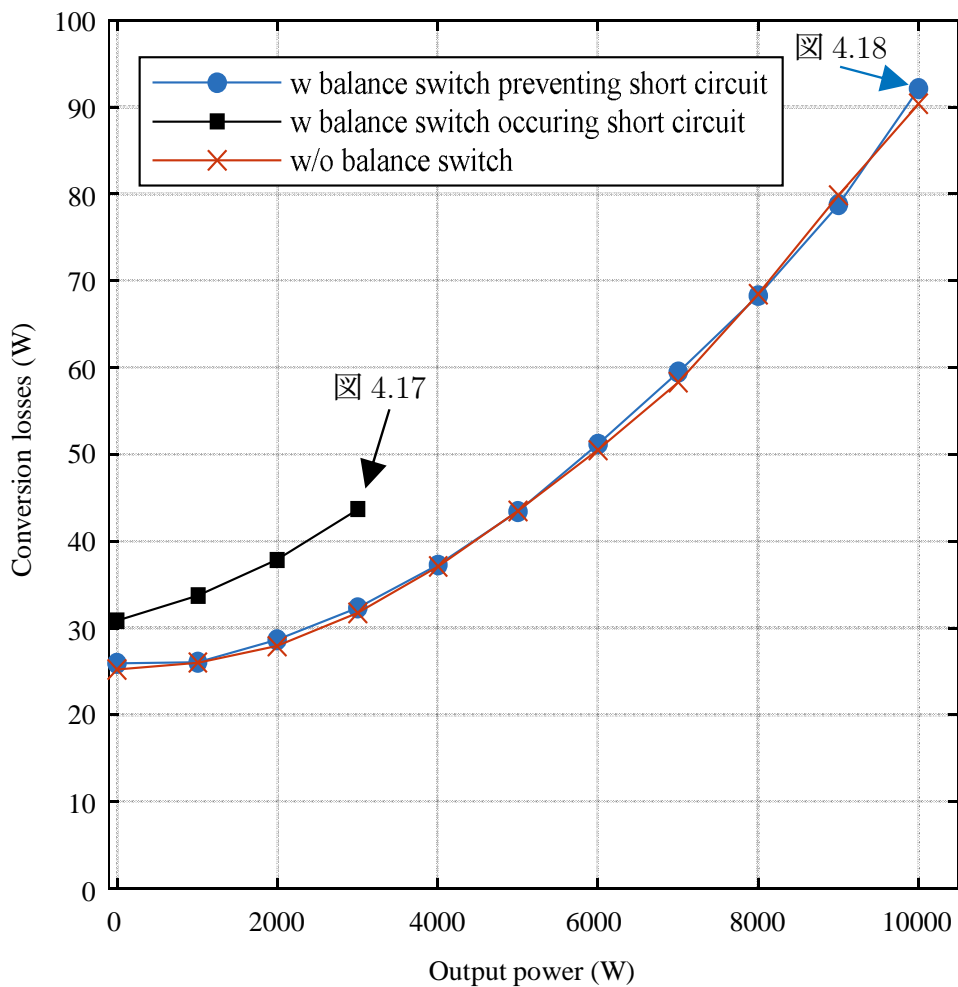


図 4.19: 変換損失の比較

の占める割合が小さいことを意味する。つまり、スイッチングリプル電圧による損失やセルコンデンサの短絡による損失はほとんど発生していない。したがって、提案回路はセルコンデンサ容量を増加させることなく、バランス回路で発生する損失を極限まで低減でき、最大 99.2% の高効率な電力変換を実証した。

4.6 コスト評価

コスト計算のための設計例を表 4.3 に示す。2 レベル変換器の使用素子は、導通損失が比較的安く放熱性に優れたモジュール型 IGBT を想定した。従来の MMC や NPC-MMC の使用素子は、損失が小さく基板で十分放熱できることから、表面実装のディスクリート型 MOSFET を想定した。従来の MMC と NPC-MMC の等価スイッチング周波数は、バッファリアクトルに流れる電流とし、従来の MMC ではセル数が 2 倍になっていることからスイッチング周波数は NPC-MMC の 1/2 とした。バランス回路を適用することで、NPC-MMC の直流電圧検出数は変換器アームにつき 1 つでよく、従来の MMC に比べて大幅な削減が可能である。また、セルコンデンサ容量はリップ幅を $\pm 5\%$ となるように設定し、NPC-MMC には 3 章で検討した高調波重畳によるセルコンデンサリップ低減制御を適用した。なお、2 レベル変換器と NPC-MMC の直流リンクのコンデンサ容量は同一としたが、スイッチングリップ電圧の抑制のみであれば 2 レベル変換器のコンデンサ蓄積エネルギーはさらに小さくできる。

表 4.3: コスト計算のための設計例 (3 相 200 V-10 kW)

| | 2 レベル変換器 | 従来の MMC (DSCC) | バランス回路を接続した NPC-MMC |
|-------------------------|----------------------|---------------------|-------------------------------------|
| 素子 | モジュール型 IGBT | ディスクリート型 低耐圧 MOSFET | ディスクリート型 低耐圧 MOSFET |
| 素子数 | 6 (600 V) | 72 (100 V) | $36 + 6^{*1}$ (100 V) 12 (250 V) |
| PWM-ch 数 | 3ch | 36ch | 24ch |
| 総セル数 | – | 36 セル | 18 セル |
| 等価スイッチング周波数 (スイッチング周波数) | 10 kHz (10 kHz) | 20 kHz (3.3 kHz) | 20 kHz (6.6 kHz) |
| フィルタ インダクタンス | 5.5% | 0.2% | 0.4% |
| 直流電圧検出数 | 1 | 36 | 8 |
| コンデンサ蓄積エネルギー | 73.5 J ^{*2} | 472 J ^{*3} | 289 J ^{*4} |

*1 バランス回路用素子

*2 DC link : 1.2 mF-350 V

*3 Cell : 6.2 mF-65 V

*4 DC link : 2.4 mF-175 V (2 直列), Cell : 5.7 mF-65 V

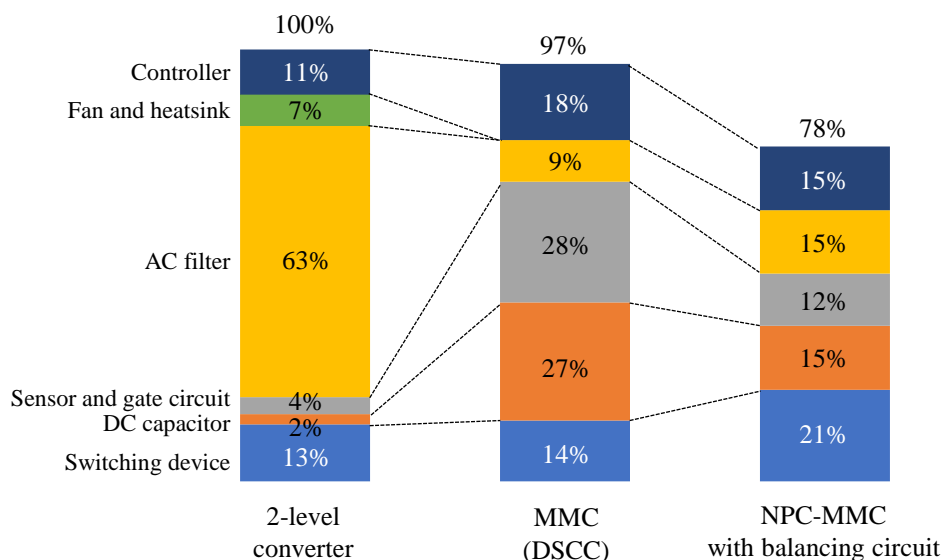


図 4.20: 推定コスト

図 4.20 に、バランス回路を接続した NPC-MMC の推定コストを示す。コスト計算には、スイッチング素子・直流コンデンサ（セルコンデンサ含む）・センサおよびゲート回路・交流フィルタ・冷却機器・制御機器を部品価格で計算した。従来の 2 レベル変換器と比較して、NPC-MMC の交流フィルタのコストはおよそ 1/4 に低減できる。また、MMC や NPC-MMMC の素子数は大幅に増えているが、安価な低耐圧 MOSFET を使用できるため、素子コストの増加は大きくない。一方で、従来の MMC はコンデンサや検出回路のコストが大幅に増加する。これに対し、本研究で提案したバランス回路を接続した NPC-MMC では、素子コストが若干増加するが、コンデンサ小型化と制御インターフェースの削減が可能となり、コンデンサや検出回路のコスト増加が抑えられている。その結果、バランス回路を接続した NPC-MMC は、従来の 2 レベル変換器と比較して 22% のコスト低減が可能である。

4.7 4章のまとめ

本章では、各セルのコンデンサ電圧を検出せずに、セルコンデンサ電圧をバランスできる抵抗付きバランス回路を提案した。バランス回路にあえて抵抗を挿入することで、セルコンデンサ容量を増加させずに、スイッチングリップル電圧による損失とバランス素子の電流定格を低減できることを示した。また、主素子に対して、バランス素子のター

ンオンを遅く，ターンオフを早くすることで，セルコンデンサの短絡に伴う損失を低減できることを明らかにした。10 kW の NPC-MMC のチョッパセルに提案バランス回路を接続して実験を行った結果，運転中のセルコンデンサ電圧を良好にバランスでき，バランス回路の接続による損失の増加は生じないことを確認した。また，バランス回路を含む変換器全体の損失を実測し，99.2 % の変換効率を実現した。最後に，バランス回路を接続した NPC-MMC のコスト評価を行い，2 レベル変換器や従来の MMC と比較してコスト低減が可能であることを示した。

第 5 章

PWM-ch 数削減とコンデンサリプル電流低減を両立する疑似ユニポーラ変調

本章では、制御インターフェースの 1 つである PWM チャンネル数を削減しつつ、MMC のセルコンデンサリプル電流を低減できる疑似ユニポーラ変調を提案する。提案法はブリッジセルを有する MMC 全般に適用可能であるが、セルコンデンサのリプル電流がボトルネックとなる低圧向けのアクティブフィルタを想定して検討する。疑似ユニポーラ変調はバイポーラ変調で生成した PWM 出力を使用し、1 つの PWM 出力を直列に接続されている別のブリッジセルに与えることで、PWM 出力を入れ替える。つまり、それぞれのブリッジセルは、異なる 2 つの PWM 出力で制御されることになるため、ブリッジセルのレグ間に位相差を生成することが可能になる。また、PWM 出力入れ替えを考慮した個別バランス制御を提案し、制御非干渉化が実現できることを理論的に示す。3.3 kVA の MMC アクティブフィルタに提案法を実装し、少ない PWM チャンネル数においても、セルコンデンサリプル電流とコンデンサ損失が低減できることを実証する。

5.1 MMC を適用したアクティブフィルタとその課題

5.1.1 回路構成

図 5.1 に MMC を適用したアクティブフィルタ（MMC アクティブフィルタ）の回路構成を示す。高調波を発生する負荷として、直流リアクトルを接続した 3 相ダイオード整流器を交流系統に接続する [113]。3 相 MMC アクティブフィルタは小型の交流フィルタを介して負荷と並列に接続し、系統電流が正弦波となるように補償する。MMC アクティブフィルタは直流リンクが不要であるため、スター結線 MMC (SSBC) を適用す

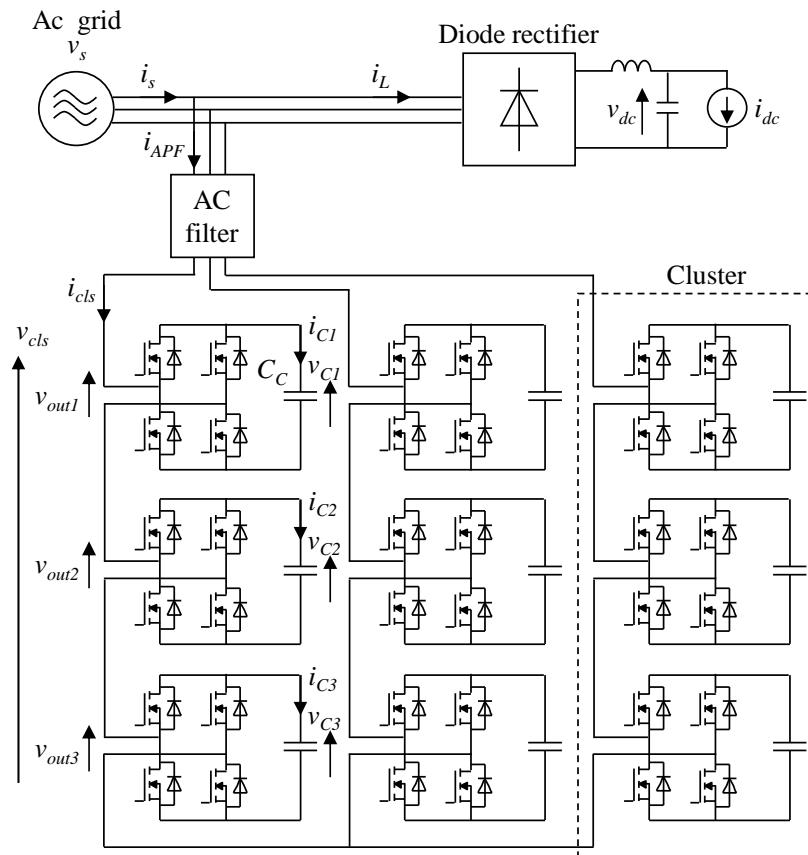


図 5.1: MMC を適用したアクティブフィルタ

る。この回路構成は、複数のブリッジセルで構成されるクラスタをスター結線しているため、各クラスタは系統相電圧を出力するだけでよい。したがって、MMC の回路構成の中で最も少ないセル数で構成でき、PWM チャンネル数を削減することに適している。

5.1.2 MMC アクティブフィルタの制御

図 5.2 に MMC アクティブフィルタの制御ブロック図を示す。ここでは、 dq 変換を用いた一括高調波検出方式を採用した [114, 115]。まず、負荷電流 i_L を検出し dq 座標に変換することで、基本波電流を直流成分に、高調波電流を交流成分にそれぞれ分離する。そして、高調波成分だけを HPF (High pass filter) で抽出する。電流制御器 (ACR: Auto current regulator) はクラスタ電圧指令値 v_{cls}^* を演算し、抽出した高調波電流にクラスタ電流 i_{cls} が追従するように制御する。

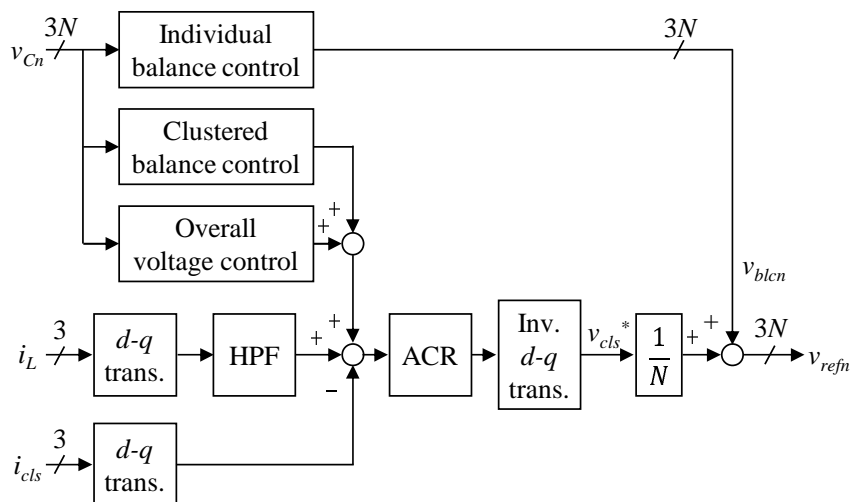


図 5.2: MMC アクティブフィルタの制御ブロック図

また、MMC アクティブフィルタはすべてのセルコンデンサ電圧をバランスさせる必要がある。スター結線型 MMC のセルコンデンサバランス制御には、3 層階層構造の制御方式 [116] を採用した。以下にバランス制御について簡単に述べる。第 1 階層は一括コンデンサ電圧制御であり、3 つのクラスタのすべてのセルコンデンサ電圧平均値を制御する。変換損失に相当する有効電力を交流系統からセルコンデンサに供給する。第 2 階層はクラスタバランス制御で、3 つのクラスタ間でセルコンデンサ電圧平均値をバランスさせる。MMC アクティブフィルタ内で小さな逆相電流を流すことでクラスタ間のエネルギー授受を行う。第 3 階層は個別バランス制御で、クラスタ内の個別のセルコンデンサ電圧を制御する。各セルの電圧指令値 v_{refn} を調整することにより、クラスタ内の各セル間でエネルギー授受を行う。

5.1.3 MMC アクティブフィルタの課題

ブリッジセル（単相インバータ）の変調法として、ユニポーラ変調とバイポーラ変調が知られている [107–109]。ユニポーラ変調は 2 つのレグを独立して動作させるため、PWM チャンネルは 2 つ必要になる。一方で、バイポーラ変調は 1 つの PWM チャンネルがあればよく、2 つのレグは同期して交互にスイッチングする。たとえば、図 5.2 のように 9 つのセル（合計 36 素子）を有する 3 相 MMC にバイポーラ変調を適用した場合、9 つの PWM チャンネル数で制御できる。そのため、汎用マイコンなどが適用でき、

表 5.1: ブリッジセルの出力電圧とセルコンデンサ電流

| Mode | S_{1n} | S_{2n} | S_{3n} | S_{4n} | v_{outn} | i_{Cn} |
|------|----------|----------|----------|----------|------------|------------|
| 1 | 1 | 0 | 0 | 1 | v_{Cn} | i_{cls} |
| 2 | 0 | 1 | 1 | 0 | $-v_{Cn}$ | $-i_{cls}$ |
| 3 | 1 | 1 | 1 | 0 | 0 | 0 |
| 4 | 0 | 0 | 0 | 1 | 0 | 0 |

制御装置のコスト低減が可能になる。

一般的に、バイポーラ変調はユニポーラ変調と比較して多くの高調波電圧を発生することが知られている。バイポーラ変調の主要な高調波電圧はスイッチング周波数成分であるが、ユニポーラ変調では2倍のスイッチング周波数成分となる。このように、バイポーラ変調の高調波電圧はユニポーラ変調より低い周波数帯域となるが、位相シフトPWMを適用すればMMC内でスイッチング周波数成分を打ち消すことができるため、大きな問題にはならない [110–112]。

バイポーラ変調のデメリットとして、セルコンデンサに大きなリプル電流が流れる。低圧向けMMCのセルコンデンサには電解コンデンサの使用が想定されるため、熱的ストレス低減や製品寿命向上の観点から、リプル電流はできるだけ少なくすることが望ましい。特に、MMCをアクティブフィルタに応用した場合、主要な出力電流は5次や7次、もしくはそれ以上の高調波成分となるため、セルコンデンサの静電容量は小さくて良い。そのため、MMCアクティブフィルタのセルコンデンサを小型化するには、静電容量よりリプル電流耐量の方がボトルネックとなる。したがって、バイポーラ変調のようにPWMチャンネル数を削減しつつ、コンデンサリプル電流を削減することが重要である。

5.2 ブリッジセルの従来の変調法

5.2.1 ブリッジセルの出力電圧とセルコンデンサ電流

ブリッジセルは2つのスイッチングレグと1つのセルコンデンサで構成する。ここでは、2つのスイッチングレグのうち交流系統に近いレグを正側レグ、交流系統から遠いレグを負側レグと呼ぶ。スイッチング素子に与えるゲート信号はそれぞれのセルの電圧

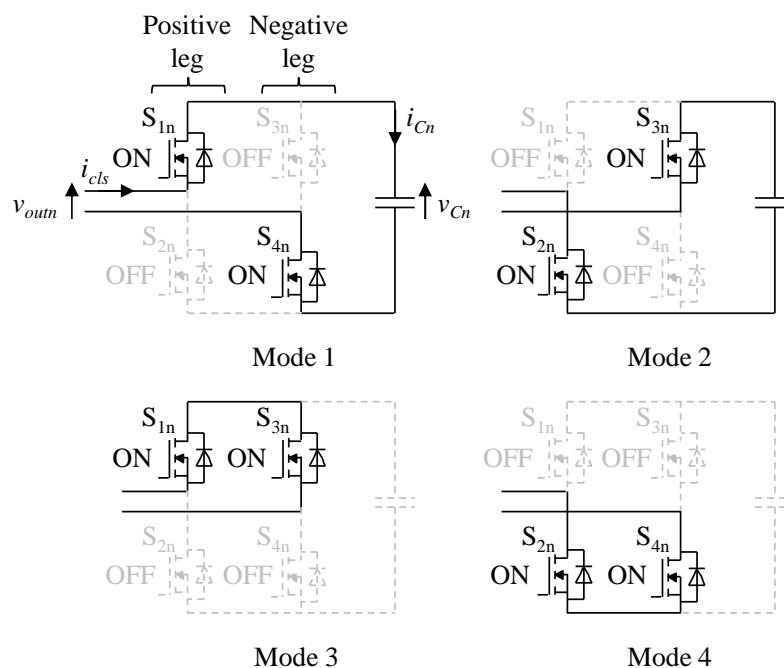


図 5.3: ブリッジセルのスイッチングモード

指令値 v_{refn} に基づいて決定される。添え字 n は各セルを識別する番号で、1つのクラスタ内のセルに順番に付与する。図 5.3 にブリッジセルの4つのスイッチングモードを示す。各スイッチングモードにおけるブリッジセルの出力電圧 v_{outn} とセルコンデンサ電流 i_{Cn} を表 5.1 に示す。Mode 1 と Mode 2 では、ブリッジセルの出力電圧はセルコンデンサ電圧 v_{Cn} であり、クラスタ電流 i_{cls} はセルコンデンサを通る。一方、Mode 3 と Mode 4 では、ブリッジセルの出力電圧はゼロである。このとき、セルコンデンサには電流が流れない。ここでスイッチング関数 S_{1n} , S_{2n} , S_{3n} , S_{4n} を導入する。スイッチング関数はスイッチング素子がオン状態の時は 1 を表し、オフ状態の時は 0 を表す。スイッチング関数を用いると、ブリッジセルの出力電圧は、

$$v_{outn} = (S_{1n} - S_{2n}) \frac{v_{Cn}}{2} + (S_{4n} - S_{3n}) \frac{v_{Cn}}{2} \quad (5.1)$$

と表せる。ただし、 v_{Cn} はセルコンデンサ電圧である。

5.2.2 ユニポーラ変調

ユニポーラ変調は 0 V と v_{Cn} , もしくは 0 V と $-v_{Cn}$ の振幅を持つ単極性のパルス電圧が得られる変調法である。ユニポーラ変調の PWM 出力は、正側レグ用の三角波キャ

リア信号と負側レグ用の反転した三角波キャリア信号を使用し、電圧指令値と比較することで生成できる。ブリッジセルの2つのレグは独立に動作するため、図5.3のすべてのスイッチングモードが現れる。なお、負側レグのPWM出力はキャリア信号ではなく電圧指令値を反転することでも同じPWM出力が得られる。ユニポーラ変調ではMode 3と4の期間が現れ、その期間はセルコンデンサに電流が流れない。そのため、セルコンデンサ電流実効値はクラスタ電流実効値より小さくできる。しかしながら、ユニポーラ変調は合計レグ数と同数の相補PWMチャンネル数が必要になる。たとえば、図5.1の回路の場合では、18個の独立したPWMチャンネルが必要であり、汎用マイコンを制御器に用いることは難しい。

5.2.3 バイポーラ変調

バイポーラ変調は v_{Cn} と $-v_{Cn}$ の振幅を持つ双極性のパルス電圧が得られる変調法である。バイポーラ変調では、1つのブリッジセルに対し1組の相補PWM出力のみを使用し、正側レグにはPWM出力をそのまま与え、負側レグには反転した信号を与える。したがって、バイポーラ変調に必要な相補PWMチャンネル数はユニポーラ変調の半分にできる。バイポーラ変調でとりうるモードはMode 1と2のみであり、ブリッジセルの出力電圧は v_{Cn} と $-v_{Cn}$ の2レベルになる。クラスタ電流 i_{cls} が常にセルコンデンサに流れるため、セルコンデンサ電流 i_{Cn} の振幅は常にクラスタ電流 i_{cls} と等しい。したがって、セルコンデンサ電流の実効値は、

$$i_{Cn-rms} = \sqrt{\frac{1}{T} \int_0^T i_{Cn}^2 dt} = \sqrt{\frac{1}{T} \int_0^T |i_{cls}|^2 dt} = i_{cls-rms} \quad (5.2)$$

で表される。(5.2)式は、たとえブリッジセルの出力電圧平均値がゼロであったとしても、セルコンデンサ電流実効値はクラスタ電流実効値と同じになることを意味する。

図5.4は、3つのブリッジセルから構成されるクラスタにバイポーラ変調を適用した場合の出力電圧波形である。すべてのセルコンデンサ電圧はバランス状態 ($v_C = v_{C1} = v_{C2} = v_{C3}$) で、各セルの電圧指令値は同じ ($v_{ref} = v_{ref1} = v_{ref2} = v_{ref3}$) と仮定した。3つのキャリア信号の位相は互いに $\phi = 2\pi/N = 2\pi/3$ だけシフトしている。 G_1 と G_2 , G_3 はバイポーラ変調で生成したPWM出力である。図5.5(a)に示すように、PWM出力 G_n は S_{1n} と S_{4n} に与える。もう一方のスイッチング素子 S_{2n} と S_{3n} には、 G_n の相補信号 $\overline{G_n}$ を与えて制御する。(5.1)式に $S_{1n} = G_n$, $S_{2n} = \overline{G_n}$, $S_{3n} = \overline{G_n}$, $S_{4n} = G_n$ を代

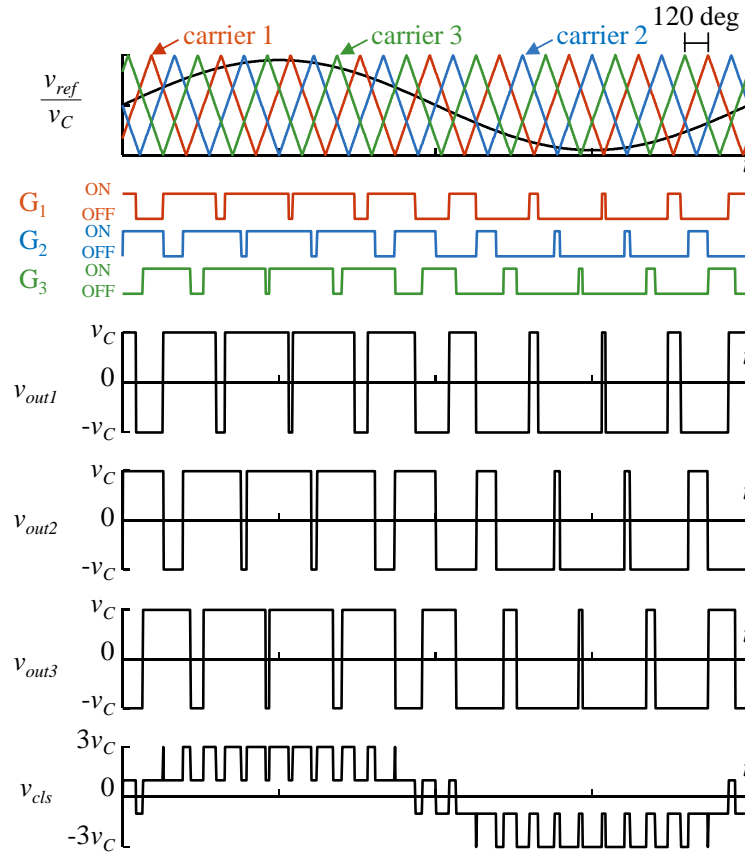


図 5.4: バイポーラ変調を適用した場合の出力電圧波形 ($N = 3$)

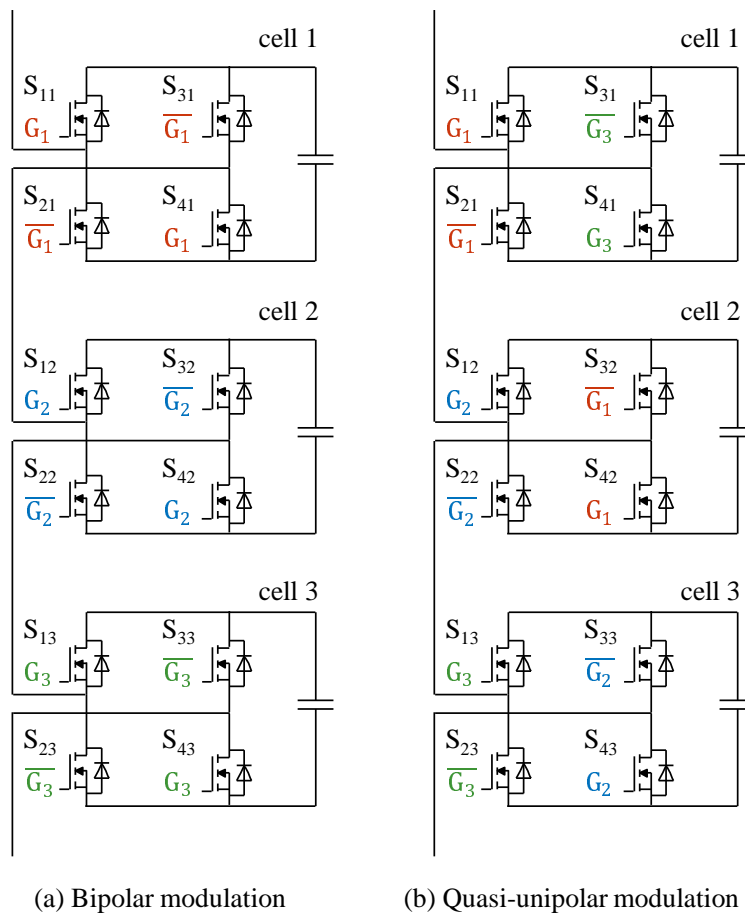
入すると、バイポーラ変調の場合の出力電圧は、

$$v_{outn(bi)} = (G_n - \overline{G}_n) v_C \quad (5.3)$$

になる。バイポーラ変調では、Mode 1 と 2 のみが現れるため、(5.3) 式のように各セルの出力電圧は 2 レベルの波形になる。また、クラスタ電圧は $v_{outn(bi)}$ の総和であり、

$$\begin{aligned} v_{cls(bi)} &= \sum_{n=1}^3 (G_n - \overline{G}_n) v_C \\ &= (G_1 + G_2 + G_3 - \overline{G}_1 - \overline{G}_2 - \overline{G}_3) v_C \end{aligned} \quad (5.4)$$

と求められる。したがって、3 つのセルから構成されるクラスタにバイポーラ変調を適用した場合は、4 レベルの出力電圧が得られる。

図 5.5: スイッチング素子への PWM 出力の分配方法 ($N = 3$)

5.3 疑似ユニポーラ変調

本節では、提案する疑似ユニポーラ変調について説明する。疑似ユニポーラ変調はバイポーラ変調で生成した PWM 出力をブリッジセル間に入れ替えることで、ユニポーラ変調と同様にセルコンデンサ電流を低減できる。

5.3.1 PWM 出力の分配方法

図 5.5(b) は疑似ユニポーラ変調の場合の PWM 出力の分配例である。ここでは、3セルで構成されたクラスタを例に説明するが、4セル以上で構成されたクラスタにも同様に適用でき、その分配方法は次節で説明する。 G_1 , G_2 , G_3 は、3つの電圧指令値と位相シフトされたキャリア信号を用いて制御装置で生成されたバイポーラ変調の PWM 出力である。提案する疑似ユニポーラ変調では、正側レグのスイッチング素子 S_{11} , S_{12} , S_{13}

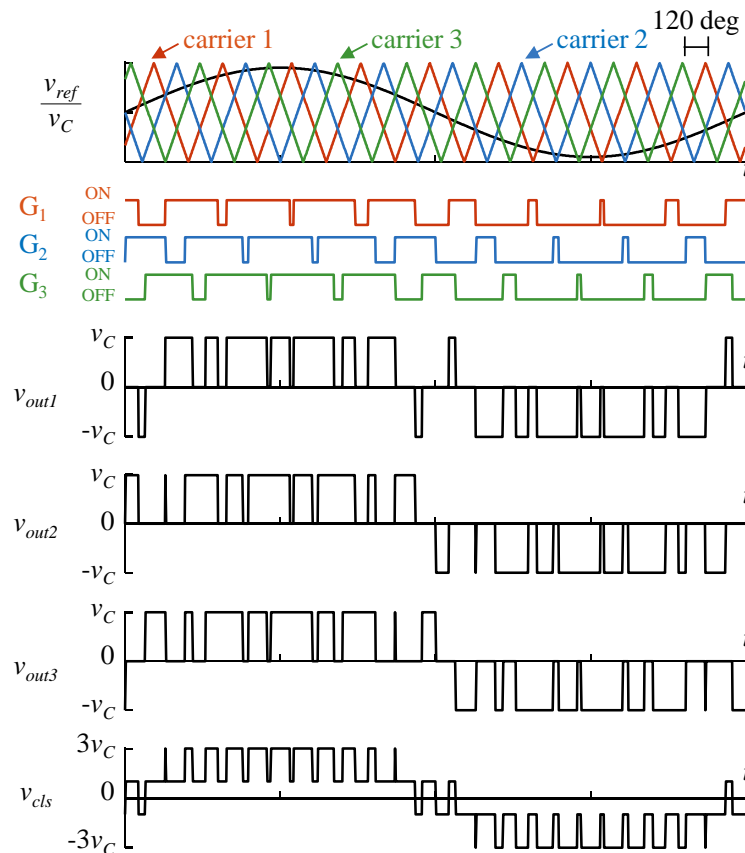


図 5.6: 疑似ユニポーラ変調を適用した場合の出力電圧波形 ($N = 3$)

にはバイポーラ変調と同様に G_1 , G_2 , G_3 を与える。一方、負側レグのスイッチング素子 S_{41} , S_{42} , S_{43} はバイポーラ変調とは異なり、 G_3 , G_1 , G_2 でそれぞれ制御する。つまり、疑似ユニポーラ変調では、1つのセルの正側レグと負側レグが異なる PWM 出力を使用する。残りのスイッチング素子 S_{21} , S_{31} , S_{22} , S_{32} , S_{23} , S_{33} は S_{11} , S_{41} , S_{12} , S_{42} , S_{13} , S_{43} の相補 PWM 出力 $\overline{G_1}$, $\overline{G_2}$, $\overline{G_3}$ で制御する。PWM 出力をこのように分配することで、ブリッジセルの正側レグと負側レグの間に位相差が発生する。その結果、バイポーラ変調で生成された PWM 出力を使っても、Mode 3 と 4 が現れる。

5.3.2 クラスタ電圧

図 5.6 に疑似ユニポーラ変調を適用した場合の出力電圧波形を示す。疑似ユニポーラ変調で使用する PWM 出力 G_1 , G_2 , G_3 は、図 5.4 に示すバイポーラ変調の PWM 出力

と同じである。同じ PWM 出力を用いているにもかかわらず、図 5.5(b) の分配方法を適用するだけで、ブリッジセルの出力電圧 v_{outn} は、 v_C , 0 , $-v_C$ の単極性の 3 レベル電圧波形となり、ユニポーラ変調の電圧波形になる。(5.1) 式に $S_{1n} = G_n$, $S_{2n} = \overline{G_n}$, $S_{3n} = \overline{G_j}$, $S_{4n} = G_j$ を代入すると、 n 番目のセルの出力電圧は、

$$v_{outn(q-uni)} = (G_n - \overline{G_n}) \frac{v_C}{2} + (G_j - \overline{G_j}) \frac{v_C}{2} \quad (5.5)$$

で表せる。ただし、添え字 n と j は 1 つのセルで使用する PWM 出力の組み合わせを示している。ここでは、 n と j の組み合わせを“ゲートペア”と呼び、 (n, j) で表す。たとえば、図 5.5(b) のゲートペアは、 $(1, 3)$, $(2, 1)$, $(3, 2)$ である。

疑似ユニポーラ変調のクラスタ電圧は $v_{outn(q-uni)}$ の総和であり、

$$\begin{aligned} v_{cls(bi)} &= \sum_{\substack{n=1, j=1 \\ n \neq j}}^3 \left\{ (G_n - \overline{G_n}) \frac{v_C}{2} + (G_j - \overline{G_j}) \frac{v_C}{2} \right\} \\ &= \sum_{n=1}^3 (G_n - \overline{G_n}) \frac{v_C}{2} + \sum_{j=1}^3 (G_j - \overline{G_j}) \frac{v_C}{2} \\ &= (G_1 + G_2 + G_3 - \overline{G_1} - \overline{G_2} - \overline{G_3}) v_C \end{aligned} \quad (5.6)$$

と求められる。このように、疑似ユニポーラ変調のクラスタ電圧は、(5.4) 式と一致し、バイポーラ変調のクラスタ電圧と同じになる。つまり、図 5.6 の v_{cls} と図 5.4 の v_{cls} は、同一の 4 レベルの電圧波形であり、疑似ユニポーラ変調が MMC アクティブフィルタの制御性能に影響を与えないことを意味している。したがって、これまで提案されているアクティブフィルタの制御 [117, 118] を併用することも可能で、負荷急変時においても従来と同等の制御応答を得ることができる。

5.3.3 個別バランス制御

図 5.7 に疑似ユニポーラ変調のための新しい個別バランス制御のブロック図を示す。基本的には、従来の個別バランス制御と同様に、セルコンデンサ電圧平均値 v_{Cave} を指令値として、個別のセルコンデンサ電圧をフィードバック制御する [116]。しかし、提案する個別バランス制御の特徴は、同じ PWM 出力で制御されている 2 つのブリッジセルのセルコンデンサ電圧をフィードバックする点にある。たとえば、PWM 出力 G_1 はセル 1 とセル 2 に分配されるため、 v_{C1} と v_{C2} の平均電圧をフィードバックする。これに

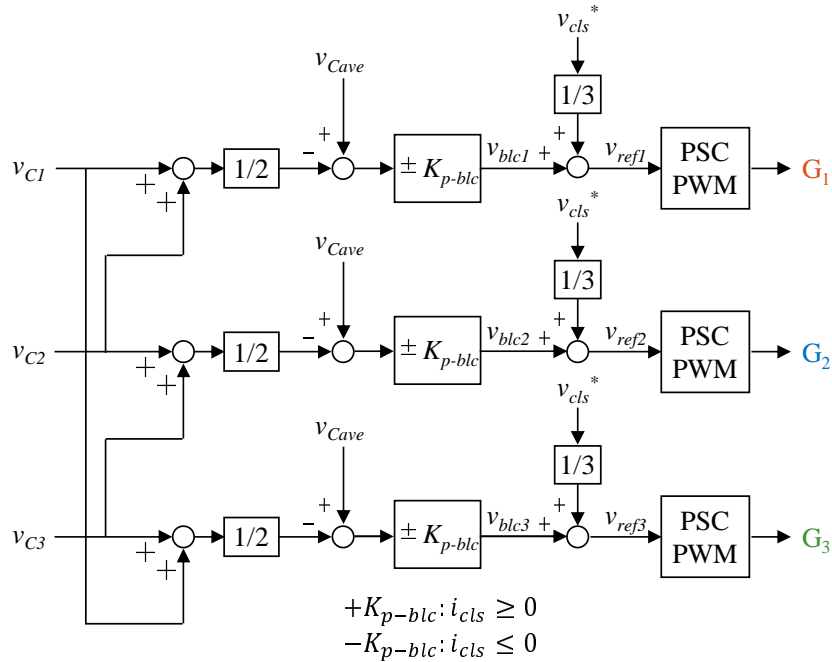


図 5.7: 疑似ユニポーラ変調に適した個別バランス制御ブロック図

より，疑似ユニポーラ変調によって PWM 出力が入れ替わっていたとしても個別バランスが実現できる。

次に，図 5.7 のブロック図で制御できることを理論的に説明する。各ブリッジセルの出力電圧指令値 v_{outn}^* は，各セルコンデンサ電圧をフィードバック制御する必要があり，次式で与えられる。

$$\begin{pmatrix} v_{out1}^* \\ v_{out2}^* \\ v_{out3}^* \end{pmatrix} = \frac{v_{cls}^*}{3} \begin{pmatrix} 1 \\ 1 \\ 1 \end{pmatrix} + \frac{K_{P-blc}}{4} \begin{pmatrix} v_{Cave} - v_{C1} \\ v_{Cave} - v_{C2} \\ v_{Cave} - v_{C3} \end{pmatrix} \quad (5.7)$$

ただし， v_{cls}^* はクラスタ電圧指令値で， K_{P-blc} は比例ゲインである。 v_{Cave} はクラスタ内のセルコンデンサ電圧平均値で次式で表される。

$$v_{Cave} = \frac{1}{3} \sum_{n=1}^3 v_{Cn} \quad (5.8)$$

疑似ユニポーラ変調を適用すると，3つのブリッジセル間で PWM 出力が入れ替わり，制御干渉が起こる。PWM 出力が図 5.5(b) のように分配されている時，ブリッジセルの実際出力電圧 v_{outn} は電圧指令値 v_{refn} と変換行列を用いて，

$$\begin{pmatrix} v_{out1} \\ v_{out2} \\ v_{out3} \end{pmatrix} = \begin{pmatrix} 1/2 & 0 & 1/2 \\ 1/2 & 1/2 & 0 \\ 0 & 1/2 & 1/2 \end{pmatrix} \begin{pmatrix} v_{ref1} \\ v_{ref2} \\ v_{ref3} \end{pmatrix} \quad (5.9)$$

と表せる。(5.9) 式の逆行列を (5.7) 式に代入すると、疑似ユニポーラ変調のブリッジセルの電圧指令値 v_{outn}^* は、

$$\begin{aligned}
 \begin{pmatrix} v_{ref1} \\ v_{ref2} \\ v_{ref3} \end{pmatrix} &= \begin{pmatrix} 1/2 & 0 & 1/2 \\ 1/2 & 1/2 & 0 \\ 0 & 1/2 & 1/2 \end{pmatrix}^{-1} \begin{pmatrix} v_{out1}^* \\ v_{out2}^* \\ v_{out3}^* \end{pmatrix} \\
 &= \frac{v_{cls}^*}{3} \begin{pmatrix} 1 \\ 1 \\ 1 \end{pmatrix} + \frac{K_{P-blc}}{4} \begin{pmatrix} 1 & 1 & -1 \\ -1 & 1 & 1 \\ 1 & -1 & 1 \end{pmatrix} \begin{pmatrix} v_{Cave} - v_{C1} \\ v_{Cave} - v_{C2} \\ v_{Cave} - v_{C3} \end{pmatrix} \\
 &= \frac{v_{cls}^*}{3} \begin{pmatrix} 1 \\ 1 \\ 1 \end{pmatrix} + K_{P-blc} \begin{pmatrix} v_{Cave} - \frac{v_{C1}+v_{C2}}{2} \\ v_{Cave} - \frac{v_{C2}+v_{C3}}{2} \\ v_{Cave} - \frac{v_{C3}+v_{C1}}{2} \end{pmatrix} \quad (5.10)
 \end{aligned}$$

になる。(5.10) 式は図 5.7 に他ならなく、同じ PWM 出力で制御されている 2 つのブリッジセルのセルコンデンサ電圧をフィードバックすれば、非干渉で制御できることを示している。なお、ブリッジセルに流入する電力は v_{out} と i_{cls} の積であるため、比例ゲイン K_{P-blc} の極性はクラスタ電流 i_{cls} の方向に依存する。

5.4 セルコンデンサのリプル電流解析

本節では、疑似ユニポーラ変調を適用した場合のセルコンデンサリプル電流の数値解析を行う。低電圧向けではセルコンデンサに電解コンデンサを使用することが想定されるため、熱ストレスや製品寿命に影響を与えるリプル電流を定量的に評価することは重要である。解析では、電圧指令値は変調率 0.99 の正弦波とし、表 5.3 に示す回路定数を用いた。図 5.8(a) はクラスタ電流 i_{cls} の理論波形で、MMC アクティブフィルタが理想的な補償電流を流したと仮定した ($i_{cls} = i_{APF}$)。また、 i_{cls} に含まれるスイッチングリプル電流は無視した。図 5.8(b) はバイポーラ変調を適用した場合のセルコンデンサ電流である。正側レグと負側レグには同じ PWM 出力を用いているため、Mode 1 と 2 しか現れず、クラスタ電流は常にセルコンデンサを流れる。図 5.8(c) は疑似ユニポーラ変調を適用した場合のセルコンデンサ電流である。セルコンデンサ電流がゼロになる Mode 3 と 4 も利用するため、スイッチング周期の中で単極性のセルコンデンサ電流となっている。図 5.8(d) はユニポーラ変調を適用した場合のセルコンデンサ電流である。正側レグと負側レグは互いに独立に動作するため、セルコンデンサ電流波形は単極性となる。疑似ユニポーラ変調でのセルコンデンサ電流波形 (図 5.8(c)) は、ユニポーラ変調での電流波形 (図 5.8(d)) にほぼ一致する。

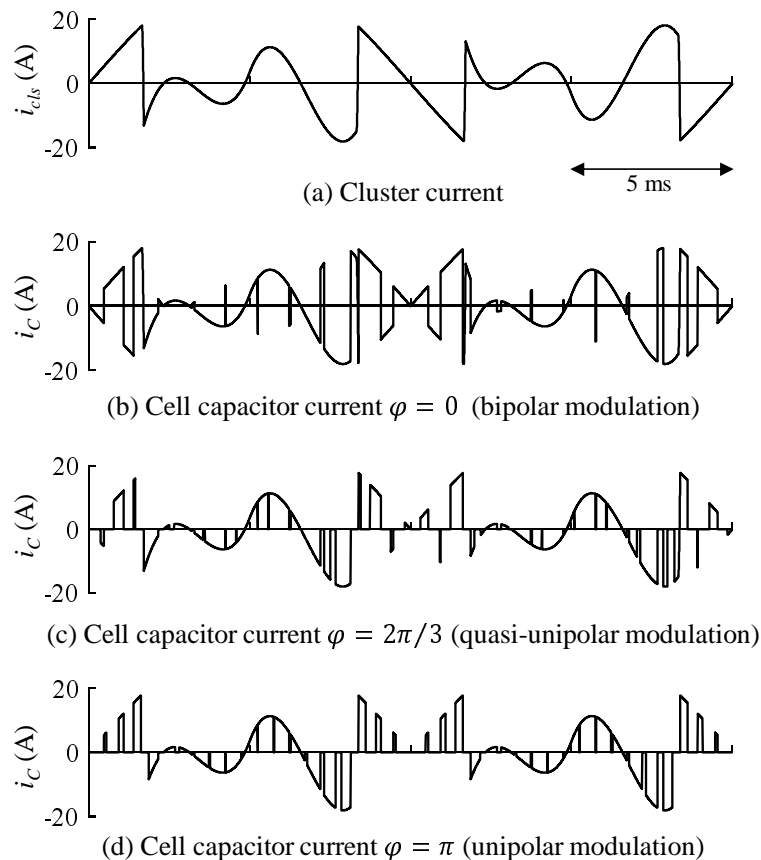


図 5.8: 変調法ごとのセルコンデンサリプル電流の解析波形

図 5.9 に正側レグと負側レグのキャリア位相差とセルコンデンサ電流実効値の関係を示す。横軸 ϕ は正側レグと負側レグのキャリア信号の位相差で、 $\phi = 0$ の点はバイポーラ変調の場合に相当し、(5.3) 式のように i_{C-rms} は $i_{cls-rms}$ と一致する。位相差 ϕ を 0 から π に増加すると、Mode 3 と 4 が利用できるため、 i_{C-rms} は減少する。 $\phi = \pi$ の点はユニポーラ変調の場合に相当し、 i_{C-rms} は 24% 低減する。 $\phi = 2\pi/3$ の点は $N = 3$ の疑似ユニポーラ変調の場合に相当し、ユニポーラ変調と同様に i_{C-rms} を低減できる。

疑似ユニポーラ変調はセル数 N が 3 以上の場合にも適用できる。 $N > 3$ では、PWM 出力の分配方法は複数考えられ、コンデンサ電流の減少度合いに影響を与える。セルコンデンサ電流を効果的に低減するには、図 5.9 に示すように、位相差 ϕ が π に近づくように PWM 出力を分配することが望ましい。表 5.2 はセルコンデンサのリプル電流を最小化するブリッジセルのゲートペアの一例である。このように、疑似ユニポーラ変調はセル数に関わらず、セルコンデンサ電流 i_{C-rms} を低減することができる。

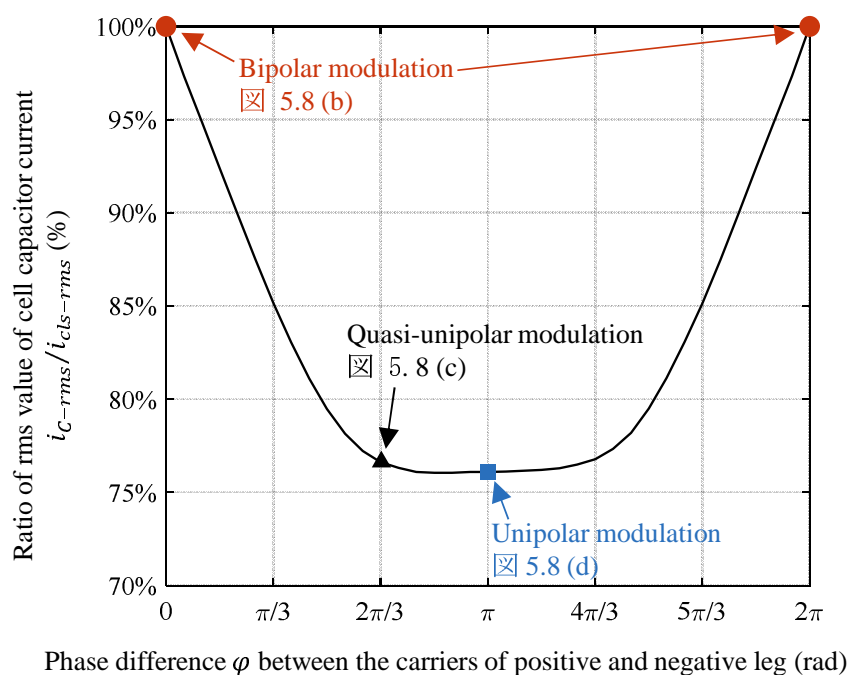


図 5.9: キャリア位相差とセルコンデンサ電流実効値の関係 ($i_{cls} = 9.4 \text{ A}$)

表 5.2: セルコンデンサ電流を最小化するブリッジセルのゲートペア

| N | Gate pairs of the bridge cell (n, j) | ϕ | $\frac{i_{C-rms}}{i_{cls-rms}}$ |
|-----|---|----------|---------------------------------|
| 3 | (1, 3) (2, 1) (3, 2) | $2\pi/3$ | 77% |
| 4 | (1, 4) (2, 1) (3, 2) (4, 3) | $\pi/2$ | 79% |
| 5 | (1, 4) (2, 5) (3, 1) (4, 2) (5, 3) | $4\pi/5$ | 76% |
| 6 | (1, 5) (2, 6) (3, 1) (4, 2) (5, 3) (6, 4) | $2\pi/3$ | 77% |
| 7 | (1, 5) (2, 6) (3, 7) (4, 1) (5, 2) (6, 3) (7, 4) | $6\pi/7$ | 76% |
| 8 | (1, 6) (2, 7) (3, 8) (4, 1) (5, 2) (6, 3) (7, 4) (8, 5) | $3\pi/4$ | 76% |

5.5 実験結果

5.5.1 実験システム

図 5.1 に実験回路構成を示す。実験で用いた回路定数を表 5.3 に示す。実験システムの写真を図 5.10 に示す。実験では、各セルには 100 V 耐圧の MOSFET を使用した。低耐圧 MOSFET のオン抵抗は低く、低いスイッチング周波数で動作させるため、素子の

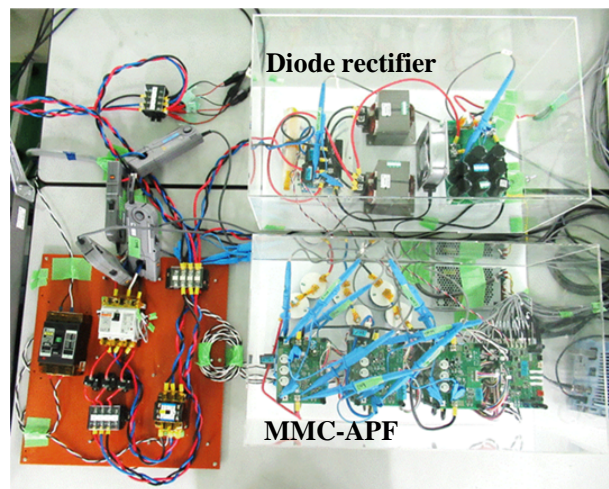
表 5.3: MMC アクティブフィルタの回路定数

| | | |
|-----------------------------|---------------|---------|
| Line-to-line grid voltage | $\sqrt{3}V_s$ | 200 V |
| System frequency | f | 50 Hz |
| Rated load power | P_L | 9.2 kW |
| Rated load voltage | V_{dc} | 283 V |
| Rated load current | I_{dc} | 32.5 A |
| Rated apparent power of APF | S_{APF} | 3.3 kVA |
| Rated current of APF | I_{APF} | 9.4 A |
| Cell capacitor | C_c | 3 mF |
| Unit capacitance constant | H | 12 ms |
| Cell capacitor voltage | V_C | 55 V |
| Switching frequency | f_{sw} | 5 kHz |
| Number of cells | N | 3 |

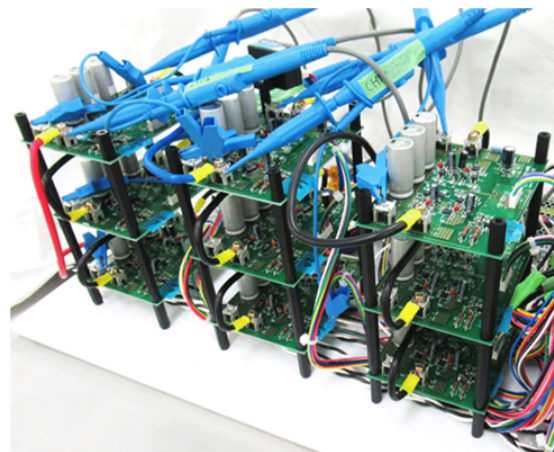
ヒートシンクや冷却ファンは必要ない。実験はバイポーラ変調・ユニポーラ変調・疑似ユニポーラ変調を適用し、どの変調法でも、同じ回路定数と制御アルゴリズム、制御ゲインを用いた。ただし、疑似ユニポーラ変調の場合の個別バランス制御のみ、5.3.3章で提案した制御を適用した。ユニポーラ変調では18個のPWMチャンネルを使用するため、実験システムの制御装置にはFPGAを使用した。セルコンデンサは電解コンデンサを使用し、リップル電流定格を超えないように選定した。実験で使用したセルコンデンサの等価直列抵抗（ESR）は9 mΩで、単位静電定数は12 msである。一般に、STATCOMやAC/DC変換に用いるMMCの単位静電定数 [119] は、30 msから50 ms程度であるため、MMCアクティブフィルタのセルコンデンサは小さくできる。

5.5.2 各変調法の実験波形

図 5.11 はバイポーラ変調を適用した場合の実験波形である。ブリッジセルの出力電圧 v_{out1} , v_{out2} , v_{out3} は、 v_C と $-v_C$ の2レベルの双極性の電圧波形であった。クラスタ電圧 v_{cls} は4レベルの波形であるが、系統電流 i_s は THD3.8%の低歪みな正弦波に制御さ



(a) Experimental set-up



(b) MMC-APF

図 5.10: 実験システム

れている。 i_s に含まれるスイッチングリプルの周波数はスイッチング周波数より十分大きく、スイッチングリプル電流は十分に抑制されている。

図 5.12 はユニポーラ変調を適用した場合の実験波形である。 v_{out1} , v_{out2} , v_{out3} はそれぞれ v_C , 0 , $-v_C$ の 3 レベルの単極性の波形である。バイポーラ変調と比較すると、クラスタ電圧 v_{ds} は 7 レベルの波形であった。さらに、 i_s に含まれるスイッチングリプル電流の周波数がバイポーラ変調の 2 倍に増加することで、スイッチングリプル電流はさらに低減でき、系統電流 i_s の THD は 3.6% であった。

図 5.13 は疑似ユニポーラ変調を適用した場合の実験波形である。疑似ユニポーラ変調で使用する PWM 出力は、バイポーラ変調によって生成し、図 5.5(b) に示すように各スイッチング素子に分配した。バイポーラ変調の PWM 出力を使用しているにもかかわらず

らず、 v_{out1} , v_{out2} , v_{out3} はユニポーラ変調と同様に 3 レベルの波形であった。一方で、クラスタ電圧 v_{cls} は 4 レベルの波形で、バイポーラ変調のクラスタ電圧と一致した。スイッチングリプル電流の周波数はユニポーラ変調より低くなるが、系統電流 i_s は歪みの少ない THD3.8%の正弦波に制御されている。MMC ではスイッチング周波数 (5 kHz) の高調波電圧はセル間でキャンセルされるため、疑似ユニポーラであってもスイッチングリプル電流は 1%以下に抑制されている。そのため、ユニポーラ変調よりスイッチングリプル電流の周波数が減少することは大きな欠点とはならず、アクティブフィルタとしての制御性能は変わらない。

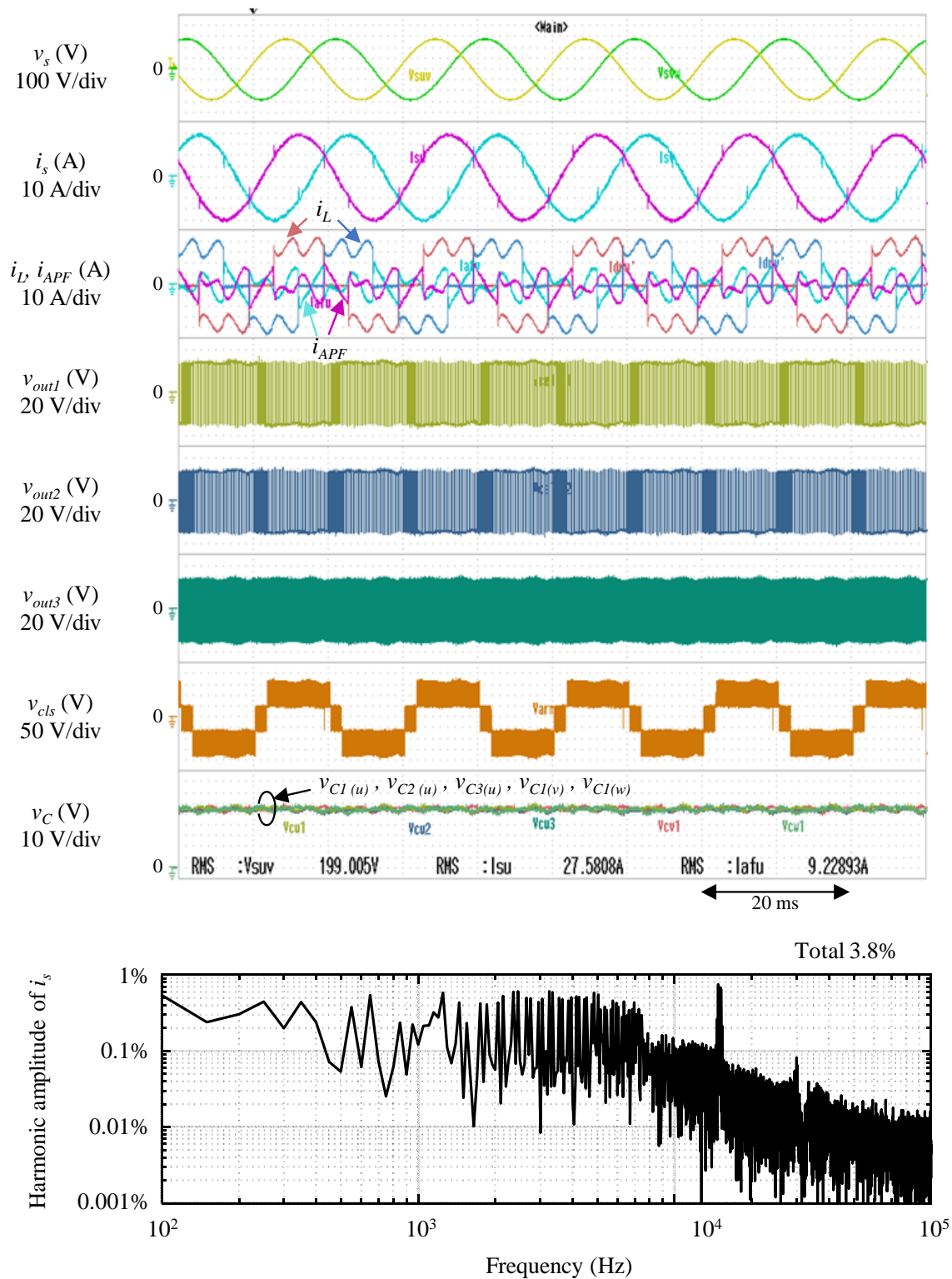


図 5.11: バイポーラ変調を適用した場合の実験波形 (PWM 9ch)

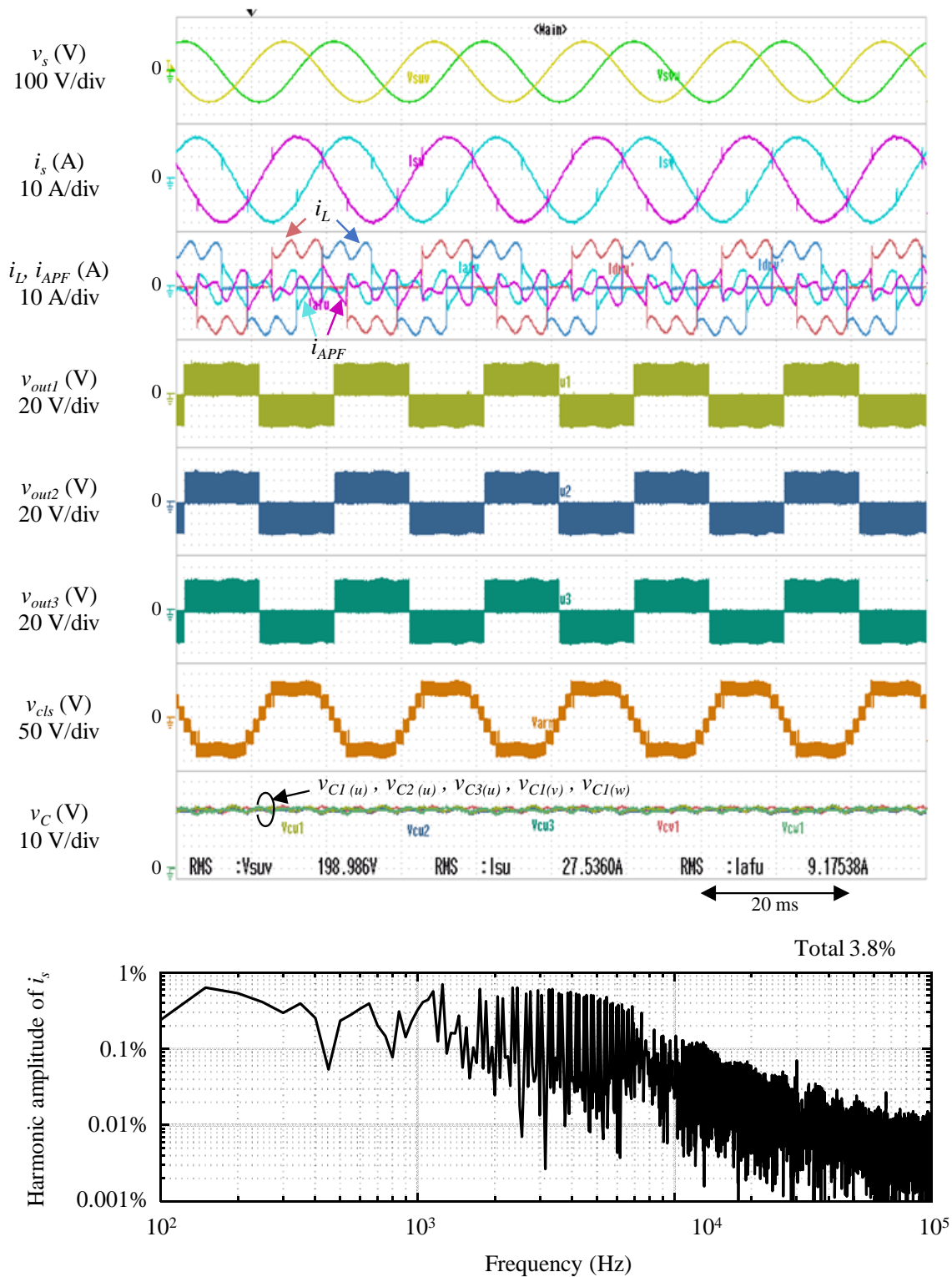


図 5.12: ユニポーラ変調を適用した場合の実験波形 (PWM 18ch)

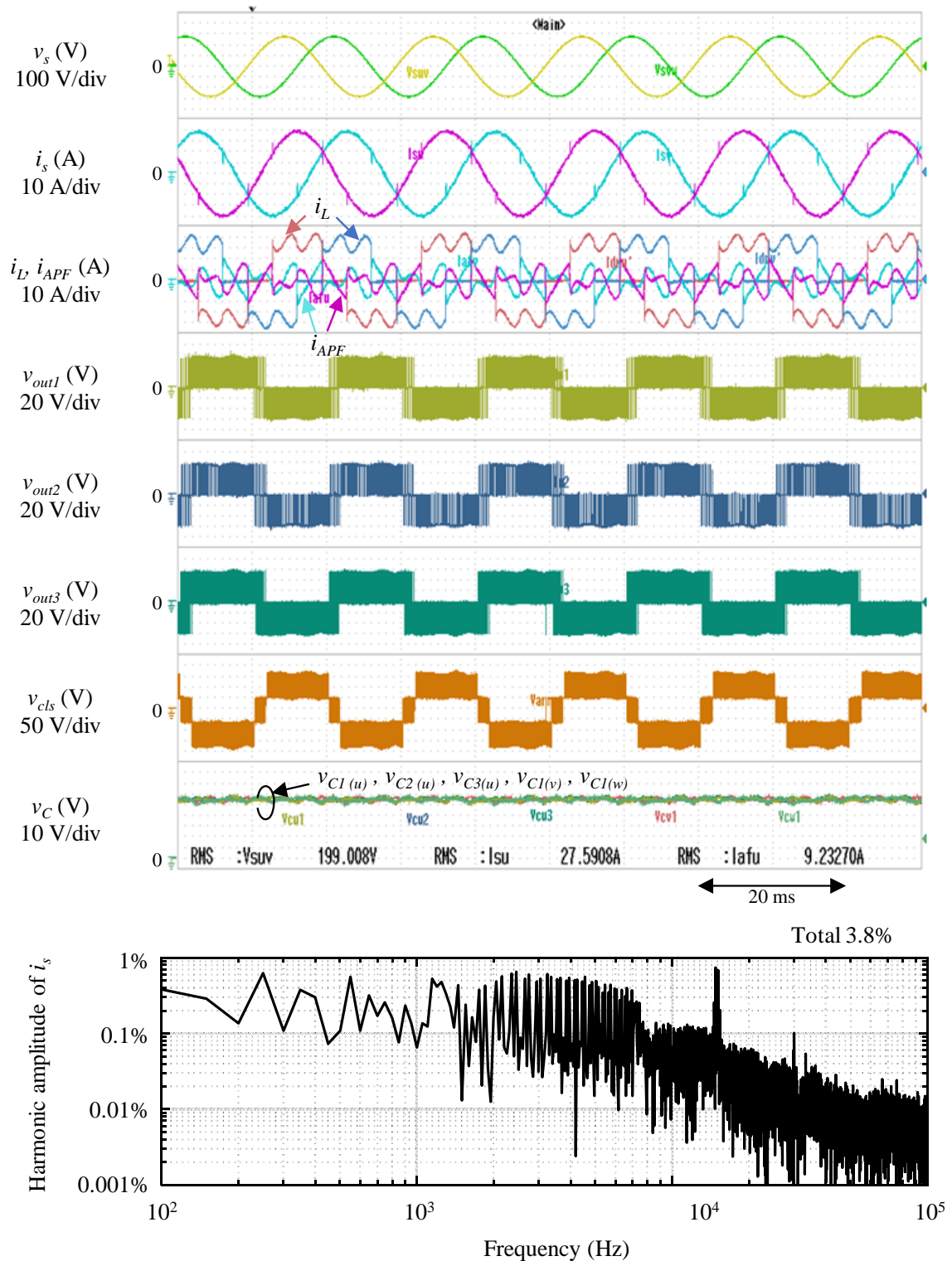


図 5.13: 疑似ユニポーラ変調を適用した場合の実験波形 (PWM 9ch)

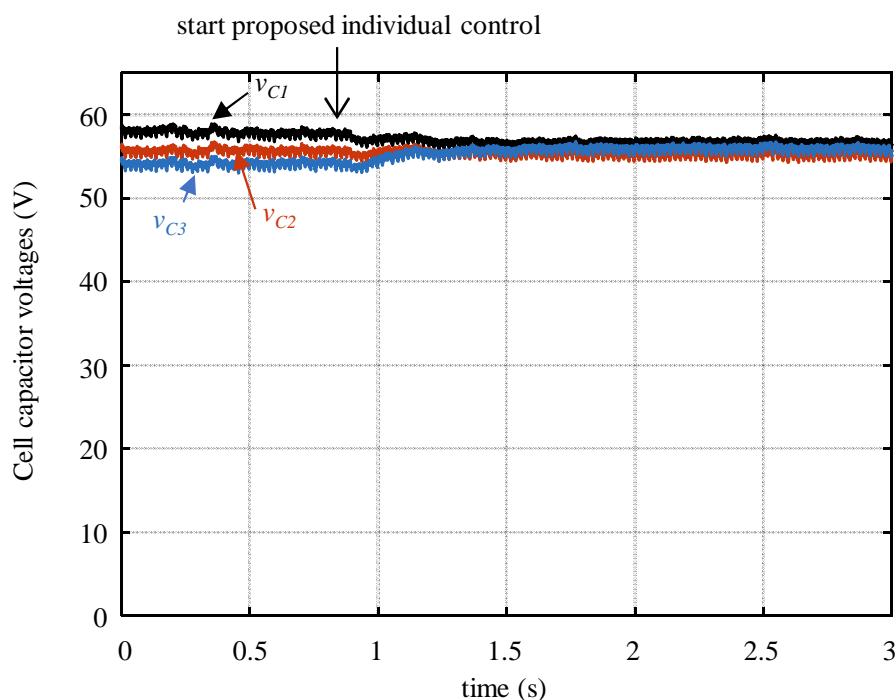


図 5.14: 提案する個別バランス制御を適用したセルコンデンサ電圧波形

図 5.14 は提案する個別バランス制御を適用した場合のセルコンデンサ電圧波形である。制御の効果を確認しやすくするため、移動平均によって定常的な電圧リップルを取り除いた。0.8 s の時間に提案する個別バランス制御を開始すると、どのセルコンデンサ電圧もすみやかにバランスした。疑似ユニポーラ変調を適用すると PWM 出力がセル間で入れ替わるが、セルコンデンサ電圧は提案制御によって問題なくバランスできることを確認した。

5.5.3 セルコンデンサ電流と損失の実験検証

図 5.15 はクラスタ電流と推定したセルコンデンサ電流の実験波形である。ブリッジセルのループインダクタンスを低く保つために、セルコンデンサ電流 i_{C1} を直接検出することはできない。そのため、セルコンデンサ電流 i_{C1} は測定した v_{out1} と i_{cls} を用いて、 $\text{sgn}(v_{out1}) \times i_{cls}$ によって推定した。ただし、 sgn は符号関数である。3つの変調法におけるクラスタ電流 i_{cls} はスイッチングリップルを除いてほぼ同様であるが、 i_{C1} にはそれぞれ違いがある。バイポーラ変調の i_{C1} は 1 スイッチング周期の間で正と負に変化している。一方で、ユニポーラ変調と疑似ユニポーラ変調の i_{C1} は、1 スイッチング周期の間で正

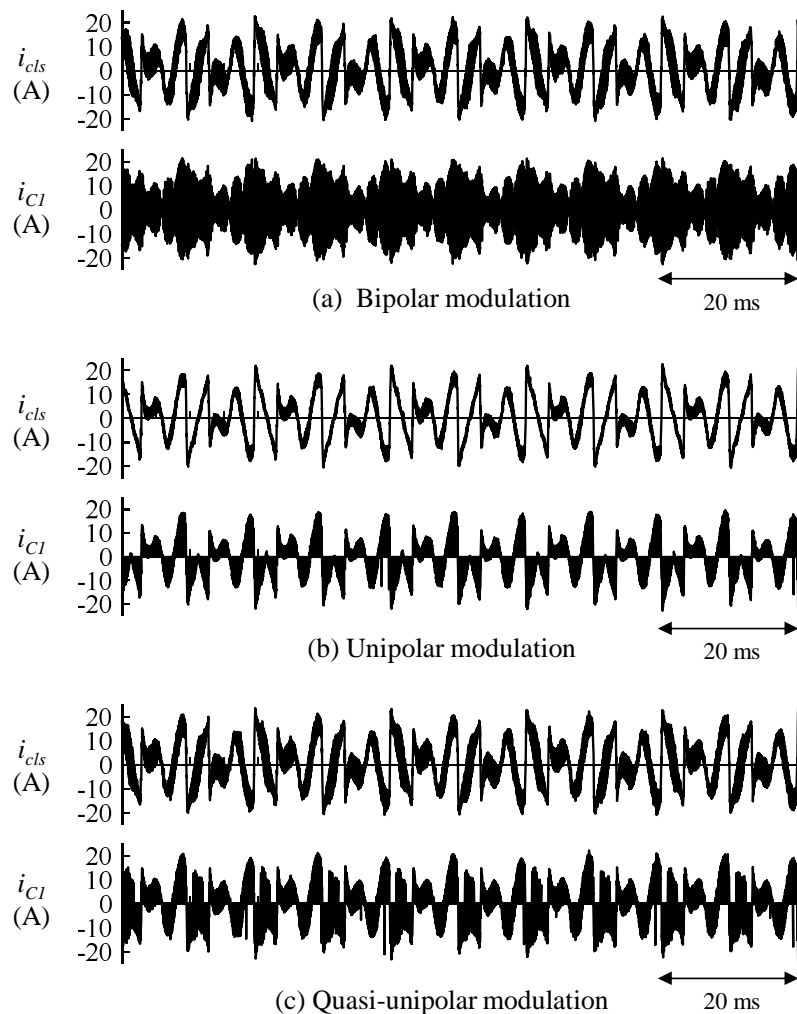


図 5.15: クラスタ電流とセルコンデンサ電流の実験波形

と負だけでなく、ゼロの値も確認できる。そのため、セルコンデンサ電流実効値に違いが生じる。図 5.16 に各変調におけるセルコンデンサ電流実効値を示す。バイポーラ変調の i_{C1-rms} は $i_{cls-rms}$ と一致した。一方、ユニポーラ変調の i_{C1-rms} は $i_{cls-rms}$ より 21% 低減した。疑似ユニポーラ変調の i_{C1-rms} は $i_{cls-rms}$ より 20% 低減した。ユニポーラ変調はスイッチングリプル電流も低減できるため、バイポーラ変調と比較してクラスタ電流 $i_{cls-rms}$ は 0.4 A 減少した。しかしながら、疑似ユニポーラ変調はバイポーラ変調と同じクラスタ電圧であるため、 $i_{cls-rms}$ を低減する効果はない。

表 5.4 に疑似ユニポーラ変調を適用した場合の各セルコンデンサ電流実効値を示す。すべてのセルコンデンサ電流実効値はほぼ一致しており、各セルには同じ電流が流れていることがわかる。したがって、どのセルに対してもリプル電流低減効果があることが

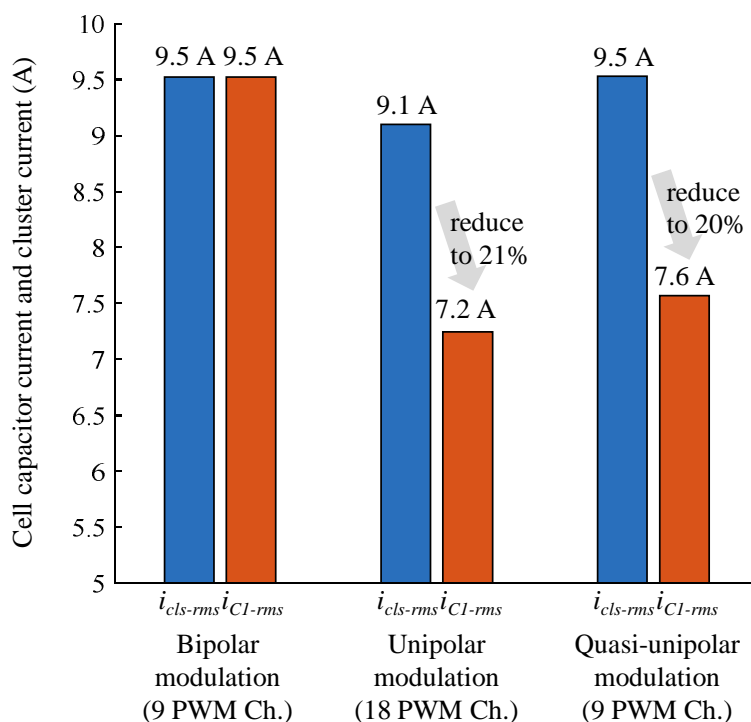


図 5.16: セルコンデンサ電流実効値の比較

表 5.4: 疑似ユニポーラ変調の場合の各セルコンデンサ電流実効値

| $i_{cls-rms}$ | i_{C1-rms} | i_{C2-rms} | i_{C3-rms} |
|---------------|--------------|--------------|--------------|
| 9.53 A | 7.57 A | 7.58 A | 7.57 A |

確認できる。

図 5.17 に各変調法における MMC アクティブフィルタの損失を示す。系統電圧 v_s と補償電流 i_{APF} を乗算することで、MMC アクティブフィルタで消費する電力を測定した。測定した消費電力には、変換器損失の他に交流フィルタの損失も含まれている。MOSFET の導通損失とスイッチング損失はデータシートとスイッチング波形から計算し、交流フィルタのリアクトルの損失は LCR メータで測定したインピーダンスから計算した。また、セルコンデンサの損失は i_{C1-rms} と ESR から計算した。

ユニポーラ変調の損失はバイポーラ変調の損失と比較して 6.2 W 低減した。ユニポーラ変調は i_{Cn} だけでなく i_{cls} のスイッチングリップル電流も低減できるため、セルコンデンサの損失の他に MOSFET の導通損失やスイッチング損失、交流フィルタの損失も低

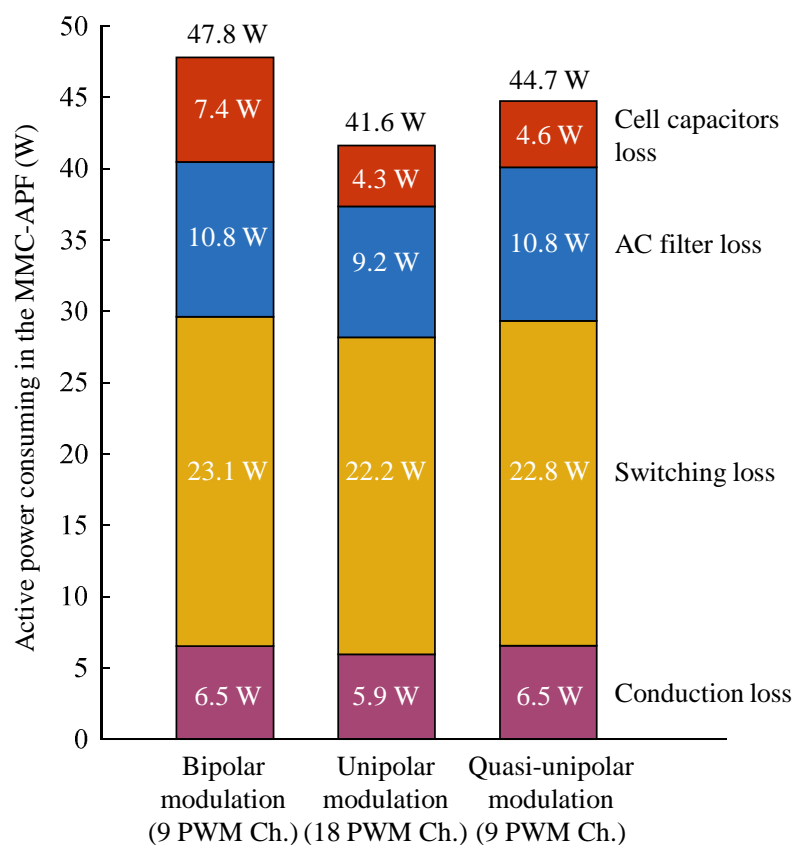


図 5.17: MMC アクティブフィルタの損失

減した。一方で、疑似ユニポーラ変調の損失は、バイポーラ変調の損失と比較して 3.1 W 低減した。疑似ユニポーラ変調はセルコンデンサ電流のみを低減できるため、3.1 W の差異はセルコンデンサでの損失に起因していると考えられる。

これらの実験結果から、提案する疑似ユニポーラ変調のセルコンデンサ電流は、同じ PWM 出力を使用したにも関わらず、バイポーラ変調と比較して 20%低減でき、セルコンデンサ損失も 38%低減できることを明らかにした。これにより、静電容量だけでなくリプル電流耐量の小さいコンデンサが使用でき、セルコンデンサの小型化が可能になる。

5.6 5章のまとめ

本章では、PWM チャンネル数削減とセルコンデンサリプル電流低減を両立する疑似ユニポーラ変調を提案した。疑似ユニポーラ変調は、従来のバイポーラ変調によって生成された PWM 出力を使用し、その PWM 出力をブリッジセル間で入れ替えることでブリッジセルの 2 つのレグ間に位相差を生成する。このとき、PWM 出力を入れ替えたと

しても、各相のクラスタ電圧はバイポーラ変調と同じになるため、これまで提案されている制御を併用することが可能である。また、入れ替えによって発生する各セルの電圧指令値の干渉を考慮した個別バランス制御を提案した。PWM出力の入れ替えを行列変換に対応させることで、非干渉に制御できることを理論的に示した。さらに、レグ間位相差を π に近づけるように入れ替えれば、疑似ユニポーラ変調はセル数に関わらず、リップル電流が低減できる。3.3 kVAのMMCアクティブフィルタを試作し、従来変調法と提案変調法の比較を行った。その結果、提案する疑似ユニポーラ変調法は、PWMチャンネル数を削減しつつ、セルコンデンサリップル電流を20%、セルコンデンサでの損失を38%低減できた。これにより、PWMチャンネル数の少ない汎用マイコンを利用でき、セルコンデンサ小型化と低損失化が実現できる。

第 6 章

結論

本章では、本論文で得られた研究成果をまとめるとともに、今後の展開を含めた総括を行う。

6.1 本研究の成果

世界的な脱炭素化の流れの中で、再生可能エネルギーと交流系統との間のインターフェースである系統連系変換器の需要は非常に大きい。一方で、導入促進には系統連系変換器の低コスト化が欠かせないが、大型で重いリアクトルを含む交流フィルタがコストの大部分を占めている。スイッチング周波数を上げることで交流フィルタの小型化ができるが、EMI ノイズの増加や電力変換損失増大に直結する。そのため、従来の 2 レベル変換器をベースとした回路では、フィルタ小型化と高効率化の両立は困難である。

本論文では、低圧系統連系変換器として、100 V 級の低耐圧 MOSFET を利用したモジュラー・マルチレベル変換器を検討した。安価でオン抵抗の低い低耐圧の MOSFET を適用することで、素子数増加によるコスト増の影響を最小限にとどめつつ、交流フィルタの小型化と低損失化が期待できる。また、MMC はレベル数増加も容易であり、100 V 耐圧 MOSFET を使用して 7 レベルの変換器とすれば、2 レベル変換器と比較して出力高調波とスイッチング損失を大幅に低減できる。しかし、MMC は原理的に大きなセルコンデンサを必要とし、ゲート信号線 (PWM 出力) や電圧センサなどの制御インターフェースの増大が課題となる。そこで本研究では、MMC の本質的課題である大きなコンデンサに対し、中性点クランプ回路を組み合わせた MMC の詳細な動作理論解析を行い、必要コンデンサを半減できることを示した。また、電圧センサや PWM チャンネル数増大など、低圧 MMC での課題を検討し、損失増大を招いていた従来方式と比較して

低損失化を実現できる新しい回路構成や変調法を提案した。実験によって、99%以上の効率や理論解析と提案法の効果を確認し、低圧向け MMC は小型・低損失化できることを示した。これらの研究成果によって、セルコンデンサ小型化や制御インターフェース削減が実現でき、低圧系統連系変換器として MMC が適用できる可能性が広がった。

以下に各章で得られた研究成果をまとめる。

第3章 低圧系統連系変換器に適していると考えられる NPC-MMC のコンデンサ蓄積エネルギーを検討した。理論検討により、NPC-MMC は3レベル構造の直流コンデンサから交流系統へ直接電力伝送が可能なダイレクトパワーフローを有することを明らかにした。ダイレクトパワーフローによって、力率1の場合では、NPC-MMC に必要な蓄積エネルギーは従来の MMC の70%に低減できる。力率0の場合では、追加される直流コンデンサを考慮してもコンデンサ蓄積エネルギーを52%に低減できる。また、NPC-MMC のダイレクトパワーフローは、コンデンサ小型化だけでなく、循環電流も小さくできる。そのため、高調波電流を重畳する電圧リップル低減制御によって、従来の MMC より小さなアーム電流にも関わらず、蓄積エネルギーをさらに小さくできることを明らかにした。低耐圧 MOSFET を利用した 10 kVA の NPC-MMC を試作し、蓄積エネルギーの解析結果と電圧リップル低減制御の効果を検証した。ゲート損失や AC フィルタ（バッファリアクトル）の損失も含めても、測定した効率は最高で 99.3% となり、試作基板にはヒートシンクや冷却ファンをつけることなく電力変換が可能であることを実証した。これらの理論解析と実験検証によって、NPC-MMC はセルコンデンサの小型化と低損失化の両立が可能であることを示した。

第4章 各セルのコンデンサ電圧を検出せずに、セルコンデンサ電圧をバランスできる抵抗付きバランス回路を提案した。バランス回路にあえて抵抗を挿入することで、セルコンデンサ容量を増加させずに、スイッチングリップル電圧による損失とバランス素子の電流定格を低減できることを示した。また、主素子に対して、バランス素子のターンオンを遅く、ターンオフを早くすることで、セルコンデンサの短絡に伴う損失を低減できることを明らかにした。10 kW の NPC-MMC のチョップセルに提案バランス回路を接続して実験を行った結果、運転中のセルコンデンサ電圧を良好にバランスでき、バランス回路の接続による損失の増加は生じないことを確認した。また、バランス回路を含む変換器全体の損失を実測し、99.2%

の変換効率を実現した。最後に、バランス回路を接続した NPC-MMC のコスト評価を行い、2 レベル変換器や従来の MMC と比較してコスト低減が可能であることを示した。

第 5 章 PWM チャンネル数削減とセルコンデンサリプル電流低減を両立する疑似ユニポーラ変調を提案した。疑似ユニポーラ変調は、従来のバイポーラ変調によって生成された PWM 出力を使用し、その PWM 出力をブリッジセル間で入れ替えることでブリッジセルの 2 つのレグ間に位相差を生成する。このとき、PWM 出力を入れ替えたとしても、各相のクラスト電圧はバイポーラ変調と同じになるため、これまで提案されている制御を併用することが可能である。また、入れ替えによって発生する各セルの電圧指令値の干渉を考慮した個別バランス制御を提案した。PWM 出力の入れ替えを行列変換に対応させることで、非干渉に制御できることを理論的に示した。さらに、レグ間位相差を π に近づけるように入れ替えれば、疑似ユニポーラ変調はセル数に関わらず、リプル電流が低減できる。3.3 kVA の MMC アクティブフィルタを試作し、従来変調法と提案変調法の比較を行った。その結果、提案する疑似ユニポーラ変調法は、PWM チャンネル数を削減しつつ、セルコンデンサリプル電流を 20%、セルコンデンサでの損失を 38% 低減できた。これにより、PWM チャンネル数の少ない汎用マイコンを利用でき、セルコンデンサ小型化と低損失化が実現できる。

6.2 今後の展開

低耐圧の MOSFET を利用した MMC は、高効率かつフィルタ小型化が実現できることが見込まれる。本研究では、これまで検討されてこなかった低圧向けの観点から、MMC の技術的課題に取り組んだ。しかし、さらなる性能向上を目指すためには改善点も多く残されている。すでに MMC が普及している HVDC のような高電圧・大容量向けと同様に、低圧向けでも実用化と普及が進むために必要な開発事項を以下に示す。

MMC の新たな回路構成や制御の検討

本研究では、低圧に適した回路として NPC-MMC の検討を行った。従来の MMC の研究は主に高電圧向けであるが、低圧向けを想定すると使用素子や実装方法も全く異なる。そのため、これまで考えられてこなかった、または適用できないと

考えられていた回路や制御が残されている可能性が高い。

MOSFET の多直列化

高耐圧の素子を使用するより、低耐圧の MOSFET を多数使用することで高効率化が可能であることを説明した。多数の素子を使用し、高調波の低減も可能なマルチレベル変換器を検討したが、制御インターフェースの増加は避けられない。スイッチング損失を増加させずに MOSFET を多直列化できる技術があれば、より最適な素子選定やレベル数選定が可能であると考えられる。また、3章で検討した NPC-MMC の3レベル構造には、セルと比較して高耐圧の素子が必要になる。そのため、セルに使用している MOSFET を直列化することでさらなる高効率化も可能になる。

低耐圧 MOSFET の IPM 化

使用素子数に比例して、保護回路やゲート回路も増加する。これらの回路は既存の技術で実現できるが、ディスクリート製品の組み合わせで構成すると、部品点数増加が問題となる。IGBT の IPM のように、素子・保護回路・ゲート回路・電源回路などが一体パッケージとなった低耐圧 MOSFET の IPM があれば、さらなる低コスト化も可能になると考えられる。また、IPM の中に4章で提案したバランス回路も実装できれば、セル間の電圧バランスを気にすることなく MMC を制御することが可能になる。

保護方式の検討

新しい回路構成を実用化するには、その保護方式も確立する必要がある。部品点数増加が避けられないマルチレベル変換器の保護方式を検討し、適切な信頼性を確保する必要がある。

注：本論文に掲載の商品の名称は、それぞれ各社が商標として使用している場合があります。

謝辞

本研究の遂行および本論文の執筆にあたり、指導教員として御指導頂きました藤田 英明 教授に厚く御礼申し上げます。2009年～2011年に学部・修士学生として藤田研究室に在籍していた時から、研究者・技術者としての発想や鋭い着眼点を教えて頂きました。社会人を経た後も、先生のもとでさらに研究を深めたいという思いから博士課程に進学しました。佐野 憲一朗 助教には、研究内容に関する助言や論文執筆に関して数々のご指導・ご支援を頂き、心より御礼申し上げます。藤田先生・佐野先生には、新型コロナウイルス禍の中でも、オンラインでの密度の濃い議論を通じてご指導頂きまして、誠にありがとうございました。審査にあたり多大なご指導と助言を頂きました東京工業大学 千葉 明 教授，萩原 誠 准教授，竹内 希 准教授，河邊 賢一 助教に心より御礼申し上げます。

本研究は東芝インフラシステムズ株式会社ならびに東芝グループ関連会社のご支援のもと行いました。東芝インフラシステムズ インフラシステム技術開発センター 近藤 浩一 センター長，電機応用・パワエレシステム開発部 大部 利春 部長，首藤 正志 前マネージャ，伊東 弘晃 マネージャには、本研究の遂行および博士課程進学における職場でのご配慮など、多大なるご支援を頂きました。心より御礼申し上げます。東芝インフラシステムズ 餅川 宏 氏には、技術的なアイデアだけでなく、企業研究者としての心構えや技術開発のあり方など、本研究において多くのご指導・ご支援を頂き、深く御礼申し上げます。本研究の共同研究者として日頃の議論や実験において多大なるご支援を頂きました東芝インフラシステムズ 関口 慧 氏，金子 恭大 氏に深く感謝いたします。同じ職場において研究内容に関する多くの議論や助言を頂きました長谷川 隆太 氏，児山 裕史 氏，玉田 俊介 氏，松本 脩平 氏，真木 康次 氏に心より御礼申し上げます。

最後に、私の社会人博士進学を理解し、社会人と学生の両立を支えてくれた家族に深く感謝いたします。

参考文献

- [1] W. E. Newell, “Power Electronics-Emerging from Limbo,” *IEEE Trans. Ind. Appl.*, vol. 10, no. 1, pp. 7–11, Jan./Feb. 1974.
- [2] M. Liserre, F. Blaabjerg, and S. Hansen, “Design and control of an LCL-filter-based three-phase active rectifier,” *IEEE Trans. Ind. Appl.*, vol. 41, no. 5, pp. 1281–1291, Sept.-Oct. 2005.
- [3] E. Twining and D. G. Holmes, “Grid current regulation of a three-phase voltage source inverter with an LCL input filter,” *IEEE Trans. Power Electron.*, vol. 18, no. 3, pp. 888–895, 2003.
- [4] R. Peña-Alzola, M. Liserre, F. Blaabjerg, M. Ordonez, and Y. Yang, “LCL-Filter Design for Robust Active Damping in Grid-Connected Converters,” *IEEE Trans. Ind. Info.*, vol. 10, no. 4, pp. 2192–2203, Nov. 2014.
- [5] 経済産業省資源エネルギー庁：「高圧または特別高圧で受電する需要家の高調波抑制ガイドライン」, 2004 (2014年改訂) .
- [6] 篠原裕文：「パワーコンディショナの系統連系保護技術」, 電気設備学会, 2011.
- [7] IHS iSuppli, “Teardown analysis of solar inverter,” December 2011, [Available Online] <https://www.epdtonthenet.net/article/47025/Teardown-analysis>
- [8] Power-One, “AURORA Photovoltaic Solar Inverter”, [Available Online] http://www.asteniksolar.com/products/inverters/Power_one/pvi303642us.pdf
- [9] 日本電機工業会：「汎用インバータ定期点検のおすすめ」, 2001

- [10] 金井丈雄・石月照之・川上紀子・色川彰一：「電力システムへの自励式インバータの適用」, 東芝レビュー, vol. 51, no. 4, 1996.
- [11] 佐藤克己・山元正則：「GCT サイリスタの開発状況-ゲート転流形ターンオフサイリスタ」, 電学誌, vol. 118, no. 5, pp. 270-273, 1998.
- [12] P. K. Steimer, H. E. Gruning, J. Werninger, E. Carroll, S. Klaka, and S. Linder, "IGCT-a new emerging technology for high power, low cost inverters," in *IEEE Ind. Appl. Mag.*, vol. 5, no. 4, pp. 12-18, July-Aug. 1999.
- [13] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe, "Non-latch-up 1200V 75A bipolar-mode MOSFET with large ASO," 1984 International Electron Devices Meeting, pp. 860-861, 1984.
- [14] 色川彰一・武田秀雄・金井丈雄：「電力システムへの適用拡大に向けた IEGT 変換器の大容量化技術」, 東芝レビュー, vol. 55, no. 7, 2000.
- [15] 吉川忠光・大串恒二・野村純一：「IEGT 適用による産業用ドライブ装置及び電力用変換装置の省エネと小型・高効率化」, 東芝レビュー, vol. 63, no. 11, 2008.
- [16] J. Lutz, H. Schlangenotto, U. Scheuermann, and R. De Doncker, "Semiconductor Power Devices: Physics, Characteristics, Reliability," Springer International Publishing, 2018.
- [17] T. Fujihira, "Theory of semiconductor superjunction devices" *Japanese J. Appl. Phys.*, vol. 36, pp. 6254-6262, 1997.
- [18] P. Moens et al., "Record-low on-Resistance for 0.35 μ m based integrated XtremOSTM Transistors," in *Proc. 19th Int. Symp. Power Semiconductor Devices and IC's (ISPSD)*, pp. 57-60, 2007.
- [19] W. Saito, "Comparison of theoretical limits between superjunction and field plate structures," in *Proc. 25th Int. Symp. Power Semiconductor Devices and IC's (ISPSD)*, pp. 241-244, 2013.
- [20] K. Kobayashi et al., "100-V Class Two-step-oxide Field-Plate Trench MOSFET

- to Achieve Optimum RESURF Effect and Ultralow On-resistance,” in *Proc. 31th Int. Symp. Power Semiconductor Devices and IC's (ISPSD)*, pp. 99-102, 2019.
- [21] 西脇達也・横田 誠・山口正一：「ディスクリート半導体技術の最新動向と展望」, 東芝レビュー, vol. 75, no. 6, 2020.
- [22] 寺島知秀：「ワイドバンドギャップ半導体によるパワーデバイスの性能改善と課題」, 日本材料学会論文誌, vol. 64, no. 9, pp. 701-706, 2015.
- [23] 餅川 宏・小山建夫：「小型・低損失インバータを実現する新回路技術」, 東芝レビュー, vol. 61, no. 11, 2006.
- [24] 餅川 宏・津田純一・児山裕史：「住宅向け太陽光発電用パワーコンディショナに適した高効率インバータ回路方式」, 東芝レビュー, vol. 67, no. 1, 2012.
- [25] 濱田憲治・日野史郎・末川英介・梅寄 勲：「鉄道車両用フル SiC 適用インバータを実現する 3.3kV 耐圧 SiC-MOSFET の低抵抗化技術」, 三菱電機技報, vol. 91, no. 7, pp. 373-376, 2017.
- [26] YOLE Développement, “Power SiC: more than \$4 billion invested in the industry,” Press Release, 2020.
- [27] N. Oswald, P. Anthony, N. McNeill, and B. H. Stark, “An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations,” *IEEE Trans. on Power Electron.*, vol. 29, no. 5, pp. 2393-2407, May 2014.
- [28] RX FAMILY 32-Bit Microcontrollers, Renesas. [Online]. Available: <https://www.renesas.com/jp/en/document/bro/rx-family-brochure>
- [29] TXZ4 Series, Toshiba Electronic Devices & Storage Corporation. [Online]. Available: <https://toshiba.semicon-storage.com/ap-en/semiconductor/product/microcontrollers/txz4-series.html>
- [30] J. S. Lai and F. Z. Peng, “Multilevel converters A new breed of power converters,” *IEEE Trans. Ind. Appl.*, vol. 32, no. 3, pp. 509-517, May/Jun. 1996.

- [31] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, W. Bin, et al., “Recent advances and industrial applications of multilevel converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2553–2580, Aug. 2010.
- [32] A. Nabae, I. Takahashi, and H. Akagi, “A New Neutral-Point-Clamped PWM Inverter,” *IEEE Trans. on Ind. App.*, vol. IA-17, no. 5, pp. 518–523, Sept. 1981.
- [33] 上野雅之・他：「700系新幹線電車用主変換装置の開発」, 平成18年電気学会全国大会, 1998.
- [34] R. Grunbaum, “SVC Light: a powerful means for dynamic voltage and power quality control in industry and distribution,” *2000 Eighth International Conference on Power Electronics and Variable Speed Drives (IEE Conf. Publ. No. 475)*, pp. 404-409, 2000.
- [35] T. A. Meynard and H. Foch, “Multi-level conversion: high voltage choppers and voltage-source inverters,” in *Conf. 23rd IEEE PESC*, vol. 1, pp. 397–403, Jun. 1992.
- [36] P. Barbosa, P. Steimer, L. Meysenc, M. Winkelkemper, J. Steinke, and N. Celanovic, “Active Neutral-Point-Clamped Multilevel Converters,” in *Conf. 36th IEEE PESC*, 2005, pp. 2296–2301, 2005.
- [37] A. Lesnicar and R. Marquardt, “An innovative modular multilevel converter topology suitable for a wide power range,” *Proc. IEEE Bologna Power Tech Conf.*, vol. 3, pp. 1–6, Jun. 2003.
- [38] S. Allebrod, R. Hamerski, and R. Marquardt, “New transformerless, scalable modular multilevel converters for HVDC-transmission,” in *Conf. Rec. IEEE Power Electronics Spec. Conf.*, pp. 174–179, 2008.
- [39] B. Gemell, J. Dorn, D. Retzmann, and D. Soerangr, “Prospects of multilevel VSC technologies for power transmission,” in *Conf. Rec. IEEE TDCE*, pp. 1–16, 2008.

- [40] SolarEdge, “Introducing HD-Wave Technology,” 2015. [Online]. Available: https://electrek.co/wp-content/uploads/sites/3/2015/09/hdwave_media-long.pdf
- [41] infineon, “Power-efficient energy storage systems,” *Power Electronics News*, 2020. [Online]. Available: https://www.infineon.com/dgdl/Infineon-CoolMOS_Cover_story_Benefits_of_multilevel_topologies_in_power_efficient_energy_storage_systems_Power_Electronics_News-Article-v01_00-EN.pdf?fileId=5546d4627255dbad0172567be39c011a
- [42] 山本真義：「太陽光パワコンでも最大手 ファーウェイの半導体応用力」, 日経XTECH, 2019. [Online]. Available: <https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00007/00086/>
- [43] X. Zhang, T. Zhao, W. Mao, D. Tan, and L. Chang, “Multilevel Inverters for Grid-Connected Photovoltaic Applications: Examining Emerging Trends,” *IEEE Power Electronics Magazine*, vol. 5, no. 4, pp. 32–41, Dec. 2018.
- [44] Y. Zhong, N. Roscoe, D. Holliday, T. C. Lim, and S. J. Finney, “High-Efficiency mosfet-Based MMC Design for LVDC Distribution Systems,” *IEEE Trans. Ind. App.*, vol. 54, no. 1, pp. 321–334, Jan.-Feb. 2018.
- [45] F. Chang, O. Ilina, M. Lienkamp, and L. Voss, “Improving the Overall Efficiency of Automotive Inverters Using a Multilevel Converter Composed of Low Voltage Si mosfets,” *IEEE Trans. Power Electron.*, vol. 34, no. 4, pp. 3586–3602, April 2019.
- [46] Y. Kashihara and J. Itoh, “Power losses of multilevel converters in terms of the number of the output voltage levels,” *Proc. Int. Power Electron. Conf.*, pp. 1943–1949, May 2014.
- [47] M. Schweizer and T. B. Soeiro, “Heatsink-less Quasi 3-level flying capacitor inverter based on low voltage SMD MOSFETs,” *2017 EPE’17 ECCE Europe*, pp. P1–10, 2017.

- [48] 大谷忠夫：「ディスクリート半導体の進化を支えるパッケージング技術」, 東芝レビュー, vol. 65, no. 1, pp. 43–46, 2010.
- [49] H. Knaak, “Modular multilevel converters and HVDC/FACTS: A success story,” *Proc. of the 2011 14th European Conference on Power Electronics and Applications (EPE)*, pp. 1–6, 2011.
- [50] 三浦昭彦：「新北海道本州間連系設備（新北本連系設備）について」, 電気学会誌, vol. 139, no. 8, p. 556, 2019.
- [51] B. Jacobson, P. Karlsson, G. Asplund, L. Harnefors, and T. Jonsson, “VSC-HVDC transmission with cascaded two-level converters,” in *Proc. CIGRE Symposium*, B4-110, 2010.
- [52] Fang Zheng Peng, Jih-Sheng Lai, J. W. McKeever, and J. VanCoevering, “A multilevel voltage-source inverter with separate DC sources for static VAR generation,” *IEEE Trans. Ind. Appl.*, vol. 32, no. 5, pp. 1130–1138, Sept.-Oct. 1996.
- [53] Fang Zheng Peng, J. W. McKeever, and D. J. Adams, “A power line conditioner using cascade multilevel inverters for distribution systems,” *IEEE Trans. Ind. Appl.*, vol. 34, no. 6, pp. 1293–1298, Nov.-Dec. 1998.
- [54] H. Akagi, “Classification terminology and application of the modular multilevel cascade converter (MMCC),” *IEEE Trans. Power Electron.*, vol. 26, no. 11, pp. 3119–3130, Nov. 2011.
- [55] N. Thitichaiworakorn, M. Hagiwara, and H. Akagi, “Experimental Verification of a Modular Multilevel Cascade Inverter Based on Double-Star Bridge Cells,” *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 509–519, Jan.-Feb. 2014.
- [56] 菊間俊明・竹中 清・高崎昌洋：「フルブリッジセルを用いたモジュラーマルチレベル変換器による直流送電システムの制御保護方式-直流事故時の事故電流を抑制可能な制御方式の提案-」, 電中研報告 R11021, 2012.
- [57] H. Huang, O. J. K. Oghorada, L. Zhang, and B. V. P. Chong, “Active harmonic

- current elimination and reactive power compensation using modular multilevel cascaded converter,” *Proc. 19th Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2017.
- [58] M. M. C. Merlin et al., “The alternative arm converter: A new hybrid multilevel converter with DC-fault blocking capability,” *IEEE Trans. Power Del.*, vol. 29, no. 1, pp. 310–317, Feb. 2014.
- [59] M. Merlin, T. Green, P. Mitcheson, F. Moreno, K. Dyke, and D. Trainer, “Cell capacitor sizing in modular multilevel converters and hybrid topologies,” *Proc. 2014 16th Eur. Conf. Power Electron. Appl.*, pp. 1–10, Aug. 2014.
- [60] D. L. Woldegiorgis, J. Outram, E. Amankwah, D. Trainer, and J. Clare, “The Star-Switched MMC (SSMMC) - a hybrid VSC for HVDC applications,” *8th IET International Conference on Power Electronics, Machines and Drives (PEMD 2016)*, pp. 1–8, 2016.
- [61] 大井一伸・漆畑正太・只野裕吾・佐藤之彦：「双方向電力変換可能な二相変調型モジュラー・マルチレベル変換器の実験検証」, 電学論 D, vol. 141, no. 4, pp. 293–303, 2021.
- [62] S. Du, B. Wu, N. R. Zargari, and Z. Cheng, “A Flying-Capacitor Modular Multilevel Converter for Medium-Voltage Motor Drive,” *IEEE Trans. Power Electron.*, vol. 32, no. 3, pp. 2081–2089, 2017.
- [63] 手崎和明, 石田侑次, 萩原 誠：「3 レベルフライングキャパシタ変換器をベースとした双方向非絶縁形 DC-DC コンバータの制御法と実験検証」, 電学論 D, vol. 140, no. 6, pp. 458–467, 2020.
- [64] D. Zhang, R. Datta, A. Rockhill, Q. Lei, and L. Garces, “The modular embedded multilevel converter: A voltage source converter with IGBTs and thyristors,” *Proc. IEEE Energy Convers. Congr. Expo.*, pp. 1–8, Sep. 2016.
- [65] R. Hasegawa, S. Tashiro and D. Suzuki, “A Proposal of Control Method for Regulating Capacitor Voltages of Neutral Point Clamped Modular Multilevel Con-

- verter,” *PCIM Asia 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pp. 1–6, 2017.
- [66] F.Z. Peng, “A generalized multilevel inverter topology with self voltage balancing,” *IEEE Trans. Ind. Appl.*, vol. 37, pp. 611–618, 2001.
- [67] J. I. Rodriguez and S. B. Leeb, “A Multilevel Inverter Topology for Inductively Coupled Power Transfer,” *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 1607–1617, Nov. 2006.
- [68] F. Z. Peng, W. Qian, and D. Cao, “Recent advances in multilevel converter/inverter topologies and applications,” *Proc. Int. Power Electron. Conf.*, pp. 492–501, 2010.
- [69] Y. Hinago and H. Koizumi, “A Switched-Capacitor Inverter Using Series/Parallel Conversion with Inductive Load,” *IEEE Trans. Ind. Electron.*, vol. 59, no. 2, pp. 878–887, Feb. 2012
- [70] R. S. Alishah, S. H. Hosseini, E. Babaei, and M. Sabahi, “A New General Multilevel Converter Topology Based on Cascaded Connection of Submultilevel Units With Reduced Switching Components, DC Sources, and Blocked Voltage by Switches,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 11, pp. 7157–7164, Nov. 2016.
- [71] A. Taghvaie, J. Adabi, and M. Rezanejad, “A Self-Balanced Step-Up Multilevel Inverter Based on Switched-Capacitor Structure,” *IEEE Trans. Power Electron.*, vol. 33, no. 1, pp. 199–209, Jan. 2018.
- [72] X. Liu et al., “A Novel Diode-Clamped Modular Multilevel Converter with Simplified Capacitor Voltage-Balancing Control,” *IEEE Trans. Ind. Electron.*, vol. 64, no. 11, pp. 8843–8854, Nov. 2017.
- [73] F. Z. Peng, F. Zhang, and Z. Qian, “A magnetic-less dc-dc converter for dual-voltage automotive systems,” *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 511–518, Mar./Apr. 2003.

- [74] B. P. McGrath and D. G. Holmes, "Multicarrier PWM strategies for multilevel inverters," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 858–867, Aug. 2002.
- [75] S. Debnath, J. Qin, B. Bahrani, M. Saeedifard, and P. Barbosa, "Operation, Control, and Applications of the Modular Multilevel Converter: A Review," *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 37–53, Jan. 2015.
- [76] G. Konstantinou and V. Agelidis, "Performance evaluation of half-bridge cascaded multilevel converters operated with multicarrier sinusoidal PWM techniques," *Proc. IEEE Conf. Ind. Electron. Appl.*, pp. 3399–3404, 2009.
- [77] D. Siemaszko, A. Antonopoulos, K. Ilves, M. Vasiladiotis, L. Angquist, and H.-P. Nee, "Evaluation of control and modulation methods for modular multilevel converters," *Proc. Int. Power Electron. Conf.*, pp. 746–753, Jun. 2010.
- [78] P. M. Meshram and V. B. Borghate, "A simplified nearest level control (NLC) voltage balancing method for modular multilevel converter (MMC)," *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 450–462, Jan. 2015.
- [79] R. Darus, J. Pou, G. Konstantinou, S. Ceballos, R. Picas, and V. G. Agelidis, "A modified voltage balancing algorithm for the modular multilevel converter: evaluation for staircase and phase-disposition PWM," *IEEE Trans. Power Electron.*, vol. 30, no. 8, pp. 4119–4127, Aug. 2015.
- [80] H. Peng, R. Xie, K. Wang, Y. Deng, X. He, and R. Zhao, "A capacitor voltage balancing method with fundamental sorting frequency for modular multilevel converters under staircase modulation," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7809–7822, Nov. 2016.
- [81] Z. Du, L. M. Tolbert, B. Ozpineci, and J. N. Chiasson, "Fundamental frequency switching strategies of a seven-level hybrid cascaded H-bridge multilevel inverter", *IEEE Trans. Power Electron.*, vol. 24, no. 1, pp. 25–33, 2009.
- [82] 児山裕史・長谷川隆太・新井卓郎・鈴木大地：「デルタ結線モジュラー・マルチレベル STATCOM の 1 パルス制御」, 電学論 D, vol. 137, no. 3, pp. 246–255, 2017.

- [83] K. Ilves, A. Antonopoulos, S. Norrga, and H. Nee, “A new modulation method for the modular multilevel converter allowing fundamental switching frequency,” *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3482–3494, Aug. 2012.
- [84] K. Ilves, L. Harnefors, S. Norrga, and H. Nee, “Predictive sorting algorithm for modular multilevel converters minimizing the spread in the submodule capacitor voltages,” *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 440–449, Jan. 2015.
- [85] K. H. Ahmed and G. P. Adam, “New modified staircase modulation and capacitor balancing strategy of 21-level modular multilevel converter for HVDC transmission systems,” *Proc. 7th IET Int. Conf. Power Electron. Mach. Drives*, pp. 1–6, 2014.
- [86] A. Elserougi, M. I. Daoud, A. M. Massoud, A. S. Abdel-Khalik, and S. Ahmed, “Investigation of sensorless capacitor voltage balancing technique for modular multilevel converters,” *Proc. 40th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 1569–1574, Oct./Nov. 2014.
- [87] A. Ghazanfari and Y. A.-R. I. Mohamed, “A hierarchical permutation cyclic coding strategy for sensorless capacitor voltage balancing in modular multilevel converters,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 2, pp. 576–588, Jun. 2016.
- [88] Y. Liu and F. Z. Peng, “A four-level modular multilevel converter with self voltage balancing and extremely small dc capacitor,” *Applied Power Electronics Conference and Exposition (APEC) 2019 IEEE*, Anaheim, CA, USA, pp. 2865–2871, 2019.
- [89] 萩原 誠・赤木泰文：「モジュラー・マルチレベル変換器（MMC）のPWM制御法と動作検証」, 電学論 D, vol. 128, no. 7, pp. 957–965, 2008.
- [90] 関口 慧・新田将大・萩原 誠・赤木泰文：「位相シフト PWM を適用したモジュラー・マルチレベル・カスケード変換器（MMCC-DSCC）の三角波キャリア周波数の検討」, 電学論 D, vol. 134, no. 10, pp. 890–903, 2014.

- [91] A. Antonopoulos, L. ngquist, and H.-P. Nee, "On dynamics and voltage control of the modular multilevel converter," *Proc. 13th Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2009.
- [92] 藤田英明・萩原 誠・赤木泰文：「MMCC-DSCC 方式モジュラーマルチレベルコンバータのパワーフロー解析と直流コンデンサ電圧の制御」, *電学論 D*, vol. 132, no. 6, pp. 659–665, 2012.
- [93] 新村直人・赤木泰文：「三相モジュラー・マルチレベル・カスケード変換器 (MMCC-DSCC) の非干渉制御」, *電学論 D*, vol. 132, no. 11, pp. 1055–1064, 2012.
- [94] 川村 弥・萩原 誠・赤木泰文：「スター結線を有するモジュラー・マルチレベル・カスケード変換器 (MMCC-xSBC) のパワーフロー解析とコンデンサ電圧制御」, *電学論 D*, vol. 135, no. 7, pp. 775–786, 2015.
- [95] S. Ceballos, J. Pou, S. Choi, M. Saeedifard, and V. Agelidis, "Analysis of voltage balancing limits in modular multilevel converters," *Proc. 37th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 4397–4402, Nov. 2011.
- [96] K. Ilves, S. Norrga, L. Harnfors, and H. P. Nee, "On Energy Storage Requirements in Modular Multilevel Converters," *IEEE Trans. Power Electron.*, vol. 29, no. 1, pp. 77–88, Jan. 2014.
- [97] K. Ilves, A. Antonopoulos, L. Harnfors, S. Norrga, L. Angquist, and H.-P. Nee, "Capacitor voltage ripple shaping in modular multilevel converters allowing for operating region extension," *Proc. 37th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 4403–4408, Nov. 2011.
- [98] A. Rasic, U. Krebs, H. Leu, and G. Herold, "Optimization of the modular multilevel converters performance using the second harmonic of the module current," *Proc. Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2009.
- [99] R. Picas, J. Pou, S. Ceballos, V. G. Agelidis, and M. Saeedifard, "Minimization of the capacitor voltage fluctuations of a modular multilevel converter by circulating current control," *Proc. IEEE 38th Annu. Conf. IEEE Ind. Electron. Soc.*, pp.

- 4985–4991, Oct. 2012.
- [100] M. Winkelkemper, A. Korn, and P. Steimer, “A modular direct converter for transformerless rail interties,” *Proc. IEEE Int. Ind. Electron. Symp.*, pp. 562–567, 2010.
- [101] S. P. Engel and R. De Doncker, “Control of the modular multi-level converter for minimized cell capacitance,” *Proc. 14th Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2011.
- [102] R. Picas, J. Pou, S. Ceballos, J. Zaragoza, G. Konstantinou, and V.G. Agelidis, “Optimal injection of harmonics in circulating currents of modular multilevel converters for capacitor voltage ripple minimization,” *Proc. IEEE*, pp. 318–324, Jun. 2013.
- [103] A. J. Korn, M. Winkelkemper, and P. Steimer, “Low output frequency operation of the modular multi-level converter,” *Proc. IEEE Energy Convers. Congr. Expo.*, pp. 3993–3997, 2010.
- [104] S. Norrga, L. Angquist, K. Ilves, L. Harnfors, and H. Nee, “Frequency-domain modeling of modular multilevel converters,” *Proc. IEEE 38th Annu. Conf. Ind. Electron. Soc.*, pp. 4967–4972, 2012.
- [105] K. Wang, Y. Li, Z. Zheng, and L. Xu, “Voltage balancing and fluctuation suppression methods of floating capacitors in a new modular multilevel converter,” *IEEE Trans. Ind. Electron.*, vol. 60, no. 5, pp. 1943–1954, May 2013.
- [106] B. Li, Y. Zhang, G. Wang, W. Sun, D. Xu, and W. Wang, “A modified modular multilevel converter with reduced capacitor voltage fluctuation,” *IEEE Trans. Ind. Electron.*, vol. 62, no. 10, pp. 6108–6119, Oct. 2015.
- [107] J. M. A. Myrzik and M. Calais, “String and module integrated inverters for single-phase grid connected photovoltaic systems - a review,” *2003 IEEE Bologna Power Tech Conference Proceedings*, Bologna, Italy, 2003.

- [108] R. Gonzalez, J. Lopez, P. Sanchis, and L. Marroyo, "Transformerless Inverter for Single-Phase Photovoltaic Systems," *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 693–697, March 2007.
- [109] H. F. Xiao, K. Lan, and L. Zhang, "A Quasi-Unipolar SPWM Full-Bridge Transformerless PV Grid-Connected Inverter with Constant Common-Mode Voltage," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3122–3132, June 2015.
- [110] Yiqiao Liang and C. O. Nwankpa, "A new type of STATCOM based on cascading voltage-source inverters with phase-shifted unipolar SPWM," *IEEE Trans. Ind. Appl.*, vol. 35, no. 5, pp. 1118–1123, Sept.–Oct. 1999.
- [111] L. M. Tolbert, Fang Zheng Peng, and T. G. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Appl.*, vol. 35, no. 1, pp. 36–44, Jan.–Feb. 1999.
- [112] Poh Chiang Loh, D. G. Holmes, Y. Fukuta, and T. A. Lipo, "Reduced common-mode modulation strategies for cascaded multilevel inverters," *IEEE Trans. Ind. Appl.*, vol. 39, no. 5, pp. 1386–1395, Sept.–Oct. 2003.
- [113] Fang Zheng Peng, "Application issues of active power filters," *IEEE Ind. Appl. Mag.*, vol. 4, no. 5, pp. 21–30, Sept.–Oct. 1998.
- [114] M. Takeda, K. Ikeda, A. Teramoto, and T. Aritsuka, "Harmonic current and reactive power compensation with an active filter," *IEEE PESC'88*, pp. 1174–1179, 1988.
- [115] H. Fujita and H. Akagi, "The unified power quality conditioner: the integration of series- and shunt-active filters," *IEEE Trans. Power Electron.*, vol. 13, no. 2, pp. 315–322, 1998.
- [116] H. Akagi, S. Inoue, and T. Yoshii, "Control and Performance of a Transformerless Cascade PWM STATCOM With Star Configuration," *IEEE Trans. Ind. Appl.*, vol. 43, no. 4, pp. 1041–1049, July–aug. 2007.

-
- [117] N. Bruyant, M. Machmoum, and P. Chevrel, "Control of a three-phase active power filter with optimized design of the energy storage capacitor," *Proc. 29th Annu. IEEE Power Electron. Specialists Conf.*, vol. 1, pp. 878–883, 1998.
- [118] T. Mannen and H. Fujita, "Dynamic Control and Analysis of DC-Capacitor Voltage Fluctuations in Three-Phase Active Power Filters," *IEEE Trans. Power Electron.*, vol. 31, no. 9, pp. 6710–6718, Sept. 2016
- [119] H. Fujita, S. Tominaga, and H. Akagi, "Analysis and design of a dc voltage-controlled static VAR compensator using quad-series voltage-source inverters," *IEEE Trans. Ind. Appl.*, vol. 32, no. 4, pp. 970–977, Jul./Aug. 1996.

研究業績

学術論文

1. T. Arai, K. Sekiguchi, H. Mochikawa, K. Sano, and H. Fujita, “Evaluation of Required Energy Storage in Neutral-Point-Clamped Modular Multilevel Converter for Downsizing Low-Voltage Grid Converters,” *IEEE Trans. on Power Electron.*, vol. 36, no. 6, pp. 6774–6786, June 2021.
2. 新井卓郎・関口 慧・餅川 宏・佐野憲一朗・藤田英明：「バランス回路を接続した低圧系統連系変換器向けモジュラー・マルチレベル変換器の損失低減」, 電学論 D, Vol. 141, No. 6, pp.461–471, June 2021.
3. T. Arai, T. Kaneko, H. Mochikawa, K. Sano, and H. Fujita, “A New Quasi-Unipolar Modulation to Reduce the Ripple Current of Bridge-Cell Capacitor in Modular Multilevel Converters,” *IEEE Trans. on Power Electron.*, now reviewing.

国際会議

1. T. Arai, K. Sekiguchi, R. Hasegawa, and M. Hiroshi, “Theoretical Analysis of Power Flow and Stored Energy in the Capacitor of Neutral-Point-Clamped Modular Multilevel Converter,” 2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe), Genova, Italy, pp. P.1–P.10, 2019
2. H. Suwa, T. Arai, T. Ishiguro, T. Yoshihara, M. Kimura, T. Wachi, T. Horikoshi, and T. Nakajima, “PSCAD/EMTDC and RTDS Simulation Analysis of Multivendor Multi-terminal HVDC System Connected to Offshore Windfarms,” in *IPEC-Niigata 2018 -ECCE Asia*, pp. 1997–2002, 2018.
3. T. Arai, S. Naoi, D. Suzuki, T. Murao, N. Kawakami, K. Usuki, K. Kashi-

wagi, and A. Miura, “The Voltage-Sourced Converter applied to New Hokkaido-Honshu HVDC Link,” *Cigre-IEC 2019 Conference on EHV and UHV (AC & DC)*, Hokkaido, Japan, April 2019, 9 pages.

国内会議

1. 新井卓郎・玉田俊介・中沢洋介・鈴木大地：「変圧器をデルタ結線したモジュラーマルチレベル変換器」, 平成 28 年電気学会 全国大会, 仙台, Vol.4, No.140, pp. 234–235, 2016 年 3 月
2. 新井卓郎・関口 慧・長谷川隆太・餅川 宏：「中低電圧向け系統連系変換器を想定した中性点クランプ形 MMC のコンデンサ体積の評価」, 平成 29 年電気学会 産業応用部門大会, 函館, Vol.1, No. 43, pp. 249–252, 2017 年 8 月
3. 新井卓郎・関口 慧・餅川 宏：「中低電圧向け系統連系変換器を想定した中性点クランプ形 MMC の効率検証」, 平成 30 年電気学会 全国大会, 福岡, Vol. 4, No. 38, p. 61, 2018 年 3 月
4. 新井卓郎・直井伸也・鈴木大地・千葉勇樹・川上紀子・柏木航平・白木一浩・早川勝昭・内海貴徳・盛 正憲・千葉純吾：「北海道本州間連系設備向けに適用した 250 kV-300 MW 自励式変換器の機能」, 平成 31 年電気学会 全国大会, 札幌, Vol. 6, No. 340, pp. 597–598, 2019 年 3 月
5. 新井卓郎・直井伸也・鈴木大地・千葉勇樹・川上紀子・白木一浩・柏木航平・早川勝昭・内海貴徳・盛 正憲・千葉純吾：「北海道本州間連系設備に適用した 300 MW-250 kV 自励式変換器の事故時運転継続機能」, 令和 1 年電気学会 産業応用部門大会, 長崎, Vol. 1, No. 85, pp. 356–359, 2019 年 8 月

その他出版物

1. 新井卓郎・中沢洋介・爪長正宏：「HVDC 用 高電圧・大容量マルチレベル変換器」, 東芝レビュー, Vol.69, No.4, 2014.
2. 大野 照男・新井卓郎・吉原 徹：「多端子洋上直流送電システム構成と系統解析技術」, 電気学会誌, Vol. 137, No. 11, pp. 753–756, 2017.

表彰

1. 電気学会 令和2年 第76回電気学術振興賞 進歩賞「交流系統に適した大容量自励式直流送電システムの開発・実用化」

特許

公開特許 30件

登録特許 16件