

論文 / 著書情報
Article / Book Information

題目(和文)	不揮発/擬似不揮発記憶を用いたCMOSロジックの低消費電力技術に関する研究
Title(English)	Study on low-power technologies for CMOS logic systems using nonvolatile/virtually nonvolatile retention
著者(和文)	北形大樹
Author(English)	Daiki Kitagata
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第11428号, 授与年月日:2020年3月26日, 学位の種別:課程博士, 審査員:菅原 聡,中川 茂樹,宮本 恭幸,岡田 健一,杉野 暢彦,宗片 比呂夫, 高木 信一,前島 英雄
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第11428号, Conferred date:2020/3/26, Degree Type:Course doctor, Examiner:,,,,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

論文要旨

THESIS SUMMARY

系・コース： 電気電子 系
Department of Graduate major in 電気電子 コース
学生氏名： 北形 大樹
Student's Name

申請学位(専攻分野)： 博士 (工学)
Academic Degree Requested Doctor of
指導教員(主)： 菅原 聡 准教授
Academic Supervisor(main)
指導教員(副)：
Academic Supervisor(sub)

要旨(和文 2000 字程度)

Thesis Summary (approx.2000 Japanese Characters)

本論文は、「不揮発/擬似不揮発記憶を用いた CMOS ロジックの低消費電力技術に関する研究」と題し、全 6 章から構成される。

第 1 章「序論」では、マイクロプロセッサ(μP)などの CMOS ロジックシステムでは待機時電力が重大な性能制約要因になることを述べ、その原因と課題および対策について述べた。次いで、待機時電力の最も有効な削減方法であるパワーゲーティング(PG)について述べ、その課題を示した。特に、 μP などの CMOS ロジックシステムではキャッシュにおける PG が重要な課題になることと、キャッシュの PG に不揮発記憶を導入することの意義を述べた。最後に、本研究の目的が不揮発/擬似不揮発記憶を用いた SRAM 技術を開発し、この技術を用いて高効率に待機時エネルギーを削減できる PG 技術を開発すること、そして、 μP における不揮発/擬似不揮発記憶を用いた PG の有効性を示すことであることを述べた。

第 2 章「不揮発/擬似不揮発性 SRAM の性能評価指標」では、不揮発性 SRAM(NV-SRAM)および擬似不揮発性 SRAM(VNR-SRAM)を用いた PG の性能評価指標について述べた。はじめに、この定式化のために必要となるパワースイッチのアーキテクチャと NV-/VNR-SRAM のアレイの構成方法と動作の概略を述べた。そして、PG の性能評価指標として用いられる Break-even time (BET)と、待機時電力の削減率を定義し、その定式化を行った。また、これらの削減方針や、本論文で用いる NV-/VNR-SRAM のアレイの性能解析モデルとその検証方法についても述べた。また、NV-/VNR-SRAM の設計指標についても述べた。

第 3 章「不揮発性 SRAM」では、はじめに SRAM の基本回路である双安定回路の動作について述べ、不揮発性メモリ素子を用いた双安定記憶回路の不揮発化の原理を述べ、本論文で不揮発性メモリ素子として用いる強磁性トンネル接合(Magnetic tunnel junction; MTJ)について述べた。次に、本論文で用いる NV-SRAM の回路構成と動作原理を示し、MTJ の書き込み電流と、NV-SRAM のデバイスばらつきを考慮した各種ノイズマージンを指標としたセルの設計方法と、セルのリーク削減アーキテクチャについて述べ、最適設計されたセル・アレイと周辺回路から構成される NV-SRAM の PG 性能、特に電力削減効果と Break-even time (BET)について詳述し、NV-SRAM による PG の効果を明らかにした。さらに NV-SRAM のエネルギー性能をさらに向上することが期待できる階層型ストアフリー電源遮断アーキテクチャ(Hierarchical store-free shutdown architecture; HSF)と無用データの積極的フラッシュを用いた PG アーキテクチャ(Proactive useless-data flush; PUDF)アーキテクチャを提案し、その評価結果を示し、その有効性を明らかにした。最後に、試作した NV-SRAM の Test element group (TEG)から抽出した回路パラメータを用いて NV-SRAM の電力・エネルギー性能を検証し、本章で述べた結果の妥当性と具現性を示した。

第 4 章「擬似不揮発性 SRAM」では、はじめに超低電圧(ULV)によるデータ保持(ULVリテンション)を用いた PG を提案し、その意義を述べ、超低電圧(ULV)によるデータ保持(ULVリテンション)が可能な擬似不揮発性 SRAM(VNR-SRAM)セルについて述べた。特に、これまで低電圧 SRAM セルとして検討されてきたシュミットトリガインバータで構成した SRAM セルの特徴と問題点を述べ、これらの問題点を解消できるデュアルモードインバータを用いた VNR-SRAM セルを提案して、その回路構成と動作原理を述べた。次いで、デバイスの特性ばらつきを考慮した VNR-SRAM セルの最適設計方法を示し、この方法で設計された VNR-SRAM セルの速度性能、BET および電力削減効果を解析・評価して、VNR-SRAM を用いれば ULV リテンションを用いて大幅に待機時電力を削減できる PG を実現できることを示した。さらに、最適設計したセルで構成した 8kB の VNR-SRAM マクロを設計し、大規模シミュレーションによるポストレイアウト解析から、本章で示した VNR-SRAM の性能の妥当性を明らかにした。また、ULV リテンション時に基板バイアスが自動的に生じる新たなパワースイッチのアーキテクチャや、第 3 章で導入した PUDF アー

キテクチャを VNR-SRAM にも導入し、VNR-SRAM の電力削減効率をさらに向上できることを示した。最後に、FinFET などの先端 CMOS を用いても VNR-SRAM は十分に機能し、この技術は CMOS ロジック分野の将来にわたって活用できること述べた。

第 5 章「CMOS ロジックシステムへの応用」では、NV-/VNR-SRAM を μP のキャッシュに応用した場合の効果を検証した。はじめに、不揮発/擬似不揮発記憶を用いた PG を評価するためのシステムモデルを構築し、その電力削減率の解析から、この新しい PG によって μP のリーク電力を従来技術と比べて大幅に削減できることを示した。また、システムの待機状態分布のモデリングを行い、リーク電力削減に対する BET の効果を明らかにして、短い BET は単に時間的に細粒度の PG を実施できるだけでなく、待機状態の分布によっては平均リーク電力を大幅に削減できること明らかにした。そして、これまで本論文で述べた NV-SRAM および VNR-SRAM の性能・特徴をまとめ、これらを総合評価して、不揮発/擬似不揮発記憶を用いた PG の意義を明らかにした。

第 6 章「結論」では、本論文で得られた結果を総括し、本論文の成果が、今後のマイクロプロセッサなどの CMOS ロジックシステムにおける不揮発/擬似不揮発記憶を用いた PG を実現するための基盤技術になると結論した。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note: Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1 copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

論文要旨

THESIS SUMMARY

系・コース： 電気電子 系
Department of, Graduate major in 電気電子 コース
学生氏名： 北形 大樹
Student's Name

申請学位(専攻分野)： 博士 (工学)
Academic Degree Requested Doctor of
指導教員(主)： 菅原 聡 准教授
Academic Supervisor(main)
指導教員(副)：
Academic Supervisor(sub)

要旨(英文 300 語程度)

Thesis Summary (approx. 300 English Words)

The thesis is entitled “Study on low-power technologies for CMOS logic systems using nonvolatile/virtually-nonvolatile retention”, which consists of the following 6 chapters.

The 1st chapter describes standby-power problems in CMOS logic systems, in particular, microprocessors (μ Ps), which restrict the performance and degree of device integration of μ Ps. Then, power gating (PG) architecture for standby power reduction for μ Ps is introduced, and issues on PG for caches in μ Ps are discussed. Especially, it is pointed out that nonvolatile/virtually-nonvolatile retention is effective at improving the PG efficiency of caches. Finally, the purpose of the thesis is stated as follows: To develop SRAM technologies using nonvolatile/virtually-nonvolatile retention and energy-efficient PG architectures using them, and to reveal performance of the PG architectures applied to μ Ps.

The 2nd chapter addresses energy performance indices for evaluating PG efficiencies using nonvolatile SRAM (NV-SRAM) and virtually-nonvolatile retention SRAM (VNR-SRAM), in which break-even time (BET) and power reduction rate (γ_{PG}) are defined and formulated. Design indices of the NV-SRAM and VNR-SRAM based on device variability is also discussed. The system organizations of the NV-SRAM and VNR-SRAM are described.

The 3rd chapter describes design methodology, architectures, and performance of the NV-SRAM. The design methodology based on the static noise margin and store currents to the nonvolatile elements with careful consideration of device variability and the architectures for improving BET and γ_{PG} are developed. The standby power and BET of the NV-SRAM is dramatically reduced for the optimally designed NV-SRAM with newly proposed hierarchical store-free (HSF) and proactive useless-data flush (PUDF) architectures.

The 4th chapter addresses a new PG architecture using ultralow-voltage retention with the VNR-SRAM. The design methodology of the VNR-SRAM for maximizing its data-retention stability at ultralow voltages is developed. The excellent standby-power reduction ability attributed to the substantively minimal BET of the VNR-SRAM is demonstrated.

The 5th chapter investigates the effects of the PG architectures using caches configured with the NV-SRAM or VNR-SRAM on μ Ps. The remarkably high standby-power reduction abilities of the NV-SRAM and VNR-SRAM are demonstrated. It is also revealed that the minimally short BET value of the VNR-SRAM is effective at not only achieving temporally fine-grained PG but also reducing the average standby power of μ Ps depending on distribution of the standby state durations.

The 6th chapter summarizes the results demonstrated in this thesis and concludes that the NV-SRAM and VNR-SRAM technologies and the PG architectures using nonvolatile/virtually-nonvolatile retention with them would be a basis for ultralow-standby-power CMOS logic systems.

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note: Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1 copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).