

論文 / 著書情報  
Article / Book Information

題目(和文)	Si/SiO <sub>2</sub> 基板上CoPt強磁性ナノワイヤのナノ構造誘起L10規則化に関する研究
Title(English)	Study on Nanostructure Induced L10-Ordering of CoPt Ferromagnetic Nanowires on Si/SiO <sub>2</sub> Substrates
著者(和文)	遠山 諒
Author(English)	Ryo Toyama
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第11776号, 授与年月日:2022年3月26日, 学位の種別:課程博士, 審査員:真島 豊,神谷 利夫,中川 茂樹,鎌田 慶吾,片瀬 貴義
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第11776号, Conferred date:2022/3/26, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	論文要旨
Type(English)	Summary

## 論文要旨

THESIS SUMMARY

系・コース： Department of, Graduate major in	材料 材料	系 コース	申請学位 (専攻分野)： 博士 (工学) Academic Degree Requested Doctor of
学生氏名： Student's Name	遠山 諒		指導教員 (主)： 真島 豊 Academic Supervisor(main)
			指導教員 (副)： Academic Supervisor(sub)

### 要旨 (和文 2000 字程度)

Thesis Summary (approx.2000 Japanese Characters )

強磁性ナノワイヤは、レーストラック・メモリや垂直磁気記録媒体、スピントロニクスセンサーなどへの応用に向けて盛んに研究されている。これらのデバイスでは、強磁性ナノ構造における磁化の熱擾乱を避けるために、強い垂直結晶磁気異方性 (PMA) と大きな保磁力 ( $H_c$ ) を有するナノスケールの強磁性体を用いられる。 $L1_0$  規則相 CoPt 合金は、 $10^7$  erg/cm<sup>3</sup> 台の高い PMA と 10 kOe 以上の大きな  $H_c$  を示すことから、これらの有力な候補の一つである。 $L1_0$ -CoPt は、A1 不規則相 CoPt を熱処理することによる A1 から  $L1_0$  への構造変態により形成される。 $L1_0$  規則化のための熱処理手法としては、急速熱処理装置 (RTA) を用いたアニールが報告されている。また、MgO(001)等の単結晶絶縁体基板を用いたエピタキシャル成長や格子不整合を利用した  $L1_0$ -CoPt の作製も報告されている。

現状のシリコンテクノロジーとの親和性から、 $L1_0$ -CoPt 強磁性ナノワイヤを Si/SiO<sub>2</sub> 基板上に作製することができれば、不揮発性を有するスピントロニクスとシリコン集積回路の融合により、電子の持つ電荷とスピンの両方を利用した、CMOS プロセスと適合性の良い新たな単電子スピントロニクスデバイスの創製が期待できる。

デバイス応用の観点から、 $L1_0$ -CoPt 強磁性ナノワイヤの線幅は狭ければ狭いほど望ましい。しかし、ナノワイヤをアニールすると、形状が粒子状に変化してしまうプラトー-レイリー不安定性のため、線幅数十 nm 以下のナノワイヤを固体基板上に再現性良く作製することはこれまで困難であった。また、Si/SiO<sub>2</sub> 基板のアモルファス SiO<sub>2</sub> 表面上での  $L1_0$  規則化は、エピタキシャル成長や格子不整合を利用できる単結晶絶縁体基板上での  $L1_0$  規則化に比べて難しい。そのため、数十 nm の線幅を有し、10 kOe 以上の大きな  $H_c$  を示す Si/SiO<sub>2</sub> 基板上  $L1_0$ -CoPt 強磁性ナノワイヤの作製はこれまで報告されていない。

そこで本論文では、10 nm スケールの非常に小さな曲率半径におけるアニール中の原子の表面拡散と極めて大きな内部ストレスを  $L1_0$  規則化の駆動力として利用し、Si/SiO<sub>2</sub> 基板上 CoPt 強磁性ナノワイヤの「ナノ構造誘起  $L1_0$  規則化」を実現することを目的とした。電子線描画 (EBL) と電子線 (EB) 蒸着を組み合わせたリフトオフ法により、線幅 20–30 nm の CoPt ナノワイヤを Si/SiO<sub>2</sub> 基板上に作製し、アニール処理を施すことで、CoPt ナノワイヤのナノ構造誘起  $L1_0$  規則化を実現した。

本論文は以下の 6 章により構成される。

第 1 章では、シリコンテクノロジーを基盤とした CMOS 集積回路と親和性の高い不揮発性スピントロニクスデバイスと、それらのデバイス実現に向けた Si/SiO<sub>2</sub> 基板上  $L1_0$ -CoPt 強磁性ナノワイヤの必要性について述べた。 $L1_0$  規則化に用いられるアニール手法や、 $L1_0$ -CoPt の特性を概説した。また、強磁性ナノワイヤの作製手法や、強磁性ナノワイヤを用いたデバイスの報告例を要約した。さらに、アニール処理により  $L1_0$  規則化強磁性ナノワイヤを固体基板上に作製する上で問題となる点について、プラトー-レイリー不安定性の観点から述べた。最後に、本論文で提案するナノ構造誘起  $L1_0$  規則化のコンセプトについて説明した。

第 2 章では、EB 蒸着により作製した Si/SiO<sub>2</sub> 基板上 Pt/Co 二層薄膜における、RTA を用いた  $L1_0$ -CoPt の形成について報告した。Pt/Co 二層薄膜の磁気特性、結晶構造、表面形態、断面プロファイルにおけるアニール温度依存性を、振動試料型磁力計 (VSM)、放射光を用いたすれすれ入射 X 線回折法 (GI-XRD)、走査電子顕微鏡 (SEM)、エネルギー分散型 X 線分光法

(EDX)によりそれぞれ解析した。その結果、800 °C のアニール温度において、Pt/Co 二層薄膜の相互拡散の最中に、 $L1_0$ -CoPt を含む傾斜薄膜が形成され、2.1 kOe の面内  $H_c$  を示すことを明らかにした。

第3章では、Si/SiO<sub>2</sub> 基板上(Co/Pt)<sub>4</sub> 八層薄膜における、水素アニールを用いた 10 kOe 以上の大きな  $H_c$  を示す  $L1_0$ -CoPt の形成について報告した。結晶構造、磁気特性、表面形態における水素・真空アニールの温度・時間依存性について、GI-XRD、VSM、SEM を用いた系統的な解析を行った。その結果、800 °C 60 分の水素アニールにより、極大値 15.1 kOe の大きな  $H_c$  を示す、角ばった粒子状の  $L1_0$ -CoPt が形成されることを明らかにした。

第4章では、Si/SiO<sub>2</sub> 基板上 CoPt 強磁性ナノワイヤのナノ構造誘起  $L1_0$  規則化について報告した。EBL と EB 蒸着を組み合わせたリフトオフ法により、(Co/Pt)<sub>n</sub> 多積層ナノワイヤを Si/SiO<sub>2</sub> 基板上に作製し、水素アニール処理を施した。その後、ナノワイヤのナノ構造誘起  $L1_0$  規則化を、SEM, GI-XRD, VSM, 走査透過電子顕微鏡 (STEM) により解析した。その結果、ナノ構造誘起  $L1_0$  規則化 CoPt 強磁性ナノワイヤは、約 20–30 nm の線幅を有し、10 kOe 以上の大きな  $H_c$  を示すことを明らかにした。また、断面 STEM 像より、 $L1_0$ -CoPt に起因する Co と Pt の単原子積層構造を確認した。さらに、極微電子回折法 (NED) により、ナノワイヤの  $L1_0$  規則化を確認した。ナノ構造誘起  $L1_0$  規則化のメカニズムについて、10 nm スケールの非常に小さな曲率半径におけるアニール中の (i) ナノワイヤ上端における原子の表面拡散と、(ii) ナノワイヤ-基板境界付近における極めて大きな内部ストレスの 2 つの観点から議論した。

第5章では、Si/SiO<sub>2</sub> 基板上ナノ構造誘起  $L1_0$  規則化強磁性 CoPt ナノワイヤの異常ホール効果の観測について報告した。ホール抵抗率に対するナノ構造誘起  $L1_0$  規則化 CoPt 強磁性ナノワイヤの線幅依存性を測定した。その結果、ナノワイヤの線幅が 10 μm から 100 nm へと狭くなるに従って、ホール抵抗率が減少することを明らかにし、この要因についてナノワイヤのナノ構造誘起  $L1_0$  規則化度の観点から議論した。

第6章では、本論文の結論について Si/SiO<sub>2</sub> 基板上 CoPt 強磁性ナノワイヤのナノ構造誘起  $L1_0$  規則化の観点から要約した。また、ナノ構造誘起  $L1_0$  規則化 CoPt 強磁性ナノワイヤのデバイス応用に向けた将来の展望について述べた。

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note : Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).

(博士課程)  
Doctoral Program

## 論文要旨

THESIS SUMMARY

系・コース： Department of, Graduate major in	材料 材料	系 コース	申請学位(専攻分野)： 博士 (工学) Academic Degree Requested Doctor of
学生氏名： Student's Name	遠山 諒		指導教員(主)： 真島 豊 Academic Supervisor(main)
			指導教員(副)： Academic Supervisor(sub)

要旨 (英文 300 語程度)

Thesis Summary (approx.300 English Words)

Ferromagnetic nanowires have great potential for ultrahigh-density data storage such as magnetic domain-wall racetrack memory and spintronic sensors. In this thesis, I demonstrated “nanostructure induced  $L1_0$ -ordering” of CoPt ferromagnetic nanowires on Si/SiO<sub>2</sub> substrates, where the atomic surface diffusion and the extremely large internal stress during annealing at 10-nm-scale curvature of the nanowires were utilized as driving forces for  $L1_0$ -ordering.

This thesis consisted of six chapters.

In Chapter 1, I explained the need of  $L1_0$ -ordered ferromagnetic nanowires with a large coercivity ( $H_c$ ) on Si/SiO<sub>2</sub> substrates towards the applications to silicon-technology-based complementally metal-oxide semiconductor (CMOS)-compatible nonvolatile spintronic devices. The issue for fabricating  $L1_0$ -ordered ferromagnetic nanowires on solid-state substrates upon annealing was introduced in terms of Plateau-Rayleigh instability. The concept of nanostructure induced  $L1_0$ -ordering was proposed.

In Chapter 2, I demonstrated the formation of  $L1_0$ -CoPt during interdiffusion of Pt/Co bilayer thin films on Si/SiO<sub>2</sub> substrates by rapid thermal annealing at 800 °C for 30 s, which exhibited an in-plane  $H_c$  of 2.1 kOe.

In Chapter 3, I demonstrated  $L1_0$ -CoPt with a maximum  $H_c$  of 15 kOe from (Co/Pt)<sub>4</sub> multilayer thin films on Si/SiO<sub>2</sub> substrates by hydrogen annealing at 800 °C for 60 min.

In Chapter 4, I demonstrated the nanostructure induced  $L1_0$ -ordering of CoPt ferromagnetic nanowires on Si/SiO<sub>2</sub> substrates. CoPt nanowires were fabricated by a lift-off process combining electron-beam lithography and electron-beam evaporation, followed by annealing. The nanostructure induced  $L1_0$ -ordered CoPt ferromagnetic nanowires showed linewidths of 20–30 nm, exhibiting a large  $H_c$  of 10 kOe.

In Chapter 5, I demonstrated anomalous Hall effect in nanostructure induced  $L1_0$ -ordered CoPt ferromagnetic nanowires on Si/SiO<sub>2</sub> substrates. The linewidth dependence on Hall resistivity of the nanowires was investigated.

In Chapter 6, I summarized this thesis with respect to nanostructure induced  $L1_0$ -ordering and the future perspective for spintronic applications of the nanostructure induced  $L1_0$ -ordered CoPt ferromagnetic nanowires on Si/SiO<sub>2</sub> substrates.

備考：論文要旨は、和文 2000 字と英文 300 語を 1 部ずつ提出するか、もしくは英文 800 語を 1 部提出してください。

Note：Thesis Summary should be submitted in either a copy of 2000 Japanese Characters and 300 Words (English) or 1copy of 800 Words (English).

注意：論文要旨は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。

Attention: Thesis Summary will be published on Tokyo Tech Research Repository Website (T2R2).