

論文 / 著書情報
Article / Book Information

題目(和文)	C/C++によるシステムレベルRTLデザイン手法およびLLVMコンパイラインフラストラクチャを用いた設計効率の評価
Title(English)	C/C++ Based System Level RTL Design Methodology and Its Design Efficiency Using LLVM Compiler Infrastructure
著者(和文)	貞末多聞
Author(English)	Tamon Sadasue
出典(和文)	学位:博士(工学), 学位授与機関:東京工業大学, 報告番号:甲第12388号, 授与年月日:2023年3月26日, 学位の種別:課程博士, 審査員:一色 剛,高橋 篤司,本村 真人,劉 載勲,佐々木 広
Citation(English)	Degree:Doctor (Engineering), Conferring organization: Tokyo Institute of Technology, Report number:甲第12388号, Conferred date:2023/3/26, Degree Type:Course doctor, Examiner:,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第		号	学位申請者氏名		貞末 多聞	
論文審査 審査員		氏 名		職 名		氏 名	職 名
	主査	一色 剛		教授		佐々木 広	准教授
	審査員	高橋 篤司		教授	審査員		
		本村 真人		教授			
		劉 載勳		准教授			

論文審査の要旨（2000 字程度）

本論文は、C/C++ Based System Level RTL Design Methodology and Its Design Efficiency Using LLVM Compiler Infrastructure (C/C++によるシステムレベル RTL デザイン手法および LLVM コンパイラインフラストラクチャを用いた設計効率の評価) と題し、英文 7 章から構成されている。

第一章 Introduction (緒言) では、ASIC や FPGA のハードウェア設計において一般に使用されるハードウェア記述言語による設計検証工数がシステムの大規模化に伴い増大する中、その設計生産性を向上させるための設計手法の技術課題について述べている。その中で、抽象度の高いソフトウェア記述からハードウェアを合成する高位合成技術 (HLS: High Level Synthesis) は、機能ブロックレベルの設計効率化に寄与するものの、システムレベルの設計には適用できない課題があり、また、ソフトウェア言語の高い表現力を備えたハードウェア設計向けドメイン固有言語 (DSL: Domain Specific Language) の多くは、動作検証用のインタープリタ処理系が遅いため、合成された RTL (レジスタ転送レベル) 記述上でシミュレーション検証を行うことを想定しており、設計検証効率改善の根本的な解決とはならないと指摘している。このような背景の下で、本論文は、大規模ハードウェアの設計生産性の大幅向上を達成するために、C 言語記述から RTL 記述を生成する従来の C2RTL 設計ツール技術を、多様なプログラミング言語に対応した LLVM コンパイラ上で再構築するための記述変換手法と、階層化されたシステムレベルアーキテクチャ記述法及びその処理系を新たに提案し、その結果実現された C++言語の高い表現力と標準ソフトウェア開発環境を活用可能なシステムレベルハードウェア設計手法の優位性を、具体的な大規模設計事例や既存 DSL 手法との比較評価を通じて実証することが本論文の目的であると述べている。

第二章 C/C++ Based RTL Design Framework (C/C++記述による RTL 設計フレームワーク) では、標準コンパイラである LLVM フレームワークを基盤として従来の C2RTL 設計ツール技術を再構築した LLVM-C2RTL 設計フレームワークの概要を説明し、これにより実現される C/C++記述からの RTL 自動合成、RTL 検証環境自動生成からなる効率的な設計検証手法を提案している。その中で、RTL 合成可能な C/C++記述のコーディング制約と、ビット幅属性、レジスタ属性やメモリ属性などの RTL 合成属性記述法を定義し、C++言語の特徴であるオブジェクト指向プログラミングや C++テンプレートによるジェネリックプログラミングにより大幅に抽象化されたハードウェア記述が可能となることが提案設計検証手法の優位性であると述べている。

第三章 Transformation Methodology of LLVM-IR into Hardware Instance (LLVM 中間表現からハードウェアインスタンスへの変換手法) では、LLVM 内部の最適化処理系の共通表現形式である LLVM-IR から RTL 記述内部表現へ変換するための記述変換手法を提案している。その中で、定数伝搬やループ展開などの前処理は LLVM に内包される処理系で構成し、その後の SSA (静的単一代入) 形式の制御フローグラフ (CFG: Control Flow Graph) で構成される LLVM-IR から、変数の代入式と参照式の依存性を表現するデータフローグラフ (DFG: Data Flow Graph) へのグラフ変換によって RTL 内部表現を生成する処理系と、DFG 上のレジスタ・メモリ配置からパイプライン型 RTL 構造を自動生成し、得られた RTL 構造に対し Verilog 言語による RTL 記述出力と、高速 RTL シミュレータ用 RTL 等価 C 記述出力を同時に実現する手法について述べている。

第四章 System-Level Integration of RTL Modules on C/C++ Descriptions (C/C++記述による RTL モジュールのシステムレベル統合設計) では、個別のパイプライン型 RTL モジュールを定義する C/C++下位層記述と、これら RTL モジュールの結線情報を C/C++データ構造体インターフェースの関数引数として記述する上位層記述からなる 2 階層型システムレベル C/C++記述法を導入し、階層化されたシステムレベル RTL 記述を自動生成する新たなシステムレベル統合設計手法を提案している。その中で、C/C++下位層記述から個別 RTL モジュールを生成する第 1 合成パスと、これら RTL モジュール間の結線情報を C/C++データ構造体インターフェース記述から自動抽出しシステムレベル上位層 RTL 記述を生成する第 2 合成パスからなるシ

システムレベル RTL 合成手順を明らかにし、さらに、システムレベルの高速 RTL シミュレータを実現するための階層型 RTL 等価 C 記述生成手法について述べている。

第五章 Hardware Implementation of Fast Gradient Boosted Tree Training Algorithm（勾配ブースト決定木の学習アルゴリズムのハードウェア実装）では、本論で提案する LLVM-C2RTL 設計フレームワークの設計効率と設計品質における有効性を実証する大規模ハードウェア設計事例として、GBT (Gradient Boosted Tree) 学習アルゴリズムのハードウェア実装を取り上げ、決定木生成処理を高速実行するためのパイプライン型ハードウェアアーキテクチャを提案している。その中で、学習用データベースに含まれる特徴データのヒストグラム生成と勾配ゲイン計算による最適分割点探索の並列処理アルゴリズムを導入し、ヒストグラム生成モジュール、勾配ゲイン計算モジュール、最適分割点探索モジュール、データサンプルインデックス管理メモリモジュール、特徴データプリフェッチモジュール等で構成される高並列パイプライン型ハードウェア処理機構の C++システムレベル設計手法について述べている。LLVM-C2RTL によって合成されたシステムレベル RTL 記述の Xilinx Kintex-7 FPGA 実装検証結果では、GBT 学習のソフトウェア実装と同程度の誤差精度を保ちつつ、対 CPU で最大 40 倍、対 GPU で最大 33 倍の性能向上と 10 倍のエネルギー効率を達成したとし、LLVM-C2RTL によって高効率なシステムレベルハードウェア設計が達成できることを実証するとともに、ハードウェア処理機構における様々なアーキテクチャパラメータを C++記述から柔軟に設定することにより、ハードウェアアーキテクチャ探索が可能となることを示している。

第六章 Evaluation of Design Efficiency and Quality（設計効率と設計品質の評価）では、前章の GBT 学習ハードウェア設計事例に加え、AES 暗号処理アルゴリズムと 64-bit RISC-V プロセッサについて、既存のドメイン固有言語（Chisel, PyMTL3）と提案の LLVM-C2RTL による設計効率と設計品質の比較評価実験について述べている。その中で、記述行数の比較では、AES 暗号処理と RISC-V について、提案の C++記述が他の設計言語に比べ約 33%少ない記述量であることが示され、RTL 品質の比較では、AES 暗号処理において LLVM-C2RTL による RTL 記述が他に比べ約 62%の組合せ回路規模と約 95%のクロック周波数（5%程度の速度低下）が示され、RISC-V においては、LLVM-C2RTL による RTL 記述が他に比べ約 87%の組合せ回路規模と約 146%のクロック周波数（46%の速度向上）が示され、既存のドメイン固有言語によるハードウェア記述に比べ、設計効率、設計品質ともに提案の C++記述による LLVM-C2RTL 設計手法の優位性が示されている。

第七章 Conclusion（結言）では、本論文で得られた結果をまとめ、残された課題を述べている。

以上を要するに、本論文は、システムの大規模化に伴いハードウェア設計検証工数が増大する技術課題に対し、従来の C2RTL 設計ツール技術を多様なプログラミング言語に対応した LLVM コンパイラ上で再構築するための記述変換手法と、階層化されたシステムレベルアーキテクチャ記述法及びその処理系を新たに提案し、既存設計手法に比べて高い設計効率と設計品質の実現を複数の実用的設計事例を通じて実証したものであり、工学上および学術上貢献することが大きい。よって、我々は本論文が博士（工学）の学位論文として十分価値があるものと認める。

注意：「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。