

論文 / 著書情報
Article / Book Information

題目(和文)	
Title(English)	Area-Efficient and Power-Efficient CMOS Phased-Array Beamformers for High-Data-Rate Communications
著者(和文)	LiZheng
Author(English)	Zheng Li
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第12500号, 授与年月日:2023年6月30日, 学位の種別:課程博士, 審査員:岡田 健一,廣川 二郎,阪口 啓,伊藤 浩之,白根 篤史,山尾 泰
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第12500号, Conferred date:2023/6/30, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	LI Zheng		
論文審査 審査員		氏名	職名		氏名	職名
	主査	岡田 健一	教授	審査 員	白根 篤史	准教授
	審査員	廣川 二郎	教授		山尾 泰	電気通信大学 名誉教授
		阪口 啓	教授			
		伊藤 浩之	准教授			

論文審査の要旨 (2000 字程度)

本論文は“Area-Efficient and Power-Efficient CMOS Phased-Array Beamformers for High-Data-Rate Communications (高速通信向け省面積高電力効率 CMOS フェーズドアレイ無線機)”と題し、英文 5 章からなっている。

第一章“Introduction (序論)”では、無線通信技術の歴史を振り返りつつ、第 5 世代移動通信システム (5G) やその先の無線通信システムに求められる無線機技術について議論し、また、無線機を実装するための半導体技術について論じている。

第二章“CMOS Phased-Array Design Challenges (CMOS 集積回路によるフェーズドアレイ無線機設計の課題)”では、CMOS 集積回路技術によりミリ波フェーズドアレイ無線機を構成するにあたり必要となる技術要件について詳述している。特に、ミリ波無線機において、消費電力、線形性、雑音等の性能、アンテナや偏波 MIMO に関する性能要求にあわせ、高電力効率のために重要となる電力増幅器やデジタルプリディストーション(DPD)による歪み補償技術について文献を引用しつつ広範に説明している。

第三章“Area-Efficient Bi-Directional Technique (省面積化のための双方向回路技術)”では、小さいチップ面積中に高密度にビームフォーマを集積するための回路技術として、双方向回路について提案している。ミリ波帯ではトランジスタによる面積よりもインピーダンス整合回路の方が大きくなることに着目し、送受信において整合回路を再利用することによりチップ面積を半分近くまで小さくすることに成功している。中性化技術と送受のトランジスタ寸法差を補償するための容量追加により実現している。また、電力効率向上のために用いられるドハティ構成の電力増幅器を双方向化する回路方式を提案している。CMOS 65nm プロセスを用いて試作した 39GHz 帯双方向ドハティ送受信増幅器では 18.9dBm の飽和出力電力と 30.4% の電力付加効率を達成している。また、ビームフォーマの実現に必要な移相器についても、双方向増幅器を用いたベクトル合成方式により双方向動作を実現する回路方式を提案している。

第四章“Power-Efficient Phased-Array DP-MIMO System (偏波 MIMO を用いた高電力効率フェーズドアレイ無線機設計)”では、偏波 MIMO を用いた高速かつ高電力効率のフェーズドアレイ無線機を実現するための回路方式を提案している。ミリ波帯では偏波 MIMO の二信号が集積回路内部やアンテナ等の経路上で漏洩し、チャンネル容量が低下する。提案回路方式では、集積回路内部に偏波漏洩キャンセラを設けることで 40dB 以上の漏洩波抑圧を達成している。また、DPD をフェーズドアレイに適用する際に、製造誤差や温度勾配により素子間ミスマッチが発生するため、DPD による性能改善が制限される。そこで、あらかじめ素子間ミスマッチを回路的に補償することで DPD の効果を改善する手法を提案している。CMOS 65nm プロセスによって試作した 39GHz 帯双方向ドハティ型フェーズドアレイ無線機では、提案する補償技術により、変調精度と隣接チャンネル漏洩比について約 3dB の改善を達成し、提案無線機の有効性を実証している。

第五章“Conclusion and Future Work (結論と展望)”では、本論文で得られた成果をまとめ、今後の研究の展望として、ミリ波フェーズドアレイ無線機にさらなる低コスト化および高電力効率化が必要となることを説明しており、また、無線機の高周波化を目的とした三次元実装技術の必要性について論じ、本論文を締めくくっている。

以上を要するに、本論文は省面積および高電力効率なミリ波フェーズドアレイ CMOS 無線機を実現するための回路技術について論じたもので、学術上、産業上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。