

論文 / 著書情報
Article / Book Information

題目(和文)	デジタル位相同期ループにおける分数逡倍スプリアス抑制技術の研究
Title(English)	A Study of Fractional Spur Suppression Techniques in Digital Phase-Locked Loops
著者(和文)	XUDingxin
Author(English)	Dingxin Xu
出典(和文)	学位:博士(学術), 学位授与機関:東京工業大学, 報告番号:甲第12921号, 授与年月日:2024年9月20日, 学位の種別:課程博士, 審査員:岡田 健一,廣川 二郎,徳田 崇,伊藤 浩之,白根 篤史,飯塚 哲也
Citation(English)	Degree:Doctor (Academic), Conferring organization: Tokyo Institute of Technology, Report number:甲第12921号, Conferred date:2024/9/20, Degree Type:Course doctor, Examiner:,,,,,
学位種別(和文)	博士論文
Category(English)	Doctoral Thesis
種別(和文)	審査の要旨
Type(English)	Exam Summary

論文審査の要旨及び審査員

報告番号	甲第	号	学位申請者氏名	Xu Dingxin		
論文審査 審査員		氏名	職名		氏名	職名
	主査	岡田 健一	教授	審査員	白根 篤史	准教授
	審査員	広川 二郎	教授		飯塚 哲也	東京大学 准教授
		徳田 崇	教授			
		伊藤 浩之	教授			

論文審査の要旨 (2000 字程度)

本論文は、「A Study of Fractional Spur Suppression Techniques in Digital Phase-Locked Loops (デジタル位相同期ループにおける分数通倍スプリアス抑制技術の研究)」と題し、英文第六章からなっている。

第一章「Introduction (序論)」では、無線通信およびレーダーシステムでの分数通倍型デジタル PLL(Phase Locked Loop)の必要性について説明し、分数通倍型デジタル PLLにおけるスプリアスや位相雑音について対象とするシステムごとに求められる性能について論じている。

第二章「DTC-Based DPLLs and Fractional Spur Suppression Techniques (DTC型デジタル PLLおよびスプリアス抑制技術)」では、分数通倍時のスプリアスの軽減において、DTC(Digital-to-Time Converter)を用いた量子化雑音キャンセル技術の有効性について論じている。また、線形性の高い DTCの回路方式や DPD(Digital Pre-Distortion)を用いた線形性補償技術、ディザを用いる技術など、関連する回路技術についても詳述し、これまでの技術ではスプリアスの低減とジッタの低減の両立ができず、新たなスプリアス抑制技術が必要であることを説明している。

第三章「A Cascaded Dual-Fractional-N DPLL for Fractional Spur Suppression (スプリアス抑制のための縦続接続による分数通倍型デジタル PLL)」では、2つの分数通倍型 PLLを縦続接続することで、スプリアスの低減が可能となる回路方式を提案している。分数通倍時に、整数通倍に近いほどスプリアスが大きくなることに着目し、2つの PLLの通倍比を適切に選択することで、それぞれの PLLでは整数倍から遠くなる倍数を選びつつも、回路全体としては整数倍に近い通倍比も含めた分数通倍比が実現できる。整数倍に近い通倍比を避けることで、スプリアスの発生するオフセット周波数が高くなるため、PLLの帰還制御が持つ低域通過特性によりスプリアスが抑圧できる。提案する縦続接続型 PLLを 65nm CMOS 技術で試作評価し、-52.8dBc のスプリアス特性と 191fs のジッタ特性を達成している。

第四章「A DPD/Dither-Free DPLL (DPD およびディザを用いないデジタル PLL)」では、縦続接続型の分数分周器を用いた単一ループによるデジタル PLLを提案している。前章で示した回路方式では、PLL 自体を縦続接続しているが、本章のものでは分周器および DTC を縦続型とすることで、追加の PLL を設けることなく、分数通倍時のスプリアスを PLL 帯域外に押し出し、ジッタとスプリアスの同時低減を可能としている。また、従来の可変スロープ型 DTC における非線形性を改善する疑似差動型 DTC を提案している。PLL のリファレンス信号経路と帰還信号経路の両方に DTC を設け、制御コードを対称にすることで、偶数次の非線形性をキャンセルしている。DTC に求められる総遅延時間を半分にできるため、従来の可変スロープ型 DTC に比べて約 4 倍の非線形性の改善を可能としている。提案するデジタル PLL を 65nm CMOS 技術で試作評価し、-62.1dBc のスプリアス特性と 144fs のジッタ特性を達成している。

第五章「Building Block Circuits Design Techniques for Low-Fractional-Spur DPLLs (低スプリアスデジタル PLL 向け回路技術)」では、デジタル PLL を構成する要素回路として、低雑音な LC 発振器を提案している。偶高調波特性を介して電源由来の雑音が位相雑音として現れるのを避けるため、追加の容量を設けることで偶高調波特性を抑えている。電源デカップリングの Q 値に依存せずに、コモンモードのインピーダンスを高くすることができるため、少ない容量面積においても位相雑音の劣化を抑えることができる。また、DTC の電源の揺れに由来して発生する非線形性を回避する回路技術を提案し、12dB のスプリアス改善が得られることを示している。

第六章「Conclusion and Future Work (結論と展望)」では、本論文で得られた成果をまとめ、今後の研究の展望について論じ、本論文を締めくくっている。

以上を要するに、本論文は PLL のスプリアス特性を改善するための回路構成方法を論じたもので、学術上、産業上貢献するところが大きい。よって我々は、本論文が博士(学術)の学位論文として、十分に価値あるものと認める。

注意:「論文審査の要旨及び審査員」は、東工大リサーチリポジトリ(T2R2)にてインターネット公表されますので、公表可能な範囲の内容で作成してください。